

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

概要

高性能オーディオ処理用に最適化された高性能 32 ビット/40 ビット浮動小数点プロセッサ

SIMD (Single-instruction, multiple-data)演算アーキテクチャを採用

内蔵メモリ—5 M ビットの内蔵 SRAM、4 M ビットのマスク・プログラマブルな内蔵 ROM

最大動作周波数: 400 MHz

すべての他の SHARC ファミリー・メンバーとコード互換

ADSP-2148x プロセッサは、デジタル・アプリケーション・インターフェース、シリアル・ポート、高精度クロック・ジェネレータ、S/PDIF トランシーバ、非同期サンプル・レート・コンバータ、入力データ・ポートなどの独自のオーディオ中心の peripherals を内蔵しています。

オーダー情報については、[ページ65のオーダー・ガイド](#)を参照してください。

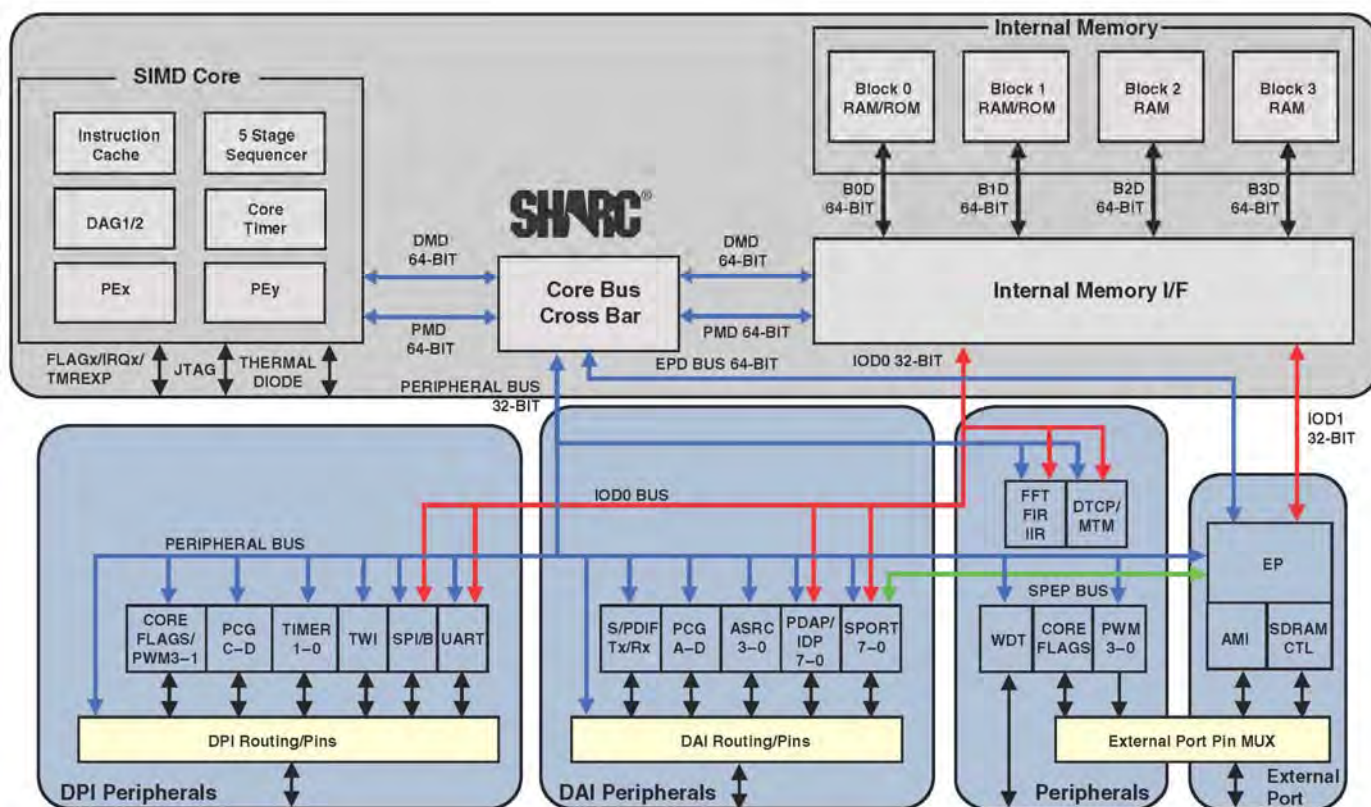


図 1. 機能ブロック図

SHARC および SHARC ロゴは、Analog Devices, Inc.の登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

まとめ.....	1	ESD について.....	20
目次.....	2	最大消費電力.....	20
改訂履歴.....	2	タイミング仕様.....	20
概要.....	3	電圧制御発振器.....	21
ファミリー・コアのアーキテクチャ.....	4	パワーアップ・シーケンス.....	22
ファミリー・ペリフェラルのアーキテクチャ.....	7	S/PDIF トランスミッタのシリアル入力波形.....	44
SDRAM コントローラ.....	8	S/PDIF トランスミッタ入力データのタイミング.....	46
SIMD の外部メモリへのアクセス.....	8	オーバーサンプリング・クロック(TxCLK)のスイッチング特性.....	46
VISA と ISA の外部メモリへのアクセス.....	8	内部デジタル PLL モード.....	47
システム・デザイン.....	11	出力駆動電流.....	54
開発ツール.....	12	テスト条件.....	54
その他の情報.....	12	容量負荷.....	54
関連シグナル・チェーン.....	12	熱特性.....	55
ピン機能の説明.....	13	100-LQFP_EP のピン配置.....	57
仕様.....	17	176 ピン LQFP_EP のピン配置.....	59
動作条件.....	17	パッケージ寸法.....	62
電気的特性.....	18	表面実装デザイン.....	63
絶対最大定格.....	20	車載製品.....	64
パッケージ情報.....	20	オーダー・ガイド.....	65

改訂履歴

12/10—Revision 0: Initial Version

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

概要

ADSP-2148x SHARC[®]プロセッサは、SIMD SHARC ファミリーのメンバーであり、アナログ・デバイセズのスーパー・ハーバード・アーキテクチャを採用した DSP です。このプロセッサは、ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2146x、ADSP-2116x の各 DSP および SISD (Single-Instruction, Single-Data) モードの第 1 世代 ADSP-2106x SHARC プロセッサとソース・コード互換です。ADSP-2148x プロセッサは、大容量の内蔵 SRAM、I/O ボトルネックを解消する複数の内部バス、画期的なデジタル・アプリケーション・インターフェース(DAI)により、高性能オーディオ・アプリケーション向けに最適化された 32 ビット/40 ビットの浮動小数点プロセッサです。

表 1 に、ADSP-2148x プロセッサの性能ベンチマークを示します。
表 2 に、各製品の機能を示します。

表 1. プロセッサ・ベンチマーク

Benchmark Algorithm	Speed (at 400 MHz)
1024 Point Complex FFT (Radix 4, with Reversal)	23 μ s
FIR Filter (per Tap) ¹	1.25 ns
IIR Filter (per Biquad) ¹	5 ns
Matrix Multiply (Pipelined)	
[3 × 3] × [3 × 1]	11.25 ns
[4 × 4] × [4 × 1]	20 ns
Divide (y/x)	7.5 ns
Inverse Square Root	11.25 ns

¹マルチチャンネル SIMD モードでは 2 つのファイルを想定

表 2. ADSP-2148x ファミリーの機能

Feature	ADSP-21483	ADSP-21486	ADSP-21487	ADSP-21488	ADSP-21489
Maximum Instruction Rate	400 MHz				
RAM	3 Mbits	5 Mbits		3 Mbits	5 Mbits
ROM	4 Mbits			No	
Audio Decoders in ROM ¹	Yes			No	
Pulse-Width Modulation	4 Units (3 Units on 100-Lead Packages)				
DTCP Hardware Accelerator	Contact Analog Devices				
External Port Interface (SDRAM, AMI) ²	Yes (16-bit)	AMI Only	Yes (16-bit)		
Serial Ports	8				
Direct DMA from SPORTs to External Port (External Memory)	Yes				
FIR, IIR, FFT Accelerator	Yes				
Watchdog Timer	Yes (176-Lead Package Only)				
MediaLB Interface	Automotive Models Only				
IDP/PDAP	Yes				
UART	1				
DAI (SRU)/DPI (SRU2)	Yes				
S/PDIF Transceiver	Yes				
SPI	Yes				
TWI	1				
SRC Performance ³	-128 dB				
Thermal Diode	Yes				
VISA Support	Yes				
Package ²	176-Lead LQFP EPAD 100-Lead LQFP EPAD		176-Lead LQFP EPAD	176-Lead LQFP EPAD 100-Lead LQFP EPAD	

¹ROM には、Dolby Labs 社および DTS 社の最新のマルチチャンネル・オーディオ・デコーディングとポスト・プロセッシング・アルゴリズムが出荷時に書込まれています。サポートされるデコーダ/ポスト・プロセッサ・アルゴリズムの組み合わせは、チップ・バージョンとシステム構成により変わります。詳細については、www.analog.com をご覧ください。

²100 ピン・パッケージには External Port Interface がありません。176 ピン・パッケージの ADSP-21486 プロセッサでは、SDRAM コントローラがありません。詳細については、[ページ 59 の 176 ピン LQFP_EP のピン配置](#)を参照してください。

³モデルによっては -140 dB の性能を持つ製品があります。詳細については、[ページ 65 のオーダー・ガイド](#)を参照してください。

ページ1の図1に、ADSP-2148x プロセッサを構成する2つのクロック・ドメインを示します。コア・クロック・ドメインには次の機能があります。

- 2個の処理エレメント(PE_x、PE_y)。各々はALU、乗算器、シフタ、データ・レジスタ・ファイルから構成されています。
- データ・アドレス・ジェネレータ(DAG1、DAG2)
- 命令キャッシュ付きのプログラム・シーケンサ
- PMバスとDMバス。メモリとコアとの間で各コア・プロセッサ・サイクルで2回の64ビット・データ転送をサポートすることが可能。
- 出力ピン付きの周期インターバル・タイム \times 1
- 内蔵SRAM(5Mビット)およびマスク・プログラマブルROM(4Mビット)
- エミュレーションとバウンダリ・スキャン用のJTAGテスト・アクセス・ポート。JTAGはユーザ・ブレイク・ポイントを使ってソフトウェア・デバッグ機能を提供するため、柔軟な例外処理が可能になります。

ページ1のADSP-2148xブロック図には、ペリフェラル・クロック・ドメイン(I/Oプロセッサとも呼びます)も示してあり、次の機能があります。

- 32ビット・データ転送用のIOD0(ペリフェラルDMA)バスとIOD1(外部ポートDMA)バス
- コア接続用のペリフェラル・バスと外部ポート・バス
- AMIおよびSDRAMコントローラ付きの外部ポート
- 4ユニットのPWM制御
- 1ユニットの内部メモリ-内部メモリ間転送用MTM
- デジタル・アプリケーション・インターフェース。これには、高精度クロック・ジェネレータ(PCG) \times 4、シリアル/パラレル接続用の入力データ・ポート(IDP/PDAP) \times 1、S/PDIFレシーバ/トランスミッタ \times 1、非同期サンプル・レート・コンバータ \times 4、シリアル・ポート \times 8、柔軟な信号ルーティング・ユニット(DAISRU) \times 1が含まれます。
- デジタル・ペリフェラル・インターフェース。これにはタイム \times 2、2線式インターフェース(TWI) \times 1、UART \times 1、シリアル・ペリフェラル・インターフェース(SPI) \times 2、高精度クロック・ジェネレータ(PCG) \times 2、パルス幅変調器(PWM)、柔軟な信号ルーティング・ユニット(DPISRU) \times 1が含まれます。

ページ5のSHARCコア機能ブロック図に示すように、これらのプロセッサは、2個の演算ユニットを採用することにより、広範囲なDSPアルゴリズムに対して従来のSHARCプロセッサに比べて性能を大幅に改善しています。これらのプロセッサはSIMD演算ハードウェアを使用して、400MHzで2.4GFLOPSの処理を行うことができます。

ファミリー・コアのアーキテクチャ

ADSP-2148xは、ADSP-2146x、ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161、および第1世代ADSP-2106x SHARCプロセッサとアセンブラ・レベルでコード互換です。ADSP-2148xは、図2に示すように、ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2146x、ADSP-2116xの各SIMD SHARCプロセッサとアーキテクチャ機能を共有しています。

SIMD 演算エンジン

ADSP-2148xは、SIMD (Single-Instruction, Multiple-Data)エンジンとして動作する2個の演算処理エレメントを内蔵しています。これらの処理エレメントはPE_xとPE_yと呼ばれ、各々は、ALU、乗算器、シフタ、レジスタ・ファイルを内蔵しています。PE_xは常時アクティブで、PE_yはMODE1レジスタのPEYENモード・ビットをセットしてイネーブルすることができます。このSIMDモードがイネーブルされると、同じ命令が両処理エレメントで実行されますが、各処理エレメントは異なるデータに対して動作します。このアーキテクチャは、数学的なDSPアルゴリズムの実行に効果を発揮します。

また、SIMDモードでは、処理エレメントでの演算動作を維持するために2倍のデータ帯域幅が必要になるため、メモリと処理エレメントの間のデータ転送方法が影響を受けます。したがって、SIMDモードが開始されると、メモリと処理エレメントとの間の帯域幅も2倍になります。SIMDモードでデータ転送にDAGを使用する場合、メモリまたはレジスタ・ファイルに対する各アクセスで2個のデータ値が転送されます。

独立な並列演算ユニット

各処理エレメントには、演算ユニットのセットがあります。演算ユニットは、ALU、乗算器、シフタから構成されています。これらのユニットは、すべての命令を1サイクルで実行し、並列に動作することで、演算スループットを最大化します。1個のマルチファンクション命令により、ALUと乗算器が並行に動作します。SIMDモードでは、両処理エレメントでALUと乗算器の並行動作が発生します。これらの演算ユニットは、IEEE32ビット単精度浮動小数点、40ビット拡張精度浮動小数点、32ビット固定小数の各データ・フォーマットをサポートしています。

タイマ

このプロセッサは、周期ソフトウェア割込みを発生できるコア・タイマを内蔵しています。コア・タイマは、タイムアウト信号としてFLAG3を使用するように設定することができます。

データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理エレメントに内蔵されています。レジスタ・ファイルは、演算ユニットとデータ・バスとの間でデータを転送し、途中結果を保持します。これらの10ポート32レジスタからなるレジスタ・ファイル(16個のプライマリ、16個のセカンダリ)とプロセッサの強化型ハーバード・アーキテクチャとの組み合わせにより、演算ユニットと内部メモリとの間で制約のないデータ・フローが可能になっています。PE_x内のレジスタはR0~R15と呼ばれ、PE_y内のレジスタはS0~S15と呼ばれます。

コンテキスト・スイッチ

多くのプロセッサ・レジスタには、割込みサービス中に高速なコンテキスト・スイッチを可能にするために使用できるセカンダリ・レジスタがあります。レジスタ・ファイル内のデータ・レジスタ、DAGレジスタ、乗算結果・レジスタにはすべてセカンダリ・レジスタがあります。プライマリ・レジスタはリセット時にアクティブになり、セカンダリ・レジスタはモード・コントロール・レジスタのコントロール・ビットを使ってアクティブにします。

ユニバーサル・レジスタ

これらのレジスタは汎用タスクに使うことができます。USTAT (4) レジスタを使うと、すべてのペリフェラル・レジスタ(コントロール/ステータス)のビット操作(Set, Clear, Toggle, Test, XOR)を容易に行うことができます。

データ・バス交換レジスタ(PX)の使用により、64 ビット PM データ・バスと 64 ビット DM データ・バスとの間で、または 40 ビット・レジスタ・ファイルと PM/DM データ・バスとの間で、データを渡すことが可能になっています。これらのレジスタには、データ幅の違いを処理するハードウェアが内蔵されています。

1 サイクル命令フェッチと 4 個のオペランド

この ADSP-2148x は、データ・メモリ(DM)バスでデータを転送し、プログラム・メモリ(PM)バスで命令とデータを転送する強化型ハーバード・アーキテクチャを採用しています。これらのプロセッサではプログラム・メモリ・バスとデータ・メモリ・バスを分離し、かつ命令キャッシュを内蔵しているため、プロセッサは 4 個のオペランド(各データ・バスから 2 個)と 1 個の命令(キャッシュから)を同時に 1 サイクルでフェッチすることができます。

命令キャッシュ

このプロセッサは、1 個の命令と 4 個のデータ値をフェッチする 3 バス動作を可能にする命令キャッシュを内蔵しています。キャッシュは選択的で、PM バス・データ・アクセスとフェッチが競合する命令だけをキャッシュします。このキャッシュにより、コアのフル速度実行(デジタル・フィルタの積和や FFT でのバタフライ処理のようなループ動作)が可能になります。

ゼロ・オーバーヘッドのハードウェア循環バッファをサポートするデータ・アドレス・ジェネレータ

2 個のデータ・アドレス・ジェネレータ(DAG)は、間接アドレッシング機能とハードウェアによる循環データ・バッファの構成に使用されます。循環バッファを使うと、ディレイラインの効率の良いプログラミングとデジタル信号処理に必要なその他のデータ構造が実現できるため、広くデジタル・フィルタとフーリエ変換で使用されています。2 個の DAG には、最大 32 個の循環バッファを実現するために十分なレジスタが内蔵されています(16 個はプライマリレジスタ・セット用、16 個はセカンダリレジスタ・セット用)。DAG は、アドレス・ポインタのラップアラウンドを自動的に処理するため、オーバーヘッドを削減し、性能を向上させ、構成を簡素化します。循環バッファは、任意のメモリ・ロケーションから開始させて終了させることができます。

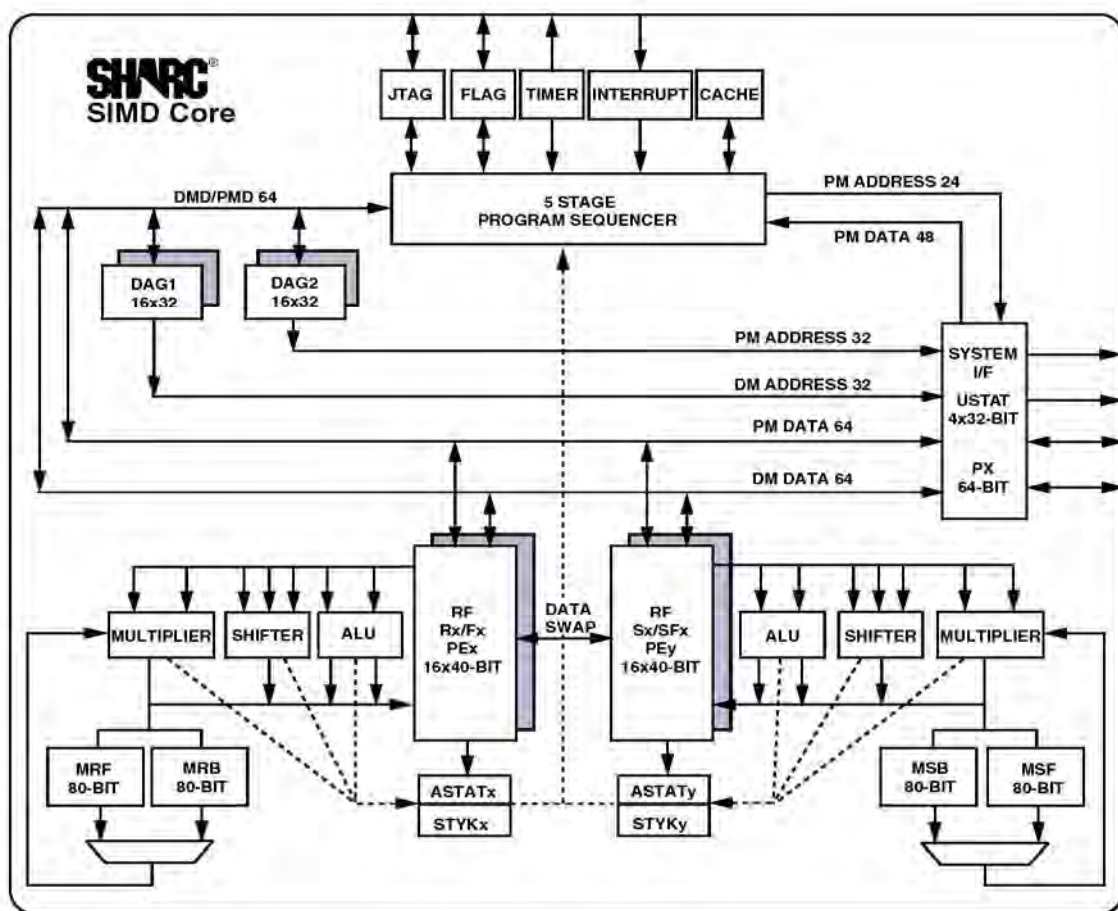


図 2. SHARC コア・ブロック図

柔軟な命令セット

48 ビットの命令ワードにより、多様な並行動作が可能になるため、簡潔なプログラミングが可能になります。例えば、このプロセッサは、両処理エレメントで、乗算、加算、減算を条件付きで実行すると同時に、分岐や最大 4 個の 32 ビット値のメモリからのフェッチを 1 命令で行うことができます。

可変命令セット・アーキテクチャ(VISA)

ADSP-2148x では、従来型 SHARC プロセッサの標準 48 ビット命令のサポートに加えて、16 ビットと 32 ビットの新しい命令をサポートしています。可変命令セット・アーキテクチャ(VISA)と呼ばれるこの機能では、48 ビット命令の冗長/未使用ビットをなくして、コードの効率化と小型化を行っています。プログラム・シーケンサでは、内部と外部の SDRAM メモリからの 16 ビット命令と 32 ビット命令のフェッチをサポートしています。このサポートは、非同期メモリ・インターフェース(AMI)までは含まれていません。コード生成ツールでこれらの効率良いオペコードを生成できるようにするためには、VISA オプションを使ってソース・モジュールをビルドする必要があります。

内蔵メモリ

ADSP-21483 プロセッサと ADSP-21488 プロセッサは、3 M ビットの RAM (表 3)を、ADSP-21486、ADSP-21487、ADSP-21489 の各プロセッサは 5 M ビットの RAM (表 4)を、それぞれ内蔵しています。各メモリ・ブロックは、コア・プロセッサと I/O プロセッサから独立な 1 サイクルのアクセスをサポートします。

プロセッサの SRAM は、最大 160k ワードの 32 ビット・データとして、320k ワードの 16 ビット・データとして、106.7k ワードの 48 ビット命令(または 40 ビット・データ)として、または最大 5M ビットの様々なワード・サイズの組み合わせとして、構成することができます。すべてのメモリは、16 ビット、32 ビット、48 ビット、または 64 ビット・ワードとしてアクセスすることができます。16 ビットの浮動小数点ストレージ・フォーマットをサポートしています。これにより内部で保存できるデータ量が実質的に 2 倍になります。32 ビット浮動小数点フォーマットと 16 ビット浮動小数点フォーマットとの間の変換は、1 命令で実行されます。各メモリ・ブロックはコードとデータの組み合わせを保存できますが、転送に DM バスを使って 1 つのブロックにデータを保存し、さらに転送に PM バスを使って別のブロックに命令とデータを保存するとき、アクセスが最も効率良くなります。

表 3. 内部メモリ空間(3 Mビット—ADSP-21483/ADSP-21488)¹

IOP Registers 0x0000 0000~0x0003 FFFF			
Long Word (64 Bits)	Extended Precision Normal or Instruction Word (48 Bits)	Normal Word (32 Bits)	Short Word (16 Bits)
Block 0 ROM (Reserved) 0x0004 0000–0x0004 7FFF	Block 0 ROM (Reserved) 0x0008 0000–0x0008 AAA9	Block 0 ROM (Reserved) 0x0008 0000–0x0008 FFFF	Block 0 ROM (Reserved) 0x0010 0000–0x0011 FFFF
Reserved 0x0004 8000–0x0004 8FFF	Reserved 0x0008 AAAA–0x0008 BFFF	Reserved 0x0009 0000–0x0009 1FFF	Reserved 0x0012 0000–0x0012 3FFF
Block 0 SRAM 0x0004 9000–0x0004 CFFF	Block 0 SRAM 0x0008 C000–0x0009 1554	Block 0 SRAM 0x0009 2000–0x0009 9FFF	Block 0 SRAM 0x0012 4000–0x0013 3FFF
Reserved 0x0004 D000–0x0004 FFFF	Reserved 0x0009 1555–0x0009 FFFF	Reserved 0x0009 A000–0x0009 FFFF	Reserved 0x0013 4000–0x0013 FFFF
Block 1 ROM (Reserved) 0x0005 0000–0x0005 7FFF	Block 1 ROM (Reserved) 0x000A 0000–0x000A AAA9	Block 1 ROM (Reserved) 0x000A 0000–0x000A FFFF	Block 1 ROM (Reserved) 0x0014 0000–0x0015 FFFF
Reserved 0x0005 8000–0x0005 8FFF	Reserved 0x000A AAAA–0x000A BFFF	Reserved 0x000B 0000–0x000B 1FFF	Reserved 0x0016 0000–0x0016 3FFF
Block 1 SRAM 0x0005 9000–0x0005 CFFF	Block 1 SRAM 0x000A C000–0x000B 1554	Block 1 SRAM 0x000B 2000–0x000B 9FFF	Block 1 SRAM 0x0016 4000–0x0017 3FFF
Reserved 0x0005 D000–0x0005 FFFF	Reserved 0x000B 1555–0x000B FFFF	Reserved 0x000B A000–0x000B FFFF	Reserved 0x0017 4000–0x0017 FFFF
Block 2 SRAM 0x0006 0000–0x0006 1FFF	Block 2 SRAM 0x000C 0000–0x000C 2AA9	Block 2 SRAM 0x000C 0000–0x000C 3FFF	Block 2 SRAM 0x0018 0000–0x0018 7FFF
Reserved 0x0006 2000–0x0006 FFFF	Reserved 0x000C 2AAA–0x000D FFFF	Reserved 0x000C 4000–0x000D FFFF	Reserved 0x0018 8000–0x001B FFFF
Block 3 SRAM 0x0007 0000–0x0007 1FFF	Block 3 SRAM 0x000E 0000–0x000E 2AA9	Block 3 SRAM 0x000E 0000–0x000E 3FFF	Block 3 SRAM 0x001C 0000–0x001C 7FFF
Reserved 0x0007 2000–0x0007 FFFF	Reserved 0x000E 2AAA–0x000F FFFF	Reserved 0x000E 4000–0x000F FFFF	Reserved 0x001C 8000–0x001F FFFF

¹ ADSP-2148x プロセッサによっては、カスタム定義可能な ROM ブロックを内蔵しているものもあります。これらのモデルの ROM アドレスは、この表に示すように予約されていません。詳細については、最寄りの ADI にお尋ねください。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 4. 内部メモリ空間(5 M ビット—ADSP-21486/ADSP-21487/ADSP-21489)¹

IOP Registers 0x0000 0000~0x0003 FFFF			
Long Word (64 Bits)	Extended Precision Normal or Instruction Word (48 Bits)	Normal Word (32 Bits)	Short Word (16 Bits)
Block 0 ROM (Reserved) 0x0004 0000–0x0004 7FFF	Block 0 ROM (Reserved) 0x0008 0000–0x0008 AAA9	Block 0 ROM (Reserved) 0x0008 0000–0x0008 FFFF	Block 0 ROM (Reserved) 0x0010 0000–0x0011 FFFF
Reserved 0x0004 8000–0x0004 8FFF	Reserved 0x0008 AAAA–0x0008 BFFF	Reserved 0x0009 0000–0x0009 1FFF	Reserved 0x0012 0000–0x0012 3FFF
Block 0 SRAM 0x0004 9000–0x0004 EFFF	Block 0 SRAM 0x0008 C000–0x0009 3FFF	Block 0 SRAM 0x0009 2000–0x0009 DFFF	Block 0 SRAM 0x0012 4000–0x0013 BFFF
Reserved 0x0004 F000–0x0004 FFFF	Reserved 0x0009 4000–0x0009 FFFF	Reserved 0x0009 E000–0x0009 FFFF	Reserved 0x0013 C000–0x0013 FFFF
Block 1 ROM (Reserved) 0x0005 0000–0x0005 7FFF	Block 1 ROM (Reserved) 0x000A 0000–0x000A AAA9	Block 1 ROM (Reserved) 0x000A 0000–0x000A FFFF	Block 1 ROM (Reserved) 0x0014 0000–0x0015 FFFF
Reserved 0x0005 8000–0x0005 8FFF	Reserved 0x000A AAAA–0x000A BFFF	Reserved 0x000B 0000–0x000B 1FFF	Reserved 0x0016 0000–0x0016 3FFF
Block 1 SRAM 0x0005 9000–0x0005 EFFF	Block 1 SRAM 0x000A C000–0x000B 3FFF	Block 1 SRAM 0x000B 2000–0x000B DFFF	Block 1 SRAM 0x0016 4000–0x0017 BFFF
Reserved 0x0005 F000–0x0005 FFFF	Reserved 0x000B 4000–0x000B FFFF	Reserved 0x000B E000–0x000B FFFF	Reserved 0x0017 C000–0x0017 FFFF
Block 2 SRAM 0x0006 0000–0x0006 3FFF	Block 2 SRAM 0x000C 0000–0x000C 5554	Block 2 SRAM 0x000C 0000–0x000C 7FFF	Block 2 SRAM 0x0018 0000–0x0018 FFFF
Reserved 0x0006 4000–0x0006 FFFF	Reserved 0x000C 5555–0x000D FFFF	Reserved 0x000C 8000–0x000D FFFF	Reserved 0x0019 0000–0x001B FFFF
Block 3 SRAM 0x0007 0000–0x0007 3FFF	Block 3 SRAM 0x000E 0000–0x000E 5554	Block 3 SRAM 0x000E 0000–0x000E 7FFF	Block 3 SRAM 0x001C 0000–0x001C FFFF
Reserved 0x0007 4000–0x0007 FFFF	Reserved 0x000E 5555–0x000F FFFF	Reserved 0x000E 8000–0x000F FFFF	Reserved 0x001D 0000–0x001F FFFF

¹ ADSP-2148x プロセッサによっては、カスタム定義可能な ROM ブロックを内蔵しているものもありますが、この表に示すように予約されていません。詳細については、最寄りの ADI にお尋ねください。

1 本のバスを 1 つのメモリ・ブロック専用にして DM バスと PM バスを使うと、2 個のデータ転送の 1 サイクルでの実行を確実に行うことができます。この場合、命令はキャッシュ内に存在する必要があります。

表 3 と表 4 のメモリ・マップに、プロセッサの内部メモリ・アドレス空間を示します。この表で、48 ビットメモリ空間は、このアドレス範囲を 48 ビット・メモリとしてアクセスする場合のメモリ領域を表わしています。また、32 ビットメモリ空間は、このアドレス範囲を 32 ビット・メモリとしてアクセスする場合のメモリ領域を表わしています。

ROM ベースのセキュリティ

ADSP-2148x は、ROM セキュリティ機能を持っています。この機能は、内部コードの不正な読出しを防止することにより、ユーザ・ソフトウェア・コードを保護するためのハードウェア・サポートを提供します。この機能を使うと、プロセッサは外部コードからブート・ロードしなくなり、内部 ROM からのみ実行するようになります。さらに、JTAG ポートからプロセッサを自由にアクセスできなくなります。代わりに、JTAG またはテスト・アクセス・ポートからスキャン入力する必要がある独自の 64 ビット・キーが各ユーザに割り当てられます。デバイスは不正なキーを無視します。エミュレート機能は、正しいキーがスキャンされたときのみ使用可能になります。

内蔵メモリの帯域幅

この内部メモリ・アーキテクチャにより、プログラムは 4 個の内の任意のブロックへ同時に 4 回アクセスすることができます(競合するブロックがない場合)。合計帯域幅は、DMD バスと PMD バス (2×64 ビット、CCLK 速度)、および IOD0/1 バス (2×32 ビット、PCLK 速度) を使って得られます。

ファミリー・ペリフェラルのアーキテクチャ

ADSP-2148x ファミリーには、高品質オーディオ、医用画像、通信、軍用、テスト装置、3D グラフィックス、スピーチ認識、モーター制御、イメージングなどの広範囲なアプリケーションをサポートする豊富なペリフェラルが内蔵されています。

外部ポート

外部ポート・インターフェースでは、コア・アクセスと DMA アクセスによる外部メモリへのアクセスをサポートしています。外部メモリ・アドレス空間は 4 バンクに分割されています。すべてのバンクは、非同期メモリまたは同期メモリとして設定することができます。外部ポートは、次のモジュールで構成されています。

- SRAM、FLASH、一般的な非同期 SRAM アクセス・プロトコルを満たすその他のデバイスと通信する非同期メモリ・インターフェース。バンク 0 の 6M ワードの外部メモリと、バンク 1、バンク 2、バンク 3 の 8M ワードの外部メモリをサポートする AMI。
- 標準 SDRAM と外付け部品なしでインターフェースする SDRAM コントローラ。バンク 0 の 62M ワードの外部メモリと、バンク 1、バンク 2、バンク 3 の 64M ワードの外部メモリをサポートする SDRAM コントローラ。この機能は、ADSP-21486 モデルでは使用できないことに注意してください。
- 内部メモリと外部メモリとの間で外部ポートを使ったコア転送と DMA 転送の調整を行う調停ロジック。

非 SDRAM 外部メモリ・アドレス空間を表 5 に示します。

表 5. 非 SDRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	6M	0x0020 0000–0x007F FFFF
Bank 1	8M	0x0400 0000–0x047F FFFF
Bank 2	8M	0x0800 0000–0x087F FFFF
Bank 3	8M	0x0C00 0000–0x0C7F FFFF

外部メモリ

外部ポートは、様々な業界標準メモリ・デバイスに対して外付け部品の不要な高性能インターフェースを提供します。176 ピン LQFP で使用可能な外部ポートを使って、別々の内部メモリ・コントローラを介して同期および非同期メモリ・デバイスにインターフェースすることができます。1 つ目は業界標準の同期 DRAM デバイスを接続するための SDRAM コントローラであり、2 つ目は多様なメモリ・デバイスに対するインターフェースで使用する非同期メモリ・コントローラです。4 本のメモリ・セレクト・ピンにより、最大 4 個のデバイスを使用することができるため、同期と非同期デバイス・タイプの任意の組み合わせをサポートすることができます。

非同期メモリ・コントローラ

非同期メモリ・コントローラは、最大 4 バンクのメモリ・デバイスまたは I/O デバイスに対して設定可能なインターフェースを提供します。各バンクは異なるタイミング・パラメータを使って独立に設定可能であるため、SRAM、フラッシュ、EPROM、さらに標準メモリ・コントロール・ラインを使ってインターフェースする I/O デバイスなどの多様なメモリ・デバイスに対する接続が可能です。プロセッサのアドレス空間で、バンク 0 は 6M のワード・ウインドウを、バンク 1、2、3 は 8M のワード・ウインドウをそれぞれ占有しますが、すべてを使用しない場合は、メモリ・コントローラ・ロジックを使って、これらのウインドウが連続しないようにすることができます。

SDRAM コントローラ

この SDRAM コントローラは、最大 4 バンクの業界標準 SDRAM デバイスに対するインターフェースを提供します。このインターフェースは最大 SDCLK の速度で動作します。SDRAM 規格に完全に準拠しているため、各バンクは固有のメモリ・セレクト・ライン(MS0~MS3)を持つことができますので、4M バイト~256M バイトのメモリの範囲で構成することができます。SDRAM 外部メモリ・アドレス空間を表 6 に示します。この機能は、ADSP-21486 モデルでは使用できないことに注意してください。

表 6. SDRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	62M	0x0020 0000–0x03FF FFFF
Bank 1	64M	0x0400 0000–0x07FF FFFF
Bank 2	64M	0x0800 0000–0x0BFF FFFF
Bank 3	64M	0x0C00 0000–0x0FFF FFFF

プログラマブルなタイミング・パラメータ・セットを使って、低速のメモリ・デバイスをサポートする SDRAM バンクを設定することができます。32 ビット幅のデバイスは、SDRAM インターフェースと AMI インターフェースでサポートされていないことに注意してください。

SDRAM コントローラのアドレス、データ・ピン、クロック・ピン、コントロール・ピンは、最大 30 pF の分布負荷を駆動することができます。大規模なメモリ・システムの場合、SDRAM コントローラの外部バッファ・タイミングを選択して、SDRAM コントローラ・ピンの負荷が 30 pF を超えないように外部バッファを設ける必要があります。

図に示す外部メモリ・バンク・アドレスは、ノーマル・ワード(32 ビット)アクセスの場合であることを注意してください。48 ビット命令および 32 ビット・データを同じ外部メモリ・バンクに格納する場合は、これらをマッピングする際に重複しないよう注意する必要があります。

外部メモリに対する SIMD アクセス

プロセッサ内蔵の SDRAM コントローラは、64 ビット EPD (external port data bus) 上で SIMD アクセスをサポートしています。ノーマル・ワード・スペース(NW)内にある PEy ユニット上の相補レジスタをアクセスすることができます。この機能では、SISD モードのように相補レジスタを明示的にロードする必要がないため性能が向上します。

外部メモリに対する VISA アクセスと ISA アクセス

ADSP-2148x プロセッサ内蔵の SDRAM コントローラは、VISA 機能をサポートしています。この機能では、VISA 命令が圧縮されているためメモリの消費が少なくなります。さらに、1 回の 48 ビット・フェッチには最大 3 個の有効命令が含まれるためバス・フェッチ動作が少なくなります。もちろん従来型 ISA 動作からのコード実行もサポートされています。VISA/ISA によらずバンク 0 のみからのコード実行がサポートされていることに注意してください。表 7 に、各モードでの命令フェッチのアドレス範囲を示します。

表 7. 外部バンク 0 命令フェッチ

Access Type	Size in Words	Address Range
ISA (NW)	4M	0x0020 0000–0x005F FFFF
VISA (SW)	10M	0x0060 0000–0x00FF FFFF

パルス幅変調

PWM モジュールは柔軟でプログラマブルな PWM 波形ジェネレータであり、モーターやエンジンの制御やオーディオ・パワー制御に関係する種々のアプリケーションで必要とされるスイッチング・パターンを発生するように設定することができます。PWM ジェネレータは、中心揃えまたはエッジ揃えの PWM 波形を発生することができます。さらに、ペアード・モードで 2 本の出力に相補信号を発生するか、または非ペアード・モードで独立な信号を発生することができます(4 個の PWM 波形からなる 1 グループに使用可能)。

PWM モジュール全体としては、各々 4 個の PWM 出力からなるグループを 4 個持っています。このため、このモジュールは合計 16 個の PWM 出力を発生します。各 PWM グループは、4 本の PWM 出力を使って PWM 信号対を 2 対発生します。

この PWM ジェネレータは、中心揃え PWM 波形を発生する際に、シングル更新モードまたはダブル更新モードの 2 種類のモードで動作することができます。シングル更新モードでは、PWM 周期で 1 回だけデューティ・サイクル値を設定することができます。この設定により、PWM 周期の中心に関して対称な PWM パターンが得られます。ダブル更新モードでは、PWM 周期の中央で PWM レジスタの 2 回目の更新ができます。このモードでは、3 相 PWM インバータ用の高調波歪みの小さい非対称 PWM パターンを発生することができます。

PWM 信号は、外部ポート・アドレス・ラインまたは DPI ピンに割り当てることができます。

MediaLB

ADSP-2148x プロセッサの車載モデルは、MLB インターフェースを内蔵しています。このインターフェースにより、プロセッサはメディア・ローカル・バス・デバイスとして機能することができます。これには、3 ピンと 5 ピンのメディア・ローカル・バス・プロトコルのサポートが含まれています。最大速度 1024 FS (49.25 Mビット/sec、FS = 48.1 kHz)とメディア・ローカル・バス・フレームあたり最大 124 バイトのデータを持つ最大 31 個のロジカル・チャンネルをサポートします。車載製品のリストについては、[ページ 64](#)の車載製品を参照してください。

デジタル・アプリケーション・インターフェース(DAI)

デジタル・アプリケーション・インターフェース(DAI)を使うと、種々のペリフェラルを任意の DAI ピン(DAI_P20~1)へ接続することができます。これらの接続は、信号ルーティング・ユニット(SRU)を使ってプログラムから行います。

SRU は、ソフトウェアからの制御で、DAI が提供するペリフェラルを相互接続できるようにするマトリックス・ルーティング・ユニット(すなわちマルチプレクサのグループ)です。この機能を使った場合、大規模なセットのアルゴリズムを使うことにより、広範囲なアプリケーションに対して DAI に対応させたペリフェラルを、信号バスを設定できない場合に比べて遥かに容易に使用できるようになります。

この DAI には 8 個のシリアル・ポート、4 個の高精度クロック・ジェネレータ(PCG)、1 個の S/PDIF トランシーバ、4 個の ASRC、1 個の入力データ・ポート(IDP)も内蔵されています。IDP は、SHARC コアに対する追加入力バスを提供し、8 チャンネルのシリアル・データとして、または 1 個の 20 ビット幅同期パラレル・データ・アクイジション・ポートとして構成することができます。各データ・チャンネルには、プロセッサのシリアル・ポートから独立した固有の DMA チャンネルがあります。

シリアル・ポート(SPORT)

ADSP-2148x は、8 個の同期シリアル・ポートを内蔵しています。これらのポートは、アナログ・デバイスの AD183x ファミリーのオーディオ・コーデック、ADC、DAC のような、多様なデジタルおよびミックスド・シグナル・ペリフェラル・デバイスに対する安価なインターフェースを提供します。シリアル・ポートは、2 本のデータライン、クロック、フレーム同期から構成されています。データラインは送信または受信に設定することができ、各データラインには専用の DMA チャンネルがあります。

シリアル・ポートは、8 個の全 SPORT がイネーブルされた場合、最大 16 個の送信 DMA チャンネルまたは 16 個の受信 DMA チャンネルをサポートすることができます。あるいは、フレームあたり 128 チャンネルの 4 個の全二重 TDM ストリームをサポートすることができます。

シリアル・ポート・データは、専用の DMA チャンネルを使って、内蔵メモリ/外部メモリとの間で自動的に転送することができます。各シリアル・ポートを別のシリアル・ポートと組み合わせ動作させて、TDM をサポートすることができます。1 つの SPORT が 2 つの送信信号を提供すると同時に、他の SPORT が 2 つの受信信号を提供します。フレーム同期とクロックは共用されます。

シリアル・ポートは次の 5 種類のモードで動作します。

- 標準シリアル・モード
- マルチチャンネル(TDM)モード
- I²S モード
- パックド I²S モード
- 左詰めサンプル・ペアモード

S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

S/PDIF レシーバ/トランスミッタには個別の DMA チャンネルはありません。オーディオ・データをシリアル・フォーマットで受信して、バイフェーズ符号信号に変換します。レシーバ/トランスミッタへのシリアル・データは、16、18、20、または 24 ビット・ワード幅の左詰め、I²S、または右詰めとして入力することができます。

S/PDIF レシーバ/トランスミッタへのシリアル・データ入力、クロック入力、フレーム同期入力は、信号ルーティング・ユニット(SRU)を介して接続されます。SPORT、外部ピン、または高精度クロック・ジェネレータ(PCG)のような様々なソースから入力することができます。SRU コントロール・レジスタから制御されます。

非同期サンプル・レート・コンバータ(SRC)

非同期サンプル・レート・コンバータには 4 個の SRC ブロックが内蔵されており、AD1896 192 kHz ステレオ非同期サンプル・レート・コンバータで使用された同じコアが使用され、最大 128 dB の SNR を提供します。SRC ブロックは、独立なステレオ・チャンネル間で、内部プロセッサ・リソースを使うことなく、同期または非同期サンプル・レート変換を行うために使用されます。4 個の SRC ブロックを組み合わせ動作させて、複数チャンネル・オーディオ・データを位相不一致なしで変換することもできます。また、SRC を使って、S/PDIF レシーバのようなジッタの多いクロック・ソースからのオーディオ・データをクリーンアップすることもできます。

入力データ・ポート

IDP は、最大 8 個のシリアル入力チャンネル(各々にはクロック、フレーム同期、データ入力があります)を提供します。8 チャンネルは深さ 8 の FIFO を使って、1 本の 32 ビットに自動的にマルチプレクスされます。データは、64 ビット・フレームとして常にフ

ーマットされ、2 個の 32 ビット・ワードに分割されます。このシリアル・プロトコルは、I²S、左詰めサンプル対、または右詰めモードのオーディオ・チャンネルを受信するようにデザインされています。

また、IDP にはパラレル・データ・アキュイジション・ポート(PDAP)があり、パラレル・データの受信に使用することができます。この PDAP ポートには、クロック入力とホールド入力があります。PDAP のデータは、DAI ピンまたは外部ポート・ピンから受信することができます。PDAP では、最大 20 ビットの入力データと 4 種類のパッキング・モードをサポートしています。

高精度クロック・ジェネレータ

高精度クロック・ジェネレータ(PCG)は4個のユニットで構成され、各々はクロック入力信号から信号対(クロックとフレーム同期)を発生します。ユニット A、B、C、D は同じ機能であり、互いに独立に動作します。各ユニットで発生される 2 つの信号は通常、シリアル・ビット・クロックとフレーム同期のペアとして使用されます。

PCG A と PCG B の出力は各 DAI ピンに、PCG C と PCG D の出力は DAI ピンおよび DPI ピンに、それぞれ接続することができます。

デジタル・ペリフェラル・インターフェース(DPI)

ADSP-2148x SHARC プロセッサはデジタル・ペリフェラル・インターフェースを内蔵しているため、2 個のシリアル・ペリフェラル・インターフェース・ポート(SPI)、1 個の UART、12 個のフラグ、1 個の 2 線式インターフェース(TWI)、3 個の PWM モジュール(PWM3~1)、2 個の汎用タイマへ接続することができます。

シリアル・ペリフェラル(互換)インターフェース(SPI)

SPI は業界標準の同期シリアル・リンクであり、これらの SPI 互換ポートを使って他の SPI 互換デバイスと通信することができます。SPI は 2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、1 本のクロック・ピンから構成されています。全二重の同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードをサポートしています。SPI ポートは、最大 4 個の他の SPI 互換デバイスとインターフェースして、マスター・デバイスまたはスレーブ・デバイスとして機能することにより、マルチマスター環境で動作することができます。SPI 互換ペリフェラルのポーレート、クロック位相、クロック極性も設定することができます。SPI 互換ポートでは、オープン・ドレイン・ドライバを使用してマルチマスター構成をサポートし、データの競合を防止しています。

UART ポート

これらのプロセッサは、PC 標準 UART と互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを内蔵しています。この UART ポートは他のペリフェラルまたはホストに対するシンプルな UART インターフェースを提供し、全二重、DMA、シリアル・データの非同期転送をサポートしています。この UART は、9 ビット・アドレスの検出を行うマルチプロセッサ通信機能を持っています。この機能により、RS-485 データ・インターフェース規格に従ってマルチドロップ・ネットワークで使用することができます。この UART ポートは、5 ビット~8 ビットのデータ・ビット、1 ビットまたは 2 ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)もサポートしています。UART ポートは次の 2 つの動作モードをサポートしています。

- PIO (プログラムド I/O)—プロセッサは I/O マップド UART レジスタに対して書き込みまたは読出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。

- DMA (ダイレクト・メモリ・アクセス)—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要なとされる割込みの回数と頻度を減らします。UART は、送信と受信に対して各 1 個の専用 DMA チャンネルを持っています。これらの DMA チャンネルは UART の転送レートが相対的に低いため、デフォルトでは大部分の DMA チャンネルより低い優先順位を持っています。

タイマ

ADSP-2148x は、周期的なソフトウェア割込みを発生できるコア・タイマを 1 個と、周期割込みを発生できて次の 3 つの動作モードに独立に設定できる汎用タイマ 2 個の合計 3 個のタイマを内蔵しています。

- パルス波形発生モード
- パルス幅カウンタ/キャプチャ・モード
- 外部イベント・ウォッチドッグ・モード

コア・タイマは、FLAG3 をタイムアウト信号として使用するように構成することができます。汎用タイマは 1 本の双方向ピンと 4 個のレジスタを持っています。これら 4 個のレジスタは動作モードを制御し、6 ビットのコンフィギュレーション・レジスタ、32 ビットのカウント・レジスタ、32 ビットの周期レジスタ、32 ビットのパルス幅レジスタからなります。1 個のコントロール/ステータス・レジスタにより、汎用タイマをイネーブル/ディスエーブルすることができます。

2 線式インターフェース・ポート(TWI)

TWI は、I²C バス・プロトコルに準拠する 8 ビット・データの転送に使う双方向 2 線式シリアル・バスです。TWI マスターは次の機能を持っています。

- 7 ビット・アドレッシング
- マルチ・マスター・データ調停をサポートする複数デバイス・システムでのマスター/スレーブ同時動作
- デジタル・フィルタ機能と時間イベント処理
- 100 kbps と 400 kbps のデータ・レート
- 低割込みレート

I/O プロセッサの機能

I/O プロセッサは、最大 65 個の DMA チャンネルと前述の広範囲なペリフェラル・セットを提供します。

DMA コントローラ

プロセッサの内蔵 DMA コントローラにより、プロセッサの介入なしでデータ転送を行うことができます。DMA コントローラは独立に動作し、プロセッサ・コアからは見えないため、DMA 動作はコアのプログラム命令実行と同時に発生することができます。DMA 転送は、シリアル・ポート、SPI 互換(シリアル・ペリフェラル・インターフェース)ポート、IDP (入力データ・ポート)、PDAP、または UART と、ADSP-2148x プロセッサの内部メモリとの間で行うことができます。DMA チャンネルの一覧を表 8 に示します。

プログラムは、DMA 転送を使って ADSP-2148x にダウンロードすることができます。その他の DMA 機能としては、DMA 転送完了時の割込み発生や DMA 転送を自動でリンクさせるためのチェイニング機能などがあります。

表 8. DMA チャンネル

Peripheral	DMA Channels
SPORTs	16
IDP/PDAP	8
SPI	2
UART	2
External Port	2
Accelerators	2
Memory-to-Memory	2
MLB ¹	31

¹ 車載モデルの場合。

ディレイライン DMA

プロセッサは、ディレイライン DMA 機能を提供します。この機能を使うと、プロセッサは外部ディレイライン・バッファ(外部メモリへ格納される)に対してコアの介入を最小限にした読出しと書込みを行うことができます。

DMA の分散/集結機能

このプロセッサでは DMA 分散/集結機能を提供しています。この機能により、非連続メモリ・ブロックに対する DMA 読出し/書込みが可能になります。

FFT アクセラレータ

FFT アクセラレータは、基数 2 の複素数/実数入力(コアの介入不要な複素数出力 FFT)を持っています。この FFT アクセラレータはペリフェラル・クロック周波数で動作します。

FIR アクセラレータ

FIR (有限インパルス応答)アクセラレータは、1024 ワードの係数メモリ、データ用の 1024 ワード・ディープ・ディレイライン、4 個の MAC ユニットで構成されています。この FIR アクセラレータはペリフェラル・クロック周波数で動作します。

IIR アクセラレータ

この IIR (無限インパルス応答)アクセラレータは、バイクワード係数格納用の 1440 ワードの係数メモリ、中間データ格納用のデータ・メモリ、1 個の MAC ユニットで構成されています。この IIR アクセラレータはペリフェラル・クロック周波数で動作します。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、システム・ソフトウェアの安定性を管理するために使います。この目的で使用する場合、ソフトウェアで周期的にウォッチドッグ・タイマにリロードして、下流にあるタイマがタイムアウトしないようにします。タイムアウトすると、システム・ソフトウェアが制御できない状態であることがわかります。このように 32 ビット・ウォッチドッグ・タイマは、ソフトウェア・ウォッチドッグ機能を構成するときに使うことができます。ソフトウェア・ウォッチドッグがソフトウェアからリセットされる前にタイマがタイムアウトすると、システム・リセットが発生して、プロセッサを強制的に既知状態に設定します。このためシステムの信頼性を向上させることができます。ソフトウェアからタイマのカウント値を初期化して、次にタイマをイネーブルします。ウォッチドッグ・タイマは、コアと内部ペリフェラルをリセットします。この機能は、176 ピン・パッケージでのみ使用可能なことに注意してください。

システム・デザイン

次のセクションでは、システム・デザイン・オプションと電源問題の概要を説明します。

プログラム・ブート

ADSP-2148x の内部メモリは、システム・パワーアップ時に外部ブート、SPI マスター、または SPI スレーブに接続された 8 ビット EPROM からブートします。ブートは、176 ピン・パッケージでは表 9 のブート設定(BOOT_CFG2~0)ピンにより、100 ピン・パッケージでは表 10 のブート設定(BOOT_CFG2~0)ピンにより、それぞれ指定されます。

表 9. ブート・モードの選択、176 ピン・パッケージ

BOOT_CFG2-0	Booting Mode
000	SPI Slave Boot
001	SPI Master Boot
010	AMI User Boot (for 8-bit Flash Boot)
011	No boot (processor executes from internal ROM after reset)
1xx	Reserved

表 10. ブート・モードの選択、100 ピン・パッケージ

BOOT_CFG1-0	Booting Mode
00	SPI Slave Boot
01	SPI Master Boot
10	Reserved
11	No boot (processor executes from internal ROM after reset)

PLL と SDRAM コントローラのリセットなしまたはブートなしで、プロセッサ・コアとペリフェラルのリセット可能な"ランニング・リセット"機能があります。RESETOUT/RUNRSTIN ピンの機能は、ランニング・リセットを発生させる入力としても機能するように拡張されました。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。

電源

プロセッサは、内部電源(V_{DD_INT})と外部電源(V_{DD_EXT})に対する別々の電源接続を持っています。内部電源は、V_{DD_INT} 仕様を満たす必要があります。外部電源は V_{DD_EXT} 仕様を満たす必要があります。すべての外部電源ピンは、同じ電源に接続する必要があります。

ノイズの混入を少なくするためには、PCB で V_{DD_INT} と GND に対して電源プレーンとグラウンド・プレーンの並行対を使う必要があります。

ターゲット・ボード JTAG エミュレータのコネクタ

アナログ・デバイゼズの JTAG エミュレータの DSP ツール製品ラインでは、ADSP-2148x プロセッサの IEEE 1149.1 JTAG テスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。アナログ・デバイゼズの JTAG エミュレータの DSP ツール製品ラインは、フル・プロセッサ速度でのエミュレーションを提供するため、メモリ、レジスタ、プロセッサ・スタックの検証と変更が可能です。プロセッサの JTAG インターフェースでは、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないことを保証します。

アナログ・デバイゼスの JTAG エミュレータの SHARC DSP ツール製品ラインの動作の詳細については、該当するエミュレータ・ハードウェア・ユーザズ・ガイドを参照してください。

開発ツール

ADSP-2148x プロセッサは、アナログ・デバイゼスのエミュレータと VisualDSP++[®]開発環境を含む CROSSCORE[®]ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。アナログ・デバイゼスの他の SHARC プロセッサをサポートしている同じエミュレータ・ハードウェアでも ADSP-2148x をエミュレートします。

EZ-KIT Lite 評価用ボード

プロセッサを評価する場合は、アナログ・デバイゼスから提供する EZ-KIT Lite[®]ボードを使用してください。このボードにはエミュレーション機能が付いており、ソフトウェア開発環境が備わっています。複数のドータ・カードも用意されています。

エミュレータ互換 DSP ボード(ターゲット)のデザイン

アナログ・デバイゼスのエミュレータ・ファミリーは、すべての DSP 開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイゼスは、各 JTAG DSP 上で IEEE 1149.1 JTAG テスト・アクセス・ポート(TAP)を提供しています。プロセッサの JTAG インターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。エミュレータはこの TAP を使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するように DSP システムを設定することができます。

これらのエミュレータを使うときは、ターゲット・ボードにプロセッサの JTAG ポートをエミュレータへ接続するヘッダーが含まれている必要があります。

メカニカル・レイアウト、シングル・プロセッサ接続、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイゼスのウェブ・サイト(www.analog.com)にある「*Analog Devices JTAG Emulation Technical Reference*」を参照してください。"EE-68"のサイト検索をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

評価キット

アナログ・デバイゼスは、アナログ・デバイゼスのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコストパフォーマンスの優れた方法として使う広範囲な EZ-KIT Lite 評価プラットフォームを提供しています。各 EZ-KIT Lite には、評価用ボードと一緒に C/C++コンパイラ、アセンブラ、リンカーによる VisualDSP++[®]開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USB ケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite 製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードの USB コントローラは、ボードをユーザの PC の USB ポートに接続して、VisualDSP++評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PC に接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Lite または任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイゼスの JTAG エミュレータの 1 つを EZ-KIT Lite ボードに接続すると、高速な非侵害型エミュレーションが可能になります。

その他の情報

このデータシートは、ADSP-2148x のアーキテクチャと機能について概要を提供します。ADSP-2148x ファミリー・コア・アーキテクチャと命令セットの詳細については、「*SHARC Processor Programming Reference*」を参照してください。

関連シグナル・チェーン

"シグナル・チェーン"とは、データの入力(リアルタイムに発生している現象や、すでにあるものからサンプリングして得られたデータ入力)を受け、出力をするまでの一連の信号処理を行う電子部品群を指します。このチェーンの一部の出力が次の入力へ供給されます。シグナル・チェーンは、信号処理アプリケーションで使用され、プロセス・データの収集と処理を行い、またはリアルタイム現象の解析に基づきシステム制御を行います。この用語と関連事項の詳細については、アナログ・デバイゼスのウェブ・サイトに掲載する *Glossary of EE Terms* の"シグナル・チェーン"をご覧ください。

アナログ・デバイゼスは、組み合わせるようデザインされた信号処理部品を提供することにより、信号処理システム開発を容易にします。特定のアプリケーションと関連部品間の関係を表示するツールをウェブ・サイト www.analog.com から提供しています。

Circuit from the LabTM のサイト (<http://www.analog.com/jp/circuits>) の実用回路集のページでは次の内容を提供しています。

- 様々な回路タイプとアプリケーションに対するシグナル・チェーンの回路ブロック図
- 各チェーン内の部品に対するセクション・ガイドとアプリケーション情報に対するリンク
- 最適なデザインテクニックとして使用可能な参考デザイン

ピン機能の説明

表 11. ピン説明

名前	タイプ	リセット時とリセット後の状態	説明
ADDR _{23~0}	I/O/T (ipu)	High-Z/ driven low (boot)	外部アドレス。 プロセッサから外部メモリとペリフェラルのアドレスがこれらのピンに出力されます。外部メモリ・インターフェース・アドレス、FLAG15~8 (I/O)、PWM (O) をサポートするために ADDR ピンを共用することができます。リセット時、すべての ADDR ピンが外部メモリ・インターフェース・モードになり、FLAG(0~3)ピンは FLAGS モード(デフォルト)になります。IDP_PDAP_CTL レジスタで設定されると、IDP チャネル 0 がパラレル・データ入力のために ADDR _{23~4} ピンをスキャンします。
DATA _{15~0}	I/O/T (ipu)	High-Z	外部データ。 外部メモリ・インターフェース・データ(I/O)と FLAGS _{7~0} (I/O)をサポートするためにデータ・ピンを共用することができます。
AMI_ACK	I (ipu)		メモリ・アクノリッジ。 外部デバイスは、AMI_ACK (ロー・レベル)のアサートを解除して、外部メモリ・アクセスにウェイト状態を追加することができます。I/O デバイス、メモリ・コントローラ、またはその他のペリフェラルは、AMI_ACK を使って、外部メモリ・アクセスの完了を遅延させることができます。
$\overline{MS0\sim1}$	O/T (ipu)	High-Z	メモリ・セレクト・ライン 0~1。 外部メモリの対応するバンクのチップ・セレクトとして、これらのラインがアサートされます(ロー・レベル)。 $\overline{MS1\sim0}$ ラインは、デコードされたメモリ・アドレス・ラインであり、他のアドレス・ラインと同時に変化します。外部メモリ・アクセスがないとき、 $\overline{MS1\sim0}$ ラインは非アクティブになりますが、条件付きメモリ・アクセス命令が実行されたとき、条件の真偽によらず、アクティブになります。 $\overline{MS1}$ ピンは、EPORT/FLASH ブート・モードで使用することができます。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。
$\overline{AMI_RD}$	O/T (ipu)	High-Z	AMI ポート読出しイネーブル。 $\overline{AMI_RD}$ はプロセッサが外部メモリからワードを読出すごとにアサートされます。
$\overline{AMI_WR}$	O/T (ipu)	High-Z	AMI ポート書込みイネーブル。 $\overline{AMI_WR}$ はプロセッサが外部メモリへワードを書込むごとにアサートされます。
FLAG0/ $\overline{IRQ0}$	I/O (ipu)	FLAG[0] INPUT	FLAG0/割込み要求 0。
FLAG1/ $\overline{IRQ1}$	I/O (ipu)	FLAG[1] INPUT	FLAG1/割込み要求 1。
FLAG2/ $\overline{IRQ2/MS2}$	I/O (ipu)	FLAG[2] INPUT	FLAG2/割込み要求 2/メモリ・セレクト 2。
FLAG3/TMREXP/ $\overline{MS3}$	I/O (ipu)	FLAG[3] INPUT	FLAG3/タイマ・タイムアウト/メモリ・セレクト 3。

表 11のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。

内部プルアップ(ipu)抵抗と内部プルダウン(ipd)抵抗は、ピンからの内部パスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。

この表では、サーマル・ダイオード・ピンを除くすべてのピンは LVTTTL 互換です。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 11. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
SDRAS	O/T (ipu)	High-Z/ driven high	SDRAM ロウ・アドレス・ストロープ。 SDRAM の RAS ピンへ接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
SDCAS	O/T (ipu)	High-Z/ driven high	SDRAM カラム・アドレス・セレクト。 SDRAM の CAS ピンに接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
SDWE	O/T (ipu)	High-Z/ driven high	SDRAM 書込みイネーブル。 SDRAM の WE または W パッファピンに接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
SDCKE	O/T (ipu)	High-Z/ driven high	SDRAM クロック・イネーブル。 SDRAM の CKE ピンに接続します。CLK 信号をイネーブル/ディスエーブルします。詳細については、SDRAM デバイスのデータシートを参照してください。
SDA10	O/T (ipu)	High-Z/ driven high	SDRAM A10 ピン。 非 SDRAM アクセスと並行して SDRAM のリフレッシュを可能にします。このピンは、SDRAM アクセス時のみ DSP の ADDR10 ピンに置き換わります。
SDDQM	O/T (ipu)	High-Z/ driven high	DQM データ・マスク。 SDRAM 入力は書込みアクセス用に、SDRAM 出力は読出しアクセス用に、それぞれ信号をマスクします。書込みサイクル時に DQM がハイ・レベルとしてサンプルされると、入力データがマスクされます。読出しサイクル時に DQM がハイ・レベルとしてサンプルされると、SDRAM 出力パッファがハイ・インピーダンス状態になります。リセットの解除から SDRAM の初期化が完了するまで、SDDQM はハイ・レベルに駆動されます。その後、SDRAM アクセスの有無にかかわらずロー・レベルに駆動されません。
SDCLK	O/T (ipd)	High-Z/ driving	SDRAM クロック出力。 このピンのクロック・ドライバは他のすべてのクロック・ドライバと異なります。 ページ54の図 41 を参照してください。
DAI_P _{20~1}	I/O/T (ipu)	High-Z	デジタル・アプリケーション・インターフェース。 これらのピンは、DAI SRU に対する物理インターフェースを提供します。DAI SRU コンフィギュレーション・レジスタにより、オーディオ中心の内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DAI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。
DPI_P _{14~1}	I/O/T (ipu)	High-Z	デジタル・ペリフェラル・インターフェース。 これらのピンは、DPI SRU に対する物理インターフェースを提供します。DPI SRU コンフィギュレーション・レジスタにより、内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DPI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。
WDT_CLKIN	I		ウォッチドッグ・タイマ・クロック入力。 使用しないときは、このピンをロー・レベルにプルダウンしてください。
WDT_CLKO	O		ウォッチドッグ・リゾネータ・パッド出力。
WDTRSTO	O (ipu)		ウォッチドッグ・タイマ・リセット出力。
THD_P	I		サーマル・ダイオード・アノード。 使用しないときは、このピンはフローティングのままにしてください。
THD_M	O		サーマル・ダイオード・カソード。 使用しないときは、このピンはフローティングのままにしてください。

表 11のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。

内部プルアップ(ipu)抵抗と内部プルダウン(ipd)抵抗は、ピンからの内部バスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。

この表では、サーマル・ダイオード・ピンを除くすべてのピンは LVTTTL 互換です。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 11. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
MLBCLK ¹	I		メディア・ローカル・バス・クロック。 このクロックは、MLB コントローラにより生成されます。MLB コントローラは MOST ネットワークに同期化されるため、MLB インターフェース全体のタイミングを提供します。49.152 MHz で、FS=48 kHz です。MLB コントローラを使用しない場合は、このピンをグラウンドに接続しておく必要があります。
MLBDAT ¹	3 ピン・モードで I/O/T。5 ピン・モードで I。	High-Z	メディア・ローカル・バス・データ。 MLBDAT ラインは、送信側 MLB デバイスから駆動され、MLB コントローラなどの他のすべての MLB デバイスにより受信されます。MLBDAT ラインでは実際のデータが転送されます。5 ピン MLB モードでは、このピンは入力専用になります。MLB コントローラを使用しない場合は、このピンをグラウンドに接続しておく必要があります。
MLBSIG ¹	3 ピン・モードで I/O/T。5 ピン・モードで I。	High-Z	メディア・ローカル・バス信号。 MLB コントローラが生成したマルチプレクスされたチャンネル/アドレスシグナルや MLB デバイスからのコマンドや Rx ステータスバイトが転送されます。5 ピン・モードでは、このピンは入力専用です。MLB コントローラを使用しない場合は、このピンをグラウンドに接続しておく必要があります。
MLBDO ¹	O/T	High-Z	メディア・ローカル・バス・データ出力(5 ピン・モード)。 このピンは、5 ピン MLB モードでのみ使用されます。5 ピン・モードで出力データ・ピンとして機能します。MLB コントローラを使用しない場合は、このピンをグラウンドに接続しておく必要があります。
MLBSO ¹	O/T	High-Z	メディア・ローカル・バス信号出力(5 ピン・モード)。 このピンは、5 ピン MLB モードでのみ使用されます。5 ピン・モードで出力信号ピンとして機能します。MLB コントローラを使用しない場合は、このピンをグラウンドに接続しておく必要があります。
TDI	I (ipu)		テスト・データ入力(JTAG)。 バウンダリ・スキャン・ロジックのシリアル・データを提供します。
TDO	O/T	High-Z	テスト・データ出力(JTAG)。 バウンダリ・スキャン・バスのシリアル・スキャン出力。
TMS	I (ipu)		テスト・モード・セレクト(JTAG)。 テスト・ステート・マシンの制御に使用します。
TCK	I		テスト・クロック(JTAG)。 JTAG バウンダリ・スキャンのクロックを提供します。パワーアップ後には TCK をアサート(ロー・レベル)する必要があります。あるいは、デバイスの正常動作のためにはロー・レベルを維持する必要があります。
TRST	I (ipu)		テスト・リセット(JTAG)。 テスト・ステート・マシンをリセットします。プロセッサの正常動作のためには、パワーアップ後に TRST をアサート(ロー・レベル・パルス)する必要があります。あるいは、デバイスの正常動作のためにはロー・レベルを維持する必要があります。
EMU	O/T (ipu)	High-Z	エミュレーション・ステータス。 ADSP-2148x アナログ・デバイセズの DSP ツール製品ラインの JTAG エミュレータ・ターゲット・ボード・コネクタへ接続する専用ピン。

表 11 のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。

内部プルアップ(ipu)抵抗と内部プルダウン(ipd)抵抗は、ピンからの内部バスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。

この表では、サーマル・ダイオード・ピンを除くすべてのピンは LVTTTL 互換です。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 11. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
CLK_CFG ₁₋₀	I		コア対 CLKIN 比制御。これらのピンは、クロック周波数の起動を設定します。 コアがリセットから抜け出した後いつでも、PMCTL レジスタ内の PLL 通倍器/分周器を設定して動作周波数を変更できることに注意してください。可能な値は、 00 = 8:1 01 = 32:1 10 = 16:1 11 = 予約済み
CLKIN	I		ローカル・クロック・イン 。XTAL と組み合わせで使います。CLKIN はクロック入力です。プロセッサが内部クロック・ジェネレータまたは外部クロック源を使うように設定します。CLKIN と XTAL に必要な部品を接続すると、内部クロック・ジェネレータがイネーブルされます。外部クロックを CLKIN に接続し、XTAL を解放のままにすると、プロセッサが外部クロック発振器のような外部クロック源を使うように設定されます。CLKIN は、停止、変更、または規定周波数未満で動作させることはできません。
XTAL	O		水晶発振器ピン 。CLKIN と組み合わせで使って外付け水晶の駆動に使います。
RESET	I		プロセッサ・リセット 。プロセッサを既知状態にリセットします。アサートが解除された後、PLL のロックまでに 4096 CLKIN サイクルが必要です。この時間が経過後、コアはハードウェア・リセット・ベクタ・アドレスからプログラムの実行を開始します。RESET 入力は、パワーアップの前にアサート(ロー・レベル)する必要があります。
RESETOUT/ RUNRSTIN	I/O (ipu)		リセット出力/ランニング・リセット入力 。このピンのデフォルト設定は RESETOUT です。このピンは RUNRSTIN 機能と共用され、この RUNRSTIN 機能は RUNRSTCTL レジスタのビット 0 をセットするとイネーブルされます。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。
BOOT_CFG ₂₋₀	I		ブート・コンフィギュレーション・セレクト 。これらのピンを使って、プロセッサのブート・モードを選択します(表 9 参照)。BOOT_CFG ピンは、RESET(ハードウェアとソフトウェア)がアサートされる前に有効である必要があります。

表 11 のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。

内部プルアップ(ipu)抵抗と内部プルダウン(ipd)抵抗は、ピンからの内部バスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。

この表では、サーマル・ダイオード・ピンを除くすべてのピンは LVTTTL 互換です。

¹MLB ピンは車載モデルでのみ使用できます。

表 12. ピン・リスト、電源とグラウンド

名前	タイプ	説明
V _{DD_INT}	P	内部電源
V _{DD_EXT}	P	I/O 電源
GND ¹	G	グラウンド
V _{DD_THD}	P	サーマル・ダイオード電源。使用しないときは、このピンはフローティングのままにしてください。

¹エクスポーズド・パッドは、電気的および熱的に GND に接続する必要があります。これは、エクスポーズド・パッドをエクスポーズド・パッドと同じサイズの GND PCB ランドへハンダ付けすることにより実施します。GND PCB ランドは、最適な電気的および熱的性能を得るため PCB の GND プレーンへ確実に接続する必要があります。パッケージには個別の GND ピンがありません。

仕様

動作条件

Parameter ¹	Description	300 MHz			350 MHz			400 MHz			Unit
		Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	
V _{DD_INT}	Internal (Core) Supply Voltage	1.05	1.1	1.15	1.05	1.1	1.15	1.05	1.1	1.15	V
V _{DD_EXT}	External (I/O) Supply Voltage	3.13		3.47	3.13		3.47	3.13		3.47	V
V _{DD_THD}	Thermal Diode Supply Voltage High	3.13		3.47	3.13		3.47	3.13		3.47	V
V _{IH} ²	Level Input Voltage @ V _{DD_EXT} = Max	2.0		3.6	2.0		3.6	2.0		3.6	V
V _{IL} ⁴	Low Level Input Voltage @ V _{DD_EXT} = Min	-0.3		0.8	-0.3		0.8	-0.3		0.8	V
	High Level Input Voltage @ V _{DD_EXT} = Max	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	V
V _{IH_CLKIN} ³	Low Level Input Voltage @ V _{DD_EXT} = Min	-0.3		+0.8	-0.3		+0.8	-0.3		+0.8	V
V _{IL_CLKIN}	High Level Input Voltage @ V _{DD_EXT} = Max	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	V
T _J	Junction Temperature 100-Lead LQFP_EP @ T _{AMBIENT} 0°C to +70°C	0		110	0		110	0		110	°C
T _J	Junction Temperature 100-Lead LQFP_EP @ T _{AMBIENT} -40°C to +85°C	-40		125	-40		125	-40		125	°C
T _J	Junction Temperature 176-Lead LQFP_EP @ T _{AMBIENT} 0°C to +70°C	0		110	0		110	0		110	°C
T _J	Junction Temperature 176-Lead LQFP_EP @ T _{AMBIENT} -40°C to +85°C	-40		125	-40		125	-40		125	°C

¹仕様は予告なく変更されることがあります。

²ADDR23~0、DATA15~0、FLAG3~0、DAL_Px、DPI_Px、BOOT_CFGx、CLK_CFGx、RUNRSTIN、RESET、TCK、TMS、TDI、TRST、AML_ACK、MLBCLK、MLBDAT、MLBSIG の各入力ピンと双方向ピンに適用。

³CLKIN、WDT_CLKIN の各入力ピンに適用。

電気的特性

Parameter ¹	Description	Test Conditions	300 MHz		350 MHz		400 MHz		Unit
			Min	Max	Min	Max	Min	Max	
V _{OH} ²	High Level Output Voltage	@ V _{DD_EXT} = Min, I _{OH} = -1.0 mA ³	2.4		2.4		2.4		V
V _{OL} ²	Low Level Output Voltage	@ V _{DD_EXT} = Min, I _{OL} = 1.0 mA ³		0.4		0.4		0.4	V
I _{IH} ^{4,5}	High Level Input Current	@ V _{DD_EXT} = Max, V _{IN} = V _{DD_EXT} Max		10		10		10	μA
I _{IL} ⁴	Low Level Input Current	@ V _{DD_EXT} = Max, V _{IN} = 0 V		10		10		10	μA
I _{ILPU} ⁵	Low Level Input Current Pull-up	@ V _{DD_EXT} = Max, V _{IN} = 0 V		200		200		200	μA
I _{OZH} ^{6,7}	Three-State Leakage Current	@ V _{DD_EXT} = Max, V _{IN} = V _{DD_EXT} Max		10		10		10	μA
I _{OZL} ⁶	Three-State Leakage Current	@ V _{DD_EXT} = Max, V _{IN} = 0 V		10		10		10	μA
I _{OZLPU} ⁷	Three-State Leakage Current Pull-up	@ V _{DD_EXT} = Max, V _{IN} = 0 V		200		200		200	μA
I _{OZHPD} ⁸	Three-State Leakage Current Pull-down	@ V _{DD_EXT} = Max, V _{IN} = V _{DD_EXT} Max		200		200		200	μA
I _{DD-INTYP} ^{9,10}	Supply Current (Internal)	V _{DDINT} = 1.1 V, ASF = 1, T _J = 25°C		410		450		500	mA
C _{IN} ^{11,12}	Input Capacitance	T _{CASE} = 25°C		5		5		5	pF

¹仕様は予告なく変更されることがあります。

²ADDR23~0、DATA15~0、AMI_RD、AMI_WR、FLAG3~0、DAL_Px、DPI_Px、EMU、TDO、RESETOUT MLBSIG、MLBDAT、MLBDO、MLBSO、SDRAS、SDCAS、SDWE、SDCKE、SDA10、SDDQM、MS0~1の各出力ピンと双方向ピンに適用。

³駆動電流能力(typ)については、ページ54の出力駆動電流を参照してください。

⁴BOOT_CFGx、CLK_CFGx、TCK、RESET、CLKINの各入力ピンに適用。

⁵TRST、TMS、TDIの内部プルアップ付き各入力ピンに適用。

⁶スリー・ステート・ピンTDOに適用。

⁷DAL_Px、DPI_Px、EMUのプルアップ付き各スリー・ステート・ピンに適用。

⁸プルダウン付きスリー・ステート・ピンSDCLKに適用。

⁹内部電流データ(typ)は公称動作条件を反映。

¹⁰詳細については、EEノート「Estimating Power Dissipation for ADSP-214xx SHARC Processors (EE-348)」を参照。

¹¹全信号ピンに適用。

¹²保証しますが、テストしません。

総合消費電力

総合電力消費電力には次の2つの成分があります。

1. 内部消費電力
2. 外部消費電力

内部電力にも次の2つの成分があります。

1. リーク電流によるスタティック消費電流。表 13 に、ジャンクション温度(T_J)とコア電圧(V_{DD_INT})の関数としてのスタティック消費電流(I_{DD_STATIC})を示します。
2. トランジスタのスイッチング特性とプロセッサのアクティビティ・レベルに起因するダイナミック消費電流($I_{DD_DYNAMIC}$)。アクティビティ・レベルは、アクティビティ・スケーリング・ファクタ(ASF)を反映します。この ASF はプロセッサ上で実行されるアプリケーション・コードや、ペリフェラルと外部ポートの様々なレベルのアクティビティ・レベルを表しています(表 13)。ダイナミック消費電流は、特定のアプリケーションを ASF でスケーリングし、ベースライン・ダイナミック消費電流を基準として計算されます。

外部消費電力は、外部ピンのスイッチング動作に起因します。

この部分を計算するときは、CCLK 周波数および表 14 の V_{DD_INT} 依存データと組み合わせて ASF を使います。2つ目の部分は、 I_{DD_INT} 仕様の式に含まれるペリフェラル・クロック(PCLK)ドメインでのトランジスタ・スイッチングに起因します。

表 13. アクティビティ・スケーリング・ファクタ(ASF)¹

Activity	Scaling Factor (ASF)
Idle	0.29
Low	0.53
Medium Low	0.61
Medium High	0.77
Peak Typical (50:50) ²	0.85
Peak Typical (60:40) ²	0.93
Peak Typical (70:30) ²	1.00
High Typical	1.16
High	1.25
Peak	1.31

¹ ASF の表に固有の電力成分については「*Estimating Power for ADSP-214xx SHARC Processors (EE-348)*」を参照してください。

² 連続命令ループ (コア) の DDR2 制御コードの読出しと書込みの比。

表 14. スタティック電流— I_{DD_STATIC} (mA)¹

T_J (°C)	V_{DD_INT} (V)		
	1.05 V	1.10 V	1.15 V
-45	96	118	144
-35	103	126	154
-25	113	138	168
-15	127	155	187
-5	147	177	212
+5	171	206	245
+15	201	240	285
+25	237	280	331
+35	279	329	388
+45	331	389	455
+55	391	458	533
+65	464	539	626
+75	547	633	731
+85	645	746	860
+95	761	877	1007
+105	897	1026	1179
+115	1047	1198	1372
+125	1219	1397	1601

¹ 有効な温度と電圧範囲はモデルに固有です。ページ17の動作条件を参照してください。

表 15. CCLK ドメインでのベースライン・ダイナミック電流(mA、ASF = 1.0)^{1, 2}

f_{CCLK} (MHz)	Voltage (V_{DD_INT})		
	1.05 V	1.10 V	1.15 V
100	84	88	92
150	126	133	139
200	165	174	183
250	207	217	229
300	246	260	273
350	286	302	318
400	326	344	361

¹ この値は単独の最大仕様として保証しません。これらは、ページ18の電気的特性の式に従ってスタティック電流と組み合わせる必要があります。

² 有効な周波数範囲と電圧範囲はモデルに固有です。ページ17の動作条件を参照してください。

絶対最大定格

表 16に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 16. 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V_{DD_INT})	-0.3 V to +1.32 V
External (I/O) Supply Voltage (V_{DD_EXT})	-0.3 V to +3.6 V
Thermal Diode Supply Voltage (V_{DD_THD})	-0.3 V to +3.6 V
Input Voltage	-0.5 V to +3.6 V
Output Voltage Swing	-0.5 V to $V_{DD_EXT} + 0.5$ V
Storage Temperature Range	-65°C to +150°C
Junction Temperature While Biased	125°C

パッケージ情報

図 3に、ADSP-2148x プロセッサのパッケージ表示の詳細を示します。製品の供給状況については、ページ65のオーダー・ガイドをご覧ください。



図 3. 代表的なパッケージ表示

表 17. パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Option
cc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
yywww	Date Code

ESD について



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

最大消費電力

最大消費電力に関する熱および消費電力情報の詳細については、EE ノート「*Estimating Power Dissipation for ADSP-214xxSHARC Processors*」E(EE-348)を参照してください。パッケージの熱仕様については、ページ55の熱特性を参照してください。

タイミング仕様

指定されたタイミング情報そのものを使用してください。他のパラメータの加算または減算によってパラメータを求めないでください。加算または減算により個々のデバイスに対して意味のある結果を得ることができませんが、このデータシートに示す値は、統計的な変動とワースト・ケースを反映しています。したがって、長い時間を得るためにパラメータを加算することは意味がありません。リファレンス電圧レベルについては、ページ54の図 43のテスト条件を参照してください。

スイッチング特性は、プロセッサが信号をどのように変化させるかを規定します。プロセッサの外部回路は、これらの信号特性を満たすようにデザインする必要があります。スイッチング特性は、与えられた状況でプロセッサがどう振る舞うかを規定します。スイッチング特性を使って、プロセッサに接続されるデバイス(例えばメモリ)のタイミング条件を満たしてください。

タイミング条件は、読み出し動作でのデータ入力のような、プロセッサ外部の回路から制御される信号に適用されます。タイミング条件は、プロセッサが他のデバイスと正しく動作することを保証します。

コア・クロック条件

プロセッサの内部クロック(CLKIN の整数倍)は、内部メモリ、プロセッサ・コア、シリアル・ポートのタイミングを決めるクロック信号を提供します。リセット時に、プロセッサの内部クロック周波数と外部(CLKIN)クロック周波数との比を CLK_CFG1~0 ピンを使って設定してください。プロセッサの内部クロックは、システム入力クロック(CLKIN)より高い周波数でスイッチします。内部クロックを発生するため、プロセッサは内部位相ロック・ループ(PLL、図 4)を使用しています。この PLL ベースのクロックは、システム・クロック(CLKIN)信号とプロセッサの内部クロックとの間のスキューを小さくします。

電圧制御発振器(VCO)

アプリケーションのデザインでは、VCO 周波数が表 20 に規定する f_{VCO} を超えないように PLL 通倍比を選択する必要があります。

- 入力バイダをイネーブルしていない場合 (INDIV = 0)、CLKIN と PLLM の積は表 20 に示す $f_{VCO}(\text{max})$ の 1/2 を超えることはできません。
- 入力バイダをイネーブルしている場合 (INDIV = 1)、CLKIN と PLLM の積は表 20 に示す $f_{VCO}(\text{max})$ を超えることはできません。

VCO 周波数は次のように計算されます。

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$

$$f_{CLK} = (2 \times PLLM \times f_{INPUT}) \div PLLD$$

ここで、

f_{VCO} = VCO 出力。

PLLM = PMCTL レジスタに設定する通倍比。

リセット時に、PLLM 値はハードウェアの CLK_CFG ピンを使って選択した比から求められます。

PLLD = PMCTL レジスタに設定された分周比に基づく 2、4、8 または 16。

リセット時のこの値は 2 です。

f_{INPUT} = PLL への入力周波数

f_{INPUT} = 入力分周器ディスエーブル時の CLKIN

f_{INPUT} = 入力分周器イネーブル時の CLKIN/2

CLKIN と該当する比の関数であるクロック周期の定義により、表 18 に示す種々のクロック周期が制御されていることに注意してください。ADSP-2148x ペリフェラルのすべてのタイミング仕様は、 t_{PCLK} との関係で決められています。各ペリフェラルのタイミング情報については、ペリフェラルのタイミング・セクションを参照してください。

表 18. クロック周期タイミング

Timing Requirements	Description
t_{CK}	CLKIN Clock Period
t_{CCLK}	Processor Core Clock Period
t_{PCLK}	Peripheral Clock Period = $2 \times t_{CCLK}$
t_{SDCLK}	SDRAM Clock Period = $(t_{CCLK}) \times SDCKR$

図 4 に、外部発振器または水晶に対するコアと CLKIN の関係を示します。灰色表示した分周器/通倍器ブロックは、ハードウェアから、またはパワー・マネジメント・コントロール・レジスタ (PMCTL) を使ってソフトウェアからクロック比を設定するところです。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。

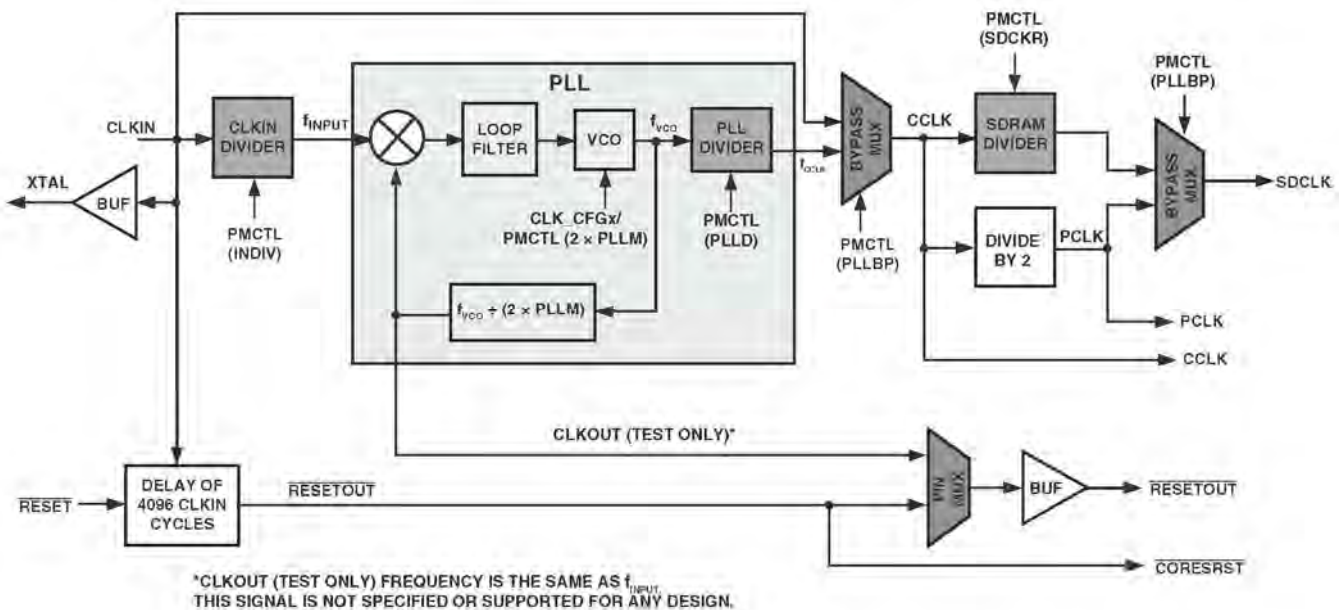


図 4. CLKIN に対するコア・クロックおよびシステム・クロックの関係

パワーアップ・シーケンス

プロセッサ・スタートアップのタイミング条件を表 20 に示します。
 V_{DD_EXT} と V_{DD_INT} の間には特別なパワーアップ・シーケンスは不要ですが、システム・デザインで考慮すべきことがあります。

- 別の電源が立上がる前に、長時間(> 200 ms)電源をパワーアップしたままにしないでください。
- もし V_{DD_EXT} の後に V_{DD_INT} 電源が立上がる場合、 $\overline{RESETOUT}$ や \overline{RESET} のようなピンは、 V_{DD_INT} 電源レールが立上がる前に実際に一時的に駆動されることがあります。

ボード上でこれらの信号を共用するシステムでは、この動作から生ずる解決すべき問題がないか否か調べておく必要があります。

パワーアップ時に、 V_{DD_EXT} の後に V_{DD_INT} 電源が立上がる場合、例えば入力専用ピンであっても(例えば \overline{RESET} ピン)、 V_{DD_INT} 電源レールが立上がる前にスリー・ステート・リーク電流(プルアップ、プルダウン)程度のリーク電流がすべてのピンに流れることに注意してください。

表 19. パワーアップ・シーケンス・タイミング条件(プロセッサ起動)

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{RSTVDD}	\overline{RESET} Low Before V_{DD_EXT} or V_{DD_INT} On	0		ms
$t_{VDDEVDD}$	V_{DD_INT} On Before V_{DD_EXT}	-200	+200	ms
t_{CLKVDD}^1	CLKIN Valid After V_{DD_INT} and V_{DD_EXT} Valid	0	200	ms
t_{CLKRST}	CLKIN Valid Before \overline{RESET} Deasserted	10^2		ms
t_{PLLRST}	PLL Control Setup Before \overline{RESET} Deasserted	20^3		ms
<i>Switching Characteristic</i>				
$t_{CORERST}^{4,5}$	Core Reset Deasserted After \overline{RESET} Deasserted	$4096 \times t_{CK} + 2 \times t_{CCLK}$		ms

¹有効な V_{DD_INT} と V_{DD_EXT} では、電源が公称値に上昇していることを仮定(どの電源が最初かには無関係です)。電圧ランプ・レートは、電源サブシステムのデザインに応じて、数 μ s ~ 数百 ms で変わります。

²水晶発振器のワーストケース・スタートアップ・タイミングを満たした安定な CLKIN 信号を仮定。スタートアップ時間については水晶発振器メーカーのデータシートを参照。外部水晶と XTAL ピンおよび内部発振器回路とを組み合わせる場合、25 ms の最大発振器スタートアップ時間を仮定。

³CLKIN サイクルに基づきます。

⁴パワーアップ・シーケンス完了後に適用。後続のリセットでは、初期化を正しく行い、すべての I/O ピンにデフォルト状態が設定されるためには、最小 4CLKIN サイクル間 \overline{RESET} をロー・レベルにする必要があります。

⁵4096 サイクルのカウンタは表 21 の t_{SRST} 仕様に依存します。セットアップ時間が満たされない場合、コア・リセット時間にさらに CLKIN で 1 サイクルが追加されて、最大 4097 サイクルになります。

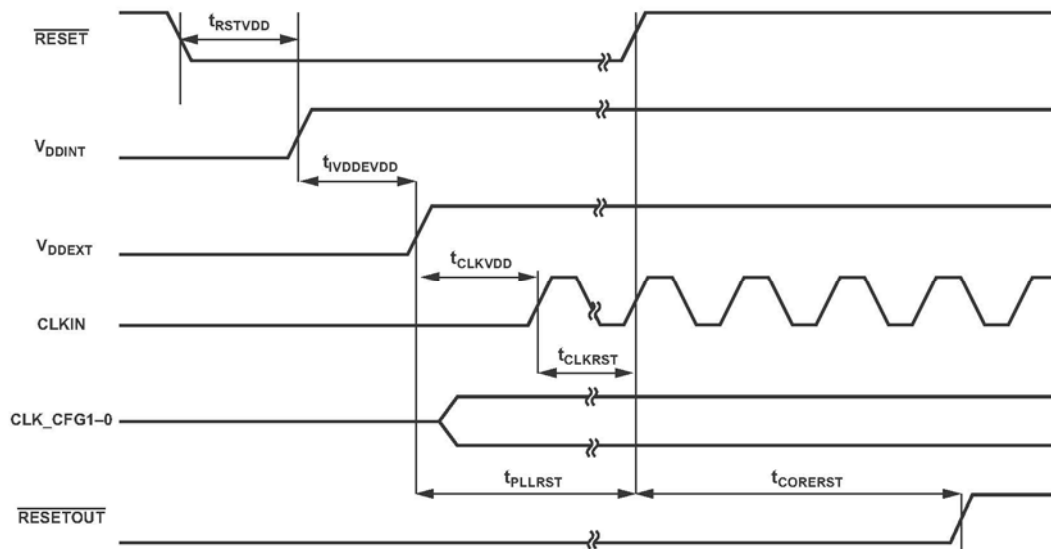


図 5. パワーアップ・シーケンス

クロック入力

表 20. クロック入力

Parameter	300 MHz		350 MHz		400 MHz		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t_{CK} CLKIN Period	26.66 ¹	100 ²	22.8 ¹	100 ²	20 ¹	100 ²	ns
t_{CKL} CLKIN Width Low	13	45	11	45	10	45	ns
t_{CKH} CLKIN Width High	13	45	11	45	10	45	ns
t_{CKRF} ³ CLKIN Rise/Fall (0.4 V to 2.0 V)		3		3		3	ns
t_{CCLK} ⁴ CCLK Period	3.33	10	2.85	10	2.5	10	ns
f_{VCO} ⁵ VCO Frequency	200	600	200	700	200	800	MHz
t_{CKJ} ^{6,7} CLKIN Jitter Tolerance	-250	+250	-250	+250	-250	+250	ps

¹ CLK_CFG1~0=00 と PMCTL 内の PLL コントロール・ビットのデフォルト値に対してのみ適用。

² CLK_CFG1~0=01 と PMCTL 内の PLL コントロール・ビットのデフォルト値に対してのみ適用。

³ シミュレーションにより保証しますが、シリコン上でのテストではありません。

⁴ PMCTL レジスタ内の PLL コントロール・ビットの変更は、コア・クロック・タイミング仕様 t_{CCLK} を満たす必要があります。

⁵ VCO のブロック図については、[ページ21の図 4](#)を参照してください。

⁶ 実際に入力ジッタは、正確なタイミング解析のためには AC 仕様と組み合わせる必要があります。

⁷ ジッタ仕様は、最大ピーク to ピーク時間間隔誤差(TIE)ジッタです。

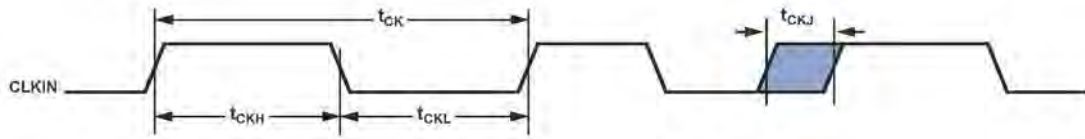


図 6. クロック入力

クロック信号

ADSP-2148x では、外部クロックまたは水晶を使用することができます。[ページ13の表 11](#)の CLKIN ピン説明を参照してください。CLKIN と XTAL に必要な部品を接続して、内部クロック・ジェネレータを使用するようにプロセッサを設定することができます。図 7 に、基本モードの水晶動作に使用する部品接続を示します。

クロック・レートは、25 MHz の水晶と PLL 通倍比 16:1 (この CCLK:CLKIN により 400 MHz のクロック速度が得られます)を使って実現されていることに注意してください。フル・コア・クロック・レートを實現するときは、プログラムから PMCTL レジスタの通倍ビットを設定する必要があります。

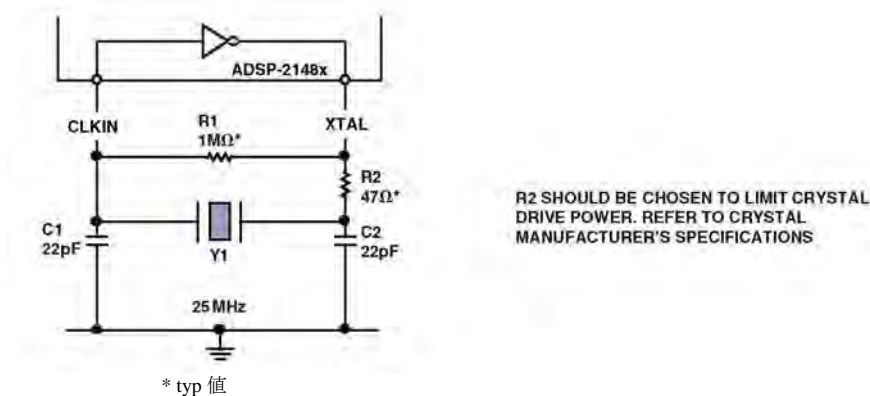


図 7. 基本波モード水晶動作に対する推奨回路

リセット

表 21. リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{WRST}^1 $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
t_{SRST} $\overline{\text{RESET}}$ Setup Before CLKIN Low	8		ns

¹ パワーアップ・シーケンス完了後に適用。パワーアップ時、プロセッサの内部位相ロック・ループは、 V_{DD} と CLKIN が安定している場合、 $\overline{\text{RESET}}$ がロー・レベルのとき 100 μs 以上を必要としません(外部クロック発振器のスタートアップ時間は含みません)。

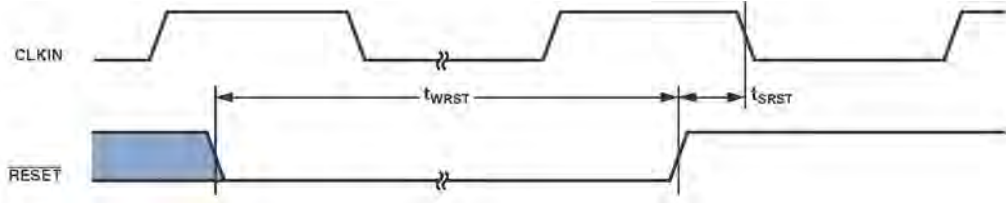


図 8. リセット

ランニング・リセット

次のタイミング仕様は、 $\overline{\text{RESETOUT}}/\text{RUNRSTIN}$ ピンが $\overline{\text{RUNRSTIN}}$ に設定されたとき、このピンに適用されます。

表 22. ランニング・リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{WRUNRST}$ Running $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
$t_{SRUNRST}$ Running $\overline{\text{RESET}}$ Setup Before CLKIN High	8		ns

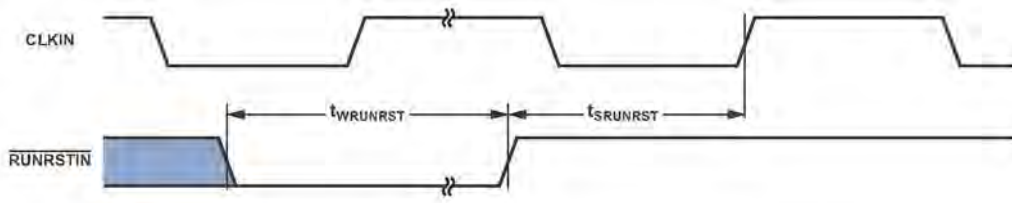


図 9. ランニング・リセット

割込み

次のタイミング仕様は、FLAG0 ピン、FLAG1 ピン、FLAG2 ピンが、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ の各割込みとして、および DAI_P20~1 ピンと DPI_P14~1 ピンが割込みとして、それぞれ設定されたときに、これらに適用されます。

表 23. 割込み

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{IPW} $\overline{\text{IRQx}}$ Pulse Width	$2 \times t_{\text{PCLK}} + 2$		ns

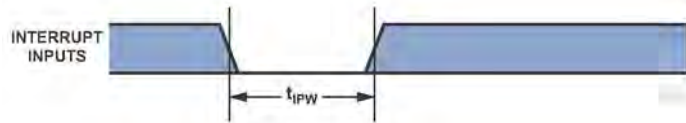


図 10. 割込み

コア・タイマ

次のタイミング仕様は、FLAG3 がコア・タイマ(TMREXP)として設定されたときにこれに適用されます。

表 24. コア・タイマ

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{WCTIM} TMREXP Pulse Width	$4 \times t_{\text{PCLK}} - 1$		ns

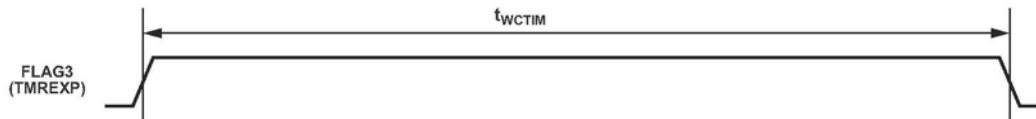


図 11. コア・タイマ

タイマ PWM_OUT サイクルのタイミング

次のタイミング仕様は、PWM_OUT (パルス幅変調)モードでタイマ 0 とタイマ 1 に適用されます。タイマ信号は、DPI SRU を経由して DPI_P14~1 ピンに接続されます。したがって、下記のタイミング仕様は、DPI_P14~1 ピンで有効です。

表 25. タイマ PWM_OUT タイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{PWMO} Timer Pulse Width Output	$2 \times t_{PCLK} - 1.2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

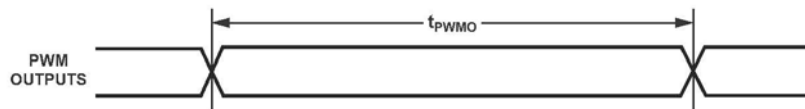


図 12. タイマ PWM_OUT タイミング

タイマ WIDTH_CAP のタイミング

次のタイミング仕様は、WIDTH_CAP (パルス幅カウントとキャプチャ)モードでタイマ 0 とタイマ 1 に適用されます。タイマ信号は、SRU を経由して DPI_P14~1 ピンに接続されます。したがって、タイミング仕様は、DPI_P14~1 ピンで有効です。

表 26. タイマ幅キャプチャのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{PWI} Timer Pulse Width	$2 \times t_{PCLK}$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

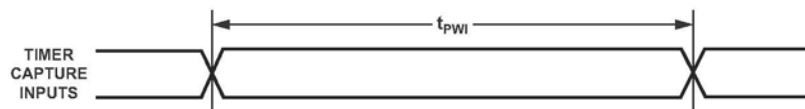


図 13. タイマ幅キャプチャのタイミング

ウォッチドッグ・タイマのタイミング

表 27. ウォッチドッグ・タイマのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{\text{WDTCLKPER}}$	100	1000	ns
<i>Switching Characteristics</i>			
t_{RST} WDT Clock Rising Edge to Watchdog Timer $\overline{\text{RESET}}$ Falling Edge	3	6.4	ns
t_{RSTPW} Reset Pulse Width	$64 \times t_{\text{WDTCLKPER}}$		ns

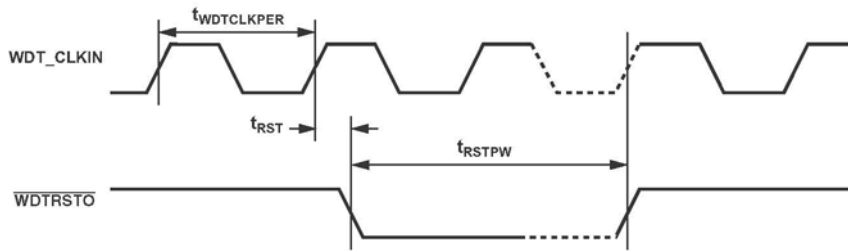


図 14. ウォッチドッグ・タイマのタイミング

ピンーピン間の直接配線(DAI および DPI)

直接ピン接続の場合(例えば DAI_PB01_I と DAI_PB02_O の接続)。

表 28. DAI/DPI ピンーピン間の配線

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{DPIO} Delay DAI/DPI Pin Input Valid to DAI/DPI Output Valid	1.5	12	ns

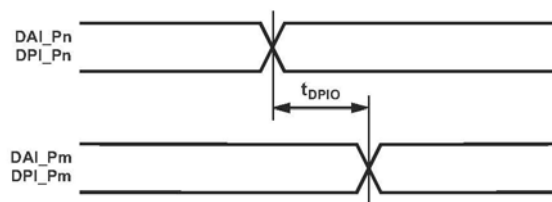


図 15. DAI ピンーDPI ピン間の直接配線

高精度クロック・ジェネレータ(直接ピン配線)

このタイミングは、高精度クロック・ジェネレータ(PCG)が DAI ピン(ピン・バッファ経由)から直接入力を得て、出力を DAI ピンに直接出力するように SRU を設定した場合にのみ有効です。PCG の

入力と出力が直接 DAI ピン(ピン・バッファ経由)に接続されないその他の場合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI_P01~DAI_P20)に適用されます。

表 29. 高精度クロック・ジェネレータ(直接ピン配線)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{PCGIW} Input Clock Period	$t_{CLK} \times 4$		ns
t_{STRIG} PCG Trigger Setup Before Falling Edge of PCG Input Clock	4.5		ns
t_{HTRIG} PCG Trigger Hold After Falling Edge of PCG Input Clock	3		ns
<i>Switching Characteristics</i>			
t_{DPCGIO} PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock	2.5	10	ns
$t_{DTRIGCLK}$ PCG Output Clock Delay After PCG Trigger	$2.5 + (2.5 \times t_{PCGIP})$	$10 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$ PCG Frame Sync Delay After PCG Trigger	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$10 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1 Output Clock Period	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV、PH = FSxPHASE。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」の Precision Clock Generators の章を参照してください。

¹ ノーマル・モード動作

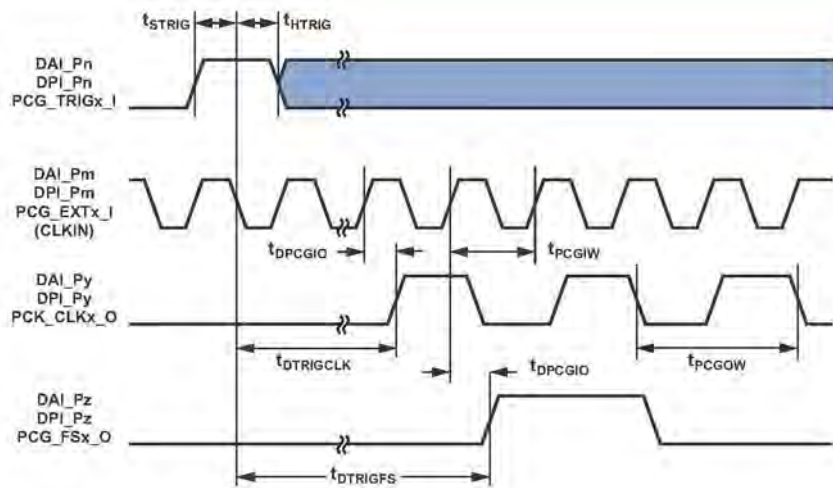


図 16. 高精度クロック・ジェネレータ(直接ピン配線)

フラグ

下記のタイミング仕様は、FLAGS として設定されたときに ADDR7 ~0 と DATA7~0 に適用されます。フラグの使い方の詳細については、ページ13の表 11を参照してください。

表 30. フラグ

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{FIPW}^1 FLAGS IN Pulse Width	$2 \times t_{PCLK} + 3$		ns
<i>Switching Characteristic</i>			
t_{FOPW}^1 FLAGS OUT Pulse Width	$2 \times t_{PCLK} - 3$		ns

¹ これは、フラグが DPI_P14~1、ADDR7~0、DATA7~0、FLAG3~0 ピンに接続された場合に適用されます。

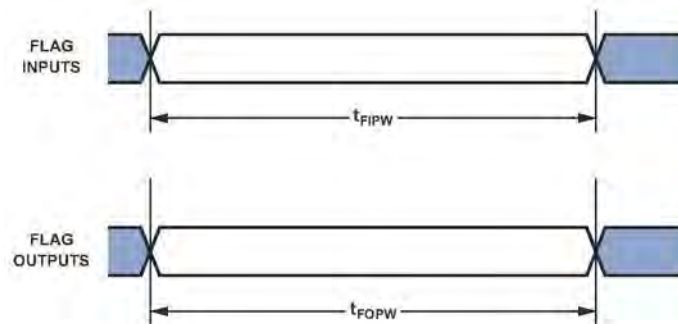


図 17. フラグ

SDRAM インターフェース・タイミング(166 MHz SDCLK)

表 31. SDRAM インターフェースのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SSDAT} DATA Setup Before SDCLK	0.7		ns
t_{HSDAT} DATA Hold After SDCLK	1.23		ns
<i>Switching Characteristics</i>			
t_{SDCLK}^1 SDCLK Period	6		ns
t_{SDCLKH} SDCLK Width High	2.2		ns
t_{SDCLKL} SDCLK Width Low	2.2		ns
t_{DCAD}^2 Command, ADDR, Data Delay After SDCLK		4	ns
t_{HCAD}^2 Command, ADDR, Data Hold After SDCLK	1		ns
t_{DSDAT} Data Disable After SDCLK		5.3	ns
t_{ENSDAT} Data Enable After SDCLK	0.3		ns

¹ システムでは、所望の SDRAM コントローラ速度より高速な速度グレードの SDRAM モデルを使うべきです。例えば、SDRAM コントローラを 166 MHz で動作させる場合、183 MHz 以上の速度グレードの SDRAM モデルを使うべきです。SDRAM インターフェースのハードウェア・デザイン・ガイドラインについては、EE ノート「*Interfacing SDRAM memory to SHARC processors (EE-286)*」を参照してください。

² コマンド・ピンには、 \overline{SDCAS} 、 \overline{SDRAS} 、 \overline{SDWE} 、 \overline{MSx} 、SDA10、SDCKE が含まれます。

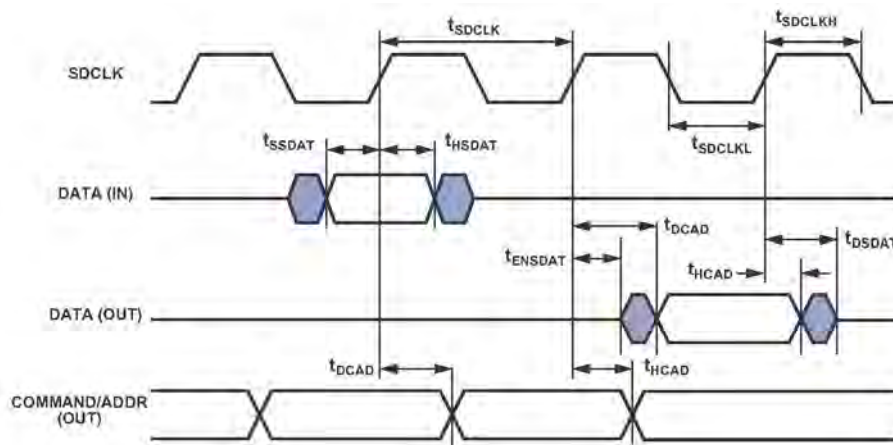


図 18. SDRAM インターフェースのタイミング

AMI 読出し

これらの仕様は、メモリに対する非同期インターフェースに使用してください。AMI_ACK、ADDR、DATA、 $\overline{\text{AMI_RD}}$ 、 $\overline{\text{AMI_WR}}$ のタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 32. AMI 読出し

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{\text{DAD}}^{1,2}$ Address Selects Delay to Data Valid		$W + t_{\text{SDCLK}} - 5.4$	ns
t_{DRLD}^1 $\overline{\text{AMI_RD}}$ Low to Data Valid		$W - 3.2$	ns
t_{SDS} Data Setup to $\overline{\text{AMI_RD}}$ High	2.5		ns
$t_{\text{HDRH}}^{3,4}$ Data Hold from $\overline{\text{AMI_RD}}$ High	0		ns
$t_{\text{DAAK}}^{2,5}$ AMI_ACK Delay from Address, Selects		$t_{\text{SDCLK}} - 9.5 + W$	ns
t_{DSAK}^4 AMI_ACK Delay from $\overline{\text{AMI_RD}}$ Low Switching		$W - 7$	ns
<i>Characteristics</i>			
t_{DRHA} Address Selects Hold After $\overline{\text{AMI_RD}}$ High	RHC + 0.20		ns
t_{DARL}^2 Address Selects to $\overline{\text{AMI_RD}}$ Low	$t_{\text{SDCLK}} - 3.8$		ns
t_{RW} $\overline{\text{AMI_RD}}$ Pulse Width	$W - 1.4$		ns
t_{RWR} $\overline{\text{AMI_RD}}$ High to $\overline{\text{AMI_RD}}$ Low	$HI + t_{\text{SDCLK}} - 1$		ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{\text{SDCLK}}$.

$\text{RHC} = (\text{number of Read Hold Cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$

Where PREDIS = 0

HI = RHC: Read to Read from same bank

HI = RHC + IC: Read to Read from different bank

HI = RHC + Max(IC, (4 × t_{SDCLK})): Read to Write from same or different bank

Where PREDIS = 1

HI = RHC + Max(IC, (4 × t_{SDCLK})): Read to Write from same or different bank

HI = RHC + (3 × t_{SDCLK}): Read to Read from same bank

HI = RHC + Max(IC, (3 × t_{SDCLK})): Read to Read from different bank

$\text{IC} = (\text{number of idle cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$

$\text{H} = (\text{number of hold cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$

¹ データ遅延/セットアップ: システムは t_{DAD} 、 t_{DRLD} 、または t_{SDS} を満たす必要があります。

² MSxの立下がりエッジが基準。

³ AMI_ACK、ADDR、DATA、 $\overline{\text{AMI_RD}}$ 、 $\overline{\text{AMI_WR}}$ のタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

⁴ データ・ホールド: 非同期アクセス・モードでは t_{HDRH} を満たす必要があります。与えられた容量負荷と DC 負荷に対するホールド・タイムの計算については、ページ54のテスト条件を参照。

⁵ AMI_ACK 遅延/セットアップ: AMI_ACK (ロー・レベル)の解除では t_{DAAK} 、または t_{DSAK} を満たす必要があります。

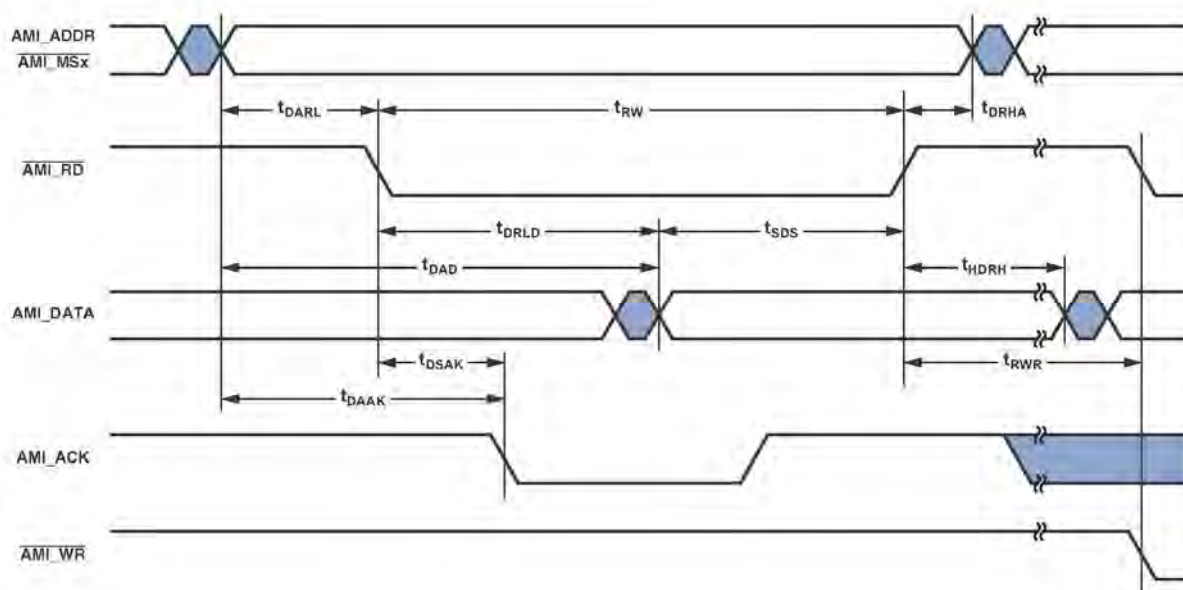


図 19. AMI 読出し

AMI 書込み

これらの仕様は、メモリに対する非同期インターフェースに使用してください。AMI_ACK、ADDR、DATA、AMI_RD、AMI_WRのタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 33. AMI 書込み

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{DAAK}^{1,2}$ AMI_ACK Delay from Address, Selects		$t_{SDCLK} - 9.7 + W$	ns
$t_{DSAK}^{1,3}$ AMI_ACK Delay from AMI_WR Low		$W - 6$	ns
<i>Switching Characteristics</i>			
t_{DAWH}^2 Address Selects to AMI_WR Deasserted	$t_{SDCLK} - 3.1 + W$		ns
t_{DAWL}^2 Address Selects to AMI_WR Low	$t_{SDCLK} - 3$		ns
t_{WW} AMI_WR Pulse Width	$W - 1.3$		ns
t_{DDWH} Data Setup Before AMI_WR High	$t_{SDCLK} - 3.7 + W$		ns
t_{DWHa} Address Hold After AMI_WR Deasserted	$H + 0.15$		ns
t_{DWHd} Data Hold After AMI_WR Deasserted	H		ns
t_{DATRWH}^4 Data Disable After AMI_WR Deasserted	$t_{SDCLK} - 4.3 + H$	$t_{SDCLK} + 4.9 + H$	ns
t_{WWR}^5 AMI_WR High to AMI_WR Low	$t_{SDCLK} - 1.5 + H$		ns
t_{DDWR} Data Disable Before AMI_RD Low	$2 \times t_{SDCLK} - 6$		ns
t_{WDE} AMI_WR Low to Data Enabled	$t_{SDCLK} - 3.7$		ns

W = (number of wait states specified in AMICTLx register) \times t_{SDCLK}

H = (number of hold cycles specified in AMICTLx register) \times t_{SDCLK}

¹ AMI_ACK 遅延/セットアップ: AMI_ACK (ロー・レベル)の解除では t_{DAAK} 、または t_{DSAK} を満たす必要があります。

² MSx の立下がりエッジが基準。

³ AMI_ACK、AMI_RD、AMI_WRのタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

⁴ 与えられた容量負荷と DC 負荷に対するホールド・タイムの計算については、ページ54のテスト条件を参照。

⁵ 書込み—書込みの場合: $t_{SDCLK} + H$ 、同じバンクおよび異なるバンク。書込み—読出しの場合: $3 \times t_{SDCLK} + H$ 、同じバンクおよび異なるバンク。

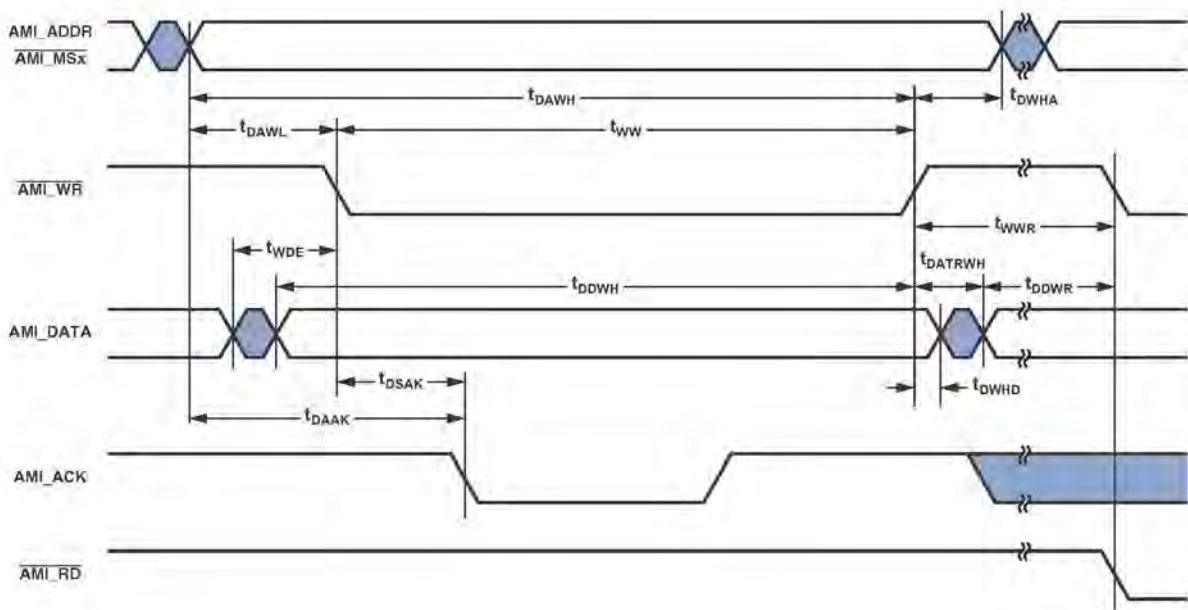


図 20. AMI 書込み

シリアル・ポート

スレーブ・トランスミッタ・モードとマスター・レシーバ・モードでの最大シリアル・ポート周波数は $f_{PCLK}/8$ です。マスター・トランスミッタ・モードとスレーブ・レシーバ・モードでの最大シリアル・ポート・クロック周波数は $f_{PCLK}/4$ です。クロック速度 n で 2 個のデバイス間の通信が可能か否かを判断するときは、次の仕様を確認してください。1) フレーム同期遅延、フレーム同期のセ

ットアップとホールド、2) データ遅延、データのセットアップとホールド、3) SCLK の幅

シリアル・ポート信号(SCLK、フレーム同期、データ・チャンネル A、データ・チャンネル B)は、SRU を使って DAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 34. シリアル・ポート—外部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SFSE}^1 Frame Sync Setup Before SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
t_{HFSE}^1 Frame Sync Hold After SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
t_{SDRE}^1 Receive Data Setup Before Receive SCLK	1.9		ns
t_{HDRE}^1 Receive Data Hold After SCLK	2.5		ns
t_{SCLKW} SCLK Width	$(t_{PCLK} \times 4) \div 2 - 0.5$		ns
t_{SCLK} SCLK Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>			
t_{DFSE}^2 Frame Sync Delay After SCLK (Internally Generated Frame Sync in either Transmit or Receive Mode)		10.25	ns
t_{HOFSE}^2 Frame Sync Hold After SCLK (Internally Generated Frame Sync in either Transmit or Receive Mode)	2		ns
t_{DDTE}^2 Transmit Data Delay After Transmit SCLK		9	ns
t_{HDTE}^2 Transmit Data Hold After Transmit SCLK	2		ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

表 35. シリアル・ポート—内部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SFSI}^1 Frame Sync Setup Before SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	7		ns
t_{HFSI}^1 Frame Sync Hold After SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
t_{SDRI}^1 Receive Data Setup Before SCLK	7		ns
t_{HDRI}^1 Receive Data Hold After SCLK	2.5		ns
<i>Switching Characteristics</i>			
t_{DFSI}^2 Frame Sync Delay After SCLK (Internally Generated Frame Sync in Transmit Mode)		4	ns
t_{HOFSI}^2 Frame Sync Hold After SCLK (Internally Generated Frame Sync in Transmit Mode)	-1		ns
$t_{DF SIR}^2$ Frame Sync Delay After SCLK (Internally Generated Frame Sync in Receive Mode)		9.75	ns
$t_{HOF SIR}^2$ Frame Sync Hold After SCLK (Internally Generated Frame Sync in Receive Mode)	-1		ns
t_{DDTI}^2 Transmit Data Delay After SCLK		3.25	ns
t_{HDTI}^2 Transmit Data Hold After SCLK	-2		ns
t_{SCLKIW} Transmit or Receive SCLK Width	$2 \times t_{PCLK} - 1.5$	$2 \times t_{PCLK} + 1.5$	ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

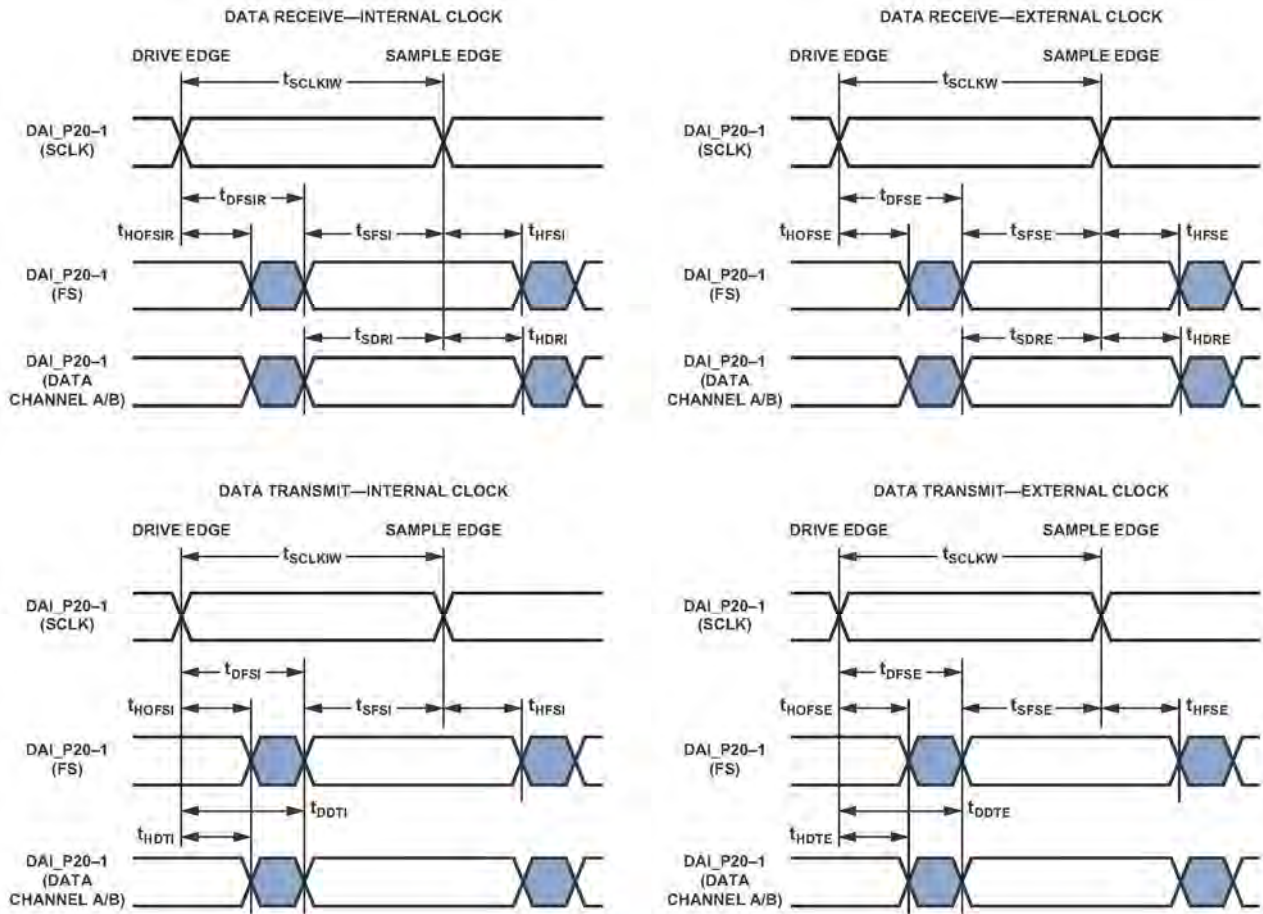


図 21. シリアル・ポート

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 36. シリアル・ポート—外部レイト・フレーム同期

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
$t_{DDTLFSE}^1$ Data Delay from Late External Transmit Frame Sync or External Receive Frame Sync with MCE = 1, MFD = 0		8.5	ns
$t_{DDTENFS}^1$ Data Enable for MCE = 1, MFD = 0	0.5		ns

¹ $t_{DDTLFSE}$ パラメータと $t_{DDTENFS}$ パラメータは DSP Serial Mode のような左詰めや、MCE = 1、MFD = 0 に適用。

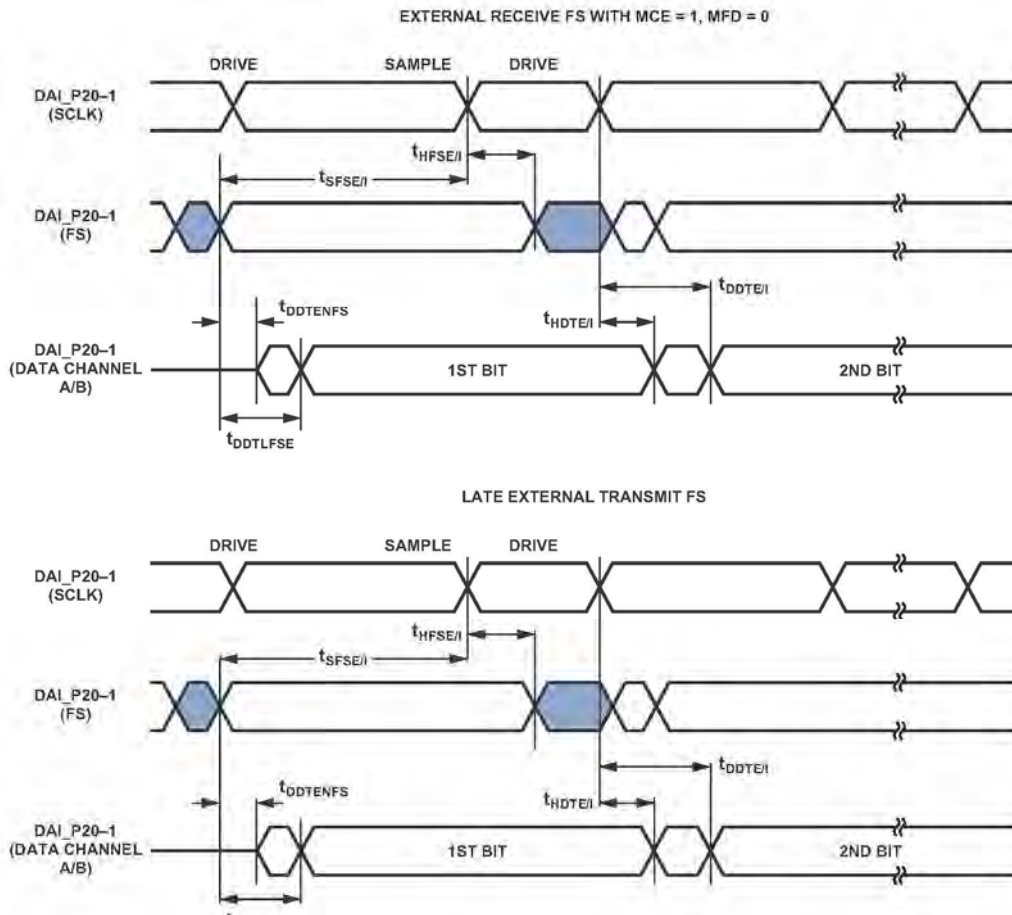


図 22. 外部レイト・フレーム同期¹

¹この値は、左詰めモードをサポートするために行われた変更を反映。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 37. シリアル・ポート—イネーブルおよびスリーステート

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DDTEN}^1 Data Enable from External Transmit SCLK	2		ns
t_{DDTTE}^1 Data Disable from External Transmit SCLK		11.5	ns
t_{DDTIN}^1 Data Enable from Internal Transmit SCLK	-1.5		ns

¹ 駆動エッジを基準とします。

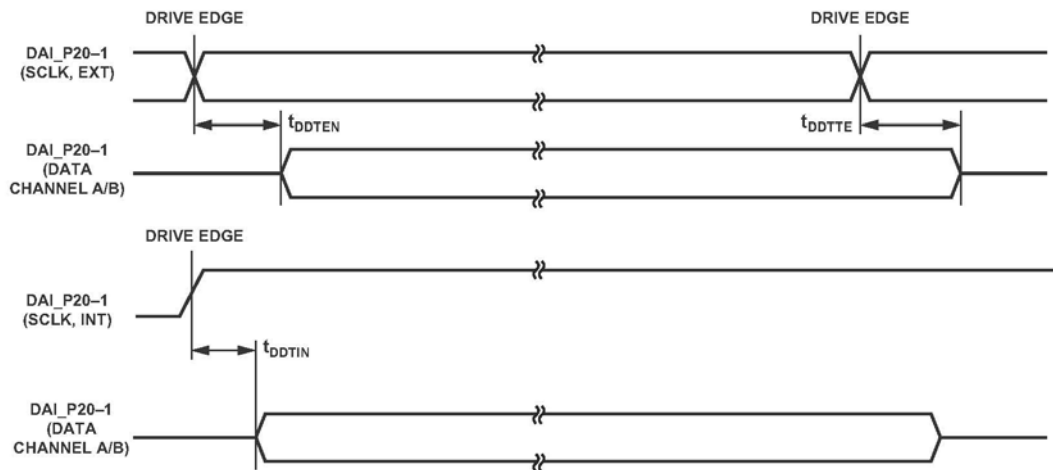


図 23. シリアル・ポート—イネーブルおよびスリーステート

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

SPORTx_TDV_O 出力信号(ルーティング・ユニット)は、SPORT マルチチャンネル・モードでアクティブになります。送信スロット(アクティブ・チャンネル・セレクション・レジスタでイネーブル)で、SPORTx_TDV_O は外部デバイスとの通信用にアサートされます。

表 38. シリアル・ポート—TDM 送信データ有効

Parameter	Min	Max	Unit
<i>Switching Characteristics¹</i>			
t_{DRDVEN} Data-Valid Enable Delay from Drive Edge of External Clock	3		ns
t_{DFDVEN} Data-Valid Disable Delay from Drive Edge of External Clock		8	ns
t_{DRDVIN} Data-Valid Enable Delay from Drive Edge of Internal Clock	-1		ns
t_{DFDVIN} Data-Valid Disable Delay from Drive Edge of Internal Clock		2	ns

¹ 駆動エッジを基準とします。

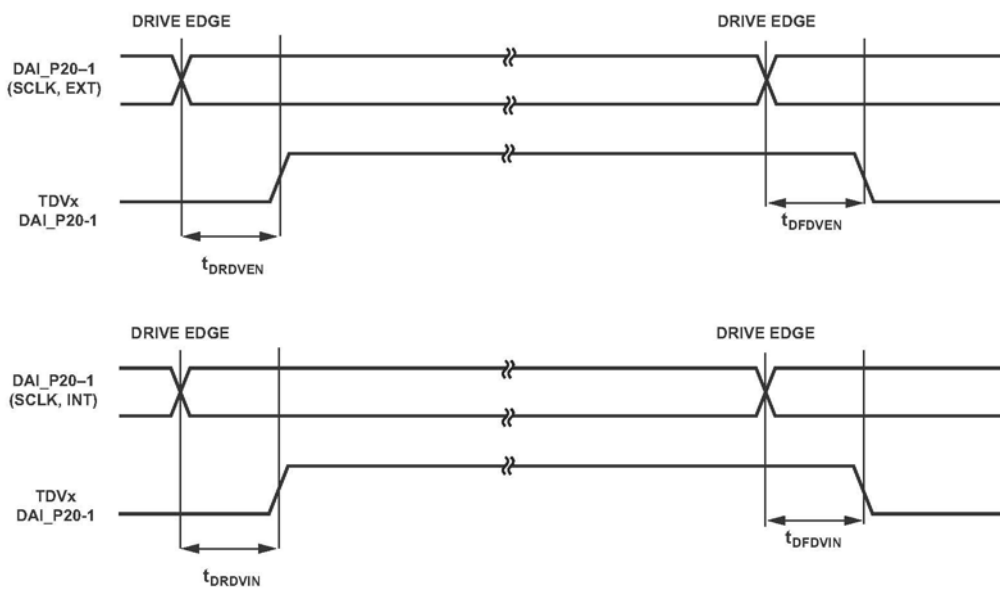


図 24. シリアル・ポート—TDM 内部クロックと TDM 外部クロック

入力データ・ポート(IDP)

IDP のタイミング条件を表 39 に示します。IDP 信号は SRU を使って DAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 39. 入力データ・ポート(IDP)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SISFS}^1 Frame Sync Setup Before Serial Clock Rising Edge	3.8		ns
t_{SIHFS}^1 Frame Sync Hold After Serial Clock Rising Edge	2.5		ns
t_{SISD}^1 Data Setup Before Serial Clock Rising Edge	2.5		ns
t_{SIHD}^1 Data Hold After Serial Clock Rising Edge	2.5		ns
$t_{IDPCLKW}$ Clock Width	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{IDPCLK} Clock Period	$t_{PCLK} \times 4$		ns

¹ シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

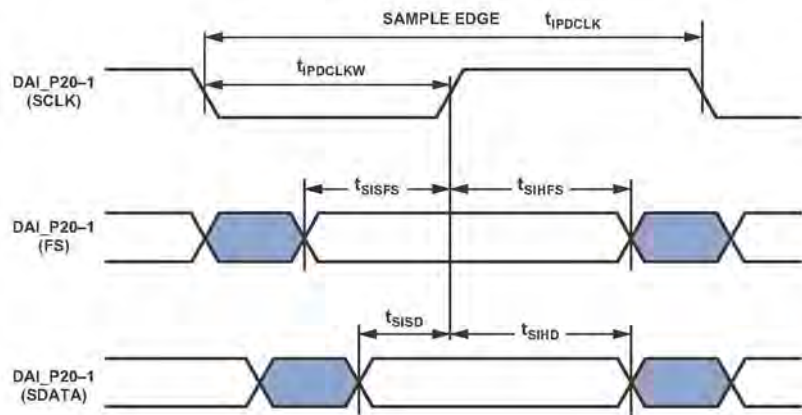


図 25. IDP マスター・タイミング

パラレル・データ・アキュジション・ポート(PDAP)

PDAP のタイミング条件を表 40 に示します。PDAP は、IDP のチャンネル 0 のパラレル・モード動作です。PDAP の動作の詳細については、「ADSP-214xx SHARC Processor Hardware Reference」の

PDAP の章を参照してください。外部 PDAP データの 20 ビットは ADDR23~4 ピンまたは DAI ピンを経由して得ることができることに注意してください。

表 40. パラレル・データ・アキュジション・ポート(PDAP)

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{SPHOLD}^1	PDAP_HOLD Setup Before PDAP_CLK Sample Edge	2.5		ns
t_{HPHOLD}^1	PDAP_HOLD Hold After PDAP_CLK Sample Edge	2.5		ns
t_{PDSO}^1	PDAP_DAT Setup Before PDAP_CLK Sample Edge	3.85		ns
t_{PDHD}^1	PDAP_DAT Hold After PDAP_CLK Sample Edge	2.5		ns
t_{PDCLKW}	Clock Width	$(t_{PCLK} \times 4) \div 2 - 3$		ns
t_{PDCLK}	Clock Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>				
t_{PDHLDD}	Delay of PDAP Strobe After Last PDAP_CLK Capture Edge for a Word	$2 \times t_{PCLK} + 3$		ns
t_{PDSTRB}	PDAP Strobe Pulse Width	$2 \times t_{PCLK} - 1.5$		ns

¹ PDAP_DATA のソース・ピンは、ADDR23~4 ピンまたは DAI ピンです。PDAP_CLK と PDAP_HOLD のソース・ピンは、1) DAI ピン、2) PCG を経由する CLKIN、3) PCG を経由する DAI ピン、または 4) ADDR3~2 ピンが可能です。

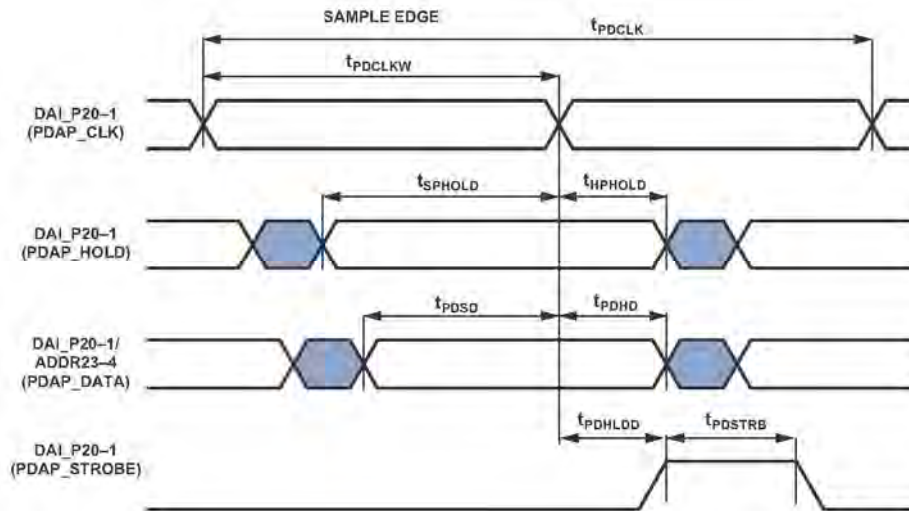


図 26. PDAP のタイミング

サンプル・レート・コンバーターシリアル入力ポート

ASRC 入力信号は、SRU を経由して DPI_P20~1 ピンから接続されます。したがって、表 41 のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 41. ASRC、シリアル入力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SRCFS}^1 Frame Sync Setup Before Serial Clock Rising Edge	4		ns
t_{SRCHFS}^1 Frame Sync Hold After Serial Clock Rising Edge	5.5		ns
t_{SRCSD}^1 Data Setup Before Serial Clock Rising Edge	4		ns
t_{SRCHD}^1 Data Hold After Serial Clock Rising Edge	5.5		ns
t_{SRCCLKW} Clock Width	$(t_{\text{PCLK}} \times 4) \div 2 - 1$		ns
t_{SRCCLK} Clock Period	$t_{\text{PCLK}} \times 4$		ns

¹ シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

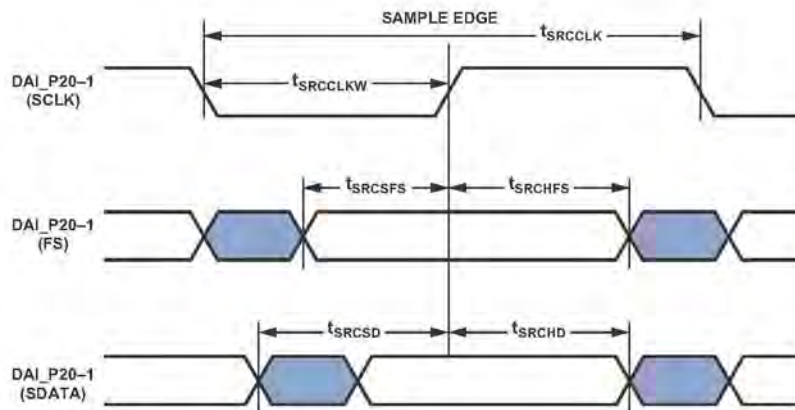


図 27. ASRC シリアル入力ポートのタイミング

サンプル・レート・コンバーターシリアル出力ポート

シリアル出力ポートの場合、フレーム同期は入力であるため、出力ポートの SCLK に対してセットアップ・タイムとホールド・タイムを満たす必要があります。シリアル・データ出力には、シリアル・クロックに対するホールド・タイムと遅延の仕様があらま

す。シリアル・クロックの立上がりエッジはサンプリング・エッジであり、立下がりエッジは駆動エッジであることに注意してください。

表 42. ASRC、シリアル出力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SRCSFS}^1 Frame Sync Setup Before Serial Clock Rising Edge	4		ns
t_{SRCHFS}^1 Frame Sync Hold After Serial Clock Rising Edge	5.5		ns
t_{SRCLKW} Clock Width	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{SRCLK} Clock Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>			
t_{SRCTDD}^1 Transmit Data Delay After Serial Clock Falling Edge		9.9	ns
t_{SRCTDH}^1 Transmit Data Hold After Serial Clock Falling Edge	1		ns

¹シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

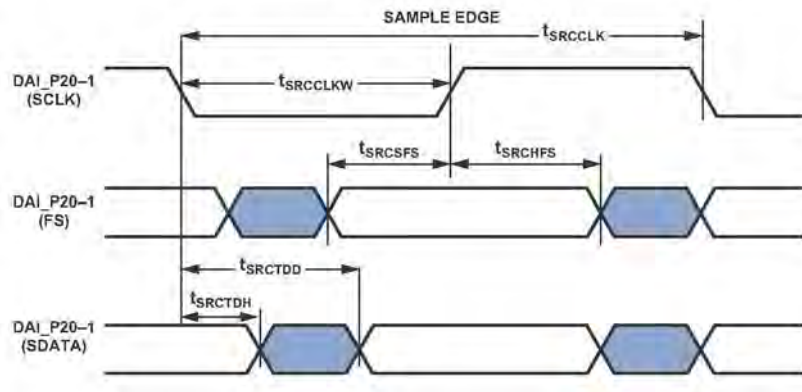


図 28. ASRC シリアル出力ポートのタイミング

パルス幅変調ジェネレータ(PWM)

ADDR23~8/DPI_14~1 ピンが PWM として設定された場合、次のタイミング仕様が適用されます。

表 43. パルス幅変調(PWM)のタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{PWMW} PWM Output Pulse Width	$t_{PCLK} - 2$	$(2^{16} - 2) \times t_{PCLK} - 2$	ns
t_{PWMP} PWM Output Period	$2 \times t_{PCLK} - 1.5$	$(2^{16} - 1) \times t_{PCLK} - 1.5$	ns

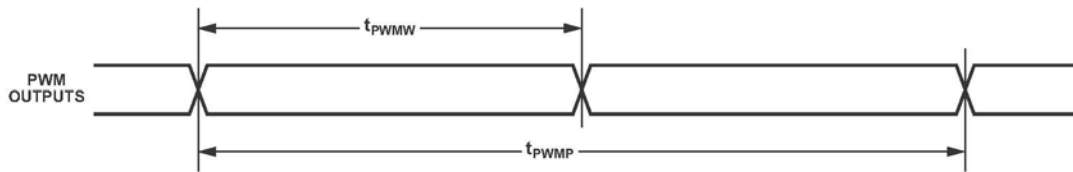


図 29. PWM のタイミング

S/PDIF トランスミッタ

S/PDIF トランスミッタへのシリアル・データ入力は、16、18、20、または 24 ビット・ワード幅の左詰め、I²S、または右詰めとしてフォーマットすることができます。次のセクションに、トランスミッタのタイミングを示します。

S/PDIF トランスミッタのシリアル入力波形

図 30に右詰めモードを示します。フレーム同期は、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立上がりエッジで有効です。フレーム同期の 1 周期あたり 64 シリアル・クロック周期存在する場合、データの LSB が次のフレーム同期変化に対して右詰めになるようにするため、MSB がフレーム同期の変化から最小周期(24 ビット出力モード)または最大周期(16 ビット出力モード)だけ遅延させられます。

表 44. S/PDIF トランスミッタ右詰めモード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
t_{RJD} Frame Sync to MSB Delay in Right-Justified Mode		
16-Bit Word Mode	16	SCLK
18-Bit Word Mode	14	SCLK
20-Bit Word Mode	12	SCLK
24-Bit Word Mode	8	SCLK

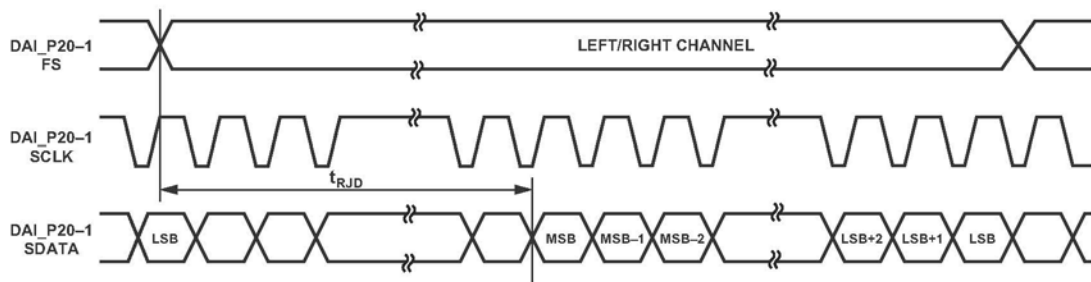


図 30. 右詰めモード

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

図 31に、デフォルトの I²S モードを示します。フレーム同期は、左チャンネルに対してはロー・レベルに、右チャンネルに対してはハイ・レベルに、それぞれなります。データはシリアル・クロックの立上がりエッジで有効です。MSB はフレーム同期変化に対して左詰めになりますが、遅延があります。

表 45. S/PDIF トランスミッタ I²S モード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
t_{I2SD} Frame Sync to MSB Delay in I ² S Mode	1	SCLK

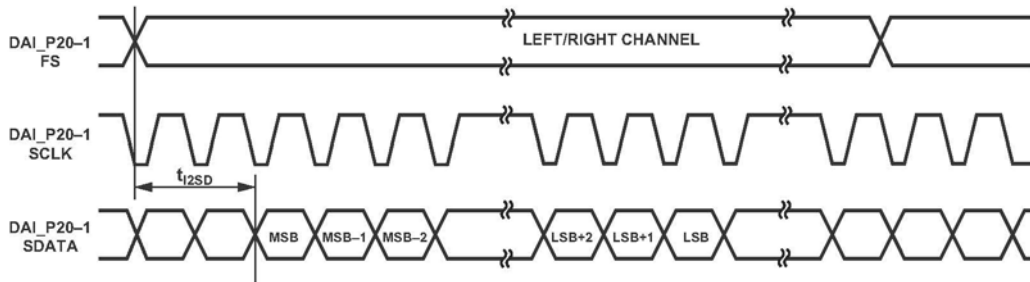


図 31. I²S モード

図 32に、左詰めモードを示します。フレーム同期は、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立上がりエッジで有効です。MSB はフレーム同期変化に対して左詰めになりますが、遅延はありません。

表 46. S/PDIF トランスミッタ左詰めモード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
t_{LJD} Frame Sync to MSB Delay in Left-Justified Mode	0	SCLK

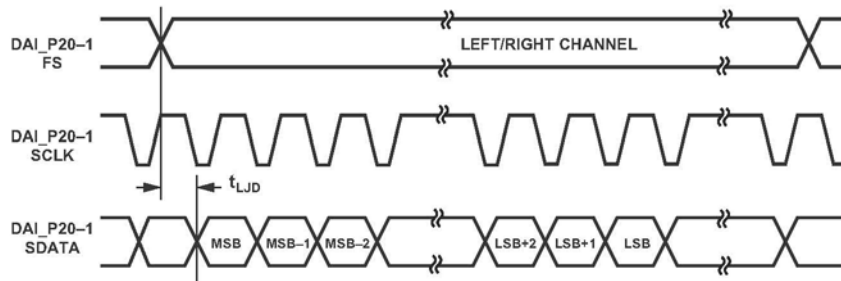


図 32. 左詰めモード

S/PDIF トランスミッタ入力データのタイミング

S/PDIF トランスミッタのタイミング条件を表 47に示します。入力信号はSRUを使って DAI_P20~1ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1ピンで有効です。

表 47. S/PDIF トランスミッタ入力データのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SISFS}^1 Frame Sync Setup Before Serial Clock Rising Edge	3		ns
t_{SIHFS}^1 Frame Sync Hold After Serial Clock Rising Edge	3		ns
t_{SISD}^1 Data Setup Before Serial Clock Rising Edge	3		ns
t_{SIHD}^1 Data Hold After Serial Clock Rising Edge	3		ns
$t_{SITXCLKW}$ Transmit Clock Width	9		ns
$t_{SITXCLK}$ Transmit Clock Period	20		ns
$t_{SISCLKW}$ Clock Width	36		ns
t_{SISCLK} Clock Period	80		ns

¹ シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

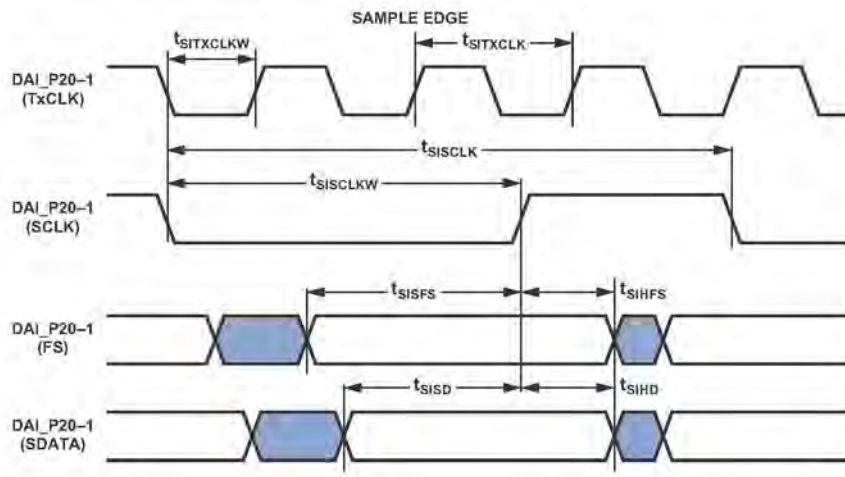


図 33. S/PDIF トランスミッタ入力のタイミング

オーバーサンプリング・クロック(TxCLK)のスイッチング特性

S/PDIF トランスミッタは、オーバーサンプリング・クロック入力が必要とします。この高周波クロック(TxCLK)入力を分周して、内部バイフェーズクロックが発生されます。

表 48. オーバーサンプリング・クロック(TxCLK)のスイッチング特性

Parameter	Max	Unit
Frequency for TxCLK = 384 × Frame Sync	$\text{Oversampling Ratio} \times \text{Frame Sync} \leq 1/t_{SITXCLK}$	MHz
Frequency for TxCLK = 256 × Frame Sync	49.2	MHz
Frame Rate (FS)	192.0	kHz

S/PDIF レシーバ

次のセクションにタイミングを示します(S/PDIF レシーバに関する関係しているため)。

内部デジタル PLL モード

内部デジタル位相ロック・ループ・モードでは、内部 PLL (デジタル PLL)が $512 \times FS$ のクロックを発生します。

表 49. S/PDIF レシーバ内部デジタル PLL モードのタイミング

Parameter		Min	Max	Unit
Switching Characteristics				
t_{DFSI}	Frame Sync Delay After Serial Clock		5	ns
t_{HOFSI}	Frame Sync Hold After Serial Clock	-2		ns
t_{DDTI}	Transmit Data Delay After Serial Clock		5	ns
t_{HDTI}	Transmit Data Hold After Serial Clock	-2		ns
t_{SCLKIW}^1	Transmit Serial Clock Width	$8 \times t_{PCLK} - 2$		ns

¹ SCLK 周波数は $64 \times FS$ です。ここで、FS = フレーム同期の周波数。

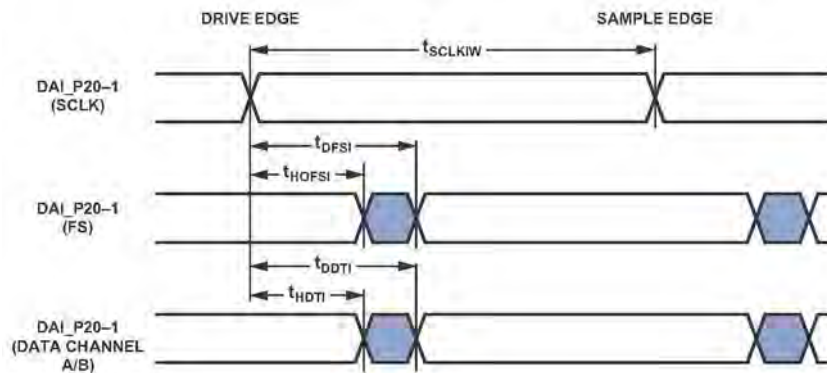


図 34. S/PDIF レシーバ内部デジタル PLL モードのタイミング

SPI インターフェース—マスター

ADSP-2148x は 2 個の SPI ポートを内蔵しています。プライマリとセカンダリは、DPI を介してのみ使用可能です。表 50 と表 51 に示すタイミングは両方に適用されます。

表 50. SPI インターフェース・プロトコル—マスターのスイッチング仕様とタイミング仕様

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SSPIDM} Data Input Valid to SPICLK Edge (Data Input Setup Time)	8.2		ns
t_{HSPIDM} SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
<i>Switching Characteristics</i>			
$t_{SPICLKM}$ Serial Clock Cycle	$8 \times t_{PCLK} - 2$		ns
t_{SPICHM} Serial Clock High Period	$4 \times t_{PCLK} - 2$		ns
t_{SPICLM} Serial Clock Low Period	$4 \times t_{PCLK} - 2$		ns
$t_{DDSPIDM}$ SPICLK Edge to Data Out Valid (Data Out Delay Time)		2.5	ns
$t_{HDSPIDM}$ SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$4 \times t_{PCLK} - 2$		ns
t_{SDSCIM} DPI Pin (SPI Device Select) Low to First SPICLK Edge	$4 \times t_{PCLK} - 2$		ns
t_{HDSM} Last SPICLK Edge to DPI Pin (SPI Device Select) High	$4 \times t_{PCLK} - 2$		ns
t_{SPITDM} Sequential Transfer Delay	$4 \times t_{PCLK} - 1.2$		ns

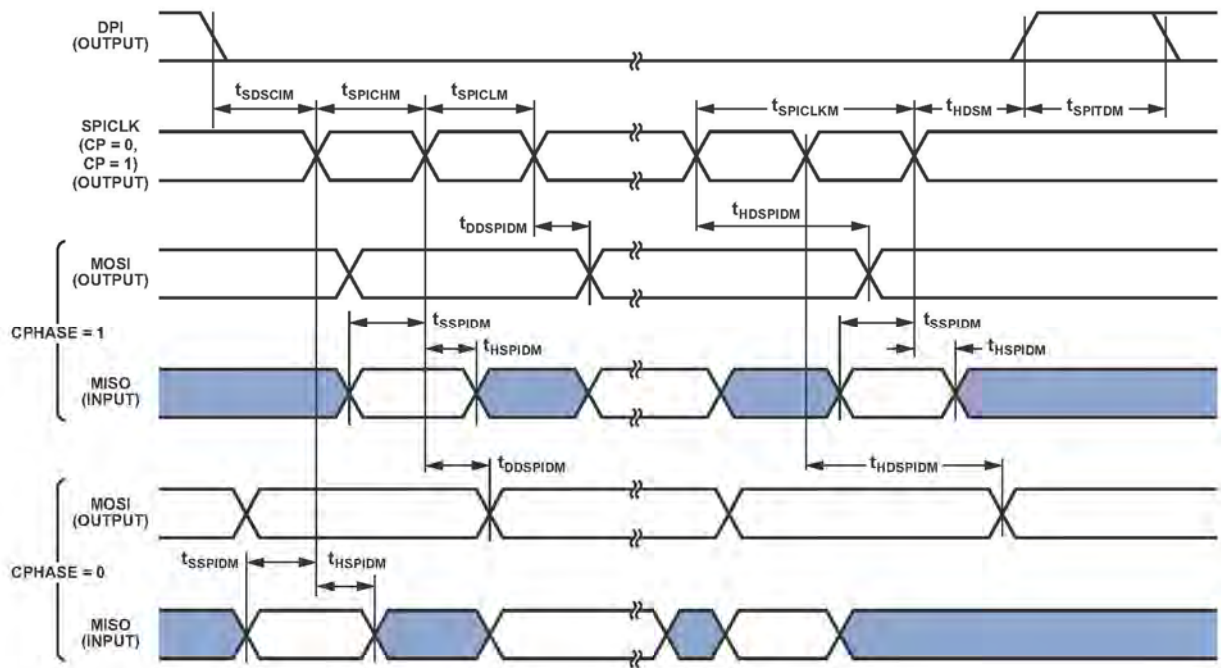


図 35. SPI マスターのタイミング

SPI インターフェーススレーブ

表 51. SPI インターフェース・プロトコルスレーブのスイッチング仕様とタイミング仕様

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SPICLKs}$	Serial Clock Cycle	$4 \times t_{PCLK} - 2$		ns
t_{SPICHs}	Serial Clock High Period	$2 \times t_{PCLK} - 2$		ns
t_{SPICLs}	Serial Clock Low Period	$2 \times t_{PCLK} - 2$		ns
t_{SDSCO}	\overline{SPIDS} Assertion to First SPICLK Edge	$2 \times t_{PCLK}$		ns
	CPHASE = 0			
	CPHASE = 1			
t_{HDS}	Last SPICLK Edge to \overline{SPIDS} Not Asserted, CPHASE = 0	$2 \times t_{PCLK}$		ns
t_{SSPIDS}	Data Input Valid to SPICLK edge (Data Input Set-up Time)	2		ns
t_{HSPIDS}	SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
t_{SDPPW}	\overline{SPIDS} Deassertion Pulse Width (CPHASE=0)	$2 \times t_{PCLK}$		ns
<i>Switching Characteristics</i>				
t_{DSOE}	\overline{SPIDS} Assertion to Data Out Active	0	7.5	ns
t_{DSOE}^1	\overline{SPIDS} Assertion to Data Out Active (SPI2)	0	7.5	ns
t_{DSDHI}	\overline{SPIDS} Deassertion to Data High Impedance	0	10.5	ns
t_{DSDHI}^1	\overline{SPIDS} Deassertion to Data High Impedance (SPI2)	0	10.5	ns
$t_{DSDPIDS}$	SPICLK Edge to Data Out Valid (Data Out Delay Time)		9.5	ns
$t_{HDSPIDS}$	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$2 \times t_{PCLK}$		ns
t_{DSOV}	\overline{SPIDS} Assertion to Data Out Valid (CPHASE = 0)		$5 \times t_{PCLK}$	ns

¹これらのパラメータのタイミングは、SPI が信号ルーティング・ユニットを使って接続されているときに適用。詳細については、プロセッサ・ハードウェア・リファレンスの「Serial Peripheral Interface Port」の章を参照してください。

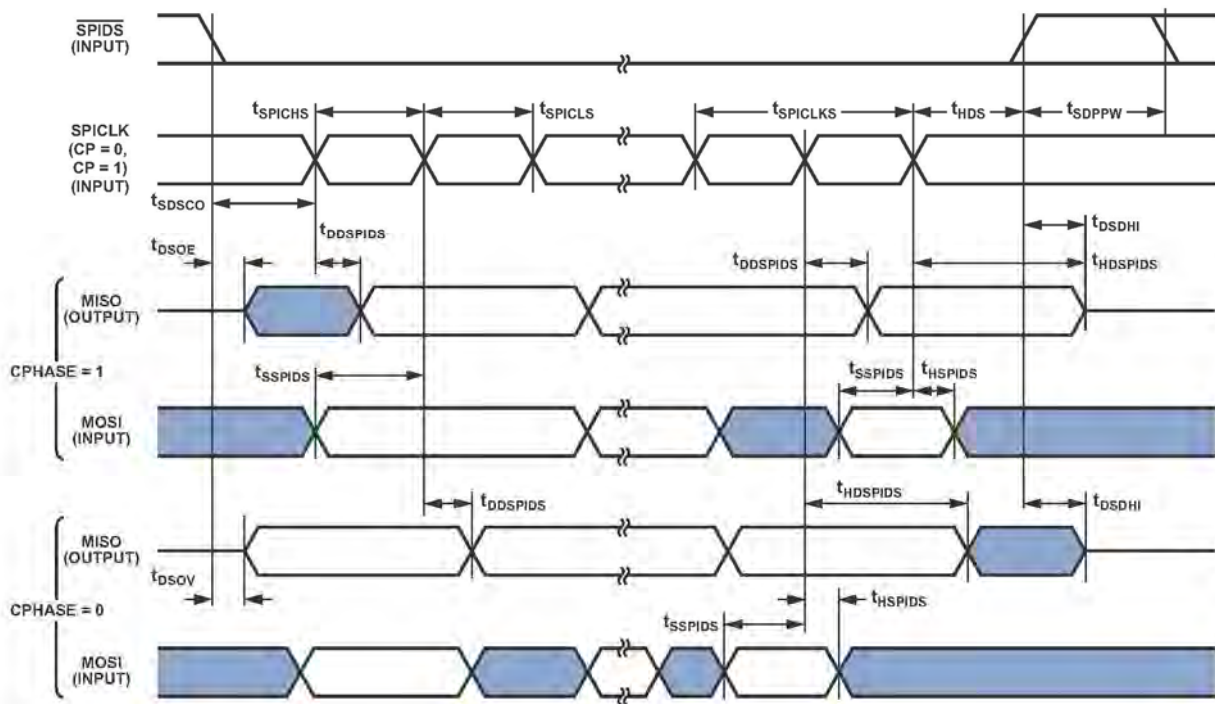


図 36. SPI スレーブのタイミング

メディア・ローカル・バス

特に指定がない限り、与えられたすべての値がすべての速度モードに適用されます(3 ピンの場合 1024 FS、512 FS、256 FS; 5 ピンの場合 512 FS と 256 FS)。詳細については、MediaLB 仕様ドキュメントのレビジョン 3.0 を参照してください。

表 52. MLB インターフェース、3 ピン仕様

Parameter	Min	Typ	Max	Unit
<i>3-Pin Characteristics</i>				
t_{MLBCLK} MLB Clock Period		20.3		ns
	1024 FS			ns
	512 FS	40		ns
t_{MCKL} MLBCLK Low Time		81		ns
	256 FS			ns
	1024 FS	6.1		ns
t_{MCKH} MLBCLK High Time	512 FS	14		ns
	256 FS	30		ns
	1024 FS	9.3		ns
t_{MCKR} MLBCLK Rise Time (V_{IL} to V_{IH})	512 FS	14		ns
	256 FS	30		ns
	1024 FS		1	ns
t_{MCKF} MLBCLK Fall Time (V_{IH} to V_{IL})	512 FS/256 FS		3	ns
	1024 FS		1	ns
t_{MPWV}^1 MLBCLK Pulse Width Variation	512 FS/256 FS		3	ns
	1024 FS		0.7	nspp
t_{DSMCF} DAT/SIG Input Setup Time	512 FS/256		2.0	nspp
	1024 FS	1		ns
t_{DHMCF} DAT/SIG Input Hold Time	2			ns
t_{MCFDZ} DAT/SIG Output Time to Three-state	0		15	ns
t_{MCDRV} DAT/SIG Output Data Delay From MLBCLK Rising Edge			8	ns
t_{MDZH}^2 Bus Hold Time	1024 FS	2		ns
	512 FS/256	4		ns
	1024 FS		40	pf
C_{MLB} DAT/SIG Pin Load	512 FS/256		60	pf

¹ パルス幅変化は、1.25V における MLBCLK の一方のエッジでトリガして、他方のエッジまでの広がり (ns p-p) を測定します。

² ボードは、ハイ・インピーダンス・バスがこの間に最後に駆動されたビットのロジック状態を残さないように、デザインする必要があります。そうすると、リストされた最大負荷容量を満たすかぎりノイズ混入は最小になります。

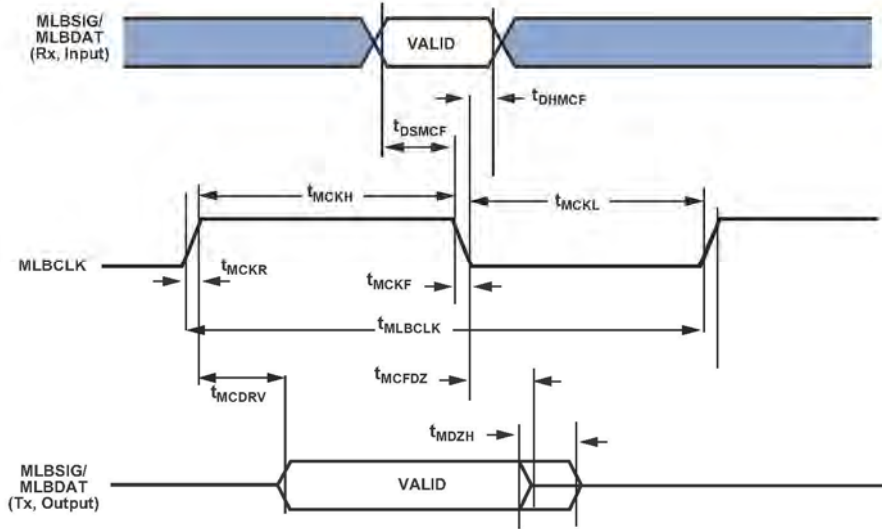


図 37. MLB のタイミング(3 ピン・インターフェース)

表 53. MLB Interface, 5-Pin Specifications

Parameter	Min	Typ	Max	Unit
<i>5-Pin Characteristics</i>				
t_{MLBCLK} MLB Clock Period				
512 FS		40		ns
256 FS		81		ns
t_{MCKL} MLBCLK Low Time				
512 FS	15			ns
256 FS	30			ns
t_{MCKH} MLBCLK High Time				
512 FS	15			ns
256 FS	30			ns
t_{MCKR} MLBCLK Rise Time (V_{IL} to V_{IH})			6	ns
t_{MCKF} MLBCLK Fall Time (V_{IH} to V_{IL})			6	ns
t_{MPWV} ¹ MLBCLK Pulse Width Variation			2	nspp
t_{DSMTF} ² DAT/SIG Input Setup Time	3			ns
t_{DHMTF} DAT/SIG Input Hold Time	5			ns
t_{MCDRV} DS/DO Output Data Delay From MLBCLK Rising Edge			8	ns
t_{MCRDL} ³ DO/SO Low From MLBCLK High				
512 FS			10	ns
256 FS			20	ns
C_{MLB} DS/DO Pin Load			40	pf

¹ パルス幅変化は、1.25V における MLBCLK の一方のエッジでトリガして、他方のエッジまでの広がり (ns p-p)を測定します。

² ピンの OR ロジックで発生するゲート遅延を考慮する必要があります。

³ ノードが有効なデータをバスへ出力していない場合、MLBSO 出力ラインと MLBDO 出力ラインはロー・レベルを維持する必要があります。リセット時などのように出力ラインが何時でもフローティングになることができる場合は、駆動されていない MediaLB 信号ライン出力の破壊を防止するため外部プルダウン抵抗が必要です。

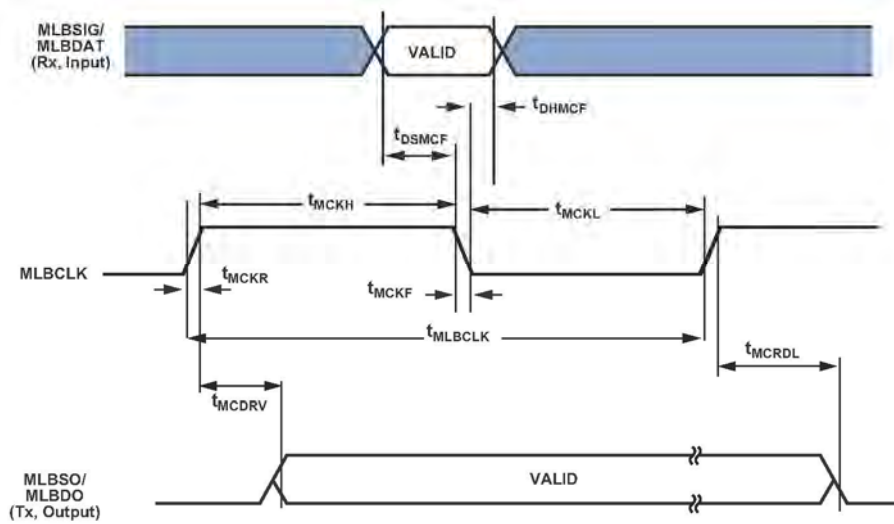


図 38. MLB のタイミング(5 ピン・インターフェース)

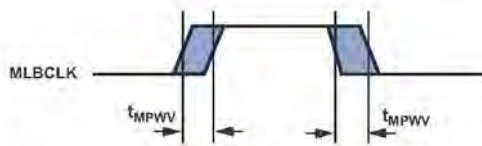


図 39. MLB 3 ピンと 5 ピンの MLBCLK のパルス幅変化タイミング

ユニバーサル非同期レシーバ・トランスミッタ(UART)ポート—受信タイミングと送信タイミング

UART ポートの受信動作と送信動作については、「ADSP-214xx SHARC Hardware Reference Manual」を参照してください。

2 線式インターフェース(TWI)—受信タイミングと送信タイミング

TWI の受信動作と送信動作については、「ADSP-214xx SHARC Hardware Reference Manual」を参照してください。

JTAG テスト・アクセス・ポートとエミュレーション

表 54. JTAG テスト・アクセス・ポートとエミュレーション

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{TCK} TCK Period	20		ns
t_{STAP} TDI, TMS Setup Before TCK High	5		ns
t_{HTAP} TDI, TMS Hold After TCK High	6		ns
t_{SSYS}^1 System Inputs Setup Before TCK High	7		ns
t_{HSYS}^1 System Inputs Hold After TCK High	18		ns
t_{TRSTW} \overline{TRST} Pulse Width	$4t_{CK}$		ns
<i>Switching Characteristics</i>			
t_{DTDO} TDO Delay from TCK Low		10	ns
t_{DSYS}^2 System Outputs Delay After TCK Low		$t_{CK} \div 2 + 7$	ns

¹ システム入力= DATA15~0、CLK_CFG1~0、 \overline{RESET} 、BOOT_CFG2~0、DAI_Px、DPI_Px、FLAG3~0。

² システム出力= DAI_Px、DPI_Px ADDR23~0、 $\overline{AMI_RD}$ 、 $\overline{AMI_WR}$ 、FLAG3~0、 \overline{SDRAS} 、 \overline{SDCAS} 、 \overline{SDWE} 、SDCKE、SDA10、SDDQM、SDCLK、 \overline{EMU} 。

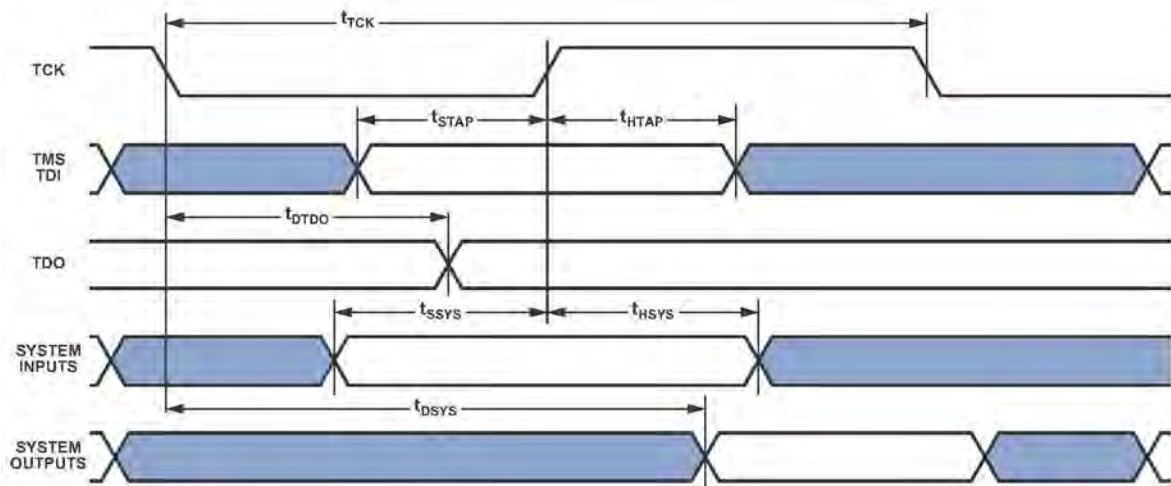


図 40. IEEE 1149.1 JTAG テスト・アクセス・ポート

出力駆動電流

図 41 に ADSP-2148x 出力ドライバの I-V 特性 (typ) を、表 55 に、各ドライバに対応するピンを、それぞれ示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

表 55. ドライバ・タイプ

Driver Type	Associated Pins
A	FLAG[0-3], AMI_ADDR[0-23], DATA[0-15], AMI_RD, AMI_WR, AMI_ACK, MS[1-0], SDRAS, SDCAS, SDWE, SDDQM, SDCKE, SDA10, EMU, TDO, RESETOUT, DPI[1-14], DAI[1-20], WDTRSTO, MLBDAT, MLBSIG, MLBSO, MLBDO, MLBCLK
B	SDCLK

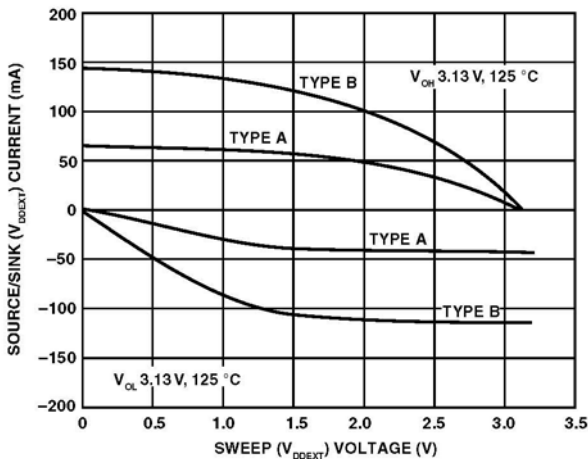


図 41. ジャンクション温度での駆動 (typ)

テスト条件

AC 信号仕様 (タイミング・パラメータ) をページ 24 の表 21 ~ ページ 53 の表 54 に示します。これらには、出力ディスエーブル時間、出力イネーブル時間、容量負荷が含まれています。SHARC のタイミング仕様は、図 42 に示す電圧基準レベルに適用されます。

タイミングは、図 43 に示すように信号が 1.5 V レベルを通過するときに測定します。すべての遅延 (n sec) は、1 つ目の信号が 1.5 V に到達したポイントと、2 つ目の信号が 1.5 V に到達したポイントとの間で測定します。

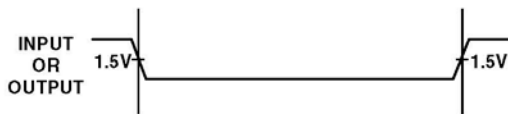
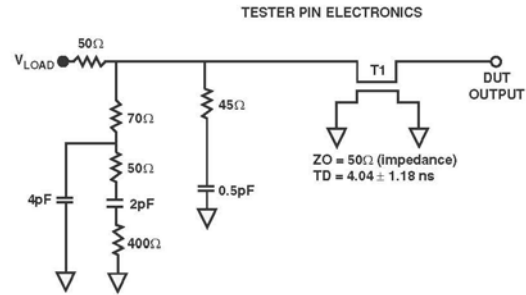


図 42. AC 測定のリファレンス電圧レベル



NOTES:
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図 43. AC 測定の等価デバイス負荷 (すべての治具を含む)

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷 30 pF を接続しています (図 42 参照)。図 46 と図 47 に、出力遅延とホールドが負荷容量により変化する様子を示します。図 44 ~ 図 47 のグラフは、出力遅延 (Typ) 対負荷容量および出力立ち上がり時間 (Typ) (20% ~ 80%、V = Min) 対負荷容量で示す範囲の外側では直線にならないことがあります。

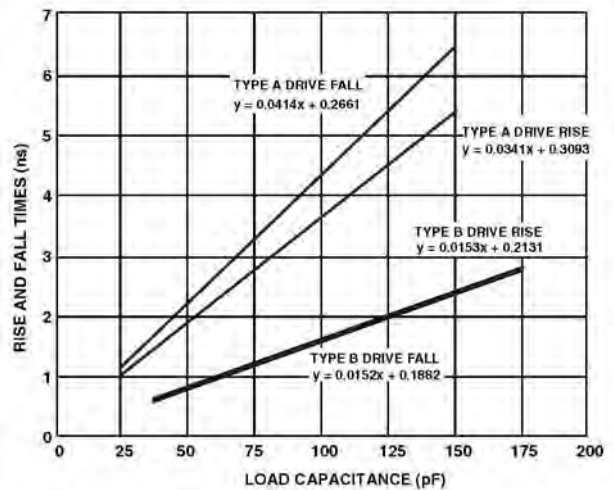


図 44. 出力立ち上がり/立ち下がり時間 (typ) (20~80%、V_{DD_EXT} = Max)

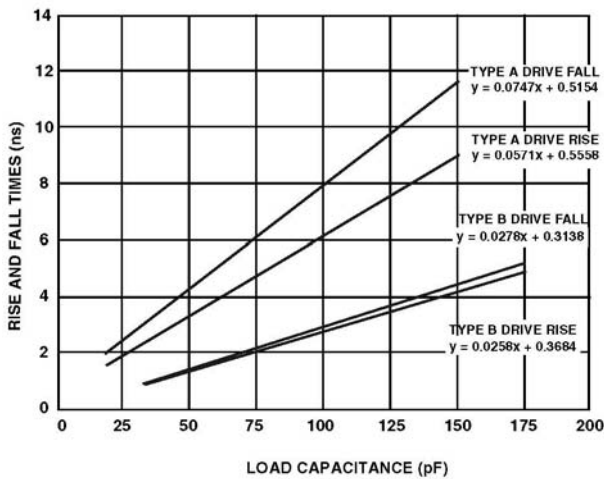


図 45. 立上がり/立下がり時間(typ)
20%~80%、VDD_EXT = Min

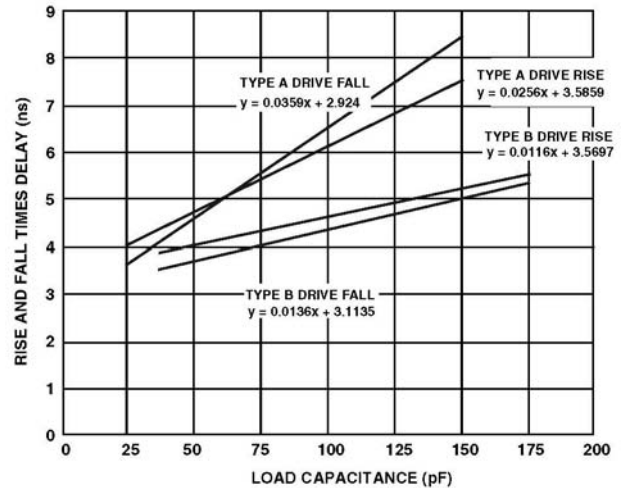


図 47. 出力立上がり/立下がり遅延(typ)
VDD_EXT = Min

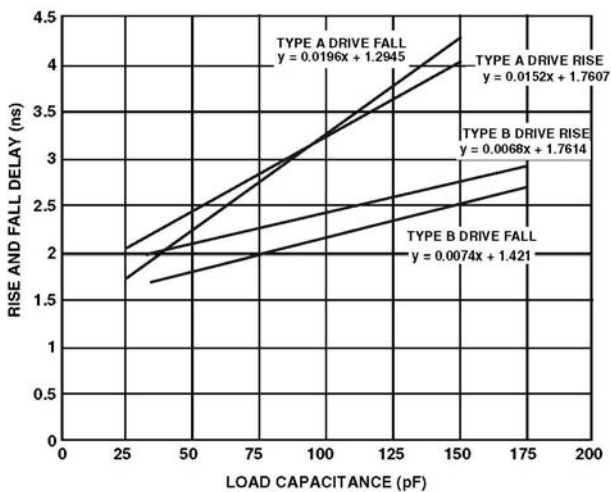


図 46. 出力立上がり/立下がり遅延(typ)
VDD_EXT = Max

熱特性

ADSP-2148x プロセッサの性能は、[ページ17](#)の動作条件で規定する温度範囲で規定されています。

表 57の空気流の測定は JEDEC 規格 JESD51-2 と JESD51-6 に、ジャンクションボード間の測定は JESD51-8 に、それぞれ準拠しています。テスト・ボードのデザインは JEDEC 規格 JESD51-7 (LQFP_EP)に準拠しています。ジャンクションケース間の測定は MIL-STD-883 に準拠しています。すべての測定では、2S2P JEDEC テスト・ボードを使用しています。

アプリケーション PCB 上でのデバイスのジャンクション温度を求めるときは、次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度 °C

T_{CASE} = ケース温度 (°C)、パッケージ上面の中央で測定

Ψ_{JT} = ジャンクションパッケージ上面間のキャラクタライゼーション・パラメータは表 57の Typ 値を使用

P_D = 消費電力

θ_{JA} の値はパッケージ比較と PCB デザインのために示してあります。 θ_{JA} は次式を使った T_J の一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

T_A = 周囲温度 °C

θ_{JC} 値はパッケージ比較と外付けヒートシンクが必要な場合の PCB デザインのために示してあります。

θ_{JB} の値は、パッケージ比較と PCB デザイン考慮のために示してあります。表 56 と表 57 に示す温度特性値はモデル化した値であることに注意してください。

表 56. 100 ピン LQFP_EP の熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	17.8	°C/W
θ_{JMA}	Airflow = 1 m/s	15.4	°C/W
θ_{JMA}	Airflow = 2 m/s	14.6	°C/W
θ_{JC}		2.4	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.24	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.37	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.51	°C/W

表 57. 176 ピン LQFP_EP の熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	16.9	°C/W
θ_{JMA}	Airflow = 1 m/s	14.6	°C/W
θ_{JMA}	Airflow = 2 m/s	13.8	°C/W
θ_{JC}		2.3	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.21	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.32	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.41	°C/W

サーマル・ダイオード

ADSP-2148x プロセッサは、ダイ温度をモニタするサーマル・ダイオードを内蔵しています。このサーマル・ダイオードは、グランドに接続されたコレクタを持つ PNP バイポーラ接合トランジスタ (BJT) です。THD_P ピンとトランジスタのエミッタが、THD_M ピンとトランジスタのベースが、それぞれ接続されています。これらのピンと外部温度センサー(例えば ADM 1021A や LM86 など)を使ってダイ温度を讀出すことができます。

外部温度センサーで採用している技術は、サーマル・ダイオードが 2 つの異なる電流で動作する際の VBE の変化を測定する方法です。この関係は次式で表されます。

$$\Delta V_{BE} = n \times \frac{kT}{q} \times \ln(N)$$

ここで、

n = 乗算係数(1)、プロセス変動に依存します。

k = ボルツマン定数。

T = 温度(°C)

q = 電子の電荷

N = 2 つの電流比

2 つの電流は、一般的な温度センサー・チップで 10 μ A ~ 300 μ A の範囲です。

表 58 に、トランジスタ・モデルを使用するサーマル・ダイオード仕様を示します。

表 58. サーマル・ダイオード・パラメータトランジスタ・モデル¹

Symbol	Parameter	Min	Typ	Max	Unit
I_{FW} ²	Forward Bias Current	10		300	μ A
I_E	Emitter Current	10		300	μ A
n_Q ^{3,4}	Transistor Ideality	1.012	1.015	1.017	
R_T ^{3,5}	Series Resistance	0.12	0.2	0.28	Ω

¹ EE ノート EE-346 を参照してください。

² アナログ・デバイセズは、逆方向バイアスでのサーマル・ダイオード動作を推奨しません。

³ デザイン・キャラクタライゼーションにより規定。

⁴ 理論係数 n_Q は、ダイオード式で例示される理論ダイオード動作からの乖離です。このダイオード式は $I_C = I_S \times (e^{\frac{qV_{BE}}{nqKT}} - 1)$ で表わされ、ここで I_S = 飽和電流、 q = 電子の電荷、 V_{BE} = ダイオード電圧、 k = ボルツマン定数、 T = 絶対温度(Kelvin)です。

⁵ 直列抵抗(R_T)は、必要に応じて正確な讀出しのために使用することができます。

100-LQFP_EPのピン配置

表 59. 100 ピン LQFP_EP のピン配置(ピン番号順)

Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.
V _{DD,INT}	1	V _{DD,EXT}	26	DAI_P10	51	V _{DD,INT}	76
CLK_CFG1	2	DPI_P08	27	V _{DD,INT}	52	FLAG0	77
BOOT_CFG0	3	DPI_P07	28	V _{DD,EXT}	53	V _{DD,INT}	78
V _{DD,EXT}	4	V _{DD,INT}	29	DAI_P20	54	V _{DD,INT}	79
V _{DD,INT}	5	DPI_P09	30	V _{DD,INT}	55	FLAG1	80
BOOT_CFG1	6	DPI_P10	31	DAI_P08	56	FLAG2	81
GND	7	DPI_P11	32	DAI_P04	57	FLAG3	82
NC	8	DPI_P12	33	DAI_P14	58	MLBCLK	83
NC	9	DPI_P13	34	DAI_P18	59	MLBDAT	84
CLK_CFG0	10	DAI_P03	35	DAI_P17	60	MLBDO	85
V _{DD,INT}	11	DPI_P14	36	DAI_P16	61	V _{DD,EXT}	86
CLKIN	12	V _{DD,INT}	37	DAI_P15	62	MLBSIG	87
XTAL	13	V _{DD,INT}	38	DAI_P12	63	V _{DD,INT}	88
V _{DD,EXT}	14	V _{DD,INT}	39	V _{DD,INT}	64	MLBSO	89
V _{DD,INT}	15	DAI_P13	40	DAI_P11	65	TRST	90
V _{DD,INT}	16	DAI_P07	41	V _{DD,INT}	66	EMU	91
RESETOUT/RUNRSTIN	17	DAI_P19	42	V _{DD,INT}	67	TDO	92
V _{DD,INT}	18	DAI_P01	43	GND	68	V _{DD,EXT}	93
DPI_P01	19	DAI_P02	44	THD_M	69	V _{DD,INT}	94
DPI_P02	20	V _{DD,INT}	45	THD_P	70	TDI	95
DPI_P03	21	V _{DD,EXT}	46	V _{DD,THD}	71	TCK	96
V _{DD,INT}	22	V _{DD,INT}	47	V _{DD,INT}	72	V _{DD,INT}	97
DPI_P05	23	DAI_P06	48	V _{DD,INT}	73	RESET	98
DPI_P04	24	DAI_P05	49	V _{DD,INT}	74	TMS	99
DPI_P06	25	DAI_P09	50	V _{DD,INT}	75	V _{DD,INT}	100
						GND	101*

MLB ピン(83,84,85,87,89 番ピン)は車載モデルでのみ使用できます。非車載モデルではこれらのピンはグラウンド(GND)に接続してください。

*101 番ピンは GND 接続です (図 48 および図 49 を参照)。このパッドは GND に確実に接続する必要があります。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

図 48に、100 ピン LQFP_EP のピン配置(上面図)を示します。図 49
に、100 ピン LQFP_EP のピン配置(底面図)を示します。

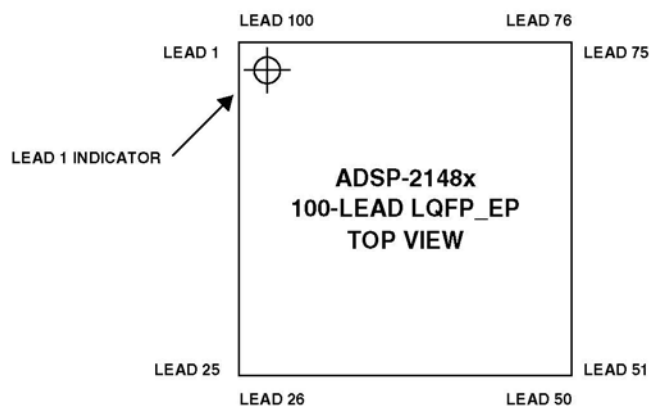


図 48. 100 ピン LQFP_EP のピン配置(上面図)

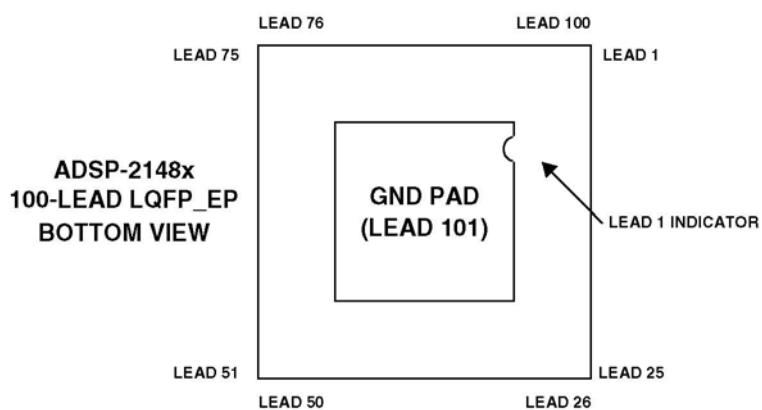


図 49. 100 ピン LQFP_EP のピン配置(底面図)

176ピンLQFP_EPのピン配置

表 60. ADSP-21486 176 ピン LQFP_EP のピン配置(ピン番号順)

Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.
NC	1	V _{DD_EXT}	45	DAI_P10	89	V _{DD_INT}	133
MS0	2	DPI_P08	46	V _{DD_INT}	90	FLAG0	134
NC	3	DPI_P07	47	V _{DD_EXT}	91	FLAG1	135
V _{DD_INT}	4	V _{DD_INT}	48	DAI_P20	92	FLAG2	136
CLK_CFG1	5	DPI_P09	49	V _{DD_INT}	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V _{DD_EXT}	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V _{DD_EXT}	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V _{DD_INT}	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V _{DD_EXT}	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V _{DD_INT}	102	EMU	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V _{DD_EXT}	104	DATA1	148
ADDR7	17	NC	61	V _{DD_INT}	105	DATA2	149
NC	18	V _{DD_INT}	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V _{DD_INT}	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V _{DD_INT}	65	GND	109	V _{DD_EXT}	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V _{DD_INT}	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V _{DD_INT}	68	V _{DD_THD}	112	V _{DD_INT}	156
XTAL	25	NC	69	V _{DD_INT}	113	DATA7	157
ADDR10	26	WDTRSTO	70	V _{DD_INT}	114	TDI	158
NC	27	NC	71	MS1	115	NC	159*
V _{DD_EXT}	28	V _{DD_EXT}	72	V _{DD_INT}	116	V _{DD_EXT}	160
V _{DD_INT}	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	30	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V _{DD_EXT}	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V _{DD_INT}	34	V _{DD_INT}	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V _{DD_INT}	123	DATA14	167
RESETOUT/RUNRSTIN	36	NC	80	ADDR20	124	DATA13	168
V _{DD_INT}	37	NC	81	ADDR19	125	V _{DD_INT}	169
DPI_P01	38	NC	82	V _{DD_EXT}	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	NC	171
DPI_P03	40	V _{DD_EXT}	84	ADDR15	128	NC	172
V _{DD_INT}	41	V _{DD_INT}	85	V _{DD_INT}	129	RESET	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	NC	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V _{DD_INT}	176
						GND	177**

*このピンに何も外部接続をしないでください。NCのみとなります。

**177番ピンはGND接続です(図50および図51を参照)。このパッドはGNDに確実に接続する必要があります。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表 61. ADSP-21483、ADSP-21487、ADSP-21488、ADSP-21489 の 176 ピン LQFP_EP のピン配置
(ピン番号順)

Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.	Lead Name	Lead No.
SDDQM	1	V _{DD_EXT}	45	DAI_P10	89	V _{DD_INT}	133
MS0	2	DPI_P08	46	V _{DD_INT}	90	FLAG0	134
SDCKE	3	DPI_P07	47	V _{DD_EXT}	91	FLAG1	135
V _{DD_INT}	4	V _{DD_INT}	48	DAI_P20	92	FLAG2	136
CLK_CFG1	5	DPI_P09	49	V _{DD_INT}	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V _{DD_EXT}	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V _{DD_EXT}	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V _{DD_INT}	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V _{DD_EXT}	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V _{DD_INT}	102	EMU	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V _{DD_EXT}	104	DATA1	148
ADDR7	17	NC	61	V _{DD_INT}	105	DATA2	149
NC	18	V _{DD_INT}	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V _{DD_INT}	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V _{DD_INT}	65	GND	109	V _{DD_EXT}	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V _{DD_INT}	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V _{DD_INT}	68	V _{DD_THD}	112	V _{DD_INT}	156
XTAL	25	NC	69	V _{DD_INT}	113	DATA7	157
ADDR10	26	WDTRSTO	70	V _{DD_INT}	114	TDI	158
SDA10	27	NC	71	MS1	115	SDCLK	159
V _{DD_EXT}	28	V _{DD_EXT}	72	V _{DD_INT}	116	V _{DD_EXT}	160
V _{DD_INT}	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	30	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V _{DD_EXT}	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V _{DD_INT}	34	V _{DD_INT}	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V _{DD_INT}	123	DATA14	167
RESETOUT/RUNRSTIN	36	NC	80	ADDR20	124	DATA13	168
V _{DD_INT}	37	NC	81	ADDR19	125	V _{DD_INT}	169
DPI_P01	38	NC	82	V _{DD_EXT}	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	SDWE	171
DPI_P03	40	V _{DD_EXT}	84	ADDR15	128	SDRAS	172
V _{DD_INT}	41	V _{DD_INT}	85	V _{DD_INT}	129	RESET	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	SDCAS	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V _{DD_INT}	176
						GND	177*

*177 番ピンは GND 接続です (図 50 および図 51 を参照)。このパッドは GND に確実に接続する必要があります。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

図 50に、176 ピン LQFP_EP のピン配置(上面図)を示します。図 51
に、176 ピン LQFP_EP のピン配置(底面図)を示します。

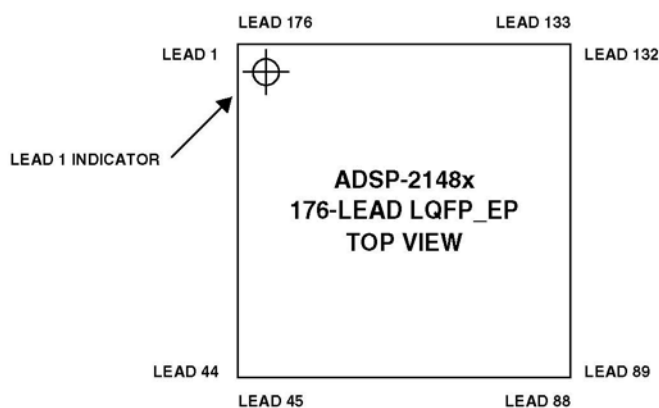


図 50. 176 ピン LQFP_EP のピン配置(上面図)

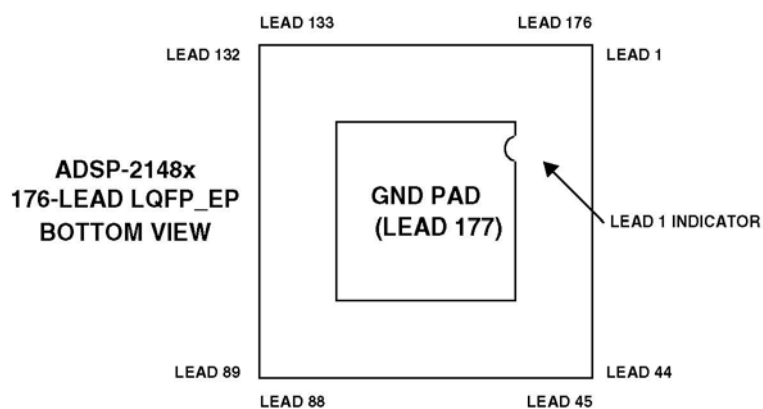
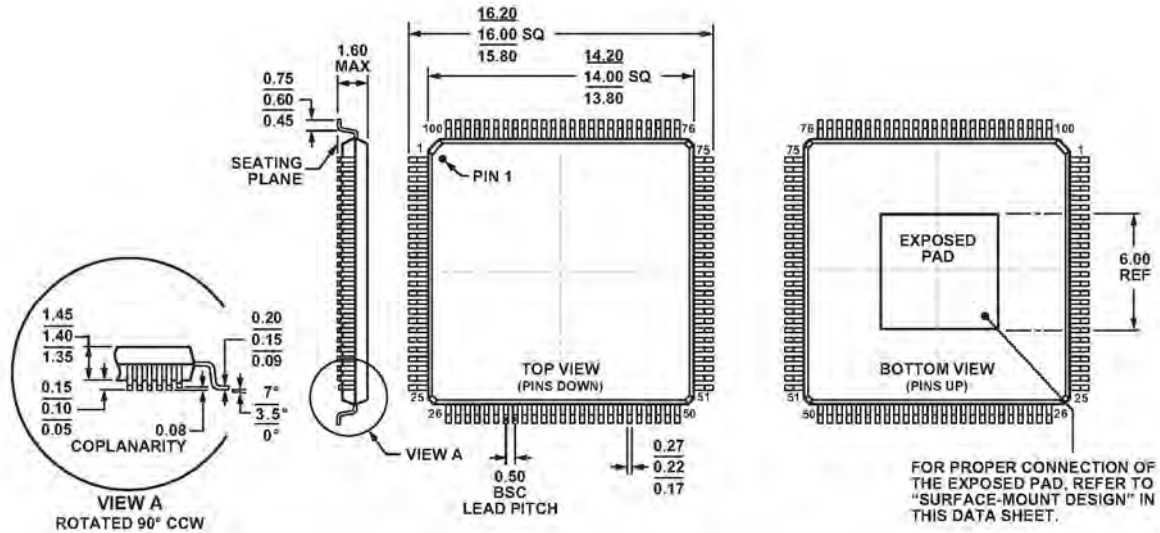


図 51. 176 ピン LQFP_EP のピン配置(底面図)

パッケージ寸法

ADSP-2148x プロセッサは、100 ピンまたは 176 ピンの LQFP_EP
RoHS 準拠パッケージを採用しています。



COMPLIANT TO JEDEC STANDARDS MS-026-BED-HD

図 52. 100 ピン・ロー・プロファイル・クワッド・フラット・パッケージ、エクスポーズド・パッド[LQFP_EP]
(SW-100-2)
寸法: mm

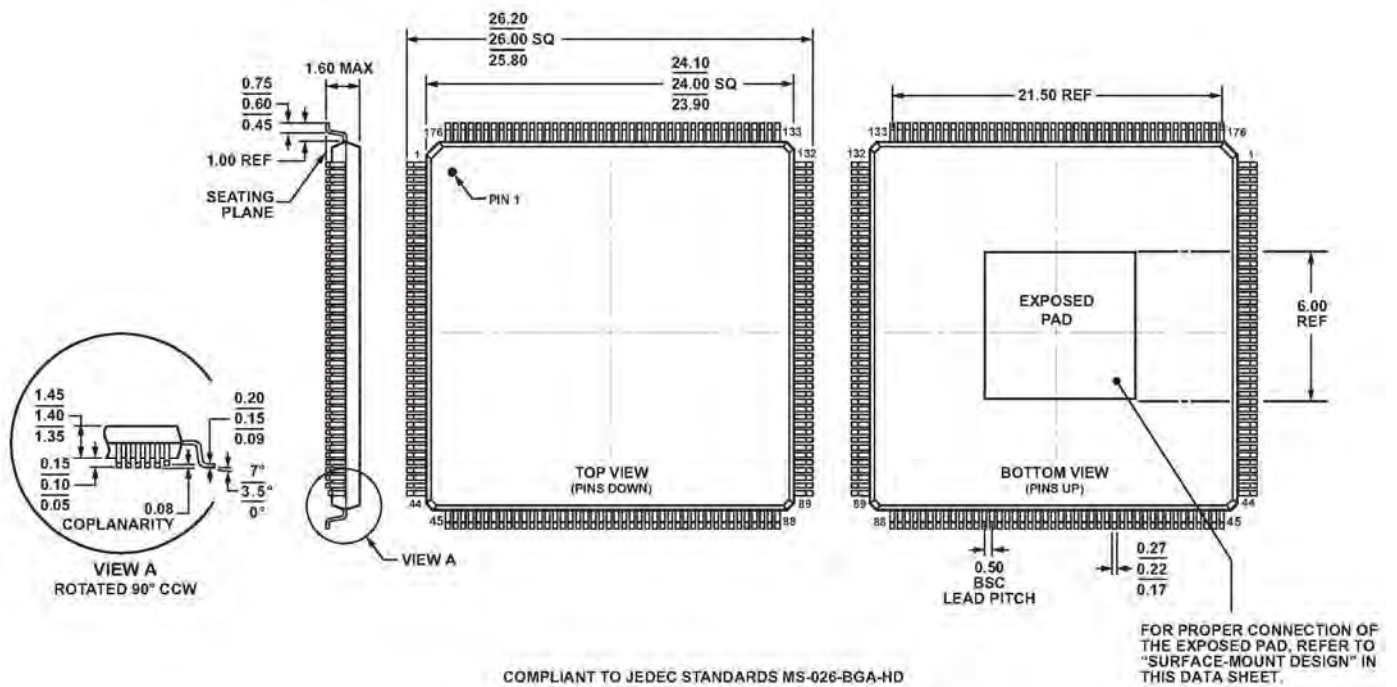


図 53. 176 ピン・ロー・プロファイル・クワッド・フラット・パッケージ、エクスポーズド・パッド[LQFP_EP]
(SW-176-2)
寸法: mm

表面実装デザイン

エクスポーズド・パッドは、電気的および熱的に GND へ接続する必要があります。これは、エクスポーズド・パッドをエクスポーズド・パッドと同じサイズの GND PCB ランドへハンダ付けすることにより実施します。GND PCB ランドは、最適な電気的および熱的性能を得るため PCB の GND プレーンへ確実に接続する必要があります。パッケージには個別の GND ピンがありません。

車載製品

次のモデルは、車載アプリケーションの品質と信頼性の要求をサポートするため管理した製造により提供しています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてください。表 62に示す車載グレード製品は、車載アプリケーション用

ルの特定の車載信頼性レポートについては最寄りのアナログ・デバイセスにお尋ねください。

表 62. 車載製品

Model ¹	Temperature Range ²	RAM	Processor Instruction Rate (Max)	Package Description	Package Option
AD21488WBSWZ4xx	-40°C to +85°C	3 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
AD21488WYSWZ4xx	-40°C to +105°C	3 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
AD21489WBSWZ4xx	-40°C to +85°C	5 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2

¹ Z = RoHS 準拠製品。

² 基準温度は周囲温度。周囲温度は仕様ではありません。唯一の温度仕様であるジャンクション温度(T_J)仕様については、ページ17の動作条件を参照してください。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

オーダー・ガイド

Model ^{1,2}	Temperature Range ³	RAM	Processor Instruction Rate (Max)	Package Description	Package Option
ADSP-21483KSWZ-2B	0°C to +70°C	3 Mbit	300 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21483KSWZ-3B	0°C to +70°C	3 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21483KSWZ-4B	0°C to +70°C	3 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21486KSWZ-2A	0°C to +70°C	5 Mbit	300 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21486KSWZ-3A	0°C to +70°C	5 Mbit	350 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21486KSWZ-4A	0°C to +70°C	5 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21486KSWZ-2B	0°C to +70°C	5 Mbit	300 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21486KSWZ-3B	0°C to +70°C	5 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21487KSWZ-2B	0°C to +70°C	5 Mbit	300 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21487KSWZ-3B	0°C to +70°C	5 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21487KSWZ-4B	0°C to +70°C	5 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21488KSWZ-3A	0°C to +70°C	3 Mbit	350 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21488KSWZ-3A1	0°C to +70°C	3 Mbit	350 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21488KSWZ-4A	0°C to +70°C	3 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21488BSWZ-4A	-40°C to +85°C	3 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21488KSWZ-3B	0°C to +70°C	3 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21488BSWZ-3B	-40°C to +85°C	3 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21488KSWZ-4B	0°C to +70°C	3 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21488BSWZ-4B	-40°C to +85°C	3 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21489KSWZ-3A	0°C to +70°C	5 Mbit	350 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21489BSWZ-3A	-40°C to +85°C	5 Mbit	350 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21489KSWZ-4A	0°C to +70°C	5 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21489BSWZ-4A	-40°C to +85°C	5 Mbit	400 MHz	100-Lead LQFP_EP	SW-100-2
ADSP-21489KSWZ-3B	0°C to +70°C	5 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21489BSWZ-3B	-40°C to +85°C	5 Mbit	350 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21489KSWZ-4B	0°C to +70°C	5 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2
ADSP-21489BSWZ-4B	-40°C to +85°C	5 Mbit	400 MHz	176-Lead LQFP_EP	SW-176-2

¹ Z = RoHS 準拠製品。

² ADSP-21488KSWZ-3A1 は-140 dB サンプル・レート・コンバータを内蔵しています。

³ 基準温度は周囲温度。周囲温度は仕様ではありません。唯一の温度仕様であるジャンクション温度(T_j)仕様については、[ページ17の動作条件](#)を参照してください。