

まとめ

高性能オーディオ処理用に最適化された高性能32ビット/40ビット浮動小数プロセッサ

SIMD (Single-instruction, multiple-data)演算アーキテクチャを採用

ADSP-21371 内蔵メモリ—1M ビットの内蔵 SRAM と 4M ビットのマスク・プログラマブルな専用内蔵 ROM

ADSP-21375 内蔵メモリ—0.5M ビットの内蔵 SRAM と 2M ビットのマスク・プログラマブルな専用内蔵 ROM

すべての他の SHARC ファミリー・メンバーとコード互換

ADSP-21371/ADSP-21375 プロセッサは、1.2 V、266 MHz のコア命令レートで動作し、デジタル・アプリケーション・インターフェース、シリアル・ポート、高精度クロック・ジェネレータなどのような独自のオーディオ中心のペリフェラルを内蔵しています。オーダー情報については、[オーダー・ガイド](#)を参照してください。

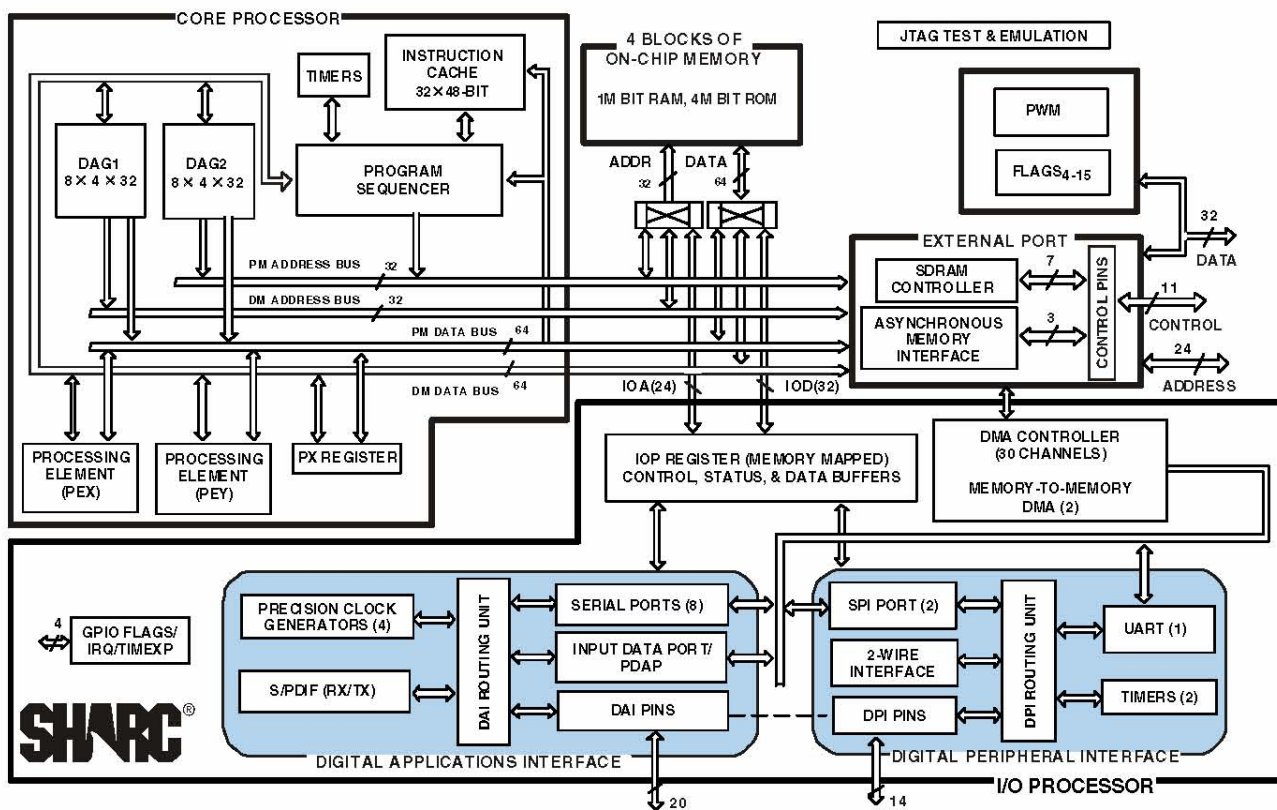


図 1. ADSP-21371 の機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2008 Analog Devices, Inc. All rights reserved.

Rev. B

特長—プロセッサ・コア

ADSP-21371/ADSP-21375 の性能は、コア命令レート 266 MHz (3.75 ns) で 1.596 GFLOP/533 MMAC

ADSP-21371—コア・プロセッサと DMA から同時アクセス可能な 1M ビットの内蔵 SRAM、およびマスク・プログラマブルな 4M ビットの内蔵 ROM

ADSP-21375—コア・プロセッサと DMA から同時アクセス可能な 0.5M ビットの内蔵 SRAM、およびマスク・プログラマブルな 2M ビットの内蔵 ROM

モジュールおよびビット反転アドレッシング機能付きの DAG (Dual data address generator)

1 サイクルのループ・セットアップによるゼロ・オーバーヘッドのループ処理と、効率的なプログラム・シーケンシング機能を提供

SIMD (Single-instruction, multiple-data) 演算アーキテクチャにより、

2 つの演算処理エレメントを同時実行

他の SHARC ファミリー・メンバーとアセンブラ・レベルでコード互換

バスと演算ユニットの並行動作により、乗算命令、ALU 命令、デュアル・メモリ読み出しまたは書き込み、命令フェッチの 1 サイクル実行が可能 (SIMD を使用または不使用)

メモリとコアとの間の転送で、266 MHz のコア命令レートで毎秒 4.25G バイトの帯域幅を維持

入力/出力機能

ADSP-21371—DMA コントローラのサポート

ADSP-21371 内部メモリと多様なペリフェラルとの間の転送で 32 個の DMA チャンネルを提供

フル・スピード・プロセッサ実行と並行して、ペリフェラル・クロック速度での 32 ビット DMA 転送を提供

ADSP-21371—32 ビット幅の外部ポートにより、同期 (SDRAM) および非同期メモリ・デバイスに対する外付け部品不要の接続が可能

プログラマブルなウエイト状態オプション: SDCLK で 2~31 サイクルが可能

ディレイライン DMA エンジンにより外部メモリにタップ/オフセットの読み出し付き循環バッファを提供

133 MHz での SDRAM アクセスおよび 44.4 MHz での非同期アクセス

4 本のメモリ・セレクト・ラインにより、複数の外部メモリ・デバイスが可能

8 個のシリアル・ポート (ADSP-21371)、4 個の高精度クロック・ジェネレータ、入力データ・ポート、S/PDIF トランスミッタ、信号ルーティング・ユニットを内蔵するデジタル・オーディオ・インターフェース (DAI)

2 個のタイマ、1 個の UART、2 個の SPI ポート、2 線式インターフェース・ポートを内蔵するデジタル・ペリフェラル・インターフェース (DPI)

PCG A と PCG B の出力は DAI ピンを介して接続可能

PCG C と PCG D の出力は、DAI ピンと DPI ピンに接続可能
各々のデータ・ラインが最大 50 Mbps で動作する、8 個のデュアル・データ・ライン・シリアル・ポート (ADSP-21371)—各ポートは、クロック、フレーム同期、レシーバまたはトランスミッタ対として構成可能な 2 本のデータ・ラインを装備

H.100/H.110 などの新しいテレフォニ・インターフェースをサポートする 128 チャンネルの TDM を含む通信インターフェース用 TDM をサポート

最大 16 個の TDM ストリームをサポート、各々はフレームあたり 128 チャンネル (ADSP-21371)

TDM モードではチャンネルごとに圧伸機能の選択が可能

8 チャンネルのシリアル・データまたは 7 チャンネルのシリアル・データ、および最大 20 ビット幅の平行データ・チャンネルとして構成可能な入力データ・ポート (ADSP-21371)

種々のペリフェラルと DAI/DPI コンポーネントとの間で設定可能で柔軟な接続を提供する信号ルーティング・ユニット

フラグ/ $\overline{\text{IRQ}}$ 共用のライン × 2 本

フラグ/ $\overline{\text{IRQ}}$ / $\overline{\text{MS}}$ 共用ピン × 1 本

フラグ/タイマ・タイムアウト・ライン/ $\overline{\text{MS}}$ 共用ピン × 1 本

ADSP-21371—EIAJ CP-340 (CP-1201)、IEC-958、AES/EBU 規格をサポートする S/PDIF 互換デジタル・オーディオ・レシーバ/トランスミッタ

16、18、20、または 24 ビット・ワード幅 (トランスミッタ) の左詰め、 $\overline{\text{I}}^2\text{S}$ 、右詰めシリアル・データ入力

パルス幅変調

4 出力の 4 グループとして構成された 16 本の PWM 出力により、中心揃えまたはエッジ揃えの PWM 波形をサポート

ROM ベースのセキュリティ機能

メモリに対する JTAG アクセスを 64 ビット・キーで許可

秘密コードに対するアクセスをプログラム制御により制限する際に使用できるメモリ保護領域

ソフトウェアおよびハードウェアによる広範囲な通倍比/分周比を持つ PLL

PLL と SDRAM コントローラのリセットなし、またはブートなしで、プロセッサ・コアとペリフェラルのリセットが可能な“ランニング・リセット”機能を新規追加

デュアル電圧: I/O 3.3 V、コア 1.2 V

208 ピン LQFP_EP パッケージを採用 (オーダー・ガイドを参照)

目次

まとめ	1
特長—プロセッサ・コア	2
入力/出力機能	2
目次	3
改訂履歴	3
概要	4
ADSP-21371/ADSP-21375 ファミリー・コアのアーキテクチャ	4
ADSP-21371/ADSP-21375 のメモリ	6
外部メモリ	6
ADSP-21371/ADSP-21375 の入力/出力機能	8
システム・デザイン	11
開発ツール	11
その他の情報	12
ピン機能の説明	13
データ・モード—ADSP-21371	15
データ・モード—ADSP-21375	15
ブート・モード	15
コア命令レート対CLKIN比モード	15
ADSP-21371/ADSP-21375 の仕様	16
動作条件	16
電気的特性	16
パッケージ情報	17
最大消費電力	17
絶対最大定格	17
ESDの注意	17
タイミング仕様	18
パワーアップ・シーケンス	20
出力駆動電流	46
テスト条件	46
容量負荷	46
熱特性	47
208 ピンLQFP_EPのピン配置	48
パッケージ寸法	52
オーダー・ガイド	52

改訂履歴

6/08—Rev. A to Rev. B

Change package to LQFP_EP 208-Lead LQFP_EP Pinout	48
Change package to LQFP_EP Package Dimensions	52
Change package to LQFP_EP Ordering Guide	52

概要

ADSP-21371/ADSP-21375 SHARC[®]プロセッサは、SIMD SHARC ファミリーのメンバーであり、アナログ・デバイズのスーパー・ハーバード・アーキテクチャを採用した DSP です。ADSP-21371/ADSP-21375 は、ADSP-2126x、ADSP-2136x、ADSP-2116x DSP、および SISD モードの第 1 世代 ADSP-2106x SHARC プロセッサとソース・コード互換です。ADSP-21371/ADSP-21375 プロセッサは、大容量の内蔵 SRAM とマスク・プログラマブルな ROM、I/O ボトルネックを解消する複数の内部バス、画期的なデジタル・アプリケーション・インターフェース(DAI)により、高性能車載オーディオ・アプリケーション向けに最適化された 32 ビット/40 ビットの浮動小数プロセッサです。

機能ブロック図(図 1)に示すように、ADSP-21371/ADSP-21375 プロセッサは、2 個の演算ユニットを採用することにより、広範囲な DSP アルゴリズムに対して従来の SHARC プロセッサに比べて性能を大幅に改善しています。ADSP-21371/ADSP-21375 プロセッサは最新の高速 CMOS プロセスで製造され、266 MHz で 3.75 ns の命令サイクル・タイムを実現しています。ADSP-21371/ADSP-21375 プロセッサは SIMD 演算ハードウェアを使用して、266 MHz で 1.596 GFLOPS の処理を行うことができます。

表 1 に、ADSP-21371/ADSP-21375 プロセッサの性能ベンチマークを示します。

表 1. ADSP-21371/ADSP-21375 のベンチマーク(266 MHz)

Benchmark Algorithm	Speed (at 266 MHz)
1024 Point Complex FFT (Radix 4, With Reversal)	34.5 μ s
FIR Filter (per Tap) ¹	1.88 ns
IIR Filter (per Biquad) ¹	7.5 ns
Matrix Multiply (Pipelined)	
[3 × 3] × [3 × 1]	16.91 ns
[4 × 4] × [4 × 1]	30.07 ns
Divide (y/x)	13.1 ns
Inverse Square Root	20.4 ns

¹ マルチチャンネル SIMD モードでは 2 つのファイルを想定

ADSP-21371/ADSP-21375 プロセッサは、高性能 32 ビット DSP コアと内蔵システム機能を組み合わせた DSP IC の SHARC 業界規格をリードし続けます。

次のアーキテクチャ機能を ADSP-21371/ADSP-21375 のブロック図(図 1)に示します。

- 2 個の処理エレメント。各々は ALU、乗算器、シフタ、データ・レジスタ・ファイルから構成されています。
- データ・アドレス・ジェネレータ(DAG1、DAG2)
- 命令キャッシュ付きのプログラム・シーケンサ
- PM バスと DM バス。メモリとコアとの間で各コア・プロセッサ・サイクルで 4 回の 32 ビット・データ転送をサポートすることが可能。

- 外部イベント・カウンタ機能を持つ 2 個のプログラマブル・インターバル・タイマ
- 内蔵 SRAM (ADSP-21371 では 1M ビット、ADSP-21375 では 0.5M ビット)
- 内蔵マスク・プログラマブル ROM (ADSP-21371 では 4M ビット、ADSP-21375 では 2M ビット)
- JTAG テスト・アクセス・ポート

図 1 に示す ADSP-21371/ADSP-21375 ブロック図には、次のアーキテクチャ機能も示してあります。

- DMA コントローラ
- ADSP-21371—デジタル・アプリケーション・インターフェース。これには、4 個の高精度クロック・ジェネレータ(PCG)、S/PDIF 互換デジタル・オーディオ・レシーバ/トランスミッタ、入力データ・ポート(IDP)、8 個のシリアル・ポート、8 個のシリアル・インターフェース、20 ビット・パラレル入力ポート(PDAP)、柔軟な信号ルーティング・ユニット(DAI SRU)が内蔵されています。
- デジタル・ペリフェラル・インターフェース。これには、2 個のタイマ、1 個の UART、2 個のシリアル・ペリフェラル・インターフェース(SPI)、2 線式インターフェース(TWI)、柔軟な信号ルーティング・ユニット(DPI SRU)が内蔵されています。

ADSP-21371/ADSP-21375 ファミリー・コアのアーキテクチャ

ADSP-21371/ADSP-21375 プロセッサは、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161、第 1 世代 ADSP-2106x SHARC プロセッサとアセンブラ・レベルでコード互換です。ADSP-21371/ADSP-21375 プロセッサは、次のセクションで説明するように、ADSP-2126x、ADSP-2136x、ADSP-2116x SIMD SHARC プロセッサとアーキテクチャ機能を共有しています。

SIMD 演算エンジン

ADSP-21371/ADSP-21375 プロセッサは、SIMD (Single-Instruction, Multiple-Data) エンジンとして動作する 2 個の演算処理エレメントを内蔵しています。これらの処理エレメントは PEX と PEY と呼ばれ、各々は、ALU、乗算器、シフタ、レジスタ・ファイルを内蔵しています。PEX は常時アクティブで、PEY は MODE1 レジスタの PEYEN モード・ビットをセットしてイネーブルすることができます。このモードがイネーブルされると、同じ命令が両処理エレメントで実行されますが、各処理エレメントは異なるデータに対して動作します。このアーキテクチャは、数学的な DSP アルゴリズムの実行に効果を発揮します。

SIMD モードが開始されると、メモリと処理エレメントとの間のデータ転送方法も変わります。SIMD モードでは、処理エレメントでの演算動作を維持するために 2 倍のデータ帯域幅が必要になります。この要求のため、SIMD モードが開始されると、メモリと処理エレメントとの間の帯域幅も 2 倍になります。SIMD モードでデータ転送に DAG を使用する場合、メモリまたはレジスタ・ファイルに対する各アクセスで 2 個のデータ値が転送されます。

独立な並列演算ユニット

各処理エレメントには、演算ユニットのセットがあります。演算ユニットは、ALU、乗算器、シフタから構成されています。これらのユニットは、すべての命令を1サイクルで実行します。各処理エレメント内の3個のユニットは、最大の演算スループットを得る並行構成になっています。1個のマルチファンクション命令により、ALUと乗算器の並行動作が行われます。SIMDモードでは、両処理エレメントでALUと乗算器の並行動作が発生します。これらの演算ユニットは、IEEE 32ビット単精度浮動小数点、40ビット拡張精度浮動小数点、32ビット固定小数点の各データ・フォーマットをサポートしています。

データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理エレメントに内蔵されています。レジスタ・ファイルは、演算ユニットとデータ・バスとの間でデータを転送し、途中結果を保持します。これらの10ポート32レジスタからなるレジスタ・ファイル(16個のプライマリ、16個のセカンダリ)とADSP2136xの強化型ハーバード・アーキテクチャとの組み合わせにより、演算ユニットと内部メモリとの間で制約のないデータ・フローが可能になっています。PEX内のレジスタはR0～R15と呼ばれ、PEY内のレジスタはS0～S15と呼ばれます。

1サイクル命令フェッチと4個のオペランド

ADSP-21371/ADSP-21375 プロセッサは、データ・メモリ(DM)バスでデータを転送し、プログラム・メモリ(PM)バスで命令とデータを転送する強化型ハーバード・アーキテクチャを採用しています(図1参照)。ADSP-21371/ADSP-21375ではプログラム・メモリ・バスとデータ・メモリ・バスを分離し、かつ命令キャッシュを内蔵しているため、プロセッサは4個のオペランド(各データ・バスから2個)と1個の命令(キャッシュから)を同時に1サイクルでフェッチすることができます。

命令キャッシュ

ADSP-21371/ADSP-21375 プロセッサは、1個の命令と4個のデータ値をフェッチする3バス動作を可能にする命令キャッシュを内蔵しています。キャッシュは選択的で、PMバス・データ・アクセスとフェッチが競合する命令だけをキャッシュします。このキャッシュにより、コアのフル速度実行(デジタル・フィルタの積和やFFTでのバタフライ処理のようなループ動作)が可能になります。

ゼロ・オーバーヘッドのハードウェア循環バッファをサポートするデータ・アドレス・ジェネレータ

ADSP-21371/ADSP-21375の2個のデータ・アドレス・ジェネレータ(DAG)は、間接アドレッシング機能とハードウェアによる循環データ・バッファの構成に使用されます。循環バッファを使うと、遅延ラインの効率の良いプログラミングとデジタル信号処理に必要なその他のデータ構造が実現できるため、広くデジタル・フィルタとフーリエ変換で使用されています。ADSP-21371/ADSP-21375 プロセッサの2個のDAGには、最大32個の循環バッファを実現するために十分なレジスタが内蔵されています(16個はプライマリレジスタ・セット用、16個はセカンダリレジスタ・セット用)。DAGは、アドレス・ポインタのラップアラウンドを自動的に処理するため、オーバーヘッドを削減し、性能を向上させ、構成を簡素化します。循環バッファは、任意のメモリ・ロケーションから開始させて終了させることができます。

柔軟な命令セット

48ビットの命令ワードにより、多様な並行動作が可能になるため、簡潔なプログラミングが可能になります。例えば、ADSP-21371/ADSP-21375は、両処理エレメントで、乗算、加算、減算を条件付きで実行すると同時に、分岐や最大4個の32ビット値のメモリからのフェッチを1命令で行うことができます。

車載製品

専用の製造工程で製造された、車載アプリケーション用のADSP-21371/ADSP-21375モデルも提供しています。これらの特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。車載品を提供しているモデルについては、[オーダー・ガイド](#)を参照してください。

ADSP-21371/ADSP-21375 のメモリ

ADSP-21371/ADSP-21375 プロセッサでは、SIMD SHARC ファミリー・コアに次のアーキテクチャ機能が追加されています。

内蔵メモリ

ADSP-21371 プロセッサは、1 Mビットの内部RAMと 4Mビットのマスキング・プログラマブルROMを内蔵しています。各ブロックは、コード・ストレージとデータ・ストレージのさまざまな組み合わせで構成することができます(表3参照)。各メモリ・ブロックは、コア・プロセッサとI/Oプロセッサから独立した1サイクルのアクセスをサポートします。ADSP-21371/ADSP-21375 メモリ・アーキテクチャと、分離した内蔵バスとの組み合わせにより、コアからの2回のデータ転送とI/Oプロセッサからの1回のデータ転送が1サイクルで可能になっています。

表 2. ADSP-21371の内部メモリ空間

IOP Registers 0x0000 0000–0x0003 FFFF			
Long Word (64 bits)	Extended Precision Normal or Instruction Word (48 bits)	Normal Word (32 bits)	Short Word (16 bits)
BLOCK 0 ROM 0x0004 0000–0x0004 7FFF	BLOCK 0 ROM 0x0008 0000–0x0008 AAA9	BLOCK 0 ROM 0x0008 0000–0x0008 FFFF	BLOCK 0 ROM 0x0010 0000–0x0011 FFFF
Reserved 0x0004 8000–0x0004 BFFF	Reserved 0x0008 AAAA–0x0008 FFFF	Reserved 0x0009 0000–0x0009 7FFF	Reserved 0x0012 0000–0x0012 FFFF
BLOCK 0 RAM 0x0004 C000–0x0004 CFFF	BLOCK 0 RAM 0x0009 0000–0x0009 1554	BLOCK 0 RAM 0x0009 8000–0x0009 9FFF	BLOCK 0 RAM 0x0013 0000–0x0013 3FFF
Reserved 0x0004 D000–0x0004 FFFF	Reserved 0x0009 1555–0x0009 FFFF	Reserved 0x0009 A000–0x0009 FFFF	Reserved 0x0013 4000–0x0013 FFFF
BLOCK 1 ROM 0x0005 0000–0x0005 7FFF	BLOCK 1 ROM 0x000A 0000–0x000A AAA9	BLOCK 1 ROM 0x000A 0000–0x000A FFFF	BLOCK 1 ROM 0x0014 0000–0x0015 FFFF
Reserved 0x0005 8000–0x0005 BFFF	Reserved 0x000A AAAA–0x000A FFFF	Reserved 0x000B 0000–0x000B 7FFF	Reserved 0x0016 0000–0x0016 FFFF
BLOCK 1 RAM 0x0005 C000–0x0005 CFFF	BLOCK 1 RAM 0x000B 0000–0x000B 1554	BLOCK 1 RAM 0x000B 8000–0x000B 9FFF	BLOCK 1 RAM 0x0017 0000–0x0017 3FFF
Reserved 0x0005 D000–0x0005 FFFF	Reserved 0x000B 1555–0x000B FFFF	Reserved 0x000B A000–0x000B FFFF	Reserved 0x0017 4000–0x0017 FFFF
BLOCK 2 RAM 0x0006 0000–0x0006 0FFF	BLOCK 2 RAM 0x000C 0000–0x000C 1554	BLOCK 2 RAM 0x000C 0000–0x000C 1FFF	BLOCK 2 RAM 0x0018 0000–0x0018 3FFF
Reserved 0x0006 1000–0x0006 FFFF	Reserved 0x000C 1555–0x000D FFFF	Reserved 0x000C 2000–0x000D FFFF	Reserved 0x0018 4000–0x001B FFFF
BLOCK 3 RAM 0x0007 0000–0x0007 0FFF	BLOCK 3 RAM 0x000E 0000–0x000E 1554	BLOCK 3 RAM 0x000E 0000–0x000E 1FFF	BLOCK 3 RAM 0x001C 0000–0x001C 3FFF
Reserved 0x0007 1000–0x0007 FFFF	Reserved 0x000E 1555–0x000F FFFF	Reserved 0x000E 2000–0x000F FFFF	Reserved 0x001C 4000–0x001F FFFF

1本のバスを1つのメモリ・ブロック専用にしてDMバスとPMバスを使うと、2個のデータ転送の1サイクルでの実行を確実に行うことができます。この場合、命令はキャッシュ内に存在する必要があります。

ADSP-21371のSRAMは、最大32kワードの32ビット・データとして、64kワードの16ビット・データとして、21.3kワードの48ビット命令として(もしくは40ビット・データ)、または最大1Mビットの様々なワード・サイズの組み合わせとして、構成することができます。すべてのメモリは、16ビット、32ビット、48ビット、または64ビット・ワードとしてアクセスすることができます。16ビットの浮動小数点ストレージ・フォーマットをサポートしています。これにより内部で保存できるデータ量が実質的に2倍になります。32ビット浮動小数点フォーマットと16ビット浮動小数点フォーマットとの間の変換は、1命令で実行されます。各メモリ・ブロックはコードとデータ、共に保存できますが、転送にDMバスを使って1つのブロックにデータを保存し、さらに転送にPMバスを使って別のブロックに命令とデータを保存するとき、アクセスが最も効率良くなります。

外部メモリ

ADSP-21371/ADSP-21375の外部バス・インターフェース・ユニットは、さまざまな業界標準メモリ・デバイスに対して高性能で外付け部品の不要なインターフェースを提供し

ます。32ビット幅のバスを使って、別々の内部メモリ・コントローラを介して同期および/または非同期メモリ・デバイスに接続することができます。一つ目は業界標準の同期DRAMデバイスとDIMM (Dual Inline Memory Module)を接続するためのSDRAMコントローラであり、二つ目は多様なメモリ・デバイスに対するインターフェースで使用する非同

期メモリ・コントローラです。4本のメモリ・セレクト・ピンにより、最大4個のデバイスを使用することができるため、同期と非同期デバイス・タイプの任意の組み合わせをサポートすることができます。非SDRAM外部メモリ・アドレス空間を表 4に示します。

表 3.ADSP-21375の内部メモリ空間

IOP Registers 0x0000 0000–0x0003 FFFF			
Long Word (64 bits)	Extended Precision Normal or Instruction Word (48 bits)	Normal Word (32 bits)	Short Word (16 bits)
BLOCK 0 ROM 0x0004 0000–0x0004 3FFF	BLOCK 0 ROM 0x0008 0000–0x0008 5554	BLOCK 0 ROM 0x0008 0000–0x0008 7FFF	BLOCK 0 ROM 0x0010 0000–0x0010 FFFF
Reserved 0x0004 4000–0x0004 BFFF	Reserved 0x0008 5555–0x0008 FFFF	Reserved 0x0008 8000–0x0009 7FFF	Reserved 0x0011 0000–0x0012 FFFF
BLOCK 0 RAM 0x0004 C000–0x0004 C7FF	BLOCK 0 RAM 0x0009 0000–0x0009 0AAA	BLOCK 0 RAM 0x0009 8000–0x0009 8FFF	BLOCK 0 RAM 0x0013 0000–0x0013 1FFF
Reserved 0x0004 C800–0x0004 FFFF	Reserved 0x0009 0AAB–0x0009 FFFF	Reserved 0x0009 9000–0x0009 FFFF	Reserved 0x0013 2000–0x0013 FFFF
BLOCK 1 ROM 0x0005 0000–0x0005 3FFF	BLOCK 1 ROM 0x000A 0000–0x000A 5554	BLOCK 1 ROM 0x000A 0000–0x000A 7FFF	BLOCK 1 ROM 0x0014 0000–0x0014 FFFF
Reserved 0x0005 4000–0x0005 BFFF	Reserved 0x000A 5555–0x000A FFFF	Reserved 0x000A 8000–0x000B 7FFF	Reserved 0x0015 0000–0x0016 FFFF
BLOCK 1 RAM 0x0005 C000–0x0005 C7FF	BLOCK 1 RAM 0x000B 0000–0x000B 0AAA	BLOCK 1 RAM 0x000B 8000–0x000B 8FFF	BLOCK 1 RAM 0x0017 0000–0x0017 1FFF
Reserved 0x0005 C800–0x0005 FFFF	Reserved 0x000B 0AAB–0x000B FFFF	Reserved 0x000B 9000–0x000B FFFF	Reserved 0x0017 2000–0x0017 FFFF
BLOCK 2 RAM 0x0006 0000–0x0006 07FF	BLOCK 2 RAM 0x000C 0000–0x000C 0AAA	BLOCK 2 RAM 0x000C 0000–0x000C 0FFF	BLOCK 2 RAM 0x0018 0000–0x0018 1FFF
Reserved 0x0006 0800–0x0006 FFFF	Reserved 0x000C 0AAB–0x000D FFFF	Reserved 0x000C 1000–0x000D FFFF	Reserved 0x0018 2000–0x001B FFFF
BLOCK 3 RAM 0x0007 0000–0x0007 07FF	BLOCK 3 RAM 0x000E 0000–0x000E 0AAA	BLOCK 3 RAM 0x000E 0000–0x000E 0FFF	BLOCK 3 RAM 0x001C 0000–0x001C 1FFF
Reserved 0x0007 0800–0x0007 FFFF	Reserved 0x000E 0AAB–0x000F FFFF	Reserved 0x000E 1000–0x000F FFFF	Reserved 0x001C 2000–0x001F FFFF

外部メモリでの実行

ADSP-21371/ADSP-21375 では、プログラム・シーケンサが外部メモリ・バンク 0 (SRAM、SDRAM)からコードを直接実行することができます。この機能を使うと、内部メモリ・サイズを削減できるため、チップ面積を小さくすることができます。外部実行では、プログラム動作速度が低下します。これは、48ビット命令の一部が16ビット外部バスからフェッチされるため、SDRAMからの命令フェッチに固有な遅延があるためです。外部メモリからの命令フェッチには、一般に命令あたり1.5ペリフェラル・クロック・サイクルを要します。

SDRAMコントローラ

このSDRAMコントローラは、最大4バンクの業界標準SDRAMデバイスまたはDIMMに対するインターフェースを提供します。SDRAM規格に完全に準拠しているため、各バンクは固有のメモリ・セレクト・ライン(MS0～MS3)により、16Mバイト～256Mバイトのメモリを含むように構成することができます。SDRAM外部メモリ・アドレス空間を表 5に示します。

このコントローラは全バンクを連続したアドレス空間として維持するため、異なるサイズのデバイスを異なるバンク内に使用した場合でも、プロセッサからは1つのアドレス空間として見えます。

プログラマブル・タイミング・パラメータセットを使って、低速のメモリ・デバイスをサポートするSDRAMバンクを設定すること

ができます。メモリ・バンクは、16ビット幅または32ビット幅に構成することができます。

SDRAM コントローラのアドレス、データ、クロック、コマンドピンは、最大 30 pF の負荷を駆動することができます。大規模なメモリ・システムの場合、SDRAM コントローラの外部バッファ・タイミングを選択して、SDRAM コントローラ・ピンの負荷が 30 pF を超えないように外部バッファを設ける必要があります。

表 4.非SDRAMアドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	14M	0x0020 0000–0x00FF FFFF
Bank 1	16M	0x0400 0000–0x04FF FFFF
Bank 2	16M	0x0800 0000–0x08FF FFFF
Bank 3	16M	0x0C00 0000–0x0CFF FFFF

表 5.SDRAMアドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	62M	0x0020 0000–0x03FF FFFF
Bank 1	64M	0x0400 0000–0x07FF FFFF
Bank 2	64M	0x0800 0000–0x0BFF FFFF
Bank 3	64M	0x0C00 0000–0x0FFF FFFF

図に示す外部メモリ・バンク・アドレスは、通常のワード・アクセスの場合であることに注意してください。48ビット命令をこのようなバンクに格納する場合は(32ビットの3ロケーションに2個の命令を格納)、データ・バッファを同じバンクに対応させるように注意する必要があります。例えば、2kの命令をバンク0のベース・アドレス(0x0020 0000)から格納する場合、データ・バッファは3kワード(0x0020 0C00)離れたアドレスから開始させることができます。

非同期コントローラ

非同期メモリ・コントローラは、最大4バンクのメモリ・デバイスまたはI/Oデバイスに対して設定可能なインターフェースを提供します。各バンクは異なるタイミング・パラメータを使って独立に設定可能であるため、SRAM、ROM、フラッシュEPROM、さらに標準メモリ・コントロール・ラインを使ってインターフェースするI/Oデバイスなどの多様なメモリ・デバイスに対する接続が可能で、プロセッサのアドレス空間で、バンク0は14.7Mのワード・ウィンドウを、バンク1、2、3は16Mのワード・ウィンドウをそれぞれ占有しますが、すべてを使用しない場合は、メモリ・コントローラ・ロジックを使って、これらのウィンドウが連続しないようにすることができます。このバンクは、高性能または低価格かつ低消費電力用の広範囲なメモリやI/Oデバイスに容易にインターフェースできるように、8ビット幅バスまたは16ビット幅バスに構成することもできます。

非同期メモリ・コントローラは、44MHzの外部バス速度を使って176Mbpsの最大スループットを実現しています。その他の機能と

しては、8から32ビットへおよび16から32ビットへのパッキング機能とアンパッキング機能、バンク・セレクト1からのブート、ディレイラインDMAのサポートなどがあります。

ADSP-21371/ADSP-21375の入力/出力機能

ADSP-21371/ADSP-21375 I/Oプロセッサは、32チャンネルのDMA (ADSP-21371)/6チャンネルのDMA (ADSP-21375)と広範囲なペリフェラルを提供しています。この中には、20ピンのデジタル・アプリケーション・インターフェースが含まれ、次の制御を行います。

- 8個のシリアル・ポート(ADSP-21371)
- S/PDIF レシーバ/トランスミッタ(ADSP-21371)
- 4個の高精度クロック・ジェネレータ
- 入力データ・ポート/パラレル・データ・アキュジション・ポート(ADSP-21371)

ADSP-21371/ADSP-21375 プロセッサには、14ピンのデジタル・ペリフェラル・インターフェースが内蔵されており、次の制御を行います。

- 2個の汎用タイマ
- 2個のシリアル・ペリフェラル・インターフェース
- 1個のユニバーサル非同期レシーバ/トランスミッタ(UART)
- 1個のPC[®]互換2線式インターフェース

DMAコントローラ

ADSP-21371/ADSP-21375の内蔵DMAコントローラにより、プロセッサの介入なしでデータ転送を行うことができます。DMAコントローラは独立に動作し、プロセッサ・コアからは見えないため、DMA動作はコアのプログラム実行と同時に発生することができます。DMA転送は、シリアル・ポート、SPI互換(シリアル・ペリフェラル・インターフェース)ポート、IDP(入力データ・ポート)、パラレル・データ・アキュジション・ポート(PDAP)、またはUARTと、ADSP-21371の内部メモリとの間で行うことができます。ADSP-21371には32チャンネルのDMAがあり、16個はシリアル・ポートに、8個は入力データ・ポートに、2個はUARTに、2個はSPIインターフェースに、2個は外部ポートに、2個はメモリーメモリ間転送に、それぞれ使用することができます。プログラムは、DMA転送を使ってADSP-21371/ADSP-21375にダウンロードすることができます。その他のDMA機能としては、DMA転送完了時の割り込み発生や自動リンクDMA転送でのDMAチェーニング機能などがあります。

ディレイラインDMA

ADSP-21371/ADSP-21375プロセッサは、ディレイラインDMA機能を提供します。この機能を使うと、プロセッサは外部ディレイライン・バッファ(外部メモリ、SRAMまたはSDRAM)に対してコアの介入を最小限にした読み出しと書き込みを行うことができます。

デジタル・アプリケーション・インターフェース(DAI)

デジタル・アプリケーション・インターフェース(DAI)は、種々のペリフェラルを任意のDSP DAIピン(DAI_P1~DAI_P20)へ接続する機能を提供します。

これらの接続は、図1に示す信号ルーティング・ユニット(SRU)を使ってプログラムから行います。

SRUは、ソフトウェアからの制御で、DAIが提供するペリフェラルを相互接続できるようにするマトリックス・ルーティング・ユニット(すなわちマルチプレクサのグループ)です。この機能を使った場合、大規模なセットのアルゴリズムを使うことにより、広範囲なアプリケーションに対してDAIに対応させたペリフェラルを、信

号パスを設定できない場合に比べて遥かに容易に使用できるようになります。

ADSP-21371 の場合、DAI には 8 個のシリアル・ポート、4 個の高精度クロック・ジェネレータ(PCG)、1 個の入力データ・ポート(IDP)も内蔵されています。ADSP-21375 の場合、DAI には 4 個のシリアル・ポート、4 個の高精度クロック・ジェネレータ(PCG)、1 個の入力データ・ポート(IDP)も内蔵されています。

IDP は、ADSP-21371 プロセッサのコアに対する追加入力パスを提供し、8 チャンネルの I²S シリアル・データ、または 20 ビット幅の 1 個の同期パラレル・データ・アクイジション・ポートとして構成することができます。

各データ・チャンネルには、ADSP-21371/ADSP-21375 のシリアル・ポートから独立した固有の DMA チャンネルがあります。

シリアル・ポート

ADSP-21371/ADSP-21375 プロセッサは、ADSP-21371 では 8 個の同期シリアル・ポートを、ADSP-21375 では 4 個の同期シリアル・ポートを、それぞれ内蔵しています。これらのポートは、アナログ・デバイセズの AD183x ファミリーのオーディオ・コーデック、ADC、DAC のような、多様なデジタルおよびミックスド・シグナル・ペリフェラル・デバイスに対する安価なインターフェースを提供します。シリアル・ポートは、2 本のデータ・ライン、クロック、フレーム同期から構成されています。データ・ラインは送信または受信に設定することができ、各データ・ラインには専用の DMA チャンネルがあります。

ADSP-21371 の場合、シリアル・ポートは 16 本のプログラマブルなピンと同時受信または送信ピンから構成され、8 個の全 SPORT がイネーブルされた場合にはオーディオ・データの最大 32 送信チャンネルまたは最大 32 受信チャンネルを、またはフレームあたり 128 チャンネルの 8 個の全二重 TDM ストリームを、それぞれサポートします。

ADSP-21375 の場合、シリアル・ポートは 8 本のプログラマブルなピンと同時受信または送信ピンから構成され、4 個の全 SPORT がイネーブルされた場合にはオーディオ・データの最大 16 送信チャンネルまたは最大 16 受信チャンネルを、またはフレームあたり 128 チャンネルの 4 個の全二重 TDM ストリームを、それぞれサポートします。

シリアル・ポートは、50 Mbps の最大データ・レートで動作します。シリアル・ポート・データは、専用の DMA チャンネルを使って、内蔵メモリとの間で自動的に転送することができます。各シリアル・ポートを別のシリアル・ポートと組み合わせて動作させて、TDM をサポートすることができます。1 つの SPORT が 2 つの送信信号を提供すると同時に、他の SPORT が 2 つの受信信号を提供します。フレーム同期とクロックは共用されます。

シリアル・ポートは次の 5 種類のモードで動作します。

- 標準 DSP シリアル・モード
- バックド I²S モードをサポートするマルチチャンネル(TDM)モード
- I²S モード
- バックド I²S モード
- 左詰めサンプル・ペア・モード

左詰めサンプル・ペア・モードは、各フレーム同期サイクルで 2 個のデータ・サンプルが送信/受信されるモードです(フレーム同期の上位セグメントで 1 サンプル、フレーム同期の下位セグメントで 1 サンプル)。このモードの種々の属性はプログラムから制御されます。

各シリアル・ポートは左詰めサンプル・ペア・プロトコルと I²S プロトコル(I²S は業界標準のインターフェースであり、アナログ・デバイセズ AD183x ファミリーのような、オーディオ・コーデック、ADC、DAC に広く採用されています)をサポートし、2 本のデータ・ピンを使って、シリアル・ポートあたり 4 個の左詰めサンプル・ペアまたは I²S チャンネル(2 個のステレオ・デバイスを使用)が可能です。最大 32 の I²S チャンネルが可能です。シリアル・ポートでは、リトル・エンディアンまたはビッグ・エンディアンの伝送フォーマットと、3~32 ビットのワード長が可能です。左詰めサンプル・ペア・モードと I²S モードの場合、データ・ワード長は 8~32 ビットが可能です。シリアル・ポートでは、選択可能な同期モードと送信モードを提供し、さらにオプションでチャンネルごとに μ 則または A 則の圧伸特性が選択できます。シリアル・ポート・クロックとフレーム同期は、内部または外部で発生することができます。

シリアル・ポートには、シリアル・ポートが早く着信したフレーム同期(たとえば前のワードの送信/受信中に着信するフレーム同期)を検出するフレーム同期エラー検出ロジックも内蔵されています。また、すべてのシリアル・ポートが 1 つの専用エラー割り込みを共用しています。

S/PDIF 互換のデジタル・オーディオ・レシーバトランスミッタ

ADSP-21371 の場合、S/PDIF レシーバトランスミッタには個別の DMA チャンネルはありません。オーディオ・データをシリアル・フォーマットで受信して、バイフェーズ符号信号に変換します。レシーバトランスミッタへのシリアル・データは、16、18、20、または 24 ビット・ワード幅の左詰め、I²S、または右詰めとして入力することができます。

ADSP-21371 の場合、S/PDIF レシーバトランスミッタへのシリアル・データ入力、クロック入力、フレーム同期入力は、信号ルーティング・ユニット(SRU)を介して接続されます。SPORT、外部ピン、高精度クロック・ジェネレータ(PCG)のような様々なソースから入力することができ、SRU コントロール・レジスタから制御されます。

ADSP-21375 には、S/PDIF 互換のデジタル・レシーバトランスミッタはありません。

デジタル・ペリフェラル・インターフェース(DPI)

デジタル・ペリフェラル・インターフェースは、2 個のシリアル・ペリフェラル・インターフェース(SPI)ポート、1 個はユニバーサル非同期レシーバトランスミッタ(UART)、12 個のフラグ、1 個の 2 線式インターフェース(TWI)、2 個の汎用タイマに対する接続を提供します。

シリアル・ペリフェラル(互換)インターフェース

ADSP-21371/ADSP-21375 SHARC プロセッサは、2 個のシリアル・ペリフェラル・インターフェース(SPI)ポートを内蔵しています。SPI は業界標準の同期シリアル・リンクであり、ADSP-21371/ADSP-21375 プロセッサの SPI 互換ポートを使って他の SPI 互換デバイスと交信することができます。SPI は 2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、1 本のクロック・ピンから構成されています。全二重の同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードをサポートしています。SPI ポートは、最大 4 個の他の SPI 互換デバイスとインターフェースして、マスター・デバイスまたはスレーブ・デバイスとして機能することにより、マルチマスター環境で動作することができます。

ADSP-21371/ADSP-21375 SPI 互換ペリフェラルのボー・レート、クロック位相、クロック極性も設定することができます。

ADSP-21371/ADSP-21375 SPI 互換ポートでは、オープン・ドレイン・ドライバを使用してマルチマスター構成をサポートし、データの競合を防止します。

UARTポート

ADSP-21371/ADSP-21375 プロセッサは、PC 標準 UART と互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを内蔵しています。この UART ポートは他のペリフェラルまたはホストに対するシンプルな UART インターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。この UART も、9 ビット・アドレスの検出を行うマルチプロセッサ通信機能を持っています。この機能により、RS-485 データ・インターフェース規格に従ってマルチドロップ・ネットワークで使用することができます。この UART ポートも、5~8 ビットのデータ・ビット、1 ビットまたは 2 ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。UART ポートは次の 2 つの動作モードをサポートしています。

- PIO (プログラムド I/O)—プロセッサは I/O マップド UART レジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- DMA (ダイレクト・メモリ・アクセス)—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要とされる割り込みの回数と頻度を減らします。UART は、送信と受信に対して各 1 個の専用 DMA チャンネルを持っています。これらの DMA チャンネルはサービス・レートが相対的に低いいため、大部分の DMA チャンネルより低いデフォルト優先順位を持っています。

UART ポートのボー・レート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割込みは次のように設定することができます。

- 毎秒($f_{clk}/1,048,576$)~($f_{clk}/16$)ビットの範囲のビット・レートをサポート
- 1 フレーム当たり 7~12 ビットのデータ・フォーマットをサポート
- 送信動作と受信動作でプロセッサに対するマスク可能な割り込みを発生するように設定可能

汎用タイマの機能との組み合わせにより、自動ボー・レート検出機能をサポートします。

タイマ

ADSP-21371/ADSP-21375 プロセッサは、周期的なソフトウェア割り込みを発生できるコア・タイマを 1 個と、周期割り込みを発生できる次の 3 つの動作モードに独立に設定できる汎用タイマを 2 個の合計 3 個のタイマを内蔵しています。

- パルス波形発生モード
- パルス幅カウント/キャプチャ・モード
- 外部イベント・ウォッチドッグ・モード

コア・タイマは、FLAG3 をタイマ・タイムアウト信号として使用するように構成することができます。各汎用タイマは 1 本の双方向ピンと 4 個のレジスタを持っています。これら 4 個のレジスタは動作モードを制御し、6 ビットのコンフィギュレーション・レジスタ、32 ビットのカウンタ・レジスタ、32 ビットの周期レジスタ、32 ビットのパルス幅レジスタからなります。1 個のコントロール/ステータス・レジスタにより、両汎用タイマを独立にイネーブル/ディスエーブルすることができます。

2 線式インターフェース(TWI)ポート

TWI は、I²C バス・プロトコルに準拠する 8 ビット・データの転送に使う双方向 2 線式シリアル・バスです。TWI マスターは次の機能を持っています。

- 7 ビット・アドレッシング機能
- マルチ・マスター・データ調停をサポートする複数デバイス・システムでのマスター/スレーブ同時動作
- デジタル・フィルタ機能と時間イベント処理
- 100 kbps と 400 kbps のデータ・レート
- 低割り込みレート

パルス幅変調

PWM モジュールは柔軟でプログラマブルな PWM 波形ジェネレータであり、モーターやエンジンの制御やオーディオ・パワー制御に関係する種々のアプリケーションで必要とされるスイッチング・パターンを発生するように設定することができます。PWM ジェネレータは、中心揃えまたはエッジ揃えの PWM 波形を発生することができます。さらに、ペアード・モードで 2 本の出力に相補信号を発生するか、または非ペアード・モードで独立な信号を発生することができます(4 個の PWM 波形からなる 1 グループに使用可能)。

PWM モジュール全体としては、各々 4 個の PWM 出力からなるグループを 4 個持っています。このため、このモジュールは合計 16 個の PWM 出力を発生します。各 PWM グループは、4 本の PWM 出力を使って PWM 信号対を 2 対発生します。

この PWM ジェネレータは、中心揃え PWM 波形を発生する際に、シングル更新モードまたはダブル更新モードの 2 種類のモードで動作することができます。シングル更新モードでは、PWM 周期で 1 回だけデューティ・サイクル値を設定することができます。この設定により、PWM 周期の中心に関して対称な PWM パターンが得られます。ダブル更新モードでは、PWM 周期の中央で PWM レジスタの 2 回目の更新ができます。このモードでは、3 相 PWM インバータ用の高調波歪みの小さい対称 PWM パターンを発生することができます。

ROMベースのセキュリティ

ADSP-21371/ADSP-21375 プロセッサは、ROM セキュリティ機能を持っています。この機能は、イネーブル時に内部コードの不正な読み出しを防止することにより、ユーザ・ソフトウェア・コードを保護するためのハードウェア・サポートを提供します。この機能を使うと、プロセッサは外部コードからブート・ロードしなくなり、内部 SRAM/ROM からのみ実行するようになります。さらに、JTAG ポートからプロセッサを自由にアクセスできなくなります。代わりに、JTAG またはテスト・アクセス・ポートからスキャン入力する必要のある独自の 64 ビット・キーが各ユーザに割り当てられます。デバイスは不正なキーを無視が、エミュレート機能と外部ブート・モードは、正しいキーがスキャンされたときのみ使用可能になります。

システム・デザイン

次のセクションでは、システム・デザイン・オプションと電源問題の概要を説明します。

プログラム・ブート

ADSP-21371/ADSP-21375 の内部メモリは、システム・パワーアップ時に外部ポートに接続された 8 ビット EPROM、SPI マスター、SPI スレーブ、もしくは内部ブートによりブートすることができます。ブートは、ブート設定 (BOOTCFG1~0) ピンから制御されます (表 9 参照)。ブート・ソースの選択はマスターまたはスレーブ・デバイスとしての SPI から制御されるか、あるいは、ROM から直ちに実行を開始することができます。

PLL と SDRAM コントローラのリセットなしまたはブートなしで、プロセッサ・コアとペリフェラルのリセットが可能な「ランニング・リセット」機能が新規に追加されました。CLKOUT/RESETOUT/RUNRSTIN ピンの機能は、ランニング・リセット機能への入力としても機能するように拡張されました。

電源

ADSP-21371/ADSP-21375 プロセッサは、内部電源 (V_{DDINT}) と外部電源 (V_{DDEXT}) に別々の電源接続を持っています。内部電源は 1.2 V の条件を満たす必要があります。外部電源は 3.3 V の条件を満たす必要があります。すべての外部電源ピンは、同じ電源に接続する必要があります。

ターゲット・ボード JTAG エミュレータのコネクタ

アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインでは、ADSP-21371/ADSP-21375 プロセッサの IEEE 1149.1 JTAG テスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインは、フル・プロセッサ速度でのエミュレーションを提供するため、メモリ、レジスタ、プロセッサ・スタックの検証と変更が可能です。プロセッサの JTAG インターフェースでは、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないことを保証します。

アナログ・デバイセズの JTAG エミュレータの SHARC DSP ツール製品ラインの動作の詳細については、該当するエミュレータ・ハードウェア・ユーザズ・ガイドを参照してください。

開発ツール

ADSP-21371/ADSP-21375 プロセッサは、アナログ・デバイセズのエミュレータと VisualDSP++ 開発環境を含む CROSSCORE ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。アナログ・デバイセズの他の SHARC プロセッサをサポートしている同じエミュレータ・ハードウェアも ADSP-21371/ADSP-21375 をエミュレートします。

VisualDSP++ プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ (ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクル精度の命令レベルのシミュレータ、C/C++ コンパイラ、DSP 関数と数学関数を含む C/C++ ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントは C/C++ コードの効率です。コンパイラは、C/C++ コードを DSP アセンブリに効率良く変換するように開発されています。SHARC には、コンパイルされた C/C++ コードの効率を改善するアーキテクチャ機能があります。

VisualDSP++ デバッガは多くの重要な機能を持っています。データ表示は、柔軟性を提供するプロットング・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールや、生産性を向上させます。統計プロファイリング機能は、プログラムの実行状況を監視することが出来ます。VisualDSP++ 独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

VisualDSP++ デバッガを使って、C/C++ プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- C/C++ とアセンブリ・コードの混在の表示 (インターリーブされたソースとオブジェクト情報)
- ブレークポイントの挿入
- レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- プログラム実行の連続的または統計的な分析
- メモリ内容のフィル、ダンプ、図形的表示
- ソース・レベル・デバッグの実行
- カスタム・デバッガ・ウインドウの作成

VisualDSP++ IDDE を使うと、DSP ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスと属性ページを使うと、VisualDSP++ エディタ内での色による強調表示などのすべての SHARC 開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- 開発ツールによる入力の処理方法と出力の発生方法の制御
- ツールのコマンドライン・スイッチとの 1 対 1 対応の維持

VisualDSP++ カーネル (VDK) は、DSP プログラミングのメモリ制約とタイミング制約を解決するように特別に作成されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、早くからスタートする必要がなくなります。VDK の機能には、スレッド領域、クリティカル領域、未スケジュール領域、セマフォ、イベント、デバイス・フラグが含まれています。また、VDK は優先順位ベースの、プリエンブティブで協調動作的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDK はスケラブルにデザインされています。アプリケーションである特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDK はライブラリであるため、開発者が使用するか否かを決めることができます。VDK は VisualDSP++ 開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDK を使うと、この開発環境は、多くのエラーを起しやすいたスクについて開発者を支援し、システム・リソースの管理を支援し、種々の VDK ベースのオブジェクト生成を自動化し、VDK を使用するアプリケーションのデバッグではシステム状態を表示します。

VCSE (VisualDSP++ Component Software Engineering) は、ソフトウェア・アプリケーションを迅速かつ高信頼にアセンブルするために、ソフトウェア・コンポーネント (多くの機能の独立なモジュール) を生成、使用、再利用するアナログ・デバイセズの技術です。ウェブからコンポーネントをダウンロードして、アプリケーションヘドロップしてください。VisualDSP++ 内で、コンポーネント・アーカイ

ブをパブリッシュしてください。VCSE は、C/C++またはアセンブラ言語でのコンポーネント実装をサポートしています。

Expert Linker を使って、組み込型システムのコードとデータの配置を視覚的に操作します。カラー・コード化されたグラフィカル形式でメモリ使用率を表示し、マウスのドラッグによりコードとデータをプロセッサまたは外部メモリの異なる領域へ容易に移動することができ、ランタイム・スタックとヒープ使用率を調べることができます。**Expert Linker** は既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、SHARC プロセッサ・ファミリをサポートする広範囲なツールをサード・パーティが提供しています。ハードウェア・ツールには SHARC プロセッサ PC プラグイン・カードが含まれています。サード・パーティのソフトウェア・ツールには、DSP ライブラリ、リアルタイム・オペレーティング・システム、ブロック図デザイン・ツールなどがあります。

エミュレータ互換DSPボード(ターゲット)のデザイン

アナログ・デバイセズのエミュレータ・ファミリは、すべての DSP 開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各 JTAG DSP 上で IEEE 1149.1 JTAG テスト・アクセス・ポート(TAP)を提供しています。プロセッサの JTAG インターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。エミュレータはこの TAP を使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレイクポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するように DSP システムを設定することができます。

これらのエミュレータを使うときは、DSP の JTAG ポートをエミュレータへ接続するヘッダーがターゲット・ボードに付いている必要があります。

メカニカルレイアウト、シングル・プロセッサ接続、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト(www.analog.com/jp)にある「*Analog Devices JTAG Emulation Technical Reference (EE-68)*」を参照してください。—"EE-68"のサイト検索をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

評価キット

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲な EZ-KIT Lite[®]評価プラットフォームを提供しています。各 EZ-KIT Lite には、評価ボードと一緒に C/C++コンパイラ、アセンブラ、リンカーによる VisualDSP++開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USB ケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite 製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードの USB コントローラは、ボードをユーザの PC の USB ポートに接続して、VisualDSP++評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PC に接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Lite または任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズの JTAG エミュレータの 1 つを EZ-KIT Lite ボードに接続すると、高速な非侵害型エミュレーションが可能になります。

その他の情報

このデータシートは、ADSP-21371/ADSP-21375 のアーキテクチャと機能について情報を提供します。ADSP-21371/ADSP-21375 ファミリー・コア・アーキテクチャと命令セットの詳細については、「*ADSP-2136x SHARC Processor Programming Reference*」を参照してください。

ピン機能の説明

表 6 のタイプの列では、A = 非同期、I = 入力、O = 出力、S = 同期、(A/D) = アクティブ駆動、(O/D) = オープン・ドレイン、T = スリー・ステート、(pd) = プルダウン抵抗、(pu) = プルアップ抵抗を表しています。

表 6. ピン・リスト

名前	タイプ	リセット時とリセット後の状態	説明
ADDR _{23~0}	O/T (pu)	Pulled high/ driven low	外部アドレス。 ADSP-21371/ADSP-21375 は外部メモリとペリフェラルのアドレスをこれらのピンに出力します。
DATA _{31~0}	I/O (pu)	Pulled high/ pulled high	外部データ。 外部メモリ・インターフェース・データ(I/O)、PDAP (I) (ADSP-21371 の場合 PDAP)、FLAG (I/O)、PWM (O)をサポートするためにデータ・ピンを共用することができます。リセット時、すべてのデータ・ピンが EMIF モードになり、FLAG(0-3)ピンは FLAGS モード(デフォルト)になります。IDP_PDAP_CTL レジスタで設定されると、IDP チャンネル 0 がパラレル入力データの DATA _{31~8} ピンをスキャンします。
DAI_P _{20~1}	I/O with programmable pu ¹	Pulled high/ pulled high	デジタル・アプリケーション・インターフェース・ピン。 これらのピンは、DAI SRU に対する物理インターフェースを提供します。DAI SRU コンフィギュレーション・レジスタにより、オーディオ中心の内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DAI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DAI SRU は、シリアル・ポート、S/PDIF モジュール(ADSP-21371 の場合は S/PDIF)、入力データ・ポート(2)、高精度クロック・ジェネレータ(4)から DAI_P20~1 ピンまでの接続を提供します。プルアップは、DAI_PIN_PULLUP を使ってディスエーブルすることができます。
DPI_P _{14~1}	I/O with programmable pu ¹	Pulled high/ pulled high	デジタル・ペリフェラル・インターフェース。 これらのピンは、DPI SRU に対する物理インターフェースを提供します。DPI SRU コンフィギュレーション・レジスタにより、内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DPI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DPI SRU は、タイマ(2)、SPI(2)、UART (1)、フラグ(12)、汎用 I/O (9)から DPI_P14~1 ピンまでの接続を提供します。プルアップは、DPI_PIN_PULLUP を使ってディスエーブルすることができます。
ACK	I (pu)		メモリ・アクノリッジ。 外部デバイスは、ACK (ロー・レベル)のアサートを解除して、外部メモリ・アクセスにウェイト状態を追加することができます。I/O デバイス、メモリ・コントローラ、またはその他のペリフェラルは、ACK を使って、外部メモリ・アクセスの完了を遅延させることができます。
RD	O/T (pu)	Pulled high/ driven high	外部ポート読み出しイネーブル。 ADSP-21371/ADSP-21375 が外部メモリから 1 ワード読み出すごとに、RD がアサートされます。RD には 22.5 kΩ の内部プルアップ抵抗が付いています。
WR	O/T (pu)	Pulled high/ driven high	外部ポート書き込みイネーブル。 ADSP-21371/ADSP-21375 が外部メモリへ 1 ワード書き込んだときに、WR がアサートされます。WR には 22.5 kΩ の内部プルアップ抵抗が付いています。
SDRAS	O/T (pu)	Pulled high/ driven high	SDRAM 行アドレス・ストロープ。 SDRAM の RAS ピンへ接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
SDCAS	O/T (pu)	Pulled high/ driven high	SDRAM 列アドレス・セレクト。 SDRAM の CAS ピンに接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
SDWE	O/T (pu)	Pulled high/ driven high	SDRAM 書き込みイネーブル。 SDRAM の WE または W バッファピンに接続します。
SDCKE	O/T (pu)	Pulled high/ driven high	SDRAM クロック・イネーブル。 SDRAM の CKE ピンに接続します。CLK 信号をイネーブル/ディスエーブルします。詳細については、SDRAM デバイスのデータシートを参照してください。
SDA10	O/T (pu)	Pulled high/ driven low	SDRAM A10 ピン。 非 SDRAM アクセスと並行して SDRAM のリフレッシュを可能にします。このピンは、SDRAM アクセス時にのみ DSP の A10 ピンに置き換わります。
SDCLK	O/T	High-Z/driving	SDRAM クロック。
MS _{0~1}	O/T (pu)	Pulled high/ driven high	メモリ・セレクト・ライン 0~1。外部メモリの対応するバンクのチップ・セレクトとして、これらのラインがアサートされます(ロー・レベル)。MS _{3~0} ラインは、デコードされたメモリ・アドレス・ラインであり、他のアドレス・ラインと同時に変化します。外部メモリ・アクセスがないとき、MS _{3~0} ラインは非アクティブになりますが、条件付きメモリ・アクセス命令が実行されたとき、条件の真偽によらず、アクティブになります。MS ₁ ピンは、EPORT/FLASH ブート・モードで使用することができます。詳細については、「ADSP-2136x SHARC Processor Hardware Reference for the ADSP-21367/8/9 Processors」を参照してください。

表 6. ピン・リスト (続き)

名前	タイプ	リセット時とリセット後の状態	説明
FLAG[0]/IRQ0	I/O	High-Z/high-Z	FLAG0/割り込み要求 0。
FLAG[1]/IRQ1	I/O	High-Z/high-Z	FLAG1/割り込み要求 1。
FLAG[2]/IRQ2/ MS2	I/O with programmable pu (for MS mode)	High-Z/high-Z	FLAG2/割り込み要求/メモリ・セレクト 2。
FLAG[3]/TIMEXP/ MS3	I/O with programmable pu (for MS mode)	High-Z/high-Z	FLAG3/タイマ・タイムアウト/メモリ・セレクト 3。
TDI	I (pu)		テスト・データ入力(JTAG)。バウンダリ・スキャン・ロジックのシリアル・データを提供します。TDI には 22.5 kΩ の内部プルアップ抵抗が付いています。
TDO	O/T		テスト・データ出力(JTAG)。バウンダリ・スキャン・バスのシリアル・スキャン出力。
TMS	I (pu)		テスト・モード・セレクト(JTAG)。テスト・ステート・マシンの制御に使用します。TMS には 22.5 kΩ の内部プルアップ抵抗が付いています。
TCK	I		テスト・クロック(JTAG)。JTAG バウンダリ・スキャンのクロックを提供します。パワーアップ後には TCK をアサート(ロー・レベル)する必要があります。ADSP-21371/ADSP-21375 の正常動作のためにはロー・レベルを維持する必要があります。
TRST	I (pu)		テスト・リセット(JTAG)。テスト・ステート・マシンをリセットします。パワーアップ後には TRST をアサート(ロー・レベル)する必要があります。ADSP-21371/ADSP-21375 の正常動作のためにはロー・レベルを維持する必要があります。TRST には 22.5 kΩ の内部プルアップ抵抗が付いています。
EMU	O/T (pu)		エミュレーション・ステータス。ADSP-21371/ADSP-21375 アナログ・デバイスの DSP ツール製品ラインの JTAG エミュレータ・ターゲット・ボード・コネクタへ接続する専用ピン。EMU には 22.5 kΩ の内部プルアップ抵抗が付いています。
CLK_CFG1~0	I		コア対 CLKIN 制御。これらのピンは、クロック周波数の起動を設定します。クロック・コンフィギュレーション・モードの説明については表 10 を参照してください。コアがリセットから抜け出した後いつでも、PMCTL レジスタ内の PLL 通倍器/分周器を設定して動作周波数を変更できることに注意してください。
BOOT_CFG1~0	I		ブート・コンフィギュレーション・セレクト。これらのピンを使って、プロセッサのブート・モードを選択します。BOOTCFGピンは、リセットがアサートされる前に有効である必要があります。ブート・モードの説明については、表 9 を参照してください。
RESET	I		プロセッサ・リセット。ADSP-21371/ADSP-21375 を既知状態にリセットします。アサートが解除された後、PLL のロックまでに 4096 CLKIN サイクルが必要です。この時間が経過後、コアはハードウェア・リセット・ベクタ・アドレスからプログラムの実行を開始します。RESET 入力、パワーアップの前にアサート(ロー・レベル)する必要があります。
XTAL	O		水晶発振器ピン。CLKIN と組み合わせて使って外付け水晶の駆動に使用します。
CLKIN	I		ローカル・クロック・イン。XTAL と組み合わせて使います。CLKIN は、ADSP-21371/ADSP-21375 のクロック入力です。ADSP-21371/ADSP-21375 が内部クロック・ジェネレータまたは外部クロック源を使うように設定します。CLKIN と XTAL に必要な部品を接続すると、内部クロック・ジェネレータがイネーブルされます。外部クロックを CLKIN に接続し、XTAL を解放のままにすると、ADSP-21371/ADSP-21375 が外部クロック発振器のような外部クロック源を使うように設定されます。CLKIN は、停止、変更、または規定周波数未満で動作させることはできません。
CLKOUT/ RESETOUT/ RUNRSTIN	I/O (pu)		クロック出力/リセット出力/ランニング・リセット入力。機能は、PMCTL レジスタのビット 12 を設定することにより、PLL 出力クロックとリセット出力との間で切り替えることができます。デフォルトはリセット出力です。このピンは、3 つ目の RUNRSTIN として機能することもできます。この機能は、RUNRSTCTL レジスタのビット 0 を設定してイネーブルすることができます。詳細については、「ADSP-2136x SHARC Processor Hardware Reference for the ADSP-21367/8/9 Processors」を参照してください。

¹ プルアップのイネーブル/ディスエーブルが可能ですが、プルアップ抵抗値は設定できません。

データ・モード—ADSP-21371

ADSP-21371 の場合、外部メモリ・インターフェースの 32 本のデータ・ピンは、外部メモリ・インターフェース・データ(入力/出力)、PDAP (入力専用)、FLAGS (入力/出力)をサポートするために共用されています(SYSCTLレジスタのビットを使用)。表 7 にピン設定を示します。

表 7. DATAピンの機能—ADSP-21371

DATA PIN MODE	DATA31-16	DATA15-8	DATA7-0
000	EPDATA32-0		
001	FLAGS/PWM15-0 ¹	EPDATA15-0	
010	FLAGS/PWM15-0 ¹	FLAGS15-8	EPDATA7-0
011	FLAGS/PWM15-0 ¹	FLAGS15-0	
100	PDAP (DATA + CTRL)		EPDATA7-0
101	PDAP (DATA + CTRL)		FLAGS7-0
110	Reserved		
111	Three-state all pins		

¹これらの信号としては、FLAGまたはPWMまたは両方の組み合わせが可能です。4個のグループでのみ選択できます。これらの機能は、制御信号 FLAGS/PWM_SELにより指定されます。詳細については、「ADSP-2136x SHARC Processor Hardware Reference for the ADSP-21367/8/9 Processors」を参照してください。

データ・モード—ADSP-21375

ADSP-21375 の場合、外部メモリ・インターフェースの 16 本のデータ・ピンは、外部メモリ・インターフェース・データ(入力/出力)、PDAP (入力専用) (ADSP-21371 の PDAP)、FLAGS (入力/出力)をサポートするために共用されています(SYSCTLレジスタのビットを使用)。表 8 にピン設定を示します。

表 8. DATAピンの機能—ADSP-21375

DATA PIN MODE	DATA15-0	DATA7-0
000	EPDATA15-0	
001	EPDATA15-0	
010	FLAGS15-8	EPDATA7-0
011	FLAG15-0	
100	EPDATA7-0	
101	FLAGS7-0	
110	Reserved	
111	Three-state all pins	

ブート・モード

表 9. ブート・モード選択

BOOTCFG1-0	Booting Mode
00	SPI Slave Boot
01	SPI Master Boot
10	EPROM/FLASH Boot
11	Reserved

コア命令レート対CLKIN比モード

プロセッサ・タイミングの詳細については、[タイミング仕様と図 3](#)を参照してください。

表 10. コア命令レート/CLKIN比の選択

CLKCFG1-0	Core to CLKIN Ratio
00	6:1
01	32:1
10	16:1
11	Reserved

ADSP-21371/ADSP-21375の仕様

動作条件

Parameter ¹	Description	1.2 V, 266 MHz		Unit
		Min	Max	
V _{DDINT}	Internal (Core) Supply Voltage	1.14	1.26	V
V _{DDEXT}	External (I/O) Supply Voltage	3.13	3.47	V
V _{IH} ²	High Level Input Voltage @ V _{DDEXT} = max	2.0	V _{DDEXT} + 0.5	V
V _{IL} ²	Low Level Input Voltage @ V _{DDEXT} = min	-0.5	+0.8	V
V _{IH_CLKIN} ³	High Level Input Voltage @ V _{DDEXT} = max	1.74	V _{DDEXT} + 0.5	V
V _{IL_CLKIN} ³	Low Level Input Voltage @ V _{DDEXT} = min	-0.5	+1.10	V
T _{JUNCTION}	Junction Temperature 208-Lead LQFP_EP @ T _{AMBIENT} 0°C to +70°C	0	115	°C

¹仕様は予告なく変更されることがあります。

²AD23~0、DATA31~0、FLAG3~0、DAI_Px、DPI_Px、SPIDS、BOOTCFGx、CLKCFGx、CLKOUT (RUNRSTIN)、RESET、TCK、TMS、TDI、TRSTの入力ピンと双方向ピンに適用。

³入力ピンCLKINに適用。

電気的特性

Parameter ¹	Description	1.2 V, 266 MHz Test Conditions				Unit
			Min	Typ	Max	
V _{OH} ²	High Level Output Voltage	@ V _{DDEXT} = min, I _{OH} = -1.0 mA ³	2.4			V
V _{OL} ²	Low Level Output Voltage	@ V _{DDEXT} = min, I _{OL} = 1.0 mA ³			0.4	V
I _{IH} ^{4, 5}	High Level Input Current	@ V _{DDEXT} = max, V _{IN} = V _{DDEXT} max			10	μA
I _{IL} ⁴	Low Level Input Current	@ V _{DDEXT} = max, V _{IN} = 0 V			10	μA
I _{ILPU} ⁵	Low Level Input Current Pull-up	@ V _{DDEXT} = max, V _{IN} = 0 V			200	μA
I _{OZH} ^{6, 7}	Three-State Leakage Current	@ V _{DDEXT} = max, V _{IN} = V _{DDEXT} max			10	μA
I _{OZL} ⁶	Three-State Leakage Current	@ V _{DDEXT} = max, V _{IN} = 0 V			10	μA
I _{OZLPU} ⁷	Three-State Leakage Current Pull-up	@ V _{DDEXT} = max, V _{IN} = 0 V			200	μA
I _{DD-INTYP} ^{8, 9}	Supply Current (Internal)	t _{CLK} = 3.75 ns, V _{DDINT} = 1.2 V, 25°C		600		mA
C _{IN} ^{10, 11}	Input Capacitance	f _{IN} = 1 MHz, T _{CASE} = 25°C, V _{IN} = 1.2 V			4.7	pF

¹仕様は予告なく変更されることがあります。

²ADDR23~0、DATA31~0、RD、WR、FLAG3~0、DAI_Px、DPI_Px、EMU、TDO、CLKOUT、SDRAS、SDCAS、SDWE、SDCKE、SDA10、SDCLK0の出力ピンと双方向ピンに適用。

³駆動電流能力(typ)については、出力駆動電流を参照してください。

⁴BOOTCFGx、CLKCFGx、TCK、RESET、CLKINの入力ピンに適用。

⁵22.5 kWの内部プルアップを持つ入力ピンTRST、TMS、TDIに適用。

⁶スリー・ステート・ピンFLAG3~0に適用。

⁷22.5 kWのプルアップを持つスリー・ステート・ピンDAI_Px、DPI_Px、EMUに適用。

⁸内部電流データ(typ)は公称動作条件を反映。

⁹詳細については、EEノート「Estimating Power Dissipation for ADSP-2137x SHARC Processors (EE-318)」を参照。

¹⁰全信号ピンに適用。

¹¹保証しますが、テストしません。

パッケージ情報

図 2に、ADSP-21371/ADSP-21375 プロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。



図 2. 代表的なパッケージ表示

表 11. パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Part
Ccc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
Yyww	Date Code

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

最大消費電力

最大消費電力に関する熱および消費電力情報の詳細については、EE ノート“Estimating Power Dissipation for ADSP-2137x SHARC Processors” (EE-318)を参照してください。パッケージの熱仕様については、[熱特性](#)を参照してください。

絶対最大定格

表 12に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 12. 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V_{DDINT})	-0.3 V to +1.5 V
External (I/O) Supply Voltage (V_{DDEXT})	-0.3 V to +4.6 V
Input Voltage -0.5 V to V_{DDEXT}	+0.5 V
Output Voltage Swing -0.5 V to V_{DDEXT}	+0.5 V
Load Capacitance	200 pF
Storage Temperature Range	-65°C to +150°C
Junction Temperature under Bias	125°C

タイミング仕様

ADSP-21371/ADSP-21375 の内部クロック(CLKINの整数倍)は、内部メモリ、プロセッサ・コア、シリアル・ポートのタイミングを決めるクロック信号を提供します。リセット時に、プロセッサの内部クロック周波数と外部(CLKIN)クロック周波数との比をCLKCFG1~0ピンを使って設定してください(表10参照)。シリアル・ポートのスイッチング周波数を決めるときは、各ポートのプログラマブルな分周器制御(シリアル・ポートのDIVx)を使って内部クロックを分周し

ます。図3に、外部発振器または水晶を使った場合のコア対CLKIN比、6:1、16:1、32:1を示します。その他の比も可能で、パワー・マネジメント・コントロール・レジスタ(PMCTL)を使ってソフトウェアから設定することができることに注意してください。詳細については、「ADSP-2136x SHARC Processor Programming Reference」を参照してください。

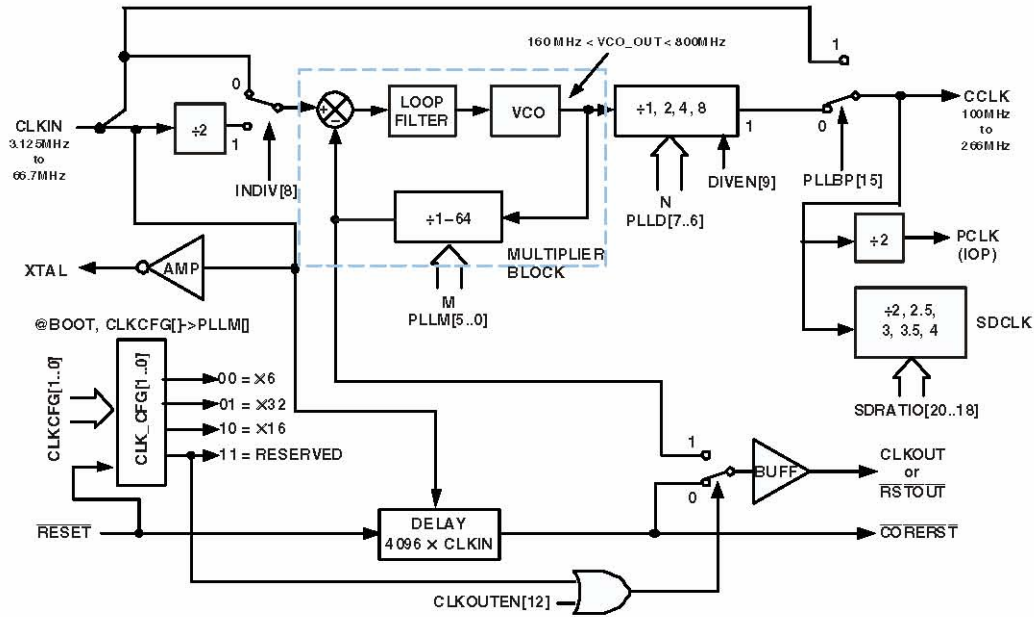


図 3. コア・クロックとシステム・クロックのCLKINに対する関係

ADSP-21371/ADSP-21375 の内部クロックは、システム入力クロック (CLKIN) より高い周波数でスイッチします。内部クロックを発生するため、プロセッサは内部位相ロック・ループ(PLL)を使用しています。この PLL ベースのクロックは、システム・クロック(CLKIN)信号とプロセッサの内部クロックとの間のスキューを小さくします。

コア・クロック周波数は次のように計算することができます。

$$CCLK = 1 / t_{CCLK} = f_{INPUT} \times (PLL M / PLL D)$$

ユーザ・アプリケーションでは、VCO周波数が表16に示す f_{VCO} を超えないようにPLL通倍比を選択する必要があります。VCO周波数は次のように計算されます。

$$f_{VCO} = 2 \times PLL M \times f_{INPUT}$$

ここで、

PLL M = 設定する通倍比

PLL D = 設定する分周比

f_{INPUT} = PLL への入力周波数

f_{INPUT} = 入力分周器ディスエーブル時の CLKIN

f_{INPUT} = 入力分周器イネーブル時の CLKIN/2

表 13に示すCLKINと該当する比の関数であるクロック周期の定義により、表 14に示す種々クロックが制御されていること注意してください。

表 13. ADSP-21371/ADSP-21375のCLKINクロックとCCLKクロックの発生動作

Timing Requirements	Description	Calculation
CLKIN	Input Clock	$1/t_{CK}$
CCLK	Core Clock	$1/t_{CCLK}$

表 14. クロック周期

Timing Requirements	Description ¹
t_{CK}	CLKIN Clock Period
t_{CCLK}	(Processor) Core Clock Period
t_{PCLK}	(Peripheral) Clock Period = $2 \times t_{CCLK}$
t_{SCLK}	Serial Port Clock Period = $(t_{PCLK}) \times SR$
t_{SDCLK}	SDRAM Clock Period = $(t_{CCLK}) \times SDR$
t_{SPICLK}	SPI Clock Period = $(t_{PCLK}) \times SPIR$

¹ここで、SR = シリアル・ポートーコア間クロック比 (広範囲、DIVx レジスタの SPORT CLKDIV ビットで指定)
 SPIR = SPIーコア・クロック間比 (広範囲、SPIBAUD レジスタ設定値で指定)
 SDR = SDRAMーコア・クロック間比 (PMCTL レジスタのビット 20~18 で指定する値)

指定されたタイミング情報そのものを使用してください。他のパラメータの加算または減算によってパラメータを求めないでください。加算または減算により個々のデバイスに対して意味結果を得ることができますが、このデータ・シートに示す値は、統計的な変動とワースト・ケースを反映しています。したがって、長い時間を得るためにパラメータを加算することは意味がありません。リファレンス電圧レベルについては、図 36のテスト条件を参照してください。

スイッチング特性は、プロセッサが信号をどのように変化させるかを規定します。プロセッサの外部回路は、これらの信号特性を満たすようにデザインする必要があります。スイッチング特性は、与えられた状況でプロセッサが何を実行するかを規定します。スイッチング特性を使って、プロセッサに接続されるデバイス(例えばメモリ)のタイミング条件を満たしてください。

f_{INPUT} = 入力分周器イネーブル時の CLKIN/2

タイミング条件は、読み出し動作でのデータ入力のような、プロセッサ外部の回路から制御される信号に適用されます。タイミング条件は、プロセッサが他のデバイスと正しく動作することを保証します。

パワーアップ・シーケンス

プロセッサ・スタートアップのタイミング条件を 表 15 に示します。

表 15. パワーアップ・シーケンス・タイミング条件(プロセッサ起動)

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{RSTVDD}	$\overline{\text{RESET}}$ Low Before V_{DDINT}/V_{DDEXT} On	0		ns
$t_{IVDDEVDD}$	V_{DDINT} on Before V_{DDEXT}	-50	+200	ms
t_{CLKVDD}^1	CLKIN Valid After V_{DDINT}/V_{DDEXT} Valid	0	200	ms
t_{CLKRST}	CLKIN Valid Before $\overline{\text{RESET}}$ Deasserted	10^2		μs
t_{PLLRST}	PLL Control Setup Before $\overline{\text{RESET}}$ Deasserted	20^3		μs
<i>Switching Characteristic</i>				
$t_{CORERST}$	Core Reset Deasserted After $\overline{\text{RESET}}$ Deasserted	$4096 \times t_{CK} + 2 \times t_{CCLK}^{4, 5}$		

¹有効な V_{DDINT}/V_{DDEXT} では、電源が 1.2V と 3.3V に上昇していることを仮定。電圧ランプ・レートは、電源サブシステムのデザインに応じて、数ms~数百ms で変わります。

²水晶発振器のワーストケース・スタートアップ・タイミングを満たした安定な CLKIN 信号を仮定。スタートアップ時間については水晶発振器メーカーのデータシートを参照。外部水晶と XTAL ピンおよび内部発振器回路とを組み合わせる場合、25ms の最大発振器スタートアップ時間を仮定。

³CLKIN サイクルに基づきます。

⁴パワーアップ・シーケンス完了後に適用。後続のリセットでは、初期化を正しく行い、すべての I/O ピンにデフォルト状態が設定されるためには、少なくとも 4CLKIN サイクル間 $\overline{\text{RESET}}$

をロー・レベルにする必要があります。

⁵4096 サイクルのカウントは表 17 の t_{SRST} 仕様に依存します。セットアップ時間が満たされない場合、コア・リセット時間にさらに CLKIN で 1 サイクルが追加されて、最大 4097 サイクルになります。

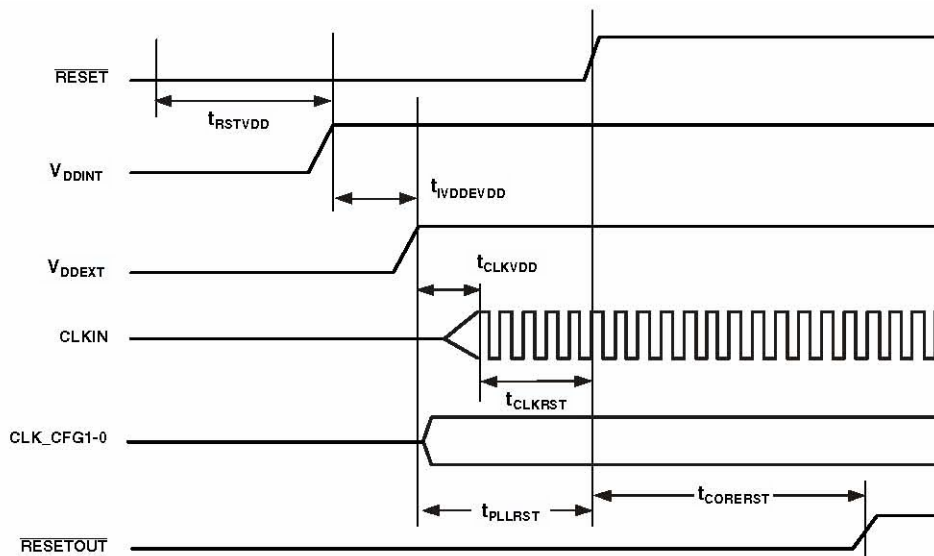


図 4. パワーアップ・シーケンス

クロック入力

表 16.クロック入力

Parameter		266 MHz		Unit
		Min	Max	
<i>Timing Requirements</i>				
t_{CK}	CLKIN Period	22.5 ¹	100	ns
t_{CKL}	CLKIN Width Low	11.25 ¹	45	ns
t_{CKH}	CLKIN Width High	11.25 ¹	45	ns
t_{CKRF}	CLKIN Rise/Fall (0.4 V to 2.0 V)		6	ns
t_{CCLK}^2	CCLK Period	3.75	10	ns
f_{VCO}	VCO Frequency	200	800	MHz

¹CLKCFG1~0=00とPMCTL内のPLLコントロール・ビットのデフォルト値に対してのみ適用。

²PMCTLレジスタ内のPLLコントロール・ビットの変更では、コア・クロック・タイミング仕様 t_{CCLK} を満たす必要があります。

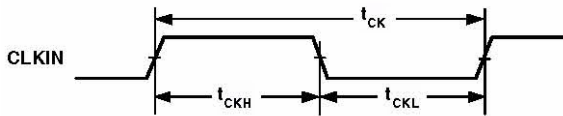
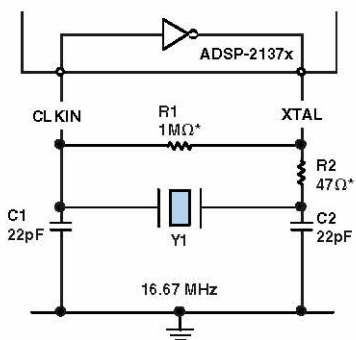


図 5.クロック入力

クロック信号

ADSP-21371/ADSP-21375 は、外部クロックまたは水晶を使用することができます。表 6のCLKINピン説明を参照してください。プログラムはCLKINとXTALに必要な部品を接続することにより、内部クロック・ジェネレータを使用するようにADSP-21371/ADSP-21375 を設定することができます。図 6に、基本モードの水晶動作に使用する部品接続を示します。クロック・レートは、16.67 MHzの水晶とPLL通倍比 16:1 (このCCLK:CLKINにより 266 MHzのクロック速度が得られます)を使って実現されていることに注意してください。フル・コア・クロック・レートを実現するときは、プログラムからPMCTLレジスタの通倍ビットを設定する必要があります。



R2 SHOULD BE CHOSEN TO LIMIT CRYSTAL DRIVE POWER. REFER TO CRYSTAL MANUFACTURER'S SPECIFICATIONS

*TYPICAL VALUES

図 6.266 MHz動作(基本波モード水晶)

リセット

表 17.リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{WRST}^1 $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
t_{SRST} $\overline{\text{RESET}}$ Setup Before CLKIN Low	8		ns

¹パワーアップ・シーケンス完了後に適用。パワーアップ時、プロセッサの内部位相ロック・ループは、 V_{DD} とCLKINが安定している場合、 $\overline{\text{RESET}}$ がロー・レベルのとき100 μs 以上を必要としません(外部クロック発振器のスタートアップ時間は含みません)。

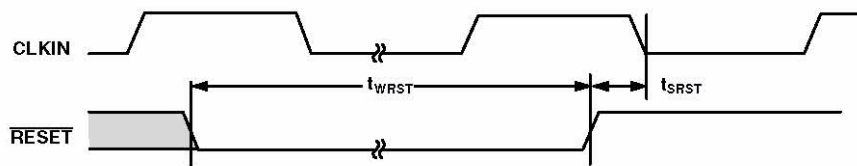


図 7.リセット

ランニング・リセット

次のタイミング仕様は、CLKOUT/RESETOUT/RUNRSTIN ピンがRUNRSTINに設定されたとき、このピンに適用されます。

表 18.ランニング・リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{WRUNRST}$ Running $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
$t_{SRUNRST}$ Running $\overline{\text{RESET}}$ Setup Before CLKIN High	8		ns

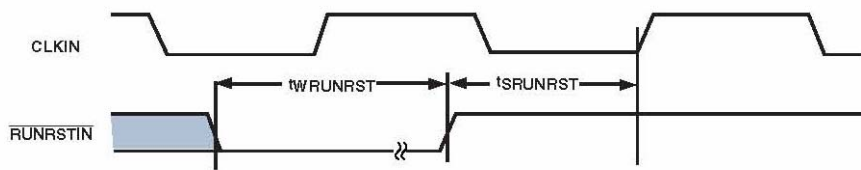


図 8.ランニング・リセット

コア・タイマ

次のタイミング仕様は、FLAG3 がコア・タイマ(CTIMER)として設定されたときにこれに適用されます。

表 19.コア・タイマ

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{WCTIM} CTIMER Pulse Width	$4 \times t_{PCLK} - 1$		ns

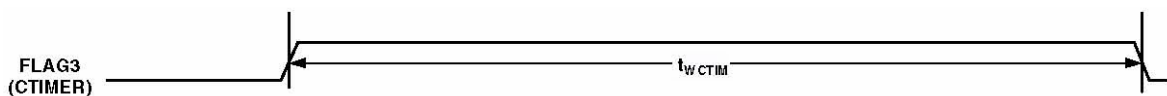


図 9.コア・タイマ

割り込み

次のタイミング仕様は、FLAG0 ピン、FLAG1 ピン、FLAG2 ピンが、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ の各割り込みとして、および DAI_P20~1 ピンと DPI_P14~1 ピンが割り込みとして、それぞれ設定されたときに、これらに適用されます。

表 20.割り込み

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{IPW} $\overline{\text{IRQx}}$ Pulse Width	$2 \times t_{PCLK} + 2$		ns

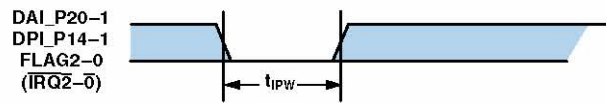


図 10.割り込み

タイマPWM_OUTサイクルのタイミング

次のタイミング仕様は、PWM_OUT (パルス幅変調)モードでタイマ0とタイマ1に適用されます。タイマ信号は、DPI SRUを経由して DPI_P14~1 ピンに接続されます。したがって、下記のタイミング仕様は、DPI_P14-1 ピンで有効です。

表 21.タイマPWM_OUTのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{PWMO} Timer Pulse Width Output	$2 \times t_{PCLK} - 2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

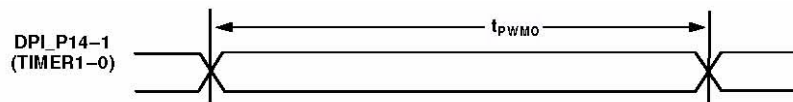


図 11.タイマPWM_OUTのタイミング

タイマWIDTH_CAPのタイミング

次のタイミング仕様は、WIDTH_CAP (パルス幅カウントとキャプチャ)モードでタイマ0とタイマ1に適用されます。タイマ信号は、SRUを経由して DPI_P14~1ピンに接続されます。したがって、タイミング仕様は、DPI_P14~1ピンで有効です。

表 22.タイマ幅キャプチャのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{PWI} Timer Pulse Width	$2 \times t_{CLK}$	$2 \times (2^{31} - 1) \times t_{CLK}$	ns

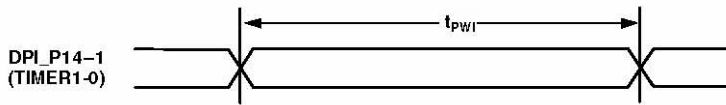


図 12.タイマ幅キャプチャのタイミング

ピンーピン間の直接配線(DAIおよびDPI)

直接ピン接続の場合(たとえば、DAI_PB01_IとDAI_PB02_Oの接続)。

表 23.DAIピンーピン間の直接配線

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{DPIO} Delay DAI/DPI Pin Input Valid to DAI Output Valid	1.5	10	ns

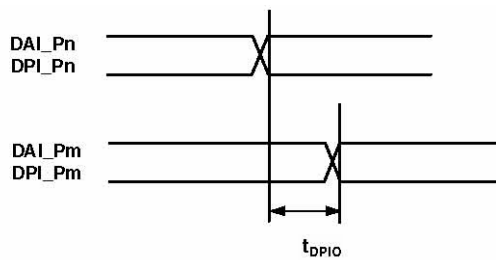


図 13.DAIピンーピン間の直接配線

高精度クロック・ジェネレータ(直接ピン配線)

このタイミングは、高精度クロック・ジェネレータ(PCG)が DAI ピン(ピン・バッファ経由)から直接入力を得て、出力を DAI ピンに直接出力するように SRU を設定した場合にのみ有効です。PCG の入力と出力が直接 DAI ピン(ピン・バッファ経由)に接続されないそ

他の場合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI_P01~DAI_P20)に適用されます。

表 24.高精度クロック・ジェネレータ(直接ピン配線)

Parameter	1.2 V, 266 MHz		Unit	
	Min	Max		
<i>Timing Requirements</i>				
t_{PCGIW}	Input Clock Period	24	ns	
t_{STRIG}	PCG Trigger Setup Before Falling Edge of PCG Input Clock	4.5	ns	
t_{HTRIG}	PCG Trigger Hold After Falling Edge of PCG Input Clock	3	ns	
<i>Switching Characteristics</i>				
t_{DPCGIO}	PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock	2.5	10	ns
$t_{DTRIGCLK}$	PCG Output Clock Delay After PCG Trigger	$2.5 + ((2.5) \times t_{PCGIW})$	$10 + ((2.5) \times t_{PCGIW})$	ns
$t_{DTRIGFS}$	PCG Frame Sync Delay After PCG Trigger	$2.5 + ((2.5 + D - PH) \times t_{PCGIW})$	$10 + ((2.5 + D - PH) \times t_{PCGIW})$	ns
t_{PCGOW}^1	Output Clock Period	$2 \times t_{PCGIW} - 1$	ns	

D = FSxDIV, PH = FSxPHASE. For more information, see the ADSP-2136x SHARC Processor Hardware Reference for the ADSP-21368 Processor, "Precision Clock Generators" chapter.

¹ ノーマル動作モード。

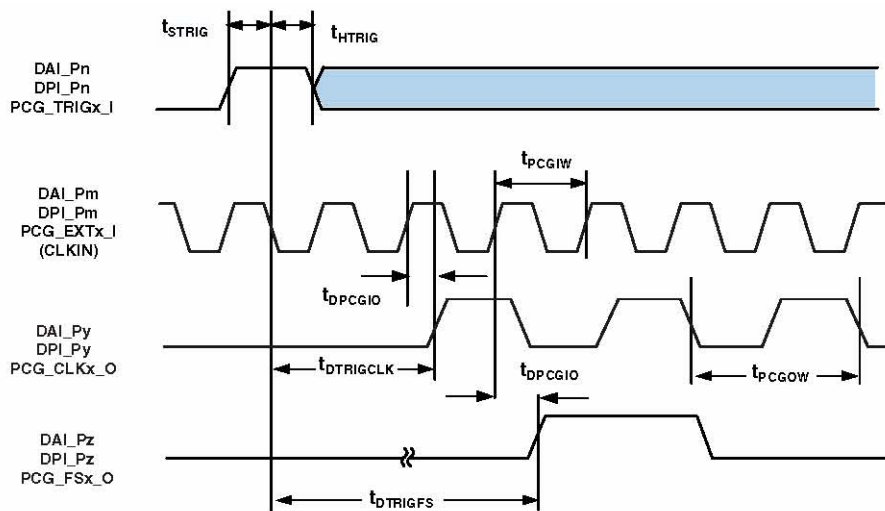


図 14.高精度クロック・ジェネレータ(直接ピン配線)

フラグ

下記のタイミング仕様は、FLAG3~0 ピン、DPI_P14~1 ピン、DATA 31~0 ピンに適用されます。フラグの使い方については、表 6を参照してください。

表 25.フラグ

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{FIPW} DPI_P14-1, DATA31-0, FLAG3-0 _{IN} Pulse Width	$2 \times t_{FCLK} + 3$		ns
<i>Switching Characteristic</i>			
t_{FOPW} DPI_P14-1, DATA31-0, FLAG3-0 _{OUT} Pulse Width	$2 \times t_{FCLK} - 2$		ns

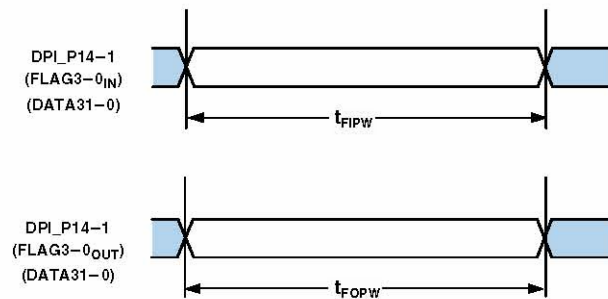


図 15.フラグ

SDRAMインターフェース・タイミング

1.2 Vでの最大SDRAM周波数は、SDCLK = 133 MHzです。

表 26.SDRAM インターフェース・タイミング¹

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{SSDAT}	DATA Setup Before SDCLK		Ns
t_{HSDAT}	DATA Hold After SDCLK		Ns
<i>Switching Characteristics</i>			
t_{SDCLK}	SDCLK Period		Ns
t_{SDCLKH}	SDCLK Width High		Ns
t_{SDCLKL}	SDCLK Width Low		Ns
t_{DCAD}	Command, ADDR, Data Delay After SDCLK ²		Ns
t_{HCAD}	Command, ADDR, Data Hold After SDCLK ¹		Ns
t_{DSDAT}	Data Disable After SDCLK		Ns
t_{ENSDAT}	Data Enable After SDCLK		Ns

¹ $F_{CLK} = 133$ MHzの場合 (SDCLK 比 = 1:2)。

² コマンド・ピンには、SDCAS、SDRAS、SDWE、MSx、SDA10、SDCKEが含まれます。

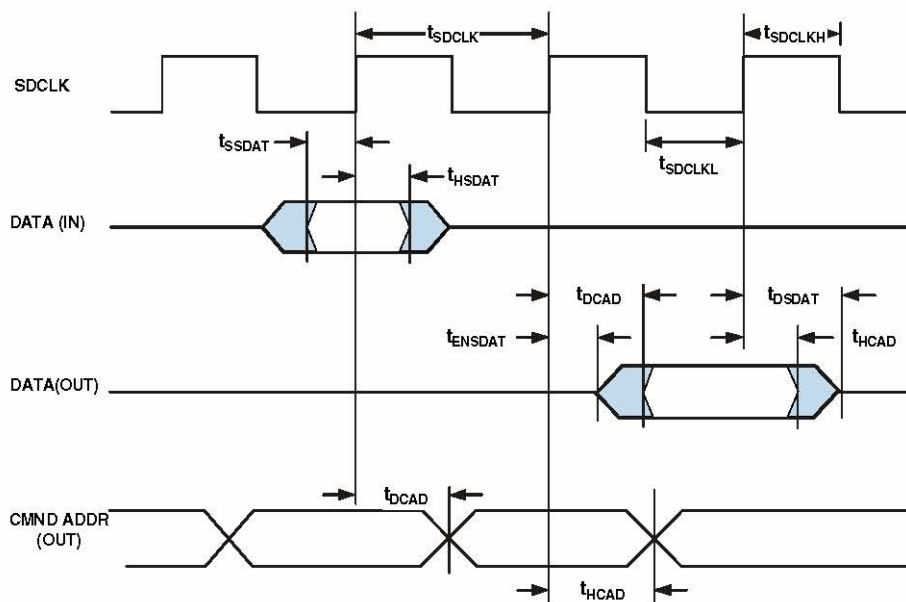


図 16.SDRAMインターフェース・タイミング、SDCLK = 133 MHz

メモリ読み出しーバス・マスタ

これらの仕様は、メモリに対する非同期インターフェースに使用してください。ACK、DATA、RD、WRのタイミングとストロープ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 27.メモリ読み出しーバス・マスタ

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t _{DAD}	Address, Selects Delay to Data Valid ^{1, 2}		ns
t _{DRLD}	RD Low to Data Valid ¹		ns
t _{SDS}	Data Setup to RD High		ns
t _{HDRH}	Data Hold from RD High ^{3, 4}		ns
t _{DAAK}	ACK Delay from Address, Selects ^{2, 5}		ns
t _{DSAK}	ACK Delay from RD Low ⁴		ns
<i>Switching Characteristics</i>			
t _{DRHA}	Address Selects Hold After RD High		ns
t _{DARL}	Address Selects to RD Low ²		ns
t _{RW}	RD Pulse Width		ns
t _{RWR}	RD High to WR, RD, Low		ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{SDCLK}$
 $HI = RHC + IC$ ($RHC = (\text{number of Read Hold Cycles specified in AMICTLx register}) \times t_{SDCLK}$)
 $IC = (\text{number of idle cycles specified in AMICTLx register}) \times t_{SDCLK}$
 $H = (\text{number of hold cycles specified in AMICTLx register}) \times t_{SDCLK}$

¹ データ遅延/セットアップ:システムはt_{DAD}、t_{DRLD}、またはt_{SDS}を満たす必要があります。
² MSxの立ち下がりがエッジが基準。
³ ACK、DATA、RD、WRのタイミングとストロープ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。
⁴ データ・ホールド:非同期アクセス・モードではt_{HDRH}を満たす必要があります。与えられた容量負荷とDC負荷に対するホールド・タイムの計算については、テスト条件を参照。
⁵ ACK遅延/セットアップ: ACK (ロー・レベル)のアサート解除ではt_{DAAK}、またはt_{DSAK}を満たす必要があります。ACK (ハイ・レベル)の非同期アサーションでは、t_{DAAK}またはt_{DSAK}を満たす必要があります。

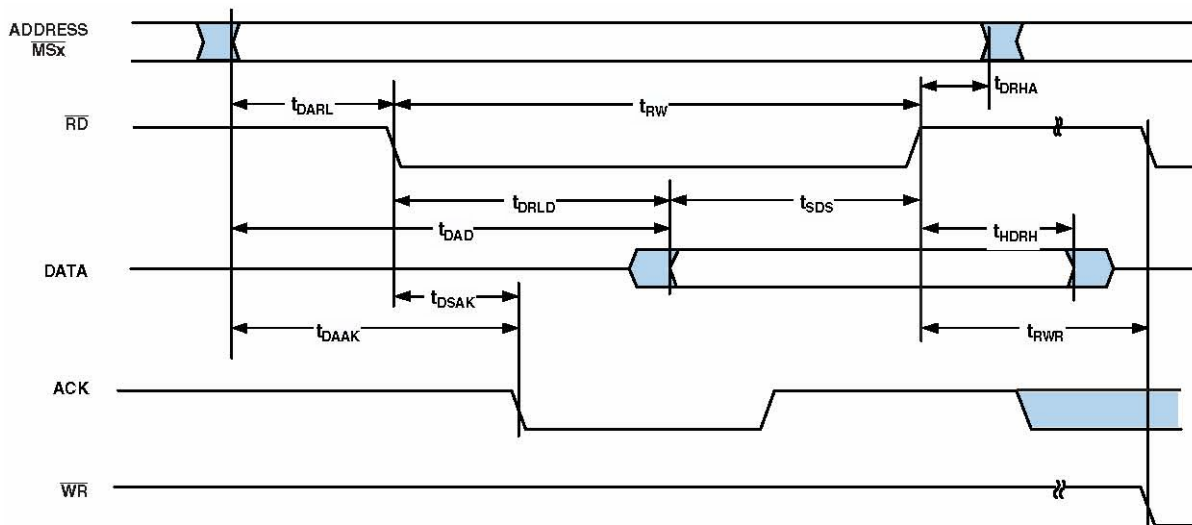


図 17.メモリ読み出しーバス・マスタ

メモリ書き込み—バス・マスタ

これらの仕様は、メモリに対する非同期インターフェースに使用してください。ACK、DATA、 \overline{RD} 、 \overline{WR} のタイミングとストロープ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 28.メモリ書き込み—バス・マスタ

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{DAAK}	ACK Delay from Address, Selects ^{1, 2}	$t_{SDCLK} - 10.1 + W$	ns
t_{DSAK}	ACK Delay from \overline{WR} Low ^{1, 3}	$W - 7.1$	ns
<i>Switching Characteristics</i>			
t_{DAWH}	Address, Selects to \overline{WR} Deasserted ²	$t_{SDCLK} - 3.6 + W$	ns
t_{DAWL}	Address, Selects to \overline{WR} Low ²	$t_{SDCLK} - 2.7$	ns
t_{WW}	\overline{WR} Pulse Width	$W - 1.3$	ns
t_{DDWH}	Data Setup Before \overline{WR} High	$t_{SDCLK} - 3.0 + W$	ns
t_{DWH}	Address Hold After \overline{WR} Deasserted	$H + 0.15$	ns
t_{DWH}	Data Hold After \overline{WR} Deasserted	$H + 0.02$	ns
t_{DATRWH}	Data Disable After \overline{WR} Deasserted ⁴	$t_{SDCLK} - 1.37 + H$ $t_{SDCLK} + 4.9 + H$	ns
t_{WWR}	\overline{WR} High to \overline{WR} , \overline{RD} Low	$t_{SDCLK} - 1.5 + H$	ns
t_{DDWR}	Data Disable Before \overline{RD} Low	$2t_{SDCLK} - 5.1$	ns
t_{WDE}	\overline{WR} Low to Data Enabled	$t_{SDCLK} - 4.1$	ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{SDCLK}$ $H = (\text{number of hold cycles specified in AMICTLx register}) \times t_{SDCLK}$

¹ACK遅延/セットアップ: ACK (ロー・レベル)のアサート解除では t_{DAAK} 、または t_{DSAK} を満たす必要があります。ACK (ハイ・レベル)の非同期アサーションでは、 t_{DAAK} または t_{DSAK} を満たす必要があります。

²MSxの立ち下がりエッジが基準。

³ACK、DATA、 \overline{RD} 、 \overline{WR} のタイミングとストロープ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

⁴与えられた容量負荷とDC負荷に対するホールド・タイムの計算については、[テスト条件](#)を参照。

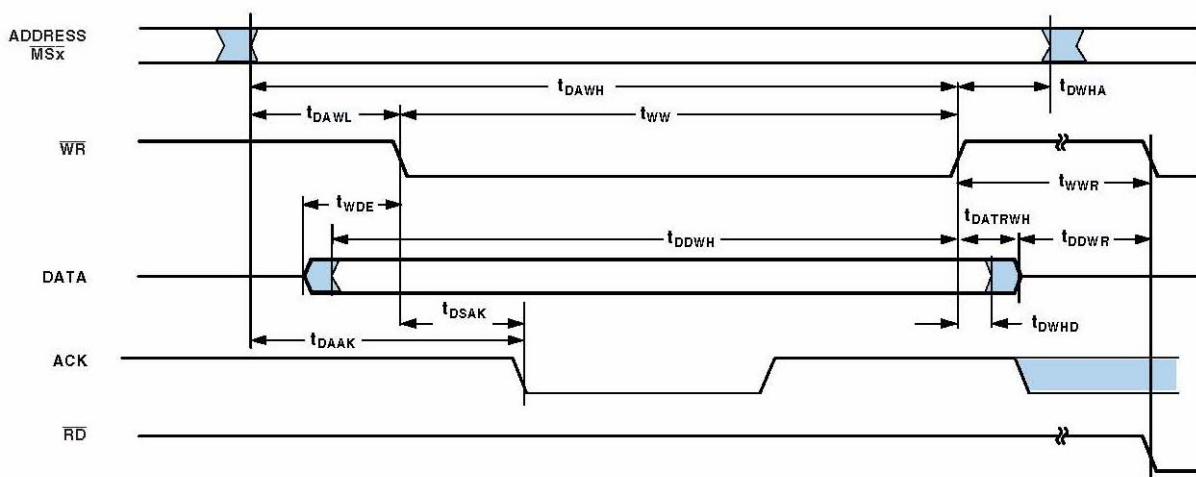


図 18.メモリ書き込み—バス・マスタ

シリアル・ポート

クロック速度 n で 2 個のデバイス間の通信が可能か否かを判断するときは、次の仕様を確認してください。1) フレーム同期遅延、フレーム同期のセットアップとホールド、2) データ遅延、データのセットアップとホールド、3) SCLK の幅

シリアル・ポート信号(SCLK、FS、データ・チャンネル A、データ・チャンネル B)は、SRU を使って DAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 29. シリアル・ポート—外部クロック

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{SFSE}^1	FS Setup Before SCLK (Externally Generated FS in either Transmit or Receive Mode)		ns
t_{HFSE}^1	FS Hold After SCLK (Externally Generated FS in either Transmit or Receive Mode)		ns
t_{SDRE}^1	Receive Data Setup Before Receive SCLK		ns
t_{HDRE}^1	Receive Data Hold After SCLK		ns
t_{SCLKW}	SCLK Width		ns
t_{SCLK}	SCLK Period		ns
<i>Switching Characteristics</i>			
t_{DFSE}^2	FS Delay After SCLK (Internally Generated FS in either Transmit or Receive Mode)		ns
t_{HOFSE}^2	FS Hold After SCLK (Internally Generated FS in either Transmit or Receive Mode)		ns
t_{DDTE}^2	Transmit Data Delay After Transmit SCLK		ns
t_{HDTE}^2	Transmit Data Hold After Transmit SCLK		ns

1 サンプル・エッジを基準とします。

2 駆動エッジを基準とします。

表 30. シリアル・ポート—内部クロック

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{SFSI}^1	FS Setup Before SCLK (Externally Generated FS in either Transmit or Receive Mode)		ns
t_{HFSI}^1	FS Hold After SCLK (Externally Generated FS in either Transmit or Receive Mode)		ns
t_{SDRI}^1	Receive Data Setup Before SCLK		ns
t_{HDRI}^1	Receive Data Hold After SCLK		ns
<i>Switching Characteristics</i>			
t_{DFSI}^2	FS Delay After SCLK (Internally Generated FS in Transmit Mode)		ns
t_{HOFST}^2	FS Hold After SCLK (Internally Generated FS in Transmit Mode)		ns
t_{DFSIR}^2	FS Delay After SCLK (Internally Generated FS in Receive Mode)		ns
$t_{HOF SIR}^2$	FS Hold After SCLK (Internally Generated FS in Receive Mode)		ns
t_{DDTI}^2	Transmit Data Delay After SCLK		ns
$t_{HD TI}^2$	Transmit Data Hold After SCLK		ns
t_{SCLKW}^3	Transmit or Receive SCLK Width		ns

1 サンプル・エッジを基準とします。

2 駆動エッジを基準とします。

3 最小SPORT分周比レジスタ値。

表 31. シリアル・ポート—イネーブルとスリーステート

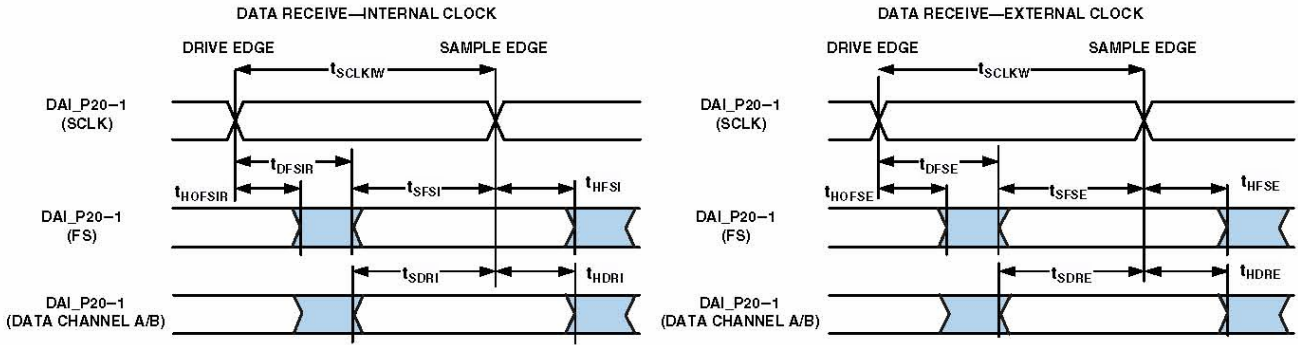
Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Switching Characteristics</i>			
t_{DDTEN}^1 Data Enable from External Transmit SCLK	2		ns
t_{DDTTE}^1 Data Disable from External Transmit SCLK		10	ns
t_{DDTIN}^1 Data Enable from Internal Transmit SCLK	-1		ns

¹駆動エッジを基準とします。

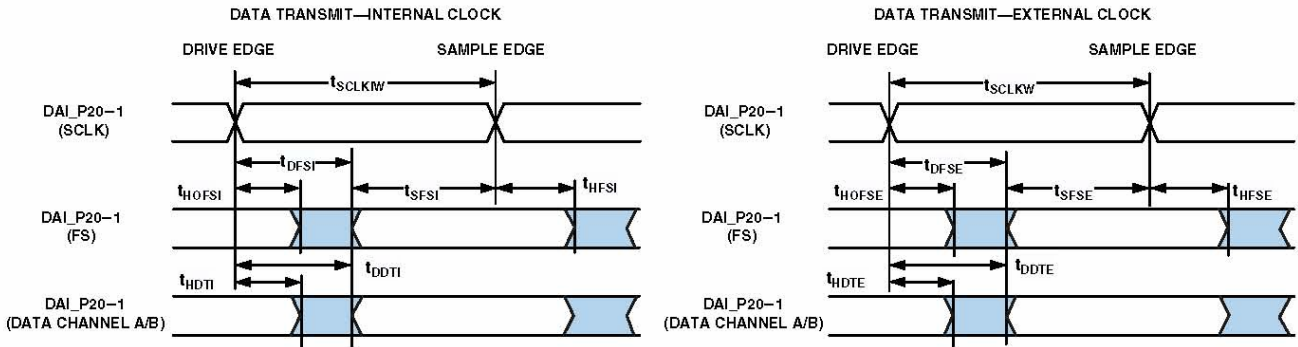
表 32. シリアル・ポート—外部レイト・フレーム同期

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Switching Characteristics</i>			
$t_{DDTLFSE}^1$ Data Delay from Late External Transmit FS or External Receive FS with MCE = 1, MFD = 0		10	ns
$t_{DDTENFS}^1$ Data Enable for MCE = 1, MFD = 0	0.5		ns

¹ $t_{DDTLFSE}$ と $t_{DDTENFS}$ パラメータは、左詰めサンプル・ペア、DSPシリアル・モード、さらにMCE = 1、MFD = 0に適用。



NOTE: EITHER THE RISING EDGE OR FALLING EDGE OF SCLK (EXTERNAL) OR SCLK (INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.



NOTE: EITHER THE RISING EDGE OR FALLING EDGE OF SCLK (EXTERNAL) OR SCLK (INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.

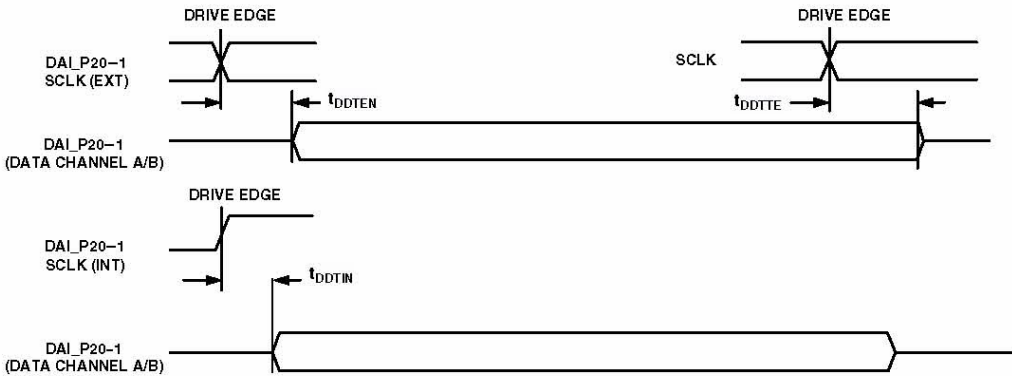
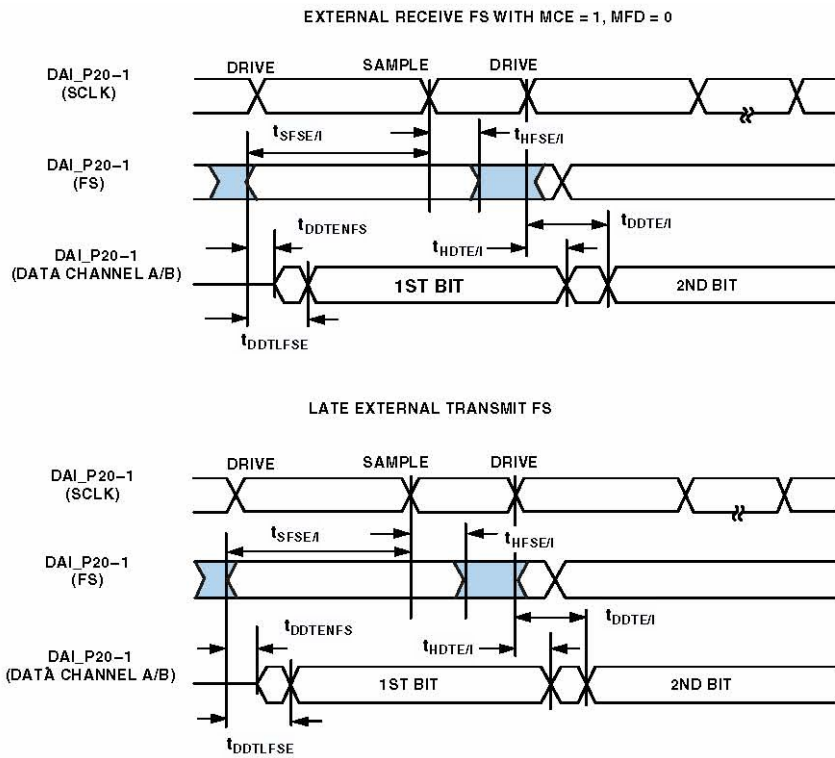


図 19. シリアル・ポート



NOTE: SERIAL PORT SIGNALS (SCLK, FS, DATA CHANNEL A/B) ARE ROUTED TO THE DAI_P20-1 PINS USING THE SRU. THE TIMING SPECIFICATIONS PROVIDED HERE ARE VALID AT THE DAI_P20-1 PINS. THE CHARACTERIZED AC SPORT TIMINGS ARE APPLICABLE WHEN INTERNAL CLOCKS AND FRAMES ARE LOOPED BACK FROM THE PIN, NOT ROUTED DIRECTLY THROUGH SRU.

図 20. 外部レイト・フレーム同期¹

¹この図は、左詰サンプル・ペアモードをサポートするために行った変更を反映しています。

入力データ・ポート(IDP)

IDPのタイミング条件を 表 33に示します。IDP信号(SCLK、FS、SDATA)はSRUを使ってDAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 33.入力データ・ポート(IDP)

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{SISFS}^1	FS Setup Before SCLK Rising Edge	3.8	ns
t_{SIHFS}^1	FS Hold After SCLK Rising Edge	2.5	ns
t_{SISD}^1	SDATA Setup Before SCLK Rising Edge	2.5	ns
t_{SIHD}^1	SDATA Hold After SCLK Rising Edge	2.5	ns
$t_{IDPCLKW}$	Clock Width	9	ns
t_{IDPCLK}	Clock Period	24	ns

1 DATA、SCLK、FSは任意のDAIピンから入力可能。SCLKとFSは、PCGまたはSPORT経由の入力も可能。PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

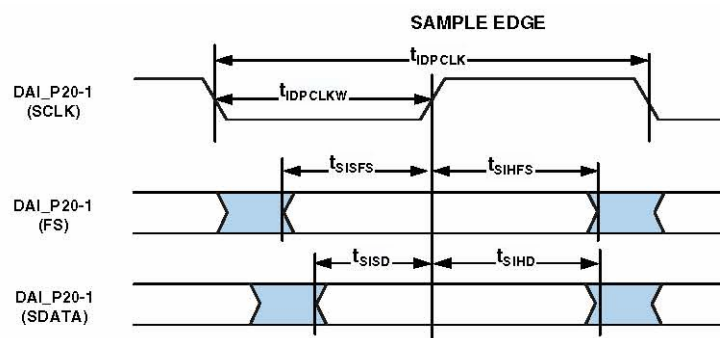


図 21.IDP マスタのタイミング

パラレル・データ・アキュジション・ポート(PDAP)

PDAPのタイミング条件を 表 34 に示します。PDAPは、IDPのチャンネル 0 のパラレル・モード動作です。PDAPの動作の詳細については、「ADSP-21368 SHARC Processor Hardware Reference」のPDAP の章を参照してください。外部PDAPデータの 16 ビットはDATA 31~16 ビンを経由して得ることができることに注意してください。残りの 4 ビットは、DAI_P4~1 を経由してのみ得られます。下記タイミングは、DATA 31~16 ビンで有効です。

表 34.パラレル・データ・アキュジッション・ポート(PDAP)

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SPCLKEN}^1$	PDAP_CLKEN Setup Before PDAP_CLK Sample Edge	2.5		ns
$t_{HPCLKEN}^1$	PDAP_CLKEN Hold After PDAP_CLK Sample Edge	2.5		ns
t_{PDSD}^1	PDAP_DAT Setup Before SCLK PDAP_CLK Sample Edge	3.85		ns
t_{PDHD}^1	PDAP_DAT Hold After SCLK PDAP_CLK Sample Edge	2.5		ns
t_{PDCLKW}	Clock Width	7		ns
t_{PDCLK}	Clock Period	24		ns
<i>Switching Characteristics</i>				
t_{PDHLDD}	Delay of PDAP Strobe After Last PDAP_CLK Capture Edge for a Word	$2 \times t_{PCLK} + 3$		ns
$t_{PDSTRIB}$	PDAP Strobe Pulse Width	$2 \times t_{PCLK} - 1$		ns

¹ DATAのソース・ピンはDATA31~12ピンまたはDAIピン。 SCLKとFSのソース・ピンは、1) DAIピン、2) PCGを経由するCLKIN、または3) PCGを経由するDAIピンが可能。

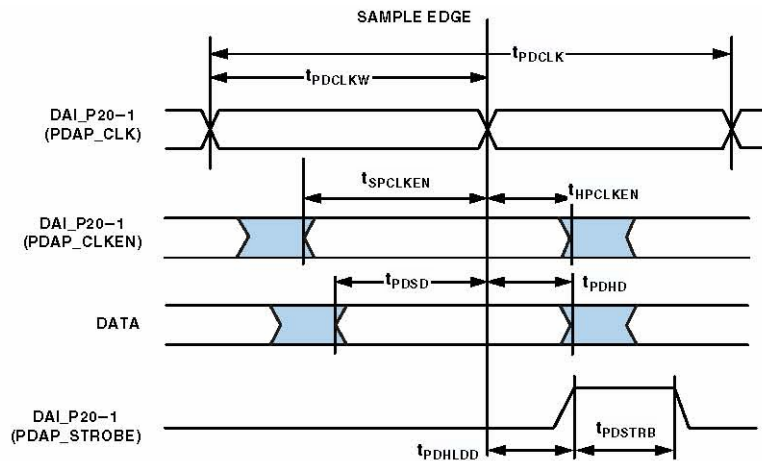


図 22.PDAPのタイミング

パルス幅変調ジェネレータ(PWM)

ADSP-21371 の場合、次のタイミング仕様は、DATA 31~16 ピンが PWM に設定された場合にのみ適用されます。

パルス幅変調ジェネレータの情報は、ADSP-21375 に適用されません。

表 35.パルス幅変調(PWM)のタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{PWMW} PWM Output Pulse Width	$t_{PCLK} - 2.5$	$(2^{16} - 2) \times t_{PCLK} - 2.5$	ns
t_{PWMP} PWM Output Period	$2 \times t_{PCLK} - 2.5$	$(2^{16} - 1) \times t_{PCLK} - 2.5$	ns

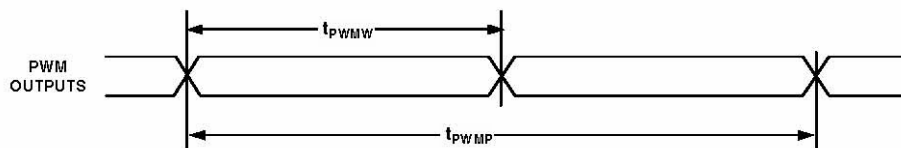


図 23.PWMのタイミング

S/PDIFトランスミッタ

ADSP-21371 の場合、S/PDIF トランスミッタへのシリアル・データ入力のフォーマットとしては、左詰め、I²S、または右詰め、ワード幅は 16、18、20、または 24 ビットが可能です。次のセクションに、トランスミッタのタイミングを示します。

S/PDIFトランスミッタのシリアル入力波形

図 24 に右詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはSCLKの立ち上がりエッジで有効です。LRCLKの1周期あたりSCLKが 64 周期存在する場合、データのLSBが次のLRCLK変化に対して右詰めになるようにするため、MSBがLRCLK

の変化から 12 ビット・クロック周期(20 ビット出力モード)または 16 ビット・クロック周期(16 ビット出力モード)遅延させられます。S/PDIF トランスミッタの情報は ADSP-21375 に適用されません。

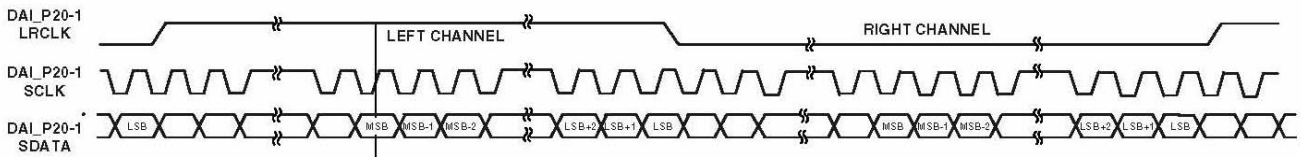


図 24.右詰めモード

図 25 に、デフォルトのI²Sモードを示します。LRCLKは、左チャンネルに対してはロー・レベルに、右チャンネルに対してはハイ・レベルになります。データはSCLKの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰めですが、SCLKの1周期分遅延しています。

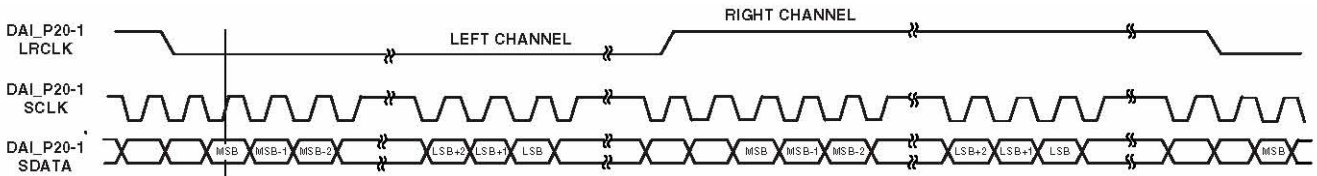


図 25.I²Sモード

図 26 に、左詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはSCLKの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰めで、MSBの遅延はありません。

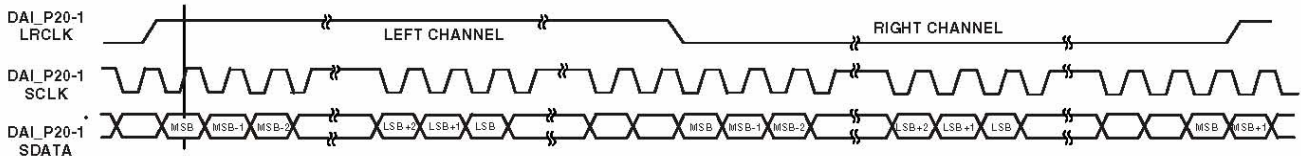


図 26.左詰めモード

S/PDIFトランスミッタ入力データのタイミング

S/PDIFトランスミッタのタイミング条件を 表 36 に示します。入力信号(SCLK、FS、SDATA)はSRUを使ってDAI_P20~1 ピンに接続されま
す。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表 36.S/PDIFトランスミッタ入力データのタイミング

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Timing Requirements</i>			
t_{SIFS}^1	FS Setup Before SCLK Rising Edge	3	ns
t_{SIHRS}^1	FS Hold After SCLK Rising Edge	3	ns
t_{SISD}^1	SDATA Setup Before SCLK Rising Edge	3	ns
t_{SIHD}^1	SDATA Hold After SCLK Rising Edge	3	ns
$t_{SITXCLKW}$	Transmit Clock Width	9	ns
$t_{SITXCLK}$	Transmit Clock Period	20	ns
$t_{SISCLKW}$	Clock Width	36	ns
t_{SISCLK}	Clock Period	80	ns

¹ DATA、SCLK、FSは任意のDAIピンから入力可能。 SCLKとFSは、PCGまたはSPORT経由の入力も可能。 PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

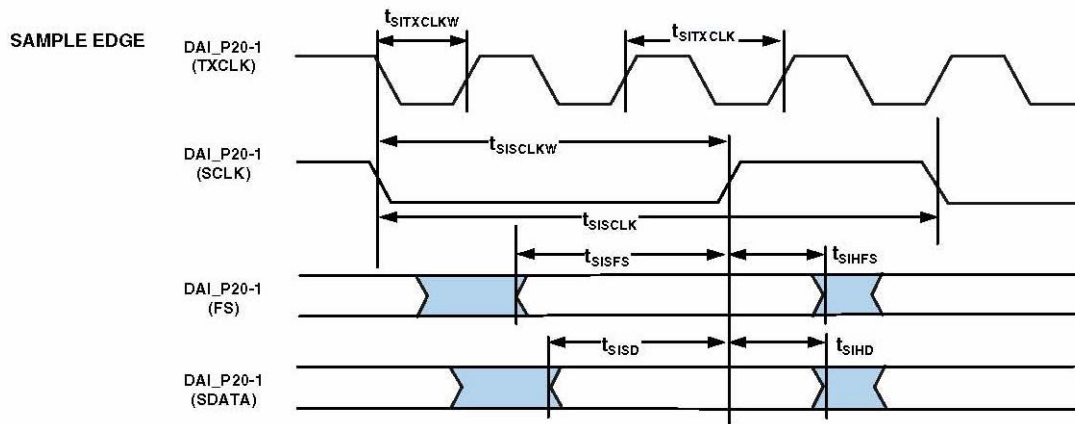


図 27.S/PDIFトランスミッタ入力のタイミング

オーバーサンプリング・クロック(TxCLK)のスイッチング特性

S/PDIF トランスミッタは、オーバーサンプリング・クロックを持っています。この TxCLK 入力、バイフェーズ・クロックを発生するために分周されます。

表 37.オーバーサンプリング・クロック(TxCLK)のスイッチング特性

Parameter	Min	Max	Unit
TxCLK Frequency for TxCLK = 384 × FS		73.8	MHz
TxCLK Frequency for TxCLK = 256 × FS		49.2	MHz
Frame Rate		192.0	kHz

S/PDIFレシーバ

ADSP-21371 の場合について、次のセクションにタイミングを示します(S/PDIF レシーバに関係しているため)。

内部デジタルPLLモード

内部デジタル位相ロック・ループ・モードでは、内部 PLL (デジタル PLL)が $512 \times FS$ のクロックを発生します。

S/PDIF レシーバの情報は ADSP-21375 に適用されません。

表 38.S/PDIFレシーバ内部デジタルPLLモードのタイミング

Parameter	1.2 V, 266 MHz		Unit
	Min	Max	
<i>Switching Characteristics</i>			
t_{DFSI}	LRCLK Delay After SCLK		ns
t_{HOFSI}	LRCLK Hold After SCLK		ns
t_{DDTI}	Transmit Data Delay After SCLK		ns
t_{HDTI}	Transmit Data Hold After SCLK		ns
t_{SCLKIW}^1	Transmit SCLK Width		ns

¹SCLK周波数= $64 \times FS$ 、 $FS = LRCLK$ 周波数。

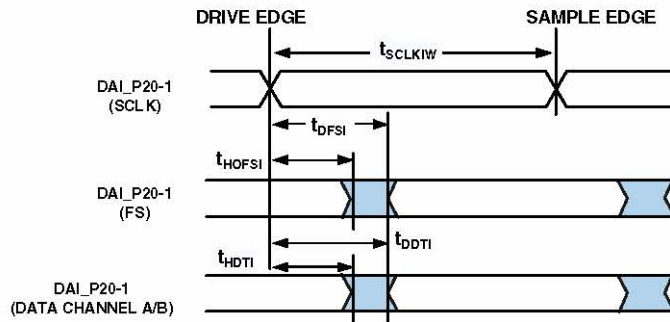


図 28.S/PDIFレシーバ内部デジタルPLLモードのタイミング

SPIインターフェース—マスタ

ADSP-21371/ADSP-21375 は、2 個のSPIポートを内蔵しています。
 プライマリとセカンダリは、DPIを介してのみ使用可能です。表 39
 と表 40に示すタイミングは両方に適用されます。

表 39.SPIインターフェース・プロトコル—マスタのスイッチングとタイミング仕様

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SSPIDM} Data Input Valid To SPICLK Edge (Data Input Setup Time)	8.2		ns
t_{HSPIDM} SPICLK Last Sampling Edge To Data Input Not Valid	2		ns
<i>Switching Characteristics</i>			
$t_{SPICLKM}$ Serial Clock Cycle	$8 \times t_{PCLK} - 2$		ns
t_{SPICHM} Serial Clock High Period	$4 \times t_{PCLK} - 2$		ns
t_{SPICLM} Serial Clock Low Period	$4 \times t_{PCLK} - 2$		ns
$t_{DDSPIDM}$ SPICLK Edge to Data Out Valid (Data Out Delay Time)		2.5	ns
$t_{HDSPIDM}$ SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$4 \times t_{PCLK} - 2$		ns
t_{SDSCIM} FLAG3-0IN (SPI device select) Low to First SPICLK Edge	$4 \times t_{PCLK} - 2$		ns
t_{HDSM} Last SPICLK Edge to FLAG3-0IN High	$4 \times t_{PCLK} - 2$		ns
t_{SPITDM} Sequential Transfer Delay	$4 \times t_{PCLK} - 1$		ns

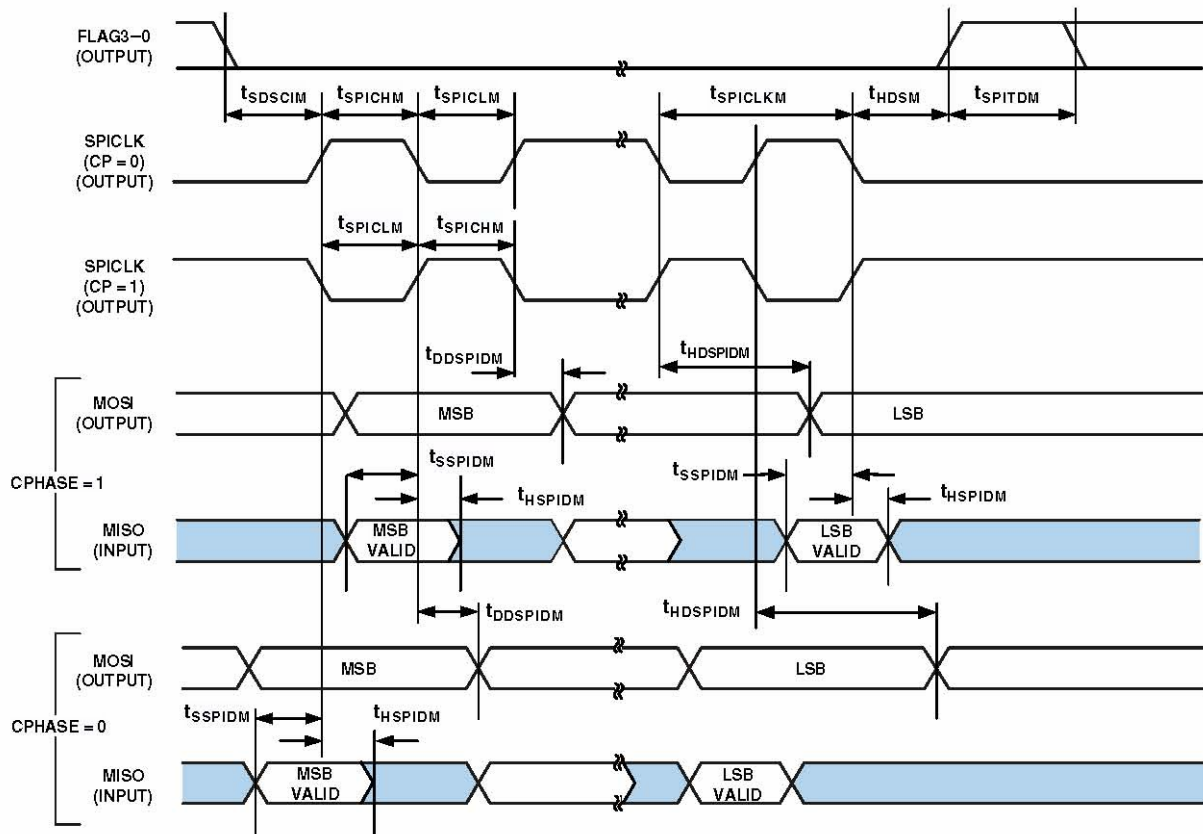


図 29.SPIマスタのタイミング

SPIインターフェーススレーブ

表 40.SPIインターフェース・プロトコルスレーブのスイッチングとタイミング仕様

Parameter		1.2 V, 266 MHz		Unit
		Min	Max	
<i>Timing Requirements</i>				
$t_{SPICLKS}$	Serial Clock Cycle	$4 \times t_{PCLK} - 2$		ns
t_{SPICHs}	Serial Clock High Period	$2 \times t_{PCLK} - 2$		ns
t_{SPICLs}	Serial Clock Low Period	$2 \times t_{PCLK} - 2$		ns
t_{SDSCO}	\overline{SPIDS} Assertion to First SPICLK Edge CPHASE = 0	$2 \times t_{PCLK}$		ns
	CPHASE = 1	$2 \times t_{PCLK}$		
t_{HDS}	Last SPICLK Edge to \overline{SPIDS} Not Asserted, CPHASE=0	$2 \times t_{PCLK}$		ns
t_{SSPIDS}	Data Input Valid to SPICLK edge (Data Input Set-up Time)	2		ns
t_{HSPIDS}	SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
t_{SDPPW}	\overline{SPIDS} Deassertion Pulse Width (CPHASE=0)	$2 \times t_{PCLK}$		ns
<i>Switching Characteristics</i>				
t_{DSOE}	\overline{SPIDS} Assertion to Data Out Active	0	6.8	ns
t_{DSDHI}	\overline{SPIDS} Deassertion to Data High Impedance	0	6.8	ns
$t_{DDSPIDS}$	SPICLK Edge to Data Out Valid (Data Out Delay Time)		9.5	ns
t_{HDSPIs}	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$2 \times t_{PCLK}$		ns
t_{DSOV}	\overline{SPIDS} Assertion to Data Out Valid (CPHASE = 0)		$5 \times t_{PCLK}$	ns

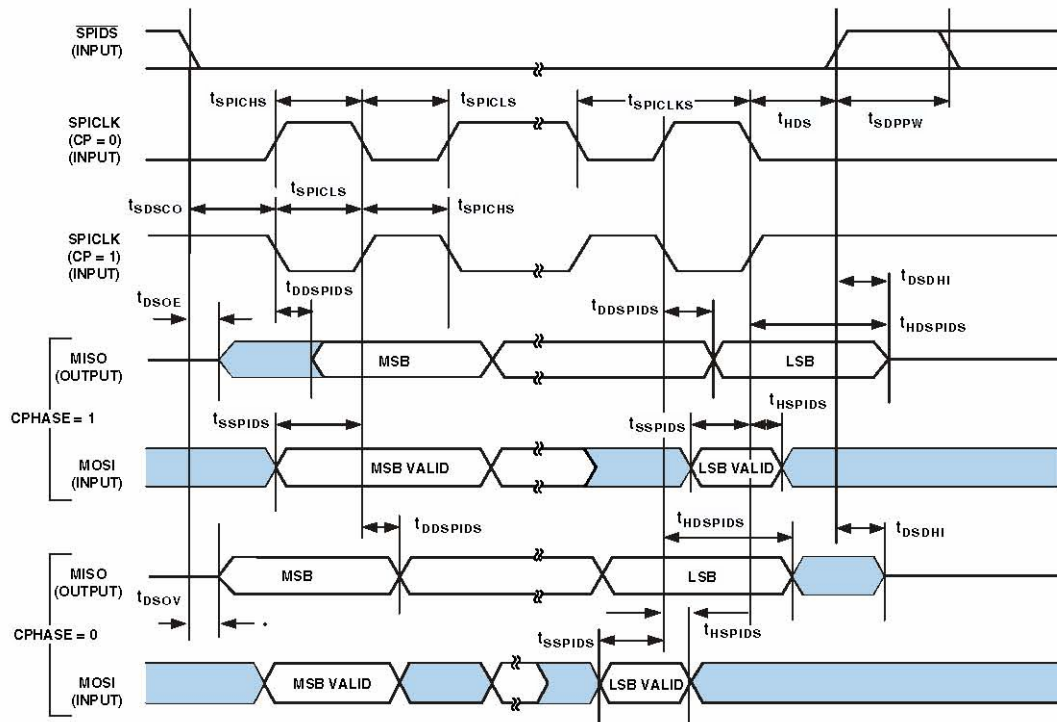


図 30.SPIスレーブのタイミング

ユニバーサル非同期レシーバ・トランスミッタ (UART) ポート—受信タイミングと送信タイミング

図 31に、UARTポートの受信と送信の動作を示します。最大ボー・レートはPCLK/16です(PCLK = 1/t_{PCLK})。図 31に示すように、内部UART割込みの発生と外部データ動作との間には遅延が存在しま

す。これらの遅延は、UARTのデータ・レートに対して無視することができます。

表 41.UARTポート

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t _{TXD} ¹ Incoming Data Pulse Width	16t _{PCLK} -1		ns
<i>Switching Characteristic</i>			
t _{RXD} ¹ Incoming Data Pulse Width	16t _{PCLK} -1		ns

¹UART信号TXDとRXDは、SRUを使ってDPI P14~1ピンに接続。

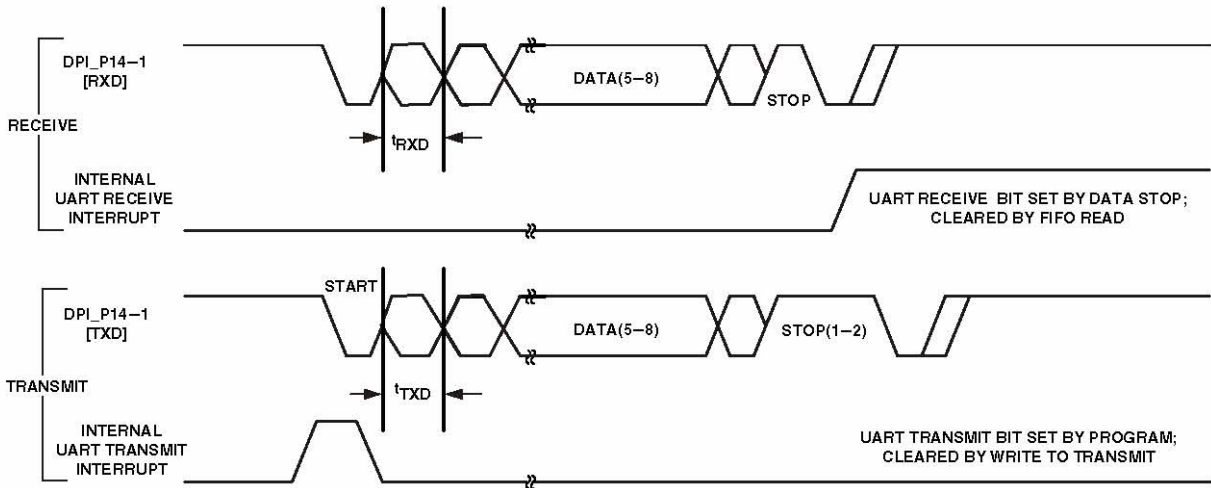


図 31.UARTポート—受信タイミングと送信タイミング

TWIコントローラのタイミング

表 42と図 32に、TWIインターフェースのタイミング情報を示します。入力信号(SCL、SDA)は、SRUを使ってDPI_P14~1ピンに接続されます。したがって、下記のタイミング仕様は、DPI_P14-1ピンで有効です。

表 42. F/SモードTWIバス・デバイスのSDAとSCLバス・ラインの特性¹

Parameter		Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
f_{SCL}	SCL Clock Frequency	0	100	0	400	kHz
t_{HDSTA}	Hold Time (repeated) Start Condition. After This Period, the First Clock Pulse is Generated.	4.0		0.6		μ s
t_{LOW}	Low Period of the SCL Clock	4.7		1.3		μ s
t_{HIGH}	High Period of the SCL Clock	4.0		0.6		μ s
t_{SUSTA}	Setup Time for a Repeated Start Condition	4.7		0.6		μ s
t_{HDDAT}	Data Hold Time for TWI-Bus Devices	0		0		μ s
t_{SUDAT}	Data Setup Time	250		100		ns
t_{SUSTO}	Setup Time for Stop Condition	4.0		0.6		μ s
t_{BUF}	Bus Free Time Between a Stop and Start Condition	4.7		1.3		μ s
t_{SP}	Pulse Width of Spikes Suppressed By the Input Filter	n/a	n/a	0	50	ns

¹すべての値は、 V_{IHmin} レベルと V_{ILmax} レベルが基準。詳細については、[電気的特性](#)を参照。

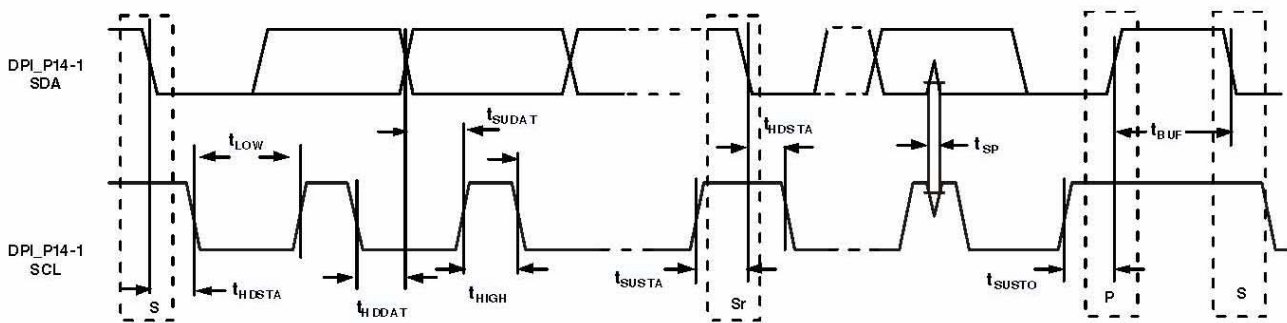


図 32. TWIバスの高速および標準モードでのタイミング

JTAGテスト・アクセス・ポートとエミュレーション

表 43.JTAGテスト・アクセス・ポートとエミュレーション

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{TCK}	TCK Period	t_{ck}		ns
t_{STAP}	TDI, TMS Setup Before TCK High	5		ns
t_{HTAP}	TDI, TMS Hold After TCK High	6		ns
t_{SSYS}^1	System Inputs Setup Before TCK High	7		ns
t_{HSYS}^1	System Inputs Hold After TCK High	18		ns
t_{TRSTW}	\overline{TRST} Pulse Width	$4 \times t_{ck}$		ns
<i>Switching Characteristics</i>				
t_{DTDO}	TDO Delay from TCK Low		7	ns
t_{DSYS}^2	System Outputs Delay After TCK Low		$t_{ck} / 2 + 7$	ns

¹システム入力= AD15~0、CLKCFG1~0、 \overline{RESET} 、BOOTCFG1~0、DAI_Px、FLAG3~0。

²システム出力= DAI_Px、AD15~0、 \overline{RD} 、 \overline{WR} 、FLAG3~0、CLKOUT、 \overline{EMU} 、ALE。

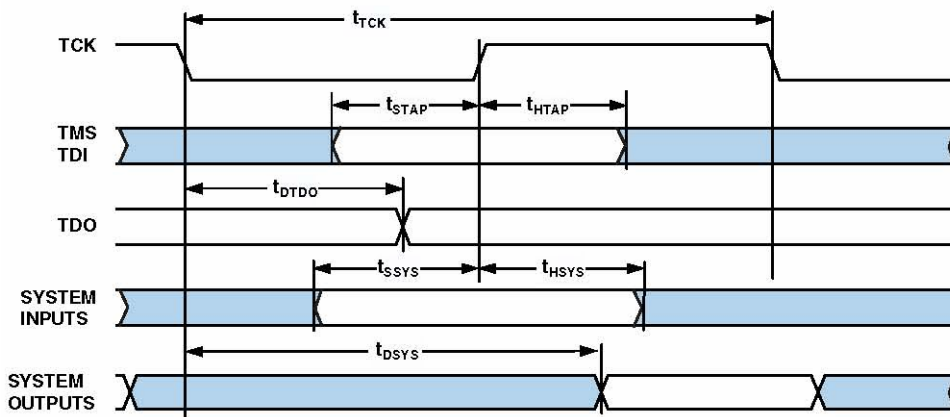


図 33.IEEE 1149.1 JTAGテスト・アクセス・ポート

出力駆動電流

図 34に、ADSP-21371/ADSP-21375 の出力ドライバのI-V特性(typ)を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

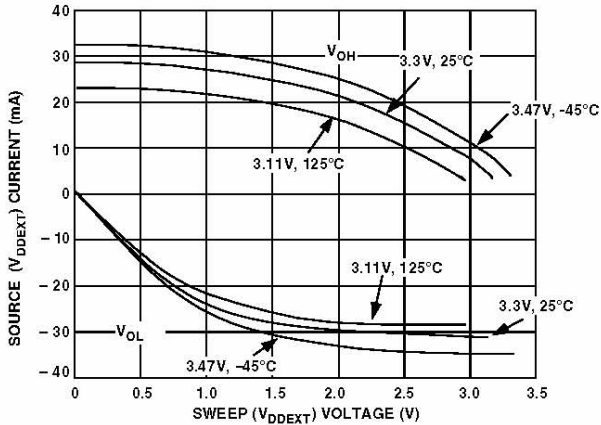


図 34. ジャンクション温度での ADSP-21371/ADSP-21375の駆動(typ)

テスト条件

AC信号仕様(タイミング・パラメータ)を 表 17~表 43に示します。これらには、出力ディスエーブル時間、出力イネーブル時間、容量負荷が含まれています。SHARCのタイミング仕様は、図 35に示すリファレンス電圧レベルに適用されます。

タイミングは、図 36に示すように信号が 1.5 Vレベルを通過するときに測定します。すべての遅延(n sec)は、1つ目の信号が 1.5 Vに到達したポイントと、2つ目の信号が 1.5 Vに到達したポイントとの間で測定します。

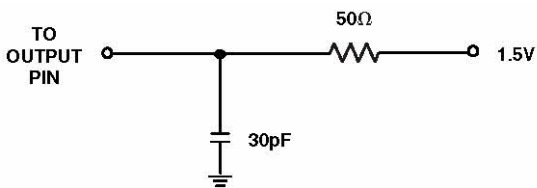


図 35. AC測定の等価デバイス負荷(すべての治具を含む)

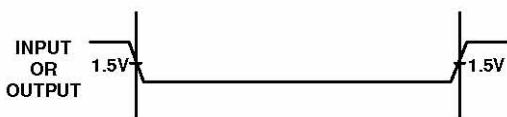


図 36.AC測定のリファレンス電圧レベル

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷 30 pFを接続しています(図 35参照)。図 39に、出力遅延とホールドが負荷容量により変化する様子を示します。図 37、図 38、図 39のグラフは、出力遅延(Typ)対負荷容量および出力立ち上がり時間(Typ)(20%~80%、V = Min)対負荷容量で示す範囲の外側では直線にならないことがあります。

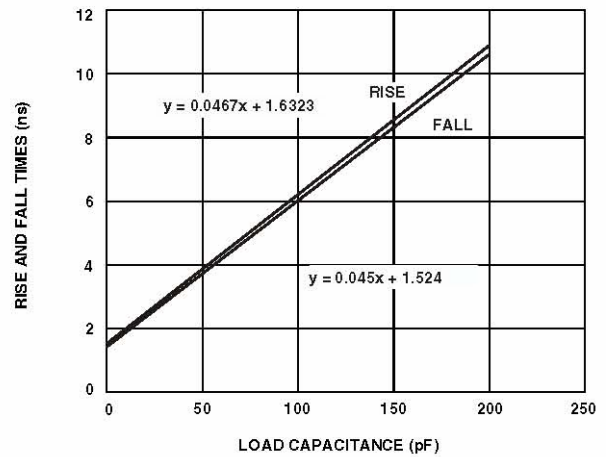


図 37.出力立ち上がり/立ち下がり時間 (typ) (20~80%、 $V_{DDEXT} = \text{Max}$)

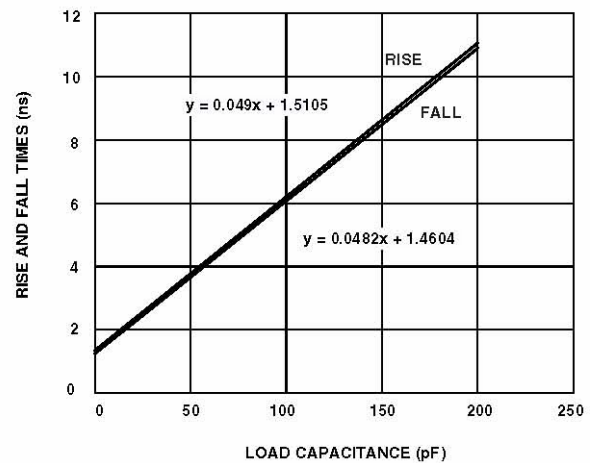


図 38.出力立ち上がり/立ち下がり時間 (typ) (20%~80%、 $V_{DDEXT} = \text{Min}$)

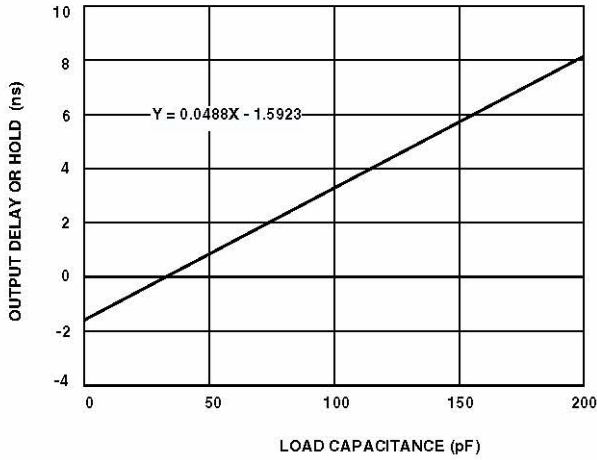


図 39. 出力遅延またはホールド(typ)対負荷容量(周囲温度)

θ_{JB} の値は、パッケージ比較とPCBデザイン考慮のために提供され、表 44に示す温度特性値はモデル化した値です。

表 44.208ピンLQFP E_PADの熱特性(エクスポーズドパッドをPCBにハンダ付け)

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	17.1	°C/W
θ_{JMA}	Airflow = 1 m/s	14.7	°C/W
θ_{JMA}	Airflow = 2 m/s	14.0	°C/W
θ_{JC}		9.6	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.23	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.39	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.45	°C/W
Ψ_{JB}	Airflow = 0 m/s	11.5	°C/W
Ψ_{JMB}	Airflow = 1 m/s	11.2	°C/W
Ψ_{JMB}	Airflow = 2 m/s	11.0	°C/W

熱特性

ADSP-21371/ADSP-21375 プロセッサの性能は、動作条件で規定する温度範囲で規定されています。

表 44の空気流の測定はJEDEC規格JESD51-2 と JESD51-6 に、ジャンクションーボード間の測定はJESD51-8 に、それぞれ準拠しています。テスト・ボードのデザインはJEDEC規格JESD51-7 (LQFP_EP) に準拠しています。ジャンクションーケース間の測定はMIL-STD-883 に準拠しています。すべての測定では、2S2P JEDECテスト・ボードを使用しています。

アプリケーション PCB 上でのデバイスのジャンクション温度を求めるときは、次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度 °C

T_{CASE} = ケース温度(°C)、パッケージ上面の中央で測定

Ψ_{JT} = ジャンクションーパッケージ上面間のキャラクタライゼーション・パラメータは表 44のTyp値を使用

P_D = 消費電力

θ_{JA} の値はパッケージの比較とPCBデザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

T_A = 周囲温度 °C

θ_{JC} の値は、外付けヒート・シンクが必要なときに、パッケージ比較とPCBデザイン考慮のために提供。

208ピンLQFP_EPのピン配置

表 45. ADSP-21371、208ピンLQFP_EPのピン配置(ピン番号順)

Pin No.	Signal	Pin No.	Signal	Pin No.	Signal	Pin No.	Signal
1	V _{DDINT}	53	V _{DDINT}	105	V _{DDINT}	157	V _{DDINT}
2	DATA28	54	GND	106	GND	158	V _{DDINT}
3	DATA27	55	V _{DDEXT}	107	V _{DDEXT}	159	GND
4	GND	56	ADDR0	108	$\overline{\text{SDCAS}}$	160	V _{DDINT}
5	V _{DDEXT}	57	ADDR2	109	$\overline{\text{SDRAS}}$	161	V _{DDINT}
6	DATA26	58	ADDR1	110	SDCKE	162	V _{DDINT}
7	DATA25	59	ADDR4	111	$\overline{\text{SDWE}}$	163	TDI
8	DATA24	60	ADDR3	112	$\overline{\text{WR}}$	164	$\overline{\text{TRST}}$
9	DATA23	61	ADDR5	113	SDA10	165	TCK
10	GND	62	GND	114	GND	166	GND
11	V _{DDINT}	63	V _{DDINT}	115	V _{DDEXT}	167	V _{DDINT}
12	DATA22	64	GND	116	SDCLK	168	TMS
13	DATA21	65	V _{DDEXT}	117	GND	169	CLK_CFG0
14	DATA20	66	ADDR6	118	V _{DDINT}	170	BOOTCFG0
15	V _{DDEXT}	67	ADDR7	119	$\overline{\text{RD}}$	171	CLK_CFG1
16	GND	68	ADDR8	120	ACK	172	$\overline{\text{EMU}}$
17	DATA19	69	ADDR9	121	FLAG3	173	BOOTCFG1
18	DATA18	70	ADDR10	122	FLAG2	174	TDO
19	V _{DDINT}	71	GND	123	FLAG1	175	DAI4
20	GND	72	V _{DDINT}	124	FLAG0	176	DAI2
21	DATA17	73	GND	125	DAI20	177	DAI3
22	V _{DDINT}	74	V _{DDEXT}	126	GND	178	DAI1
23	GND	75	ADDR11	127	V _{DDINT}	179	V _{DDEXT}
24	V _{DDINT}	76	ADDR12	128	GND	180	GND
25	GND	77	ADDR13	129	V _{DDEXT}	181	V _{DDINT}
26	DATA16	78	GND	130	DAI19	182	GND
27	DATA15	79	V _{DDINT}	131	DAI18	183	DPI14
28	DATA14	80	NC	132	DAI17	184	DPI13
29	DATA13	81	NC	133	DAI16	185	DPI12
30	DATA12	82	GND	134	DAI15	186	DPI11
31	V _{DDEXT}	83	CLKIN	135	DAI14	187	DPI10
32	GND	84	XTAL	136	DAI13	188	DPI9
33	V _{DDINT}	85	V _{DDEXT}	137	DAI12	189	DPI8
34	GND	86	GND	138	V _{DDINT}	190	DPI7
35	DATA11	87	V _{DDINT}	139	V _{DDEXT}	191	V _{DDEXT}
36	DATA10	88	ADDR14	140	GND	192	GND
37	DATA9	89	GND	141	V _{DDINT}	193	V _{DDINT}
38	DATA8	90	V _{DDEXT}	142	GND	194	GND
39	DATA7	91	ADDR15	143	DAI11	195	DPI6
40	DATA6	92	ADDR16	144	DAI10	196	DPI5
41	V _{DDEXT}	93	ADDR17	145	DAI8	197	DPI4
42	GND	94	ADDR18	146	DAI9	198	DPI3
43	V _{DDINT}	95	GND	147	DAI6	199	DPI1
44	DATA4	96	V _{DDEXT}	148	DAI7	200	DPI2

表 45.ADSP-21371、208 ピン LQFP_EP のピン配置(ピン番号順)(続き)

Pin No.	Signal	Pin No.	Signal	Pin No.	Signal	Pin No.	Signal
45	DATA5	97	ADDR19	149	DAI5	201	CLKOUT/ ~RESETOUT/ ~RUNRSTIN
46	DATA2	98	ADDR20	150	V _{DDEXT}	202	RESET
47	DATA3	99	ADDR21	151	GND	203	V _{DDEXT}
48	DATA0	100	ADDR23	152	V _{DDINT}	204	GND
49	DATA1	101	ADDR22	153	GND	205	DATA30
50	V _{DDEXT}	102	MS1	154	V _{DDINT}	206	DATA31
51	GND	103	MS0	155	GND	207	DATA29
52	V _{DDINT}	104	V _{DDINT}	156	V _{DDINT}	208	V _{DDINT}

表 46. ADSP-21375、208ピンLQFP_EPのピン配置(ピン番号順)

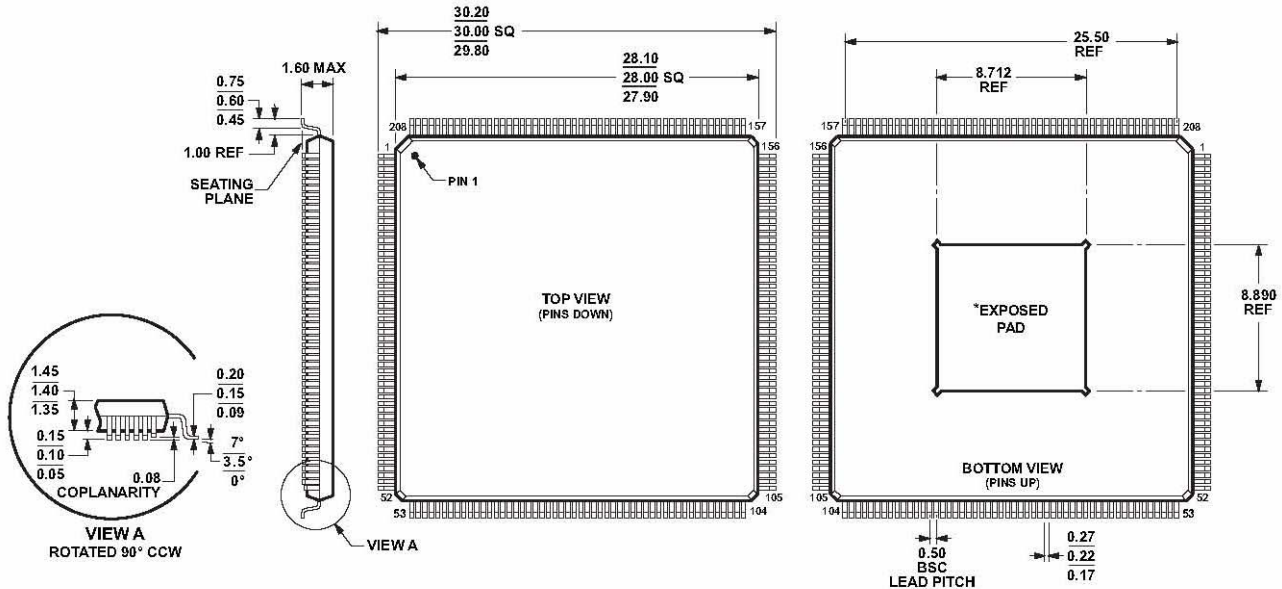
Pin No.	Signal	Pin No.	Signal	Pin No.	Signal	Pin No.	Signal
1	V _{DDINT}	53	V _{DDINT}	105	V _{DDINT}	157	V _{DDINT}
2	NC	54	GND	106	GND	158	V _{DDINT}
3	NC	55	V _{DDEXT}	107	V _{DDEXT}	159	GND
4	GND	56	ADDR0	108	$\overline{\text{SDCAS}}$	160	V _{DDINT}
5	V _{DDEXT}	57	ADDR2	109	$\overline{\text{SDRAS}}$	161	V _{DDINT}
6	NC	58	ADDR1	110	SDCKE	162	V _{DDINT}
7	NC	59	ADDR4	111	$\overline{\text{SDWE}}$	163	TDI
8	NC	60	ADDR3	112	$\overline{\text{WR}}$	164	$\overline{\text{TRST}}$
9	NC	61	ADDR5	113	SDA10	165	TCK
10	GND	62	GND	114	GND	166	GND
11	V _{DDINT}	63	V _{DDINT}	115	V _{DDEXT}	167	V _{DDINT}
12	NC	64	GND	116	SDCLK	168	TMS
13	NC	65	V _{DDEXT}	117	GND	169	CLK_CFG0
14	NC	66	ADDR6	118	V _{DDINT}	170	BOOTCFG0
15	NC	67	ADDR7	119	$\overline{\text{RD}}$	171	CLK_CFG1
16	NC	68	ADDR8	120	ACK	172	$\overline{\text{EMU}}$
17	NC	69	ADDR9	121	FLAG3	173	BOOTCFG1
18	NC	70	ADDR10	122	FLAG2	174	TDO
19	NC	71	GND	123	FLAG1	175	DAI4
20	NC	72	V _{DDINT}	124	FLAG0	176	DAI2
21	NC	73	GND	125	DAI20	177	DAI3
22	V _{DDINT}	74	V _{DDEXT}	126	GND	178	DAI1
23	GND	75	ADDR11	127	V _{DDINT}	179	V _{DDEXT}
24	V _{DDINT}	76	ADDR12	128	GND	180	GND
25	GND	77	ADDR13	129	V _{DDEXT}	181	V _{DDINT}
26	NC	78	GND	130	DAI19	182	GND
27	DATA15	79	V _{DDINT}	131	DAI18	183	DPI14
28	DATA14	80	NC	132	DAI17	184	DPI13
29	DATA13	81	NC	133	DAI16	185	DPI12
30	DATA12	82	GND	134	DAI15	186	DPI11
31	V _{DDEXT}	83	CLKIN	135	DAI14	187	DPI10
32	GND	84	XTAL	136	DAI13	188	DPI9
33	V _{DDINT}	85	V _{DDEXT}	137	DAI12	189	DPI8
34	GND	86	GND	138	V _{DDINT}	190	DPI7
35	DATA11	87	V _{DDINT}	139	V _{DDEXT}	191	V _{DDEXT}
36	DATA10	88	ADDR14	140	GND	192	GND
37	DATA9	89	GND	141	V _{DDINT}	193	V _{DDINT}
38	DATA8	90	V _{DDEXT}	142	GND	194	GND
39	DATA7	91	ADDR15	143	DAI11	195	DPI6
40	DATA6	92	ADDR16	144	DAI10	196	DPI5
41	V _{DDEXT}	93	ADDR17	145	DAI8	197	DPI4
42	GND	94	ADDR18	146	DAI9	198	DPI3
43	V _{DDINT}	95	GND	147	DAI6	199	DPI1
44	DATA4	96	V _{DDEXT}	148	DAI7	200	DPI2

表 46.ADSP-21375、208 ピン LQFP_EP のピン配置(ピン番号順)(続き)

Pin No.	Signal	Pin No.	Signal	Pin No.	Signal	Pin No.	Signal
45	DATA5	97	ADDR19	149	DAI5	201	CLKOUT/ ~RESETOUT/ ~RUNRSTIN
46	DATA2	98	ADDR20	150	V _{DDEXT}	202	RESET
47	DATA3	99	ADDR21	151	GND	203	V _{DDEXT}
48	DATA0	100	ADDR23	152	V _{DDINT}	204	GND
49	DATA1	101	ADDR22	153	GND	205	DATA30
50	V _{DDEXT}	102	MS1	154	V _{DDINT}	206	DATA31
51	GND	103	MS0	155	GND	207	DATA29
52	V _{DDINT}	104	V _{DDINT}	156	V _{DDINT}	208	V _{DDINT}

パッケージ寸法

ADSP-21371/ADSP-21375 プロセッサは、RoHS 準拠の 208 ピン LQFP_EP パッケージを採用しています。



COMPLIANT TO JEDEC STANDARDS MS-026-BJB-HD

NOTE:
 THE EXPOSED PAD IS REQUIRED TO BE ELECTRICALLY AND THERMALLY CONNECTED TO VSS.
 THIS SHOULD BE IMPLEMENTED BY SOLDERING THE EXPOSED PAD TO A VSS PCB LAND THAT IS THE SAME SIZE AS THE EXPOSED PAD. THE VSS PCB LAND SHOULD BE ROBUSTLY CONNECTED TO THE VSS PLANE IN THE PCB WITH AN ARRAY OF THERMAL VIAS FOR BEST PERFORMANCE.

06192B-A

図 40.208ピン・ロー・プロファイル・クワッド・フラット・パッケージ、エクスポーズドパッド[LQFP_EP]
 (ST-208-1)
 寸法: mm

オーダー・ガイド

Model	Temperature Range ¹	On-Chip SRAM	ROM	Operating Voltage	Package Description	Package Option
ADSP-21371KSWZ-2A ²	0°C to +70°C	1M bit	4M bit	1.2 INT V/3.3 EXT V	208-Lead LQFP_EP	SW-208-1
ADSP-21371KSWZ-2B ²	0°C to +70°C	1M bit	4M bit	1.2 INT V/3.3 EXT V	208-Lead LQFP_EP	SW-208-1
ADSP-21371BSWZ-2B ^{2, 3, 4}	-40°C to +85°C	1M bit	4M bit	1.2 INT V/3.3 EXT V	208-Lead LQFP_EP	SW-208-1
ADSP-21375KSWZ-2B ²	0°C to +70°C	0.5M bit	2M bit	1.2 INT V/3.3 EXT V	208-Lead LQFP_EP	SW-208-1
ADSP-21375BSWZ-2B ^{2, 3}	-40°C to +85°C	0.5M bit	2M bit	1.2 INT V/3.3 EXT V	208-Lead LQFP_EP	SW-208-1

1 基準温度は周囲温度。

2 Z = RoHS準拠製品。

3 車載アプリケーション向けに同様なデバイスを提供しています。仕様の違いとオーダー情報を記載している車載データ・シートについては、最寄りのADIにご相談ください。

4 チップセットのデバイスとして販売され、必要なソフトウェアとバンドルされている広範囲なオーディオ・アルゴリズムの組み合わせで使用可能。すべてのリストについては、当社のウェブサイト www.analog.com/SHARC をご覧ください。