



# 煙検知用 集積化光学モジュール

## ADPD188BI

### データシート

#### 特長

- 光学部品を集積した 3.8mm × 5.0mm × 0.9mm のモジュール
- 青色 LED 1 個、赤外線 LED 1 個、フォトダイオード 2 個を内蔵
- センサー (CO や温度など) 接続用の 2 つの外部入力
- 3 つの 370mA LED ドライバ
- 1 周期で 20 ビットのサンプリングが可能な 20 ビット・バースト・アキュムレータ
- 各サンプルに対応するアキュムレータをオンボード実装し、データ読出しごとに最大 27 ビットを実現
- 信号に制限のある場合について最適化された S/N 比
- I<sup>2</sup>C または SPI 通信

#### アプリケーション

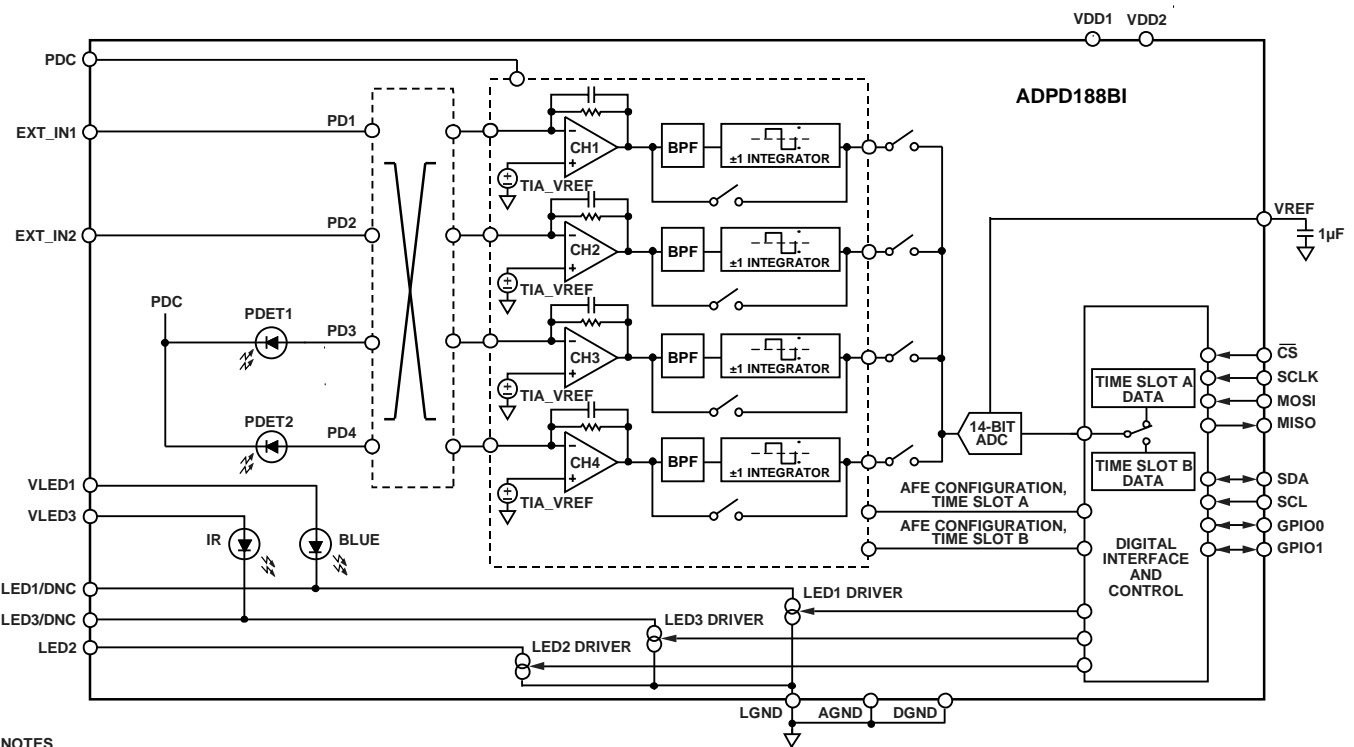
##### 煙検知

#### 概要

ADPD188BI は、デュアル光学波長技術を使用するフル機能の煙検知用フォトメトリック・システムです。このモジュールには、高効率のフォトメトリック・フロント・エンド、2 個の発光ダイオード (LED)、2 個のフォトダイオード (PD) が組み込まれています。これらの部品は、カスタム・パッケージに納められており、LED からの光が煙検知チャンバを通してフォトダイオードに照射されるように考案されています。

また、特定用途向け集積回路 (ASIC) のフロント・エンドは、制御ブロック、20 ビット・バースト・アキュムレータ付き 14 ビット A/D コンバータ (ADC)、および個別に設定できる柔軟な 3 つの LED ドライバで構成されています。制御回路には、柔軟な LED 信号伝送機能と同期検出機能が備わっています。アナログ・フロント・エンド (AFE) は、一般に周辺光によって生じる変調干渉に起因する信号のオフセットや破損を阻止する、クラス最高レベルの能力を備えています。データ出力と機能設定は、1.8V の I<sup>2</sup>C インターフェースまたはシリアル・パライフェラル・インターフェース (SPI) を介して行われます。

#### 機能ブロック図



NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN WHEN USING INTERNAL LEDs.

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

18385-001

## 目次

特長	1	SPI ポート	21
アプリケーション	1	アプリケーション情報	23
概要	1	代表的な接続図	23
機能ブロック図	1	ランド・パターン	23
改訂履歴	2	推奨されるスタートアップ・シーケンス	23
仕様	3	データの読出し	24
アナログ仕様	5	クロックとタイミングのキャリブレーション	25
デジタル仕様	6	GPIO0 と GPIO1 で利用できるオプションの タイミング信号	26
タイミング仕様	7	LED ドライバのピンと LED 電源電圧	27
絶対最大定格	9	LED ドライバの動作	27
熱抵抗	9	平均電流の決定	28
推奨のハンダ付けプロファイル	9	C <sub>VLED</sub> の決定	28
ESD に関する注意	9	外部 LED の使用	29
ピン配置およびピン機能の説明	10	消費電流の計算	29
代表的な性能特性	11	TIA ADC モード	30
動作原理	14	フロート・モード	33
はじめに	14	レジスタの一覧	40
光学部品	14	LED 制御レジスタ	44
デュアル・タイム・スロット動作	15	AFE 設定レジスタ	46
タイム・スロットの切替え	16	フロート・モード・レジスタ	49
調整可能なサンプリング周波数	17	システム・レジスタ	52
サンプリングの外部同期	17	ADC レジスタ	56
ステート・マシンの動作	17	データ・レジスタ	57
通常モードの動作とデータ・フロー	18	外形寸法	58
通信インターフェース	20	オーダー・ガイド	58
I <sup>2</sup> C インターフェース	20		

## 改訂履歴

6/2018—Revision 0: Initial Version

## 仕様

特に指定のない限り、VDD1 と VDD2 ピンに印加される電圧 (V<sub>DD</sub>) = 1.8V、T<sub>A</sub> = 全動作温度範囲。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>CURRENT CONSUMPTION</b>	See the Calculating Current Consumption section for the relevant equations				
Peak V <sub>DD</sub> Supply Current	Single-channel (Register 0x3C, Bits[8:3] = 0x38)		4.5		mA
V <sub>DD</sub> Standby Current			0.3		μA
Average V <sub>DD</sub> Supply Current	1 Hz data rate; LED offset = 25 μs; LED pulse period (t <sub>LED_PERIOD</sub> ) = 15 μs; LED peak current = 100 mA				
1 Pulse	Time Slot A only		0.8		μA
	Time Slot B only		0.7		μA
	Both Time Slot A and Time Slot B		1.0		μA
16 Pulses	Time Slot A only		1.9		μA
	Time Slot B only		1.8		μA
	Both Time Slot A and Time Slot B		3.3		μA
Average V <sub>LED</sub> Supply Current	1 Hz data rate; LED peak current = 100 mA, 2 μs LED pulse				
1 Pulse			0.2		μA
16 Pulses			3.2		μA
<b>SATURATION ILLUMINANCE<sup>1</sup></b>	Blackbody color temperature (T = 5500 K) <sup>2</sup> , PDET1 and PDET2 multiplexed into a single channel (1.2 mm <sup>2</sup> active area)				
Direct Illumination	Transimpedance amplifier (TIA) gain = 25 kΩ		13.0		kLux
	TIA gain = 50 kΩ		6.5		kLux
	TIA gain = 100 kΩ		3.25		kLux
	TIA gain = 200 kΩ		1.63		kLux
<b>DATA ACQUISITION</b>					
ADC Resolution	Single pulse		14		Bits
Per Sample	64 pulses to 255 pulses		20		Bits
Per Data Read	64 pulses to 255 pulses; 128 samples averaged		27		Bits
<b>LED PERIOD</b>	AFE width = 4 μs <sup>3</sup>	13	19		μs
	AFE width = 3 μs	11	17		μs
Sampling Frequency <sup>4</sup>	Time Slot A or Time Slot B; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		2000	Hz
	Both time slots; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Time Slot A or Time Slot B; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Both time slots; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1000	Hz
<b>CATHODE PIN (PDC) VOLTAGE</b>					
During All Sampling Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 <sup>5</sup>		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
During Time Slot A Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x0 <sup>5</sup>		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x2		TIA_VREF <sup>6</sup> + 0.25		V
During Time Slot B Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x3 <sup>7</sup>		0		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x0 <sup>5</sup>		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x2		TIA_VREF <sup>6</sup> + 0.25		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x3 <sup>7</sup>		0		V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
During Sleep Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x0		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x2		TIA_VREF <sup>6</sup> + 0.25		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x3		0		V
LEDs					
LED Peak Current Setting	Adjustable via the Register 0x22 through Register 0x25 settings	12		370	mA
Dominant Wavelength <sup>8</sup>					
LED1, Blue LED	I <sub>F</sub> = 20 mA		470		nm
LED3, IR LED	I <sub>F</sub> = 100 mA		850		
Luminous Intensity	λ = 470 nm, I <sub>F</sub> = 20 mA at 25°C	550		700	mcd
Radiant Flux	λ = 850 nm, I <sub>F</sub> = 100 mA at 25°C	33			mW
PHOTODIODE					
Responsivity	Wavelength, λ = 470 nm		0.2		A/W
	Wavelength, λ = 850 nm		0.4		A/W
Active Area					
Photodiode 1			0.4		mm <sup>2</sup>
Photodiode 2			0.8		mm <sup>2</sup>
POWER SUPPLY VOLTAGES	The ADPD188BI does not require a specific power-up sequence Applied at the VDD1 and VDD2 pins	1.7	1.8	1.9	V
V <sub>DD</sub>					
V <sub>LED1</sub> <sup>9, 10</sup>			5.0	6.0	V
V <sub>LED3</sub> <sup>9, 10</sup>			3.3	4.0	V
DC Power Supply Rejection Ratio (PSRR)	At 75% full scale input signal		24		dB
TEMPERATURE RANGE					
Operating		-40		+85	°C

<sup>1</sup> 飽和照度は、ADPD188BIの信号が飽和する際の周辺光の量です。実際の結果は、最大で代表仕様値の1/2から2倍の範囲で変動することがあります。基準として、エアマス1.5 (AM1.5)の太陽光(最も明るい太陽光)は100kLuxの明るさに相当します。

<sup>2</sup> 黒体の色温度 (T = 5800K) は、太陽放射 (太陽光) が生成する光のそれとほぼ一致します。

<sup>3</sup> 最小LED周期 = (2 × AFE幅) + 5μs。

<sup>4</sup> この仕様を示す最大値は、通常動作モードにおけるADCの内部サンプリング・レートです。構成によっては、PCの読み出しレートが原因で出力データ・レートが制限を受ける可能性があります。

<sup>5</sup> このモードは追加的なノイズを誘発する可能性があるため、必要な場合以外は推奨できません。1.8V設定では、アノード電圧に多くの差動電圧ノイズを含むV<sub>DD</sub>を使用します。アノードとカソード間の差動電圧により、フォトダイオードの接合両端間に差動電流が流れます。この電流の大きさはC × dV/dtで表されます。

<sup>6</sup> TIA\_VREFは、ADPD188BIによって生成される内部リファレンス電圧です。

<sup>7</sup> フォトダイオードを使用する場合、この設定は推奨できません。これは、フォトダイオードに1.3Vの順方向バイアスがかかるためです。

<sup>8</sup> I<sub>F</sub>はフォトダイオードの順方向電流です。

<sup>9</sup> V<sub>LEDx</sub>は、LEDx/DNCピンに接続されたLEDのオン電圧によって目的の最大LED電流を達成できるように設定します。LEDx/DNCピンはLEDxドライバに接続され、電流シンクとしてモデリングできます(図1参照)。適切なV<sub>LEDx</sub>を使用すれば、LEDx/DNCピンの電圧はLEDオン電圧とLED電流に適合するように自動的に調整されます。

<sup>10</sup> VLEDの最小電源電圧(V<sub>LED</sub>)の電流制限についての詳細は、図9を参照してください。

## アナログ仕様

特に指定のない限り、VDD1 = VDD2 = 1.8 V、T<sub>A</sub> = 全動作温度範囲。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
EXT_INx SERIES RESISTANCE (R_IN) <sup>1</sup>	Measured from -3 μA to +3 μA		6.5		kΩ
PULSED SIGNAL CONVERSIONS, 3 μs WIDE LED PULSE <sup>2</sup> ADC Resolution <sup>3</sup>	4 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 TIA feedback resistor				
	25 kΩ		3.27		nA/LSB
	50 kΩ		1.64		nA/LSB
	100 kΩ		0.82		nA/LSB
	200 kΩ		0.41		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 kΩ		26.8		μA
	50 kΩ		13.4		μA
	100 kΩ		6.7		μA
	200 kΩ		3.35		μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 kΩ		23.6		μA
	50 kΩ		11.8		μA
	100 kΩ		5.9		μA
	200 kΩ		2.95		μA
PULSED SIGNAL CONVERSIONS, 2 μs WIDE LED PULSE <sup>2</sup> ADC Resolution <sup>3</sup>	3 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 TIA feedback resistor				
	25 kΩ		4.62		nA/LSB
	50 kΩ		2.31		nA/LSB
	100 kΩ		1.15		nA/LSB
	200 kΩ		0.58		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 kΩ		37.84		μA
	50 kΩ		18.92		μA
	100 kΩ		9.46		μA
	200 kΩ		4.73		μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 kΩ		12.56		μA
	50 kΩ		6.28		μA
	100 kΩ		3.14		μA
	200 kΩ		1.57		μA
FULL SIGNAL CONVERSIONS <sup>4</sup> TIA Saturation Level Pulsed Signal and Ambient Level	TIA feedback resistor				
	25 kΩ		50.4		μA
	50 kΩ		25.2		μA
	100 kΩ		12.6		μA
	200 kΩ		6.3		μA
TIA Linear Range	TIA feedback resistor				
	25 kΩ		42.8		μA
	50 kΩ		21.4		μA
	100 kΩ		10.7		μA
	200 kΩ		5.4		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SYSTEM PERFORMANCE</b>					
Total Output Noise Floor	Normal mode; per pulse; per channel; no LED; photodiode capacitance ( $C_{PD}$ ) = 25 pF				
	25 k $\Omega$ ; referred to ADC input		1.0		LSB rms
	25 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		4.6		nA rms
	25 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		3.3		nA rms
	25 k $\Omega$ ; saturation signal-to-noise ratio (SNR) per pulse per channel <sup>5</sup>		78.3		dB
	50 k $\Omega$ ; referred to ADC input		1.1		LSB rms
	50 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		2.5		nA rms
	50 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		1.8		nA rms
	50 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		77.4		dB
	100 k $\Omega$ ; referred to ADC input		1.2		LSB rms
	100 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		1.4		nA rms
	100 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		0.98		nA rms
	100 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		76.7		dB
	200 k $\Omega$ ; referred to ADC input		1.4		LSB rms
	200 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		0.81		nA rms
200 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		0.57		nA rms	
200 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		75.3		dB	

<sup>1</sup> 電流源入力または PD 入力では、 $R_{IN}$  値を無視できます。この値は、抵抗経路で電圧を入力する場合の正しい電圧を計算する上で重要です。

<sup>2</sup> この飽和レベルは ADC のみに適用されるので、パルス信号のみが含まれています。パルス以外の信号は、ADC 段より前で除去されます。

<sup>3</sup> ADC 分解能はパルスごとに記載されています。複数のパルスを使用する場合は、パルス数で除してください。

<sup>4</sup> この飽和レベルは信号パス全体に適用されるので、周辺信号とパルス信号の両方が含まれています。

<sup>5</sup> 飽和 SNR 値のノイズ項は、受信ノイズのみを表し、光子撮影ノイズや LED 信号自体に重畳されるノイズは一切含まれていません。

## デジタル仕様

特に指定のない限り、 $V_{DD1} = V_{DD2} = 1.7V \sim 1.9V$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>LOGIC INPUTS</b>						
Input Voltage Level						
High	$V_{IH}$	GPIOx, SCLK, MOSI, $\overline{CS}$	$0.7 \times V_{DDx}$		$V_{DDx}$	V
High	$V_{IH}$	SCL, SDA	$0.7 \times V_{DDx}$		3.6	V
Low	$V_{IL}$				$0.3 \times V_{DDx}$	V
Input Current Level						
High	$I_{IH}$		-10		+10	$\mu$ A
Low	$I_{IL}$		-10		+10	$\mu$ A
Input Capacitance	$C_{IN}$			10		pF
<b>LOGIC OUTPUTS</b>						
Output Voltage Level						
High	$V_{OH}$	GPIOx, MISO	$V_{DDx} - 0.5$			V
Low	$V_{OL}$	2 mA high level output current			0.5	V
Output Voltage Level						
Low	$V_{OL1}$	SDA			$0.2 \times V_{DDx}$	V
Low	$V_{OL1}$	2 mA low level output current				V
Output Current Level						
Low	$I_{OL}$	SDA				
Low	$I_{OL}$	$V_{OL1} = 0.6$ V	6			mA

タイミング仕様  
I<sup>2</sup>C タイミングの仕様

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
SCL					
Frequency			1		Mbps
Minimum Pulse Width					
High	$t_1$	370			ns
Low	$t_2$	530			ns
START CONDITION					
Hold Time	$t_3$	260			ns
Setup Time	$t_4$	260			ns
SDA SETUP TIME	$t_5$	50			ns
SCL AND SDA					
Rise Time	$t_6$			120	ns
Fall Time	$t_7$			120	ns
STOP CONDITION					
Setup Time	$t_8$	260			ns

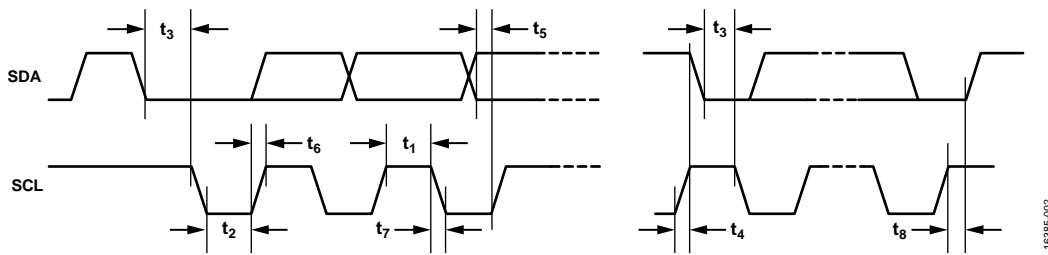


図 2. I<sup>2</sup>C タイミング図

16395-002

SPI タイミングの仕様

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SCLK						
Frequency	$f_{SCLK}$				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		20			ns
Low	$t_{SCLKPWL}$		20			ns
CS						
Setup Time	$t_{CSS}$	$\overline{CS}$ setup to SCLK rising edge	10			ns
Hold Time	$t_{CSH}$	$\overline{CS}$ hold from SCLK rising edge	10			ns
Pulse Width High	$t_{CSPWH}$	$\overline{CS}$ pulse width high	10			ns
MOSI						
Setup Time	$t_{MOSIS}$	MOSI setup to SCLK rising edge	10			ns
Hold Time	$t_{MOSIH}$	MOSI hold from SCLK rising edge	10			ns
MISO OUTPUT DELAY	$t_{MISOD}$	MISO valid output delay from SCLK falling edge			21	ns

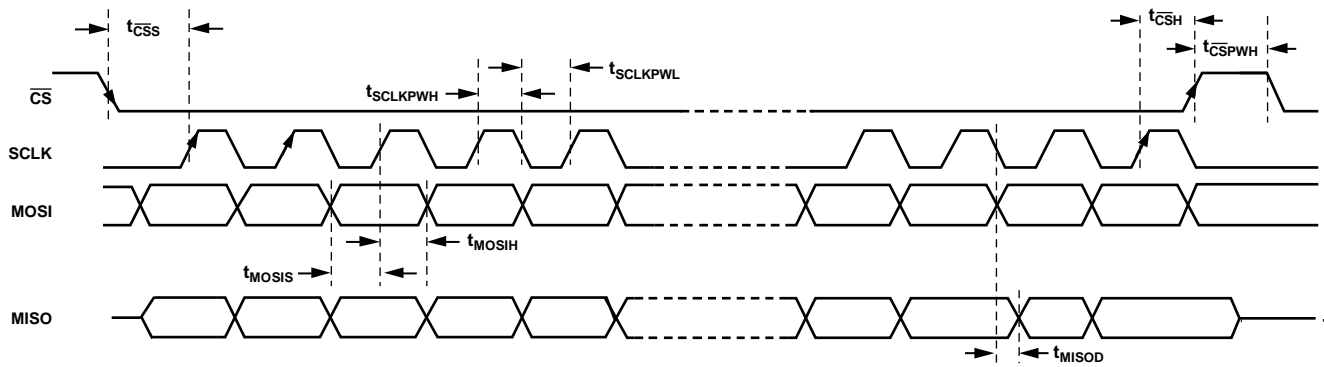


図 3. SPI タイミング図

163395-003



## 絶対最大定格

表 6.

Parameter	Rating
VDD1, VDD2 to AGND	-0.3 V to +2.2 V
VDD1, VDD2 to DGND	-0.3 V to +2.2 V
EXT_IN1/EXT_IN2	-0.3 V to +2.2V
GPIO0/GPIO1 to DGND	-0.3 V to +2.2 V
MISO/MOSI/SCLK/CS to DGND	-0.3 V to +2.2 V
LEDx/DNC to LGND	-0.3 V to +3.6 V
SCL/SDA to DGND	-0.3 V to +3.6 V
VLED1 to LGND <sup>1</sup>	-0.3 V to +6.0 V
VLED3 to LGND <sup>1</sup>	-0.3 V to +4.0 V
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	3000 V
Charged Device Model (CDM)	1250 V
Solder Reflow (Pb-Free)	
Peak Temperature	260 (+0/-5)°C
Time at Peak Temperature	<30 sec
Temperature Range	
Powered	-40°C to +85°C
Storage	-40°C to +105°C
Junction Temperature	105°C

<sup>1</sup> VLEDx と LGND の間で許容できる絶対最大電圧は、LEDx/DNC ピンが絶対最大電圧に達するか超過する電圧です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 7. 熱抵抗

Package Type <sup>1</sup>	Supply Pins	$\theta_{JA}$	Unit
CE-24-1			
ASIC	VDD1, VDD2	67	°C/W
LED1, LED3	VLED1, VLED3	156	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は JEDEC 2s2p と 2 個のサーマル・ビアに基づいています。JEDEC JESD-51 を参照してください。

## 推奨のハンダ付けプロファイル

図 4 と表 8 に、推奨するハンダ付けプロファイルの詳細を示します。

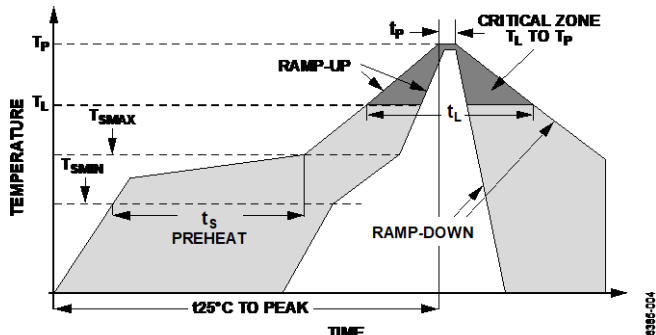


図 4. 推奨のハンダ付けプロファイル

表 8. 推奨のハンダ付けプロファイル

Profile Feature	Condition (Pb-Free)
Average Ramp Rate ( $T_L$ to $T_P$ )	2°C/sec max
Preheat	
Minimum Temperature ( $T_{SMIN}$ )	150°C
Maximum Temperature ( $T_{SMAX}$ )	200°C
Time, $T_{SMIN}$ to $T_{SMAX}$ ( $t_s$ )	60 sec to 120 sec
$T_{SMAX}$ to $T_L$ Ramp-Up Rate	2°C/sec max
Time Maintained Above Liquidous Temperature	
Liquidous Temperature ( $T_L$ )	217°C
Time ( $t_L$ )	60 sec to 150 sec
Peak Temperature ( $T_P$ )	260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature ( $t_p$ )	<30 sec
Ramp-Down Rate	3°C/sec max
Time 25°C to Peak Temperature	8 minutes max

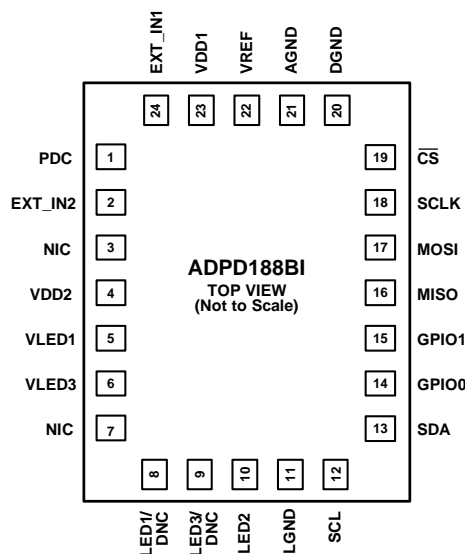
## ESD に関する注意



**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



## NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN WHEN USING INTERNAL LEADS.
2. NIC = NO INTERNAL CONNECTION. THIS PIN IS NOT INTERNALLY CONNECTED.

1638E-005

図 5. ピン配置

表 9. ピン機能の説明

Pin No.	Mnemonic	Type <sup>1</sup>	Description
1	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
2	EXT_IN2	AI	EXT_IN2 電流入力。
3	NIC	NIC	内部接続なし。このピンは、内部接続されていません。
4	VDD2	S	1.8V 電源。
5	VLED1	S	青色 LED のアノード電源電圧。
6	VLED3	S	IR LED のアノード電源電圧。
7	NIC	NIC	内部接続なし。このピンは、内部接続されていません。
8	LED1/DNC	AO/DNC	LED1 ドライバ電流シンク/接続禁止 (DNC)。内部 LED を使用する場合は、このピンを接続しないでください。
9	LED3/DNC	AO/DNC	LED3 ドライバ電流シンク/接続禁止 (DNC)。内部 LED を使用する場合は、このピンを接続しないでください。
10	LED2	AO	LED2 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
11	LGND	S	LED ドライバのグラウンド。
12	SCL	DI	I <sup>2</sup> C クロック入力。
13	SDA	DO	I <sup>2</sup> C データ出力。
14	GPIO0	DIO	汎用入出力 0。
15	GPIO1	DIO	汎用入出力 1。
16	MISO	DO	SPI マスタ入力/スレーブ出力。
17	MOSI	DI	SPI マスタ出力/スレーブ入力。
18	SCLK	DI	SPI クロック入力。
19	CS	DI	SPI チップ・セレクト (アクティブ・ロー)。
20	DGND	S	デジタル・グラウンド。
21	AGND	S	アナログ・グラウンド。
22	VREF	REF	内部で生成される ADC 電圧リファレンス。VREF とグラウンドの間には 1μF のセラミック・コンデンサを接続してください。
23	VDD1	S	1.8V 電源。
24	EXT_IN1	AI	EXT_IN1 電流入力。

<sup>1</sup> AO はアナログ出力、AI はアナログ入力、NIC は内部接続なし、S は電源、DNC は接続禁止、DI はデジタル入力、DO はデジタル出力、DIO はデジタル入力/出力、REF はアナログ・リファレンスです。

代表的な性能特性

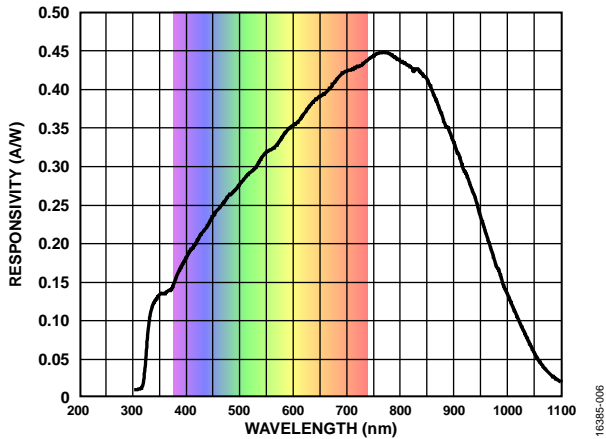


図 6. 代表的なフォトダイオード感度

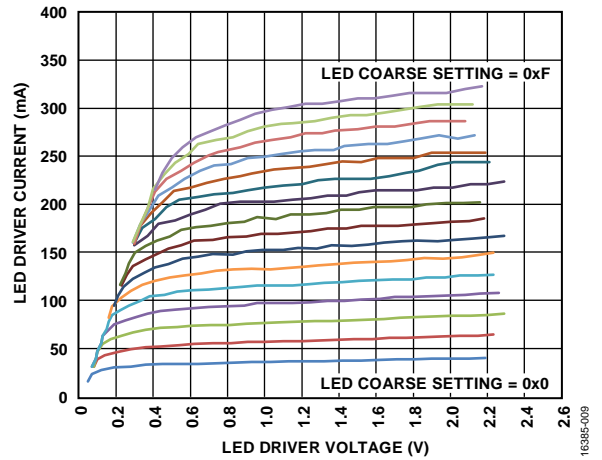


図 9. 各種の LED 粗設定値における LED ドライバ電流と LED ドライバ電圧の関係

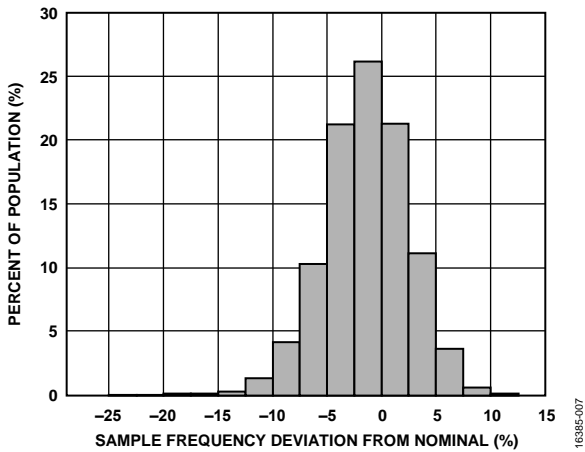


図 7. 32kHz クロック周波数の分布 (デフォルト設定、ユーザによるキャリブレーション前、レジスタ 0x4B = 0x2612)

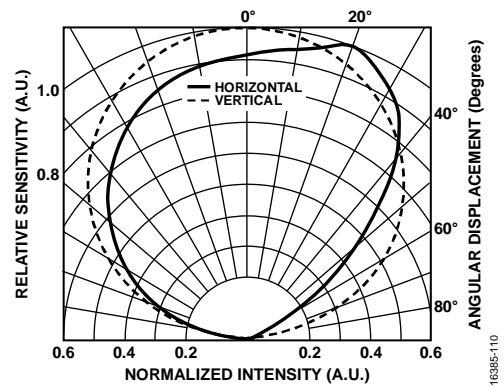


図 10. PDET1 相対放射感度と角度変位の関係

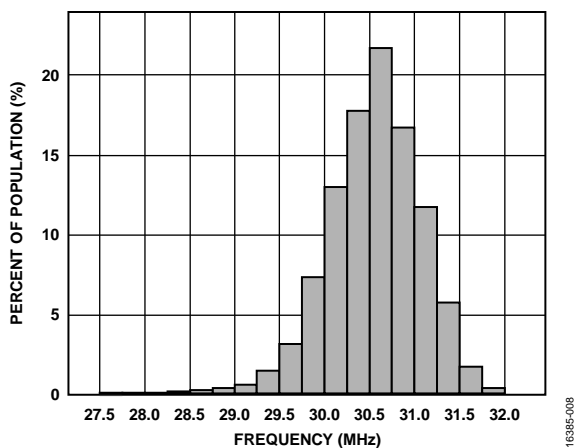


図 8. 32MHz クロック周波数の分布 (デフォルト設定、ユーザによるキャリブレーション前、レジスタ 0x4D = 0x425E)

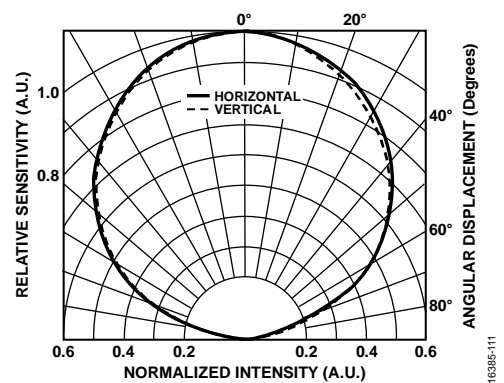


図 11. PDET2 相対放射感度と角度変位の関係

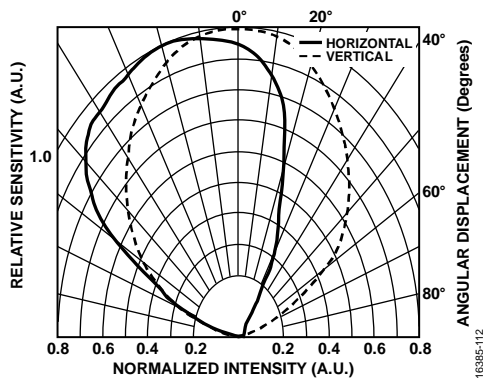


図 12. 青色 LED の相対強度と角度変位の関係

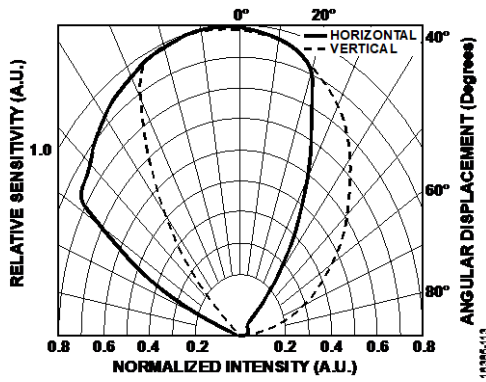


図 13. IR LED の相対強度と角度変位の関係

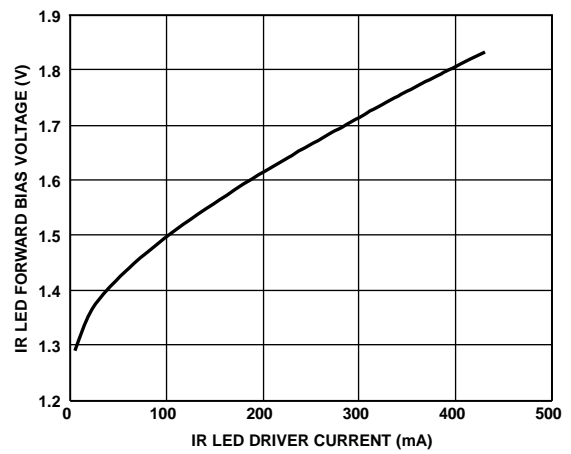


図 14. IR LED 順方向バイアス電圧と IR LED ドライバ電流の関係

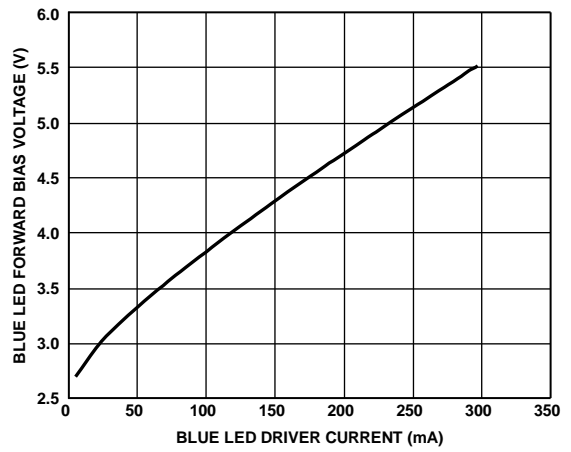


図 15. 青色 LED 順方向バイアス電圧と 青色 LED ドライバ電流の関係

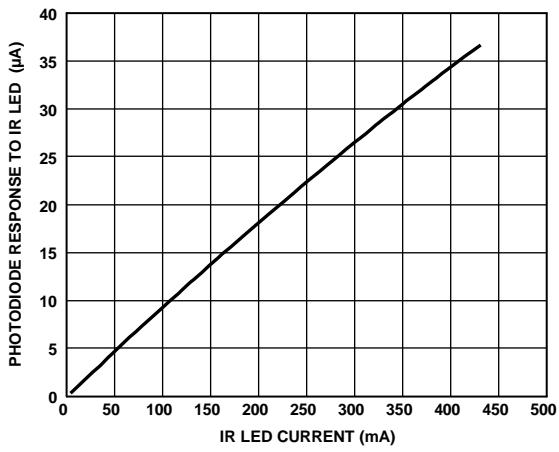


図 16. IR LED に対するフォトダイオードの応答と IR LED 電流の関係

16385-218

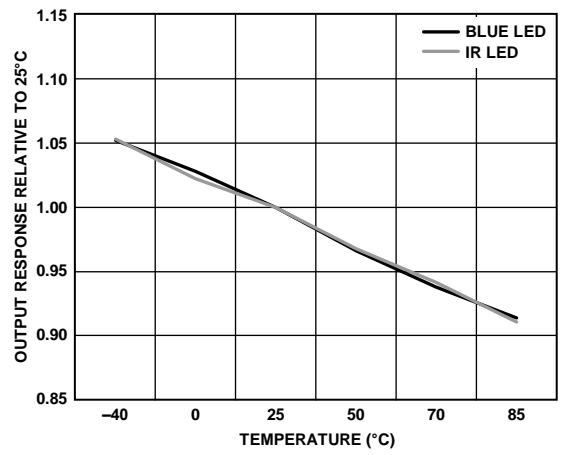


図 18. 25°C 基準の相対出力応答性と温度の関係

16385-200

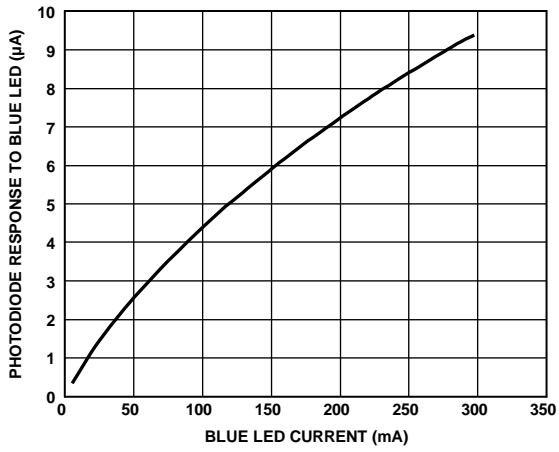


図 17. 青色 LED に対するフォトダイオードの応答と 青色 LED 電流の関係

16385-219

## 動作原理

### はじめに

ADPD188BIは、煙検知測定用に設計されたフル機能の集積化光学モジュールです。このモジュールには2つの光学ディテクタが組み込まれています。フォトディテクタ1 (PDET1) の受感部面積は  $0.4\text{mm}^2$  で、ASIC のチャンネル3に接続されています。フォトディテクタ2 (PDET2) の受感部面積は  $0.8\text{mm}^2$  で、ASIC のチャンネル4に接続されています。これら2つのフォトダイオードを組み合わせることで、 $1.2\text{mm}^2$  の受感部を持つ1つのディテクタとして使用することができます。このモジュールは、2個のLEDと2個のフォトディテクタ、およびミックスド・シグナル・フォトメトリック・フロント・エンド ASIC を組み合わせて、光学測定用のコンパクトな1つのデバイスにまとめられています。デュアル波長のADPD188BIは、470nmの青色LEDと850nmのIR LEDを使用しています。異なる波長を組み合わせることで散乱測定を行うことにより、異なる種類の煙、埃、水蒸気などの粒子サイズを区別することが可能になります。オンボードASICには、アナログ信号処理ブロック、ADC、デジタル信号処理ブロック、I<sup>2</sup>CおよびSPI通信インターフェース、および個別にプログラム可能な3つのパルスLED電流源が含まれています。

コア回路はLEDを駆動し、それに応答する光リターン信号を測定します。データは出力レジスタから直接読み出すか、先入れ先出し (FIFO) バッファを通じて読み出すことができます。

この高集積化光学ソリューションを使用すれば、過酷な環境下において埃や蒸気、その他の妨害要因で発生する煙アラームの誤作動を減らし、低消費電力で小フットプリントのソリューションを実現することができます。

### 光学部品

#### フォトダイオード

ADPD188BIは、 $1.2\text{mm}^2$  のディープ接合フォトダイオードを内蔵しています。光学センシング領域は、ASICのチャンネルPD3とPD4に接続されたデュアル・ディテクタです。フォトダイオードには、タイム・スロットAまたはタイム・スロットBからアクセスできます。ADPD188BIのフォトダイオードの感度を図6に示します。

#### LED

ADPD188BIモジュールは、青色LEDとIR LEDを1個ずつ内蔵しています。

表 10. LED の主要波長

LED Color	Driver	Typical Wavelength (nm)
Blue	LED1	470
IR	LED3	850

ADPD188BIは、内蔵LEDに加えて外付けのLEDも駆動できます。

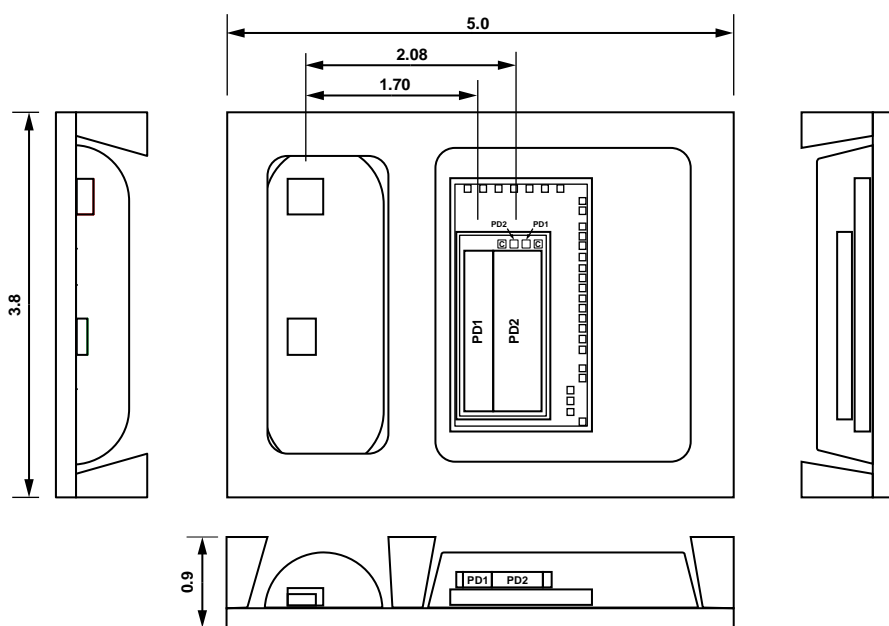


図 19. 光学部品の位置

### デュアル・タイム・スロット動作

ADPD188BIは、順番に実行される2つの独立したタイム・スロット、つまりタイム・スロットAとタイム・スロットBで動作します。LEDを励起してからデータをキャプチャし、処理を実行するまでの信号パス全体が、各タイム・スロット内で実行されます。各タイム・スロットには個別のデータパスがあります。これらのデータパスは、LEDドライバ、AFEのセットアップ、結果データごとに、独立した設定を使用します。タイム・スロットAとタイム・スロットBは、図20に示すようにサンプリング周期ごとに順番に動作します。

図20のタイミング・パラメータは、次のように定義されます。

$$t_A (\mu\text{s}) = 25 + n_A \times 19$$

ここで、 $n_A$ はタイム・スロットAに対応するパルス数（レジスタ0x31、ビット[15:8]）です。

$$t_B (\mu\text{s}) = 25 + n_B \times 19$$

ここで、 $n_B$ はタイム・スロットBに対応するパルス数（レジスタ0x36、ビット[15:8]）、

$t_1 = 68\mu\text{s}$ （タイム・スロットAの処理時間）、

$t_2 = 20\mu\text{s}$ （タイム・スロットBの処理時間）で、

$f_{\text{SAMPLE}}$ はサンプリング周波数（レジスタ0x12、ビット[15:0]）です。

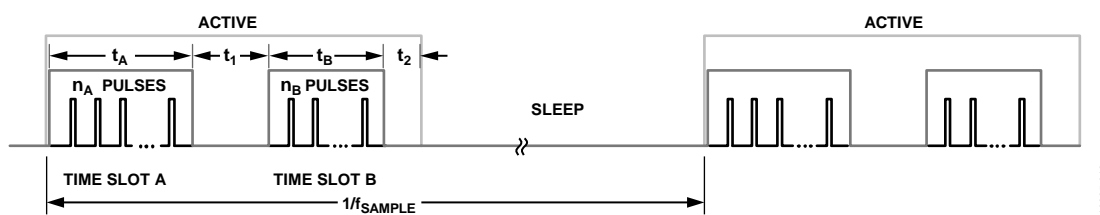


図 20. タイム・スロットのタイミング図

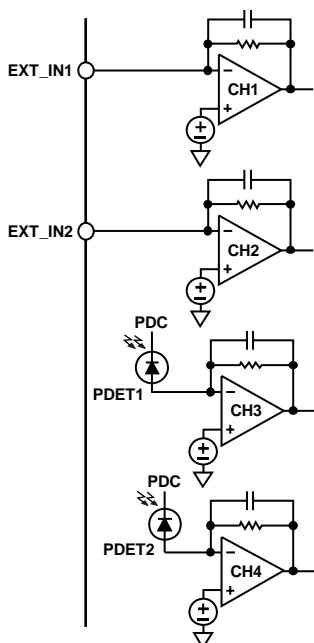
表 11. AFE および LED の推奨タイミング設定

Register Name	Address		Recommended Setting
	Time Slot A	Time Slot B	
SLOTx_LEDPULSE	0x30	0x35	0x0319
SLOTx_AFE_WINDOW	0x39	0x3B	0x2209

### タイム・スロットの切替え

レジスタ 0x14 の設定によって、4つの入力チャンネルを異なる構成にすることができます。また、内蔵フォトダイオードはチャンネル3とチャンネル4に接続するか、チャンネル1にまとめることができます。更に、外部入力 EXT\_IN1 と EXT\_IN2 は、チャンネル1とチャンネル2に接続するか、チャンネル2にまとめることができます。サポートされている構成については、図 21 と図 22 を参照してください。図 21 と図 22 において、PDET1 はフォトダイオード 1、PDET2 はフォトダイオード 2 です。

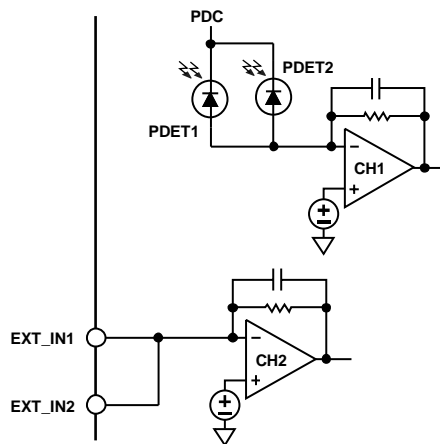
タイム・スロット切替えレジスタについては、表 12 を参照してください。デバイスが正しく動作するように、未使用の入力はフロート状態のままにしておくことが重要です。フォトダイオードの入力は電流ですが、これらのピンは電圧を出力するものとも見なされます。これらの入力をいずれかの電圧に接続すると、アナログ・ブロックが飽和する可能性があります。



INPUT CONFIGURATION FOR  
REGISTER 0x14[11:8] = 5  
REGISTER 0x14[7:4] = 5

図 21. PD1~PD

16385E-014  
4 の接続



INPUT CONFIGURATION FOR  
REGISTER 0x14[11:8] = 1  
REGISTER 0x14[7:4] = 1

図 22. 電流の合計

16385E-015

表 12. タイム・スロットの切替え (レジスタ 0x14)

Address	Bits	Name	Description
0x14	[11:8]	SLOTB_PD_SEL	これらのビットは、図 21 と図 22 に示すタイム・スロット B の入力チャンネル接続を選択します。 0x0 : タイム・スロット B の入力はフロート状態です。 0x1 : タイム・スロット B の期間中、PDET1 と PDET2 をチャンネル 1 に接続し、EXT_IN1 と EXT_IN2 をチャンネル 2 に接続します。 0x5 : タイム・スロット B の期間中、EXT_IN1 をチャンネル 1 に、EXT_IN2 をチャンネル 2 に接続し、PDET1 をチャンネル 3 に、PDET2 をチャンネル 4 に接続します。 その他 : 予備。
	[7:4]	SLOTA_PD_SEL	これらのビットは、図 21 と図 22 に示すタイム・スロット A の入力チャンネル接続を選択します。 0x0 : タイム・スロット A の入力はフロート状態です。 0x1 : タイム・スロット A の期間中、PDET1 と PDET2 をチャンネル 1 に接続し、EXT_IN1 と EXT_IN2 をチャンネル 2 に接続します。 0x5 : タイム・スロット A の期間中、EXT_IN1 をチャンネル 1 に、EXT_IN2 をチャンネル 2 に接続し、PDET1 をチャンネル 3 に、PDET2 をチャンネル 4 に接続します。 その他 : 予備。



## 調整可能なサンプリング周波数

レジスタ 0x12 は ADPD188BI のサンプリング周波数設定を制御し、レジスタ 0x4B のビット [5 : 0] は精度を上げるために、更にこのクロックを調整します。サンプリング周波数は内蔵の 32kHz サンプル・レート・クロックで管理されますが、このクロックは内部ステート・マシンの遷移にも使われます。いくつかのサンプル条件に対する最大サンプリング周波数を表 1 に示します。すべての条件に対する最大サンプル周波数  $f_{\text{SAMPLE\_MAX}}$  は、次式で決定されます。

$$f_{\text{SAMPLE\_MAX}} = 1 / (t_A + t_1 + t_B + t_2 + t_{\text{SLEEP\_MIN}})$$

ここで、 $t_{\text{SLEEP\_MIN}}$  は複数のサンプリング間に必須の最小スリープ時間です。 $t_A$ 、 $t_1$ 、 $t_B$ 、および  $t_2$  の定義については、デュアル・タイム・スロット動作のセクションを参照してください。

特定のタイム・スロットを使用しない場合、そのタイム・スロットに属する要素は、計算に寄与しません。例えば、タイム・スロット A を使用しない場合、 $t_A$  と  $t_1$  はサンプリング期間に寄与しません。この場合、新しいサンプリング周波数は次のように計算されます。

$$f_{\text{SAMPLE\_MAX}} = 1 / (t_B + t_2 + t_{\text{SLEEP\_MIN}})$$

## サンプリングの外部同期

ADPD188BI には、外部同期信号を使用してサンプリング周期をトリガするオプションがあります。この外部サンプリング同期信号は、GPIO0 ピンまたは GPIO1 ピンのどちらかに供給できます。この機能を制御するのは、レジスタ 0x4F のビット [3 : 2] です。この機能を有効にすると、次のサンプリング期間の開始時期は、選択した入力の立上がりエッジによって指定されます。トリガされた時点で、1 つまたは 2 つのサンプリング・クロック (32kHz) 分の遅延が発生した後、通常のスタートアップ・シーケンスが開始されます。このシーケンスは、通常のサンプリング・タイマー期間でトリガを行う場合と同じです。外部同期信号を有効にするには、次の手順を使用します。

1. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
2. レジスタ 0x4F のビット [3 : 2] に適切な値を書き込み、GPIO0 と GPIO1 のどちらのピンが次のサンプリング・サイクルの開始時期を決定するか選択します。また、適切な入力バッファを有効にするため、GPIO0 ピンにはレジスタ 0x4F のビット 1 を使用し、GPIO1 ピンにはレジスタ 0x4F のビット 5 を使用します。
3. レジスタ 0x38 に 0x4000 を書き込みます。
4. レジスタ 0x10 に 0x2 を書き込み、サンプリング動作を開始します。
5. 選択したピンに対して、希望のレートで外部同期信号を印加します。サンプリングはこのレートで実施されます。通常のサンプリング動作の場合と同様、FIFO またはデータ・レジスタを使用してデータを読み出します。この場合も、最大周波数に関する制約が適用されます。

## 32kHz 外部クロックの供給

ADPD188BI には、システム同期や、内部 32kHz クロックよりも高精度のクロックが必要な場合のために、外部 32kHz クロックを供給するオプションがあります。この 32kHz の外部クロックは、GPIO1 ピンだけに供給されます。32kHz の外部クロックを有効にするには、スタートアップ時に次の手順に従います。

1. GPIO1 ピンを入力として使用する前に、GPIO1 を適切なロジック・レベルに設定するか、希望の 32kHz クロックで駆動します。このピンをフロート状態にしたまま、有効にすることを避けてください。
2. レジスタ 0x4F のビット [6 : 5] に 0x1 を書き込み、GPIO1 ピンを入力としてイネーブルします。
3. レジスタ 0x4B のビット [8 : 7] に 0x2 を書き込み、32kHz 外部クロックを使用するようにデバイスを設定します。この設定により、32kHz 内部クロックは無効になり、32kHz 外部クロックが有効になります。
4. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
5. デバイスがプログラム・モードの状態で、その他のコントロール・レジスタに任意の順番で書き込みを行い、必要に応じてデバイスを設定します。
6. レジスタ 0x10 に 0x2 を書き込んで、通常のサンプリング動作を開始します。

## ステート・マシンの動作

各タイム・スロットにおいて、ADPD188BI はステート・マシンに従って動作します。ステート・マシンは図 23 に示すシーケンスで動作します。

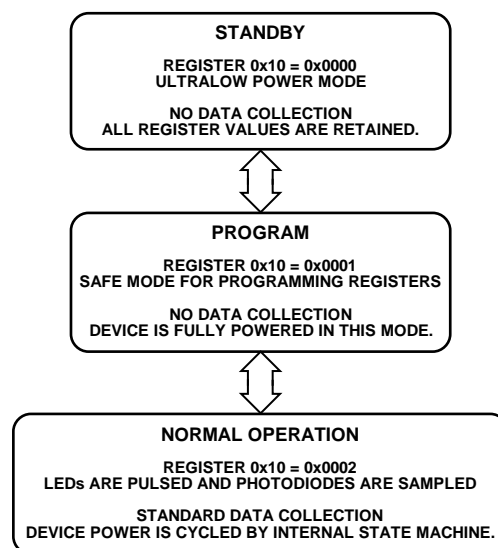


図 23. ステート・マシンの動作フローチャート

16385-016

ADPD188BI は、スタンバイ・モード、プログラム・モード、通常サンプリング・モードの 3 モードのいずれか 1 つで動作します。

スタンバイ・モードは節電モードで、データ収集は行われません。このモードでは、すべてのレジスタ値が維持されます。デバイスをスタンバイ・モードにするには、レジスタ 0x10 のビット [1 : 0] に 0x0 を書き込みます。スタンバイ・モードでは、デバイスは通電状態になっています。

レジスタのプログラム（書込み）を行う場合は、プログラム・モードを使用します。レジスタ書込み時やモード変更時は、常に ADPD188BI をプログラム・モードに切り替えてください。プログラム・モードでは電源のオン/オフが行われないので、通常動作時よりもデバイスの消費電流量が大きくなる可能性があります。デバイスをプログラム・モードにするには、レジスタ 0x10 のビット [1 : 0] に 0x1 を書き込みます。

通常動作時、ADPD188BI は、パルス光を発生してデータを収集します。このモードにおける消費電力は、パルス数とデータ・レートに依存します。デバイスを通常サンプリング・モードにするには、レジスタ 0x10 のビット [1 : 0] に 0x2 を書き込みます。

### 通常モードの動作とデータ・フロー

通常動作モードの ADPD188BI は、ステート・マシンによってセットアップされる特定パターンに従って動作します。このパターンを図 24 の対応データ・フロー図に示します。このパターンを、順を追って以下に示します。

1. LED パルスとサンプル。ADPD188BI が外部 LED にパルスを出力し、反射光に対するフォトダイオードの応答を測定します。各データ・サンプルは、 $n$  個のパルスに対応する結果の合計です。ここで、 $n$  は 1~255 の範囲で設定できます。
2. サンプル間の平均。必要な場合は、2 のべき乗を 2~128 個の範囲で使用し、ロジックで  $n$  個のサンプルの平均を求めて、出力データとして生成できます。新しい出力データは、 $N$  個のサンプルごとに出力レジスタ内に保存されます。
3. データ読出し。ホスト・プロセッサは、データ・レジスタまたは FIFO から変換したデータを読み出します。
4. 反復。このシーケンスには、数種類の異なるループが存在しています。このため、異なる種類の平均を使用できるほか、両方のタイム・スロットを時間的に近接した状態に維持することもできます。

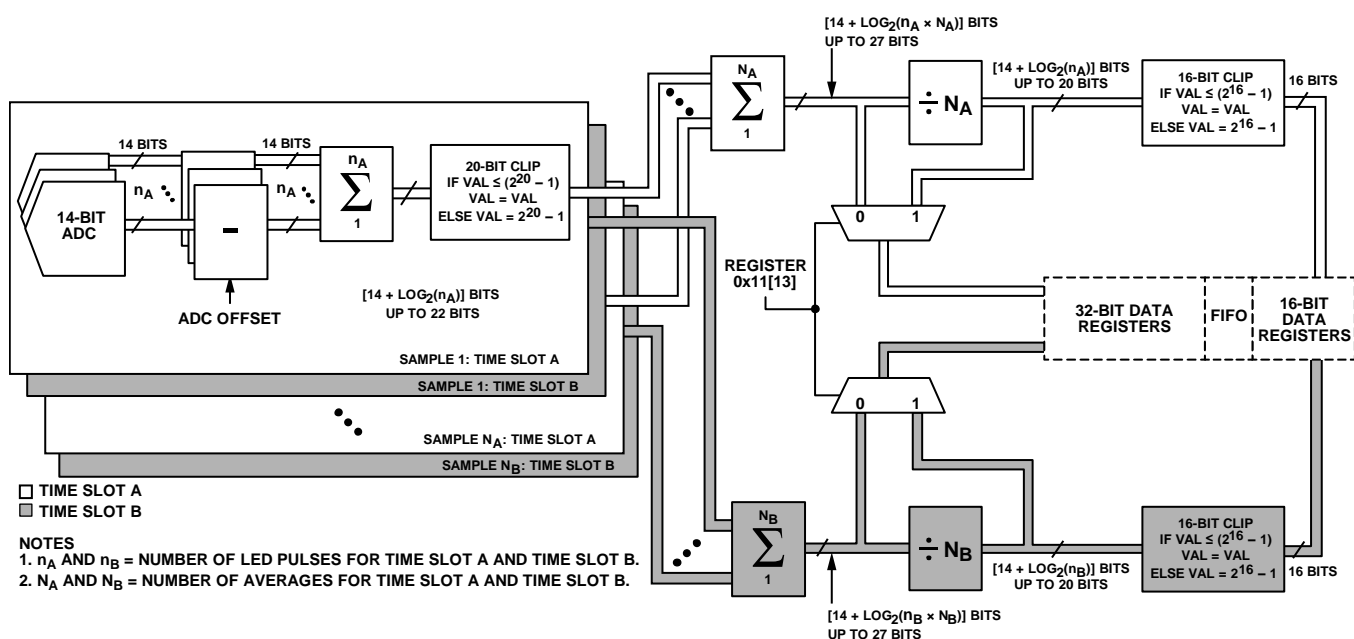


図 24. ステート・マシンの動作シーケンス（データパス）

## LED パルスとサンプル

図 20 に示すように、各サンプリング周期において、選択された LED ドライバが一連の LED パルスを駆動します。パルスの振幅、持続期間、個数は、通信インターフェース経由で設定します。各 LED パルスは単一の検出期間と重なるので、検出された値は、対応する LED パルスの応答として収集された総電荷を表します。周辺光など、LED パルスに対応しない電荷は除去されます。

各 LED パルスの後に、パルス形式の LED 信号に関連するフォトダイオード出力がサンプリングされ、14 ビットの ADC によってデジタル値に変換されます。サンプリング期間内に実行される後続の各変換の結果は、直前の結果に加算されます。各サンプリング期間内に、ADC から出力された最大 255 個のパルス値の合計を計算できます。各サンプリング期間の最大範囲は 20 ビットです。

## 平均値の算出

ADPD188BI は、信号分解能向上のために、サンプルを蓄積して平均値を算出する機能を備えています。

サンプリング期間内に、AFE は最大 256 個の順次パルスの合計を計算できます。図 24 に示すように、AFE が収集したサンプルは AFE 出口で 20 ビットにクリップされます。複数のサンプリング期間にわたって平均化を実行することで、分解能を最大 27 ビットまで向上できます。N 個のサンプルで構成された累積データは、27 ビットの値として格納され、32 ビット出力レジスタを使用して直接読み出すか、または 32 ビット FIFO 構成を使用して読み出すことができます。

レジスタによってセットアップされた平均算出機能を使用するときは、後に続くパルスを 2 の累乗で平均することができます。ユーザは平均化に使用するサンプルの個数として、2、4、8 など、最大 128 までの値を選択できます。パルス・データは、AFE によりサンプリング周波数  $f_{\text{SAMPLE}}$  (レジスタ 0x12 を参照)

で収集されますが、新しいデータは、N 番目のサンプルごとに  $f_{\text{SAMPLE}}/N$  のレートでレジスタに書き込まれます。この新しいデータは、以前の N 個のサンプルの合計によって構成されます。32 ビットの合計全体は、32 ビット・レジスタに書き込まれます。ただし、このデータを FIFO に送信する前に、N による除算が実行されます。この除算はビット深度を維持し、FIFO におけるクリッピングを防止します。

複数のサンプル平均化でこの手法を使用すると、ノイズを低減するだけでなく、16 ビットの分解能を維持することができます。パルス数レジスタの値を 8 以下に維持すれば、16 ビット幅を超過することはありません。つまり、レジスタ 0x15 を使用して後続のパルスを平均化する場合、16 ビット幅を超過せずに多くのパルスを累積することができます。この設定により、ホスト・プロセッサが必要とする FIFO の読出し回数を減らすことができます。

## データ読出し

ホスト・プロセッサは、通信インターフェースを介して ADPD188BI から出力データを読み出します。この読出しは、データ・レジスタまたは FIFO から行います。N 個のサンプルごとに、新しいデータを利用できるようになります。ここで、N はユーザが設定した平均化の係数です。タイム・スロット A とタイム・スロット B の平均化係数は、互いに独立した値に設定できます。これらの係数が等しい場合、両方のタイム・スロットで FIFO にデータを保存するように設定することもできます。2 つの平均化係数が異なる場合、FIFO にデータを保存できるのはどちらか 1 つのタイム・スロットのみです。もう一方のタイム・スロットから得られたデータは、出力レジスタから読み出すことができます。

データの読出し操作の詳細については、データの読出しのセクションを参照してください。

## 通信インターフェース

ADPD188BIはSPIとI<sup>2</sup>C両方のシリアル・インターフェースをサポートしていますが、実際のアプリケーションで一度に使用できるのはどちらか一方のみです。すべての内部レジスタには、選択した通信インターフェースを経由してアクセスします。

### I<sup>2</sup>C インターフェース

ADPD188BIのI<sup>2</sup>CはUM10204 I<sup>2</sup>Cバス仕様とユーザ・マニュアルのRev. 05 (9 October 2012, NXP Semiconductors から入手可能) に適合しており、デバイスは高速モード (400kbps) のデータ転送をサポートしています。また、レジスタの読出し動作と書込み動作は、図 25 に示す方法でサポートされています。デバイスの7ビットI<sup>2</sup>Cスレーブ・アドレスは0x64です。I<sup>2</sup>Cインターフェースを使用する場合は、CSピンをハイにしてSPIポートをディセーブルする必要があります。

シングルワード書込みとマルチワード読取りの各動作がサポートされています。単一レジスタの読出しの場合、2番目のデータ・バイトを読み出した後、ホストはNACK (ノー・アクノレッジ) を送信します。この場合、アクセスするごとに新しいレジスタ・アドレスが必要です。

マルチワード動作の場合、最後のワードの最終バイトを読み出すまで、各データ・バイト・ペアに続いてホストからアクノレッジ (ACK) が送信されます。ホストは、ノー・アクノレッジを送信する方法で、最後のワード読出しが行われたことを示します。FIFO (レジスタ 0x60) から読み出す場合、データはFIFO内の次のアドレスへ自動的に進み、既に読み出したスペース (アドレス) は解放されます。他のレジスタから読み出す場合、レジスタ・アドレスは自動的に次のレジスタへ進むので、各レジスタのアドレスを設定し直すことなく読出しが可能で、複数レジスタを読み出す際に必要なオーバーヘッドを減らすことができます。この自動インクリメントは、FIFOの前のレジスタ (0x5F) や最後のデータ・レジスタ (0x7E) には適用されません。

レジスタ書込みはいずれもシングルワードのみで、16ビット (1ワード) のデータが必要です。

ソフトウェア・リセット (レジスタ 0x0F のビット 0) により、アクノレッジが返されます。その後、デバイスはスタンバイ・モードに戻り、すべてのレジスタがデフォルト状態になります。

表 13. I<sup>2</sup>C用語の定義

Term	Description
SCL	シリアル・クロック。
SDA	シリアル・アドレスとデータ。
Master	転送を開始してクロック信号を生成し、最後に転送を終了させるデバイス。
Slave	マスタによってアドレスが指定されるデバイス。ADPD188BIはスレーブ・デバイスとして動作します。
Start (S)	SCLがハイ・レベルの状態でのSDAライン上のハイ・レベルからロー・レベルへの遷移。すべてのトランザクションは、開始条件により開始されます。
Start (Sr)	反復開始条件。
Stop (P)	SCLがハイ・レベルの状態でのSDAライン上のロー・レベルからハイ・レベルへの遷移。停止条件により、すべてのトランザクションが終了します。
ACK	アクノレッジ (ACK) またはノー・アクノレッジ (NACK) のときのクロック・パルスでSDAラインがローになり、その状態が維持されます。
NACK	ACKまたはNACKクロック・パルス時には、SDAラインがハイの状態に維持されます。
Slave Address	起動 (S) 後に7ビットのスレーブ・アドレスが送られ、その後にデータ方向ビット (読出しまたは書込み) が続きます。
Read (R)	1はデータ要求を示します。
Write (W)	0は送信を示します。

#### I<sup>2</sup>C WRITE

REGISTER WRITE									
MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA[15:8]	DATA[7:0]	STOP				
SLAVE	ACK	ACK	ACK	ACK	ACK				

#### I<sup>2</sup>C SINGLE-WORD READ MODE

REGISTER READ										
MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	NACK	STOP	
SLAVE	ACK	ACK		ACK	ACK	DATA[15:8]	DATA[7:0]			

#### I<sup>2</sup>C MULTIWORD READ MODE

REGISTER READ										
MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	ACK/NACK	STOP	
SLAVE	ACK	ACK		ACK	ACK	DATA[15:8]	DATA[7:0]			

NOTES  
1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

DATA TRANSFERRED  
n (DATA[15:8] + ACK + DATA[7:0] + ACK/NACK)

図 25. I<sup>2</sup>C 読出し動作と書込み動作

### SPI ポート

SPI ポートは4線インターフェースを使用します。このポートは、CS、MOSI、MISO、SCLK の各信号で構成されており、常にスレーブ・ポートとして動作します。CS はトランザクションを開始する際にローになり、トランザクションを終了する際にハイになります。SCLK 信号は、ローからハイに遷移するときに MOSI をラッチします。MISO データは、SCLK の立下がりエッジでデバイスからシフト出力されます。また、SCLK の立上がりエッジでは、マイクロコントローラのような受信デバイスに対してクロックを供給する必要があります。MOSI 信号はシリアル入力データを伝送し、MISO 信号はシリアル出力データを伝送します。MISO 信号は、読み出し動作が要求されるまでスリーステート (Z) を維持します。この結果、他の SPI 互換ペリフェラルが同じ MISO ラインを共有できます。すべての SPI トランザクションは、表 14 に示す共通の基本フォーマットを使用します。タイミング図を図 3 に示します。どのデータも、MSB フェーストで書き込みます。

表 14. 一般的な制御ワード・シーケンス

Byte 0	Byte 1	Byte 2	Subsequent Bytes
Address[6:0], W/R	Data[15:8]	Data[7:0]	Data[15:8], Data[7:0]

SPI トランザクションで最初に書き込まれるバイトは、7 ビットのアドレスです。これは、アクセスしようとするアドレスの場所を表しており、その後に W/R ビットが続きます。このビットで、通信が書き込み (ロジック・レベル 1) または読み出し (ロジック・レベル 0) のどちらであるかを決定します。このフォーマットを表 15 に示します。

表 15. SPI アドレスと W/R のバイト・フォーマット

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
A6	A5	A4	A3	A2	A1	A0	W/R

MOSI ピンのデータはクロックの立上がりエッジでキャプチャされ、MISO ピンによりクロックの立下がりエッジで伝搬されます。SPI スレーブ・ポートの最大読み出し/書き込み速度は 10MHz です。

単一のレジスタに対するマルチワード SPI 書き込み動作のサンプル・タイミングを図 26 に、シングルワード SPI 読み出し動作のサンプル・タイミングを図 27 に示します。MISO ピンは、有効な R ビットを受信した後、3 ステート (Z) から駆動される状態に遷移します。この例では、バイト 0 はアドレスと W/R ビットで構成されており、それ以降のバイトはデータを伝送します。マルチワード SPI 読み出し動作のサンプル・タイミングを図 28 に示します。図 26~図 28 では、SCLK の立上がりエッジを上向きの矢印で示していますが、これは、この立上がりエッジでデータ・ラインがサンプリングされることを表しています。

0x5F、0x60 (FIFO)、0x7F の各アドレスを除き、マルチワードの読み取りまたは書き込みを行う場合、データ・アドレスは後続のトランザクションに備えて、次の連続アドレスへ自動的にインクリメントします。

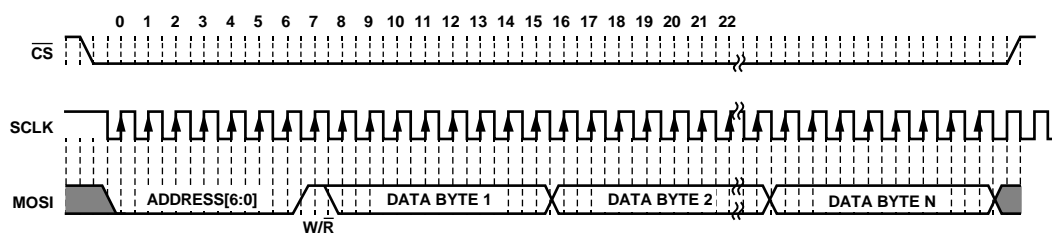


図 26. SPI スレーブ書き込み用のクロック供給 (バースト書き込みモード、N バイト)

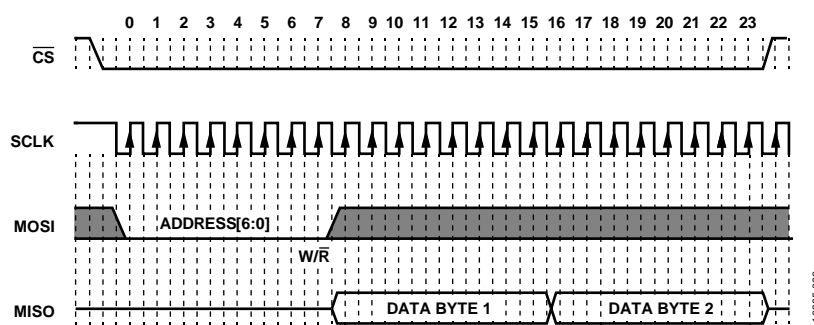


図 27. SPI スレーブ読み出し用のクロック供給 (シングルワード・モード、2 バイト)

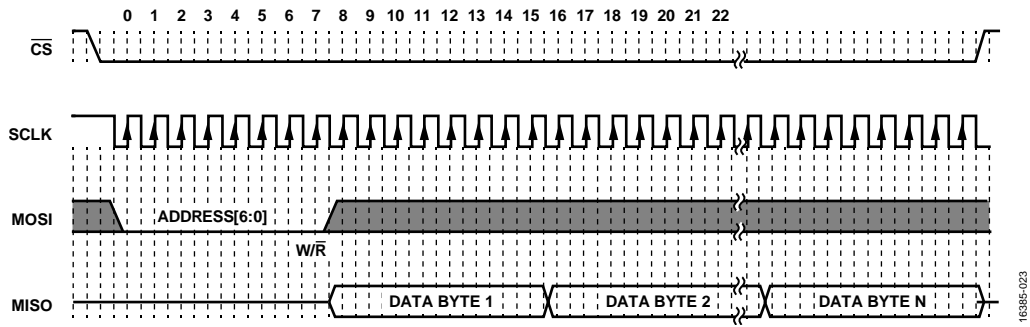


図 28. SPI スレーブ読み出し用のクロック供給（バースト読み出しモード、N バイト）

## アプリケーション情報

### 代表的な接続図

図 29 に SPI 通信ポートを使用する ADPD188BI の推奨接続図を、図 30 に I<sup>2</sup>C ポートを使用する回路を示します。必要な通信ポートと、GPIO0 および GPIO1 ラインは、システムのマイクロプロセッサまたはセンサー・ハブに接続してください。SPI ポート使用時は、SDA ピンと SCL ピンのハイを 1.8V に接続して、I<sup>2</sup>C インターフェースをディスエーブルする必要があります。また、I<sup>2</sup>C インターフェース使用時は、CS を 1.8V に接続して SPI をディスエーブルする必要があります。未使用の入力 SCLK と MOSI はグラウンドに接続してください。EXT\_IN1 ピンと EXT\_IN2 ピンは電流入力で、外部センサーに接続できます。電圧源は、直列抵抗を介して EXT\_IN1 ピンと EXT\_IN2 ピンに接続し、電圧を効率的に電流に変換することができます (EXT\_IN1 入力および EXT\_IN2 入力と電圧源の使用のセクションを参照)。

電源には 1.8V の安定化電源を使用し、VDD1 と VDD2 に接続します。VLEDx レベルは、ピーク電流条件を満たす標準的なレギュレータ回路を使用します。ピーク電流条件の仕様規定を表 1 に、計算方法を消費電流の計算のセクションに示します。VDD1 と VDD2 のできるだけ近くに 0.1μF のセラミック・デカップリング・コンデンサを取り付け、VREF ピンのできるだけ近くに 1.0μF のセラミック・コンデンサを取り付ける必要があります。

最善のノイズ特性を達成するには、AGND、DGND、LGND のすべてを束ね、グラウンド・プレーン、グラウンド・ポア、太いグラウンド・パターンなどの、面積の広い導体面に接続します。

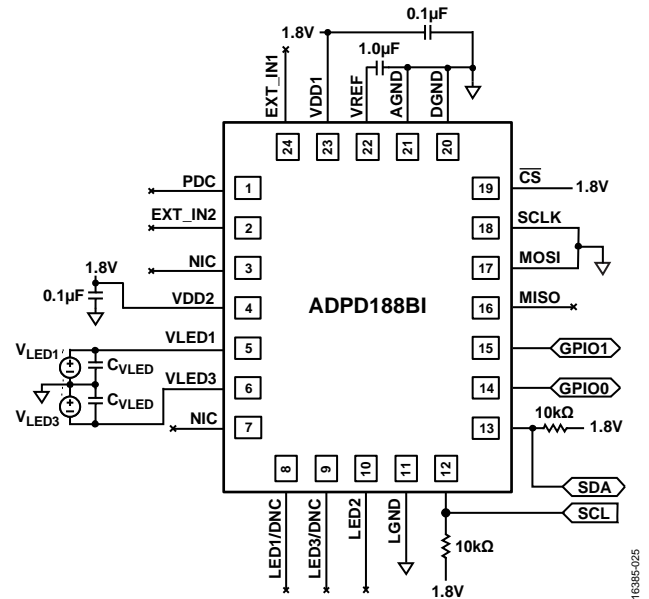


図 30. I<sup>2</sup>C モードの接続図

### ランド・パターン

推奨 PCB フットプリント (ランド・パターン) を図 31 に、推奨ハンダ付けプロファイルを表 8 と図 4 に示します。

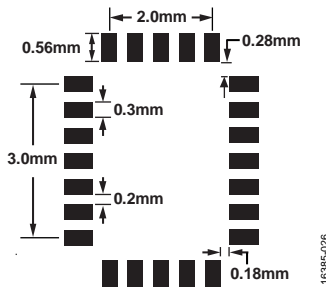


図 31. ランド・パターン

### 推奨されるスタートアップ・シーケンス

パワーアップ時のデバイスは、図 23 に示すようにスタンバイ・モードになります (レジスタ 0x10 = 0x0)。ADPD188BI には特別なパワーアップ・シーケンスは不要です。

スタンバイ・モードから測定を開始するには、以下の手順に従って ADPD188BI を操作してください。

1. CLK32K\_EN ビット (レジスタ 0x4B のビット 7) をセットし、サンプリング・クロック (32kHz クロック) を開始します。このクロックは、ステート・マシンを制御します。このクロックをオフにすると、ステート・マシンはレジスタ 0x10 の定義に従って遷移できません。
2. レジスタ 0x10 に 0x1 を書き込んで、デバイスをプログラム・モードにします。手順 1 と手順 2 を入れ替えることもできますが、両方の手順を実施するまで、実際のステート遷移は発生しません。
3. デバイスがプログラム・モードにある間、他の制御レジスタに対して任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
4. レジスタ 0x10 に 0x2 を書き込んで、通常のサンプリング動作を開始します。

図 29. SPI モードの接続図

通常動作を終了するには、以下の手順に従って ADPD188BI をスタンバイ・モードにしてください。

1. レジスタ 0x10 に 0x1 を書き込んで、デバイスをプログラム・モードにします。
2. レジスタへの書き込みは、デバイスがプログラム・モードの間に任意の順番で行います。
3. レジスタ 0x00 に 0x00FF を書き込み、すべての割込みをクリアします。必要な場合、レジスタ 0x00 に 0x80FF を書き込む方法で、FIFO もクリアします。
4. レジスタ 0x10 に 0x0 を書き込んで、デバイスをスタンバイ・モードにします。
5. 代わりに、CLK32K\_EN ビット (レジスタ 0x4B のビット 7) をリセットして、32kHz クロックを停止することもできます。デバイスのスタンバイ・モード (レジスタ 0x10 = 0x0) 時に実行する必要がある書き込みは、レジスタ 0x4B のビット 7 = 0 のみです。プログラム・モードまたは通常動作モードで、このビットに 0 を書き込むと、スタンバイ・モードを含め、他のどのモードにもデバイスを遷移させることができません。これ以降にデバイスに対して書き込みを行い、モードの遷移を実行する場合も、この制限が適用されます。その結果、一見スタンバイ・モードのようでも、消費電力が大幅に増加します。この理由に加えて、32kHz クロックが動作している間は電流の引き込み量が非常に小さいため、使いやすさの観点から、32kHz クロックが有効になった後もこのクロックを引き続き動作させることを推奨します。

## データの読出し

ADPD188BI がサンプル・データにアクセスする方法は複数あります。FIFO またはデータ・レジスタを使用してデータにアクセスできるように、各タイム・スロットを個別に設定できます。また、適切な時期に簡単にデータにアクセスできるように、割込み信号を使用する方法も利用可能です。FIFO を使用すれば、データ・アクセスに関するシステムのタイミング条件を緩和することもできます。

### FIFO を使用したデータの読出し

ADPD188BI には 128 バイトの FIFO メモリ・バッファが内蔵されており、これを一方または両方のタイム・スロットからのデータを保存するように設定できます。どのタイプのデータを各タイム・スロットから取得して FIFO に書き込むかを選択するには、レジスタ 0x11 を使用します。両方のタイム・スロットが FIFO を使用するように設定することもできますが、両者の出力データ・レートが等しい場合のみ、この設定を使用できることに注意してください。

$$\text{出力データ・レート} = f_{\text{SAMPLE}}/N_x$$

ここで、

$f_{\text{SAMPLE}}$  はサンプリング周波数。

$N_x$  は、各タイム・スロットの平均化係数です ( $N_A$  はタイム・スロット A、 $N_B$  はタイム・スロット B に対応)。つまり、両方のタイム・スロットから取得したデータを FIFO に格納するには、 $N_A = N_B$  が成立している必要があります。

データ・パケットは、出力データ・レートで FIFO に書き込まれます。FIFO に書き込むデータ・パケットは、有効になっている各タイム・スロットに対応するサンプル全体で形成されています。各フォトダイオード・チャンネルに対応するデータは、16 ビットと 32 ビットのどちらかで格納されます。モードとデータ・フォーマットに応じて、各タイム・スロットはサンプルあたり 2、4、8、16 バイトいずれかのデータを格納できます。データ・パケットの品質を損なわないように、パケット全体を書き込めるだけの十分なスペースが FIFO にあれば、新しいデータは FIFO にのみ書き込まれます。十分な空き容量がないときに到着したデータは失われます。十分な空き容量が存在する場合、FIFO はデータの格納を続けます。データ・パケットが損傷しないようにするため、必ず完全なパケットを単位として FIFO データの読出しを行ってください。

FIFO 内に現在格納されているバイト数は、レジスタ 0x00 のビット [15 : 8] で確認できます。専用の FIFO 割込みも利用可能で、指定した量のデータが FIFO に書き込まれた時点で、割込みが自動的に生成されます。

### 割込みベースの方法

割込みベースの方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x06 のビット [13 : 8] にある FIFO\_THRESH を、割込み閾値に設定します。ここで推奨される値は、データ・パケット内にある 16 ビット・ワードの個数から 1 を引いた値です。この場合、FIFO 内に少なくとも完全なパケットが 1 個存在していれば、割込みが生成されます。
4. FIFO 割込みを有効にするには、レジスタ 0x01 のビット 8 にある FIFO\_INT\_MASK に 0 を書き込みます。更に、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0) も設定します。
5. レジスタ 0x10 を 0x2 に設定して、通常動作モードに移行します。
6. 割込みが発生した場合、
  - a. 完全なパケットが 1 個以上存在する場合にのみ割込みが生成されるため、FIFO\_SAMPLES ビットを読み出す必要はありません。代わりに、割込みルーチンによりこれらのビットを読み出して、利用可能なパケットが複数あるかどうか確認することもできます。
  - b. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。

FIFO からデータを読み出した直後、FIFO の割込みは自動的にクリアされます。この割込みは、FIFO に書き込まれたワード数が閾値に達した時点ではじめて、再度設定されます。



## ポーリングによる方法

ポーリングによる方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x10 を 2 に設定して、通常動作モードに移行します。

次に、ポーリング動作を開始します。

1. ポーリング間隔が経過するまで待ちます。
2. FIFO\_SAMPLES ビット (レジスタ 0x00 のビット [15 : 8]) を読み出します。
3. FIFO\_SAMPLES  $\geq$  パケット・サイズである場合、次の手順を使用してパケットを読み出します。
  - a. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。
  - b. ステップ 1 を繰り返します。

モード変更が必要な場合や、通常のサンプリングに対して他の中断が必要な場合、FIFO をクリアする必要があります。ステータスをクリアし、FIFO を空にするには、次の手順に従います。

1. レジスタ 0x10 を 0x1 に設定して、プログラム・モードに移行します。
2. レジスタ 0x00 のビット 15 に 1 を書き込みます。

## 割込みを使用したレジスタからのデータ読出し

最新のサンプル・データは常にデータ・レジスタで利用でき、各タイム・スロットの終了と同時に更新されます。各フォトダイオード・チャンネルに対応するデータ値は、タイム・スロット A ではレジスタ 0x64～レジスタ 0x67 にある 16 ビット値として利用できます。同様に、タイム・スロット B ではレジスタ 0x68～レジスタ 0x6B にある 16 ビット値として利用できます。最大値に達することが許容される場合、レジスタ 0x64～レジスタ 0x6B のクリップが実施されます。レジスタ 0x64～レジスタ 0x6B が飽和している場合、タイム・スロット A ではレジスタ 0x70～レジスタ 0x77、タイム・スロット B ではレジスタ 0x78～レジスタ 0x7F で、各チャンネルに対応する飽和していない値 (最大 27 ビット) を利用できます。レジスタが更新され、読出しの準備ができた時点で、サンプルの割込みを利用できるようになります。特定のタイム・スロットに対応する割込みを使用するには、次の手順に従います。

1. サンプル割込みを有効にするには、レジスタ 0x01 の適切なビットに 0 を書き込みます。タイム・スロット A での割込みを有効にするには、ビット 5 に 0 を書き込みます。タイム・スロット B での割込みを有効にするには、ビット 6 に 0 を書き込みます。一方または両方の割込みを設定できます。
2. また、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0) を設定します。
3. データ・レジスタが更新された時点で、割込みが生成されます。
4. 割込みハンドラは以下の処理を行う必要があります。
  - a. レジスタ 0x00 を読み取り、ビット 5 またはビット 6 を参照して、どちらの割込みが発生したか確認します。どちらか一方の割込みのみを使用している場合、このステップは不要です。
  - b. 次のサンプルの書込みが可能になる前に、データ・レジスタを読み出します。出力データ・レートに基づき、シ

ステム内で適切な割込み遅延を達成し、次のデータ更新が発生する前に応答できるほど十分短いサービス時間を実現する必要があります。

- c. 割込みをクリアするには、レジスタ 0x00 のビット 5 またはビット 6 に 1 を書き込みます。

両方のタイム・スロットを使用している場合、タイム・スロット B の割込みを使用して、すべてのレジスタを読み出す準備ができたときに通知を行うことも可能です。データ・レジスタからデータを転送する目的で、マルチワード読出しを使用することが推奨されます。

## 割込みを使用しないレジスタからのデータ読出し

システム割込みの応答が高速でないか十分な予測可能性を確保できないことが原因で、割込みベースの方法を使用できない場合や、割込みピン (GPIOx) を使用していない場合は、データ保持の機構を使用して信頼性の高いデータ・アクセスを実現できます。同じサンプリング時刻に複数のレジスタからデータを読み出すには、現在のデータを読み出している間にサンプルが更新されることを防止する必要があります。割込みのタイミングを使用せずにレジスタ読出しを行う方法は、次のとおりです。

1. アクセスする必要があるタイム・スロットを対象にして、SLOTA\_DATA\_HOLD または SLOTB\_DATA\_HOLD (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 1 を書き込みます (両方のタイム・スロットにアクセスすることもできます)。
2. この設定により、サンプルの更新が防止されます。
3. 必要に応じて、レジスタを読み出します。
4. 既にセットした SLOTA\_DATA\_HOLD または SLOTB\_DATA\_HOLD ビット (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 0 を書き込みます。サンプルの更新が再び許可されます。

読出しを実施している間に新しいサンプルが到着する可能性があるため、この方法を採用すると、読み出し中のデータの一部分が新しいサンプルによって上書きされる問題を防止できます。

## クロックとタイミングのキャリブレーション

ADPD188BI は 2 つの内部タイム・ベースを使用して動作します。32kHz クロックはサンプル・タイミングを設定し、32MHz クロックは LED パルスの生成やデータ取得といった内部機能のタイミングを制御します。どちらのクロックも内部で生成され、デバイス間で約 10% (代表値) の変動を示します。

ADPD188BI は、両方のクロックに対する簡単なキャリブレーション手順を備えています。

### 32kHz クロックのキャリブレーション

この手順は、出力データ・レートに関連する項目を補正します。このクロック・キャリブレーションは、正確なデータ・レートが必要とされる項目にとって重要です。

32kHz クロックのキャリブレーションを行うには、次の手順に従ってください。

1. サンプル周波数を、システムが扱える最大値 (例えば 2000Hz) に設定します。32kHz クロックはサンプリングのタイミングを制御するので、この周波数は GPIO0 ピンを通じて容易にアクセスできます。レジスタ 0x02 のビット [2 : 0] に適切な値を書き込むことで、割込みを設定します。また、レジスタ 0x01 のビット 5 またはビット 6 に 0x0 を書き込むことで、サンプリング周波数で割込みが発生するように設定します。GPIO0 ピンをモニタします。割込み周波数は、設定済みのサンプリング周波数に一致する必要があります。

2. モニタ中の割込み周波数が、設定済みのサンプリング周波数を下回っている場合、CLK32K\_ADJUST ビット（レジスタ 0x4B のビット [5 : 0]）を大きくします。モニタ中の割込み周波数が、設定済みのサンプリング周波数を上回っている場合、CLK32K\_ADJUST ビットを小さくします。
3. モニタ中の割込み周波数が設定済みのサンプリング周波数に近くなるまで、ステップ 1 を繰り返します。

### 32MHz クロックのキャリブレーション

この手順は、LED パルスの幅や間隔など、サンプル周期内の精密タイミングに関連する項目を補正します。これは、32kHz クロックが既に補正済みであることが前提です。

32MHz クロックのキャリブレーションを行うには、次の手順に従ってください。

1. レジスタ 0x5F のビット 0 に 0x1 を書き込みます。
2. レジスタ 0x50 のビット 5 (CLK32M\_CAL\_EN) に 0x1 を書き込むことで、CLK\_RATIO の計算を有効にします。この機能は、32kHz クロックの 2 サイクル分を単位として、32MHz クロックのサイクル数を数えます。この機能が有効になっている場合、この値はレジスタ 0x0A のビット [11 : 0] に書き込まれます。この比率の公称値は 2000 (0x07D0) です。
3. 次のように、32MHz クロックの誤差を計算します。  

$$\text{クロック誤差} = 32\text{MHz} \times (1 - \text{CLK\_RATIO}/2000)$$
4. 次の式に従って、レジスタ 0x4D のビット [7 : 0] を設定することで、周波数を調整します。  

$$\text{CLK32M\_ADJUST} = \text{クロック誤差}/109\text{kHz}$$
5. レジスタ 0x50 のビット 5 に 0x0 を書き込み、CLK\_RATIO 機能をリセットします。
6. 必要な精度を達成できるまで、手順 1～手順 5 を繰り返します。
7. レジスタ 0x5F のビット 0 に 0x1 を書き込んで、GPIO0 ピンの設定を通常動作のために必要なモードに戻します。

### GPIO0 と GPIO1 で利用できるオプションのタイミング信号

ADPD188BI は、GPIO0 ピンと GPIO1 ピンを通じて様々なタイミング信号を供給しています。この結果、システム同期が容易に

なり、柔軟性の高いトリガ・オプションを利用できるようになります。GPIOx ピンが他のドライバとバスを共有している場合は、各ピンをオープン・ドレイン出力として設定できます。あるいは、これらのピンが常にバスを駆動するように設定することもできます。タイミング信号をデフォルト状態から反転できるように、どちらの出力も極性制御の機能を備えています。

表 16. GPIOx 制御の設定値

Pin Name	Register, Bits	Setting Description
GPIO0	0x02, Bit 0	0: polarity active high 1: polarity active low
	0x02, Bit 1	0: always drives the bus 1: drives the bus when asserted
	0x02, Bit 2	0: disables the GPIO0 pin drive 1: enables the GPIO0 pin drive
GPIO1	0x02, Bit 8	0: polarity active high 1: polarity active low
	0x02, Bit 9	0: always drives the bus 1: drives the bus when asserted
	0x4F, Bit 6	0: disables the GPIO1 pin drive 1: enables the GPIO1 pin drive

利用可能な各種のタイミング信号はレジスタ 0x0B の設定によって制御されますが、このレジスタのビット [12 : 8] は GPIO1 で利用できるタイミング信号を制御し、ビット [4 : 0] は GPIO0 で利用できるタイミング信号を制御します。このデータシートに掲載されているタイミング信号はすべて、GPIO0 ピンと GPIO1 ピンのどちらか一方（または両方）で利用できます。図 32 と図 33 にタイミング図を、このタイミング図を生成するために使用したタイム・スロットの設定を表 17 に示します。

表 17. 図 32 と図 33 に示すタイミング図で使用した ADPD188BI の設定

Register	Setting	Description
0x31	0x0118	Time Slot A: 1 LED pulse
0x36	0x0418	Time Slot B: 4 LED pulses
0x15	0x0120	Time Slot A decimation = 4, Time Slot B decimation = 2

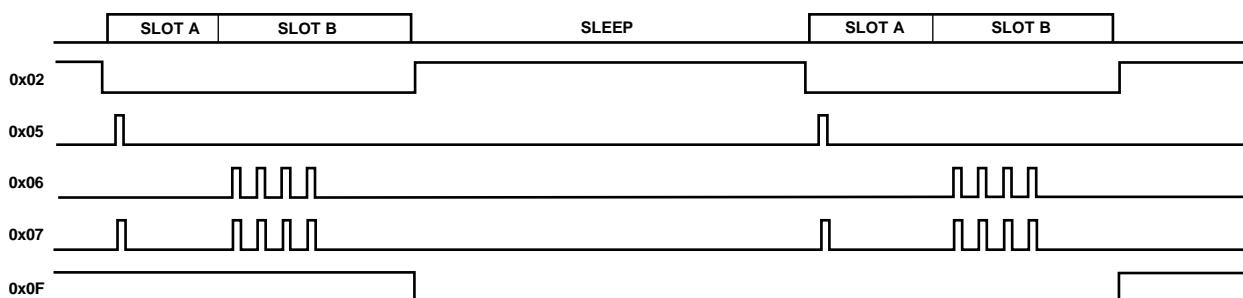


図 32. GPIOx で利用できるオプションのタイミング信号—  
レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] = 0x02, 0x05, 0x06, 0x07、および 0x0F

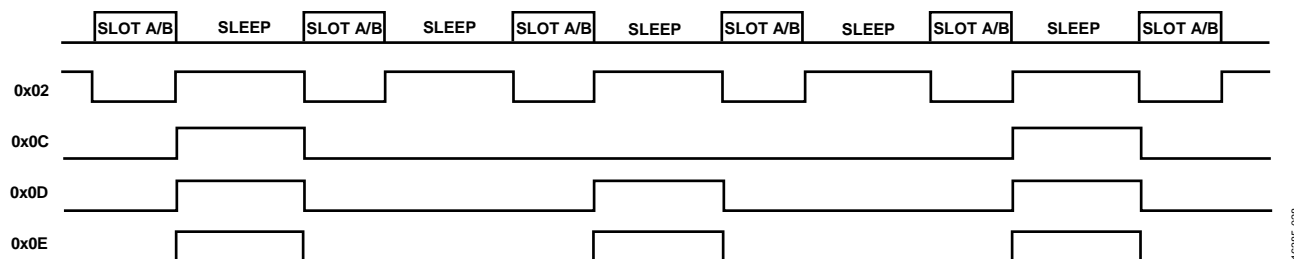


図 33. GPIOx で利用できるオプションのタイミング信号—  
レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] = 0x02、0x0C、0x0D、および 0x0E

## 割込み機能

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x01 に設定すると、該当するピンが、レジスタ 0x01 で設定されている定義に従って割込み機能を実行するようになります。

## サンプリングのタイミング

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x02 に設定すると、該当するピンが信号を供給するようになります。この信号は、現在のサンプルの最初のタイム・スロット開始時にアサートされ、現在のサンプルの最後のタイム・スロット終了時にアサート解除されます。例えば、両方のタイム・スロットが有効な場合、この信号はタイム・スロット A の開始時にアサートされ、タイム・スロット B の終了時にアサート解除されます。どちらか一方のタイム・スロットのみが有効な場合、この信号は有効なタイム・スロットの開始時にアサートされ、同じタイム・スロットの終了時にアサート解除されます。

## パルス出力

LED パルス出力のコピーを作成するには、3 つのオプションを利用できます。レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x05 に設定すると、タイム・スロット A の LED パルスをコピーしたものが、該当のピンに供給されます。レジスタ 0x06 を設定すると、タイム・スロット B のパルスが供給され、レジスタ 0x07 を設定すると、両方のタイム・スロットのパルスが供給されます。

## 出力データ・サイクル信号

出力データ・レジスタまたは FIFO に出力データがいつ書き込まれたかを示す信号を供給する場合、3 つのオプションを利用できます。レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x0C に設定すると、タイム・スロット A にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0D を設定すると、タイム・スロット B にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0E を設定すると、どちらか一方のタイム・スロットに値が書き込まれたことを示す信号が供給されます。出力データが既に書き込まれている場合、この信号は、該当するタイム・スロットの終了時にアサートされ、それ以降のサンプリング開始時にアサート解除されます。FIFO を使用している場合、このタイミング信号は特に役立ちます。例えば、FIFO が、レジスタ 0x06 のビット [13 : 8] で設定した FIFO 閾値に達した時点で割込みを生成するように、一方の GPIOx ピンを設定できます。もう一方の GPIOx ピンは、出力データ・サイクル信号を供給するように設定できます。この信号を使用して、加速度センサーのような周辺機器をトリガすることもできます。その結果、時間整列された信号をプロセッサに供給できます。

## f<sub>s</sub>/2 出力

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x0F に設定すると、該当するピンが、サンプリング・レートの半分でトグルする信号を供給するようになります。デバイスがスタンバイ・モードから通常動作モードに切り替わると、f<sub>s</sub>/2 タイミング信号は必ずアクティブ・ロー状態から開始されます。その後、最初のサンプリングが完了した時点で、この信号はハイの状態に遷移します。

## ロジック 0 の出力

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x10 に設定すると、該当するピンがロジック 0 の出力を供給するようになります。

## ロジック 1 の出力

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x11 に設定すると、該当するピンがロジック 1 の出力を供給するようになります。

## 32kHz 発振器の出力

レジスタ 0x0B のビット [12 : 8] またはビット [4 : 0] を 0x13 に設定すると、該当するピンがオンボードの 32kHz 発振器のコピーを供給するようになります。

## LED ドライバのピンと LED 電源電圧

LED ドライバ・ピン (LED1/DNC、LED2、LED3/DNC) には、3.6V の絶対最大定格電圧が印加されます。この定格を超える電圧を印加すると、デバイス動作の信頼性に影響を与え、特定の状況ではデバイスが正常な動作を完全に停止してしまうことがあります。LED ドライバ・ピンの電圧を、LED 自体の供給電圧 (V<sub>LED1</sub> と V<sub>LED3</sub>) と混同しないようにしてください。これらは、V<sub>LED1</sub> と V<sub>LED3</sub> に接続された内蔵 LED のアノードに加えられる電圧です。

## LED ドライバの動作

ADPD188BI の LED ドライバは電流シンク型です。代表的な LED ドライバ電流と LED ドライバ電圧の関係を図 9 に、ADPD188BI を LED ドライバを介して LED に接続する方法を示す基本回路図を図 29 に示します。平均電流の決定のセクションと CV<sub>LED</sub> の決定のセクションに、バイパス・コンデンサ (C<sub>VLED</sub>) と LED の電源電圧 (V<sub>LEDx</sub>) に関する条件を示します。

## 平均電流の決定

ADPD188BIがLEDを駆動する場合、一連の短いパルスを使ってLEDを駆動します。ADPD188BIの代表的なパルス・バースト・シーケンス波形を図34に示します。このシーケンスでは、LEDパルス幅  $t_{LED\_PULSE}$  は  $3\mu\text{s}$ 、LEDパルス周期  $t_{LED\_PERIOD}$  は  $19\mu\text{s}$  です。  $C_{VLED}$  の目的は、個々のパルスの中でLEDのバッファとして機能することにあります。図34に示す、パルス列が短いパルスの連続シーケンスとなる最も厳しい条件のシナリオでは、  $V_{LEDx}$  電源が平均電流を供給する必要があります。したがって、次のように  $I_{LED\_AVERAGE}$  を計算します。

$$I_{LED\_AVERAGE} = (t_{LED\_PULSE}/t_{LED\_PERIOD}) \times I_{LED\_PEAK} \quad (1)$$

ここで、

$I_{LED\_AVERAGE}$  は  $V_{LED}$  電源から供給する必要のある平均電流です。これは  $V_{LEDx}$  電源の電流定格でもあります。

$I_{LED\_PEAK}$  はLEDを流れるピーク電流の設定値です。

図34に示す数値を当てはめると、  $I_{LED\_AVERAGE} = 3/19 \times I_{LED\_PEAK}$  となります。代表的なLEDタイミングでは、  $V_{LEDx}$  の平均電源電流は  $3/19 \times 250\text{mA} = 39.4\text{mA}$  となり、  $V_{LEDx}$  電源が  $40\text{mA}$  のDC電流をサポートする必要があることを示しています。

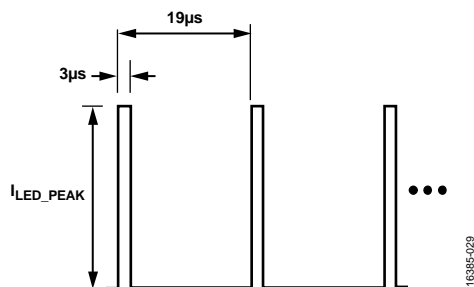


図34. LEDパルス・バースト・シーケンスの代表的な設定

## $C_{VLED}$ の決定

$C_{VLED}$  コンデンサの値を決定するには、LED動作中の最大順方向バイアス電圧  $V_{FB\_LED\_MAX}$  を決定する必要があります。図35から、  $I_{LED\_PEAK}$  は  $V_{FB\_LED\_MAX}$  に変換されます。例えば、電流が  $100\text{mA}$  の場合、  $V_{FB\_LED\_MAX}$  は  $3.75\text{V}$  です。LEDパスに直列抵抗が接続されている場合は、これを電圧に含める必要があります。LEDパスを設計する際は、個々の抵抗成分が小さくても、それらの抵抗を通じて  $100\text{mA}$  の電流が駆動されると最終的な電圧降下が大きくなり得ることに注意してください。これらの抵抗成分は、  $V_{LEDx}$  電源に不要な制約を課す可能性があります。

$C_{VLED}$  コンデンサのサイズを正しく設定するには、コンデンサの過放電を避け、LEDへのパルス供給を行っている間、コンデンサの電圧がLEDの順方向バイアス電圧を下回らないようにしてください。  $V_{LEDx}$  バイパス・コンデンサの最小値を計算するには、次式を使用します。

$$C_{VLED} = \frac{t_{LED\_PULSE} \times I_{LED\_PEAK}}{V_{LED\_MIN} - (V_{FB\_LED\_MAX} + 0.6)} \quad (2)$$

ここで、

$t_{LED\_PULSE}$  はLEDパルス幅、

$I_{LED\_PEAK}$  はデバイスを動作させる際に使用するLEDの最大順方向バイアス電流、

$V_{LED\_MIN}$  は無負荷時に  $V_{LED}$  電源から供給される最小電圧、  $V_{FB\_LED\_MAX}$  は  $I_{LED\_PEAK}$  を実現するためにLEDで必要とされる最大順方向バイアス電圧です。

$C_{VLED}$  の式における分子から、バイパス・コンデンサから放電される合計電荷をクーロン単位で表した値が計算されます。この値は設定済みのLEDシングル・パルスを最大電流で供給するために必要となります。分母は、LEDで必要とされる電圧と  $V_{LEDx}$  電源の最小電圧の差を表します。LEDで必要となる電圧は、  $100\text{mA}$  におけるLEDドライバの  $0.6\text{V}$  コンプライアンスや最大電流で動作するLEDの順方向バイアス電圧を実現する、LEDのアノード電圧です。代表的なADPD188BIの例として、  $V_{LEDx}$  電源の最小値が  $4.5\text{V}$  で、青色LEDのピーク電流が  $100\text{mA}$  であるものとします。この場合、  $C_{VLED}$  の最小値は  $2\mu\text{F}$  となります。

$$C_{VLED} = (3 \times 10^{-6} \times 0.10) / (4.5 - (3.75 + 0.6)) = 2.0\mu\text{F} \quad (3)$$

式3に示すように、電源の最小電圧降下値は最大アノード電圧に近いので、  $C_{VLED}$  に対する要件はより厳しくなり、コンデンサの値がより大きくなる傾向になります。これらの式には、正しい値を代入することが重要です。例えば、最も厳しい条件における  $V_{LED\_MIN}$  の値ではなく  $V_{LED\_MIN}$  の平均値を使用すると、問題が生じる可能性があります。したがって、  $C_{VLED}$  には十分なマージンを持たせることを強く推奨します。

上に示した計算は、  $V_{LEDx}$  と  $C_{VLED}$  間の直列抵抗が  $1\Omega$  未満で、パルスとパルスの中でコンデンサをフルに充電できることを前提としています。この前提が成立しない場合は、パルス数を考慮しながら  $C_{VLED}$  の値を決定する必要があります。

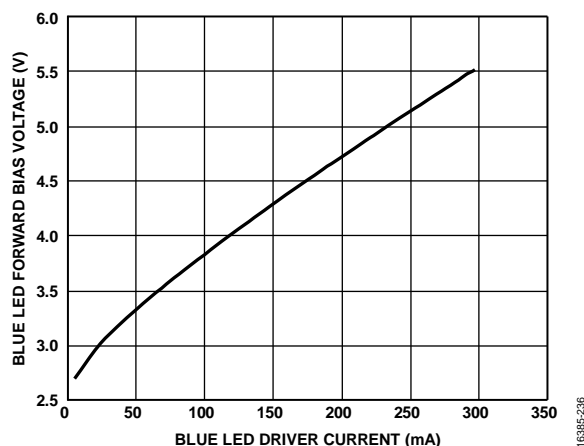


図35. LEDドライバ電流の関数として表した代表的LED順方向バイアス電圧降下

## 外部 LED の使用

ADPD188BI の LED ドライバは、必要に応じて外部パッケージのピンに接続し、外部の LED を駆動することもできます。外部 LED を駆動する場合の接続図を図 36 に示します。

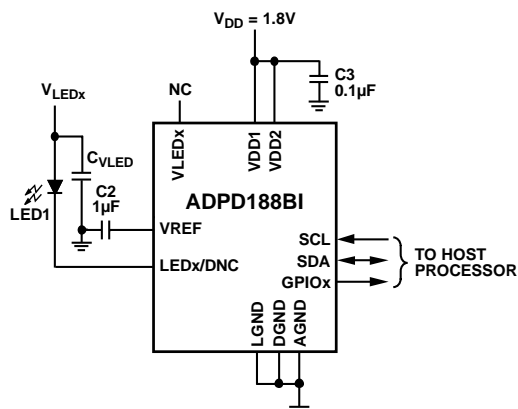


図 36. ADPD188BI の LED ドライバを使用した外部 LED の駆動

## 消費電流の計算

以下の式に示すように、ADPD188BI の消費電流はユーザが選択する動作設定によって異なります。

### 消費電力の計算

合計消費電力を計算するには、式 4 を使用します。

$$\text{合計消費電力} = I_{VDD\_AVERAGE} \times V_{DD} + I_{LED\_AVERAGE} \times V_{LED} \quad (4)$$

ここで、

$I_{VDD\_AVERAGE}$  は  $V_{DD}$  電源の平均電流 ( $V_{DD1}$  と  $V_{DD2}$  に供給)、 $V_{DD}$  は  $V_{DD1}$  ピンと  $V_{DD2}$  ピンに印加される電圧、 $I_{LED\_AVERAGE}$  は平均 LED 電源電流、 $V_{LED}$  は  $V_{LEDx}$  ピンの電圧です。

### $V_{DD}$ からの平均電源電流

$V_{DD}$  からの平均電源電流を計算するには、式 5 を使用します。

$$I_{VDD\_AVG} = DR \times ( (I_{AFE\_A} \times t_{SLOTA}) + (I_{AFE\_B} \times t_{SLOTB}) + Q_{PROC\_x} ) + I_{VDD\_STANDBY} \quad (5)$$

ここで、

$DR$  は、Hz 単位のデータ・レート。

$I_{VDD\_STANDBY} = 0.2\mu A$ 。

$Q_{PROC\_x}$  は、処理時間に対して次のように関連付けられる平均電荷です。

タイム・スロット A のみが有効な場合

$$Q_{PROC\_A} (C) = 0.35 \times 10^{-6}$$

タイム・スロット B のみが有効な場合

$$Q_{PROC\_B} (C) = 0.24 \times 10^{-6}$$

タイム・スロット A とタイム・スロット B が有効な場合

$$Q_{PROC\_AB} (C) = 0.40 \times 10^{-6}$$

$$I_{AFE\_x} (A) = 3.0 \times 10^{-3} + (1.5 \times 10^{-3} \times NUM\_CHANNELS) + (4.6 \times 10^{-3} \times I_{LEDx\_PK} / SCALE\_X) \quad (6)$$

$$t_{SLOTx} (\text{sec}) = LEDx\_OFFSET + LEDx\_PERIOD \times PULSE\_COUNT \quad (7)$$

ここで、

$NUM\_CHANNELS$  は、アクティブなチャンネルの数。

$I_{LEDx\_PK}$  は、特定のタイム・スロットで有効になっている LED を流れるアンペア単位のピーク LED 電流。

$SCALE\_X$  は、 $I_{LEDx\_COARSE}$  レジスタのビット 13 によって決定される LED 駆動電流のスケール・ファクタ。

$LEDx\_OFFSET$  は、秒単位で表される、パルス開始時刻のオフセット。

$LEDx\_PERIOD$  は、秒単位で表されるパルス期間。

$PULSE\_COUNT$  はパルス数。

タイム・スロット A とタイム・スロット B のどちらかが無効になっている場合、該当するタイム・スロットで  $I_{AFE\_x} = 0$  になっています。

### $V_{LEDA}$ からの平均電源電流

$V_{LEDA}$  からの平均電源電流を計算するには、式 8 を使用します。

$$I_{LED\_AVG\_A} = SLOTA\_LED\_WIDTH \times I_{LEDA\_PK} \times DR \times PULSE\_COUNT \quad (8)$$

ここで、

$SLOTA\_LED\_WIDTH$  は、秒単位で表される LED パルス幅。

$I_{LEDA\_PK}$  は、タイム・スロット A で LED に流れるアンペア単位のピーク電流です。

### $V_{LEDB}$ からの平均電源電流

$V_{LEDB}$  からの平均電源電流を計算するには、式 9 を使用します。

$$I_{LED\_AVG\_B} = SLOTB\_LED\_WIDTH \times I_{LEDB\_PK} \times DR \times PULSE\_COUNT \quad (9)$$

ここで、

$SLOTB\_LED\_WIDTH$  は、秒単位で表される LED パルス幅。

$I_{LEDB\_PK}$  は、タイム・スロット B で LED に流れるアンペア単位のピーク電流です。

## 信号に制限のあるシステムにおけるワットあたりの SNR の最適化

実際には、ピーク SNR の最適化が必ずしも実用的であるとは限りません。信号が制限される領域で PPG 信号の S/N 比が不十分になる状況を考えましょう。このシナリオでは、目的の DC リターン (反射) レベルを達成する前に、LED 電流が上限に達します。

ピーク S/N 比の改善が停止する場所から、この状況を調整する作業を開始することになります。LED 電流の最小設定値を 3mA としてもフォトダイオードが飽和せず、50kΩ のゲインでも強い周辺光から十分に保護することができる場合は、開始ポイントとして 50kΩ の公称 TIA ゲインを使用します。どちらかの条件が成立しない場合は、出発点として 25kΩ のゲインを使用します。

調整プロセスの目標は、DCリターン信号を、50%あるいは60%といった特定のADC範囲にすることです。ADCレンジの選択肢は、時間の経過に伴ってDCレベルが変動する場合でも、飽和を防止するために必要とされるヘッドルームのマーヅンに対する関数として表現できます。PPG波形のS/N比は常に、DCレベルに比べて何らかのパーセント値に相当します。最善のゲインを使用しても目標のレベルを達成できない場合は、ゲインを大きくしてこの手順を繰り返します。システムを調整する際に、周辺信号による飽和を防止するため、ゲインの上限を設定することが必要となる場合があります。

## パルス数の調整

LEDピーク電流とTIAゲインを最適化した後、サンプルあたりのパルス数を増やすと、パルス数の平方根に比例してS/N比が改善します。パルス数を増やす方法は2つあります。パルス数レジスタ（レジスタ0x31のビット[15:8]とレジスタ0x36のビット[15:8]）を使用して、内部サンプルあたりのパルス数を変更します。レジスタ0x15のビット[6:4]とビット[10:8]は、データを出力へ送信する前に平均化の対象となる内部サンプルの数を制御します。したがって、サンプルあたりのパルス数は、パルス数レジスタの値に、後続の平均化に使用されるサンプル数を掛けた値に等しくなります。通常、望ましい出力データ・レートを維持するため、平均化の対象となる内部サンプルの数を増やすと、内部サンプリング・レートは増大します。1ワットあたりのS/N比は、パルス数の値が16以下のときに最大の最適化を実現できます。パルス数の値が16より大きい場合、パルス数レジスタ内で平方根の関係が維持されません。ただし、レジスタ0x15を使用して平均化の対象となるサンプルの数を変更すると、この関係を引き続き維持できます。

LEDピーク電流を大きくすると、LEDの消費電力にほぼ比例してSNRが改善されますが、n倍だけパルス数を増やす場合、SNRの公称値は $\sqrt{n}$ 倍しか改善されません。

合計/平均化の対象となるサンプルの数を変更する機能（レジスタ0x15）を使用する場合、合計されるサンプルの数に応じて出力データ・レートは低下します。静的な出力データ・レートを維持するには、レジスタ0x15で選択したのと同じ係数倍だけ、サンプリング周波数（レジスタ0x12）を引き上げます。例えば、出力データ・レートが100Hzで、合計/平均化の対象となるサンプルの数が4個の場合は、サンプリング周波数を400Hzに設定します。

## TIA ADC モード

ADPD188BIを、アナログ・バンドパス・フィルタ（BPF）と積分器を使わずに、ADCに対しTIAを効果的に直接作動させることのできるモードにする方法を、図37に示します。このモードをTIA ADCモードと呼びます。TIA ADCモードを使用する基本的なアプリケーションが2つあります。通常動作モードでは、すべての背景光がシグナル・チェーンからブロックされるので、背景光を測定することはできません。TIA ADCモードでは背景光/周辺光の量を測定できるほか、漏れ抵抗のような他のDC入力電流を測定することもできます。

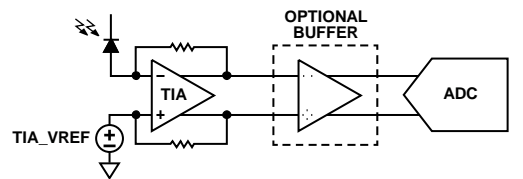


図 37. TIA ADC モードのブロック図

デバイスがTIA ADCモードで動作している場合、BPFと積分器の段はバイパスされます。このバイパスにより、実質的にTIAがADCに直結されます。設定済みのサンプリング周波数で、ADCはチャンネル1からチャンネル4を順番にサンプリングし、各サンプルは1 $\mu$ sの間隔で取得されます。

TIA ADCモードには、2種類の動作モードがあります。1つの動作モードは反転構成で、TIA ADCモードがADCを直接駆動します。この動作モードを有効にするには、レジスタ0x43（タイム・スロットA）とレジスタ0x45（タイム・スロットB）の一方または両方を0xB065に設定します。この結果、BPFと積分器はバイパスされます。目的のチャンネルでADCオフセット・レジスタを0に設定し、TIA\_VREFを1.265Vに設定した場合、ADCの出力は、単一パルスとゼロ入力電流の条件下で約13,000コードになります。フォトダイオードからの入力電流が増加すると、ADC出力は0に向かって減少します。

TIA ADCモードでは、BPFをバイパスし、積分器をバッファとして設定する動作モードも推奨されます。この動作モードを有効にするには、レジスタ0x43（タイム・スロットA）とレジスタ0x45（タイム・スロットB）の一方または両方に0xAE65を書き込み、BPFをバイパスします。更に、積分器をバッファとして設定するには、レジスタ0x42（タイム・スロットA）とレジスタ0x44（タイム・スロットB）の一方または両方のビット7を1に設定し、レジスタ0x58のビット7を1に設定します。目的のチャンネルでADCオフセット・レジスタを0に設定した場合、ADCの出力は、単一パルスとゼロ入力電流の条件下で約13,000コードになります。フォトダイオードからの入力電流が増加すると、ADC出力は0に向かって減少します。

積分器をバッファとして設定するときは、ゲイン1とゲイン0.7のどちらかを選ぶことができます。ゲインを0.7にすると、TIAの入力で使用できるダイナミック・レンジが広がります。バッファのゲインは、タイム・スロットAの場合はレジスタ0x42のビット9を、タイム・スロットBの場合はレジスタ0x44のビット9を使用して設定します。このビットを0（デフォルト）に設定するとバッファのゲインは1になり、1に設定するとゲインは0.7になります。

ADC出力（ADC<sub>OUT</sub>）は、次のように計算されます。

$$ADC_{OUT} = 8192 \pm \left( (2 \times TIA\_VREF - 2 \times i \times R_F - 1.8 \text{ V}) / 146 \mu\text{V/LSB} \right) \times SLOTx\_BUF\_GAIN \quad (10)$$

ここで、

TIA\_VREFは、TIAのバイアス電圧（デフォルト値は1.265V）。

iはTIAへの入力電流。

R<sub>F</sub>はTIAの帰還抵抗。

SLOTx\_BUF\_GAINは0.7または1で、これはレジスタ0x42のビット9およびレジスタ0x44のビット9の設定によって決まります。

式 10 は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算は ADC オフセット・レジスタが 0 に設定されていることも想定しています。

一方のタイム・スロットを TIA ADC モードで使用すると同時に、もう一方のタイム・スロットを通常のパルス・モードで使用することもできます。周辺信号とパルス信号を同時にモニタリングする場合、この設定が役に立ちます。周辺信号は、TIA ADC モードを使用するように設定したタイム・スロットでモニタリングし、周辺信号を除去したパルス信号は、通常動作モードに設定したタイム・スロットでモニタリングします。

### 通常動作時の TIA 飽和の防止

飽和する可能性のある環境への対策を備えることが、TIA ADC モードでモニタリングを行う理由の 1 つです。大光量条件（例えば煙検知チャンバを使用しない設計）下での動作における懸念の 1 つは、ADPD188BI のデータ通信中に TIA 段が飽和してしまう可能性があることです。結果として生じる飽和は、代表的なものではありません。TIA がその設定に基づいて取り扱うことができるのは、特定のレベルのフォトダイオード電流に限られます。ADPD188BI の設定状態に基づき、フォトダイオードからの電流レベルが TIA の扱える限度を超えた場合は、LED パルス内での TIA 出力が電流パルスを効果的に拡大し、より広いものにします。その後、BPF の出力の正の部分、積分ウィンドウの負のセクションにまで拡大されるため、AFE のタイミング違反が発生します。この結果、フォトダイオードに起因する信号が、信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIA からの応答を測定し、この段が飽和していないことを確認するには、デバイスを TIA ADC モードに移行させ、タイミングをわずかに変更します。特に、4 個のチャンネルのうち 2 個または 3 個が最小値に達するまで、SLOTx\_AFE\_OFFSET を掃引します（TIA が反転構成になっていることに注意してください）。4 個のチャンネルは、いずれもこの最小値に達しません。通常は 3 $\mu$ s の LED パルス幅が使われ、ADC は 1 $\mu$ s の間隔で 4 個のチャンネルを順にサンプリングするからです。この手順に従えば、ADC のサンプリング時間が、光検出器に投射される光の量（例えば、周辺光 + LED パルス）を測定する LED パルスに整合します。

通常、安全な動作領域はフルスケールの 3/4 以下の範囲に収まります。パルスおよびチャンネルあたりの値を基準とした出力コードと ADC レベルの対応については、表 18 を参照してください。これらのコードは、通常動作モードと同じではありません。BPF と積分器がユニティ・ゲイン素子ではないからです。

### PCB の寄生入力抵抗の測定

ADPD188BI のマウント・プロセスにおいては、アセンブリ誤差や PCB 上のデブリにより、入力に望ましくない抵抗が生じることがあります。これらの抵抗は、アノードとカソードの間や、アノードと他の電源またはグラウンドの間に形成されることがあります。通常動作時には、ADPD188BI の外乱排除機能によってこの抵抗の一次的影響が隠されてしまい、検出が非常に難し

くなります。ただし、抵抗が 1M $\Omega$ ～10M $\Omega$  の範囲に達した場合でも、ノイズの増加やダイナミック・レンジの縮小という形で性能に大きな影響を与えることがあります。TIA ADC モードを使用すれば、アセンブリに起因するこれらの問題を検討できます。

### TIA 入力シャント抵抗の測定

別の問題として、TIA 入力と PCB 上に存在する別の電源またはグラウンドの間に抵抗が出現する可能性があります。これらの抵抗が原因で、TIA が早い段階から飽和状態になることがあります。このように早期の飽和が発生した場合、動作中のデバイスのダイナミック・レンジが縮小し、入力に対してジョンソン・ノイズ成分が追加されます。これらの抵抗を測定するには、TIA ADC モードのデバイスを暗状態に移行し、フォトダイオードの入力を非接続状態にして（レジスタ 0x14 のビット [11 : 8] = 0 またはレジスタ 0x14 のビット [7 : 4] = 0）、TIA ADC オフセット・レベルの測定を開始します。この値から、TIA ADC モードで暗状態のフォトダイオードを接続したときの測定値を差し引き、その差を電流に変換します。この値が正であり、ADC 信号が減少している場合、V<sub>DD</sub> のように 1.3V よりも高い電圧との間に抵抗が存在しています。TIA に流れ込む電流は出力を低下させます。ADC のコードが増加する現象が示すように、出力の差が負である場合、電流は TIA から流出し、グラウンドのように、1.3V よりも低い電位との間にシャント抵抗が存在します。

### EXT\_IN1 入力および EXT\_IN2 入力と電圧源の使用

ADPD188BI は電圧入力に使用できます。電圧入力は、通常動作モードまたは TIA ADC モードで測定できます。これらの入力が LED ドライバに起因するものでない場合、TIA ADC モードが望ましい選択です。直列抵抗 R<sub>S</sub> を介した電圧からの変換ゲインを求めるには、下に示す図 38 から電流を決定することができます。

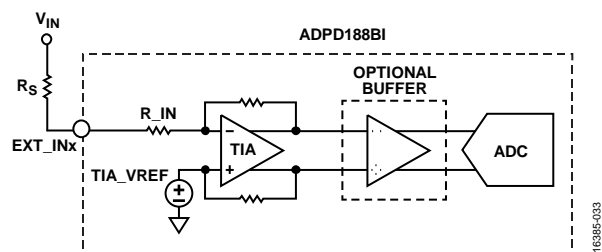


図 38. ADPD188BI を電圧入力に使用

$$\text{入力電流} = (V_{IN} - TIA\_VREF) / (R_S + R_{IN})$$

R<sub>IN</sub> の値を表 2 に示します。フォトダイオードその他の電流入力の電流は入力抵抗の関数ではないので、これらの電流入力に R<sub>IN</sub> は必要ありません。アンペア単位の入力電流から ADC コード (LSB) への変換は、表 18 (TIA ADC モード) に従って行われます。通常動作モードの電流変換は、表 2 に示されています。表 18 のオフセット・レベルは、ゼロ電流入力時の予想コード値を表しています。このゼロ以外の入力電流には、nA/LSB 単位の電流変換ゲインを加えることができます。

表 18. TIA ADC モードとデジタル積分モードのアナログ仕様

Parameter	Test Conditions/Comments	Typ	Unit
TIA ADC Offset Level	Floating input (input current = 0 A); Register 0x43 and Register 0x45 = 0xAE65; Register 0x42 and Register 0x44, Bit 7 = 1, Register 0x58, Bit 7 = 1		
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 0 (1.14 V)	11400	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 1 (1.01 V)	9700	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 2 (0.89 V)	8100	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 3 (1.27 V); recommended for PD inputs	13200	LSB
TIA ADC Saturation Levels <sup>1</sup>	Values expressed per channel, per sample; buffer gain = 1		
	25 kΩ	38.32	μA
	50 kΩ	19.16	μA
	100 kΩ	9.58	μA
	200 kΩ	4.79	μA
TIA ADC Resolution	Values expressed per channel, per sample; buffer gain = 1		
	25 kΩ	2.92	nA/LSB
	50 kΩ	1.5	nA/LSB
	100 kΩ	0.73	nA/LSB
	200 kΩ	0.37	nA/LSB

<sup>1</sup> TIA の線形ダイナミック・レンジは、表に示す飽和レベルの 85% です。

表 19. 通常サンプル・モードと TIA\_ADC モードの切替えに使用する設定レジスタ

Address	Data Bits	Bit Name	Normal Mode Value	TIA ADC Mode Value	Description
0x42	[15:10]	SLOTA_AFE_MODE	0x07	Not applicable	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	9	SLOTA_BUF_GAIN	0x0	0x0	0 : バッファゲイン = 1.0。 1 : バッファゲイン = 0.7。
	7	SLOTA_INT_AS_BUF	0x0	0x1	0 : 通常の積分設定。 1 : TIA ADC モードで積分器をバッファ・アンプに変換 (0x43 = 0xAE65 の場合に必要)。
0x43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xAE65	タイム・スロット A の AFE 接続。 0xAE65 : BPF をバイパス。 0xB065 : TIA ADC モードでも使用可能。この設定値により、BPF と積分器の両方がバイパスされます。
0x44	[15:10]	SLOTB_AFE_MODE	0x07	Not applicable	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	9	SLOTB_BUF_GAIN	0x0	0x0	0 : バッファゲイン = 1.0。 1 : バッファゲイン = 0.7。
	7	SLOTB_INT_AS_BUF	0x0	0x1	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (0x45 = 0xAE65 の場合に必要)。
0x45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xAE65	タイム・スロット B の AFE 接続。 0xAE65 : BPF をバイパス。 0xB065 : TIA ADC モードでも使用可能。この設定値により、BPF と積分器の両方がバイパスされます。
0x58	7	ENA_INT_AS_BUF	0x0	0x1	TIA ADC モードで積分器をバッファとして設定できるようにします。



## フロート・モード

ADPD188BIにはフロート・モードと呼ばれる独自の動作モードがあり、暗い場所でも低消費電力で優れた S/N 比を実現します。フロート・モードでは、最初にフォトダイオードが既知の状態にプリコンディショニングされ、次にフォトダイオードのアノードが、予め設定されたフロート時間だけ ADPD188BI の受信パスから切り離されます。フロート時間中は、動作モードに応じて周辺光またはパルス LED 光、もしくはその 2 つの組み合わせがフォトダイオードに投射されます。センサーからの電荷は、センサーの容量に直接保存されます。フロート時間終了時にはフォトダイオードが ADPD188BI の受信パスに再び接続されて、蓄積された電荷により突入電流が発生しますが、これはその後、ADPD188BI の積分器によって積分されて、信号パスから加わるノイズを最小限に抑えながら、1 パルスごとに最大電荷量进行处理することを可能にします。電荷は、最大電荷を得るのに要する時間にわたってフォトダイオードの容量に外部から積分されますが、これは、信号にノイズを発生させる信号パスのアンプとは無関係に行われます。

所定の測定の間、アンプと ADC のノイズ値は一定です。最適な S/N 比を実現するには、1 回の測定あたりの信号量（電荷量）を大きくすることが望まれます。通常動作モードではパルス時間が固定されているので、LED の駆動電流を増やすことによるのみ、測定あたりの電荷を増やすことができます。光が強い場合はこれで十分ですが、光が弱い場合は使用できる電流が制限されます。更に、システムによっては大きな電流パルスがグラウンド・ノイズを発生させる可能性があります。青色 LED は大電流では効率が悪く、また、多くのバッテリー設計は大きな電流パルスを効率的に供給できません。フロート・モードは、LED 駆動電流またはフロート時間を増やすことで、1 測定あたりの電荷量を増大させることのできる柔軟性を提供します。電流伝導率 (CTR) が低い場合（例えば 10nA/mA）、通常動作モードで受け入れ得るレベルの S/N 比を実現するには複数のパルスが必要になりますが、この柔軟性はそうした場合に特に有効です。

フロート・モードでは信号パスが BPF をバイパスし、TIA と積分器だけを使用します。通常動作モードではパルスの形状が既知で（通常は 2 $\mu$ s または 3 $\mu$ s）、デバイスや条件が異なってもそれは一定しています。BPF を通過する信号の形状も予測可能なので、積分器のタイミングと、フィルタ通過後の信号のゼロ交差位置を揃えることができます。フロート・モードでは、電荷放出によって生成される信号の形状がデバイスや条件ごとに異なることがあります。フィルタ通過後の信号を十分な信頼性で揃えることはできないので、BPF は使用できません。フロート・モードでは、電荷放出の全体が積分器の負のサイクルで積分されて、オフセットは正のサイクルで相殺されます。

## フロート・モードの測定サイクル

フロート・モード測定サイクルのタイミング図を図 39 に示し、各ポイントの詳細を以下に説明します。

- ポイント A よりも前がプリコンディショニング期間で、フォトダイオードが TIA に接続されて TIA に光電流が流れ込みます。フォトダイオードのアノードは 0.9V に維持されます（レジスタ 0x42 とレジスタ 0x44、ビット [5:4] = 0x2 とすると、TIA\_VREF = 0.9V に設定されます）。フォトダイオードには逆バイアスがかけられます。最大逆バイアスは約 250mV で、これはレジスタ 0x54 のビット 7 = 1、およびレジスタ 0x54 のビット [9:8] = 0x2 とすることによって設定されます（タイム・スロット A の場合）。この時点で、TIA の出力 (TIA\_OUT) = TIA\_VREF - (I<sub>PD</sub> × R<sub>F</sub>) となります。ここで、I<sub>PD</sub> は PD から ADPD188BI の入力へ流れ込む電流で、積分器はオフです。
- ポイント A で、フォトダイオードが受信パスから切り離されます。光は引き続きフォトダイオードに投射されて電荷が生成され、フォトダイオード容量に直接蓄積されます。電荷が蓄積されると、フロート状態にあるフォトダイオード・アノードの電圧が上昇します。TIA は、TIA に電流が流れないように ADPD188BI の入力から切り離され、TIA\_VREF が TIA 出力になります。更に、ポイント B の直前で積分器がゼロにリセットされます。同期 LED 測定用フロート・モードのセクションでは、LED はポイント A とポイント D の間でパルスが発生させます。フロート時間は 4 $\mu$ s 以上でなければなりません。
- ポイント B では、積分器がその正の積分フェーズを開始します。TIA 出力と積分器リファレンス間の小さい DC オフセットによって、正のオフセット時には積分器出力がランプアップし、負のオフセット時にはランプダウンします。この間も、フォトダイオードは電荷を蓄積し続けます。
- ポイント C では、積分器がその負の積分フェーズを開始します。この極性の反転が、オフセットによって生じた信号の相殺を開始します。このオフセット相殺はポイント F まで続き、ポイント F ですべてのオフセットが完全に相殺されます。
- ポイント D ではフォトダイオードが受信パスに切り替わって、フロート時間中にフォトダイオード容量に蓄積されたすべての電荷が TIA に放出されます。標準的な電荷放出時間は 2 $\mu$ s 未満です。電流が TIA に流れると、TIA の出力は大きな負の信号でこれにตอบสนองします。この時点では積分器が負の積分フェーズにあるので、積分器の出力は、デバイスへの入力電流が積分されて合計電荷に加えられるのに合わせて上昇します。ポイント D とポイント E の間では、フォトダイオードに入射するすべての光が光電流を追加発生させ、その電流が、積分器により電荷として直ちに積分されます。
- ポイント E では TIA が受信パスから切り離されて、TIA 出力が TIA\_VREF に戻ります。ポイント E とポイント F の間では、積分器が負の積分フェーズとオフセットの相殺を完了します。
- ポイント F では、ADC によってサンプリングされるまで積分器出力が維持されます。

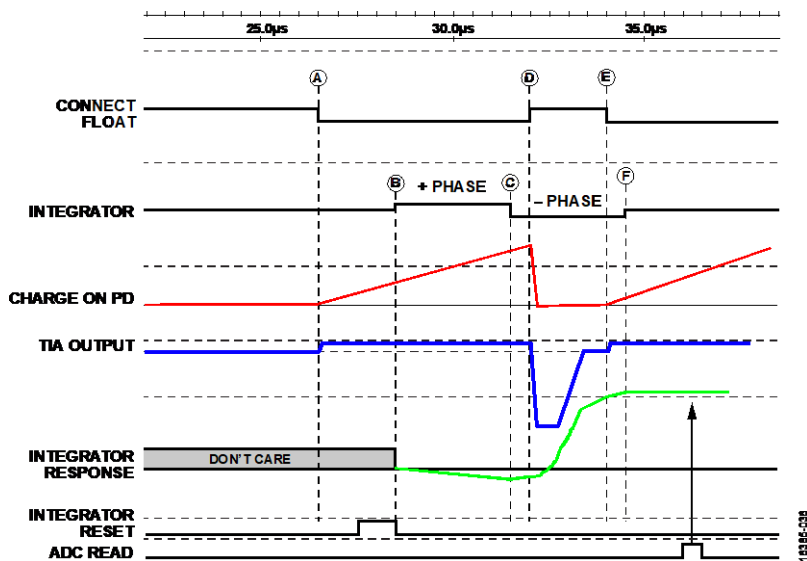


図 39. フロート・モード測定サイクルのタイミング図

### フロート・モードの制約

フロート・モードを使用するときは、このモードの制約を十分に理解しておく必要があります。例えば、フォトダイオードの容量に蓄積できる電荷量は有限であり、積分器が積分できる電荷量にも上限があります。フォトダイオードの初期逆バイアスを 250mV とすると、約 200mV の順方向バイアスでフォトダイオードが非線形になり始める場合は、アノード電圧がフロート時間の開始時から増加し線形状態での電荷蓄積が終わるまでに、約 450mV のヘッドルームがあります。フォトダイオードは、線形領域でのみ使用するのが望ましい方法です（図 40 を参照）。フロート・モードがダイオードの線形領域で動作しているかどうかは、簡単に確認することができます。まず希望するフロート時間でデータを記録し、次にフロート時間の 1/2 の位置でデータを記録します。これら 2 つの受信信号の比が 2 : 1 になっているのが、望ましい状態です。比率が 2 : 1 になっていない場合はフロート時間が長く、ダイオードは順方向バイアスを開始して非線形になります。

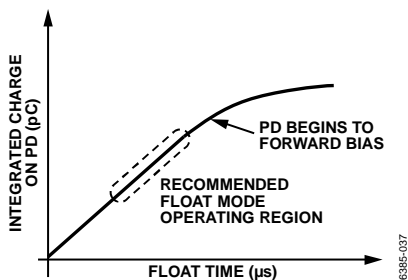


図 40. フォトダイオードに蓄積された電荷の伝達関数とフロート時間

フォトダイオード容量に保存でき、センサーの線形動作範囲内に留まる最大電荷量は、次式で推計できます。

$$Q = CV$$

ここで、  
 $Q$  は蓄積電荷、  
 $C$  はフォトダイオードの容量、

$V$  はフォトダイオードが非線形になる前のフォトダイオードにおける電圧変化量です。  
 面積 7mm<sup>2</sup>、容量 70pF、ヘッドルーム 450mV のフォトダイオードを使用する代表的なディスクリット光学設計の場合、フォトダイオード容量に保存できる最大電荷量は 31.5pC です。

更に、ADPD188BI の積分器が積分できる最大電荷量を考えます。積分器は最大 7.6pC 電荷量を積分できます。この電荷を入力基準で考えるときは、TIA のゲインを考慮します。TIA のゲインが 200k $\Omega$  である場合、入力換算電荷は積分器の蓄積電荷に対して 1 : 1 の比率になります。更に 100k $\Omega$  のゲインでは 2 : 1、50k $\Omega$  では 4 : 1、25k $\Omega$  では 8 : 1 です。70pF のコンデンサと共にフォトダイオードを使用する前述の例では、50k $\Omega$  の TIA ゲインを使用して、1 つのパルスに対する ADC の出力がフルスケールの 70%（標準動作状態）となるようにフロート・タイミングを設定します。これらの動作条件での積分器による 1 パルスあたりの積分量は 5.3pC で、フォトダイオード容量には 21.2pC の電荷が蓄積されます。しかし CTR が小さい場合は、フォトダイオード容量に 21.2pC の電荷を蓄積するのに時間がかかることがあります。この場合は、所定の時間内に蓄積できる電荷の量に従って TIA ゲインを大きくしてください。最終的に、実行しようとする測定タイプ（周辺光またはパルス LED 光）、フォトダイオード容量、およびシステムの CTR によってフロート時間が決定されます。

### 周辺光測定用フロート・モード

フロート・モードは、背景光が十分に少ない場合の周辺光測定に使われます。光が強い場合の周辺光測定には TIA ADC モードを使用してください。十分なフロート時間があればわずかな光を測定することができ、入ってくる電荷を、システムのノイズ・フロアよりも大きい測定可能レベルまで蓄積することができます。この光源は、同期光（例えばパルス LED からの光）と非同期光（背景光）のどのような組み合わせにもなることがあります。システムの生成する光源がない場合、測定は単純な背景光の測定になります。

電気的なドリフトとオフセットは、2パルス差分測定法を使用して除去します。まず、それぞれ異なるフロート時間における値を2つ測定します。最初のフロート時間は、2つめのパルスよりかなり短くします。2つの値を測定したら、測定値2から測定値1を引けば、両方の測定値に共通するオフセットとドリフトを効果的に除去することができます。後に残るのは、最初のフロート時間と2回目のフロート時間の差にあたる時間で積分された電荷量に基づく周辺光の測定値です。例えば、フロート時間1が6μsでフロート時間2が26μsとすると、周辺光測定値は20μsの間にフォトダイオード容量に蓄積された電荷量で、オフ

セットとドリフトはすべて除去されます。周辺光用フロート・モードでは、最初のパルスだけが短くなる可能性があるため、ドリフトとオフセットを除去するためにパルス数を2つに設定する必要があります。3つ以上のパルスを使用することもできますが、パルス2~nは常に同じ長さになります。ドリフトを除去する必要がない場合は、任意の数のパルスを使ってそれらをすべて加算することができます。フロート周辺光モードのタイミング例を図41に示します。表20は、設定する必要のある関連レジスタの詳細です。

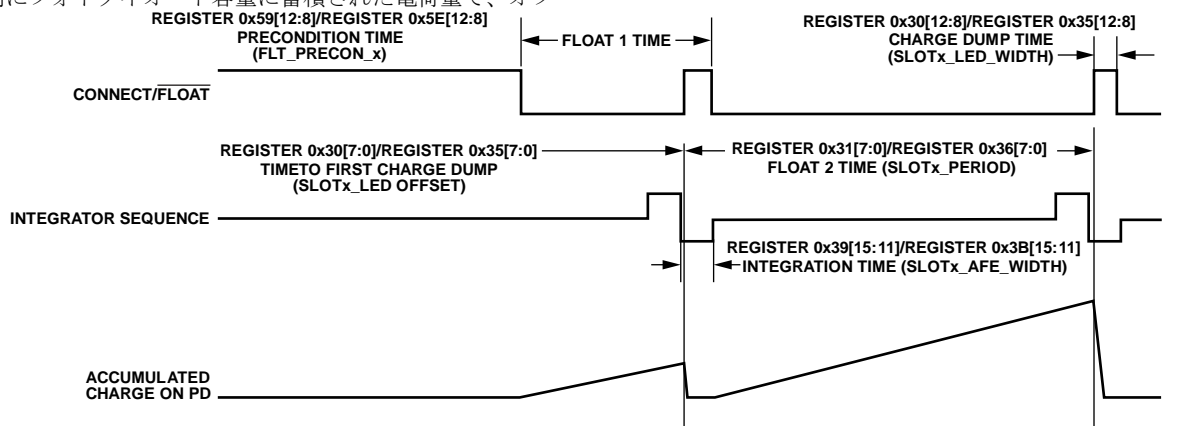


図 41. フロート周辺光モードのタイミング例

表 20. フロート周辺光モード用レジスタ

Group	Register Name	Register		Float Mode Description
		Time Slot A	Time Slot B	
Float Mode Operation	SLOTx_LED_SEL	0x14, Bits[1:0]	0x14, Bits[3:2]	フロート・モードを有効にするには0に設定。
	FLT_EN_x	0x5E, Bits[14:13]	0x59, Bits[14:13]	接続パルス間のフロートを有効にするには3に設定。
	FLT_MATH12_x	0x58, Bits[2:1]	0x58, Bits[6:5]	最初のパルスを減算して2番目のパルスを加算するには、2に設定。
	SLOTx_AFE_CFG	0x43, Bits[15:0]	0x45, Bits[15:0]	TIAと積分器を使用し、BPFをバイパスするには、0xAE65に設定。
	SLOTx_TIA_VREF	0x42, Bits[5:4]	0x44, Bits[5:4]	TIA_VREF = 0.9Vとするには2に設定。
	SLOTx_V_CATHODE	0x54, Bits[9:8]	0x54, Bits[11:10]	プリコンディションでフォトダイオードに250mVの逆バイアスをかけるには、2に設定。
	REG54_VCAT_ENABLE	0x54, Bit 7	0x54, Bit 7	レジスタ0x3Cのカソード電圧設定をオーバーライドするには、1に設定。
Float Mode Timing	FLT_PRECON_x	0x5E, Bits[12:8]	0x59, Bits[12:8]	プリコンディション時間（フロート1の開始までの時間）。
	SLOTx_PERIOD	0x31, Bits[7:0]	0x36, Bits[7:0]	フロート期間（μs単位）の8LSB、フロート2時間 = SLOTx_PERIOD
	SLOTx_PERIOD	0x37, Bits[1:0]	0x37, Bits[9:8]	フロート期間の2MSB。
	SLOTx_LED_WIDTH	0x30, Bits[12:8]	0x35, Bits[12:8]	接続時間（μs）。これは蓄積された電荷をフォトダイオード容量から放出するための時間で、通常は2μsに設定されます。
	SLOTx_LED_OFFSET	0x30, Bits[7:0]	0x35, Bits[7:0]	最初の電荷放出までの時間。フロート1時間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECON_x。
	SLOTx_AFE_WIDTH	0x39, Bits[15:11]	0x3B, Bits[15:11]	積分時間（μs）。FLT_CONNx + 1に設定します。
	SLOTx_AFE_OFFSET	0x39, Bits[10:0]	0x3B, Bits[10:0]	31.25nsインクリメントでの積分器起動時間。(SLOTx_LED_OFFSETx - SLOTx_AFE_WIDTH - 9.25) μsに設定します。
SLOTx_PULSES	0x31, Bits[15:8]	0x36, Bits[15:8]	パルス数。フロート周辺光モードでは2に設定します。	

## 同期 LED 測定用フロート・モード

フロート LED モードでは、フロート時間内の周辺光とパルス LED 光から光電流が生成されます。フロート LED モードは、CTR が 10nA/mA 未満の低信号状態に適しています。フロート・モードは、比較的長い LED パルスの間に受け取った電荷を信号パスからのノイズを加えることなく蓄積し、光子あたりの S/N 比を効果的に最大化できます。

フロート周辺光モード同様に、複数のパルスによって電気的なオフセットとドリフトを除去しますが、フロート LED モードで必要なのは LED パルスからの反射リターン光だけなので、周辺光も除去する必要があります。これを実現するには、同じ長さのパルスを偶数個使用します。すべてのパルス・ペアにおいて、一方のパルスで LED を点灯し他方では消灯します。一方のパルスには LED からのリターン光 + 周辺光 + オフセットが含まれますが、他方のパルスに含まれるのは周辺光とオフセットだけです。2 つのパルスの差を取ると、周辺光だけでなく、オフセットとドリフトも除去されます。測定には、パルス 2 とパルス 3 で

LED を点灯する 4 パルスのグループを使用することを推奨します。加算器はパルス 2 とパルス 3 を加算して、パルス 1 とパルス 4 を減算します。更に S/N 比を向上させるには、複数の 4 パルス・グループを使用します。

FLT\_LED\_FIRE\_x、つまりレジスタ 0x5A のビット [15:8] の設定は、LED をどのパルス位置で点灯するかを決定します。どの位置のパルスを加算してどの位置のパルスを減算するかは、レジスタ 0x58 の FLT\_MATH12x ビットと FLT\_MATH34x ビットで設定します。これらのシーケンスは 4 パルスのグループで繰り返されます。FIFO またはデータ・レジスタに書き込まれる値は、1 サンプル周期あたりのパルスの合計数に依存します。例えば、32 個のパルスに合わせてデバイスを設定した場合は、FLT\_LED\_FIRE\_x と FLT\_MATHxxx の定義に従って 4 パルス・シーケンスを 8 回繰り返し、32 個のパルスに基づいて 1 つのレジスタまたは FIFO に最終値を書き込みます。フロート LED モードに関連するレジスタの詳細を、表 21 に示します。

表 21. フロート LED モード・レジスタ

Group	Register Name	Register Address		Float Mode Description
		Time Slot A	Time Slot B	
Float Mode Operation	SLOTx_LED_SEL	0x14, Bits[1:0]	0x14, Bits[3:2]	フロート・モードを有効にするには 0 に設定。
	FLT_EN_x	0x5E, Bits[14:13]	0x59, Bits[14:13]	接続パルス間のフロートを有効にするには 3 に設定。
	FLT_MATH12_x	0x58, Bits[2:1]	0x58, Bits[6:5]	最初のパルスを減算して 2 番目のパルスを加算するには、2 に設定。
	FLT_MATH34_x	0x58, Bits[9:8]	0x58, Bits[11:10]	3 番目のパルスを加算して 4 番目のパルスを減算するには、1 に設定。
	SLOTx_AFE_CFG	0x43, Bits[15:0]	0x45, Bits[15:0]	TIA と積分器を使用し、BPF をバイパスするには、0xAE65 に設定。
	SLOTx_TIA_VREF	0x42, Bits[5:4]	0x44, Bits[5:4]	TIA_VREF = 0.9V とするには 2 に設定。
	SLOTx_V_CATHODE	0x54, Bits[9:8]	0x54, Bits[11:10]	プリコンディションでフォトダイオードに 250mV の逆バイアスをかけるには、2 に設定。
	REG54_VCAT_ENABLE	0x54, Bit 7	0x54, Bit 7	レジスタ 0x3C のカソード電圧設定をオーバーライドするには、1 に設定。
FLT_LED_SELECT_x	0x3E, Bits[15:14]	0x3F[15:14]	フロート LED モードの LED 選択。 00 = LED なし。 01 = LED1。 10 = LED2。 11 = LED3。	
Float Mode Timing	FLT_PRECON_x	0x5E, Bits[12:8]	0x59, Bits[12:8]	プリコンディション時間（フロート 1 の開始までの時間）。
	SLOTx_PERIOD	0x31, Bits[7:0]	0x36, Bits[7:0]	フロート期間（ $\mu\text{s}$ 単位）の 8LSB。フロート 2 時間 = SLOTx_PERIOD。フロート 2 時間は、最初のパルス後のすべてのパルスに対して有効です。フロート LED モードでは、フロート 1 時間をフロート 2 時間と同じに設定する必要があります。
	SLOTx_PERIOD	0x37, Bits[1:0]	0x37, Bits[9:8]	フロート期間の 2MSB。
	SLOTx_LED_WIDTH	0x30, Bits[12:8]	0x35, Bits[12:8]	接続時間（ $\mu\text{s}$ ）。これは、蓄積された電荷をフォトダイオード容量から放出するための時間です。通常は 2 $\mu\text{s}$ に設定します。
	SLOTx_LED_OFFSET	0x30, Bits[7:0]	0x35, Bits[7:0]	最初の電荷放出までの時間。フロート 1 時間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECONx。フロート LED モードでは、フロート 1 時間とフロート 2 時間が等しくなければなりません。

Group	Register Name	Register Address		Float Mode Description
		Time Slot A	Time Slot B	
	SLOTx_AFE_WIDTH	0x39, Bits[15:11]	0x3B, Bits[15:11]	積分時間 (μs)。FLT_CONN + 1 に設定します。 31.25ns インクリメントでの積分器起動時間。 (SLOTx_LED_OFFSET - SLOTx_AFE_WIDTH - 9.25) μs に設定します。
	SLOTx_AFE_OFFSET	0x39, Bits[10:0]	0x3B, Bits[10:0]	
	SLOTx_PULSES	0x31, Bits[15:8]	0x36, Bits[15:8]	パルス数。2 の倍数に設定する必要があり、最小値は 2 です。
	FLT_LED_WIDTH_x	0x3E, Bits[12:8]	0x3F, Bits[12:8]	フロート LED モードの LED パルス幅 (μs 単位)。
	FLT_LED_OFFSET_x	0x3E, Bits[7:0]	0x3F, Bits[7:0]	フロート LED モードでの最初の LED パルスの時間。
	FLT_LED_FIRE_x	0x5A, Bits[11:8]	0x5A, Bits[15:12]	4 個のパルスの任意のシーケンスにおいて、選択した位置で LED を点灯します。選択はアクティブ・ローです (つまり、0 で LED が点灯)。例えば、タイム・スロット B における 4 パルスのシーケンスでは、レジスタ 0x5A のビット 12 が最初のパルスで、レジスタ 0x5A のビット 15 が 4 番目のパルスです。4 パルスのシーケンスの場合は、レジスタ 0x5A のビット [15 : 12] に 0x9 を書き込むことにより、2 番目と 3 番目のパルスで LED を点灯します。

図 42 に、タイム・スロット B における 4 パルスのフロート LED シーケンスのタイミング図を示します。この例では、デバイスは 12μs の LED パルスに合わせて設定されています。このパルスは 16μs のフロート期間に包含され、うち 2μs はフォトダイオードに蓄積された電荷の放出に使われます。積分時間は、入ってくる電荷を積分する際にタイミング・マージンを取れるよう、電荷放出時間より 1μs 多い 3μs に設定されます。積分開始時間には 9μs のオフセットが組み込まれています。SLOTx\_AFE\_OFFSET の値を設定するときは、このオフセットを考慮に入れてください。図 42 に示すように、最初の電荷放出の時間は 30μs に設定されています。SLOTx\_AFE\_OFFSET は、3μs の積分時間、9μs のオフセット、更にエッジ配置マージン用に追加する 250ns を考慮に入れて、0x238 (17.75μs) に設定されます。

SLOTx\_AFE\_OFFSET を計算するには、以下の式を使用します。

$$SLOTx\_AFE\_OFFSET = SLOTx\_LED\_OFFSET - SLOTx\_AFE\_WIDTH - 9.25\mu s$$

積分区間は、電荷放出フェーズが積分の負のフェーズの中央になるように配置します。TIA は反転段なので、負の積分フェーズをフォトダイオードからの電荷放出時に配置すると、積分値は TIA の立下がり出力信号で増加します。

LED は、4 パルス・シーケンスの 2 番目と 3 番目のパルスで点灯します。レジスタ 0x58 のビット [6 : 5] を 2 に設定し、レジスタ 0x58 のビット [11 : 10] を 1 に設定すると、デバイスは 2 番目と 3 番目のパルスを加算し、1 番目と 4 番目のパルスを減算して、効果的に周辺光および電氣的なオフセットとドリフトを除去します。

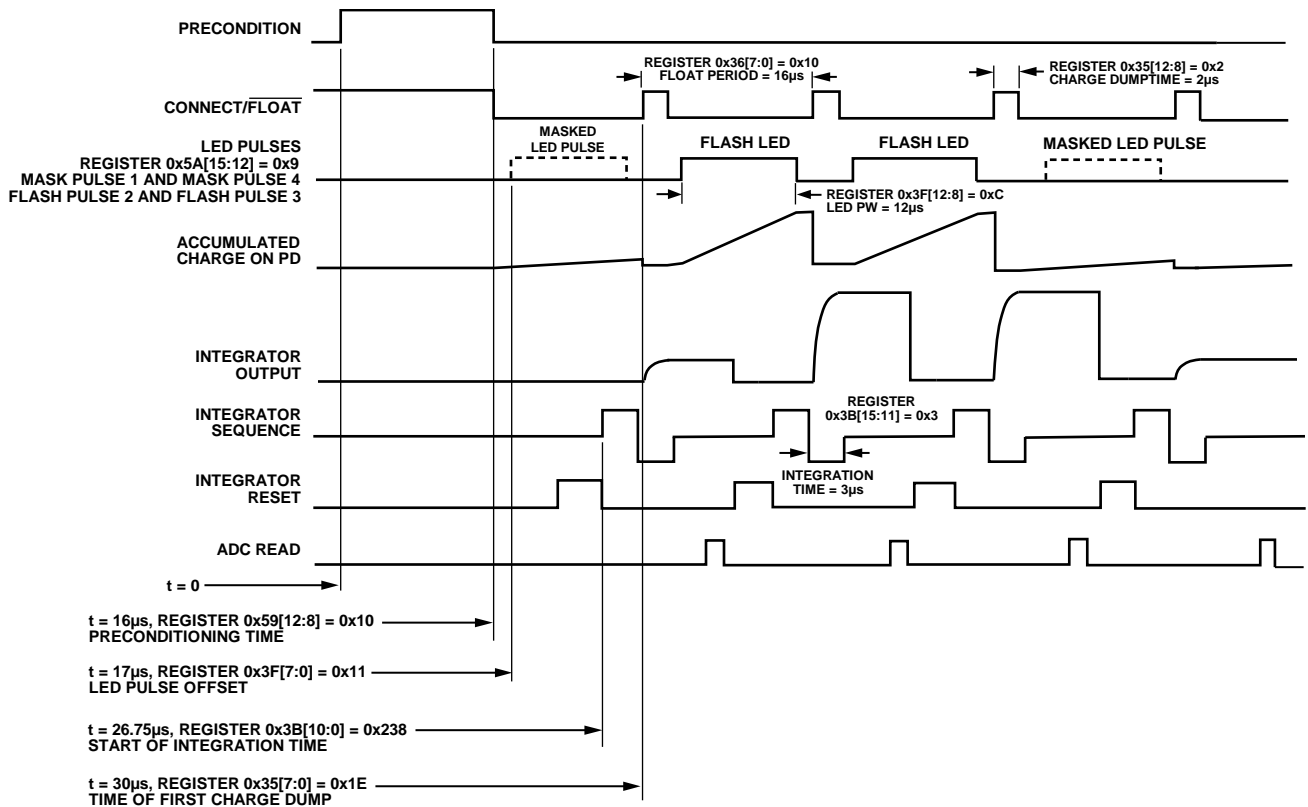


図 42.4 パルス・フロート LED モード・シーケンスのタイミング図 (例)

フロート周辺光モードとフロート LED モードの比較を、表 22 と表 23 に示します。

表 22. フロート周辺光モード—周辺光レベルの測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Shorter	Offset, Ambient 1 (shorter time)	Subtract	Ambient Measurement = Ambient 2 – Ambient 1 (offset cancels)
2	Longer	Offset, Ambient 1 (shorter time)	Add	
3	Not applicable	Not applicable	Not applicable	
4	Not applicable	Not applicable	Not applicable	

表 23. フロート LED モード—LED の同期反射光の測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Equal	Offset + Ambient	Subtract	Sync LED response = reflected LED return (offset and ambient cancel)
2	Equal	Offset + Ambient + LED	Add	
3	Equal	Offset + Ambient + LED	Add	
4	Equal	Offset + Ambient	Subtract	

## フロート LED モードでの周辺光レベルのモニタリング

実際のアプリケーションでは、周辺光レベルは常時変化するのが一般的です。フロート LED モードの使用時に、周辺光の量が増えて、電荷の量がフォトダイオード容量に保存できるダイナミック・レンジの許容量を超えそうになる可能性もあります。このため、必要に応じてフロート時間、TIA ゲイン、動作モードなどの設定を変更できるように、周辺光レベルを監視する必要があります。周辺光レベルを監視する方法は 2 つあります。1 つは、タイム・スロット 1 つおきに TIA ADC モードを使用し、周辺光レベルを連続して監視する方法です。もう 1 つは ADPD188BI の機能を使用する方法です。ADPD188BI は、フロート・モード動作中に背景の周辺光レベルを自動的に監視し、それをユーザ定義の閾値と比較する機能を備えています。周辺光レベルがユーザ定義の回数だけこの閾値を超えると、デバイスによってフラグが設定されるので、このフラグを読み出したたり GPIO へ出力したりすることができます。表 24 に、フロート LED モードで周辺光レベルのモニタに使用するすべてのレジスタを示します。

周辺光レベルの閾値は、BG\_THRESH\_x ビットで設定します。これは、ADC によるフロート LED モードの減算サイクルの結果と比較する閾値です。フロート LED モードの減算サイクルは、LED パルスがマスクされるパルス・シーケンス内に位置します。したがって、これは背景レベルの測定になります。ADC の結果は、未処理の ADC 出力から ADC オフセット・レジスタ (レジスタ 0x18~レジスタ 0x1B およびレジスタ 0x1E~レジスタ 0x21) の内容を差し引いたものと等しくなります。BG\_COUNT\_x ビットは、ADC の結果が BG\_THRESH\_x を何回超過したら特定のチャンネルについて BG\_STATUS ビットをセットするかを決定する、上限サイクル数を設定します。減算サイクル中に ADC の結果が BG\_THRESH\_x の値を超えるごとに、内部カウンタがインクリメントします。各チャンネルは専用のカウンタを備えています。このカウンタが BG\_COUNT\_x レジスタで設定した制限を超えるたびに、そのチャンネルに対して BG\_STATUS ビットがセットされます。ユーザは、定期的に BG\_STATUS レジスタをモニタして、アサートされたビットを確認することができます。あるいは、BG\_STATUS フラグが設定されたときに GPIOx ピンをアサートできます。GPIOx で使用可能な BG\_STATUS フラグと割込みの論理的な組み合わせについては、表 24 を参照してください。

表 24. フロート LED モードでの周辺光レベル・モニタリングに使用するレジスタ

Float Mode Register Name	Register		Description
	Time Slot A	Time Slot B	
BG_STATUS_x	0x04, Bits[3:0]	0x04, Bits[7:4]	背景光レベルと背景閾値 (BG_THRESH_x) の比較ステータス。どのビット位置が 1 であっても、BG_COUNT で示される回数だけ閾値を超えたことを意味します。このレジスタは、読み出されるとクリアされます。 ビット 0 : タイム・スロット A のチャンネル 1 が閾値カウントを超えました。 ビット 1 : タイム・スロット A のチャンネル 2 が閾値カウントを超えました。 ビット 2 : タイム・スロット A のチャンネル 3 が閾値カウントを超えました。 ビット 3 : タイム・スロット A のチャンネル 4 が閾値カウントを超えました。 ビット 4 : タイム・スロット B のチャンネル 1 が閾値カウントを超えました。 ビット 5 : タイム・スロット B のチャンネル 2 が閾値カウントを超えました。 ビット 6 : タイム・スロット B のチャンネル 3 が閾値カウントを超えました。 ビット 7 : タイム・スロット B のチャンネル 4 が閾値カウントを超えました。
BG_THRESH_x	0x16, Bits[13:0]	0x1C[13:0]	フロート・モードの減算サイクル中に、ADC の結果に対して比較される背景閾値。ADC 結果がこのレジスタの値を超えると、BG_COUNT_x がインクリメントします。
BG_COUNT_x	0x16, Bits[15:14]	0x1C[15:14]	フロート・モードの減算サイクル中に ADC 値が BG_THRESH_x 値を超えた回数がこの値に達すると、BG_STATUS_x ビットがセットされます。 0x0 : BG_STATUS_x をセットしません。 0x1 : BG_THRESH_x を 1 回超えるとセットされます。 0x02 : BG_THRESH_x を 4 回超えるとセットされます。 0x03 : BG_THRESH_x を 16 回超えるとセットされます。
GPIO0_ALT_CFG	0x0B[4:0]	0x0B[4:0]	GPIO0 は以下の条件でアサートされます。 0x10 : BG_STATUS_x のビット [3 : 0] の論理 OR。 0x1A : BG_STATUS_x のビット [7 : 4] の論理 OR。 0x1B : BG_STATUS_x のビット [7 : 0] の論理 OR。 0x1C : BG_STATUS_x のビット [7 : 0] と INT の論理 OR。
GPIO1_ALT_CFG	0x0B[12:8]	0x0B[12:8]	GPIO1 は以下の条件でアサートされます。 0x10 : BG_STATUS_x のビット [3 : 0] の論理 OR。 0x1A : BG_STATUS_x のビット [7 : 4] の論理 OR。 0x1B : BG_STATUS_x のビット [7 : 0] の論理 OR。 0x1C : BG_STATUS_x のビット [7 : 0] と INT の論理 OR。

## レジスタの一覧

推奨値は記載していません。表 25 にはパワーオン・リセット値のみを記載しています。推奨値は使用状況に大きく依存します。

表 25. 数値型レジスタの一覧

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x00	Status	[15:8]	FIFO_SAMPLES[7:0]									0x0000	R/W
		[7:0]	Reserved	SLOTB_INT	SLOTA_INT	Reserved							
0x01	INT_MASK	[15:8]	Reserved									0x00FF	R/W
		[7:0]	Reserved	SLOTB_INT_MASK	SLOTA_INT_MASK	Reserved							
0x02	GPIO_DRV	[15:8]	Reserved						GPIO1_DRV	GPIO1_PO L	0x0000	R/W	
		[7:0]	Reserved					GPIO0_EN A	GPIO0_DRV	GPIO0_PO L			
0x04	BG_STATU S	[15:8]	Reserved									0x0000	R/W
		[7:0]	BG_STATUS_B[3:0]					BG_STATUS_A[3:0]					
0x06	FIFO_THRESH	[15:8]	Reserved			FIFO_THRESH[5:0]					0x0000	R/W	
		[7:0]	Reserved										
0x08	DEVID	[15:8]	REV_NUM[7:0]									0x0916	R
		[7:0]	DEV_ID[7:0]										
0x09	I2CS_ID	[15:8]	ADDRESS_WRITE_KEY[7:0]									0x00C8	R/W
		[7:0]	SLAVE_ADDRESS[6:0]							Reserved			
0x0A	CLK_RATI O	[15:8]	Reserved				CLK_RATIO[11:8]					0x0000	R
		[7:0]	CLK_RATIO[7:0]										
0x0B	GPIO_CTRL	[15:8]	Reserved			GPIO1_ALT_CFG[4:0]						0x0000	R/W
		[7:0]	Reserved			GPIO0_ALT_CFG[4:0]							
0x0D	SLAVE_ADDRESS_KEY	[15:8]	SLAVE_ADDRESS_KEY[15:8]									0x0000	R/W
		[7:0]	SLAVE_ADDRESS_KEY[7:0]										
0x0F	SW_RESET	[15:8]	Reserved									0x0000	R/W
		[7:0]	Reserved								SW_RESET		
0x10	Mode	[15:8]	Reserved									0x0000	R/W
		[7:0]	Reserved						Mode[1:0]				
0x11	SLOT_EN	[15:8]	Reserved		RDOUT_MODE	FIFO_OVRN_PREVENT	Reserved			SLOTB_FIFO_MODE[2]	0x1000	R/W	
		[7:0]	SLOTB_FIFO_MODE[1:0]		SLOTB_EN	SLOTA_FIFO_MODE[2:0]			Reserved	SLOTA_EN			
0x12	FSAMPLE	[15:8]	FSAMPLE[15:8]									0x0028	R/W
		[7:0]	FSAMPLE[7:0]										
0x14	PD_LED_SELECT	[15:8]	Reserved				SLOTB_PD_SEL[3:0]					0x0541	R/W
		[7:0]	SLOTA_PD_SEL[3:0]			SLOTB_LED_SEL[1:0]		SLOTA_LED_SEL[1:0]					
0x15	NUM_AVG	[15:8]	Reserved					SLOTB_NUM_AVG[2:0]				0x0600	R/W
		[7:0]	Reserved	SLOTA_NUM_AVG[2:0]			Reserved						
0x16	BG_MEAS_A	[15:8]	BG_COUNT_A[1:0]		BG_THRESH_A[13:8]							0x3000	R/W
		[7:0]	BG_THRESH_A[7:0]										
0x18	SLOTA_CH1_OFFSET	[15:8]	SLOTA_CH1_OFFSET[15:8]									0x2000	R/W
		[7:0]	SLOTA_CH1_OFFSET[7:0]										
0x19	SLOTA_CH2_OFFSET	[15:8]	SLOTA_CH2_OFFSET[15:8]									0x2000	R/W
		[7:0]	SLOTA_CH2_OFFSET[7:0]										
0x1A	SLOTA_CH3_OFFSET	[15:8]	SLOTA_CH3_OFFSET[15:8]									0x2000	R/W
		[7:0]	SLOTA_CH3_OFFSET[7:0]										
0x1B	SLOTA_CH4_OFFSET	[15:8]	SLOTA_CH4_OFFSET[15:8]									0x2000	R/W
		[7:0]	SLOTA_CH4_OFFSET[7:0]										
0x1C	BG_MEAS_B	[15:8]	BG_COUNT_B[1:0]		BG_THRESH_B[13:8]							0x3000	R/W
		[7:0]	BG_THRESH_B[7:0]										
0x1E	SLOTB_CH1_OFFSET	[15:8]	SLOTB_CH1_OFFSET[15:8]									0x2000	R/W
		[7:0]	SLOTB_CH1_OFFSET[7:0]										



Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x1F	SLOTB_CH2 _OFFSET	[15:8]	SLOTB_CH2_OFFSET[15:8]								0x2000	R/W	
		[7:0]	SLOTB_CH2_OFFSET[7:0]										
0x20	SLOTB_CH3 _OFFSET	[15:8]	SLOTB_CH3_OFFSET[15:8]								0x2000	R/W	
		[7:0]	SLOTB_CH3_OFFSET[7:0]										
0x21	SLOTB_CH4 _OFFSET	[15:8]	SLOTB_CH4_OFFSET[15:8]								0x2000	R/W	
		[7:0]	SLOTB_CH4_OFFSET[7:0]										
0x22	ILED3_COARSE	[15:8]	Reserved		ILED3_SCALE	Reserved					0x3000	R/W	
		[7:0]	Reserved	ILED3_SLEW[2:0]			ILED3_COARSE[3:0]						
0x23	ILED1_COARSE	[15:8]	Reserved		ILED1_SCALE	Reserved					0x3000	R/W	
		[7:0]	Reserved	ILED1_SLEW[2:0]			ILED1_COARSE[3:0]						
0x24	ILED2_COARSE	[15:8]	Reserved		ILED2_SCALE	Reserved					0x3000	R/W	
		[7:0]	Reserved	ILED2_SLEW[2:0]			ILED2_COARSE[3:0]						
0x25	ILED_FINE	[15:8]	ILED3_FINE[4:0]				ILED2_FINE[4:2]				0x630C	R/W	
		[7:0]	ILED2_FINE[1:0]		Reserved		ILED1_FINE[4:0]						
0x30	SLOTA_LED _PULSE	[15:8]	Reserved			SLOTA_LED_WIDTH[4:0]					0x0320	R/W	
		[7:0]	SLOTA_LED_OFFSET[7:0]										
0x31	SLOTA_NUMPULSES	[15:8]	SLOTA_PULSES[7:0]								0x0818	R/W	
		[7:0]	SLOTA_PERIOD[7:0]										
0x34	LED_DISABLE	[15:8]	Reserved						SLOTB_LED_DIS	SLOTA_LED_DIS	0x0000	R/W	
		[7:0]	Reserved										
0x35	SLOTB_LED_PULSE	[15:8]	Reserved			SLOTB_LED_WIDTH[4:0]					0x0320	R/W	
		[7:0]	SLOTB_LED_OFFSET[7:0]										
0x36	SLOTB_NUMPULSES	[15:8]	SLOTB_PULSES[7:0]								0x0818	R/W	
		[7:0]	SLOTB_PERIOD[7:0]										
0x37	ALT_PWR_DN	[15:8]	CH34_DISABLE[15:13]				CH2_DISABLE[12:10]			SLOTB_PERIOD[9:8]		0x0000	R/W
		[7:0]	Reserved						SLOTA_PERIOD[9:8]				
0x38	EXT_SYNC_STARTUP	[15:8]	EXT_SYNC_STARTUP[15:8]								0x000	R/W	
		[7:0]	EXT_SYNC_STARTUP[7:0]										
0x39	SLOTA_AFE_WINDOW	[15:8]	SLOTA_AFE_WIDTH[4:0]				SLOTA_AFE_OFFSET[10:8]				0x22FC	R/W	
		[7:0]	SLOTA_AFE_OFFSET[7:0]										
0x3B	SLOTB_AFE_WINDOW	[15:8]	SLOTB_AFE_WIDTH[4:0]				SLOTB_AFE_OFFSET[10:8]				0x22FC	R/W	
		[7:0]	SLOTB_AFE_OFFSET[7:0]										
0x3C	AFE_PWR_CFG1	[15:8]	Reserved			Reserved			Reserved	V_CATHODE	AFE_POWER-DOWN[5]	0x3006	R/W
		[7:0]	AFE_POWERDOWN[4:0]				Reserved						
0x3E	SLOTA_FLOAT_LED	[15:8]	FLT_LED_SELECT_A[1:0]		Reserved		FLT_LED_WIDTH_A[4:0]				0x0320	R/W	
		[7:0]	FLT_LED_OFFSET_A[7:0]										
0x3F	SLOTB_FLOAT_LED	[15:8]	FLT_LED_SELECT_B[1:0]		Reserved		FLT_LED_WIDTH_B[4:0]				0x0320	R/W	
		[7:0]	FLT_LED_OFFSET_B[7:0]										
0x42	SLOTA_TIA_CFG	[15:8]	SLOTA_AFE_MODE[5:0]						SLOTA_BUF_GAIN	Reserved	0x1C38	R/W	
		[7:0]	SLOTA_INT_AS_BUF	SLOTA_TIA_IND_EN	SLOTA_TIA_VREF[1:0]			Reserved (write 0x1)		SLOTA_TIA_GAIN[1:0]			
0x43	SLOTA_AFE_CFG	[15:8]	SLOTA_AFE_CFG[15:8]								0xADA5	R/W	
		[7:0]	SLOTA_AFE_CFG[7:0]										
0x44	SLOTB_TIA_CFG	[15:8]	SLOTB_AFE_MODE[5:0]						SLOTB_BUF_GAIN	Reserved	0x1C38	R/W	
		[7:0]	SLOTB_INT_AS_BUF	SLOTB_TIA_IND_EN	SLOTB_TIA_VREF[1:0]			Reserved (write 0x1)		SLOTB_TIA_GAIN[1:0]			
0x45	SLOTB_AFE_CFG	[15:8]	SLOTB_AFE_CFG[15:8]								0xADA5	R/W	
		[7:0]	SLOTB_AFE_CFG[7:0]										
0x4B	SAMPLE_CLK	[15:8]	Reserved								CLK32K_BYP	0x2612	R/W
		[7:0]	CLK32K_EN	Reserved		CLK32K_ADJUST[5:0]							
0x4D	CLK32M_ADJUST	[15:8]	Reserved								0x0098	R/W	
		[7:0]	CLK32M_ADJUST[7:0]										

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W			
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0					
0x4F	EXT_SYNC_SEL	[15:8]	Reserved									0x2090	R/W		
		[7:0]	Reserved	GPIO1_OE	GPIO1_IE	Reserved	EXT_SYNC_SEL[1:0]	GPIO0_IE	Reserved						
0x50	CLK32M_CAL_EN	[15:8]	Reserved									0x0000	R/W		
		[7:0]	Reserved	GPIO1_CTRL	CLK32M_CAL_EN	Reserved									
0x54	AFE_PWR_CFG2	[15:8]	Reserved		SLEEP_V_CATHODE[1:0]	SLOTB_V_CATHODE[1:0]	SLOTA_V_CATHODE[1:0]						0x0AA0	R/W	
		[7:0]	REG54_VCAT_ENABLE	Reserved											
0x55	TIA_INDEP_GAIN	[15:8]	Reserved				SLOTB_TIA_GAIN_4[1:0]	SLOTB_TIA_GAIN_3[1:0]						0x0000	R/W
		[7:0]	SLOTB_TIA_GAIN_2[1:0]	SLOTA_TIA_GAIN_4[1:0]	SLOTA_TIA_GAIN_3[1:0]	SLOTA_TIA_GAIN_2[1:0]									
0x58	MATH	[15:8]	Reserved				FLT_MATH34_B[1:0]	FLT_MATH34_A[1:0]						0x0000	R/W
		[7:0]	ENA_INT_AS_BUF	FLT_MATH12_B[1:0]	Reserved	Reserved	FLT_MATH12_A[1:0]	Reserved							
0x59	FLT_CONFIG_B	[15:8]	Reserved	FLT_EN_B[1:0]	FLT_PRECON_B[4:0]							0x0808	R/W		
		[7:0]	Reserved												
0x5A	FLT_LED_FIRE	[15:8]	FLT_LED_FIRE_B[3:0]				FLT_LED_FIRE_A[3:0]						0x0010	R/W	
		[7:0]	Reserved (write 0x10)												
0x5E	FLT_CONFIG_A	[15:8]	Reserved	FLT_EN_A[1:0]	FLT_PRECON_A[4:0]							0x0808	R/W		
		[7:0]	Reserved												
0x5F	DATA_ACCESS_CTRL	[15:8]	Reserved									0x0000	R/W		
		[7:0]	Reserved						SLOTB_DATA_HOLD	SLOTA_DATA_HOLD	DIGITAL_CLOCK_ENA				
0x60	FIFO_ACCESS	[15:8]	FIFO_DATA[15:8]										0x0000	R	
		[7:0]	FIFO_DATA[7:0]												
0x64	SLOTA_PD1_16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTA_CH1_16BIT[7:0]												
0x65	SLOTA_PD2_16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTA_CH2_16BIT[7:0]												
0x66	SLOTA_PD3_16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTA_CH3_16BIT[7:0]												
0x67	SLOTA_PD4_16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTA_CH4_16BIT[7:0]												
0x68	SLOTB_PD1_16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTB_CH1_16BIT[7:0]												
0x69	SLOTB_PD2_16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTB_CH2_16BIT[7:0]												
0x6A	SLOTB_PD3_16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTB_CH3_16BIT[7:0]												
0x6B	SLOTB_PD4_16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]										0x0000	R	
		[7:0]	SLOTB_CH4_16BIT[7:0]												
0x70	A_PD1_LOW	[15:8]	SLOTA_CH1_LOW[15:8]										0x0000	R	
		[7:0]	SLOTA_CH1_LOW[7:0]												
0x71	A_PD2_LOW	[15:8]	SLOTA_CH2_LOW[15:8]										0x0000	R	
		[7:0]	SLOTA_CH2_LOW[7:0]												
0x72	A_PD3_LOW	[15:8]	SLOTA_CH3_LOW[15:8]										0x0000	R	
		[7:0]	SLOTA_CH3_LOW[7:0]												
0x73	A_PD4_LOW	[15:8]	SLOTA_CH4_LOW[15:8]										0x0000	R	
		[7:0]	SLOTA_CH4_LOW[7:0]												
0x74	A_PD1_HIGH	[15:8]	SLOTA_CH1_HIGH[15:8]										0x0000	R	
		[7:0]	SLOTA_CH1_HIGH[7:0]												
0x75	A_PD2_HIGH	[15:8]	SLOTA_CH2_HIGH[15:8]										0x0000	R	
		[7:0]	SLOTA_CH2_HIGH[7:0]												
0x76	A_PD3_HIGH	[15:8]	SLOTA_CH3_HIGH[15:8]										0x0000	R	
		[7:0]	SLOTA_CH3_HIGH[7:0]												
0x77	A_PD4_HIGH	[15:8]	SLOTA_CH4_HIGH[15:8]										0x0000	R	
		[7:0]	SLOTA_CH4_HIGH[7:0]												
0x78	B_PD1_LOW	[15:8]	SLOTB_CH1_LOW[15:8]										0x0000	R	
		[7:0]	SLOTB_CH1_LOW[7:0]												

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x79	B_PD2_LO W	[15:8]	SLOTB_CH2_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_LOW[7:0]										
0x7A	B_PD3_LO W	[15:8]	SLOTB_CH3_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_LOW[7:0]										
0x7B	B_PD4_LO W	[15:8]	SLOTB_CH4_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_LOW[7:0]										
0x7C	B_PD1_ HIGH	[15:8]	SLOTB_CH1_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH1_HIGH[7:0]										
0x7D	B_PD2_ HIGH	[15:8]	SLOTB_CH2_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_HIGH[7:0]										
0x7E	B_PD3_ HIGH	[15:8]	SLOTB_CH3_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_HIGH[7:0]										
0x7F	B_PD4_ HIGH	[15:8]	SLOTB_CH4_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_HIGH[7:0]										

## LED 制御レジスタ

表 26. LED 制御レジスタ

Address	Data Bit(s)	Default Value	Access	Name	Description
0x14	[15:12]	0x0	R/W	Reserved	正しく動作するように、これらのビットには 0x0 を書き込みます。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	タイム・スロット B の PDx 接続選択。詳細については、タイム・スロットの切替えのセクションを参照してください。
	[7:4]	0x4	R/W	SLOTA_PD_SEL	タイム・スロット A の PDx 接続選択。詳細については、タイム・スロットの切替えのセクションを参照してください。
	[3:2]	0x0	R/W	SLOTB_LED_SEL	タイム・スロット B の LED 設定。これらのビットは、どの LED がタイム・スロット B に関連付けられるかを決定します。 0x0 : AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードを有効にします。 0x1 : タイム・スロット B の期間中、LEDX1 にパルスを供給します。 0x2 : タイム・スロット B の期間中、LEDX2 にパルスを供給します。 0x3 : タイム・スロット B の期間中、LEDX3 にパルスを供給します。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	タイム・スロット A の LED 設定。これらのビットを使用して、タイム・スロット A に関連付ける LED を決定します。 0x0 : AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードを有効にします。 0x1 : タイム・スロット A の期間中、LEDX1 にパルスを供給します。 0x2 : タイム・スロット A の期間中、LEDX2 にパルスを供給します。 0x3 : タイム・スロット A の期間中、LEDX3 にパルスを供給します。
0x22	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED3_SCALE	LEDX3 の電流のスケール・ファクタ。 1 : 100% の強度。 0 : 10% の強度。LEDX3 ドライバを低消費電力モードに設定します。 LEDX3 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x22 のビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3 ドライバのスルー・レート制御。スルー・レートを低速化すると LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0x0 : 最も遅いスルー・レート。 ... 0x7 : 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED3_COARSE	LEDX3 の電流粗設定値。標準的な動作時における LEDX3 のおおまかな電流シンク目標。 0x0 : 最小粗設定値。 ... 0xF : 最大粗設定値。 $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ ここで、 LED3 <sub>PEAK</sub> は、LEDX3 のピーク目標値 (mA)。 LED3 <sub>COARSE</sub> = $50.3 + 19.8 \times$ (レジスタ 0x22、ビット [3:0])。 LED3 <sub>FINE</sub> = $0.74 + 0.022 \times$ (レジスタ 0x25、ビット [15:11])。 LED3 <sub>SCALE</sub> = $0.1 + 0.9 \times$ (レジスタ 0x22、ビット 13)。
0x23	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED1_SCALE	LEDX1 の電流のスケール・ファクタ。 1 : 100% の強度。 0 : 10% の強度。LEDX1 ドライバを低消費電力モードに設定します。 LEDX1 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x23、ビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。

Address	Data Bit(s)	Default Value	Access	Name	Description
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1 ドライバのスルー・レート制御。スルー・レートを低速化すると LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0：最も遅いスルー・レート。 ... 7：最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1 の電流粗設定値。標準的な動作時における LEDX1 のおおまかな電流シンク目標。 0x0：最小粗設定値。 ... 0xF：最大粗設定値。 $LED1_{PEAK} = LED1_{COARSE} \times LED1_{FINE} \times LED1_{SCALE}$ ここで、 $LED1_{PEAK}$ は、LEDX1 のピーク目標値 (mA)。 $LED1_{COARSE} = 50.3 + 19.8 \times$ (レジスタ 0x23、ビット [3:0])。 $LED1_{FINE} = 0.74 + 0.022 \times$ (レジスタ 0x25、ビット [4:0])。 $LED1_{SCALE} = 0.1 + 0.9 \times$ (レジスタ 0x23、ビット 13)。
0x24	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED2_SCALE	LEDX2 の電流のスケール・ファクタ。 1：100%の強度。 0：10%の強度。LEDX2 ドライバを低消費電力モードに設定します。 $LED2 \text{ 電流スケール} = 0.1 + 0.9 \times$ (レジスタ 0x24、ビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2 ドライバのスルー・レート制御。スルー・レートを低速化すると LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0：最も遅いスルー・レート。 ... 7：最も速いスルー・レート。
0x25	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2 の電流粗設定値。標準的な動作時における LEDX2 のおおまかな電流シンク目標。 0x0：最小粗設定値。 ... 0xF：最大粗設定値。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ ここで、 $LED2_{PEAK}$ は、LEDX2 のピーク目標値 (mA)。 $LED2_{COARSE} = 50.3 + 19.8 \times$ (レジスタ 0x24、ビット [3:0])。 $LED2_{FINE} = 0.74 + 0.022 \times$ (レジスタ 0x25、ビット [10:6])。 $LED2_{SCALE} = 0.1 + 0.9 \times$ (レジスタ 0x24、ビット 13)。
	[15:11]	0xC	R/W	ILED3_FINE	LEDX3 の微調整。LED3 の電流調整の乗数。 $LEDX3 \text{ の微調整} = 0.74 + 0.022 \times$ (レジスタ 0x25、ビット [15:11])。 LED3 の式全体については、レジスタ 0x22 のビット [3:0] を参照してください。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2 の微調整。LED2 の電流調整の乗数。 $LEDX2 \text{ の微調整} = 0.74 + 0.022 \times$ (レジスタ 0x25、ビット [10:6])。 LED2 の式全体については、レジスタ 0x24 のビット [3:0] を参照してください。
	5	0x0	R/W	Reserved	0x0 を書き込みます。
0x30	[4:0]	0xC	R/W	ILED1_FINE	LEDX1 の微調整。LED1 の電流調整の乗数。 $LEDX1 \text{ の微調整} = 0.74 + 0.022 \times$ (レジスタ 0x25、ビット [4:0])。 LED1 の式全体については、レジスタ 0x24 のビット [3:0] を参照してください。
	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	タイム・スロット A に対応する LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	タイム・スロット A に対応する LED オフセット幅 (1 $\mu$ s ステップ)。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x31	[15:8]	0x08	R/W	SLOTA_PULSES	LED タイム・スロット A のパルス数。n <sub>A</sub> : タイム・スロット A の LED パルス数。
	[7:0]	0x18	R/W	SLOTA_PERIOD	LED タイム・スロット A パルス周期の 8LSB (1 $\mu$ s ステップ)。
0x34	[15:10]	0x00	R/W	Reserved	0x0 を書き込みます。
	9	0x0	R/W	SLOTB_LED_DIS	タイム・スロット B の LED をディスエーブル。1 : タイム・スロット B に割り当てられた LED をディスエーブルします。 レジスタ 0x34 はドライバをアクティブ状態に維持し、ドライバが LED に対して電流をパルス供給することを防止します。暗レベルを測定するため、このレジスタを使用して両方の LED をディスエーブルする手法がよく使用されます。 LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
	8	0x0	R/W	SLOTA_LED_DIS	タイム・スロット A の LED をディスエーブル。1 : タイム・スロット A に割り当てられた LED をディスエーブルします。 LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x35	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3		SLOTB_LED_WIDTH	タイム・スロット B に対応する LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20		SLOTB_LED_OFFSET	タイム・スロット B に対応する LED オフセット幅 (1 $\mu$ s ステップ)。
0x36	[15:8]	0x08	R/W	SLOTB_PULSES	LED タイム・スロット B のパルス数。n <sub>B</sub> : タイム・スロット B の LED パルス数。
	[7:0]	0x18	R/W	SLOTB_PERIOD	LED タイム・スロット B パルス周期の 8LSB (1 $\mu$ s ステップ)。

## AFE 設定レジスタ

表 27. AFE グローバル設定レジスタ

Address	Data Bit(s)	Default Value	Access	Name	Description
0x37	[15:13]	0x0	R/W	CH34_DISABLE	チャンネル 3 とチャンネル 4 のみのパワーダウン・オプション。 ビット 13 : チャンネル 3 とチャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 14 : チャンネル 3 とチャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 15 : チャンネル 3 とチャンネル 4 の積分器オペアンプをパワーダウンします。
	[12:10]	0x0	R/W	CH2_DISABLE	ビット 10 : チャンネル 2 の TIA オペアンプをパワーダウンします。 ビット 11 : チャンネル 2 の BPF オペアンプをパワーダウンします。 ビット 12 : チャンネル 2 の積分器オペアンプをパワーダウンします。
	[9:8]	0x0	R/W	SLOTB_PERIOD	LED タイム・スロット B のパルス周期の 8MSB。
	[7:2]	0x00	R/W	Reserved	0x00 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_PERIOD	LED タイム・スロット A のパルス周期の 8MSB。
0x3C	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:11]	0x6	R/W	Reserved	0x6 を書き込みます。
	10	0x0	R/W	Reserved	予備
	9	0x0	R/W	V_CATHODE	0x0 : 1.3V (アノード電圧と同じ)。 0x1 : 1.8V (550mV の逆バイアス・フォトダイオード)。この設定値を使用すると、ノイズが増加する可能性があります。
	[8:3]	0x00	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x0 : すべてのチャンネルをオンに維持。 ビット 3 : チャンネル 1 の TIA オペアンプをパワーダウンします。 ビット 4 : チャンネル 1 の BPF オペアンプをパワーダウンします。 ビット 5 : チャンネル 1 の積分器オペアンプをパワーダウンします。 ビット 6 : チャンネル 2、チャンネル 3、チャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 7 : チャンネル 2、チャンネル 3、チャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 8 : チャンネル 2、チャンネル 3、チャンネル 4 の積分器オペアンプをパワーダウンします。
	[2:0]	0x6	R/W	Reserved	0x6 を書き込みます。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x54	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	ビット 7=1 の場合、デバイスがスリープ・モードになっている間、この設定値がカソード電圧に適用されます。 0x0 : V <sub>DD</sub> 0x1 : アイドル時は AFE VREF、スリープ時は V <sub>DD</sub> 0x2 : フロート状態。 0x3 : 0.0 V
	[11:10]	0x2	R/W	SLOTB_V_CATHODE	ビット 7=1 の場合、デバイスがタイム・スロット B で動作している間、この設定値がカソード電圧に適用されます。アノード電圧はレジスタ 0x44 のビット [5 : 4] によって決定されます。 0x0 : V <sub>DD</sub> (1.8V)。 0x1 : PD アノード電圧と同じ。 0x2 : 約 250mV の逆方向 PD バイアスを設定 (推奨設定)。 0x3 : 0.0V (入力側でダイオードに順方向バイアスを印加します)。
	[9:8]	0x2	R/W	SLOTA_V_CATHODE	ビット 7=1 の場合、デバイスがタイム・スロット A で動作している間、この設定値がカソード電圧に適用されます。アノード電圧はレジスタ 0x42 のビット [5 : 4] によって決定されます。 0x0 : V <sub>DD</sub> (1.8V)。 0x1 : PD アノード電圧と同じ。 0x2 : 約 250mV の逆方向 PD バイアスを設定 (推奨設定)。 0x3 : 0.0V (入力側でダイオードに順方向バイアスを印加します)。
	7	0x1	R/W	REG54_VCAT_ENABLE	0 : レジスタ 0x3C のビット 9 で定義したカソード電圧の設定を使用します。 1 : レジスタ 0x54 のビット [13 : 8] で定義したカソード設定値を使用して、レジスタ 0x3C のビット 9 を上書きします。
	[6:0]	0x20	R/W	Reserved	予備
0x55	[15:12]	0x0	R/W	Reserved	0x0 を書き込みます。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	レジスタ 0x44 のビット 6=1 のときの、タイム・スロット B チャンネル 4 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 200k $\Omega$ 2 : 200k $\Omega$ 3 : 200k $\Omega$
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	レジスタ 0x44 のビット 6=1 のときの、タイム・スロット B チャンネル 3 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 200k $\Omega$ 2 : 200k $\Omega$ 3 : 200k $\Omega$
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	レジスタ 0x44 のビット 6=1 のときの、タイム・スロット B チャンネル 2 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 200k $\Omega$ 2 : 200k $\Omega$ 3 : 200k $\Omega$
	[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	レジスタ 0x42 のビット 6=1 のときの、タイム・スロット A チャンネル 4 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 200k $\Omega$ 2 : 200k $\Omega$ 3 : 200k $\Omega$

Address	Data Bit(s)	Default Value	Access	Name	Description
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	レジスタ 0x42 のビット 6=1 のときの、タイム・スロット A チャンネル 3 の TIA ゲイン。 0 : 200k $\Omega$ 。 1 : 200k $\Omega$ 。 2 : 200k $\Omega$ 。 3 : 200k $\Omega$ 。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	レジスタ 0x44 のビット 6=1 のときの、タイム・スロット A チャンネル 2 の TIA ゲイン。 0 : 200k $\Omega$ 。 1 : 200k $\Omega$ 。 2 : 200k $\Omega$ 。 3 : 200k $\Omega$ 。

表 28. AFE 設定レジスタ、タイム・スロット A

Address	Data Bit(s)	Default Value	Access	Name	Description
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	タイム・スロット A に対応する AFE 積分ウィンドウ幅 (1 $\mu$ s ステップ)。
	[10:0]	0x2FC	R/W	SLOTA_AFE_OFFSET	タイム・スロット A に対応する AFE 積分ウィンドウのオフセット (31.25ns ステップ)。
0x42	[15:10]	0x07	R/W	SLOTA_AFE_MODE	0x07 に設定します。
	9	0x0	R/W	SLOTA_BUF_GAIN	0 : バッファゲイン = 1 の積分器。 1 : バッファゲイン = 0.7 の積分器。
	8	0x0	R/W	Reserved	0 に設定。
	7	0x0	R/W	SLOTA_INT_AS_BUF	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (TIA ADC モードでのみ使用)。
	6	0x0	R/W	SLOTA_TIA_IND_EN	タイム・スロット A の TIA ゲインの個別設定を有効にします。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x42 のビット [1:0] を使用して設定し、チャンネル 2 ~ チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [5:0] を使用して設定します。 0 : TIA ゲインの個別設定を無効にします。 1 : TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTA_TIA_VREF	タイム・スロット A に対応する TIA の $V_{REF}$ を設定します。 0 : 1.14 V 1 : 1.01 V 2 : 0.90 V 3 : 1.27 V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	予備 0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	タイム・スロット A に対応するトランスインピーダンス・アンプのゲイン。SLOTA_TIA_IND_EN が有効な場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。 SLOTA_TIA_IND_EN が無効な場合、タイム・スロット A に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0 : 200k $\Omega$ 。 1 : 200k $\Omega$ 。 2 : 200k $\Omega$ 。 3 : 200k $\Omega$ 。
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	タイム・スロット A の AFE 接続。 0xADA5 : アナログ・フル・バス・モード (TIA_BPF_INT_ADC)。 0xAE65 : TIA ADC モード (レジスタ 0x42 のビット 7=1、レジスタ 0x58 のビット 7=1 に設定)。 0xB065 : TIA ADC モード (レジスタ 0x42 のビット 7=0 の場合)。 その他 : 予備。



表 29. AFE 設定レジスタ、タイム・スロット B

Address	Data Bit(s)	Default Value	Access	Name	Description
0x3B	[15:11]	0x04	R/W	SLOTB_AFE_WIDTH	タイム・スロット B に対応する AFE 積分ウィンドウ幅 (1 $\mu$ s ステップ)。
	[10:0]	0x17	R/W	SLOTB_AFE_OFFSET	タイム・スロット B に対応する AFE 積分ウィンドウのオフセット (31.25ns ステップ)。
0x44	[15:10]	0x07	R/W	SLOTB_AFE_MODE	0x07 に設定します。
	9	0x0	R/W	SLOTB_BUF_GAIN	0 : バッファゲイン = 1 の積分器。 1 : バッファゲイン = 0.7 の積分器。
	8	0x0	R/W	Reserved	0 に設定。
	7	0x0	R/W	SLOTB_INT_AS_BUF	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (TIA ADC モードでのみ使用)。
	6	0x0	R/W	SLOTB_TIA_IND_EN	タイム・スロット B の TIA ゲインの個別調整を有効にするかどうか。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x44 のビット [1 : 0] を使用して設定し、チャンネル 2~チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [11 : 6] を使用して設定します。 0 : TIA ゲインの個別設定を無効にします。 1 : TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTB_TIA_VREF	タイム・スロット B に対応する TIA の VREF を設定します。 0 : 1.14 V 1 : 1.01 V 2 : 0.90 V 3 : 1.27V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTB_TIA_GAIN	タイム・スロット B に対応するトランスインピーダンス・アンプのゲイン。SLOTB_TIA_IND_EN がイネーブルされている場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。SLOTB_TIA_IND_EN が無効な場合、タイム・スロット B に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0 : 200k $\Omega$ 。 1 : 200k $\Omega$ 。 2 : 200k $\Omega$ 。 3 : 200k $\Omega$ 。
0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG	タイム・スロット B の AFE 接続。 0xADA5 : アナログ・フル・パス・モード (TIA_BPF_INT_ADC)。 0xAE65 : TIA ADC モード (レジスタ 0x44 のビット 7 = 1、レジスタ 0x58 のビット 7 = 1 に設定)。 0xB065 : TIA ADC モード (レジスタ 0x44 のビット 7 = 0 の場合)。 その他 : 予備。

## フロート・モード・レジスタ

表 30. フロート・モード・レジスタ

Address	Data Bit(s)	Default Value	Access	Name	Description
0x04	[15:8]	0x0	R	Reserved	該当せず。
	[7:4]	0x0	R	BG_STATUS_B	背景光レベルとタイム・スロット B の背景閾値 (BG_THRESH_B) の比較のステータス。どのビット位置が 1 であっても、BG_COUNT_B で示される回数だけ閾値を超えたことを意味します。このレジスタは、読み出されるとクリアされます。 ビット 4 : タイム・スロット B のチャンネル 1 が閾値カウントを超えました。 ビット 5 : タイム・スロット B のチャンネル 2 が閾値カウントを超えました。 ビット 6 : タイム・スロット B のチャンネル 3 が閾値カウントを超えました。 ビット 7 : タイム・スロット B のチャンネル 4 が閾値カウントを超えました。

Address	Data Bit(s)	Default Value	Access	Name	Description
	[3:0]	0x0	R	BG_STATUS_A	<p>背景光レベルとタイム・スロット A の背景閾値 (BG_THRESH_A) の比較のステータス。どのビット位置が 1 であっても、BG_COUNT_A で示される回数だけ閾値を超えたことを意味します。このレジスタは、読み出されるとクリアされます。</p> <p>ビット 0: タイム・スロット A のチャンネル 1 が閾値カウントを超えました。</p> <p>ビット 1: タイム・スロット A のチャンネル 2 が閾値カウントを超えました。</p> <p>ビット 2: タイム・スロット A のチャンネル 3 が閾値カウントを超えました。</p> <p>ビット 3: タイム・スロット A のチャンネル 4 が閾値カウントを超えました。</p>
0x16	[15:14]	0x0	R/W	BG_COUNT_A	<p>タイム・スロット A で、フロート・モードの減算サイクル中に ADC 値が BG_THRESH_A 値を超えた回数がこの値に達すると、BG_STATUS_A ビットがセットされます。</p> <p>0: BG_STATUS_A をセットしません。</p> <p>1: BG_THRESH_A を 1 回超えるとセットされます。</p> <p>2: BG_THRESH_A を 4 回超えるとセットされます。</p> <p>3: BG_THRESH_A を 16 回超えるとセットされます。</p>
	[13:0]	0x3000	R/W	BG_THRESH_A	<p>フロート・モードの減算サイクル中に、ADC の結果に対して比較されるタイム・スロット A の背景閾値。ADC 結果がこのレジスタの値を超えると、BG_COUNT_A がインクリメントします。</p>
0x1C	[15:14]	0x0	R/W	BG_COUNT_B	<p>タイム・スロット B で、フロート・モードの減算サイクル中に ADC 値が BG_THRESH_B 値を超えた回数がこの値に達すると、BG_STATUS_B ビットがセットされます。</p> <p>0: BG_STATUS_B をセットしません。</p> <p>1: BG_THRESH_B を 1 回超えるとセットされます。</p> <p>2: BG_THRESH_B を 4 回超えるとセットされます。</p> <p>3: BG_THRESH_B を 16 回超えるとセットされます。</p>
	[13:0]	0x3000	R/W	BG_THRESH_B	<p>フロート・モードの減算サイクル中に、ADC の結果に対して比較されるタイム・スロット B の背景閾値。ADC 結果がこのレジスタの値を超えると、BG_COUNT_B がインクリメントします。</p>
0x3E	[15:14]	0x0	R/W	FLT_LED_SELECT_A	<p>フロート LED モードにおけるタイム・スロット A の LED 選択。</p> <p>0: どの LED も選択しません。</p> <p>1: LED1 を選択。</p> <p>2: LED2 を選択。</p> <p>3: LED3 を選択。</p>
	13	0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_A	LED フロート・モードにおけるタイム・スロット A の LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_A	フロート・モードにおけるタイム・スロット A の最初の LED パルスまでの時間
0x3F	[15:14]	0x0	R/W	FLT_LED_SELECT_B	<p>フロート LED モードにおけるタイム・スロット B の LED 選択。</p> <p>0: どの LED も選択しません。</p> <p>1: LED1 を選択。</p> <p>2: LED2 を選択。</p> <p>3: LED3 を選択。</p>
	13	0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_B	LED フロート・モードにおけるタイム・スロット B の LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_B	フロート・モードにおけるタイム・スロット B の最初の LED パルスまでの時間。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x58	[15:12]	0x0	R/W	Reserved	予備
	[11:10]	0x0	R/W	FLT_MATH34_B	4パルス・シーケンスにおけるサンプル3とサンプル4の加算および減算に関するタイム・スロットBの制御（または、4の倍数個のパルスからなるシーケンス、例えば16パルス・シーケンスにおけるサンプル15とサンプル16）。 00：3番目と4番目を加算。 01：3番目を加算して4番目を減算。 10：3番目を減算して4番目を加算。 11：3番目と4番目を減算。
	[9:8]	0x0	R/W	FLT_MATH34_A	4パルス・シーケンスにおけるサンプル3とサンプル4の加算および減算に関するタイム・スロットAの制御（または、4の倍数個のパルスからなるシーケンス、例えば16パルス・シーケンスにおけるサンプル15とサンプル16）。 00：3番目と4番目を加算。 01：3番目を加算して4番目を減算。 10：3番目を減算して4番目を加算。 11：3番目と4番目を減算。
	7	0x0	R/W	ENA_INT_AS_BUF	TIA ADC モードで積分器のバッファとしての設定を有効化するには、1に設定します。
	[6:5]	0x0	R/W	FLT_MATH12_B	4パルス・シーケンスにおけるサンプル1とサンプル2の加算および減算に関するタイム・スロットBの制御（または、4の倍数個のパルスからなるシーケンス、例えば16パルス・シーケンスにおけるサンプル13とサンプル14）。 00：1番目と2番目を加算。 01：1番目を加算して2番目を減算。 10：1番目を減算して2番目を加算。 11：1番目と2番目を減算。
	[4:3]	0x0	R/W	Reserved	0x0を書き込みます。
	[2:1]	0x0	R/W	FLT_MATH12_A	4パルス・シーケンスにおけるサンプル1とサンプル2の加算および減算に関するタイム・スロットAの制御（または、4の倍数個のパルスからなるシーケンス、例えば16パルス・シーケンスにおけるサンプル13とサンプル14）。 00：1番目と2番目を加算。 01：1番目を加算して2番目を減算。 10：1番目を減算して2番目を加算。 11：1番目と2番目を減算。
	0	0x0	R/W	Reserved	0x0を書き込みます。
	0x59	15	0x0	R/W	Reserved
[14:13]		0x0	R/W	FLT_EN_B	0：デフォルト設定、タイム・スロットBのフロートを無効にします。 1：予備 2：予備 3：フロート・モードを有効にします。
[12:8]		0x08	R/W	FLT_PRECON_B	タイム・スロットBのフロート・モード・プリコンディショニング時間。これは最初のフロート時間開始までの時間で、通常は16 $\mu$ s。
0x5A	[7:0]	0x08	R/W	Reserved	0x08を書き込みます。
	[15:12]	0x0	R/W	FLT_LED_FIRE_B	4パルスの任意のシーケンスにおいて、選択した位置に0を書き込むことにより、そのパルス位置でLEDを点灯します。選択したパルス位置に1を書き込めば、そのLEDパルスをマスクします（つまりLEDを点灯しない）。タイム・スロットBの4パルス・シーケンスでは、レジスタ0x5Aのビット12が最初のパルスで、ビット13が2番目、ビット14が3番目、ビット15が4番目のパルスです。
	[11:8]	0x0	R/W	FLT_LED_FIRE_A	4パルスの任意のシーケンスにおいて、選択した位置に0を書き込むことにより、そのパルス位置でLEDを点灯します。選択したパルス位置に1を書き込めば、そのLEDパルスをマスクします（つまりLEDを点灯しない）。タイム・スロットAの4パルス・シーケンスでは、レジスタ0x5Aのビット8が最初のパルスで、ビット9が2番目、ビット10が3番目、ビット11が4番目のパルスです。
	[7:0]	0x10	R/W	Reserved	0x10を書き込みます。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x5E	15	0x0	R/W	Reserved	0x0 を書き込みます。
	[14:13]	0x0	R/W	FLT_EN_A	0 : デフォルト設定、タイム・スロット A のフロートを無効にします。 1 : 予備 2 : 予備 3 : タイム・スロット A のフロート・モードを有効にします。
	[12:8]	0x08	R/W	FLT_PRECON_A	タイム・スロット A のフロート・モード・プリコンディショニング時間。これは最初のフロート時間開始までの時間で、通常は 16 $\mu$ s。
	[7:0]	0x08	R/W	Reserved	0x08 を書き込みます。

## システム・レジスタ

表 31. システム・レジスタ

Address	Data Bit(s)	Default Value	Access	Name	Description
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFO のステータス。FIFO から読み出すことができるバイト数。この値を FIFO 長の閾値 (レジスタ 0x06 のビット [13 : 8]) と比較する場合、FIFO のステータス値はバイト単位で、FIFO 長の閾値はワード単位であることに注意してください。ここで、1 ワード = 2 バイトです。 FIFO の内容をクリアするには、ビット 15 に 1 を書き込みます。
	7	0x0	R/W	Reserved	0x1 を書き込むと、このビットはクリアされて 0x0 になります。
	6	0x0	R/W	SLOTB_INT	タイム・スロット B の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生しています。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んで影響はありません。
	5	0x0	R/W	SLOTA_INT	タイム・スロット A の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生しています。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んで影響はありません。
	[4:0]	0x00	R/W	Reserved	0x1F を書き込むと、これらのビットはクリアされて 0x00 になります。
0x01	[15:9]	0x00	R/W	Reserved	0x00 を書き込みます。
	8	0x1	R/W	FIFO_INT_MASK	FIFO データ長が、レジスタ 0x06 のビット [13 : 8] で指定された FIFO 長の閾値を上回る場合、割込みを送信するかどうか。この値を 0 にすると、割込みがイネーブルされます。
	7	0x1	R/W	Reserved	0x1 を書き込みます。
	6	0x1	R/W	SLOTB_INT_MASK	タイム・スロット B のサンプリングに対して割込みを送信します。1 を書き込むと、割込みがディスエーブルされます。0 を書き込むと、割込みがイネーブルされます。
	5	0x1	R/W	SLOTA_INT_MASK	タイム・スロット A のサンプリングに対して割込みを送信します。1 を書き込むと、割込みがディスエーブルされます。0 を書き込むと、割込みがイネーブルされます。
	[4:0]	0x1F	R/W	Reserved	0x1F を書き込みます。
0x02	[15:10]	0x00	R/W	Reserved	0x0000 を書き込みます。
	9	0x0	R/W	GPIO1_DRV	GPIO1 を駆動するかどうか。 0 : GPIO1 ピンは常に駆動されます。 1 : 割込みがアサートされると、GPIO1 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります (オープン・ドレインとして動作)。複数のデバイスが GPIO1 ピンを共有する必要がある場合は、この設定値を使用します。
	8	0x0	R/W	GPIO1_POL	GPIO1 の極性。 0 : GPIO1 ピンはアクティブ・ハイ。 1 : GPIO1 ピンはアクティブ・ロー。
	[7:3]	0x00	R/W	Reserved	0x00 を書き込みます。
	2	0x0	R/W	GPIO0_ENA	GPIO0 ピンをイネーブルします。 0 : GPIO0 ピンをディスエーブルします。割込みのステータスに関係なく、GPIO0 ピンはフロート状態になります。ステータス・レジスタ (アドレス 0x00) はアクティブな状態にとどまります。 1 : GPIO0 ピンをイネーブルします。

Address	Data Bit(s)	Default Value	Access	Name	Description
	1	0x0	R/W	GPIO0_DRV	GPIO0 を駆動するかどうか。 0 : GPIO0 ピンは常に駆動されます。 1 : 割込みがアサートされると、GPIO0 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスが GPIO0 ピンを共有する必要がある場合は、この設定値を使用します。
	0	0x0	R/W	GPIO0_POL	GPIO0 の極性。 0 : GPIO0 ピンはアクティブ・ハイ。 1 : GPIO0 ピンはアクティブ・ロー。
0x06	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO 長の閾値。FIFO 内にあるデータワードの数が、FIFO_THRESH の値を上回ったときに割込みが生成されます。FIFO 内にあるデータワードの数が、FIFO_THRESH の値以下になった時点で、割込みピンは自動的にアサート解除されます。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x08	[15:8]	0x09	R	REV_NUM	リビジョン番号。
	[7:0]	0x16	R	DEV_ID	デバイス ID。
0x09	[15:8]	0x00	W	ADDRESS_WRITE_KEY	SLAVE_ADDRESS への書き込みを行うときは、0xAD を書き込みます。それ以外の場合は、アクセスしないでください。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I <sup>2</sup> C のスレーブ・アドレス。
	0	0x0	R	Reserved	アクセスしないでください。
0x0A	[15:12]	0x0	R	Reserved	0x0 を書き込みます。
	[11:0]	0x000	R	CLK_RATIO	CLK32M_CAL_EN ビット（レジスタ 0x50 のビット 5）がセットされている場合、デバイスは 32kHz クロックの 2 サイクル分を単位として、32MHz クロックのサイクル数を計算します。その結果、通常は CLK_RATIO ビット内に 2000（0x07D0）が格納されます。
0x0B	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x00	R/W	GPIO1_ALT_CFG	GPIO1 ピンの代替設定。 0x00 : GPIO1 は ADPD103 の PDSO ピン機能と下位互換です。 0x01 : レジスタ 0x01 の定義に従って、GPIO1 で割込み機能を提供します。 0x02 : 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x05 : タイム・スロット A のパルス出力。 0x06 : タイム・スロット B のパルス出力。 0x07 : 両方のタイム・スロットのパルス出力。 0x0C : タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0x0D : タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0x0E : 発生したデータ・サイクルを出力します。 0x0F : サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10 : 出力 = 0 0x11 : 出力 = 1 0x13 : 32kHz 発振器の出力。 残りの設定値はサポートされていません。
	[7:5]	0x0	R/W	Reserved	0x0 を書き込みます。
	[4:0]	0x00	R/W	GPIO0_ALT_CFG	GPIO0 ピンの代替設定。 0x0 : GPIO0 は ADPD103 の INT ピン機能と下位互換です。 0x1 : レジスタ 0x01 の定義に従って、GPIO0 で割込み機能を提供します。 0x2 : 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x5 : タイム・スロット A のパルス出力。 0x6 : タイム・スロット B のパルス出力。

Address	Data Bit(s)	Default Value	Access	Name	Description
					0x7: 両方のタイム・スロットのパルス出力。 0xC: タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0xD: タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0xE: 発生したデータ・サイクルを出力します。 0xF: サンプルごとにトグルします。この結果、サンプリング・レートで半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32kHz 発振器の出力。 残りの設定値はサポートされていません。
0x0D	[15:0]	0x0000	R/W	SLAVE_ADDRESS_KEY	レジスタ 0x09 を使用した PC アドレスの変更を有効にするかどうか。 0x04AD: アドレスの変更を常に有効にします。 0x44AD: GPIO0 がハイの場合、アドレスの変更を有効にします。 0x84AD: GPIO1 がハイの場合、アドレスの変更を有効にします。 0xC4AD: GPIO0 と GPIO1 の両方がハイの場合、アドレスの変更を有効にします。
0x0F	[15:1]	0x0000	R	Reserved	0x0000 を書き込みます。
	0	0x0	R/W	SW_RESET	ソフトウェア・リセット。デバイスをリセットするには、0x1 を書き込みます。リセット後、このビットはセルフクリアします。PC 通信に関して、このコマンドはアクノレジを返した後、すべてのレジスタでデフォルト状態にリセットされると、デバイスはスタンバイ・モードに戻ります。
0x10	[15:2]	0x0000	R/W	Reserved	0x0000 を書き込みます。
	[1:0]	0x0	R/W	Mode	ADPD188BI の動作モードを決定します。 0x0: スタンバイ。 0x1: プログラム。 0x2: 通常動作。
0x11	[15:14]	0x0	R/W	Reserved	予備
	13	0x0	R/W	RDOUT_MODE	拡張データ・レジスタのリードバック・データ・モード。 0x0: N 個のサンプルのブロック合計。 0x1: N 個のサンプルのブロック平均。
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: 古いデータを新しいデータで書き直して、FIFO をラップ・アラウンドします。 0x1: FIFO がフルでない場合は新しいデータを書き込みます (推奨設定)。
	[11:9]	0x0	R/W	Reserved	予備
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 チャンネルすべての 16 ビットの合計。 2: 4 チャンネルすべての 32 ビットの合計。 4: タイム・スロット B に対応する 4 つのチャンネルの 16 ビット・サンプル・データ。 6: タイム・スロット B に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。 その他: 予備。 タイム・スロット B で選択したデータは FIFO に保存されます。タイム・スロット A が同じ平均化係数 N を使用している場合 (レジスタ 0x15 のビット [10: 8] = ビット [6: 4]) や、タイム・スロット A が FIFO にデータを格納しない場合 (レジスタ 0x11 のビット [4: 2] = 0) のみ、使用できます。
	5	0x0	R/W	SLOTB_EN	タイム・スロット B の有効化。1: タイム・スロット B を有効にします。
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	タイム・スロット A の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 チャンネルすべての 16 ビットの合計。 2: 4 チャンネルすべての 32 ビットの合計。 4: タイム・スロット A に対応する 4 つのチャンネルの 16 ビット・サンプル・データ。 6: タイム・スロット A に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。 その他: 予備。
	1	0x0	R/W	Reserved	0x0 を書き込みます。
	0	0x0	R/W	SLOTA_EN	タイム・スロット A の有効化。1: タイム・スロット A を有効にします。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x38	[15:0]	0x0000	R/W	EXT_SYNC_STARTUP	EXT_SYNC_SEL が 01 または 10 の場合、0x4000 を書き込みます。それ以外の場合は、0x0 を書き込みます。
0x4B	[15:9]	0x13	R/W	Reserved	0x26 を書き込みます。
	8	0x0	R/W	CLK32K_BYP	32kHz の内部発振器をバイパスするかどうか。 0x0 : 通常動作。 0x1 : GPIO1 ピンにある外部クロックを供給します。GPIO1 ピンを入力としてイネーブルするには、レジスタ 0x4F のビット [6 : 5] = 01 に設定する必要があります。
	7	0x0	R/W	CLK32K_EN	サンプリング・クロックのパワーアップ。データ・サンプリング・クロックを有効にするかどうか。 0x0 : クロックを無効にします。 0x1 : 通常動作。
	6	0x0	R/W	Reserved	0x0 を書き込みます。
0x4D	[5:0]	0x12	R/W	CLK32K_ADJUST	データ・サンプリング (32kHz) クロックの周波数を調整。このレジスタは、デバイスのサンプリング周波数をキャリブレーションし、レジスタ 0x12 で定義されるデータ・レートで高精度を達成するために使用されます。LSB あたり 0.6kHz でサンプル・マスタの 32kHz クロックを調整します。レジスタ 0x12 で 100Hz のサンプリング・レートを定義する場合、レジスタ 0x4B、ビット [5 : 0] の 1LSB は 1.9Hz になります。 値を大きくすると周波数は低くなります。クロック調整の詳細については、クロックとタイミングのキャリブレーションのセクションを参照してください。 00 0000 : 最大周波数。 10 0010 : 代表的なセンター周波数。 11 1111 : 最小周波数。
	[15:8]	0x00	R/W	Reserved	0x00 を書き込みます。
0x4F	[7:0]	0x98	R/W	CLK32M_ADJUST	内部タイミング (32MHz) クロックの周波数を調整。このレジスタは、デバイスの内部クロックをキャリブレーションし、LED パルスを高精度のタイミングで供給する場合に使用されます。LSB あたり 109kHz で 32MHz クロックを調整します。 クロック調整の詳細については、クロックとタイミングのキャリブレーションのセクションを参照してください。 0000 0000 : 最小周波数。 1001 1000 : デフォルト周波数。 1111 1111 : 最大周波数。
	[15:8]	0x20	R/W	Reserved	0x20 を書き込みます。
0x50	7	0x1	R/W	Reserved	0x1 を書き込みます。
	6	0x0	R/W	GPIO1_OE	GPIO1 ピンをイネーブルするかどうか。
	5	0x0	R/W	GPIO1_IE	GPIO1 ピンの入力をイネーブルするかどうか。
	4	0x1	R/W	Reserved	0x1 を書き込みます。
	[3:2]	0x0	R/W	EXT_SYNC_SEL	サンプリング同期の選択。 00 : 32kHz の内部クロックを FSAMPLE と組み合わせて使用し、サンプリングのタイミングを選択します。 01 : GPIO0 ピンを使用してサンプリング・サイクルをトリガします。 10 : GPIO1 ピンを使用してサンプリング・サイクルをトリガします。 11 : 予備
	1	0x0	R/W	GPIO0_IE	GPIO0 ピンの入力をイネーブルするかどうか。
	0	0x0	R/W	Reserved	0x0 を書き込みます。
0x50	[15:7]	0x000	R/W	Reserved	0x000 を書き込みます。
	6	0x0	R/W	GPIO1_CTRL	GPIO1 出力がイネーブルの場合 (GPIO1_OE = 0x1)、GPIO1 出力を制御します。 0x0 : GPIO1 出力をローに駆動します。 0x1 : GPIO1 出力は AFE のパワーダウン信号によって駆動されます。
	5	0x0	R/W	CLK32M_CAL_EN	32MHz クロックのキャリブレーション・ルーチンの一部として、1 を書き込んでクロック比の計算を開始します。この計算の結果は、レジスタ 0x0A の CLK_RATIO ビットから読み出します。 計算を再び初期化する前に、このビットを 0 にリセットしてください。
	[4:0]	0x00	R/W	Reserved	0x0 を書き込みます。

Address	Data Bit(s)	Default Value	Access	Name	Description
0x5F	[15:3]	0x0000	R/W	Reserved	0x0000 を書き込みます。
	2	0x0	R/W	SLOTB_DATA_HOLD	このビットをセットすると、タイム・スロット B に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタの更新が確実に防止され、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1：タイム・スロット B に対応するデータ・レジスタを維持します。 0：データ・レジスタの更新を許可します。
	1	0x0	R/W	SLOTA_DATA_HOLD	このビットをセットすると、タイム・スロット A に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタの更新が確実に防止され、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1：タイム・スロット A に対応するデータ・レジスタを維持します。 0：データ・レジスタの更新を許可します。
	0	0x0	R/W	DIGITAL_CLOCK_ENA	32MHz クロックのキャリブレーションを実行するときに 32MHz クロックを有効にするため、このビットを 1 に設定します。このビットを 0 にリセットしてキャリブレーションを実行した後、必ず 32MHz クロックを無効にしてください。

## ADC レジスタ

表 32. ADC レジスタ

Address	Data Bit(s)	Default Value	Access	Name	Description
0x12	[15:0]	0x0028	R/W	FSAMPLE	サンプリング周波数： $f_{\text{SAMPLE}} = 32\text{kHz}$ / (レジスタ 0x12 のビット [15 : 0] × 4)。 例えば、100Hz = 0x0050、200Hz = 0x0028 です。
0x15	[15:11]	0x00	R/W	Reserved	0x0 を書き込みます。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	タイム・スロット B に対応するサンプルの合計/平均。平均化係数 $N_B$ を指定します。この値は、合計の対象になる個別サンプル数であり、ADC よりも後段で平均化されます。レジスタ 0x70～レジスタ 0x7F はデータの合計を保持します。レジスタ 0x64～レジスタ 0x6B、およびレジスタ 0x60 内のデータ・バッファはデータ平均を保持します。この値を使用すると、16 ビット・レジスタでクリップを実行せずに SNR を向上させることができます。SLOTB_NUMB_AVG ビットの値を使用して、データ・レートのデシメーションが実行されます。 0 : 1 1 : 2 2 : 4 3 : 8 4 : 16 5 : 32 6 : 64 7 : 128
	7	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	タイム・スロット A に対応するサンプルの合計/平均、 $N_A$ : ビット [10 : 8] に似ていますが、タイム・スロット A を対象にしています。レジスタ 0x15 のビット [10 : 8] に関する説明を参照してください。
	[3:0]	0x0	R/W	Reserved	0x0 を書き込みます。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	タイム・スロット A のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	タイム・スロット A のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	タイム・スロット A のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	タイム・スロット A のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	タイム・スロット B のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。



Address	Data Bit(s)	Default Value	Access	Name	Description
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	タイム・スロット B のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	タイム・スロット B のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	タイム・スロット B のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

## データ・レジスタ

表 33. データ・レジスタ

Address	Data Bits	Access	Name	Description
0x60	[15:0]	R	FIFO_DATA	FIFO 内で次に利用できるワード。
0x64	[15:0]	R	SLOTA_CH1_16BIT	タイム・スロット A のチャンネル 1 にある 16 ビット値。
0x65	[15:0]	R	SLOTA_CH2_16BIT	タイム・スロット A のチャンネル 2 にある 16 ビット値。
0x66	[15:0]	R	SLOTA_CH3_16BIT	タイム・スロット A のチャンネル 3 にある 16 ビット値。
0x67	[15:0]	R	SLOTA_CH4_16BIT	タイム・スロット A のチャンネル 4 にある 16 ビット値。
0x68	[15:0]	R	SLOTB_CH1_16BIT	タイム・スロット B のチャンネル 1 にある 16 ビット値。
0x69	[15:0]	R	SLOTB_CH2_16BIT	タイム・スロット B のチャンネル 2 にある 16 ビット値。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	タイム・スロット B のチャンネル 3 にある 16 ビット値。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	タイム・スロット B のチャンネル 4 にある 16 ビット値。
0x70	[15:0]	R	SLOTA_CH1_LOW	タイム・スロット A のチャンネル 1 にある下位データワード。
0x71	[15:0]	R	SLOTA_CH2_LOW	タイム・スロット A のチャンネル 2 にある下位データワード。
0x72	[15:0]	R	SLOTA_CH3_LOW	タイム・スロット A のチャンネル 3 にある下位データワード。
0x73	[15:0]	R	SLOTA_CH4_LOW	タイム・スロット A のチャンネル 4 にある下位データワード。
0x74	[15:0]	R	SLOTA_CH1_HIGH	タイム・スロット A のチャンネル 1 にある上位データワード。
0x75	[15:0]	R	SLOTA_CH2_HIGH	タイム・スロット A のチャンネル 2 にある上位データワード。
0x76	[15:0]	R	SLOTA_CH3_HIGH	タイム・スロット A のチャンネル 3 にある上位データワード。
0x77	[15:0]	R	SLOTA_CH4_HIGH	タイム・スロット A のチャンネル 4 にある上位データワード。
0x78	[15:0]	R	SLOTB_CH1_LOW	タイム・スロット B のチャンネル 1 にある下位データワード。
0x79	[15:0]	R	SLOTB_CH2_LOW	タイム・スロット B のチャンネル 2 にある下位データワード。
0x7A	[15:0]	R	SLOTB_CH3_LOW	タイム・スロット B のチャンネル 3 にある下位データワード。
0x7B	[15:0]	R	SLOTB_CH4_LOW	タイム・スロット B のチャンネル 4 にある下位データワード。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	タイム・スロット B のチャンネル 1 にある上位データワード。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	タイム・スロット B のチャンネル 2 にある上位データワード。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	タイム・スロット B のチャンネル 3 にある上位データワード。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	タイム・スロット B のチャンネル 4 にある上位データワード。

外形寸法

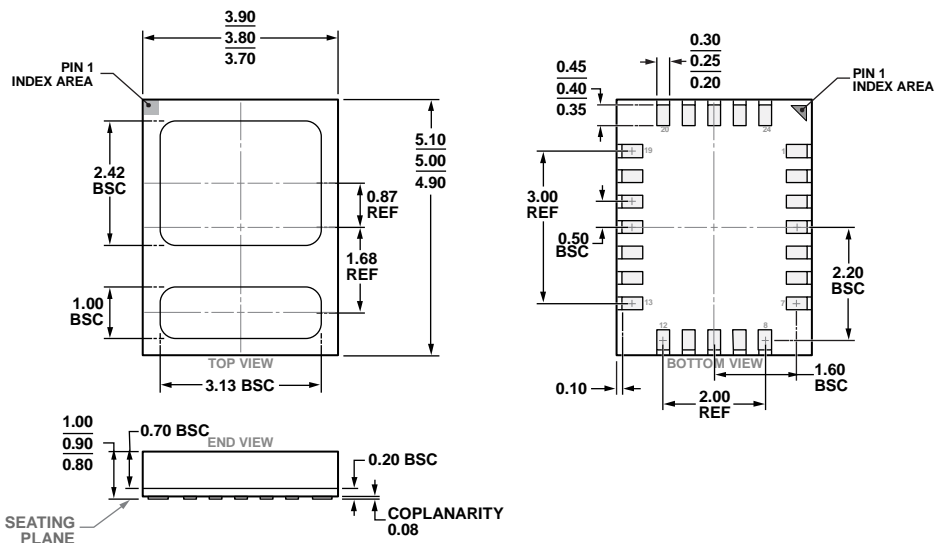


図 43. 24ピン・チップ・アレイ・スモール・アウトライン・リードなしキャビティ [LGA\_CAV]  
 3.80mm × 5.00mm ボディ、0.9mm パッケージ高  
 (CE-24-1)  
 寸法：mm

オーダー・ガイド

Model <sup>1,2</sup>	Temperature Range	Package Description	Package Option
ADPD188BI-ACEZR7	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV], 7" Tape and Reel	CE-24-1
ADPD188BI-ACEZRL	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV], 13" Tape and Reel	CE-24-1
EVAL-ADPD188BIZ-SK		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品

<sup>2</sup> EVAL-ADPDUCZ は別注文のマイクロコントローラ・ボードで、EVAL-ADPD188BIZ 評価用ボードとインターフェースを取るために必要です。