

特長

18本のGPIOポート・エクスペンダまたは10×8キーパッド・マトリクス

GPIOをGPI、GPO、キーパッドの行または列として設定可能
自動インクリメント機能付きのI²Cインターフェース

1.65V~3.6V動作

キーパッド・ロック機能

オープン・ドレイン割込み出力

キー・プレス割込みとキー・リリース割込み

レベル設定可能なGPI割込み

プログラマブルなプルアップ

オーバーフロー割込み付きのキー・イベント・カウンタ

リセット・ラインとGPIの275µsデバウンス機能

アイドル電流: 1µA (typ)

キー・プレス電流: 55µA (typ)

4mm×4mmのLFCSPパッケージを採用、または

0.4mmピッチ2mm×2mm小型WLCSPパッケージを採用

アプリケーション

キーパッドとI/Oエクスペンダは、大型のキーパッド・マトリクスを必要とするQWERTYタイプの電話機向けにデザイン

概要

ADP5587は、大型のキーパッド・マトリクスと拡張用I/Oラインを必要とするQWERTYタイプ電話機向けにデザインされたI/Oポート・エクスペンダとキーパッド・マトリクスです。I/OエクスペンダICは、メイン・プロセッサから使用可能なGPIO数が限定的である場合に対するソリューションとしてモバイル・プラットフォームで使用されます。

ADP5587は小型の2mm×2mmパッケージを採用し、すべてのキー・スキューニングとデコーディングを処理するため、およびキー・プレスとキー・リリースをI²Cインターフェースと割込みを使ってプロセッサに通知するための十分な能力を内蔵しています。ADP5587はメイン・マイクロプロセッサからキーパッド・モニタ作業を開放するため、消費電流が小さくなり、プロセッサの帯域幅が広がります。またADP5587はバッファ/FIFOとキー・イベント・カウンタを内蔵しているため、オーバーフローと割込み機能を使って、最大10個の未処理キー・イベントまたはGPIイベントを処理/記録することができます。

機能ブロック図

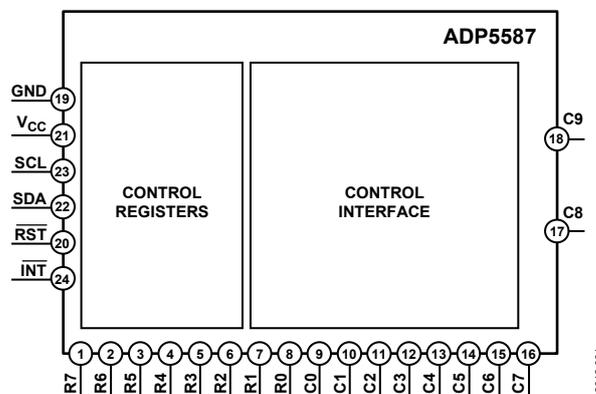


図 1.

ADP5587は、キー・プレスとキー・リリース時に割込み発生の有無を指定するオプションが付いたキーパッド・ロック機能を内蔵しています。メイン・プロセッサへのすべての通信は、1本の割込みラインと2本のI²C互換インターフェース・ラインを使って行われます。ADP5587は、最大8行×10列(最大80キー)のキーパッド・マトリクスとして設定することができます。

ADP5587を小型のキーパッド・マトリクスとして使う場合、未使用の行ピンと列ピンは汎用の入力または出力として使用することができます。R0~R7はマトリクスの行ピンを、C0~C9は列ピンを、それぞれ表します。パワーアップ時、すべての行と列はデフォルトでGPIに設定されるため、キーパッド・マトリクスの一部として、またはGPOとして機能するように設定する必要があります。

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	動作原理.....	8
機能ブロック図.....	1	キーパッド動作.....	8
概要.....	1	汎用の入力と出力.....	12
改訂履歴.....	2	I ² Cの設定とデジタル制御.....	14
仕様.....	3	レジスタ.....	15
DC特性.....	3	レジスタの説明.....	16
AC特性.....	4	アプリケーション情報.....	21
絶対最大定格.....	5	アプリケーションの概要.....	21
熱抵抗.....	5	キーパッド電流.....	21
ESDの注意.....	5	外形寸法.....	23
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	23

改訂履歴

5/10—Rev. A to Rev. B

Changes to Features.....	1
Changes to Table 1.....	3
Changes to Table 8.....	6

3/10—Rev. 0 to Rev. A

Added WLCSP Information.....	Throughout
Added Typical Performance Characteristics Section.....	7
Updated Outline Dimensions, Changes to Ordering Guide.....	23

12/09—Revision 0: Initial Version

仕様

特に指定がない限り、 $T_A = T_J = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

DC特性

表 1. 全体 DC 電気的特性

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
SUPPLY VOLTAGE						
V _{CC} Input Voltage Range	V _{CC}		1.65		3.6	V
Supply Current ¹	I _{CC}	V _{CC} = 1.8 V to 3.0 V, T _A = -40°C to +85°C		1	10	μA
With One Key Press	I _{CC}	V _{CC} = 1.8 V, T _A = -40°C to +85°C		55	90	μA
With GPI Low (Pull-Up Enabled) ²	I _{CC}	V _{CC} = 3.0 V, T _A = -40°C to +85°C		100	200	μA
With GPI Low (Pull-Up Disabled)	I _{CC}	V _{CC} = 1.8 V to 3.0 V, T _A = -40°C to +85°C		2	10	μA
With One GPO Active ³	I _{CC}	V _{CC} = 1.8 V, T _A = -40°C to +85°C			50	μA
OSCILLATOR CURRENT						
Oscillator Current (Enabled)	I _{CC}	V _{CC} = 1.8 V to 3.0 V		40		μA

¹ I/O をデフォルトの GPI に設定し、すべてのプルアップをイネーブルし、全入力をオープンにして測定した動作電流。

² 1本の GPI をロー・レベルにした場合。

³ 負荷 = 100 kΩ

表 2. I/O DC 電気的特性

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT LOGIC LEVELS (SCL, SDA, $\overline{\text{RST}}$, C0 to C9, R0 to R7) ¹						
Logic Low Input Voltage	V _{IL}	1.8 V ≤ V _{IO} ≤ 3.0 V			0.3 × V _{CC}	V
Logic High Input Voltage	V _{IH}	1.8 V ≤ V _{IO} ≤ 3.0 V	0.7 × V _{CC}			V
Schmitt Trigger Hysteresis	V _{HYST}			0.10		V
Input Leakage Current	V _{I-LEAKAGE}	1.8 V ≤ V _{IO} ≤ 3.0 V	-1		+1	μA
OUTPUT LOGIC LEVELS (C0 to C9, R0 to R7)						
Logic Low Output Voltage	V _{OL}	I _{SINK} = 1 mA			0.40	V
Output High Voltage	V _{OH}	I _{SOURCE} = 1 mA		V _{CC} - 0.3 V		V
OUTPUT LOGIC LEVELS ($\overline{\text{INT}}$, SDA)						
Output Low Voltage	V _{OL}	I _{SINK} = 3 mA, 1.8 V ≤ V _{CC} ≤ 3.0 V			0.40	V
Output High Voltage	V _{OH}	1.8 V ≤ V _{CC} ≤ 3.0 V	0.7 × V _{CC}			V
Logic High Leakage Current	V _{O-LEAKAGE}	1.8 V ≤ V _{CC} ≤ 3.0 V		0.1	1	μA
PULL-UP RESISTANCE FOR GPIOs (C0 to C9, R0 to R7) ²	R _{PULL-UP}			100		kΩ

¹ パワーオン時のデフォルト電流。すべての I/O はデフォルトの GPI でオープン。C8 と C9 はデフォルトの GPI。I_C はアイドル。

² GPIO の内部プルアップは約 100 kΩ。

表 3. 容量負荷¹

Parameter	Symbol	Min	Typ	Max	Unit
I/O Input Capacitance	C _{IN}		1	10	pF
I/O Output Loading Capacitance	C _{OUT}			50	pF
Capacitive Load for Each Bus Line	C _B ²			400	pF

¹ デザインで保証します。

² C_B は、1本のバス・ラインの合計容量(pF)です。

AC特性

表 4. 全体 AC 特性¹

Parameter	Symbol	Min	Typ	Max	Unit
Delay from Reset Deassertion to I ² C Access	R _{STD}	60			μs
Keypad Unlock Timer	T _{KUT}		7		sec
Keypad Interrupt Mask Timer	T _{KIMT}		31		sec
Debounce	T _D		275		μs

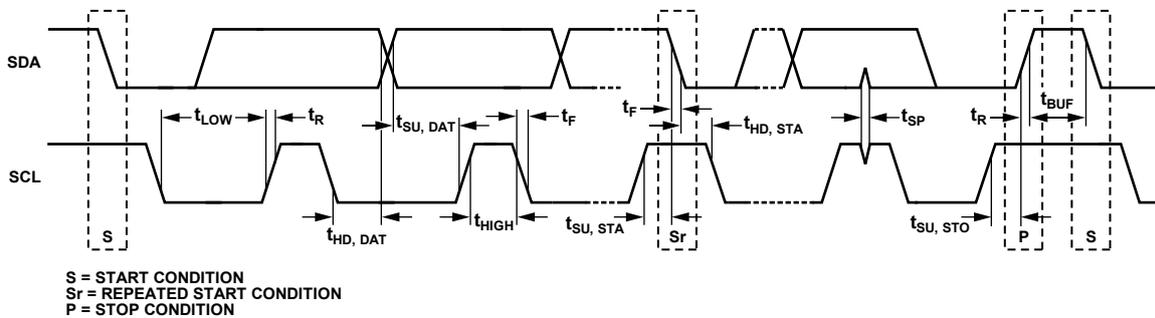
¹ デザインで保証します。

表 5. I²C AC 電気的特性¹

Parameter	Symbol	Min	Typ	Max	Unit
SCL Clock Frequency	f _{SCL}			400	kHz
SCL High Time	t _{HIGH}	0.6			μs
SCL Low Time	t _{LOW}	1.3			μs
Data Setup Time	t _{SU, DAT}	100			ns
Data Hold Time	t _{HD, DAT}	0		0.9	μs
Setup Time for Repeated Start	t _{SU, STA}	0.6			μs
Hold Time for Start/Repeated Start	t _{HD, STA}	0.6			μs
Bus Free Time for Stop and Start	t _{BUF}	1.3			μs
Setup Time for Stop Condition	t _{SU, STO}	0.6			μs
Rise Time for SCL and SDA ²	t _R	20 + 0.1 C _B		300	ns
Fall Time for SCL and SDA	t _F	20 + 0.1 C _B		300	ns
Pulse Width of Suppressed Spike	t _{SP}	0		50	μs

¹ デザインで保証します。

² t_R と t_F は、0.3 × V_{CC} と 0.7 × V_{CC} の間で測定。

図 2. I²C インターフェースのタイミング図

09612-002

絶対最大定格

表 6.

Parameter	Rating
V _{CC}	-0.3 V to +4.0 V
R0 to R7, C0 to C9	-0.3 V to V _{CC} + 0.3 V
SCL	-0.3 V to V _{CC} + 0.3 V
SDA	-0.3 V to V _{CC} + 0.3 V
RST	-0.3 V to V _{CC} + 0.3 V
INT	-0.3 V to V _{CC} + 0.3 V
GND	-0.3 V to +0.3 V
Operating Ambient Temperature Range	-40°C to +85°C
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
ESD Machine Model	±200 V
ESD Human Body Model	±2000 V
ESD Charged Device Model	±1000 V
Soldering Condition	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7.熱抵抗

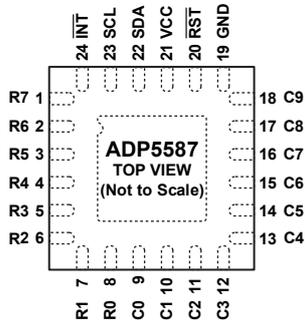
Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead LFCSP_WQ	57.8	9.4	°C/W
Maximum Power	600	N/A	mW
25-Ball WLCSP	46	N/A	°C/W
Maximum Power	600	N/A	mW

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

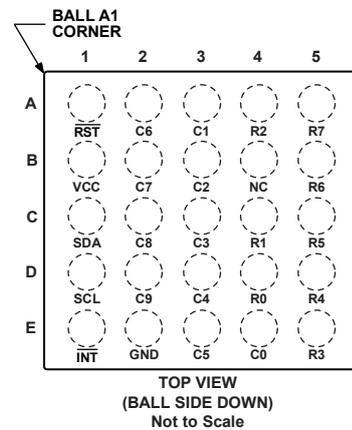
ピン配置およびピン機能説明



NOTES
1. EXPOSED PAD MUST BE CONNECTED TO GROUND.

08612-003

図 3.LFCSP ピン配置



NOTES
1. NC = NO CONNECT.

08612-004

図 4.WLCSP ピン配置

表 8.ピン機能の説明

LFCSP ピン番号	WLCSP ピン番号	記号	説明
1	A5	R7	GPIO、キーパッド・マトリクスの行 7。
2	B5	R6	GPIO、キーパッド・マトリクスの行 6。
3	C5	R5	GPIO、キーパッド・マトリクスの行 5。
4	D5	R4	GPIO、キーパッド・マトリクスの行 4。
5	E5	R3	GPIO、キーパッド・マトリクスの行 3。
6	A4	R2	GPIO、キーパッド・マトリクスの行 2。
—	B4	—	未接続(NC)
7	C4	R1	GPIO、キーパッド・マトリクスの行 1。
8	D4	R0	GPIO、キーパッド・マトリクスの行 0。
9	E4	C0	GPIO、キーパッド・マトリクスの列 0。
10	A3	C1	GPIO、キーパッド・マトリクスの列 1。
11	B3	C2	GPIO、キーパッド・マトリクスの列 2。
12	C3	C3	GPIO、キーパッド・マトリクスの列 3。
13	D3	C4	GPIO、キーパッド・マトリクスの列 4。
14	E3	C5	GPIO、キーパッド・マトリクスの列 5。
15	A2	C6	GPIO、キーパッド・マトリクスの列 6。
16	B2	C7	GPIO、キーパッド・マトリクスの列 7。
17	C2	C8	GPIO、キーパッド・マトリクスの列 8。
18	D2	C9	GPIO、キーパッド・マトリクスの列 9。
19	E2	GND	グラウンド。
20	A1	RST	ハードウェア・リセット(アクティブ・ロー)。このピンは、デバイスをデフォルト状態にリセットします。リセットとして有効であるためには、さらに ESD グリッチまたはシステム内のノイズで偽リセットが発生するのを防止するために、リセット・ピンは最小 50 μs 間ロー・レベルにする必要があります。RSTを使用しない場合は、プルアップ抵抗を使ってこのピンをハイ・レベルに接続しておく必要があります。
21	B1	V _{CC}	電源電圧、1.65 V~3.6 V。
22	C1	SDA	I ² C シリアル・データ。オープン・ドレインには外付けのプルアップ抵抗が必要です。
23	D1	SCL	I ² C のクロック。
24	E1	INT	プロセッサ割込み、アクティブ・ロー、オープン・ドレイン。プロセッサの GPIO 電源グループ選択の柔軟性のため、このピンは 2.7 V または 1.8 V にプルアップすることができます。
EP	—	EPAD	エクスポーズド・パッド。エクスポーズド・パッドはグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

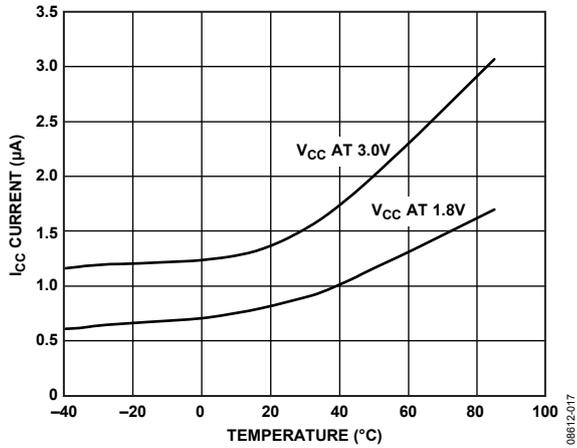


図 5.スタンバイ(I_{CC})電流の温度特性

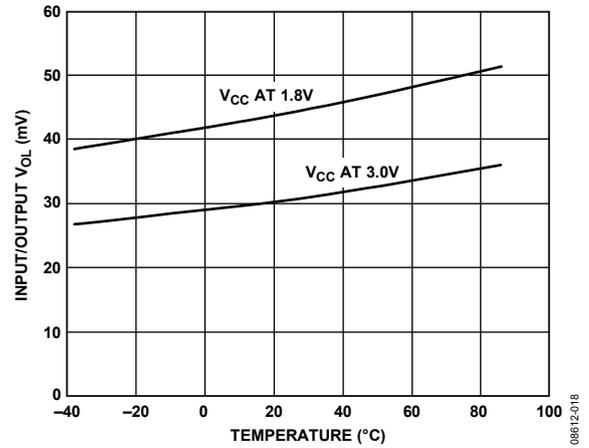


図 7.入力/出力 V_{OL} の温度特性(シンク電流= 1 mA)

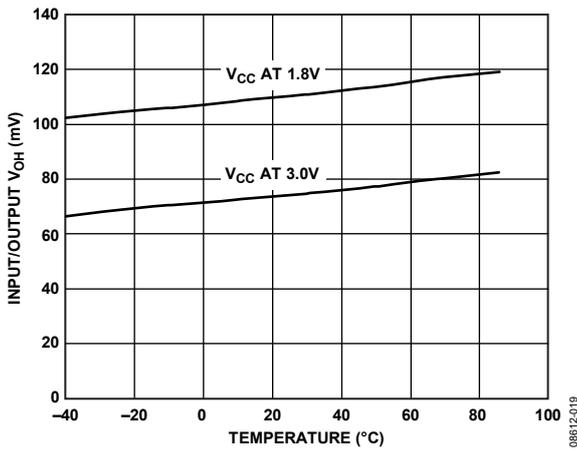


図 6.入力/出力 V_{OH} の温度特性(ソース電流= 1 mA)

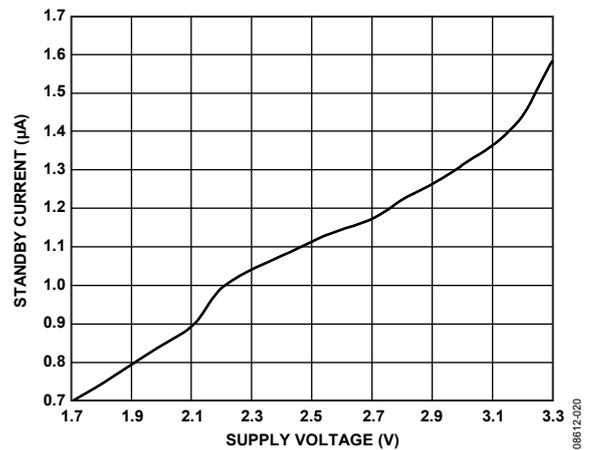


図 8.スタンバイ電流対電源電圧

動作原理

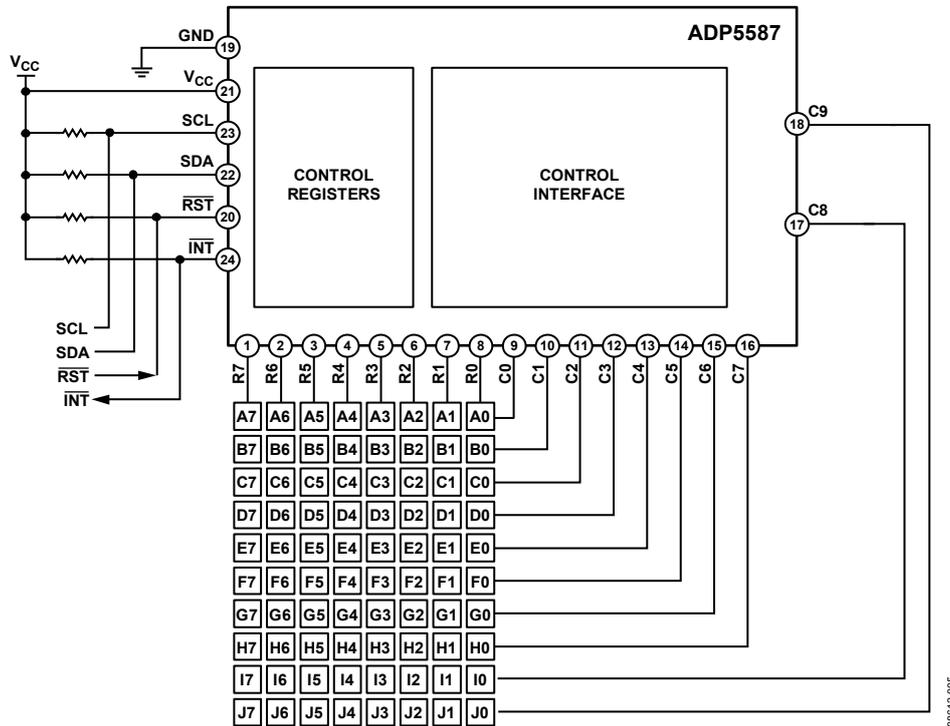


図 9. 代表的な動作回路

ADP5587 は、18 I/O ポート・エキスパンダまたは 10 列× 8 行のキーパッド・マトリクス(最大 80 キー)として設定できる GPIO エクスパンダです。大規模な拡張キーパッドおよび/または拡張用 I/O を必要とする携帯電話機やその他の携帯型機器向けに最適です。小規模なサイズのキーパッドが必要な場合、キーパッド・マトリクスの未使用 GPIO は I/O (GPO と GPI)として使用することができます。すべての GPIO (行と列)は、パワーアップ時にデフォルトとして GPI になり、プルアップとデバウンスがイネーブルされます。

キーパッド動作

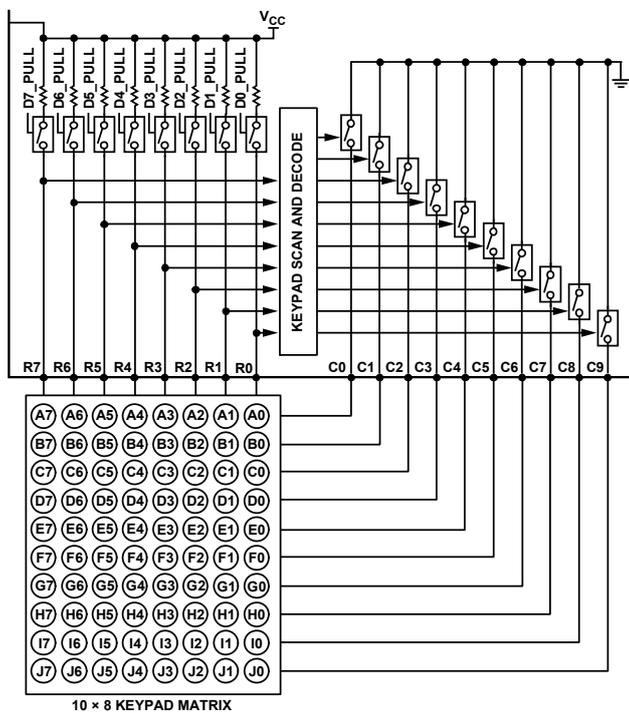
最大 10 列× 8 行までの任意の行数と列数を、キーパッド・マトリクス部分に設定することができます。キーパッド・マトリクスを構成する行と列は、レジスタ 0x1D~レジスタ 0x1F の対応するビットを使って設定する必要があります。キー・プレスとキー・リリースは、10 進値 1 (16 進 0x01 またはバイナリ 0000001) ~10 進値 80 (16 進 0x50 またはバイナリ 1010000) を使ってキー・イベント・テーブル/レジスタ内で表されます。キー・イベント番号割り当てについては表 9 を参照してください。アイドル・モードでは、列がロー・レベルに駆動され、行はプルアップ抵抗でハイ・レベルに設定された入力として、キーパッドが構成されます。

表 9. キー・イベント番号割り当て表

Row	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9
R0	1	2	3	4	5	6	7	8	9	10
R1	11	12	13	14	15	16	17	18	19	20
R2	21	22	23	24	25	26	27	28	29	30
R3	31	32	33	34	35	36	37	38	39	40
R4	41	42	43	44	45	46	47	48	49	50
R5	51	52	53	54	55	56	57	58	59	60
R6	61	62	63	64	65	66	67	68	69	70
R7	71	72	73	74	75	76	77	78	79	80

1 個のキー・プレスまたは複数のキー・プレス(列と行の短絡)が発生すると、内部ステート・マシンが行ピンをチェックしてロー・レベルに駆動されたピンを見つけて、内部割込みを発生させます。次にステート・マシンは、キー・スキャン・サイクルを開始して、キー・プレスに関係した列を見つけます。キーが 25 ms 間押されると、ステート・マシンはキー・イベント・ステータス・レジスタに該当するキー番号をセットし、検出された順序でキープレス・ビット(キー・イベント・レジスタの MSB)をセットします。次に、ステート・マシンはレジスタ 0x02 の KE_INT ビットをセットします。レジスタ 0x01 の KE_IEN フィールドがセットされると、割込みがホスト・プロセッサへ送信されます。

グリッチまたは短いプレス時間が有効なキー・プレスと見なされるのを防止するため、キー・スキャナでは、2 スキャン・サイクル間キーが押されることを必要とします。キー・スキャナは 25 ms のサンプリング周期を持つため、キー・プレスと認識されるためには、少なくとも 25 ms 間キーを押し続ける必要があります。キーが連続して押されると、キー・スキャナは 25 ms ごとにサンプルを続けます。押されたキーが 25 ms 間以上リリースされると、ステート・マシンはキー・イベント・ステータス・レジスタに該当するキー番号をセットし、検出された順序でキープレス・ビットをクリアします。キーのリリースはキー・スキャン・サンプリング周期に同期する必要がないため、キーがリリースされたとして認識されるためには 25 ms~50 ms を要します。キーのリリースが認識された後、キー・スキャナはアイドル・モードに戻ります。図 10 に、代表的な 10 × 8、80 スイッチ・キーパッド・マトリクスと行ピン/列ピンとの接続を示します。



NOTES:
1. Dx_PULL STANDS FOR GPIO PULL-UP.

図 10. キーパッドのデコード構成

キー・イベントの記録

10 個のキー・イベント・レジスタが FIFO として動作するように設定されています。これは、10 個のキー・イベント・レジスタの任意の 1 つを読み出すと、キーのプレスとリリースの順にキー・イベントが得られることを意味します。

キー・イベントの記録は、キー・イベント・カウンタ(レジスタ 0x03 の KEC フィールド)と FIFO/キー・イベント・レジスタ(レジスタ 0x04~レジスタ 0x0D)の助けを受けて行われます。KEC カウンタがキーがプレス/リリースされるごとに増加し、カウンタには 10 イベントまで記録することができます。一方、FIFO/キー・イベント・レジスタの方は、FIFO から読み出されるときキー・イベントとステータス(プレス/リリース)を表示します。FIFO レジスタには 8 ビットが含まれ、MSB はステータス・ビット(1 がプレス、0 がリリース)であり、残りの 7 ビットはプレス/リリースされたキーをバイナリ値で表示します。

任意の FIFO レジスタを最初に読み出すと、発生した最初のイベントとそのステータスが表示されます。同じレジスタの後続の読み出しでは、発生した次のイベントでレジスタ・データが書き換えられます。すべてのイベントの記録が重要な場合、イベントあたり 1 個のレジスタを使うことが適しています。FIFO 内のすべてのイベントが読み出された後に任意のイベント・レジスタを読み出すと、ゼロ値が返されます。

表 10 と表 11 に、FIFO に記録され、読み出されたときのイベント・シーケンスを示します。10 個の FIFO レジスタは A~J のラベルを、キーは A0~J7 のラベルを、それぞれ持っています。

表 10. イベント・シーケンスの例

Key Pressed/Released	Status	Key Event Counter
A0	Pressed	1
B1	Pressed	2
A0	Released	3
C2	Pressed	4
B1	Released	5
D3	Pressed	6
C2	Released	7
E4	Pressed	8
E4	Released	9
D3	Released	10

表 11. FIFO イベント読み出しの解釈

Key Event Counter	Key Event Register Read	Key Event Register Content (Binary) ¹	Key Event Register Interpretation
10	N/A	N/A	N/A
9	D	1 0000000	Key A0 pressed
8	E	1 0001100	Key B1 pressed
7	C	0 0000000	Key A0 released
6	F	1 0010111	Key C2 pressed
5	G	0 0001100	Key B1 released
4	A	1 0100010	Key D3 pressed
3	B	0 0010111	Key C2 released
2	H	1 0101101	Key E4 pressed
1	J	0 0101101	Key E4 released
0	I	0 0100010	Key D3 released

¹ MSB は、キー・イベント・レジスタ内でキー・プレスまたはキー・リリースを表示します: 1=キー・プレス; 0=キー・リリース。

キー・イベントのオーバーフロー

ADP5587 には、FIFO 容量を超えたキー・イベントを処理するオーバーフロー機能があります。イベントが一杯になった後に、追加イベントが発生すると、レジスタ 0x02 の OVR_FLOW_INT ビットがセットされます。レジスタ 0x01 の OVR_FLOW_IEN ビットがセットされると、オーバーフローが発生したとき、ホスト・プロセッサへの割り込みも発生します。FIFO がフルでない場合、新しいイベントは最終イベントとして追加されます。

レジスタ 0x01 の OVR_FLOW_M ビットにより、オーバーフロー時の動作モードが設定されます。OVR_FLOW_M ビットがクリアされると、新しい着信イベントが無視され、このビットがセットされると、ロールオーバーして古いデータが最初のイベントから始まる新しいデータで上書きされます。

オートインクリメント

ADP5587 は、I²Cの読出しアクセス時にオートインクリメント機能を持っています。この機能を使うと、後続アドレスに対する読出しコマンドを送信することなく、アドレス・ポインタをインクリメントすることができます。これにより、プロセッサの介入が少なくなるので、プロセッサの帯域幅と電源電流を節約することができます。オートインクリメントを開始するときは、レジスタ 0x01 のビット 7 をセットする必要があります(書込みと読出しのフル・シーケンスについては 図 17 を参照してください)。

キー・イベント割込み

キー・イベント(KE)割込みでは、プロセッサは割込みステータス・レジスタを読出して、割込み原因を知ります。レジスタ 0x02 の KE_INT ビットがセットされている場合、プロセッサはレジスタ 0x03 の KEC [3:0] フィールドからキー・イベント・カウンタを読出して、イベント数を求めます。FIFO からすべてのイベントを読出した後、KEC フィールド(レジスタ 0x03)を再度読

出して、新しいイベントが着信していないことを確認します。すべてのイベントを読出した後、KEC フィールドはゼロにデクリメントされ(KEC = 0)、KE_INT ビットに 1 を書込むことにより、このビットをクリアすることができます。キー・プレスとキー・リリースは、キー・イベント割込みを発生することができます。FIFO のすべてのイベントがクリアされるまで、KE_INT ビットをクリアすることはできないため、INTピンを解除することはできません。

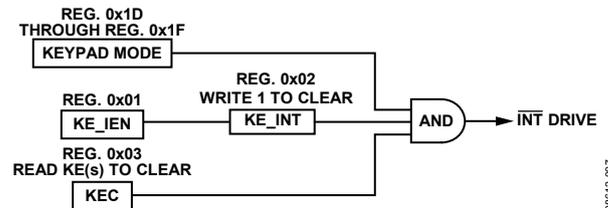


図 11. キー・イベント割込みの発生

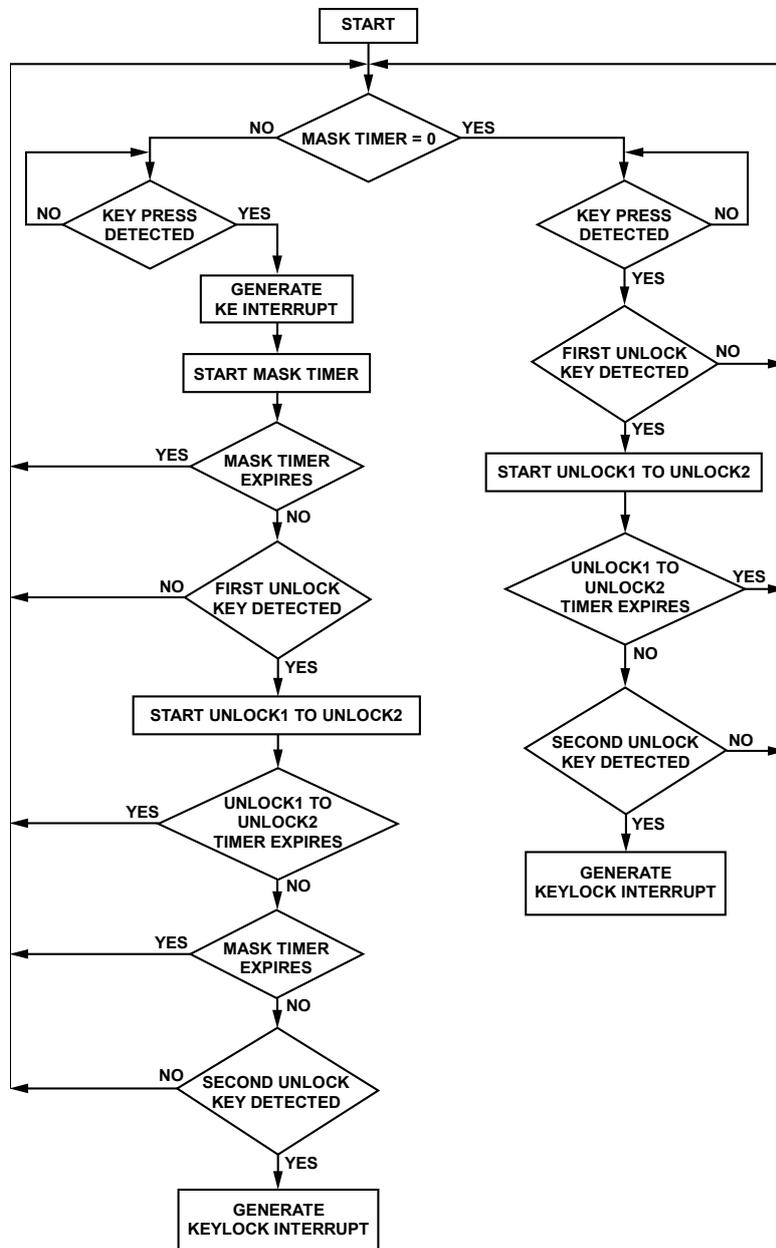


図 12. キーパッド・ロック割込みマスク・タイマのフローチャート

キーパッド・ロック/アンロック機能

ADP5587には、キーパッドまたは GPI をロックできるロック機能があります(イベント・テーブルの一部に設定)。キーパッド・ロックをイネーブルすると、キー・イベント割込みの発生が防止され、キー・イベント・テーブルへのキー・イベント登録が防止されます。この機能は、アンロック・キー1 レジスタとアンロック・キー2 レジスタ(それぞれ、レジスタ 0x0F とレジスタ 0x10)、キーパッド・ロック割込みマスクとキーパッド・アンロック・タイマ(レジスタ 0x0E)、LCK1、LCK2、キーロック・イネーブル(K_LCK_EN)ビット(レジスタ 0x03)から構成されています。

アンロック・キーには、キーパッド・マトリクス内の任意のキー値またはキー・イベント・テーブルの一部である任意の GPI イベント値を書込むことができます。キーパッド・ロック割込みマスク・タイマがイネーブルされた場合、キーロック割込みが発生するか、キーパッド・イベントが記録されるためには、特定の 2 つのキーを押す必要があります。キーパッドがロックされると(ロックをイネーブルするときはレジスタ 0x03 のビット 6 をセット)、任意のキーが最初に押されたとき、キー・イベント割込みが発生します。両アンロック・キー・シーケンスが正しくない限り、追加割込みは発生しません。

マスク・タイマがタイムオーバーするまでに正しいアンロック・キーが押されない場合、ステート・マシンが動作を開始します。最初のキー・イベント割込みが発生して、ホストが LCD をターンオンさせ、アンロック・メッセージを表示するようにユーザがキーを押したことを、ソフトウェアから調べることができるようになります。次にホストはロック・ステータス・レ

ジスタを読み出して、キーパッドがアンロックされたか否かを調べます。最初のキー・イベント割込みの後、正しいシーケンスが開始されるまで、ステート・マシンは再度プロセッサに割込みを行いません。キーパッド・ロック割込みマスク・タイマがタイムアウトする前に正しいシーケンスが開始されない場合、ステート・マシンはリセットされます。

設定レジスタのキーパッド・ロック割込みマスク・ビット(レジスタ 0x01 のビット 2)の状態により、キーロック割込みステータス・ビット(レジスタ 0x02 のビット 2)がセットされたとき、割込みピンをアサートするか否かが指定されます。キーロック割込みマスク・ビットをセットすると、レジスタ 0x02 でキーロック割込みステータス・ビットがセットされたとき、 $\overline{\text{INT}}$ ピンがアサートされます。このビットをクリアすると、割込みがマスクされて、割込みピンはキーロック割込みステータス・ビットにตอบสนองしなくなります。LCD が暗くなるかターンオフして、キーが押された場合に、バックライトがブライต์・モードに戻るか、LCD を再度ターンオンさせるために要する時間を、マスク割込みタイマにセットする必要があります。

アンロック・マスク割込みタイマが 0 のとき、正しいアンロック・シーケンスのみが割込みを発生することができます。アンロック・マスク割込みタイマをディスエーブルすると、プロセッサへの割込みが発生しない状況、たとえば、電話機がポケットや財布の中にあるため、キーが押されたままになっている状況に留まることができます。図 11 のフローチャートに、割込みイネーブル、キー・イベント・カウンタ、キー・イベント割込みステータス、割込み発生 の関係を示します。

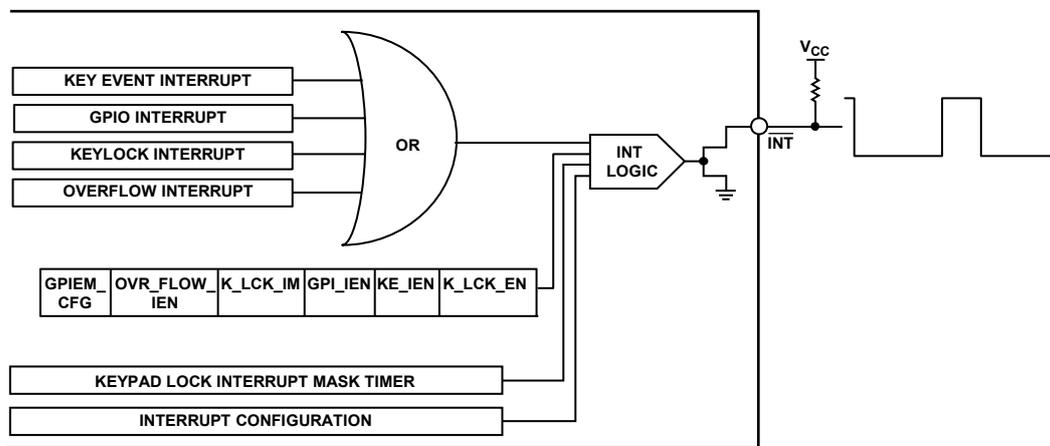
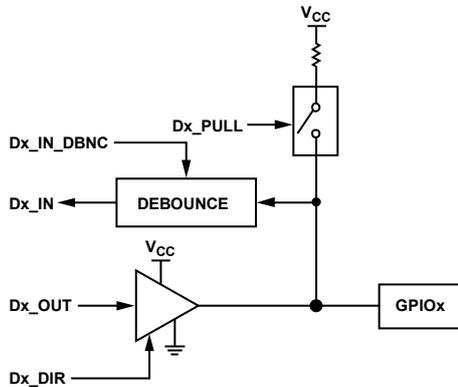


図 13. $\overline{\text{INT}}$ ピンの駆動

08612-006

汎用入力/出力(GPIO)

ADP5587 は、様々な使用できる最大 18 本のプログラマブルな GPIO をサポートしています。図 14 に、代表的な GPIO ブロックの構成を示します。ここで、GPIO_x は任意の 18 本の I/O ラインを表します。



- NOTES:
1. Dx_IN STANDS FOR ANY OF THE 18 GPIOs CONFIGURED AS GPIs.
 2. Dx_OUT STANDS FOR ANY OF THE 18 GPIOs CONFIGURED AS GPOs.
 3. Dx_IN_DBNC STANDS FOR GPI DEBOUNCE.
 4. Dx_DIR STANDS FOR GPIO DIRECTION.
 5. Dx_PULL STANDS FOR GPIO PULL-UP.

08612-010

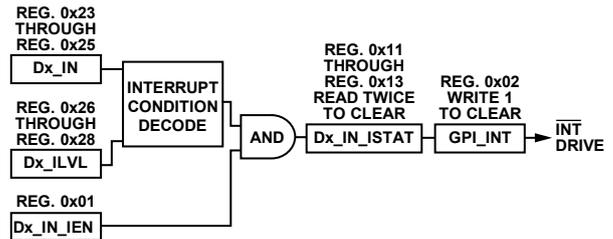
図 14. 代表的な GPIO B ロック

汎用入力(GPI)

ADP5587 では、GPIO の全部または一部を汎用入力(GPI)に設定することができます。GPIO を GPI として設定すると、プルアップ抵抗と割込み発生機能のターンオンも選択できるため、ソフトウェア・モニタリングとプロセッサの介入が少なくなるので消費電力が節約されます。

GPI 割込みに設定されたレベルにより、GPI ピンのアクティブ・レベルが指定されます。例えば、GPI 割込みレベルがハイ・レベルに設定されると、このピンでのハイ・レベルがアクティブと見なされ、割込み条件が成立します。割込みがロー・レベルに設定されると、このピンでのロー・レベルがアクティブと見なされ、割込み条件が成立します。

GPI データ・ステータスと割込みステータスは、GPIO 割込みステータスとデータ・ステータス・レジスタ(レジスタ 0x11~レジスタ 0x16)に反映されます。レジスタがセットされたら直ちに割込みがセットされるため、ソフトウェアの作成では注意が必要です。これを防止するためには、正しいロジック・レベルを GPI に入力し、かつ GPIO 割込みレベルをセットした後に、GPIO 割込みのイネーブルまたは GPI イベント FIFO イネーブル・レジスタのセットを行う必要があります。図 15 に、割込み発生方法を示します。ここで、Dx は 18 本の任意の GPIO を表します。



NOTES:

1. Dx_IN STANDS FOR ANY OF THE 18 GPIOs CONFIGURED AS GPIs.
2. Dx_ILVL STANDS FOR GPIO INTERRUPT LEVEL.
3. Dx_IN_JEN STANDS FOR GPI INTERRUPT ENABLE.
4. Dx_IN_STAT STANDS FOR GPI INTERRUPT STATUS.
5. GPI_INT STANDS FOR GPI INTERRUPT.

08612-011

図 15. GPIO 割込みの発生

GPI イベント

GPI として設定された列または行は、キー・イベント・テーブルの一部として設定できるため、キー・イベント割込みを発生することもできます。GPI から発生するキー・イベント割込みは、キー・プレスまたはキー・リリースから発生するキー・イベント割込みと同じプロセス・フローを使うことができます。キー・イベント・テーブルの一部として設定された GPI は、シングル・キー・スイッチとその他の GPI 割込みをモニタすることができます。イベント・テーブルの一部として、GPI は 10 進値 97 (16 進 0x61 またはバイナリ 1100001) ~ 10 進値 114 (16 進 0x72 またはバイナリ 1110010) で表示することができます。行と列に対する GPI イベント番号割り当てについては、それぞれ表 12 と表 13 を参照してください。

表 12. 行に対する GPI イベント番号割り当て

R0	R1	R2	R3	R4	R5	R6	R7
97	98	99	100	101	102	103	104

表 13. 列に対する GPI イベント番号割り当て

C0	C1	C2	C3	C4	C5	C6	C7	C8	C9
105	106	107	108	109	110	111	112	113	114

アクティブ・ハイとして設定された GPI が、キー・イベント・テーブル内でイネーブルされた場合、ステート・マシンは、GPI がハイ・レベルになるごとにイベント・カウントとイベント・テーブルにイベントを追加します。GPI がアクティブ・ローに設定された場合、ハイ・レベルからロー・レベルへの変化がキー・プレスと見なされ、これもイベント・カウントとイベント・テーブルに追加されます。割込み状態が発生すると、ステート・マシンは内部でリリース状態のポーリングを防止し消費電流を節約するためレジスタに設定された反対状態に対する割込みを設定します。リリース状態が実現されると、これもイベント・テーブルに追加されます。プレスとリリースは、その場合でもイベント・レジスタ(レジスタ 0x04~レジスタ 0x0D)のビット 7 で表示されます。また、GPI イベントはアンロックされたシーケンスとして使用することもできます。

レジスタ 0x20~レジスタ 0x22 の GPI_EM_REG_x ビットがセットされると、キーパッドがロックされたとき GPI イベントは記録されません。キーパッドがロックされたとき、イベント・カウントとイベント・テーブルで GPI イベントを記録するためには、GPIEM_CFG ビット(レジスタ 0x01 のビット 6)をクリアする必要があります。

275 μ sec 割込みの設定

ADP5587 では、待ち状態のイベントが存在する間、割込みを 275 μ s 間アサートしないようにする柔軟性があります。レジスタ 0x01 の INT_CFG ビットがセットされている場合、割込みピンが既にアサートされている間に割込みビットをクリアしようとすると、275 μ s 間アサートしないようにします。INT_CFG ビットがクリアされている場合は、ホストが割込みをクリアしようとすると、プロセッサ割込みはアサートされたままになります。この機能は、特にソフトウェア開発とエッジ・トリガ・アプリケーションで便利です。

デバウンス

ADP5587 は、GPI として設定された GPIO とキーパッド・スキャンニング・モードでの行に対して 275 μ s のデバウンス時間を持っています。リセット・ラインには常に 275 μ s のデバウンス時間があります。

汎用出力(GPO)

ADP5587 では、GPIO の全部または一部を GPO に設定することができます。これらの GPO は、ホスト・プロセッサに対する追加イネーブルとして、または単にトリガ出力として使用することができます。出力(GPO)として設定されると、デジタル・バッファはピンに対して、0 の場合は 0 V を、1 の場合は V_{CC} を、出力します。GPIO を GPO として設定するときは、レジスタ 0x1D ~ レジスタ 0x1F の対応するビットが GPIO モードに設定されていることを確認し、レジスタ 0x23 ~ レジスタ 0x25 を使って、対応するビットを GPO モードに設定する必要があります。

パワーオン・リセット

パワーオン・リセット信号がないアプリケーションでのパワーアップ時の初期化の場合、リセット・ピン RST を使うと、停電またはその他のリセット条件で、レジスタをデフォルト値にリセットすることができます。

表 14. デバイスの設定

Keypad			GPIO	
Matrix	Active Pins	Number of Keys	Available GPIO	Number of GPIOs
10 \times 8	C0 to C9, R0 to R7	80	0	0
8 \times 8	C0 to C7, R0 to R7	64	C8, C9	2
8 \times 7	C0 to C7, R0 to R6	56	R7, C8, C9	3
8 \times 6	C0 to C7, R0 to R5	48	R6, R7, C8, C9	4
8 \times 5	C0 to C7, R0 to R4	40	R5 to R7, C8, C9	5
7 \times 7	C0 to C6, R0 to R6	49	R7, C7 to C9	4
7 \times 6	C0 to C6, R0 to R5	42	R6, R7, C7 to C9	5
7 \times 5	C0 to C6, R0 to R4	35	R5 to R7, C7 to C9	6
6 \times 6	C0 to C5, R0 to R5	36	R6, R7, C6 to C9	6
6 \times 5	C0 to C5, R0 to R4	30	R5 to R7, C6 to C9	7
6 \times 4	C0 to C5, R0 to R3	24	R4 to R7, C6 to C9	8
...
0 \times 0	None	0	R0 to R7, C0 to C9	18

I²Cの設定とデジタル制御

ADP5587 は、様々な製品アーキテクチャに合わせることができるようソフトウェア・プログラム性を提供しています。全レジスタの設定は I²C バスを使って行い、読出しはアドレス 0x69 (01101001)に、書込みはアドレス 0x68 (01101000)に、それぞれ行います。

ADP5587 に対するすべての通信はI²C互換シリアル・インターフェースを介して行われます。図 16 に、内部レジスタを設定する代表的な書込みシーケンスを示します。このサイクルはスタート条件で開始され、その後ろにチップ書込みアドレス(0x68)が続きます。ADP5587 は、データラインをロー・レベルにして、チップ書込みアドレス・バイトをアクノリッジします。データを書込むレジスタ・アドレスが次に送信されます。ADP5587 は、データラインをロー・レベルにして、レジスタ・アドレス・バイトをアクノリッジします。データバイトが次に送信されます。ADP5587 はデータラインをロー・レベルにしてデータバイトをアクノリッジし、ストップ条件によりシーケンスが終了します。

図 17 に、内部レジスタをリードバックする代表的な読出しシーケンスを示します。このサイクルはスタート条件で開始され、その後ろにチップ書込みアドレス(0x68)が続きます。ADP5587 は、データラインをロー・レベルにして、チップ書込みアドレス・バイトをアクノリッジします。データを読出すレジスタ・アドレスが次に送信されます。ADP5587 は、データラインをロー・レベルにして、レジスタ・アドレス・バイトをアクノリッジします。このサイクルはリピート・スタートとその後ろに続くチップ読出しアドレス(0x69)により続けられます。ADP5587 は、データラインをロー・レベルにして、チップ読出しアドレス・バイトをアクノリッジします。ADP5587 は、前にアドレス指定されたレジスタの値をリードバックのためにバスへ出力します。リードバック・データバイトの後ろにはアクノリッジがなく、ストップ条件によりサイクルが完了します。

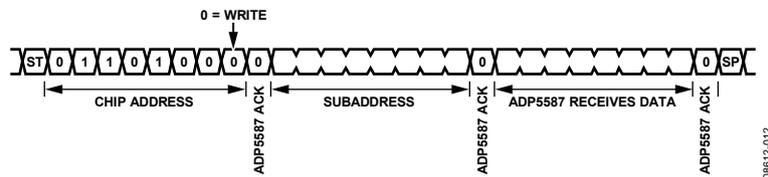


図 16. I²C 書込みシーケンス

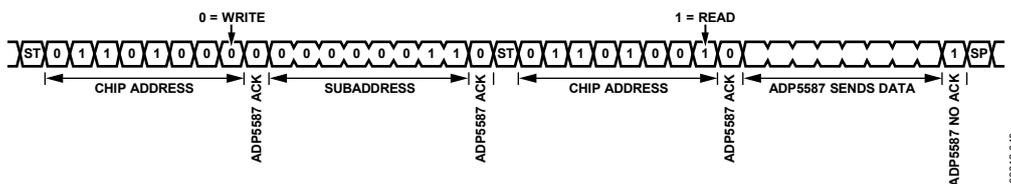


図 17. I²C 読出しおよび書込みシーケンス

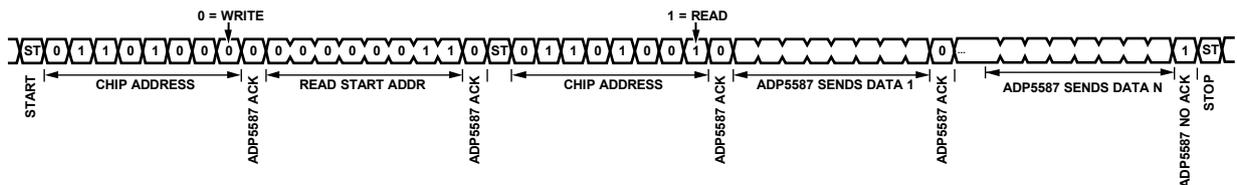


図 18. I²C 読出し自動インクリメント

レジスタ

レジスタは一般的に次のように動作します。

- すべてのレジスタはリセットで0になります。
- すべてのレジスタは、特に指定のない限り読み書き可能です。
- 未使用ビットを讀出すと0が返されます。

- フラグに1を書込むと割込みビットはクリアされます。0の書込みとフラグの讀出しは影響を与えません。ただし、キー・プレス、キー・リリース、GPIO 割込みステータス・レジスタは例外であり、讀出すと、クリアされます。

表 15.

アドレス	レジスタ名	詳細
0x00	DEV_ID	デバイス ID
0x01	CFG	設定レジスタ 1
0x02	INT_STAT	割込みステータス・レジスタ
0x03	KEY_LCK_EC_STAT	キーロックおよびイベント・カウンタ・レジスタ
0x04	KEY_EVENTA	キー・イベント・レジスタ A
0x05	KEY_EVENTB	キー・イベント・レジスタ B
0x06	KEY_EVENTC	キー・イベント・レジスタ C
0x07	KEY_EVENTD	キー・イベント・レジスタ D
0x08	KEY_EVENTE	キー・イベント・レジスタ E
0x09	KEY_EVENTF	キー・イベント・レジスタ F
0x0A	KEY_EVENTG	キー・イベント・レジスタ G
0x0B	KEY_EVENTH	キー・イベント・レジスタ H
0x0C	KEY_EVENTI	キー・イベント・レジスタ I
0x0D	KEY_EVENTJ	キー・イベント・レジスタ J
0x0E	KP_LCK_TMR	キーボード・アンロック 1 タイマ～キーボード・アンロック 2 タイマ
0x0F	UNLOCK1	アンロック・キー1
0x10	UNLOCK2	アンロック・キー2
0x11	GPIO_INT_STAT1	GPIO 割込みステータス
0x12	GPIO_INT_STAT2	GPIO 割込みステータス
0x13	GPIO_INT_STAT3	GPIO 割込みステータス
0x14	GPIO_DAT_STAT1	GPIO データ・ステータス
0x15	GPIO_DAT_STAT2	GPIO データ・ステータス
0x16	GPIO_DAT_STAT3	GPIO データ・ステータス
0x17	GPIO_DAT_OUT1	GPIO データ出力
0x18	GPIO_DAT_OUT2	GPIO データ出力
0x19	GPIO_DAT_OUT3	GPIO データ出力
0x1A	GPIO_INT_EN1	GPIO 割込みイネーブル
0x1B	GPIO_INT_EN2	GPIO 割込みイネーブル
0x1C	GPIO_INT_EN3	GPIO 割込みイネーブル
0x1D	KP_GPIO1	キーボードまたは GPIO 選択
0x1E	KP_GPIO2	キーボードまたは GPIO 選択
0x1F	KP_GPIO3	キーボードまたは GPIO 選択
0x20	GPI_EM_REG1	GPI イベント・モード 1
0x21	GPI_EM_REG2	GPI イベント・モード 2
0x22	GPI_EM_REG3	GPI イベント・モード 3
0x23	GPIO_DIR1	GPIO データ方向
0x24	GPIO_DIR2	GPIO データ方向
0x25	GPIO_DIR3	GPIO データ方向
0x26	GPIO_INT_LVL1	GPIO レベル検出
0x27	GPIO_INT_LVL2	GPIO レベル検出
0x28	GPIO_INT_LVL3	GPIO レベル検出
0x29	DEBOUNCE_DIS1	デバウンス・ディスエーブル

アドレス	レジスタ名	詳細
0x2A	DEBOUNCE_DIS2	デバウンス・ディスエーブル
0x2B	DEBOUNCE_DIS3	デバウンス・ディスエーブル
0x2C	GPIO_PULL1	GPIO プル・ディスエーブル
0x2D	GPIO_PULL2	GPIO プル・ディスエーブル
0x2E	GPIO_PULL3	GPIO プル・ディスエーブル

レジスタの説明

表 16.DEV_ID—レジスタ 0x00 (デバイス ID)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEV_ID	Device ID[3:0], MFG ID[7:4]	MFID3	MFID2	MFID1	MFID0	DID3	DID2	DID1	DID0

表 17.CFG—レジスタ 0x01 (設定レジスタ 1)

Field	Bits	Description
AUTO_INC	7	I ² C オートインクリメント。バーストリードがサポートされます。;バーストライトはサポートされません。 1: I ² C オートインクリメント ON 0: I ² C オートインクリメント OFF
GPIEM_CFG	6	GPI イベントモード設定 1: キーパッドがロックされたとき GPI イベントは記録されません。 0: キーパッドがロックされたとき GPI イベントは記録されます。
OVR_FLOW_M	5	オーバーフローモード 1: オーバーフローモード ON; レジスタオーバーフローデータがシフトインし、最初の古いイベントデータが消えます。 0: オーバーフローモード OFF; レジスタオーバーフローデータが消えます。
INT_CFG	4	割込み設定 1: 275us の間プロセッサの割込みをアサートせず、キーイベントが保持されている場合は再アサートします。 0: ホストが割込みをクリアしようとする時、キーイベントが保持されている間プロセッサ割込みはアサートされたままになります。
OVR_FLOW_IEN	3	オーバーフロー割込みイネーブル 1: オーバーフロー割込みはイネーブル 0: オーバーフロー割込みはディスエーブル
K_LCK_IM	2	キーロック割込みマスク 1: キーロック割込みはイネーブル 0: キーロック割込みはディスエーブル
GPI_IEN	1	GPI 割込みイネーブル 1: GPI 割込みはイネーブル 0: GPI 割込みはディスエーブル
KE_IEN	0	キーイベント割込みイネーブル 1: キーイベント割込みはイネーブル 0: キーイベント割込みはディスエーブル

表 18. INT_STAT—レジスタ 0x02 (割込みステータス・レジスタ)

Field	Bits	Description
Not Used	[7:4]	N/A
OVR_FLOW_INT ¹	3	オーバーフロー割込みステータスセット時、1を書きこむとクリア 1: オーバーフロー割込みが検出 0: オーバーフロー割込みが検出されていない
K_LCK_INT ²	2	キーロック割込みステータスセット時、1を書きこむとクリア 1: キーロック割込みが検出 0: キーロック割込みが検出されていない
GPI_INT ³	1	GPI 割込みステータス、セット時、1を書きこむとクリア 1: GPI 割込みが検出 0: GPI 割込みが検出されていない
KE_INT ⁴	0	キーイベント割込みステータス、セット時、1を書きこむとクリア 1: キーイベント割込みが検出 0: キーイベント割込みが検出されていない

¹ KE_INT、GPI_INT、OVR_FLOW_INT の各ビットは、プロセッサの割込みがマスクされている場合でも、割込みタイプがイネーブルされたときの割込み状態を反映します。

² K_LCK_INT ビットは、キーパッド・ロック・シーケンスが開始されるときのプロセッサへの割込みです。

³ それぞれのレジスタに待ち状態のキー・イベントまたは GPI 割込みがあると、FIFO がエンプティになるまで KE_INT はクリアされません。さらに割込み原因が解決されるまで GPI_INT はクリアされません。KE_INT ビットと GPI_INT ビットをクリアするときは、ホストはこれらに 1 を書込む必要があります。

表 19. キー_LCK_EC_STAT—レジスタ 0x03 (キーロックおよびイベント・カウンタ・レジスタ)

Field	Bits	Description
K_LCK_EN	[6]	0: ロック機能ディセーブル 1: ロック機能イネーブル
LCK2, LCK1	[5:4]	キーロックステータス[1:0] (00 = 非ロック; 11 = ロック; リードオンリービット)。
KEC ¹	[3:0]	キーイベントレジスタのキーイベント数

¹ EEC フィールドは、キー・イベント・レジスタのキー・イベント・カウントを表示します。値は EEC(0000) = 0 イベント、EEC(0001) = 1 イベント、EEC(1010) = 10 イベントです。キー・イベントを読み出してクリアすると、ステート・マシンは EEC 内のイベント・カウントを自動的に減らします。

表 20. キー_EVENTx—レジスタ 0x04～レジスタ 0x0D (キー・イベント・レジスタ A～キー・イベント・レジスタ J)¹

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KEY_EVENTA (Register 0x04)	キーイベントレジスタ A ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KA7	KA6	KA5	KA4	KA3	KA2	KA1	KA0
KEY_EVENTB (Register 0x05)	キーイベントレジスタ B ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0
KEY_EVENTC (Register 0x06)	キーイベントレジスタ C ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KC7	KC6	KC5	KC4	KC3	KC2	KC1	KC0
KEY_EVENTD (Register 0x07)	キーイベントレジスタ D ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KD7	KD6	KD5	KD4	KD3	KD2	KD1	KD0
KEY_EVENTE ² (Register 0x08)	キーイベントレジスタ E ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KE7	KE6	KE5	KE4	KE3	KE2	KE1	KE0
KEY_EVENTF (Register 0x09)	キーイベントレジスタ F ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KF7	KF6	KF5	KF4	KF3	KF2	KF1	KF0
KEY_EVENTG (Register 0x0A)	キーイベントレジスタ G ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KG7	KG6	KG5	KG4	KG3	KG2	KG1	KG0
KEY_EVENTH (Register 0x0B)	キーイベントレジスタ H ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KH7	KH6	KH5	KH4	KH3	KH2	KH1	KH0
KEY_EVENTI (Register 0x0C)	キーイベントレジスタ I ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KI7	KI6	KI5	KI4	KI3	KI2	KI1	KI0
KEY_EVENTJ (Register 0x0D)	キーイベントレジスタ J ステータス (KE[6:0] = キー番号), KP[7] = 0: リリース, 1: プレス (リードでクリア)	KJ7	KJ6	KJ5	KJ4	KJ3	KJ2	KJ1	KJ0

¹ キー・イベント・レジスタ内のデータは FIFO 構成であるため、イベント・レジスタの読み出しに無関係に、データは各読み出し時にシーケンシャルに出力されます。ユーザは KEY_EVENTA レジスタをイベント・カウントとしてのみ読み出すか、またはシーケンシャルにレジスタを読み出すことができます。

² KE[6:0] は、キー・イベントに対して値 1～80 を、GPI イベントに対して値 97～114 を、それぞれ反映します。KE[7:0] の場合、0 = キー・リリース・イベント、1 = キー・プレス・イベント。GPIEM_CFG の場合、GPI が GPI_INT_LVL = 真から GPI_INT_LVL = 偽へ変化したことを 0 で表し、GPI_INT_LVL 状態が真になった GPI の変化を 1 で表します。

表 21.KP_LCK_TMR—レジスタ 0x0E (キーパッド・アンロック 1 タイマ～キーパッド・アンロック 2 タイマ)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KP_LCK_TMR	キーパッドアンロック 1 タイマ～キーパッドアンロック 2 タイマ [2:0] (0: ディスエーブル, 1 sec ~ 7 sec) キーパッドロック割込みマスクタイマ [7:3] (0: ディスエーブル, 0 sec ~ 31 sec) ^{1, 2}	KIMT7	KIMT6	KIMT5	KIMT4	KIMT3	KLLT2	KLLT1	KLLT0

¹ キーパッド・ロック割込みマスク・タイマがイネーブルされた場合、キーロック割込みが発生するか、キーパッド・イベントが記録されるためには、特定の 2 つのキーを押す必要があります。キーパッドがロックされると、任意のキーが最初に押されたとき、キー・イベント割込みが発生します。両アンロック・キー・シーケンスが正しくない限り、追加割込みは発生しません。次にキーロック割込みが発生されます。割込みタイマがディスエーブル (0) されると、正しいフル・アンロック・シーケンスが完了したときのみ割込みが発生します。

² アンロック 1 タイマ・キーとアンロック 2 タイマ・キーは、キー・シーケンスまたは GPIEM_CFG シーケンスであることができます。アンロック・キーには、キーパッド・マトリクス内の任意のキー値またはキー・イベント・テーブルの一部である任意の GPI イベント値を書込むことができます。キーロック・イネーブル・ビット (レジスタ 0x03 のビット 6) をセットしてキーパッドをロックする必要があります。

表 22.アンロック 1—レジスタ 0x0F (アンロック・キー 1)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UNLOCK1	アンロックキー 1 [6:0] (アンロックキー 1 の番号が含まれる; 0: ディスエーブル)	N/A	ULK6	ULK5	ULK4	ULK3	ULK2	ULK1	ULK0

表 23.アンロック 2—レジスタ 0x10 (アンロック・キー 2)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UNLOCK2	アンロックキー 2 [6:0] (アンロックキー 2 の番号が含まれる; 0: ディスエーブル)	N/A	ULK6	ULK5	ULK4	ULK3	ULK2	ULK1	ULK0

表 24.GPIO_INT_STATx—レジスタ 0x11～レジスタ 0x13 (GPIO 割込みステータス)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_INT_STAT1 (Register 0x11)	GPIO 割込みステータス (GPIO 割込みステータスの確認, リードでクリア)	R7IS	R6IS	R5IS	R4IS	R3IS	R2IS	R1IS	R0IS
GPIO_INT_STAT2 (Register 0x12)	GPIO 割込みステータス (GPIO 割込みステータスの確認, リードでクリア)	C7IS	C6IS	C5IS	C4IS	C3IS	C2IS	C1IS	C0IS
GPIO_INT_STAT3 (Register 0x13)	GPIO 割込みステータス (GPIO 割込みステータスの確認, リードでクリア)	N/A	N/A	N/A	N/A	N/A	N/A	C9IS	C8IS

表 25.GPIO_DAT_STATx—レジスタ 0x14～レジスタ 0x16 (GPIO データ・ステータス)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_DAT_STAT1 (Register 0x14)	GPIO データステータス (リード時の GPIO の入力、出力ステータス)	R7DS	R6DS	R5DS	R4DS	R3DS	R2DS	R1DS	R0DS
GPIO_DAT_STAT2 (Register 0x15)	GPIO データステータス (リード時の GPIO の入力、出力ステータス)	C7DS	C6DS	C5DS	C4DS	C3DS	C2DS	C1DS	C0DS
GPIO_DAT_STAT3 (Register 0x16)	GPIO データステータス (リード時の GPIO の入力、出力ステータス)	N/A	N/A	N/A	N/A	N/A	N/A	C9DS	C8DS

表 26.GPIO_DAT_OUTx—レジスタ 0x17～レジスタ 0x19 (GPIO データ出力)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_DAT_OUT1 (Register 0x17)	GPIO データ出力 (GPIO 出力ドライバに書きこまれる GPIO データ, 入力に影響なし)	R7DO	R6DO	R5DO	R4DO	R3DO	R2DO	R1DO	R0DO
GPIO_DAT_OUT2 (Register 0x18)	GPIO データ出力 (GPIO 出力ドライバに書きこまれる GPIO データ, 入力に影響なし)	C7DO	C6DO	C5DO	C4DO	C3DO	C2DO	C1DO	C0DO
GPIO_DAT_OUT3 (Register 0x19)	GPIO データ出力 (GPIO 出力ドライバに書きこまれる GPIO データ, 入力に影響なし)	N/A	N/A	N/A	N/A	N/A	N/A	C9DO	C8DO

表 27.GPIO_INT_ENx—レジスタ 0x1A～レジスタ 0x1C (GPIO 割込みイネーブル)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_INT_EN1 (Register 0x1A)	GPIO 割込みイネーブル(イネーブル割込みは、GP 入力のみ)	R7IE	R6IE	R5IE	R4IE	R3IE	R2IE	R1IE	R0IE
GPIO_INT_EN2 (Register 0x1B)	GPIO 割込みイネーブル(イネーブル割込みは、GP 入力のみ)	C7IE	C6IE	C5IE	C4IE	C3IE	C2IE	C1IE	C0IE
GPIO_INT_EN3 (Register 0x1C)	GPIO 割込みイネーブル(イネーブル割込みは、GP 入力のみ)	N/A	N/A	N/A	N/A	N/A	N/A	C9IE	C8IE

表 28.KP_GPIOx—レジスタ 0x1D～レジスタ 0x1F (キーパッドまたは GPIO 選択)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KP_GPIO1 (Register 0x1D)	キーパッドもしくは GPIO 選択 0: GPIO 1: キーパッドマトリクス	R7	R6	R5	R4	R3	R2	R1	R0
KP_GPIO2 (Register 0x1E)	キーパッドもしくは GPIO 選択 0: GPIO 1: キーパッドマトリクス	C7	C6	C5	C4	C3	C2	C1	C0
KP_GPIO3 (Register 0x1F)	キーパッドもしくは GPIO 選択 0: GPIO 1: キーパッドマトリクス	N/A	N/A	N/A	N/A	N/A	N/A	C9	C8

表 29.GPIO_EM_REGx—レジスタ 0x20～レジスタ 0x22 (GPI イベント・モード 1～GPI イベント・モード 3)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPI_EM_REG1 (Register 0x20)	GPI イベントモードレジスタ 1 0: GPI はイベント FIFO でない 1: GPI はイベント FIFO (R0 to R7)	R7_EM	R6_EM	R5_EM	R4_EM	R3_EM	R2_EM	R1_EM	R0_EM
GPI_EM_REG2 (Register 0x21)	GPI イベントモードレジスタ 2 0: GPI はイベント FIFO でない 1: GPI はイベント FIFO (C0 to C7)	C7_EM	C6_EM	C5_EM	C4_EM	C3_EM	C2_EM	C1_EM	C0_EM
GPI_EM_REG3 (Register 0x22)	GPI イベントモードレジスタ 3 0: GPI はイベント FIFO でない 1: GPI はイベント FIFO (C8 to C9)	NA	NA	NA	NA	NA	NA	C9_EM	C8_EM

表 30.GPIO_DIRx—レジスタ 0x23～レジスタ 0x25 (GPIO データ方向)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_DIR1 (Register 0x23)	GPIO データ方向 0: 入力 1: 出力	R7D	R6D	R5D	R4D	R3D	R2D	R1D	R0D
GPIO_DIR2 (Register 0x24)	GPIO データ方向 0: 入力 1: 出力	C7D	C6D	C5D	C4D	C3D	C2D	C1D	C0D
GPIO_DIR3 (Register 0x25)	GPIO データ方向 0: 入力 1: 出力	N/A	N/A	N/A	N/A	N/A	N/A	C9D	C8D

表 31.GPIO_INT_LVLx—レジスタ 0x26～レジスタ 0x28 (GPIO レベル検出)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_INT_LVL1 (Register 0x26)	GPIO INT レベル検出 0: ロー 1: ハイ	R7IL	R6IL	R5IL	R4IL	R3IL	R2IL	R1IL	R0IL
GPIO_INT_LVL2 (Register 0x27)	GPIO INT レベル検出 0: ロー 1: ハイ	C7IL	C6IL	C5IL	C4IL	C3IL	C2IL	C1IL	C0IL
GPIO_INT_LVL3 (Register 0x28)	GPIO INT レベル検出 0: ロー 1: ハイ	N/A	N/A	N/A	N/A	N/A	N/A	C9IL	C8IL

表 32.DEBOUNCE_DISx—レジスタ 0x29～レジスタ 0x2B (デバウンス・ディスエーブル)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEBOUNCE_DIS1 (Register 0x29)	デバウンスディスエーブル (入力) 0: イネーブル 1: ディスエーブル	R7DD	R6DD	R5DD	R4DD	R3DD	R2DD	R1DD	R0DD
DEBOUNCE_DIS2 (Register 0x2A)	デバウンスディスエーブル (入力) 0: イネーブル 1: ディスエーブル	C7DD	C6DD	C5DD	C4DD	C3DD	C2DD	C1DD	C0DD
DEBOUNCE_DIS3 (Register 0x2B)	デバウンスディスエーブル (入力) 0: イネーブル 1: ディスエーブル	N/A	N/A	N/A	N/A	N/A	N/A	C9DD	C8DD

表 33.GPIO_PULLx—レジスタ 0x2C～レジスタ 0x2E (GPIO プル・ディスエーブル)

Register Name	Register Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_PULL1 (Register 0x2C)	GPIO プルディスエーブル (入力からのプルアップを 除去) 0: プルイネーブル 1: プルディスエーブル	R7PD	R6PD	R5PD	R4PD	R3PD	R2PD	R1PD	R0PD
GPIO_PULL2 (Register 0x2D)	GPIO プルディスエーブル (入力からのプルアップを 除去) 0: プルイネーブル 1: プルディスエーブル	C7PD	C6PD	C5PD	C4PD	C3PD	C2PD	C1PD	C0PD
GPIO_PULL3 (Register 0x2E)	GPIO プルディスエーブル (入力からのプルアップを 除去) 0: プルイネーブル 1: プルディスエーブル	N/A	N/A	N/A	N/A	N/A	N/A	C9PD	C8PD

アプリケーション情報

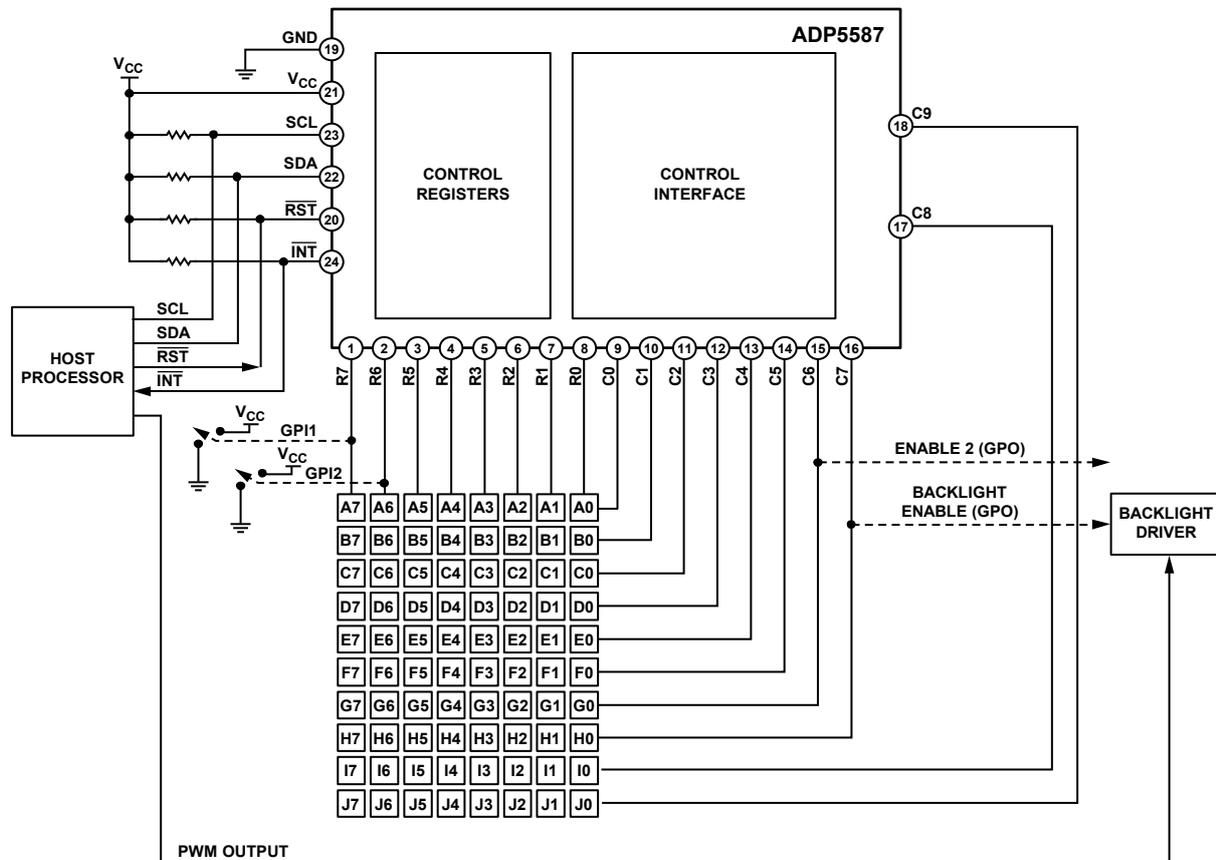


図 19. ADP5587 の詳細アプリケーション・ブロック図

アプリケーションの概要

ADP5587 は、様々な方法でホスト・プロセッサを補完するようにデザインされています。その多機能性により、拡張キーボードおよびGPIOエクステンダを必要とするモバイル・プラットフォームに最適なソリューションになっています。プログラマブルなレジスタにより、一部または全部のGPIOを多様な方法で設定する柔軟性があります。図 19 に、詳しいアプリケーション図を示します。

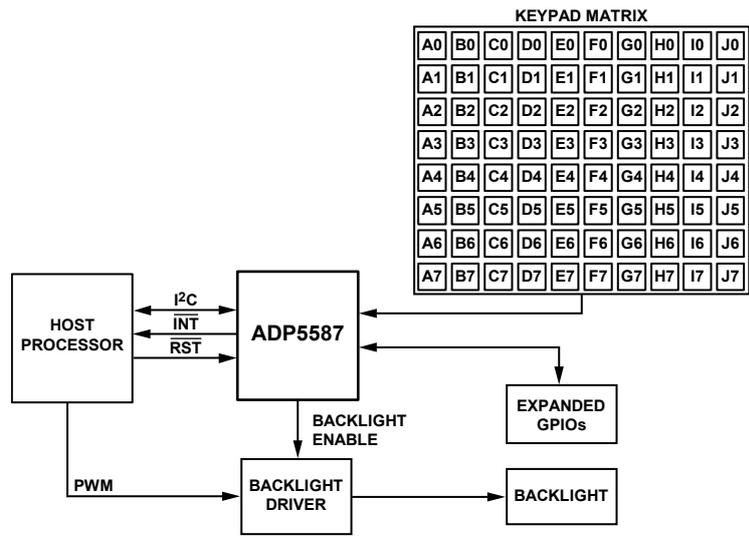
キーパッド電流

キーパッド電流は、複数のキーを押す際に押されるキーの数と行および列の数に応じて変化します。表 34 に、キーを 1 個押したときとキーを 2 個押したときの電流(typ)を示します。

表 34. キー電流(typ)

Number of Key Presses	Conditions ¹	Typical	Unit
1	$V_{CC} = 1.8 \text{ V to } 3.0 \text{ V}$	55	μA
2	$V_{CC} = 1.8 \text{ V to } 3.0 \text{ V}$	100	μA

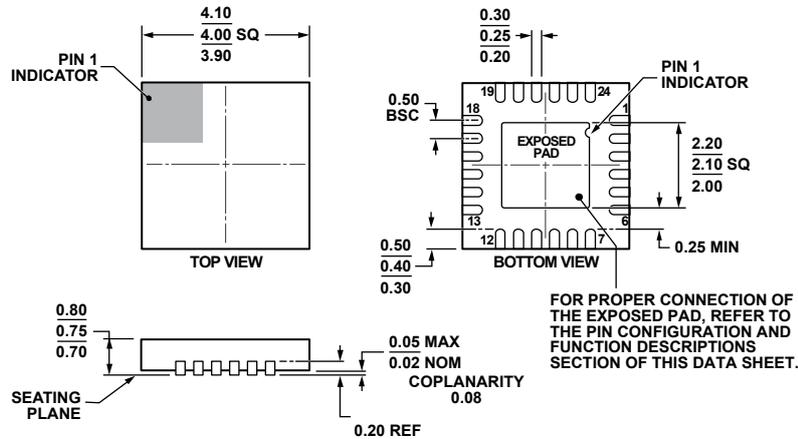
¹ $T_A = T_J = -40^\circ\text{C} \sim +85^\circ\text{C}$



08612-016

図 20. 統合ブロック図

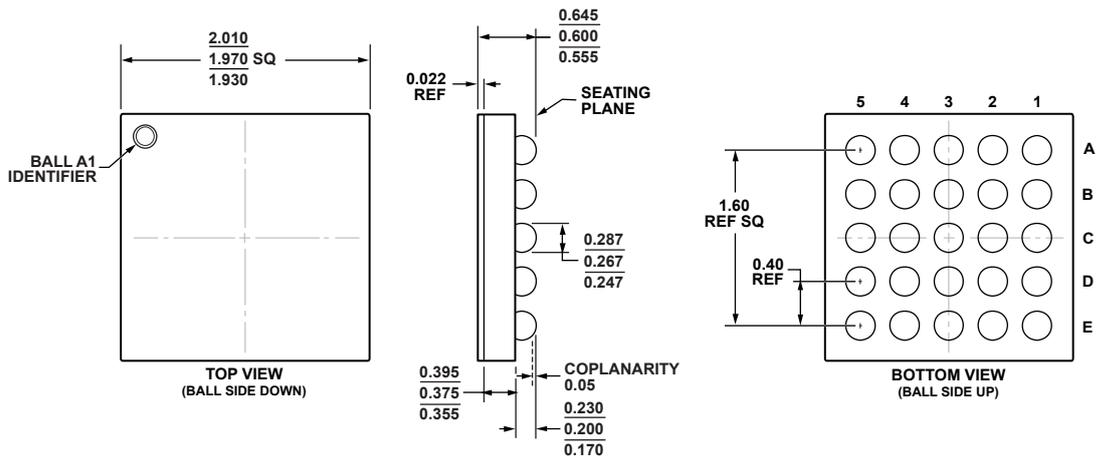
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8.

07289A

図 21.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-24-1)
寸法: mm



092205-B

図 22.25 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-25-4)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5587ACPZ-R7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-1
ADP5587ACBZ-R7	-40°C to +85°C	25-Ball Wafer Level Chip Scale Package [WLCSP]	CB-25-4

¹ Z = RoHS 準拠製品

¹C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が開発した通信プロトコルです。