



50 mA / 500 mA、高効率、 超低消費電力ステップダウン・レギュレータ

データシート

ADP5301

特長

- 入力スタートアップ電圧範囲: 2.15 V ~ 6.50 V
- 2.00 V までの低電圧動作
- 180 nA の超低静止電流 (無負荷)
- 選択可能な出力電圧: 1.2 V ~ 3.6 V または 0.8 V ~ 5.0 V
- PWM モードの全温度範囲にわたり $\pm 1.5\%$ の出力精度
- ヒステリシス・モードまたは PWM 動作モードを選択可能
- 出力電流
 - ヒステリシス・モードで最大 50 mA
 - PWM モードで最大 500 mA
- VOUTOK フラグが出力電圧を監視
- 100% デューティ・サイクル動作モード
- 2 MHz スイッチング周波数 (1.2 MHz ~ 2.5 MHz のオプションの同期入力)
- 急速出力放電 (QOD) オプション
- UVLO、OCP、TSD 保護
- 9 ボール、1.65 mm x 1.87 mm WLCSP
- 40°C ~ +125°C のジャンクション温度

アプリケーション

- エネルギー (ガスと水) 計量
- ポータブルなバッテリー駆動機器
- 医療アプリケーション
- キーブアラライブ電源

概要

ADP5301 は高効率の超低静止電流ステップダウン・レギュレータで、無負荷時にわずか 180 nA の静止電流で出力を安定化できます。

ADP5301 は 2.15 V ~ 6.50 V の入力スタートアップ電圧範囲で動作し、アルカリ電池、ニッケル水素電池、リチウムイオン水素電池などのさまざまな電源を使用できます。出力電圧は、外部 VID 抵抗と出荷時のヒューズ調整によって 0.8 V ~ 5.0 V の範囲で選択可能です。トータル・ソリューションに必要なものは、4 個の小さな外付け部品のみです。

ADP5301 は、SYNC/MODE ピンを介して、ヒステリシス・モードまたは PWM モードで動作できます。ヒステリシス・モードの場合、レギュレータは 1 mW 未満の電力で最高の効率を發揮し、最大 50 mA の出力電流を供給します。PWM モードの場合、レギュレータは低い出力リップルを生成し、最大 500 mA の出力電流を供給します。デバイスの動作中に柔軟に設定できるので、非常に効率的なパワー・マネージメントが可能で、最長の

代表的なアプリケーション回路

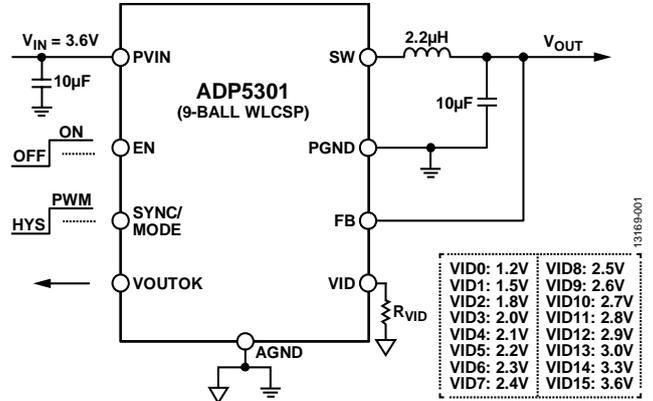


図 1.

バッテリー寿命および最小のシステム・ノイズに関する要件を満たすことができます。

ADP5301 には、PWM モードで出力電圧をモニタし、2 MHz のスイッチング周波数で動作する VOUTOK フラグがあります。SYNC/MODE は、1.2 MHz ~ 2.5 MHz の外部クロックと同期できます。

ADP5301 のその他の主な機能として、個別イネーブル、QOD、および過電流保護 (OCP)、サーマル・シャットダウン (TSD)、入力低電圧ロックアウト (UVLO) などの安全機能があります。

ADP5301 は、9 ボール、1.65 mm x 1.87 mm WLCSP に封入されており、ジャンクション温度の範囲は -40°C ~ +125°C です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	短絡保護.....	15
アプリケーション.....	1	ソフト・スタート.....	15
代表的なアプリケーション回路.....	1	プリチャージ出力によるスタートアップ.....	15
概要.....	1	100 % デューティサイクル動作.....	15
改訂履歴.....	2	アクティブ放電.....	15
詳細機能ブロック図.....	3	VOUTOK の機能.....	15
仕様.....	4	サーマル・シャットダウン.....	15
絶対最大定格.....	6	アプリケーション情報.....	16
熱抵抗.....	6	外部コンポーネントの選択.....	16
ESD に関する注意.....	6	インダクタの選択.....	16
ピン配置およびピン機能の説明.....	7	出力コンデンサ.....	16
代表的な性能特性.....	8	入力コンデンサ.....	17
動作原理.....	14	効率.....	17
降圧スイッチング・レギュレータの動作モード.....	14	推奨プリント回路基板 (PCB) レイアウト.....	18
発振器および同期.....	14	代表的なアプリケーション回路.....	19
可変出力および固定出力の電圧.....	14	出荷時にプログラム可能なオプション.....	20
低電圧ロックアウト (UVLO).....	15	外形寸法.....	21
イネーブル/ディスエーブル.....	15	オーダー・ガイド.....	21
電流制限.....	15		

改訂履歴

6/15—Revision 0:初版

詳細機能ブロック図

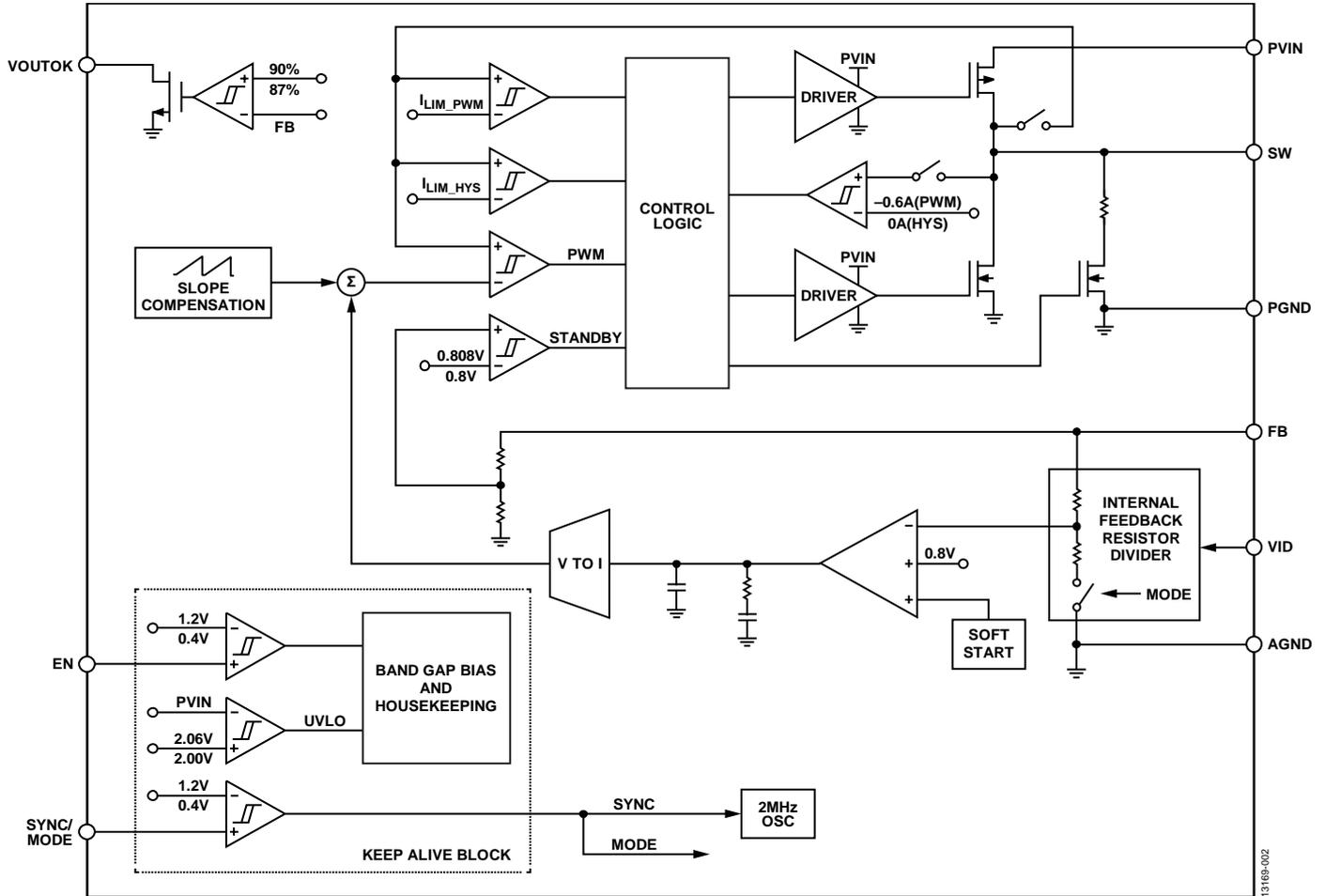


図 2.

13189-002

仕様

最小値または最大値の仕様規定に関しては、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25\text{ }^\circ\text{C}$ での代表値。

表 1

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.15		6.50	V	
SHUTDOWN CURRENT	$I_{SHUTDOWN}$		18	40	nA	$V_{EN} = 0\text{ V}$, $-40\text{ }^\circ\text{C} \leq T_J \leq +85\text{ }^\circ\text{C}$
			18	130	nA	$V_{EN} = 0\text{ V}$, $-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
QUIESCENT CURRENT						
Operating Quiescent Current in Hysteresis Mode	I_{Q_HYS}		180	260	nA	$-40\text{ }^\circ\text{C} \leq T_J \leq +85\text{ }^\circ\text{C}$
			180	350	nA	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
			570	1400	nA	100 % duty cycle operation, $V_{IN} = 3.0\text{ V}$, V_{OUT} set to 3.3 V
Operating Quiescent Current in PWM Mode	I_{Q_PWM}		425	630	μA	
UNDERVOLTAGE LOCKOUT	UVLO					
UVLO Threshold						
Rising	V_{UVLO_RISING}		2.06	2.14	V	
Falling	$V_{UVLO_FALLING}$	1.90	2.00		V	
OSCILLATOR CIRCUIT						
Switching Frequency in PWM Mode	f_{SW}	1.7	2.0	2.3	MHz	
Feedback (FB) Threshold of Frequency Fold	V_{OSC_FOLD}		0.3		V	
SYNCHRONIZATION THRESHOLD						
SYNC Clock Range	$SYNC_{CLOCK}$	1.2		2.5	MHz	
SYNC High Level Threshold	$SYNC_{HIGH}$	1.2			V	
SYNC Low Level Threshold	$SYNC_{LOW}$			0.4	V	
SYNC Duty Cycle Range	$SYNC_{DUTY}$	100		$1/f_{SW} - 150$	ns	
SYNC/MODE Leakage Current	$I_{SYNC_LEAKAGE}$		50	150	nA	$V_{SYNC/MODE} = 3.6\text{ V}$
MODE TRANSITION						
Transition Delay from Hysteresis Mode to PWM Mode	$t_{HYS_TO_PWM}$		20		Clock cycles	SYNC/MODE goes logic high from logic low
EN PIN						
Input Voltage Threshold						
High	V_{IH}	1.2			V	
Low	V_{IL}			0.4	V	
Input Leakage Current	$I_{EN_LEAKAGE}$			25	nA	
FB PIN						
Output Options by VID Resistor	V_{OUT_OPT}	0.8		5.0	V	0.8 V to 5.0 V in various factory options
PWM Mode						
Fixed VID Code Voltage Accuracy	$V_{FB_PWM_FIX}$	-0.6		+0.6	%	$T_J = 25\text{ }^\circ\text{C}$, output voltage setting via factory fuse
		-1.2		+1.2	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
Adjustable VID Code Voltage Accuracy	$V_{FB_PWM_ADJ}$	-1.5		+1.5	%	Output voltage setting via VID resistor
Hysteresis Mode						
Fixed VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_FIX}$	-0.75		+0.75	%	$T_J = 25\text{ }^\circ\text{C}$
		-2.5		+2.5	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
Adjustable VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_ADJ}$	-3		+3	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
Hysteresis of Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS(HYS)}$		1		%	
Feedback Bias Current	I_{FB}		66	95	nA	Output Option 0, $V_{OUT} = 2.5\text{ V}$
			25	45	nA	Output Option 1, $V_{OUT} = 1.3\text{ V}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SW PIN						
High-Side Power FET On Resistance	$R_{DS(ON)H}$		324	470	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)L}$		196	320	m Ω	Pin to pin measurement
Current-Limit in PWM Mode	I_{LIM_PWM}	800	1000	1200	mA	SYNC/MODE = high
Peak Current in Hysteresis Mode	I_{LIM_HYS}		265		mA	SYNC/MODE = low
Minimum On Time	t_{MIN_ON}		40	70	ns	
VOUTOK PIN						
Monitor Threshold	$V_{OUTOK(RISE)}$	87	90	93	%	
Monitor Hysteresis	$V_{OUTOK(HYS)}$		3		%	
Monitor Rising Delay	t_{VOUTOK_RISE}		40		μ s	
Monitor Falling Delay	t_{VOUTOK_FALL}		10		μ s	
Leakage Current	$I_{VOUTOK_LEAKAGE}$		0.1	1	μ A	
Output Low Voltage	V_{OUTOK_LOW}		50	80	mV	$I_{VOUTOK} = 100 \mu$ A
SOFT START						
Default Soft Start Time	t_{SS}		350		μ s	Factory trim, 1 bit (350 μ s and 2800 μ s)
Start-Up Delay	t_{START_DELAY}		2		ms	Delay from the EN pin being pulled high
C_{OUT} DISCHARGE SWITCH ON RESISTANCE						
	R_{DIS}		290		Ω	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		142		$^{\circ}$ C	
Hysteresis	T_{HYS}		127		$^{\circ}$ C	

絶対最大定格

表 2

Parameter	Rating
PVIN to PGND	-0.3 V to +7 V
SW to PGND	-0.3 V to PVIN + 0.3 V
FB to AGND	-0.3 V to +7 V
VID to AGND	-0.3 V to +7 V
EN to AGND	-0.3 V to +7 V
VOUTOK to AGND	-0.3 V to +7 V
SYNC/MODE to AGND	-0.3 V to +7 V
PGND to AGND	-0.3 V to +0.3 V
Storage Temperature Range	-65 °C to +150 °C
Operational Junction Temperature Range	-40 °C to +125 °C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり製品を絶対最大定格を超える状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	Unit
9-Ball WLCSP	132	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

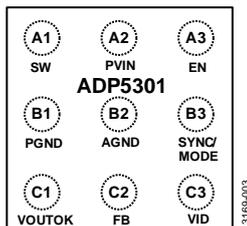


図 3. ピン配置（上面図）

表 4 ピン機能の説明

ピン番号	記号	説明
A1	SW	レギュレータのスイッチング・ノード出力。
A2	PVIN	レギュレータの電力入力。
A3	EN	レギュレータのイネーブル入力。レギュレータをディスエーブルにするには、このピンをロジック・ローに設定します。
B1	PGND	電源グラウンド。
B2	AGND	アナログ・グラウンド。
B3	SYNC/MODE	同期入力ピン（SYNC）。デバイスのスイッチング周波数を外部クロックに同期するには、このピンを周波数 1.2 MHz ~ 2.5 MHz の外部クロックに接続します。 PWM またはヒステリシス・モードの選択ピン（MODE）。このピンがロジック・ハイの場合、レギュレータは PWM モードで動作します。このピンがロジック・ローの場合、レギュレータはヒステリシス・モードで動作します。
C1	VOUTOK	出力パワーグッド信号。このピンがオープンドレイン出力である場合は、出力電圧がパワーグッドであることを示す信号を意味します。
C2	FB	レギュレータのフィードバック検出入力。
C3	VID	電圧設定ピン。レギュレータの出力電圧を設定するには、このピンからグラウンドへ外部抵抗（ R_{VID} ）を接続します（表 5 を参照）。

代表的な性能特性

特に断りのない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $L = 2.2\text{ }\mu\text{H}$ 、 $C_{IN} = C_{OUT} = 10\text{ }\mu\text{F}$ 、 $f_{SW} = 2\text{ MHz}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

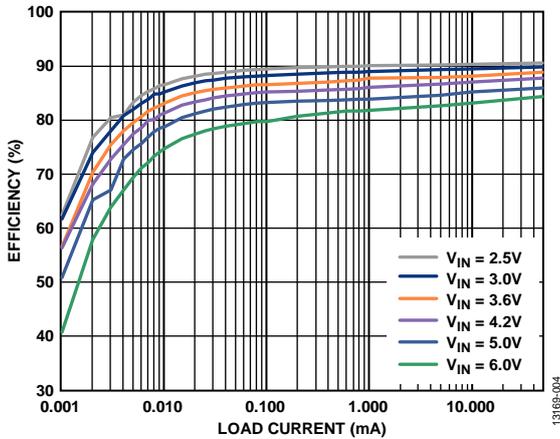


図 4. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.2\text{ V}$

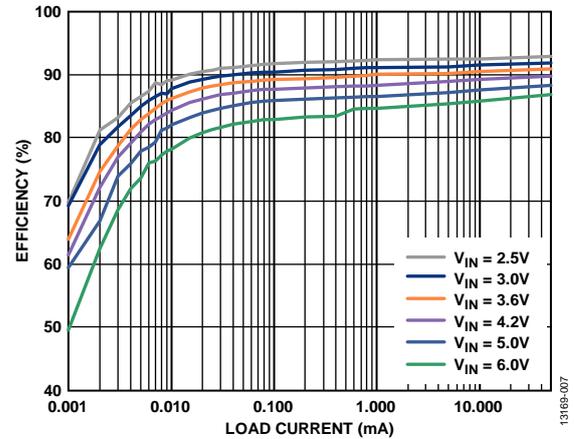


図 7. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.5\text{ V}$

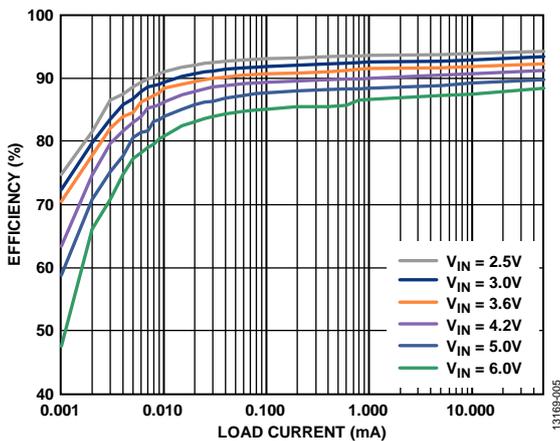


図 5. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.8\text{ V}$

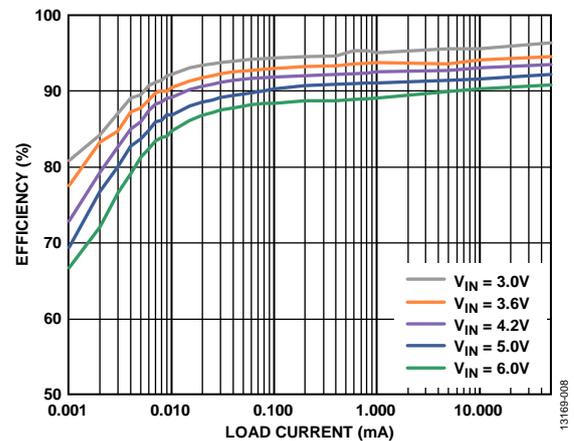


図 8. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 2.5\text{ V}$

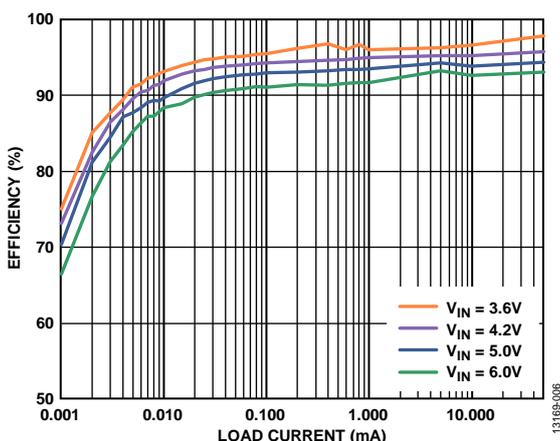


図 6. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 3.3\text{ V}$

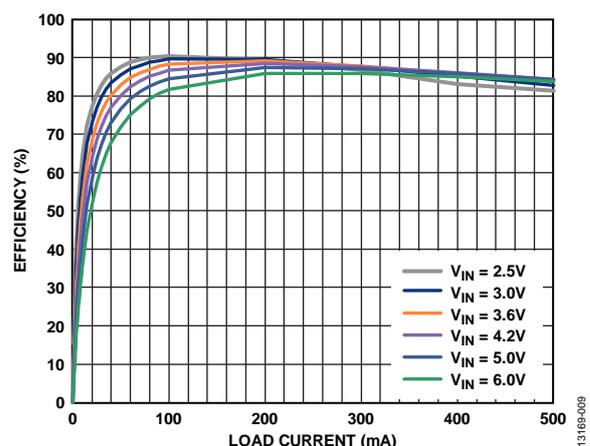


図 9. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.2\text{ V}$

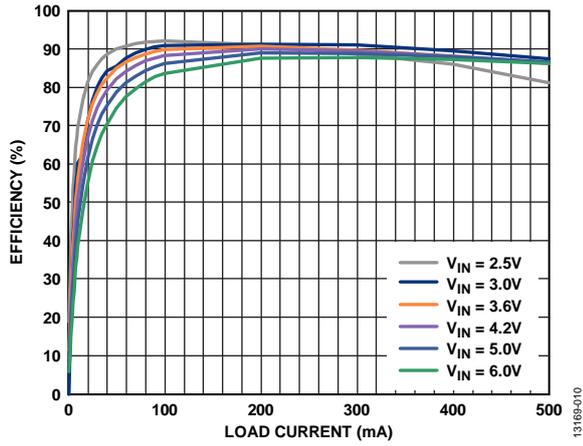


図 10. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.5\text{ V}$

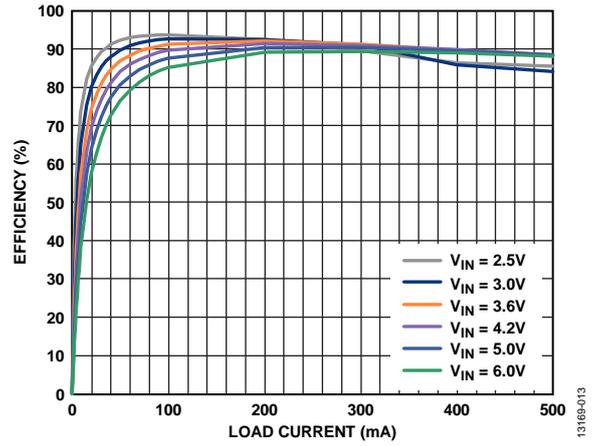


図 13. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.8\text{ V}$

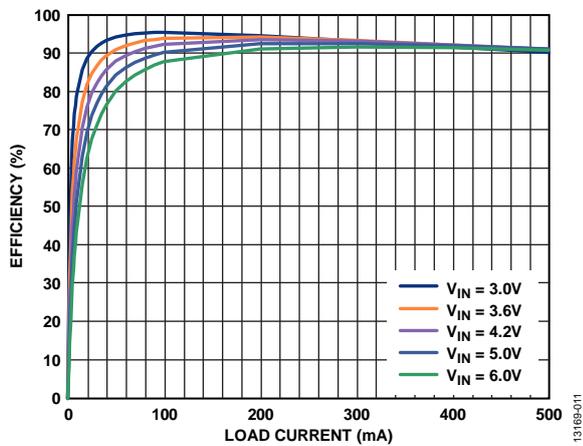


図 11. PWM 効率と負荷電流の関係、 $V_{OUT} = 2.5\text{ V}$

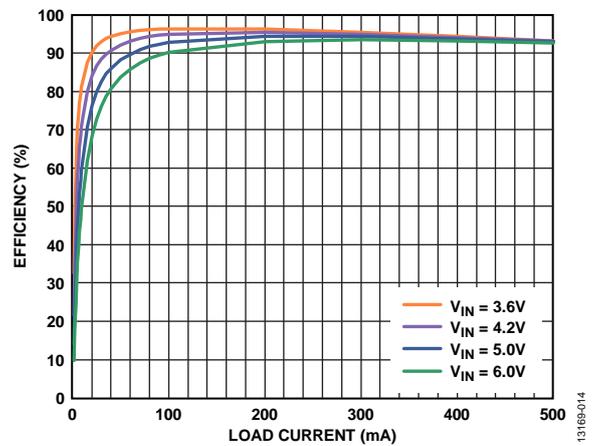


図 14. PWM 効率と負荷電流の関係、 $V_{OUT} = 3.3\text{ V}$

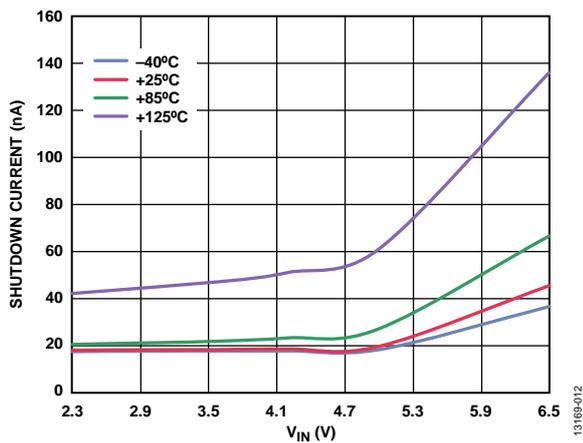


図 12. シャットダウン電流と V_{IN} の関係、 $EN = Low$

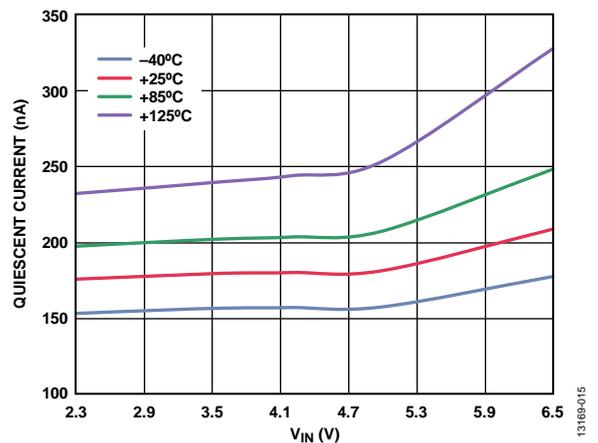


図 15. ヒステリシス静止電流と V_{IN} の関係、 $SYNC/MODE = Low$

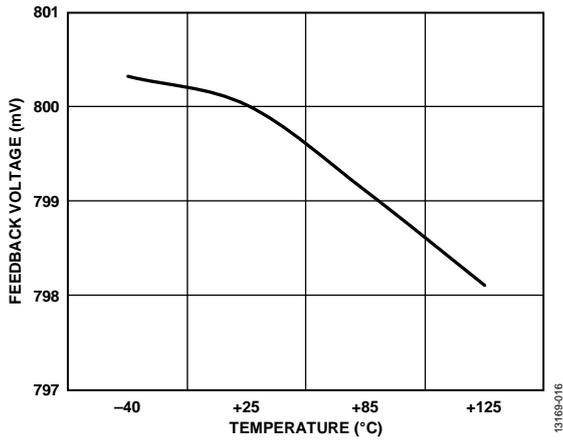


図 16. フィードバック電圧と温度の関係、PWM モード

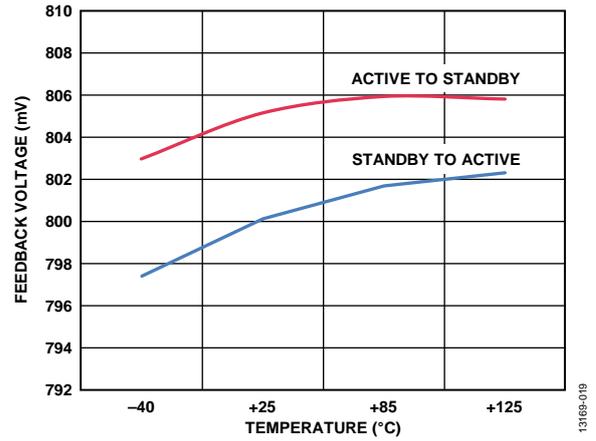


図 19. フィードバック電圧と温度の関係、ヒステリシス・モード

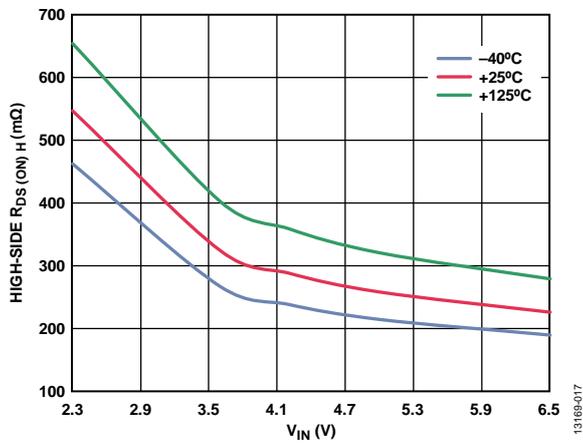


図 17. ハイサイド R_{DS(ON)H} と V_{IN} の関係

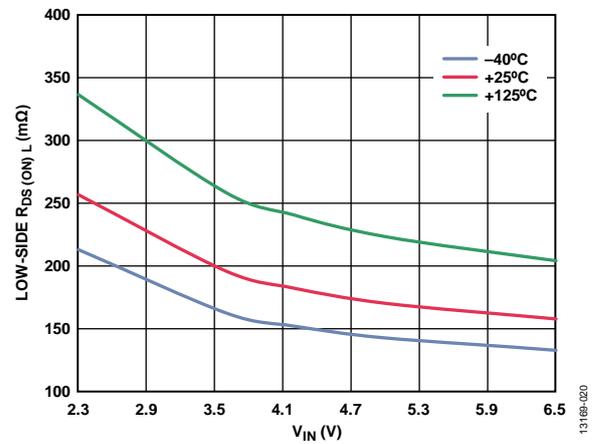


図 20. ローサイド R_{DS(ON)L} と V_{IN} の関係

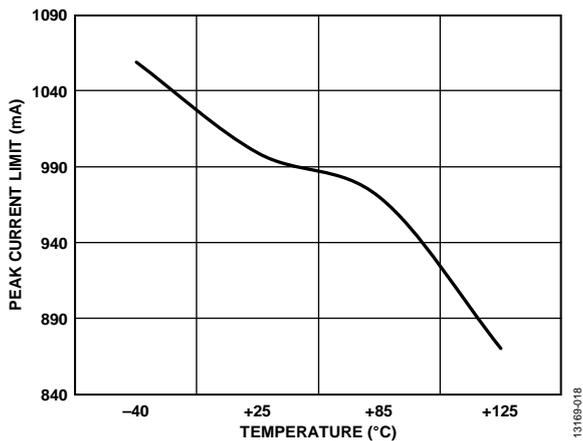


図 18. ピーク電流制限と温度の関係

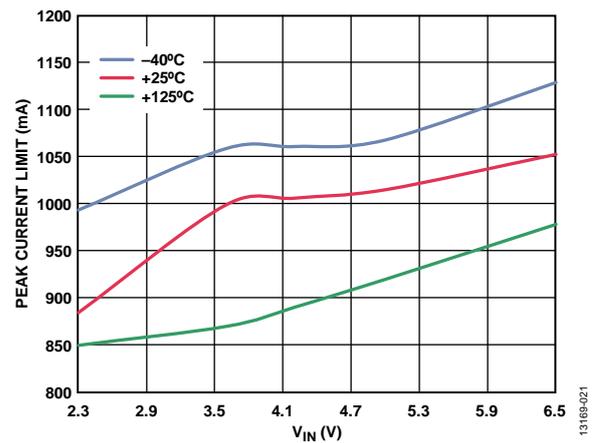


図 21. ピーク電流制限と V_{IN} の関係

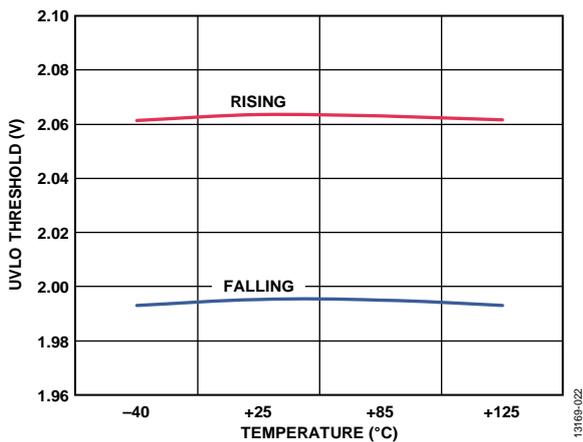


図 22. UVLO の閾値、立上がり／立下がりと温度の関係

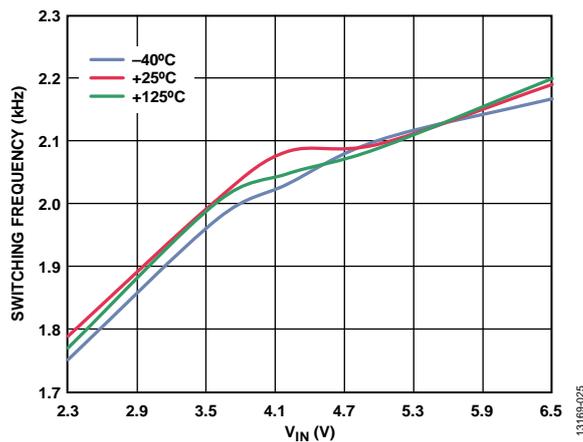


図 25. スイッチング周波数と V_{IN} の関係

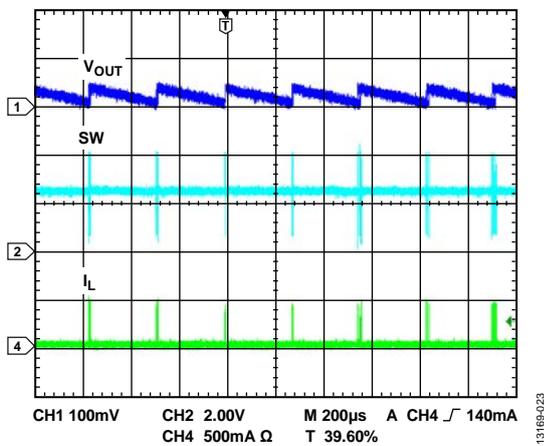


図 23. ヒステリシス・モードの定常波形、 $I_{LOAD} = 1\text{ mA}$ (I_L インダクタ電流)

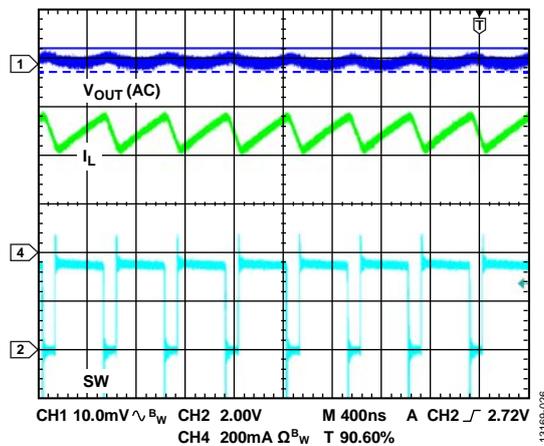


図 26. PWM モードの定常波形、 $I_{LOAD} = 300\text{ mA}$

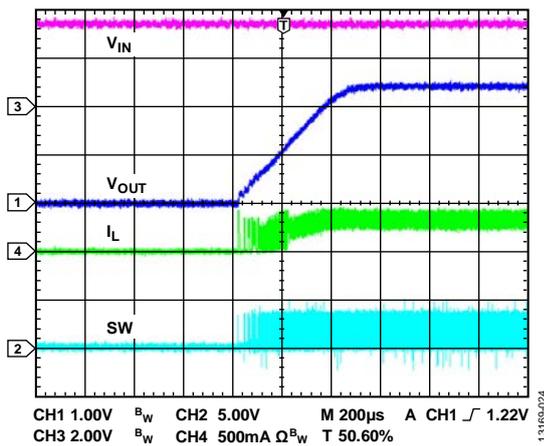


図 24. ソフト・スタート、 $I_{LOAD} = 300\text{ mA}$

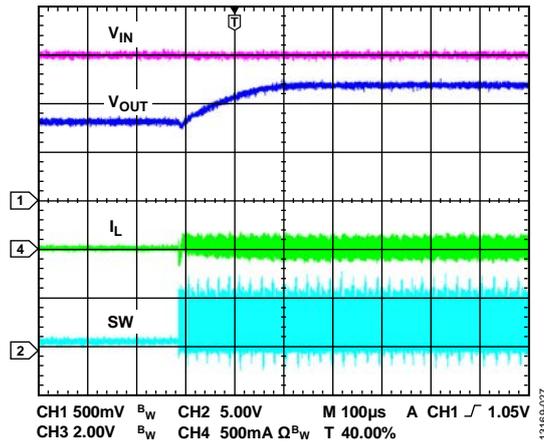


図 27. プリチャージ機能を使用したソフト・スタート

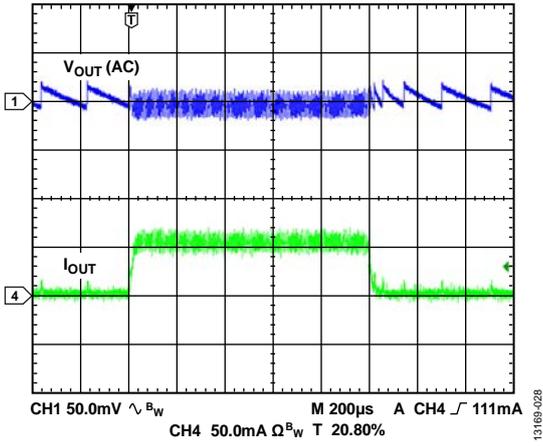


図 28. ヒステリシス・モードの負荷トランジェント、
 $I_{LOAD} = 0 \text{ mA} \sim 50 \text{ mA}$

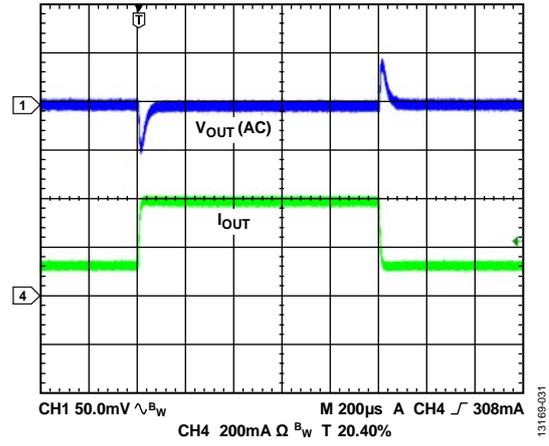


図 31. PWM モードの負荷トランジェント、
 $I_{LOAD} = 125 \text{ mA} \sim 375 \text{ mA}$

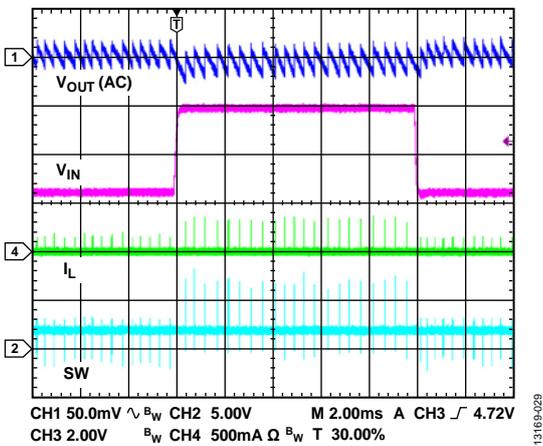


図 29. ヒステリシス・モードのライン・トランジェント、
 $I_{LOAD} = 10 \mu\text{A}$ 、 $V_{IN} = 2.5 \text{ V} \sim 6 \text{ V}$

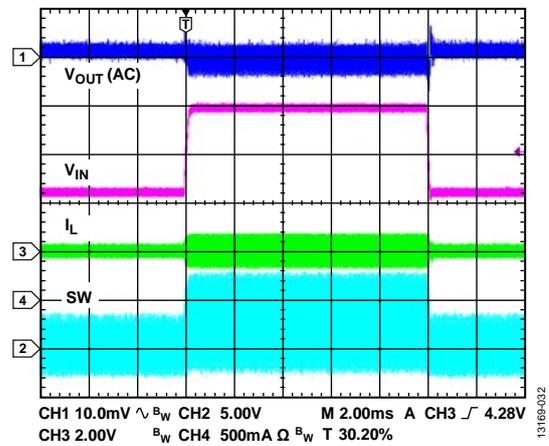


図 32. PWM モードのライン・トランジェント、
 $I_{LOAD} = 500 \text{ mA}$ 、 $V_{IN} = 2.5 \text{ V} \sim 6 \text{ V}$

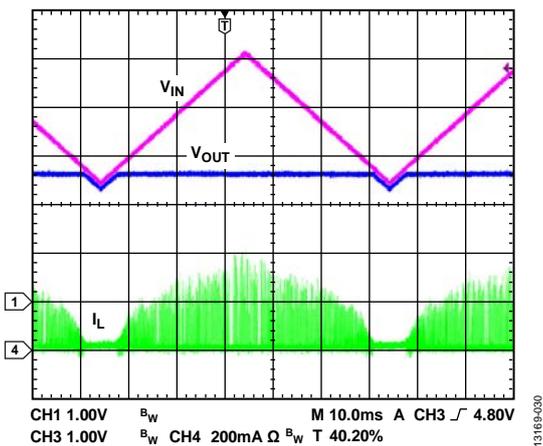


図 30. ヒステリシス・モードでの入力電圧のランプ・アップおよびランプ・ダウン

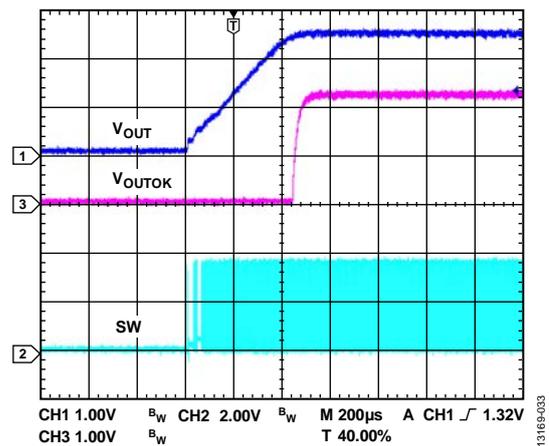


図 33. VOUTOK の機能

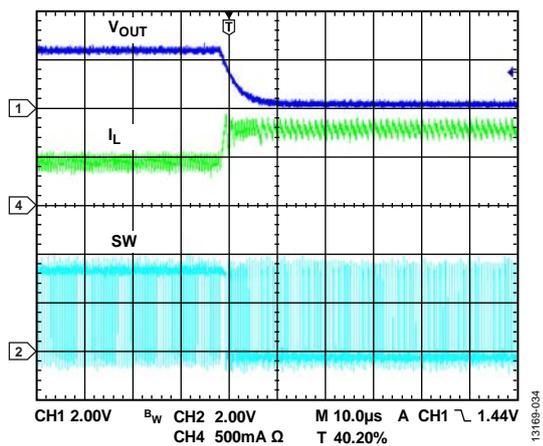


図 34. 出力短絡保護

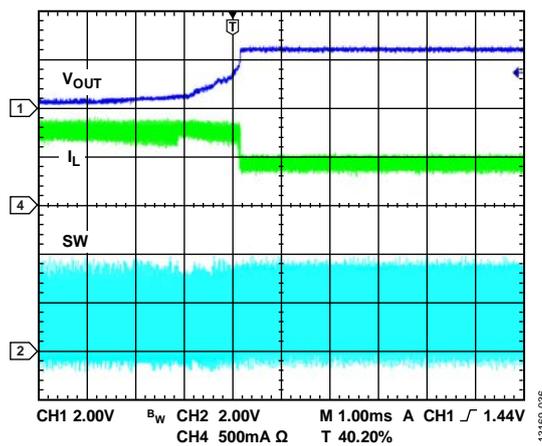


図 36. 出力短絡回復

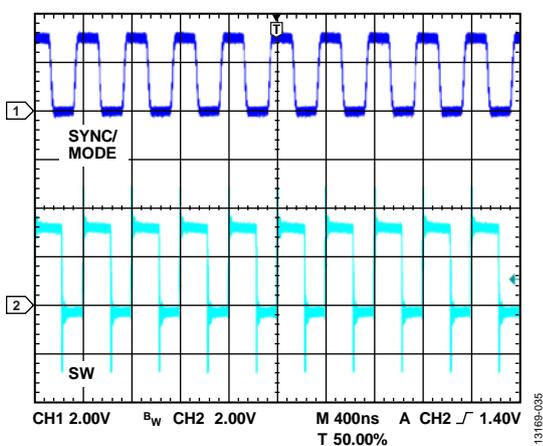


図 35. 2.5 MHz に同期

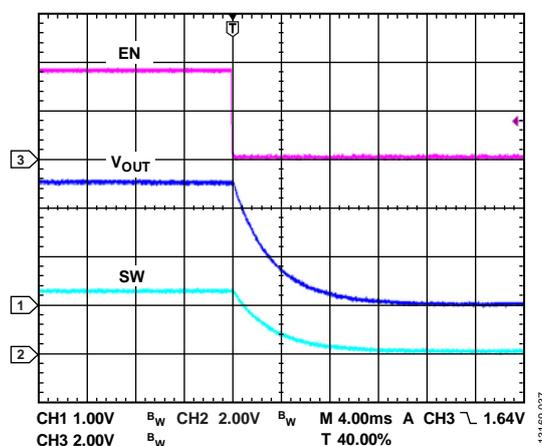


図 37. 急速出力放電の機能

動作原理

ADP5301 は、9 ボール WLCSP に封入された効率の高い超低静止電流ステップダウン・レギュレータで、性能および基板のスペースに関する高度な要件を満たすことができます。このデバイスは、2.15 V ~ 6.50 V の幅広い入力電圧範囲に直接接続でき、アルカリ電池、ニッケル水素電池、リチウムイオン電池など、さまざまな電源を使用できます。

降圧スイッチング・レギュレータの動作モード

PWM モード

PWM モードの場合、ADP5301 の降圧スイッチング・レギュレータは、内部発振器で設定された固定周波数で動作します。発振器の各サイクルの開始時に、ハイサイド MOSFET スイッチがオンになり、インダクタの両端に正の電圧が供給されます。電流検知信号がピーク・インダクタの電流閾値を上回るまでインダクタ電流が増加し、ハイサイド MOSFET スイッチがオフになります。この閾値は、誤差増幅器の出力によって設定されず、ハイサイド MOSFET がオフになっているときに、発振器のクロック・パルスが次の新しいサイクルを開始するまで、インダクタ電流がローサイド MOSFET を通じて減少します。

ヒステリシス・モード

ヒステリシス・モードの場合、ADP5301 の降圧スイッチング・レギュレータは、固定ピーク・インダクタ電流を調整して、公称出力電圧よりもわずかに高くなるように PWM パルスで出力電圧を充電します。出力検知信号がヒステリシスの上側閾値を上回るまで出力電圧が増加した場合、レギュレータはスタンバイ・モードに移行します。スタンバイ・モードの場合、低静止電流および高効率の性能を実現できるようにハイサイド MOSFET、ローサイド MOSFET、および大半の回路がディセーブルになります。

スタンバイ・モードになっているとき、出力コンデンサは負荷にエネルギーを供給し、ヒステリシス・コンパレータの下限閾値を下回るまで出力電圧が減少します。降圧スイッチング・レギュレータはウェイクアップし、PWM パルスを生成して再度出力を充電します。

時折、出力電圧はスタンバイ・モードになった後で復帰するため、ヒステリシス・モードでの出力電圧リップルは PWM モードのリップルよりも大きくなります。

モード選択

ADP5301 には、SYNC/MODE ピンが搭載されているので、ヒステリシス・モードまたは PWM モードで柔軟に設定が行えるようになります。

SYNC/MODE ピンにロジック・ハイ・レベルが入力された場合、降圧スイッチング・レギュレータは強制的に PWM モードで動作します。PWM モードの場合、レギュレータは最大 500 mA の出力電流を供給できます。PWM モードの場合、レギュレータが生成する出力リップルとノイズは低いため、ノイズに敏感なアプリケーションに有用です。

SYNC/MODE ピンにロジック・ロー・レベルが入力された場合、降圧スイッチング・レギュレータは強制的にヒステリシス・モードで動作します。ヒステリシス・モードの場合、レギュレータはわずか 180 nA の静止電流 (typ) で出力を安定化します (無負荷時)。これにより、バッテリー駆動システムでレギュレータをキープアライブ電源として機能させることができます。ヒステリシス・モードの場合、レギュレータは PWM モードより相対的に大きい出力リップルで最大 50 mA の出力電流を供給します。

動作中に、ヒステリシス・モードと PWM モードの間で切り替えることができます。デバイス動作中に柔軟に設定できることにより、効率的なパワー・マネージメントが可能になり、システムがアクティブ・モードとスタンバイ・モードの間で切り替わるときに高効率および低出力リップルの要件を満たすことができます。

発振器および同期

ADP5301 は、PWM 動作モードでは一般的である 2 MHz スwitchング周波数で動作します。

ADP5301 のスイッチング周波数は、周波数範囲が 1.2 MHz ~ 2.5 MHz の外部クロックに同期させることができます。ADP5301 は、SYNC/MODE ピンに入力される外部クロックの存在を自動的に検出し、外部クロックの周波数になるようにスイッチング周波数が遷移します。外部クロック信号が停止した場合は、自動的に内部クロックに切り替わります。

可変出力および固定出力の電圧

ADP5301 は、VID ピンと AGND の間に 1 個の抵抗を接続することで、可変出力電圧に設定できます。VID 検出回路はスタートアップ時に機能し、電圧 ID コードがサンプリングされて内部レジスタに保持され、次回に電源がオフ/オンされるまで変更しません。さらに、ADP5301 は、出荷時のヒューズ調整によってプログラムされた固定出力電圧も供給します。この条件では、VID ピンを PVIN ピンに接続します。

ADP5301 には、出力電圧設定用に帰還抵抗分圧器が内蔵されているため、フィードバック・ピン (FB) を直接出力に接続する必要があります。超低消費電力電圧リファレンスと内蔵された高インピーダンス (50 MΩ (typ)) 帰還分圧ネットワークにより、低静止電流が実現されます。表 5 に、VID ピン構成による出力電圧オプションを示します。

表 5. VID ピンを使用した出力電圧 (VOUT)

VID Configuration	V _{OUT} (V)	
	Factory Option 0	Factory Option 1
Short to Ground	3.0	3.1
Short to PVIN	2.5	1.3
R _{VID} = 499 kΩ	3.6	5.0
R _{VID} = 316 kΩ	3.3	4.5
R _{VID} = 226 kΩ	2.9	4.2
R _{VID} = 174 kΩ	2.8	3.9
R _{VID} = 127 kΩ	2.7	3.4
R _{VID} = 97.6 kΩ	2.6	3.2
R _{VID} = 76.8 kΩ	2.4	1.9
R _{VID} = 56.2 kΩ	2.3	1.7
R _{VID} = 43 kΩ	2.2	1.6
R _{VID} = 32.4 kΩ	2.1	1.4
R _{VID} = 25.5 kΩ	2.0	1.1
R _{VID} = 19.6 kΩ	1.8	1.0
R _{VID} = 15 kΩ	1.5	0.9
R _{VID} = 11.8 kΩ	1.2	0.8

低電圧ロックアウト (UVLO)

低電圧ロックアウト回路は、PVIN ピンの入力電圧レベルを監視します。入力電圧が 2.00 V (typ) を下回った場合、レギュレータがオフになります。入力電圧が 2.06 V (typ) を超えると、ソフト・スタート期間が開始します。その後、EN ピンがハイ・レベルになると、レギュレータがイネーブルになります。

イネーブル/ディスエーブル

ADP5301 には、個別のイネーブル・ピン (EN) があります。EN ピンがロジック・ハイになると、レギュレータが起動します。低静止電流の設計により、通常、レギュレータは EN ピンがハイ・レベルになってから数ミリ秒後にスイッチングを開始します。

EN ピンがロジック・ローになると、直ちにレギュレータがディスエーブルになり、レギュレータが超低電流消費状態になります。

電流制限

ADP5301 の降圧スイッチング・レギュレータは、ハイサイド MOSFET とローサイド MOSFET を流れる電流の方向と電流の量をサイクル・バイ・サイクル・モードで特定のレベルに制限する保護回路を備えています。ハイサイド MOSFET の正電流制限は、入力から出力に流れる電流の量を制限します。ローサイド MOSFET の負電流制限は、インダクタ電流の方向が反転し、負荷から電流が流れ出るのを防止します。

短絡保護

ADP5301 の降圧スイッチング・レギュレータは、短絡時の電流暴走を防止する周波数フォールドバック機能を備えています。フィードバック・ピン (FB) の出力電圧が 0.3 V (typ) を下回ると、出力が短絡している可能性があり、スイッチング周波数 (PWM モード) が内部発振器周波数の 1/4 に低減されます。スイッチング周波数の低減により、インダクタの放電時間が長くなり、出力電流の暴走を防止できます。

ソフト・スタート

ADP5301 は、スタートアップ時に制御された状態で出力電圧を上昇させることによって突入電流を制限する、ソフト・スタート機能を内蔵しています。この機能は、デバイスの入力にバッテリーまたは高インピーダンス電源を接続したときに発生する可能性のある入力電圧の降下を防止します。レギュレータのデフォルトのソフト・スタート時間は 350 μ s (typ) です。

出荷時のヒューズ調整で、ADP5301 に別のソフト・スタート時間 (2800 μ s) をプログラムすることもできます。

プリチャージ出力によるスタートアップ

ADP5301 の降圧スイッチング・レギュレータは、スタートアップ時にローサイド MOSFET が損傷するのを防止するプリチャージ出力スタートアップ機能を備えています。レギュレータがオンになる前に出力電圧がプリチャージされている場合、レギュレータはインダクタ電流の逆流を防止します。内部ソフト・スタート・リファレンス電圧がフィードバック・ピンのプリチャージ出力電圧を上回るまで、インダクタ電流によって出力コンデンサの電荷が放電されます。

100 % デューティ・サイクル動作

入力電圧が出力電圧に近づくと、ADP5301 はスイッチングを停止して、100 % デューティ・サイクル動作になります。インダクタと内部ハイサイド・パワー・スイッチを介して出力を入力に接続します。入力電圧が再度充電され、必要なデューティ・サイクルが 95 % (typ) まで低下すると、降圧スイッチング・レギュレータは、出力電圧のオーバーシュートを許可することなく、直ちにスイッチングとレギュレーションを再開します。ヒステリシス・モードの場合、ADP5301 が 100 % デューティ・サイクル動作時に使用する超低静止電流はわずか 570 nA (typ) です。

アクティブ放電

ADP5301 には、スイッチング・ノードとグラウンドの間に、出荷時にプログラム可能なオプションの放電スイッチが内蔵されています。このスイッチは、関連付けられたレギュレータがディスエーブルになったときにオンになります。これにより、出力コンデンサがすばやく放電されるようになります。レギュレータの放電スイッチの代表値は、290 Ω です。

デフォルトでは、放電機能はディスエーブルになっています。アクティブ放電機能は、出荷時のヒューズ調整でイネーブルに設定できます。

VOUTOK の機能

ADP5301 には、降圧スイッチング・レギュレータが正常に動作しているときにアクティブ・ハイになるオープンドレイン・パワーグッド出力 (VOUTOK ピン) が搭載されています。デフォルトでは、VOUTOK ピンが出力電圧を監視します。VOUTOK ピンがロジック・ハイになると、降圧スイッチング・レギュレータの調整出力電圧が公称出力の 90 % (typ) を上回っていることが分かります。降圧スイッチング・レギュレータの調整出力電圧が公称出力の 87 % (typ) を下回り、その状態が約 10 μ s の遅延時間を超える場合は、VOUTOK ピンがロー・レベルになります。

サーマル・シャットダウン

ADP5301 のジャンクション温度が 142 $^{\circ}$ C を上回ると、サーマル・シャットダウン回路により内部リニア電圧レギュレータを除く IC がオフになります。極端なジャンクション温度は、高電流動作、低品質な回路基板設計、高い周囲温度によって発生します。15 $^{\circ}$ C のヒステリシスが含まれているため、ADP5301 は、サーマル・シャットダウン後にジャンクション温度が 127 $^{\circ}$ C を下回らないと、通常動作に復帰しません。デバイスがサーマル・シャットダウンから復帰すると、降圧スイッチング・レギュレータのソフト・スタートが開始されます。

アプリケーション情報

ここでは、ADP5301 の外部コンポーネントの選択について説明します。代表的なアプリケーション回路を図 38 に示します。

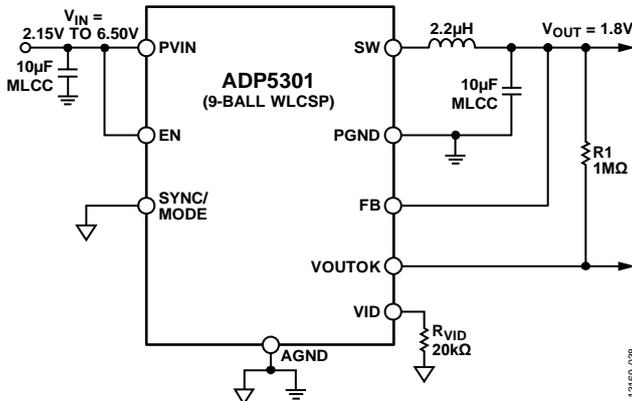


図 38. 代表的なアプリケーション回路

外部コンポーネントの選択

ADP5301 は、2.2 µH インダクタと 10 µF 出力コンデンサとともに、クローズド・ループ補償回路および適応型スロープ補償回路を使用して、さまざまな出力電圧で動作するように最適化されています。コンポーネントの選択は、効率、負荷電流トランジェント、およびその他のアプリケーション要件によって決まります。選択する外部コンポーネントによって、効率と過渡応答などの性能パラメータ間のトレードオフが生じます。

インダクタの選択

ADP5301 の高スイッチング周波数により、小型の表面実装パワー・インダクタを使用できます。選択したインダクタの DC 抵抗 (DCR) 値は効率に影響を与えます。また、高スイッチング周波数により、コアの温度上昇が大きくなり、コア損失が大きくなるため、磁鉄インダクタではなく多層インダクタを選択することをお勧めします。

次の数式で示すように、最大負荷電流値にインダクタ電流リップル (ΔI_L) の半分の値を足した値に等しいことが、インダクタの定格 DC 電流の最小要件です。

$$\Delta I_L = V_{OUT} + \left(\frac{1 - \frac{V_{OUT}}{V_{IN}}}{L \times f_{SW}} \right)$$

$$I_{PK} = I_{LOAD(MAX)} + \left(\frac{\Delta I_L}{2} \right)$$

表 6 に記載されたベンダーのインダクタ・シリーズを使用してください。

出力コンデンサ

出力容量は、電圧オーバーシュート、電圧アンダーシュート、および出力に存在するリップル電圧を最小限に抑えるのに必要です。等価直列抵抗 (ESR) 値が低いコンデンサでは、出力リップルが最も低くなります。さらに、X5R または X7R 誘電コンデンサなどのコンデンサを使用してください。Y5V または Z5U コンデンサは使用しないでください。これらのコンデンサは温度に対する容量変化が大きく、DC バイアス電圧が存在するので、適したコンデンサではありません。ESR は重要であるため、次の数式を使用してコンデンサを選択してください。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{\Delta I_L}$$

ここで、

ESR_{COUT} は、選択したコンデンサの ESR。

V_{RIPPLE} は、ピーク to ピーク出力電圧リップル。

出力コンデンサ値を大きくしても安定性に影響はなく、出力リップルが低減して、負荷過渡応答が向上します。出力コンデンサ値を選択する場合、出力電圧 DC バイアスによる容量損失を考慮するのが重要です。

表 7 に記載したベンダーのコンデンサ・シリーズを使用してください。

表 6. 推奨インダクタ

Vendor	Model	Inductance (µH)	Dimensions (mm)	DCR (mΩ)	I_{SAT}^1 (A)
TDK	MLP2016V2R2MT0S1		2.0 × 1.6 × 0.85		
Würth			2.5 × 2.0 × 1.2		
Coilcraft	LPS3314-222MR		3.3 × 3.3 × 1.3		

¹ I_{SAT} は、電流が流れていないときの値からインダクタンスの値が 30 % (typ) 低下する DC 電流。

表 7. 入力コンデンサと出力コンデンサ

Vendor	Model	Capacitance (µF)	Size
Murata	GRM188D71A106MA73		
Murata	GRM21BR71A106KE51		
Murata	GRM31CR71A106KA01		

入力コンデンサ

入力コンデンサは、入力電圧リップル、入力リップル電流、およびソース・インピーダンスを低減させるのに必要です。入力コンデンサはPVINピンのできるだけ近くに配置してください。低ESRのX7RまたはX5Rコンデンサを使用して入力電圧リップルを最小限に抑えることを強くお勧めします。次の数式を使用して、rms入力電流を計算します。

$$I_{RMS} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

ほとんどのアプリケーションでは10 μ Fコンデンサで十分です。入力コンデンサを大きくすれば、優れた入力電圧フィルタリングを実現できます。

効率

効率は、入力電力に対する出力電力の比です。効率の高いADP5301には、次の2つの利点があります。一つは、DC/DCコンバータ・パッケージで失われる電力が少量であるため、発熱に関する制約が少なくなることです。もう一つは、効率が高いため、特定の入力電力で最大出力電力が得られポータブル・アプリケーションのバッテリー寿命を延ばせることです。

電力スイッチでの導通損失

電力スイッチでのDC導通損失は、内部抵抗 ($R_{DS(ON)}$) を備えたハイサイドPチャンネル電力スイッチおよびローサイドNチャンネル同期型整流器に出力電流が流れることによって発生します。次の数式で、電力損失量の近似値を求めることができます。

$$P_{SW_COND} = (R_{DS(ON)H} \times D + R_{DS(ON)L} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$$D = \frac{V_{OUT}}{V_{IN}}$$

電力スイッチの内部抵抗は、温度とともに大きくなり、入力電圧の低下とともに大きくなります。

インダクタでの損失

インダクタでの導通損失は、内部DCR（直流抵抗）を持つインダクタを流れる電流によって発生します。インダクタのサイズが大きいほどDCRが小さいため、インダクタの導通損失を小さくすることができます。インダクタ・コアでの損失は、コア材料の透磁率に関係します。ADP5301は、高スイッチング周波数DC/DCレギュレータであるため、低コア損失および低電磁干渉(EMI)特性を備えたシールド付きフェライト・コア材料を使用することをお勧めします。

インダクタの総電力損失量を見積もるには、次の数式を使用します。

$$P_L = DCR \times I_{OUT}^2 + Core Losses$$

ドライバでの損失

ドライバでの損失は、ドライバによって電力デバイスをスイッチング周波数でオン/オフする際に流れる電流によって発生します。電力デバイスのゲートがオン/オフになるたびに、ドライバは入力電源からゲートに電荷を移動し、その後ゲートからグラウンドに電荷を移動します。

ドライバ損失を見積もるには、次の数式を使用します。

$$P_{DRIVER} = (C_{GATE,H} + C_{GATE,L}) \times V_{IN}^2 \times f_{SW}$$

ここで、

$C_{GATE,H}$ は、内部ハイサイド・スイッチのゲート容量。

$C_{GATE,L}$ は、内部ローサイド・スイッチのゲート容量。

f_{SW} は、PWMモードでのスイッチング周波数。

ゲート容量の代表値は、 $C_{GATE,H}$ が69 pF、 $C_{GATE,L}$ が31 pFです。

遷移損失

遷移損失は、Pチャンネル・スイッチを瞬時にオン/オフできないことによって発生します。スイッチ・ノードが遷移しているとき、電力スイッチはすべてのインダクタ電流を供給します。電力スイッチのソース/ドレイン間電圧は入力電圧の半分になり、結果として電力損失が発生します。遷移損失は、負荷電流と入力電圧とともに増大し、各スイッチング・サイクルで2回発生します。

遷移損失を見積もるには、次の数式を使用します。

$$P_{TRAN} = V_{IN}/2 \times I_{OUT} \times (t_r + t_f) \times f_{SW}$$

ここで、

t_r は、SWノードの立上がり時間。

t_f は、SWノードの立下がり時間。

立上がり時間 (t_r) と立下がり時間 (t_f) の代表値は2 nsです。

推奨プリント回路基板 (PCB) レイアウト

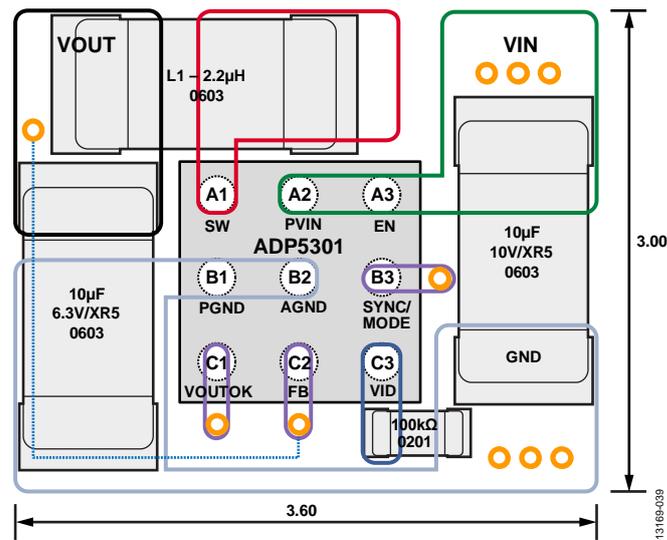


図 39. 代表的な PCB レイアウト

代表的なアプリケーション回路

ADP5301 は、キープアライブの超低消費電力ステップダウン・レギュレータとして使用し、バッテリー寿命を延ばしたり (図 40 を参照)、マイクロコントローラやプロセッサによって制御されるバッテリー駆動機器やワイヤレス・センサー・ネットワーク (図 41 を参照) として使用したりできます。

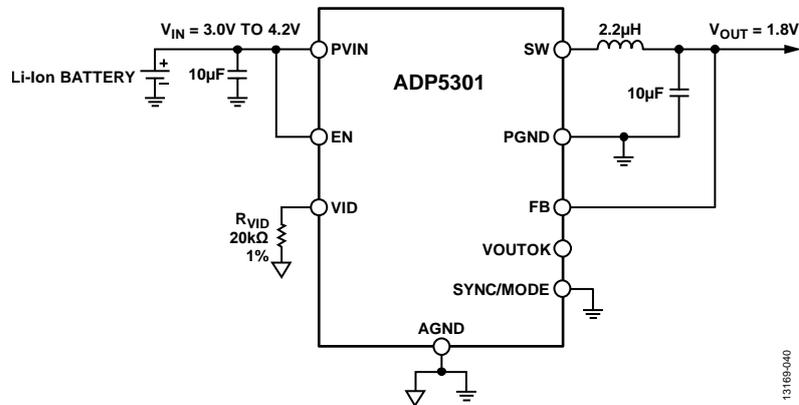


図 40. 代表的な ADP5301 アプリケーション、リチウムイオン・バッテリーを使用

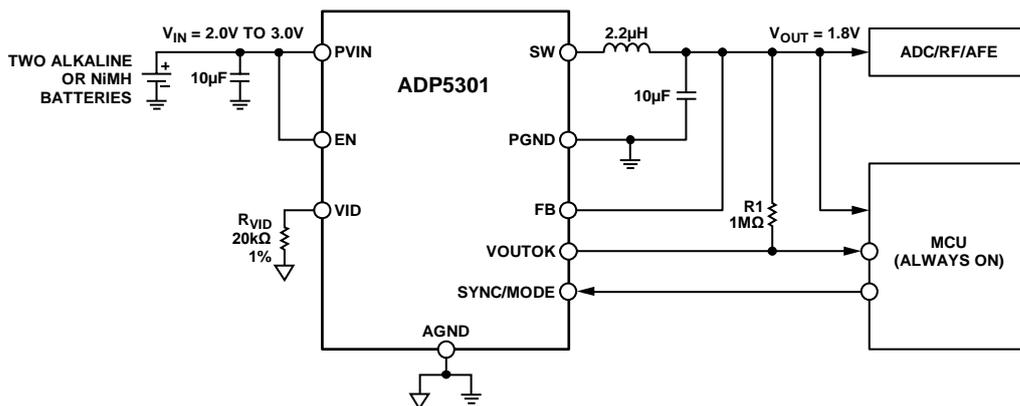


図 41. 代表的な ADP5301 アプリケーション、2 個のアルカリ/ニッケル水素バッテリーを使用

出荷時にプログラム可能なオプション

デフォルト以外のオプションでデバイスを注文される場合は、アナログ・デバイセズの営業または代理店の担当者にお問い合わせください。

表 8. 出力電圧 VID の設定オプション

オプション	説明
Option 0	次の出力電圧に設定するための VID 抵抗:1.2 V、1.5 V、1.8 V、2.0 V、2.1 V、2.2 V、2.3 V、2.4 V、2.5 V、2.6 V、2.7 V、2.8 V、2.9 V、3.0 V、3.3 V、3.6 V (デフォルト)
Option 1	次の出力電圧に設定するための VID 抵抗:0.8 V、0.9 V、1.0 V、1.1 V、1.3 V、1.4 V、1.6 V、1.7 V、1.9 V、3.1 V、3.4 V、3.9 V、4.2 V、4.5 V、5.0 V

表 9. 出力放電機能のオプション

オプション	説明
Option 0	降圧スイッチング・レギュレータの出力放電機能をディスエーブル (デフォルト)
Option 1	降圧スイッチング・レギュレータの出力放電機能をイネーブル

表 10. ソフト・スタート時間のオプション

オプション	説明
Option 0	350 μ s (デフォルト)
Option 1	2800 μ s

外形寸法

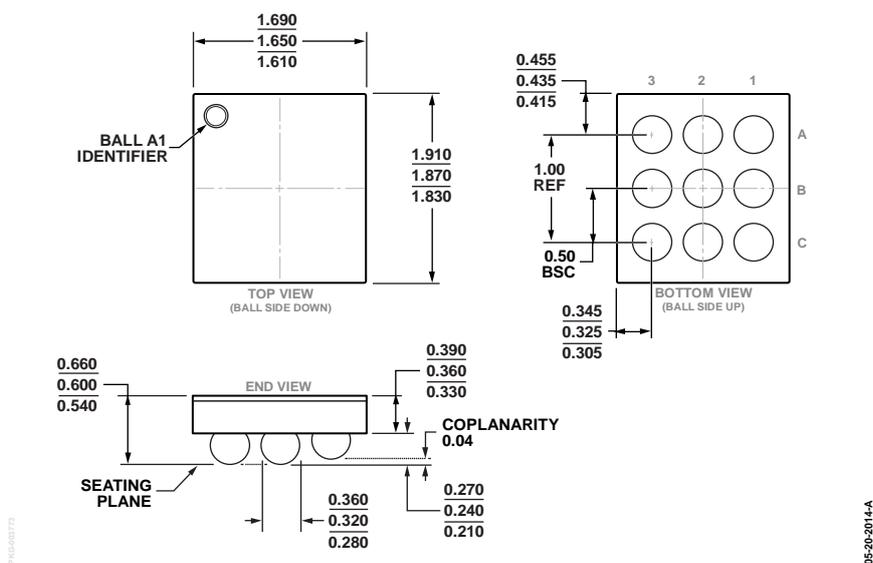


図 42.9 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-9-6)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5301ACBZ-1-R7	-40 °C to +125 °C	9-Ball Wafer Level Chip Scale Package [WLCSP], with Output Discharge	CB-9-6
ADP5301ACBZ-2-R7	-40 °C to +125 °C	9-Ball Wafer Level Chip Scale Package [WLCSP], Without Output Discharge	CB-9-6
ADP5301-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品