



2個の300 mA LDO内蔵の 3 MHz、1200 mAデュアル降圧レギュレータ

データシート

ADP5034

特長

- メイン入力電圧範囲: 2.3 V~5.5 V
- 1200 mA 降圧レギュレータを2個と300 mA LDOを2個内蔵
- 4 mm × 4 mm の24ピンLFCSPパッケージを採用
- レギュレータ精度: ±3%
- VO_{UTx} を出荷時設定または外部調整可能
- 強制 PWM モードおよび自動 PWM/PSM モードによる3 MHz 降圧レギュレーション動作
- BUCK1/BUCK2 の出力電圧範囲: 0.8 V~3.8 V
- LDO1/LDO2 の出力電圧範囲: 0.8 V~5.2 V
- LDO1/LDO2 の低入力電源電圧: 1.7 V~5.5 V
- LDO1/LDO2: 高い PSRR と低出力ノイズ

アプリケーション

- プロセッサ、ASIC、FPGA、RF チップセットの電源
- 携帯型計装機器および医用機器
- 省スペース機器

概要

ADP5034 は、2 個の高性能降圧レギュレータと 2 個の低ドロップアウト・レギュレータ(LDO)の組み合わせを 4 mm × 4 mm の

小型 24 ピン LFCSP パッケージに内蔵し、厳しい性能条件とボード・スペース条件を満たします。

降圧レギュレータのスイッチング周波数が高いため、小型の多層外付け部品を使用してボード・スペースを削減することができます。MODE ピンをハイ・レベルにすると、降圧レギュレータは強制 PWM モードで動作し、MODE ピンをロー・レベルにすると、負荷が所定スレッシュホールドより大きい場合、降圧レギュレータは PWM モードで動作します。負荷電流が予め定めた閾値を下回ると、レギュレータはパワーセーブモード(PSM)で動作して、軽負荷時の効率を向上させます。

2 個の降圧レギュレータは異なる位相で動作するため、入力コンデンサを小型化することができます。ADP5034 LDO は低い静止電流、低ドロップアウト電圧、広い入力電圧範囲を持つため、携帯機器のバッテリー寿命を延ばすことができます。ADP5034 LDO の電源除去比は最大 10 kHz までの周波数で 60 dB 以上あり、小さいヘッドルーム電圧で動作します。

ADP5034 の内蔵レギュレータは、専用のイネーブル・ピンを使って起動します。デフォルト出力電圧は、調整可能なバージョンでは外部から設定することができ、固定電圧バージョンでは広い範囲の既定値を出荷時に設定することができます。

代表的なアプリケーション回路

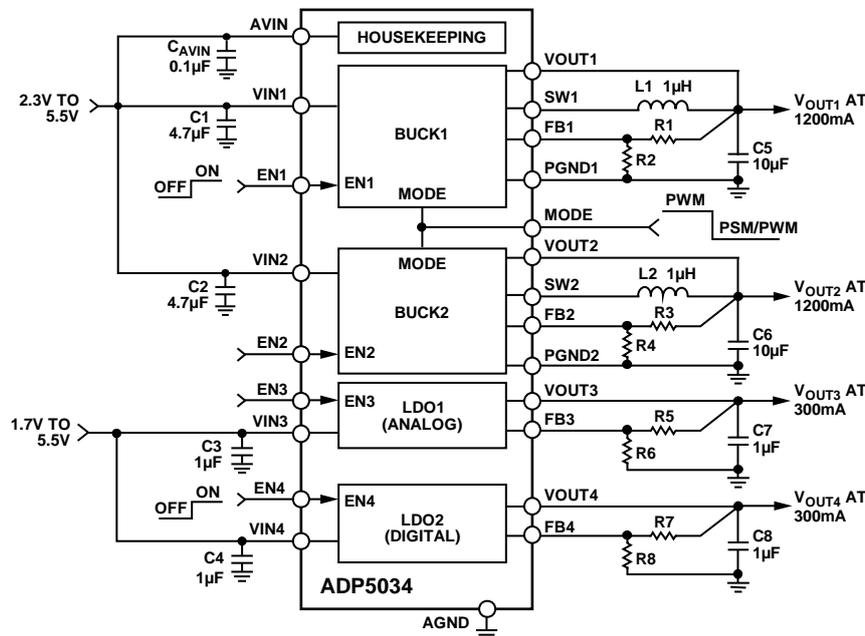


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2011 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
 電話 03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
 電話 06 (6350) 6868

目次

特長.....	1	動作原理.....	15
アプリケーション.....	1	パワー・マネジメント・ユニット.....	15
概要.....	1	BUCK1 および BUCK2.....	17
代表的なアプリケーション回路.....	1	LDO1 および LDO2.....	18
改訂履歴.....	2	アプリケーション情報.....	19
仕様.....	3	降圧レギュレータ外付け部品の選択.....	19
全体仕様.....	3	LDO の外付け部品の選択.....	21
BUCK1 と BUCK2 の仕様.....	4	消費電力と熱についての考慮事項.....	22
LDO1 と LDO2 の仕様.....	4	降圧レギュレータの消費電力.....	22
入力コンデンサと出力コンデンサの推奨仕様.....	5	ジャンクション温度.....	23
絶対最大定格.....	6	PCB レイアウト・ガイドライン.....	24
熱抵抗.....	6	代表的なアプリケーション回路図.....	25
ESD の注意.....	6	部品表.....	25
ピン配置およびピン機能説明.....	7	外形寸法.....	26
代表的な性能特性.....	8	オーダー・ガイド.....	26

改訂履歴

10/11—Rev. 0 to Rev. A

Change to Features Section.....	1	Change to Table 4, Endnote 1.....	5
Changes to General Description Section.....	1	Changes to Absolute Maximum Ratings, Table 5.....	6
Changes to Figure 1.....	1	Changes to Table 7, Pin Function Descriptions.....	7
Change to Table 1, Low UVLO Input Voltage Falling Parameter, Symbol Column.....	3	Changes to TPC Section.....	8
Change to Table 2, Output Voltage Accuracy Parameter, Test Conditions/Comment Column.....	4	Moved Power Dissipation and Thermal Considerations Section.....	22
Change to Table 2, Line Regulation Parameter, Symbols Column.....	4	Change to Equation 5 Where Statement.....	22
Change to Table 2, Load Regulation Parameter, Symbols Column.....	4	Change to Equation 6.....	22
Changes to Table 2, Reversed the R_{PFET} and R_{NFET} Symbols for the SW On Resistance Parameter and Changes to Typ and Max Columns.....	4	Change to Undervoltage Lockout Section.....	16
Changes to Table 3, Output Accuracy Parameter, Test Conditions/Comments Column.....	4	Changes to Figure 46.....	16
Changes to Table 3, Line Regulation Parameter, Symbols Column and Test Conditions/Comments Column.....	4	Change to Figure 47.....	17
Change to Table 3, Changes to Dropout Voltage Parameter and Added Specification to Dropout Voltage Parameter.....	5	Changes to LDO1/LDO2 Section.....	18
Change to Table 3, Endnote 3.....	5	Changes to Output Capacitor Section and Table 8.....	19
Change to Table 4, BUCK1, BUCK2 Output Capacitor Parameter, Min Column Value.....	5	Change to V_{RIPPLE} Equation, Table 9, and Figure 50.....	20
		Changes to Input and Output Capacitor Properties Section.....	21
		Changes to Equation 3.....	22
		Changes to Junction Temperature Section.....	23
		Changes to LDO Regulator Power Dissipation Section.....	23
		Changes to Figure 52 and Figure 53.....	25
		Moved Bill of Materials Section.....	25
		Changes to Ordering Guide.....	26

6/11—Revision 0: Initial Version

仕様

全体仕様

特に指定がない限り、 $V_{AVIN} = V_{IN1} = V_{IN2} = 2.3\text{ V} \sim 5.5\text{ V}$; $V_{IN3} = V_{IN4} = 1.7\text{ V} \sim 5.5\text{ V}$; 最小/最大仕様では $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様では $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	$V_{AVIN}, V_{IN1}, V_{IN2}$		2.3		5.5	V
THERMAL SHUTDOWN						
Threshold	TS_{SD}	T_j rising		150		$^\circ\text{C}$
Hysteresis	TS_{SD-HYS}			20		$^\circ\text{C}$
START-UP TIME ¹						
BUCK1, LDO1, LDO2	t_{START1}			250		μs
BUCK2	t_{START2}			300		μs
EN1, EN2, EN3, EN4, MODE INPUTS						
Input Logic High	V_{IH}		1.1			V
Input Logic Low	V_{IL}				0.4	V
Input Leakage Current	$V_{I-LEAKAGE}$			0.05	1	μA
INPUT CURRENT						
All Channels Enabled	$I_{STBY-NOSW}$	No load, no buck switching		108	175	μA
All Channels Disabled	$I_{SHUTDOWN}$	$T_j = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.3	1	μA
VIN1 UNDERVOLTAGE LOCKOUT						
High UVLO Input Voltage Rising	$UVLO_{VIN1RISE}$				3.9	V
High UVLO Input Voltage Falling	$UVLO_{VIN1FALL}$		3.1			V
Low UVLO Input Voltage Rising	$UVLO_{VIN1RISE}$				2.275	V
Low UVLO Input Voltage Falling	$UVLO_{VIN1FALL}$		1.95			V

¹ セットアップ時間は、 $EN1 = EN2 = EN3 = EN4$ が 0 V から V_{AVIN} へ変化したタイミングから V_{OUT1} 、 V_{OUT2} 、 V_{OUT3} 、 V_{OUT4} が公称値レベルの 90% になるまでの時間として定義されます。スタートアップ時間は、別のチャンネルが既にイネーブルされている場合、個々のチャンネルに対して短くなります。詳細については、代表的な性能特性のセクションを参照してください。

BUCK1 とBUCK2 の仕様

特に指定がない限り、 $V_{AVIN} = V_{IN1} = V_{IN2} = 2.3\text{ V} \sim 5.5\text{ V}$ 、最小/最大仕様では $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様では $T_A = 25^\circ\text{C}$ ¹。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS						
Output Voltage Accuracy	V_{OUT1}, V_{OUT2}	PWM mode; $I_{LOAD1} = I_{LOAD2} = 0\text{ mA}$ to 1200 mA	-3		+3	%
Line Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta V_{IN1}$, $(\Delta V_{OUT2}/V_{OUT2})/\Delta V_{IN2}$	PWM mode		-0.05		%/V
Load Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta I_{OUT1}$, $(\Delta V_{OUT2}/V_{OUT2})/\Delta I_{OUT2}$	$I_{LOAD} = 0\text{ mA}$ to 1200 mA, PWM mode		-0.1		%/A
VOLTAGE FEEDBACK	V_{FB1}, V_{FB2}	Models with adjustable outputs	0.485	0.5	0.515	V
OPERATING SUPPLY CURRENT						
BUCK1 Only	I_{IN}	$I_{LOAD1} = 0\text{ mA}$, device not switching, all other channels disabled		44		μA
BUCK2 Only	I_{IN}	$I_{LOAD2} = 0\text{ mA}$, device not switching, all other channels disabled		55		μA
BUCK1 and BUCK2	I_{IN}	$I_{LOAD1} = I_{LOAD2} = 0\text{ mA}$, device not switching, LDO channels disabled		67		μA
PSM CURRENT THRESHOLD	I_{PSM}	PSM to PWM operation		100		mA
SW CHARACTERISTICS						
SW On Resistance	R_{NFET} R_{PFET} R_{NFET} R_{PFET}	$V_{IN1} = V_{IN2} = 3.6\text{ V}$ $V_{IN1} = V_{IN2} = 3.6\text{ V}$ $V_{IN1} = V_{IN2} = 5.5\text{ V}$ $V_{IN1} = V_{IN2} = 5.5\text{ V}$		155 205 137 162	240 310 204 243	m Ω
Current Limit	I_{LIMIT1}, I_{LIMIT2}	pFET switch peak current limit	1600	1950	2300	mA
ACTIVE PULL-DOWN	R_{PDWN-B}	Channel disabled		75		Ω
OSCILLATOR FREQUENCY	f_{SW}		2.5	3.0	3.5	MHz

¹ 温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う相関により保証。

LDO1 とLDO2 の仕様

特に指定がない限り、 $V_{IN3} = (V_{OUT3} + 0.5\text{ V})$ または 1.7 V (いずれか大きい方) $\sim 5.5\text{ V}$ 、 $V_{IN4} = (V_{OUT4} + 0.5\text{ V})$ or 1.7 V (いずれか大きい方) $\sim 5.5\text{ V}$; $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$; 最小/最大仕様では $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様では $T_A = 25^\circ\text{C}$ 。¹

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	V_{IN3}, V_{IN4}		1.7		5.5	V
OPERATING SUPPLY CURRENT						
Bias Current per LDO ²	$I_{VIN3BIAS}/I_{VIN4BIAS}$	$I_{OUT3} = I_{OUT4} = 0\text{ }\mu\text{A}$ $I_{OUT3} = I_{OUT4} = 10\text{ mA}$ $I_{OUT3} = I_{OUT4} = 300\text{ mA}$		10 60 165	30 100 245	μA
Total System Input Current	I_{IN}	Includes all current into AVIN, VIN1, VIN2, VIN3, and VIN4				
LDO1 or LDO2 Only		$I_{OUT3} = I_{OUT4} = 0\text{ }\mu\text{A}$, all other channels disabled		53		μA
LDO1 and LDO2 Only		$I_{OUT3} = I_{OUT4} = 0\text{ }\mu\text{A}$, buck channels disabled		74		μA
OUTPUT CHARACTERISTICS						
Output Voltage Accuracy	V_{OUT3}, V_{OUT4}	$100\text{ }\mu\text{A} < I_{OUT3} < 300\text{ mA}$, $100\text{ }\mu\text{A} < I_{OUT4} < 300\text{ mA}$	-3		+3	%
Line Regulation	$(\Delta V_{OUT3}/V_{OUT3})/\Delta V_{IN3}$, $(\Delta V_{OUT4}/V_{OUT4})/\Delta V_{IN4}$	$I_{OUT3} = I_{OUT4} = 1\text{ mA}$	-0.03		+0.03	%/V
Load Regulation ³	$(\Delta V_{OUT3}/V_{OUT3})/\Delta I_{OUT3}$, $(\Delta V_{OUT4}/V_{OUT4})/\Delta I_{OUT4}$	$I_{OUT3} = I_{OUT4} = 1\text{ mA}$ to 300 mA		0.001	0.003	%/mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
VOLTAGE FEEDBACK	V_{FB3}, V_{FB4}		0.485	0.5	0.515	V
DROPOUT VOLTAGE ⁴	$V_{DROPOUT}$	$V_{OUT3} = V_{OUT4} = 5.2\text{ V}, I_{OUT3} = I_{OUT4} = 300\text{ mA}$ $V_{OUT3} = V_{OUT4} = 3.3\text{ V}, I_{OUT3} = I_{OUT4} = 300\text{ mA}$ $V_{OUT3} = V_{OUT4} = 2.5\text{ V}, I_{OUT3} = I_{OUT4} = 300\text{ mA}$ $V_{OUT3} = V_{OUT4} = 1.8\text{ V}, I_{OUT3} = I_{OUT4} = 300\text{ mA}$		50 75 100 180	140	mV mV mV mV
CURRENT-LIMIT THRESHOLD ⁵	I_{LIMIT3}, I_{LIMIT4}		335	600		mA
ACTIVE PULL-DOWN	R_{PDWN-L}	Channel disabled		600		Ω
OUTPUT NOISE						
Regulator LDO1	$NOISE_{LDO1}$	10 Hz to 100 kHz, $V_{IN3} = 5\text{ V}, V_{OUT3} = 2.8\text{ V}$		100		$\mu\text{V rms}$
Regulator LDO2	$NOISE_{LDO2}$	10 Hz to 100 kHz, $V_{IN4} = 5\text{ V}, V_{OUT4} = 1.2\text{ V}$		60		$\mu\text{V rms}$
POWER SUPPLY REJECTION RATIO	PSRR					
Regulator LDO1		10 kHz, $V_{IN3} = 3.3\text{ V}, V_{OUT3} = 2.8\text{ V}, I_{OUT3} = 1\text{ mA}$ 100 kHz, $V_{IN3} = 3.3\text{ V}, V_{OUT3} = 2.8\text{ V}, I_{OUT3} = 1\text{ mA}$ 1 MHz, $V_{IN3} = 3.3\text{ V}, V_{OUT3} = 2.8\text{ V}, I_{OUT3} = 1\text{ mA}$		60 62 63		dB dB dB
Regulator LDO2		10 kHz, $V_{IN4} = 1.8\text{ V}, V_{OUT4} = 1.2\text{ V}, I_{OUT4} = 1\text{ mA}$ 100 kHz, $V_{IN4} = 1.8\text{ V}, V_{OUT4} = 1.2\text{ V}, I_{OUT4} = 1\text{ mA}$ 1 MHz, $V_{IN4} = 1.8\text{ V}, V_{OUT4} = 1.2\text{ V}, I_{OUT4} = 1\text{ mA}$		54 57 64		dB dB dB

¹ 温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う相関により保証。

² これは V_{IN3}/V_{IN4} への入力電流で、出力負荷には振り向けられません。

³ 1 mA と 300 mA 負荷を使用した端点計算を使用。

⁴ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、1.7 V を超える出力電圧に対してのみ適用されます。

⁵ 電流制限スレッシュホールドは、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、3.0 V 出力電圧の電流制限スレッシュホールドは、出力電圧が 3.0 V の 90% すなわち 2.7 V に低下する電流値として定義されます。

入力コンデンサと出力コンデンサの推奨仕様

特に指定のない限り、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
SUGGESTED INPUT AND OUTPUT CAPACITANCE					
BUCK1, BUCK2 Input Capacitor	C_{MIN1}, C_{MIN2}	4.7		40	μF
BUCK1, BUCK2 Output Capacitor	C_{MIN1}, C_{MIN2}	7		40	μF
LDO1, LDO2 ¹ Input and Output Capacitor	C_{MIN3}, C_{MIN4}	0.70			μF
CAPACITOR ESR	R_{ESR}	0.001		1	Ω

¹ 最小入力容量と最小出力容量は、全動作範囲で 0.70 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサは温度と DC バイアスの性能が劣るため推奨できません。

絶対最大定格

表 5.

Parameter	Rating
AVIN to AGND	-0.3 V to +6 V
VIN1, VIN2 to AVIN	-0.3 V to +0.3 V
PGND1, PGND2 to AGND	-0.3 V to +0.3 V
VIN3, VIN4, VOUT1, VOUT2, FB1, FB2, FB3, FB4, EN1, EN2, EN3, EN4, MODE to AGND	-0.3 V to (AVIN + 0.3 V)
VOUT3 to AGND	-0.3 V to (VIN3 + 0.3 V)
VOUT4 to AGND	-0.3 V to (VIN4 + 0.3 V)
SW1 to PGND1	-0.3 V to (VIN1 + 0.3 V)
SW2 to PGND2	-0.3 V to (VIN2 + 0.3 V)
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

消費電力の詳細については、消費電力と熱についての考慮事項のセクションを参照してください。

熱抵抗

θ_{JA} は最悪時条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 6.熱抵抗

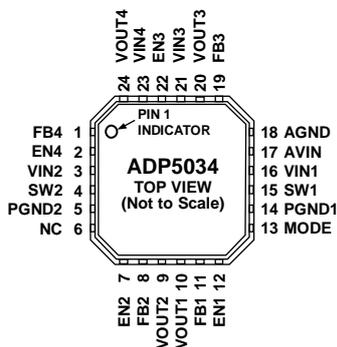
Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead, 0.5 mm pitch LFCSP	35	3	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



- NOTES
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
 2. IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE GROUND PLANE.

09703-003

図 2. ピン配置—チップ上面図

表 7. ピン機能の説明

ピン番号	記号	説明
1	FB4	LDO2 帰還入力。調整可能な出力電圧を持つデバイス・モデルでは、このピンを LDO2 抵抗分圧器の midpoint に接続してください。出荷時に出力電圧が設定されているデバイス・モデルでは、FB4 を VOUT4 のコンデンサの上側へ接続してください。
2	EN4	LDO2 イネーブル・ピン。ハイ・レベルでこのレギュレータがターンオンし、ロー・レベルでターンオフします。
3	VIN2	BUCK2 入力電源(2.3 V~5.5 V)。VIN2 を VIN1 と AVIN へ接続してください。
4	SW2	BUCK2 のスイッチング・ノード。
5	PGND2	BUCK2 の専用電源グラウンド。
6	NC	未接続。このピンには何も接続しないでください。
7	EN2	BUCK2 イネーブル・ピン。ハイ・レベルでこのレギュレータがターンオンし、ロー・レベルでターンオフします。
8	FB2	BUCK2 帰還入力。調整可能な出力電圧を持つデバイス・モデルでは、このピンを BUCK2 抵抗分圧器の midpoint に接続してください。固定出力電圧を持つデバイス・モデルでは、このピンを未接続のままにしてください。
9	VOUT2	BUCK2 出力電圧検出入力。VOUT2 を VOUT2 のコンデンサの上側へ接続してください。
10	VOUT1	BUCK1 出力電圧検出入力。VOUT1 を VOUT1 のコンデンサの上側へ接続してください。
11	FB1	BUCK1 帰還入力。調整可能な出力電圧を持つデバイス・モデルでは、このピンを BUCK1 抵抗分圧器の midpoint に接続してください。固定出力電圧を持つデバイス・モデルでは、このピンを未接続のままにしてください。
12	EN1	BUCK1 イネーブル・ピン。ハイ・レベルでこのレギュレータがターンオンし、ロー・レベルでターンオフします。
13	MODE	BUCK1/BUCK2 動作モード。MODE =ハイ・レベルにすると強制 PWM 動作になります。MODE =ロー・レベルにすると、自動 PWM/PSM 動作になります。
14	PGND1	BUCK1 の専用電源グラウンド。
15	SW1	BUCK1 のスイッチング・ノード。
16	VIN1	BUCK1 入力電源(2.3 V~5.5 V)。VIN1 を VIN2 と AVIN へ接続してください。
17	AVIN	アナログ入力電源(2.3 V~5.5 V)。AVIN を VIN1 と VIN2 へ接続してください。
18	AGND	アナログ・グラウンド。
19	FB3	LDO1 帰還入力。調整可能な出力電圧を持つデバイス・モデルでは、このピンを LDO1 抵抗分圧器の midpoint に接続してください。出荷時に出力電圧が設定されているデバイス・モデルでは、FB3 を VOUT3 のコンデンサの上側へ接続してください。
20	VOUT3	LDO1 出力電圧。
21	VIN3	LDO1 入力電源(1.7 V~5.5 V)。
22	EN3	LDO1 のイネーブル・ピン。ハイ・レベルでこのレギュレータがターンオンし、ロー・レベルでターンオフします。
23	VIN4	LDO2 入力電源(1.7 V~5.5 V)。
24	VOUT4	LDO2 出力電圧。
EPAD	EP	エクスポーズド・パッド。エクスポーズド・パッドはグラウンド・プレーンにハンダ接続することが推奨されます。

代表的な性能特性

特に指定がない限り、 $V_{IN1} = V_{IN2} = V_{IN3} = V_{IN4} = 3.6\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

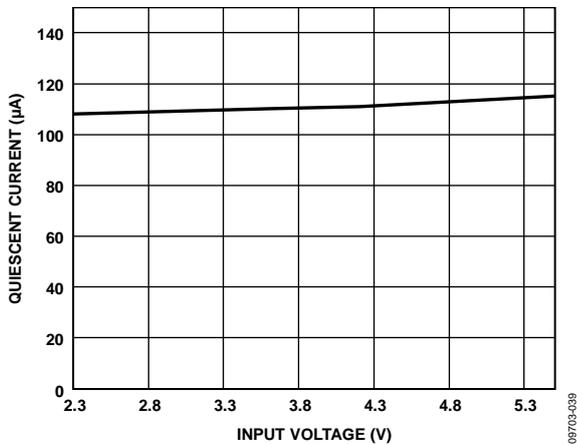


図 3. 入力電圧対システム静止電流

$V_{OUT1} = 3.3\text{ V}$ 、 $V_{OUT2} = 1.8\text{ V}$ 、 $V_{OUT3} = 1.2\text{ V}$ 、 $V_{OUT4} = 3.3\text{ V}$
全チャンネル無負荷

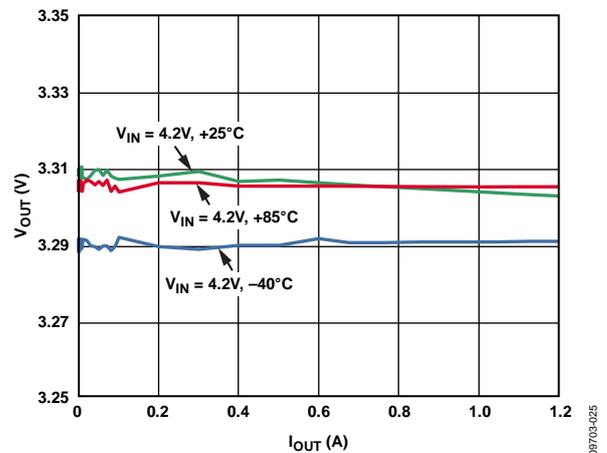


図 6. 様々な温度での BUCK1 負荷レギュレーション
 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

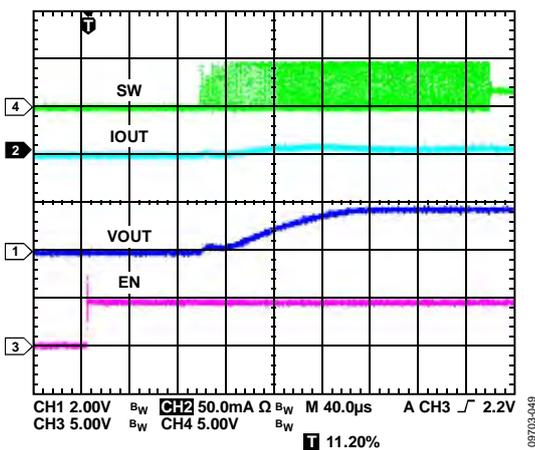


図 4. BUCK1 のスタートアップ
 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT1} = 5\text{ mA}$

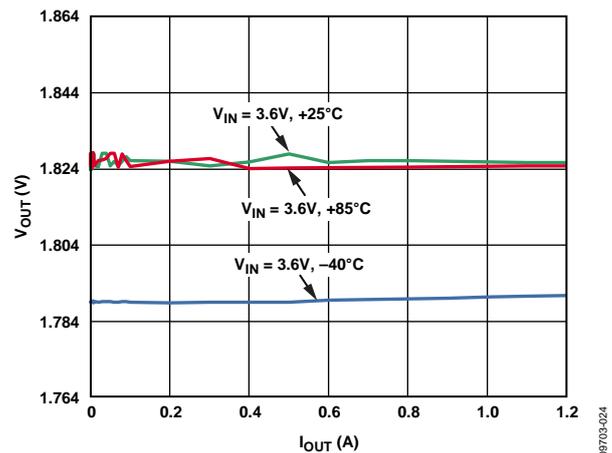


図 7. 様々な温度での BUCK2 負荷レギュレーション
 $V_{OUT2} = 1.8\text{ V}$ 、自動モード

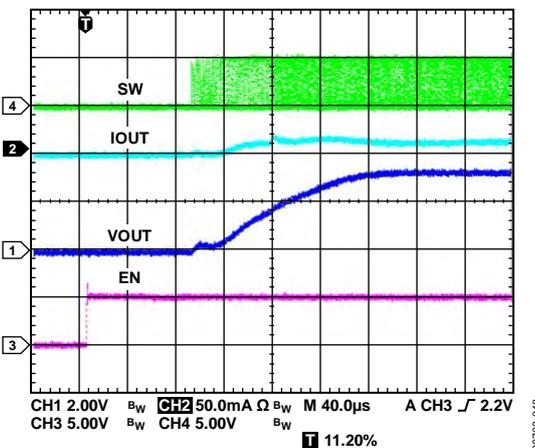


図 5. BUCK2 のスタートアップ
 $V_{OUT2} = 3.3\text{ V}$ 、 $I_{OUT2} = 10\text{ mA}$

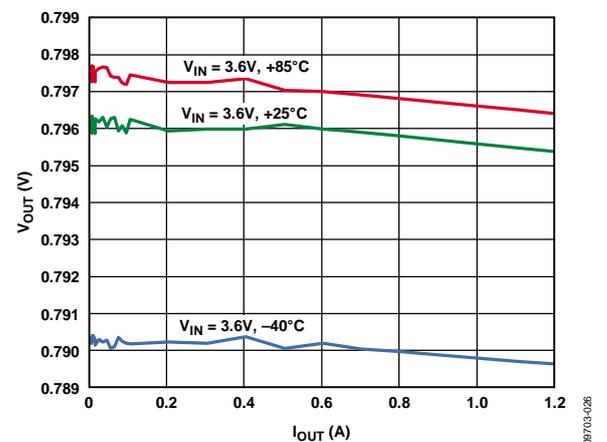


図 8. 様々な入力電圧での BUCK1 負荷レギュレーション
 $V_{OUT1} = 0.8\text{ V}$ 、
PWM モード

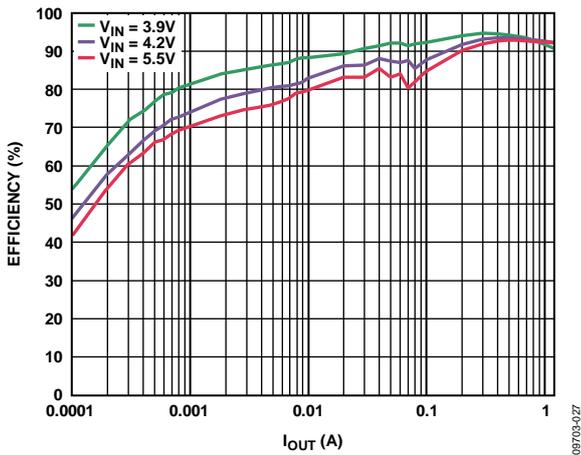


図 9. 様々な入力電圧での負荷電流対 BUCK1 効率、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

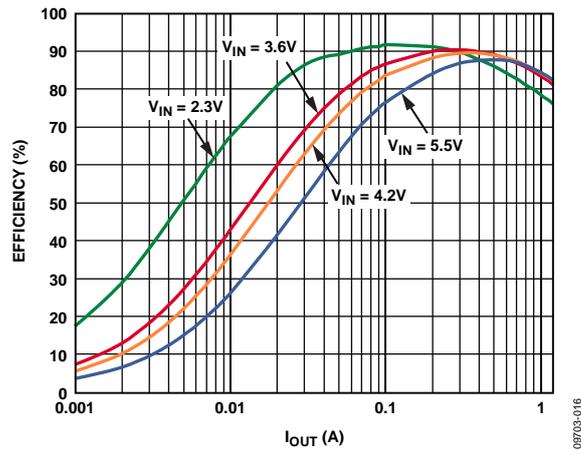


図 12. 様々な入力電圧での負荷電流対 BUCK2 効率、 $V_{OUT2} = 1.8\text{ V}$ 、PWM モード

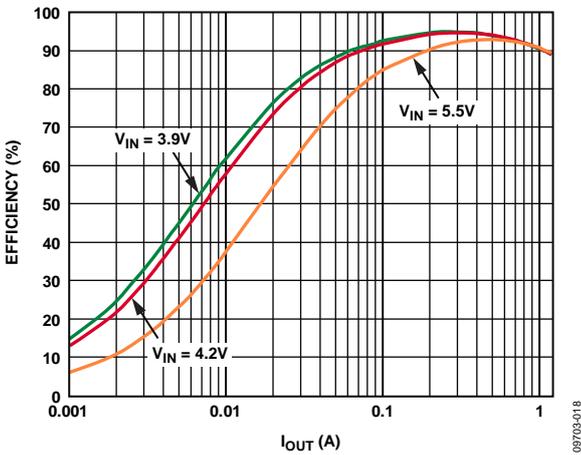


図 10. 様々な入力電圧での負荷電流対 BUCK1 効率、 $V_{OUT1} = 3.3\text{ V}$ 、PWM モード

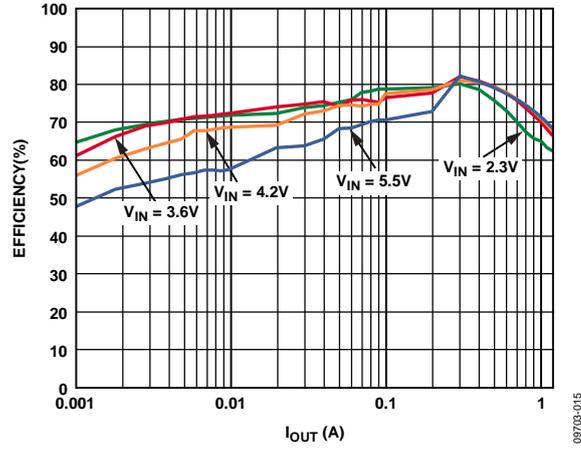


図 13. 様々な入力電圧での負荷電流対 BUCK1 効率、 $V_{OUT1} = 0.8\text{ V}$ 、自動モード

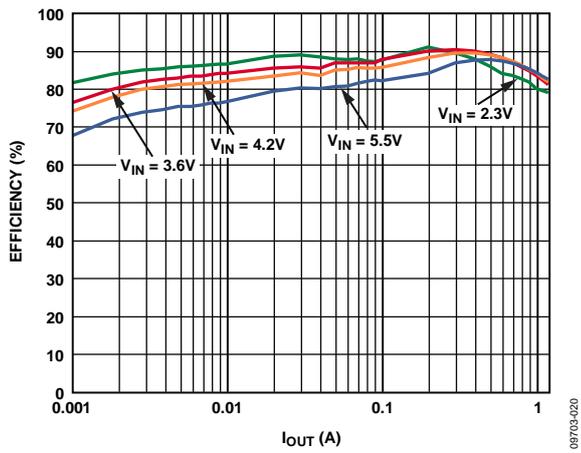


図 11. 様々な入力電圧での負荷電流対 BUCK2 効率、 $V_{OUT2} = 1.8\text{ V}$ 、自動モード

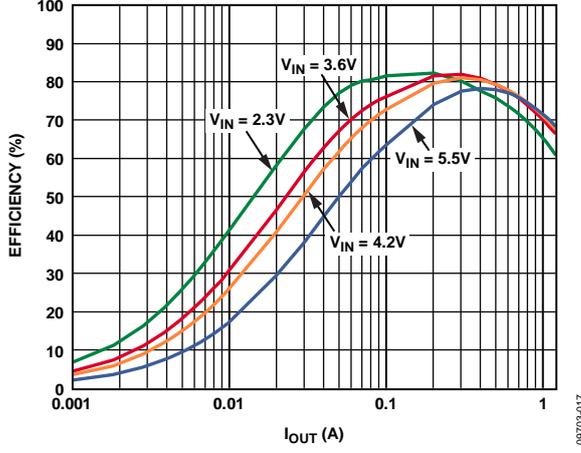


図 14. 様々な入力電圧での負荷電流対 BUCK1 効率、 $V_{OUT1} = 0.8\text{ V}$ 、PWM モード

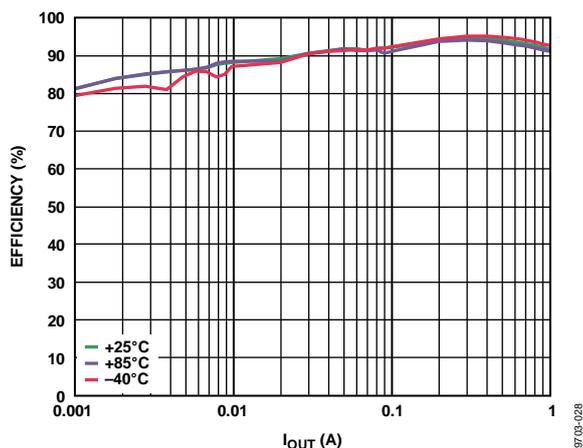


図 15.様々な温度での負荷電流対 BUCK1 効率
 $V_{IN} = 3.9\text{ V}$ 、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

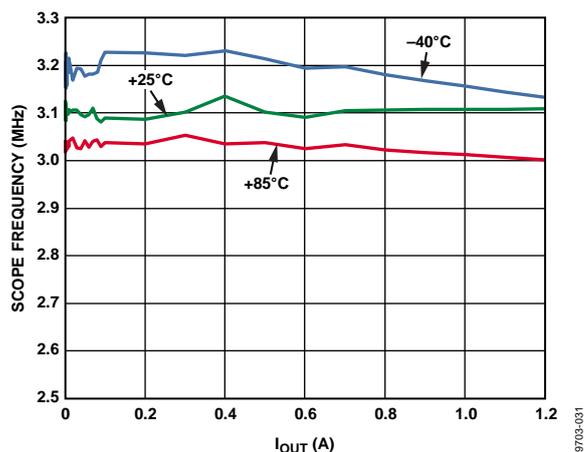


図 18.様々な温度での出力電流対 BUCK2 スイッチング周波数、
 $V_{OUT2} = 1.8\text{ V}$ 、PWM モード

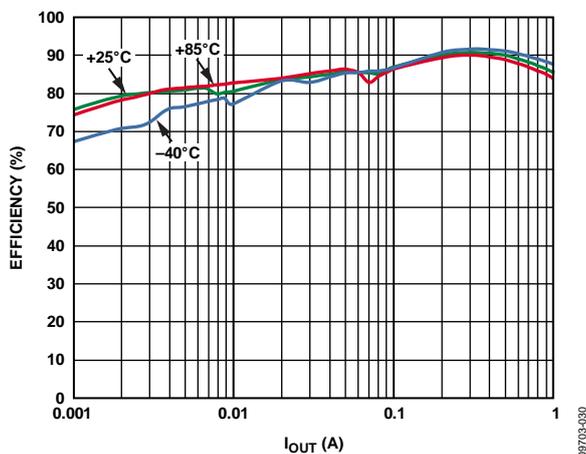


図 16.様々な温度での負荷電流対 BUCK2 効率、
 $V_{OUT2} = 1.8\text{ V}$ 、自動モード

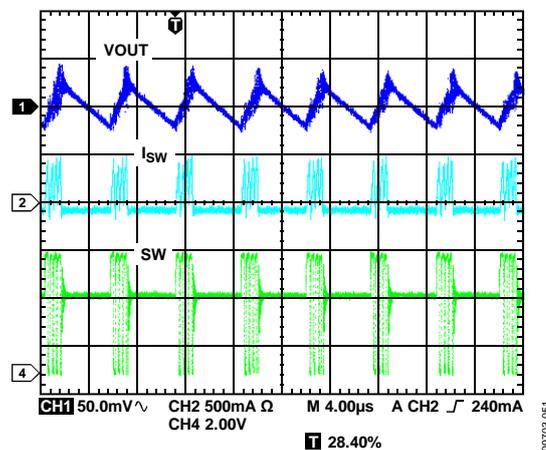


図 19.代表的波形、 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、自動モード

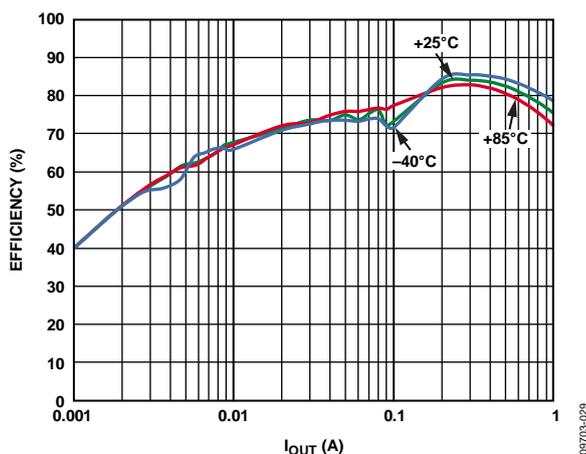


図 17.様々な温度での負荷電流対 BUCK2 効率、
 $V_{OUT1} = 0.8\text{ V}$ 、自動モード

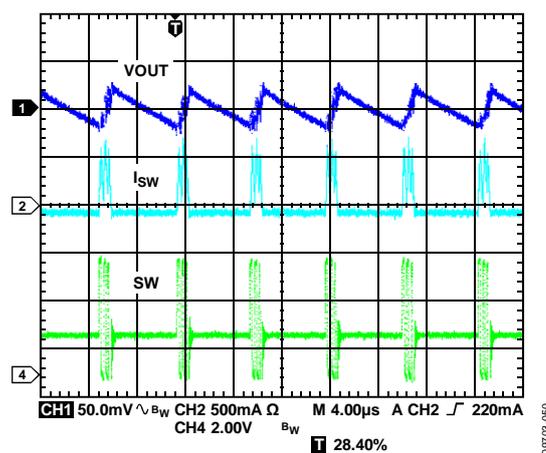


図 20.代表的波形、 $V_{OUT2} = 1.8\text{ V}$ 、 $I_{OUT2} = 30\text{ mA}$ 、自動モード

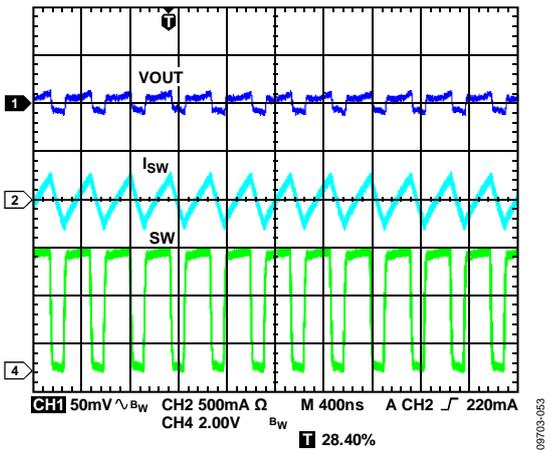


図 21. 代表的波形、 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、PWM モード

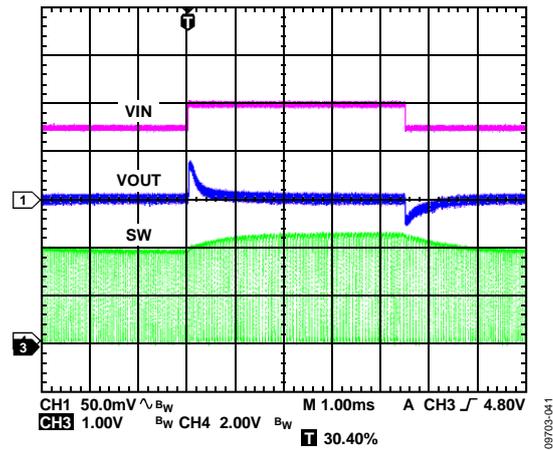


図 24. ライン過渡電圧に対する BUCK2 の応答
 $V_{IN2} = 4.5\text{ V} \sim 5.0\text{ V}$ 、 $V_{OUT2} = 1.8\text{ V}$ 、PWM モード

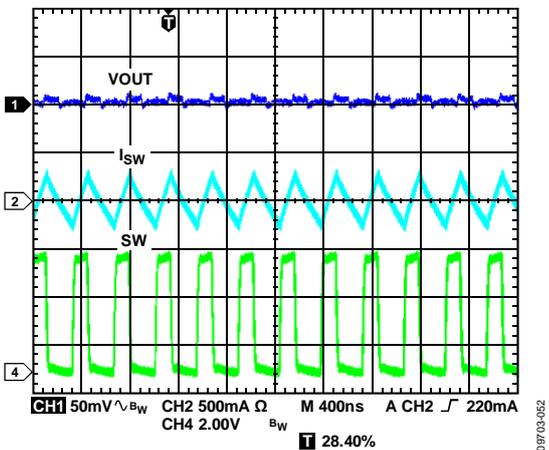


図 22. 代表的波形、 $V_{OUT2} = 1.8\text{ V}$ 、 $I_{OUT2} = 30\text{ mA}$ 、PWM モード

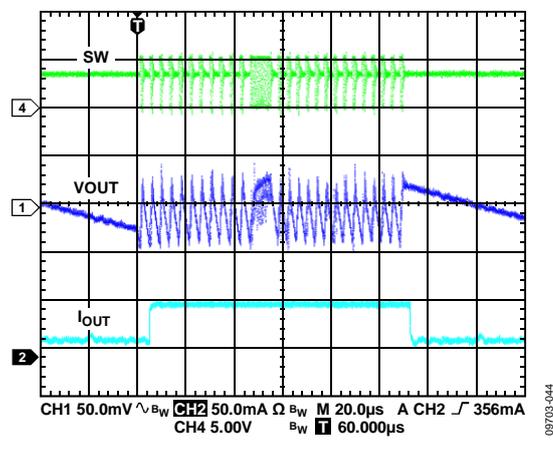


図 25. 負荷過渡電圧に対する BUCK1 の応答
 $I_{OUT1} = 1\text{ mA} \sim 50\text{ mA}$ 、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

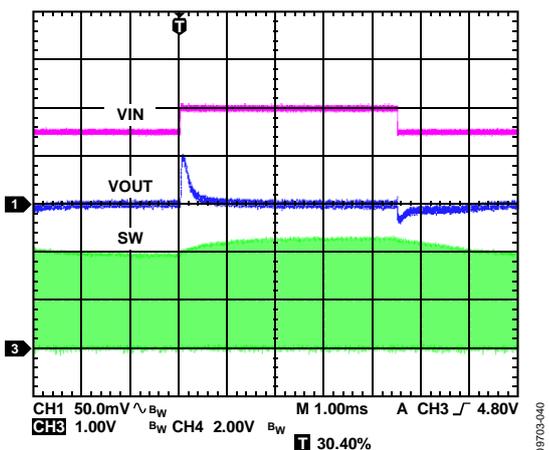


図 23. ライン過渡電圧に対する BUCK1 の応答
入力電圧 $4.5\text{ V} \sim 5.0\text{ V}$ 、 $V_{OUT1} = 3.3\text{ V}$ 、PWM モード

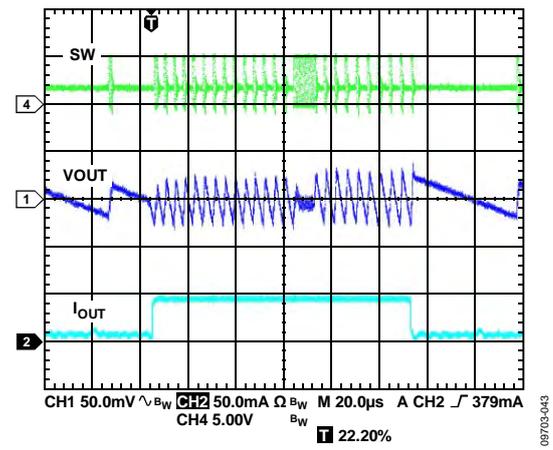


図 26. 負荷過渡電圧に対する BUCK2 の応答
 $I_{OUT2} = 1\text{ mA} \sim 50\text{ mA}$ 、 $V_{OUT2} = 1.8\text{ V}$ 、自動モード

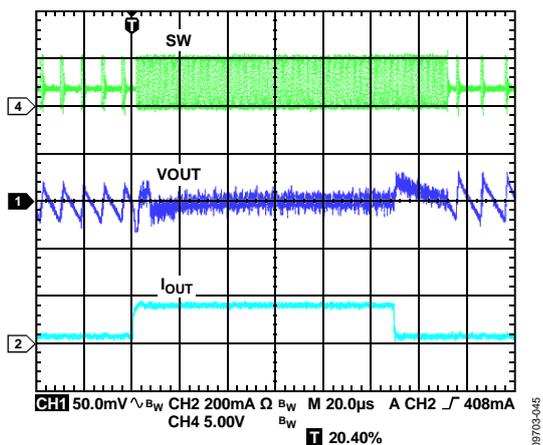


図 27. 負荷過渡電圧に対する BUCK1 の応答
 $I_{OUT1} = 20 \text{ mA} \sim 180 \text{ mA}$, $V_{OUT1} = 3.3 \text{ V}$ 、自動モード

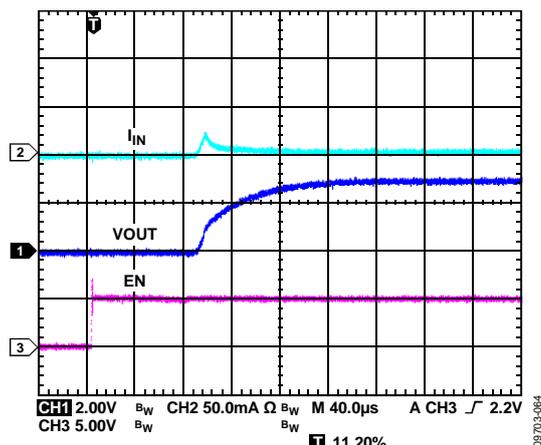


図 30. LDO のスタートアップ、 $V_{OUT3} = 3.0 \text{ V}$ 、 $I_{OUT3} = 5 \text{ mA}$

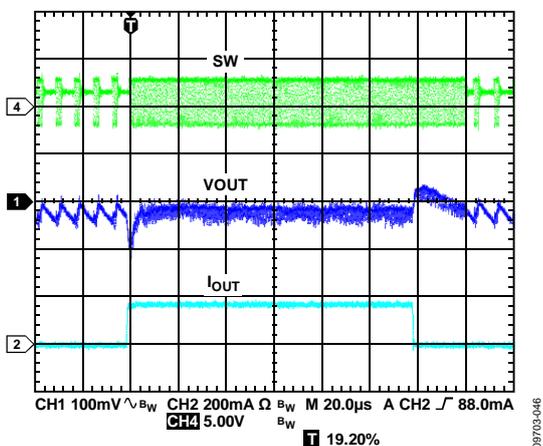


図 28. 負荷過渡電圧に対する BUCK2 の応答
 $I_{OUT2} = 20 \text{ mA} \sim 180 \text{ mA}$, $V_{OUT2} = 1.8 \text{ V}$ 、自動モード

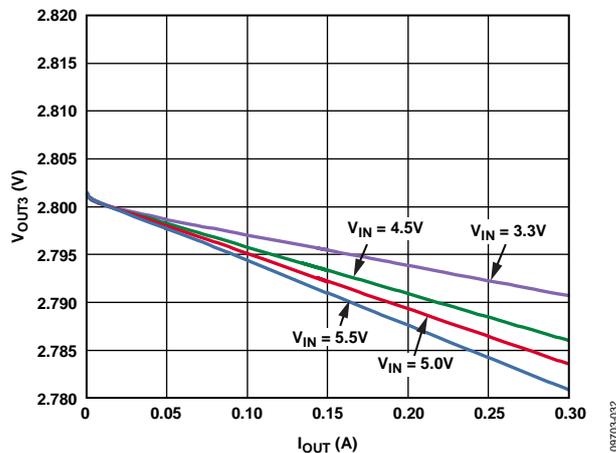


図 31. 様々な入力電圧での LDO 負荷レギュレーション
 $V_{OUT3} = 2.8 \text{ V}$

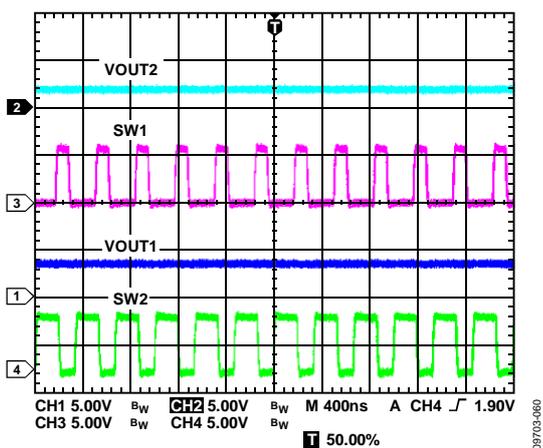


図 29. BUCK1 と BUCK2 の VOUT 波形と SW 波形
 PWM モード、逆相動作

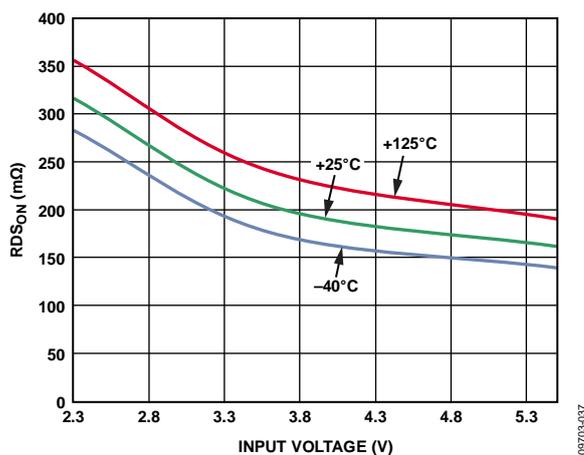


図 32. 様々な温度での入力電圧対 NMOS $R_{DS(on)}$

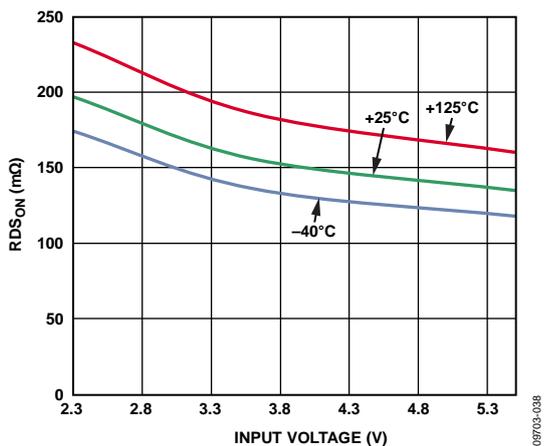


図 33. 様々な温度での入力電圧対 PMOS $R_{DS(on)}$

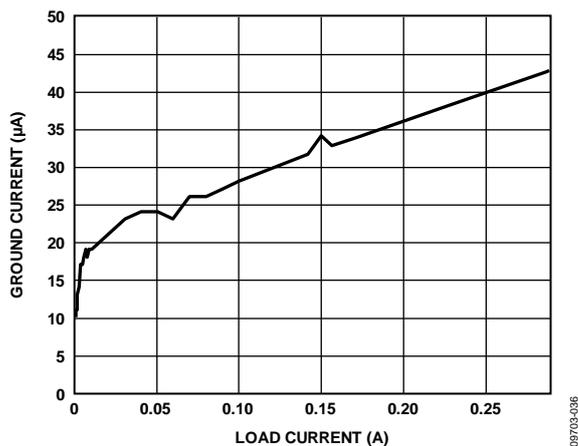


図 36. 出力負荷対 LDO グラウンド電流
 $V_{IN3} = 3.3\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

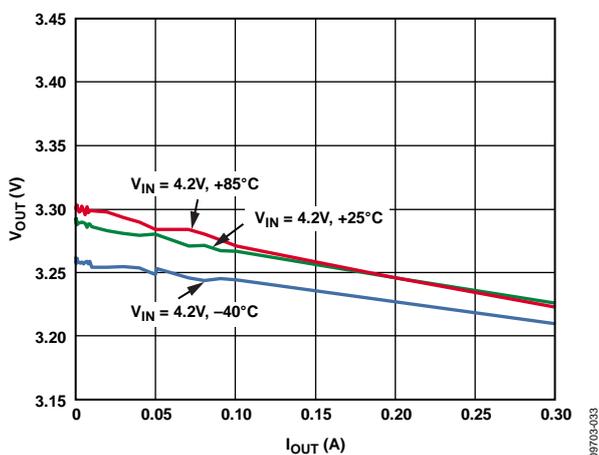


図 34. 様々な温度での LDO 負荷レギュレーション
 $V_{IN3} = 3.3\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

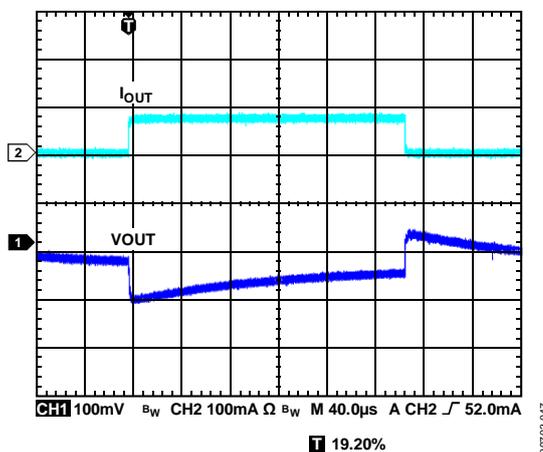


図 37. 負荷過渡電圧に対する LDO の応答
 $I_{OUT3} = 1\text{ mA} \sim 80\text{ mA}$ 、 $V_{OUT3} = 2.8\text{ V}$

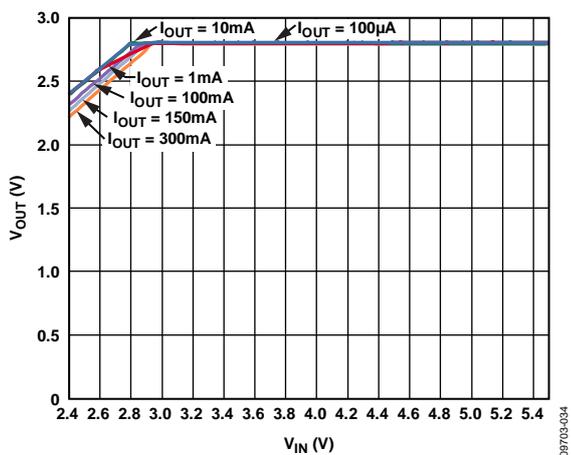


図 35. 様々な出力負荷での LDO ライン・レギュレーション、
 $V_{OUT3} = 2.8\text{ V}$

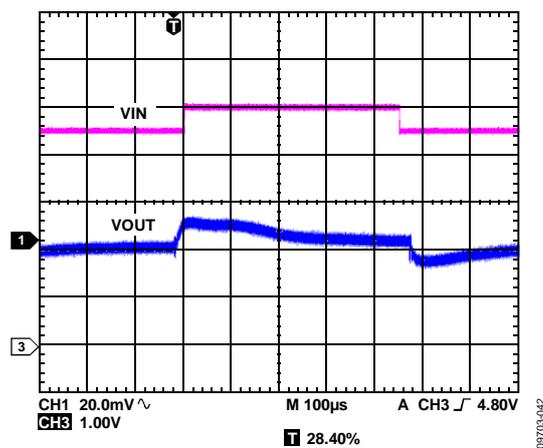


図 38. ライン過渡電圧に対する LDO の応答
入力電圧 = 4.5 V ~ 5.5 V、 $V_{OUT3} = 2.8\text{ V}$

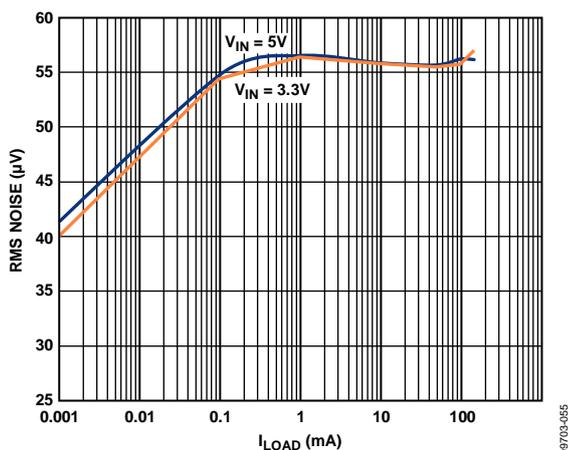


図 39.様々な入力電圧での負荷電流対 LDO 出力ノイズ、 $V_{OUT3} = 2.8\text{ V}$

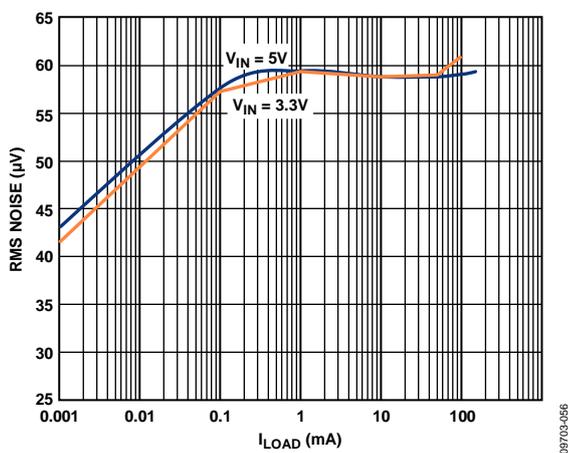


図 40.様々な入力電圧での負荷電流対 LDO 出力ノイズ、 $V_{OUT3} = 3.0\text{ V}$

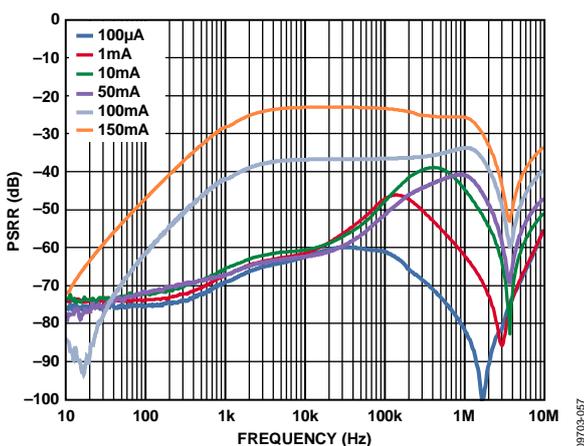


図 41.様々な出力負荷での LDO PSRR
 $V_{IN3} = 3.3\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

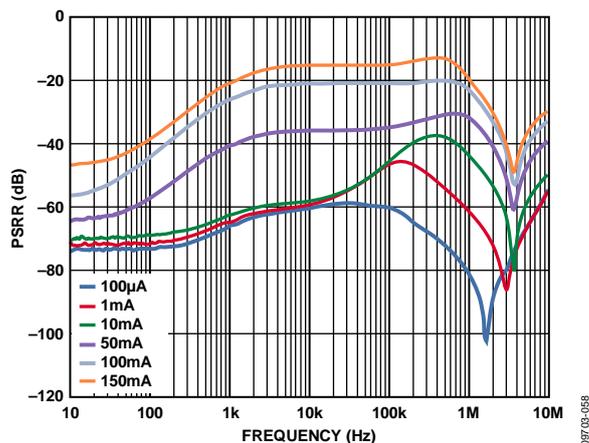


図 42.様々な出力負荷での LDO PSRR
 $V_{IN3} = 3.3\text{ V}$ 、 $V_{OUT3} = 3.0\text{ V}$

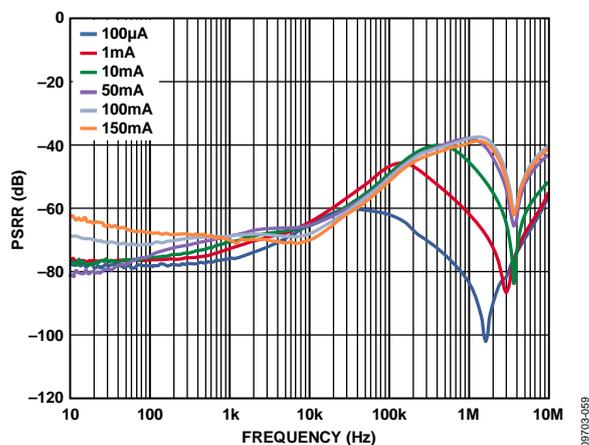


図 43.様々な出力負荷での LDO PSRR
 $V_{IN3} = 5.0\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

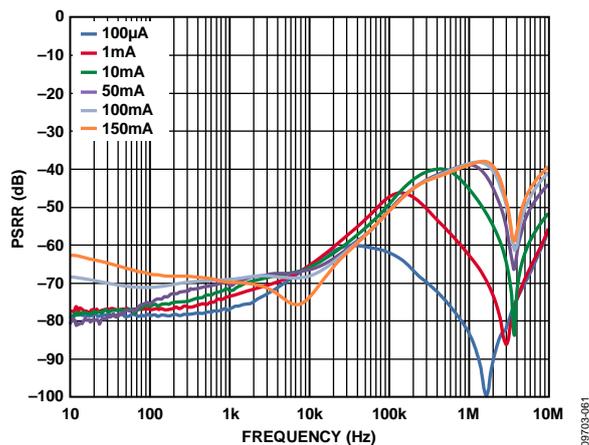


図 44.様々な出力負荷での LDO PSRR
 $V_{IN3} = 5.0\text{ V}$ 、 $V_{OUT3} = 3.0\text{ V}$

動作原理

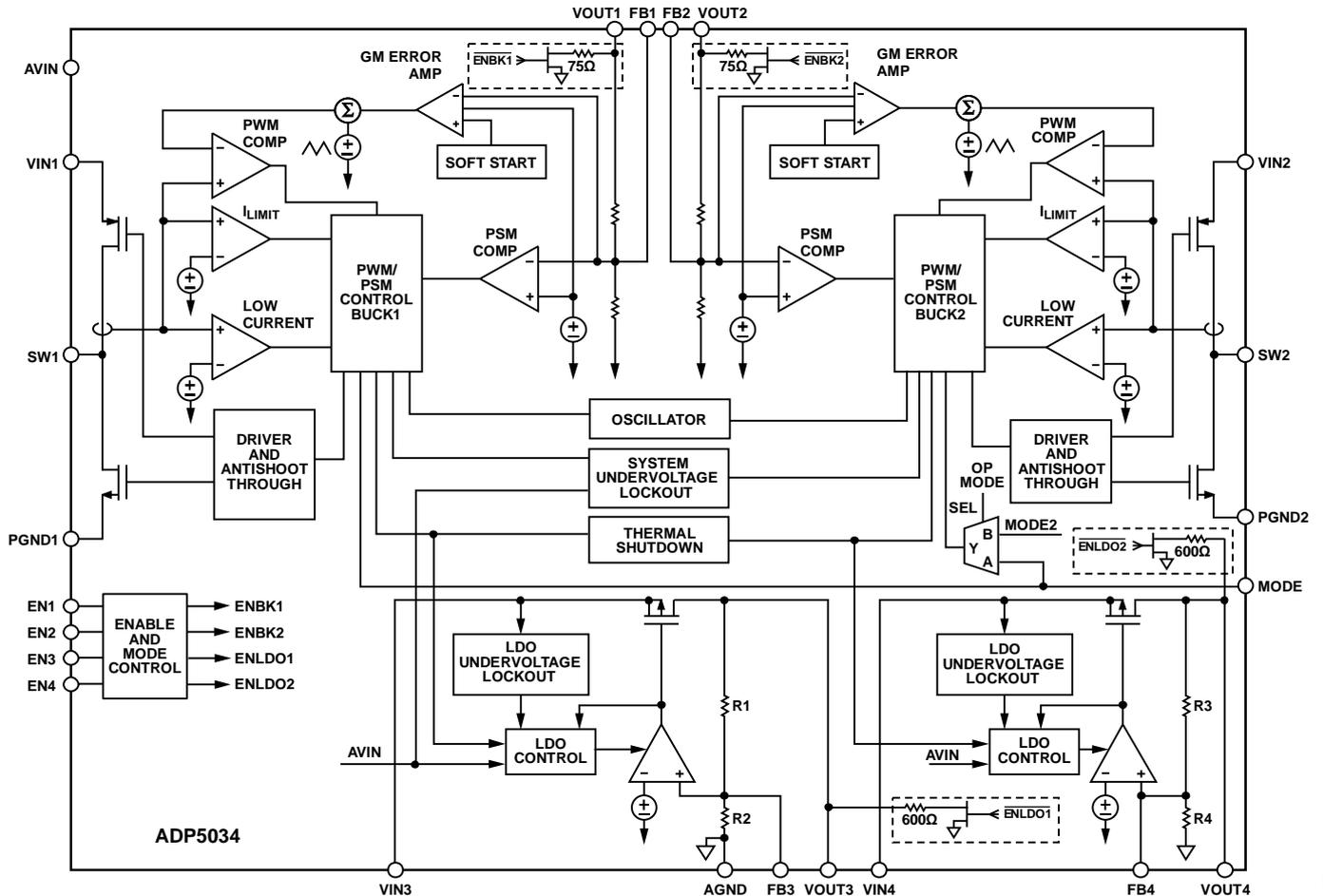


図 45.機能ブロック図

パワー・マネジメント・ユニット

ADP5034 は、2 個の降圧 DC/DC コンバータ(BUCK)と 2 個のロー・ドロップアウト・リニア・レギュレータ(LDO)を組み合わせたマイクロパワー・マネジメント・ユニット(マイクロ PMU)です。高いスイッチング周波数と小型の 24 ピン LFCSP パッケージにより、小型のパワー・マネジメント・ソリューションを可能にします。

これらの高性能レギュレータをマイクロ PMU に組み込むため、これらを一緒に動作可能にするシステム・コントローラが内蔵されています。

MODE ピンがハイ・レベルの場合、降圧レギュレータは強制 PWM モードで動作することができます。強制 PWM モードでは、降圧レギュレータのスイッチング周波数は常に一定になり、負荷電流によって変化しません。MODE ピンがロー・レベルの場合、スイッチング・レギュレータは自動 PWM/PSM モードで動作します。このモードでは、負荷電流が PSM 電流閾値を超える場合、レギュレータは固定 PWM 周波数で動作します。負荷電流が PSM 電流閾値を下回ると、レギュレータは PSM になり、スイッチングがパースト的に行われます。パーストの繰り返しレートは、負荷電流と出力コンデンサ値の関数になります。この動作モードでは、スイッチング電流損失と静止電流損失が小さくなります。自動 PWM/PSM モード変更は、各降圧レギュレータ

に対して独立に制御されます。2 個の降圧レギュレータは互いに同期して動作します。

ADP5034 には、各レギュレータの起動を制御する個別のイネーブル・ピン(EN1~EN4)があります。レギュレータは、対応する EN ピンにハイ・レベルが入力されると起動されます。EN1 は BUCK1 を、EN2 は BUCK2 を、EN3 は LDO1 を、EN4 は LDO2 を、それぞれ制御します。

レギュレータの出力電圧は外付け抵抗分圧器を使って設定するか、オプションとして出荷時にデフォルト値に設定することができます(オーダー・ガイドのセクション参照)。

レギュレータがオンになると、出力電圧ランプ・レートがソフトスタート回路を使って制御されるため、出力コンデンサの充電による大きな突入電流を回避することができます。

過熱保護

ジャンクション温度が 150 °C を超えると、サーマル・シャットダウン回路によって全レギュレータがオフになります。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。20°C のヒステリシスがあるため、サーマル・シャットダウンが発生すると、オンチップ温度が 130°C 未満に低下するまでレギュレータの動作は復帰しません。サーマル・シャットダウン状態が解消すると、ソフトスタート制御でレギュレータが再起動します。

低電圧ロックアウト機能

バッテリーの放電を防ぐために低電圧ロックアウト回路 (UVLO) を内蔵しています。VIN1 の入力電圧が 2.15 V (typ) の UVLO 閾値を下回ると、すべてのチャンネルがシャットダウンします。降圧レギュレータ・チャンネルでは、パワー・スイッチと同期整流器がオフになります。VIN1 の電圧が UVLO 閾値を上回ると、デバイスは再度イネーブルされます。

あるいは、USB アプリケーションに適する UVLO がハイ・レベルに設定されたデバイス・モデルを選択することができます。これらのモデルの場合、入力電源が 3.65 V (typ) に低下したとき、デバイスはターンオフ閾値に一致します。

過熱または UVLO が発生した場合、アクティブ・プルダウンがイネーブルされて(出荷時イネーブル設定の場合)、出力コンデンサが迅速に放電します。過熱が存在しなくなるか、または入力電源電圧が V_{POR} 電圧レベルを下回るまで、プルダウン抵抗は有効のままになります。V_{POR} は約 1 V (typ) です。

イネーブル/シャットダウン

ADP5034 には、各レギュレータに対して個別のコントロール・ピンがあります。ENx ピンをハイ・レベルにするとレギュレータが起動し、ロー・レベルにするとレギュレータがオフになります。

図 46 に、すべてのイネーブル・ピンが AVIN に接続された場合の ADP5034 のレギュレータ起動タイミングを示します。また、アクティブ・プルダウンを有効にした場合も示してあります。

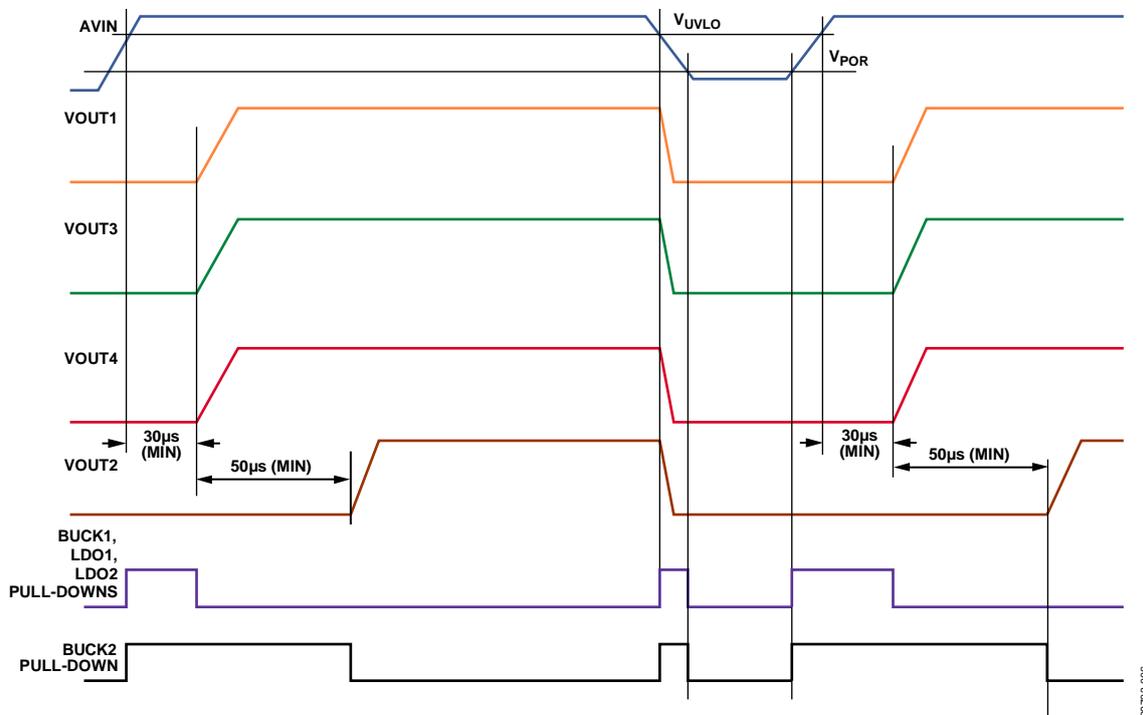


図 46. ADP5034 でのレギュレータのシーケンシング (EN1 = EN2 = EN3 = EN4 = V_{AVIN})

BUCK1 およびBUCK2

降圧レギュレータでは、固定周波数と高速電流モードのアーキテクチャを採用しています。降圧レギュレータは、入力電圧=2.3 V〜5.5 Vで動作します。

BUCK1 の降圧レギュレータの出力電圧は外付け抵抗分圧器で設定されます(図 47 参照)。出力電圧はオプションで出荷時にデフォルト値に設定することができます(オーダー・ガイドのセクション参照)。この場合、R1 と R2 は不要で、FB1 は未接続のままにすることができます。すべての場合に VOUT1 は出力コンデンサへ接続する必要があります。FB1 は 0.5 V です。

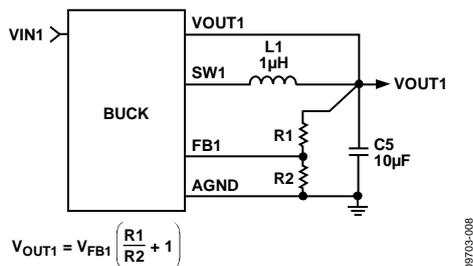


図 47. BUCK1 の外部出力電圧設定

制御方式

降圧レギュレータは中〜重の負荷電流時に高効率で動作する固定周波数の電流モード PWM 制御方式のアーキテクチャを採用していますが、低負荷時にはパワーセーブモード(PSM)制御方式によってレギュレーションの電力損失を低減します。固定周波数の PWM モードで動作する場合、内蔵スイッチのデューティ・サイクルが調節されて、出力電圧が安定化されます。軽負荷時の PSM で動作するときは、出力電圧をヒステリシス方式で制御するため、出力電圧のリプルが大きくなります。コンバータがこの期間中にスイッチングを停止してアイドル・モードに入ることによって、変換効率を改善できます。

PWMモード

PWM モードの場合、降圧レギュレータは内部発振器で設定される 3 MHz の固定周波数で動作します。各発振器サイクルの開始時に、pFET スイッチがオンになり、インダクタに正電圧が加わります。インダクタ内の電流は、電流検出信号がピーク・インダクタ電流の閾値に達するまで増加します。この電流レベルで、pFET スイッチがオフになり、nFET 同期整流器がオンになります。この動作により、インダクタの両端に負電圧が加わり、インダクタ電流が減少します。同期整流器は、残りのサイクルの間はオン状態を維持します。降圧レギュレータは、ピーク・インダクタ電流の閾値を調整することで、出力電圧を安定化します。

パワーセーブモード(PSM)

降圧レギュレータは、負荷電流が PSM 電流閾値を下回ると、速やかに PSM モードに移行します。いずれかの降圧レギュレータが PSM になると、PWM レギュレーション・レベルにオフセットが加えられ、出力電圧が上昇します。出力電圧が PWM レギュレーションのレベルを約 1.5% 上回ると、PWM 動作はオフになります。この時点で、両パワー・スイッチがオフとなり、降圧レギュレータがアイドル・モードになります。

出力コンデンサは出力電圧が PWM レギュレーションの電圧レベルに下がるまで放電を続けます。そのレベルに達すると、デバイスがインダクタを駆動して出力電圧を閾値の上限値にまで戻します。このプロセスは、負荷電流が PSM 電流閾値を下回っている限り繰り返されます。

ADP5034 には、PSM と PWM の動作を制御する専用の MODE ピンがあります。MODE ピンをハイ・レベルにすると、両降圧レギュレータは PWM モードで動作し、ロー・レベルにすると、両降圧レギュレータは自動 PSM/PWM で動作します。

PSM電流閾値

PSM 電流閾値は 100 mA に設定されています。降圧レギュレータは、入力電圧と出力電圧のレベルに関わらず、この電流を正確に制御できる方法を採用しています。これによって、PSM に入るときと終了するときの PSM 電流閾値間のヒステリシスもごく僅かです。PSM の電流閾値は、あらゆる負荷電流において優れた効率性を発揮するように最適化されています。

発振器/インダクタ・スイッチングの位相

両降圧レギュレータが PWM モードの場合、ADP5034 では両降圧レギュレータが同じスイッチング周波数で動作します。

さらに、ADP5034 では、PWM モードの場合両降圧レギュレータ逆相で動作します。そのため、BUCK1 の pFET が導通し始めてから正確に 1/2 クロック周期遅れて Buck2 の pFET が導通を開始します。

短絡保護機能

降圧レギュレータは、ハード短絡で出力電流が暴走するのを防ぐ周波数フォールドバック機能を備えています。FB ピンの電圧が目標出力電圧の 1/2 を下回り、出力にハード短絡が生じる可能性があるると、スイッチング周波数が内部発振器周波数の 1/2 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止することができます。

ソフト・スタート

降圧レギュレータにはソフト・スタート機能があります。この機能はスタートアップ時に制御された方法で出力電圧を上昇させて、入力突入電流を抑えます。バッテリーまたはハイ・インピーダンス電源をコンバータの入力に接続しているときは、この機能によって入力の電圧降下を防止できます。

電流制限

各降圧レギュレータには、pFET スイッチを流れる正の電流と、同期整流器を流れる負の電流とを制限するための保護回路があります。パワー・スイッチの正電流制限値は、入力から出力へ流れる電流を制限します。負電流の制御では、インダクタ電流が反転して負荷から流れることを防止します。

100%デューティ動作

入力電圧が降下するか負荷電流が増大すると、降圧レギュレータは、pFET スイッチがデューティ時間の 100% オンになっても出力電圧が所望の出力電圧を下回る限界に達します。この限界で、降圧レギュレータは pFET スイッチがデューティ時間の 100% オン状態を維持するモードに速やかに移行します。入力状態が再度変化して必要なデューティサイクルが低下すると、ただちに PWM レギュレーションを再開し、出力電圧のオーバーシュートを防ぎます。

アクティブ・プルダウン

すべてのレギュレータには、オプションで出荷時設定可能なアクティブ・プルダウン抵抗があり、レギュレータをディスエーブルしたとき、これらの抵抗によりそれぞれの出力コンデンサが放電されます。プルダウン抵抗は、VOUTx と AGND との間に接続されます。レギュレータがターンオンすると、アクティブ・プルダウンはディスエーブルされます。プルダウン抵抗の typ 値は、LDO では 600 Ω に、降圧レギュレータでは 75 Ω に、それぞれ異なります。図 46 に、レギュレータの起動時と停止時のすべてのアクティブ・プルダウンのアクティブ化タイミングを示します。

LDO1 およびLDO2

ADP5034 は、2 個の低静止電流 LDO とロー・ドロップアウト・リニア・レギュレータを内蔵し、最大 300 mA の出力電流を提供します。無負荷時静止電流が 10 μA (typ) と小さいため、バッテリで動作するポータブル機器向けに最適です。

各 LDO は 1.7 V～5.5 V の入力電圧範囲で動作します。これらの LDO の動作範囲は広いので、LDO 電源電圧が降圧レギュレータから供給されるカスケード構成に適しています。

各 LDO の出力電圧は外付け抵抗分圧器で設定されます(LDO1 の図 48 参照)。出力電圧はオプションで出荷時にデフォルト値に設定することができます(オーダー・ガイドのセクション参照)。

この場合、Ra と Rb は不要で、FB3 は VOUT3 のコンデンサの上側に接続する必要があります。

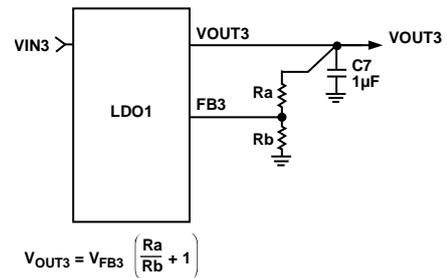


図 48.LDO1 の外部出力電圧設定

また、LDO は高い電源除去比(PSRR)、低出力ノイズ、1 μF の小さな入力および出力セラミック・コンデンサを使用するだけで優れたライン過渡応答と負荷過渡応答を持っています。

LDO1 は LDO2 に比べて優れたノイズ性能を提供するため、アナログ回路の電源として最適化されています。LDO1 は、ノイズ性能が厳しくないアプリケーションで使用する必要がありません。

アプリケーション情報

降圧レギュレータ外付け部品の選択

アプリケーション回路内の外付け部品の選択を変えて、効率や過渡応答のような性能パラメータ間のトレードオフを行うことができます(図1参照)。

帰還抵抗

調整可能モデルの場合、図49で、R1とR2の合計組み合わせ抵抗は400kΩを超えることはできません。

インダクタ

ADP5034の降圧レギュレータはスイッチング周波数が高いため、小型のインダクタを使用できます。最適性能を得るためには、0.7μH～3μHのインダクタ値を使用してください。推奨インダクタを表8に示します。

ピーク to ピークのインダクタ・リップル電流は、次式で計算されます。

$$I_{RIPPLE} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times L}$$

ここで、
f_{sw}はスイッチング周波数。
Lはインダクタ値です。

インダクタの定格最小DC電流値はそのピーク電流より大きい値にする必要があります。インダクタのピーク電流は、次式を使って計算します。

$$I_{PEAK} = I_{LOAD(MAX)} + \frac{I_{RIPPLE}}{2}$$

インダクタの導通損失は、インダクタを流れる電流に起因しますが、これには関連する内部DC抵抗(DCR)があります。インダクタのサイズが大きければDCRが小さくなり、インダクタの導通損失が小さくなります。インダクタのコア損失は、コアの材料の透磁率に関係しています。降圧レギュレータは高スイッチング周波数のDC/DCコンバータであるため、コア損失とEMIが低いシールド・フェライトのコア材の使用を推奨します。

出力コンデンサ

出力容量値が大きいと出力電圧リップルが小さくなり、負荷過渡応答が向上します。この値を選択するときは、出力電圧DCバイアスに起因する容量損失を考慮することも重要です。

セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲とDCバイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が6.3Vまたは10VのX5RまたはX7Rの誘電体を推奨します。Y5VとZ5Uの誘電体は、温度特性やDCバイアス特性が劣るため、DC/DCコンバータには適していません。

温度、部品の許容誤差、電圧によるコンデンサの変動を考慮して、最悪時の容量を求めるときは、次式を使用します。

$$C_{EFF} = C_{OUT} \times (1 - TEMP_{CO}) \times (1 - TOL)$$

ここで、
C_{EFF}は動作電圧での実効容量。
TEMP_{CO}は最悪時のコンデンサ温度係数です。
TOLは最悪時の部品許容誤差です。

この例では、-40°C～+85°Cでの最悪時温度係数(TEMP_{CO})を、X5R誘電体では15%と想定しています。図49に示すように、コンデンサの許容誤差(TOL)は10%、かつ1.8VでC_{OUT} = 9.2μFとしています。

これらの値を式に代入すると、次のようになります。

$$C_{EFF} = 9.2 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) \approx 7.0 \mu\text{F}$$

降圧レギュレータの性能を保証するためには、コンデンサ動作に対するDCバイアス、温度、許容誤差の影響を各アプリケーションについて評価することが不可欠です。

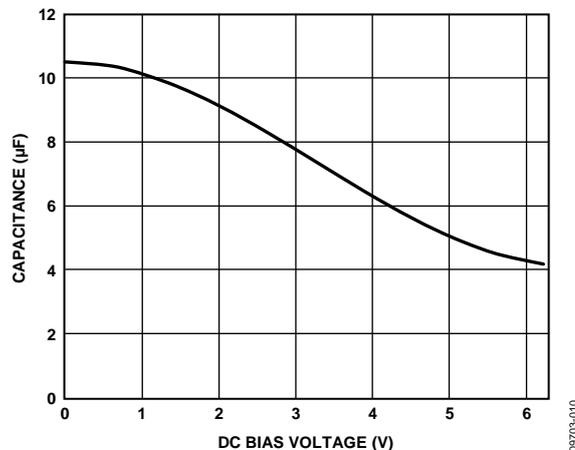


図 49. 電圧対容量特性

表 8. 推奨 1.0 μH インダクタ

Vendor	Model	Dimensions (mm)	I _{SAT} (mA)	DCR (mΩ)
Murata	LQM2MPN1R0NG0B	2.0 × 1.6 × 0.9	1400	85
Murata	LQH32PN1R0NN0	3.2 × 2.5 × 1.6	2300	45
Taiyo Yuden	CBC3225T1R0MR	3.2 × 2.5 × 2.5	2000	71
Coilcraft®	XFL4020-102ME	4.0 × 4.0 × 2.1	5400	11
Coilcraft	XPL2010-102ML	1.9 × 2.0 × 1.0	1800	89
Toko	MDT2520-CN	2.5 × 2.0 × 1.2	1350	85

選択した出力コンデンサおよびインダクタの値でピーク to ピーク出力電圧リップルを計算するときは、次式を使用します。

$$V_{RIPPLE} = \frac{I_{RIPPLE}}{8 \times f_{SW} \times C_{OUT}} \approx \frac{V_{IN}}{(2\pi \times f_{SW})^2 \times L \times C_{OUT}}$$

次式に示すように、出力電圧リップルを低くするには、実効直列抵抗 (ESR) の値が低いコンデンサを使用すると良いでしょう。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{I_{RIPPLE}}$$

温度や DC バイアスの影響を含め、安定性に必要な実効容量は最小 7 μF で最大 40 μF です。

急速な負荷変動および PWM/PSM モードの開始と終了に対する安定性と応答を保証するためには、降圧レギュレータに 10 μF の出力コンデンサが必要です。表 9 に推奨コンデンサのリストを示します。降圧レギュレータからプロセッサへ電源を供給するアプリケーションでは、ソフトウェアから制御しているため、動作状態を知ることができる場合があります。この状態では、動作状態に従ってプロセッサが MODE ピンを駆動できるため、出力コンデンサを 10 μF から 4.7 μF へ小さくすることができます。これは、レギュレータは PSM モードで動作する場合大きな負荷変動がないと予測することができるためです(図 50 参照)。

入力コンデンサ

入力コンデンサの値が大きいと入力電圧リップルが小さくなり、過渡応答が向上します。入力コンデンサの最大電流は次式を使って計算します。

$$I_{CIN} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

電源ノイズを小さくするため、降圧レギュレータの VINx ピンのできるだけ近くに入力コンデンサを接続してください。出力

コンデンサの場合と同様、ESR が低いコンデンサの使用を推奨します。

温度や DC バイアスの影響を含め、安定性に必要な実効容量は最小 3 μF で最大 10 μF です。表 9 と表 10 に推奨コンデンサのリストを示します。

表 9. 推奨 10 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J106	0603	6.3
TDK	X5R	C1608JB0J106K	0603	6.3
Panasonic	X5R	ECJ1VB0J106M	0603	6.3

表 10. 推奨 4.7 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J475ME19D	0402	6.3
Taiyo Yuden	X5R	JMK107BJ475	0402	6.3
Panasonic	X5R	ECJ-0EB0J475M	0402	6.3

表 11. 推奨 1.0 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM155B30J105K	0402	6.3
TDK	X5R	C1005JB0J105KT	0402	6.3
Panasonic	X5R	ECJ0EB0J105K	0402	6.3
Taiyo Yuden	X5R	LMK105BJ105MV-F	0402	10.0

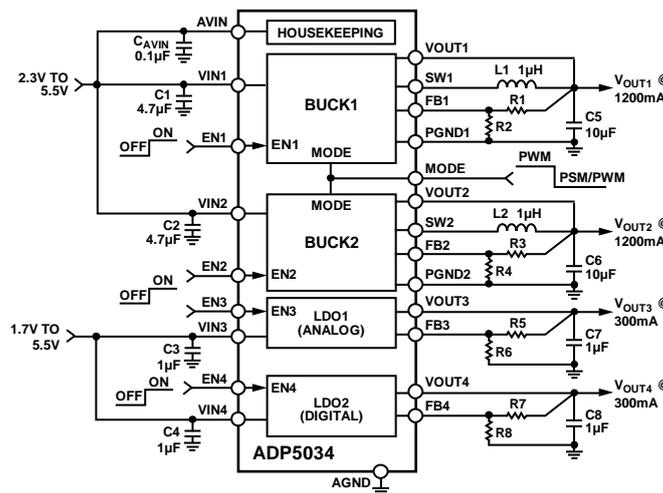


図 50. PSM/PWM 制御によるプロセッサ・システム・パワー・マネジメント

LDOの外付け部品の選択

帰還抵抗

調整可能なモデルの場合、Rb の最大値は 200 kΩ を超えることはできません(図 48 参照)。

出力コンデンサ

ADP5034 の LDO は、小型で省スペースのセラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗 (ESR) 値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP5034 の安定性のためには、1 Ω 以下の ESR を持つ最小 0.70 μF のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP5034 の過渡応答を向上させることができます。

入力バイパス・コンデンサ

VIN3 ピンおよび VIN4 ピンとグラウンドの間に 1 μF のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合に、プリント回路ボード(PCB)のレイアウトに対する回路の感受性を小さくすることができます。1 μF より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくすることが推奨されます。

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADP5034 で任意の高品質セラミック・コンデンサを使うことができます。セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V と Z5U の誘電体は、温度特性や DC バイアス特性が劣るため、LDO には適していません。

図 51 に、0402 1 μF、10 V の X5R コンデンサについて容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、-40°C~+85°C の温度範囲で±15%であり、パッケージ・サイズまたは電圧定格の関数になっていません。

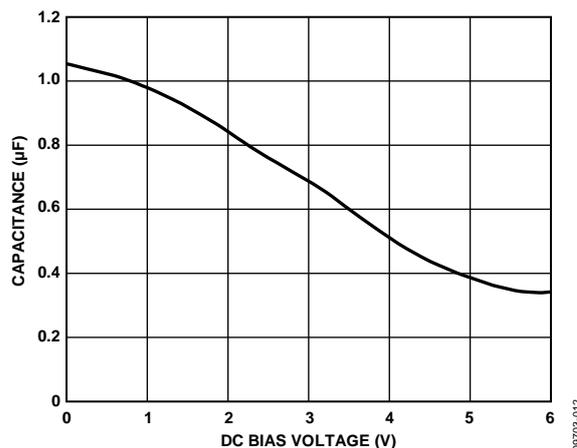


図 51. 電圧対容量特性

次式を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、最悪時の容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMP_{CO}) \times (1 - TOL)$$

ここで、

C_{BIAS} は動作電圧での実効容量。

$TEMP_{CO}$ は最悪時のコンデンサ温度係数です。

TOL は最悪時の部品許容誤差です。

この例では、-40°C~+85°C での最悪時温度係数($TEMP_{CO}$)を、X5R 誘電体では 15%と想定しています。図 51 に示すように、コンデンサの許容誤差(TOL)は 10%、かつ 1.8 V で $C_{BIAS} = 0.85 \mu F$ としています。

これらの値を式に代入すると、次のようになります。

$$C_{EFF} = 0.85 \mu F \times (1 - 0.15) \times (1 - 0.1) = 0.65 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO の最小容量条件を満たします。

ADP5034 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

消費電力と熱についての考慮事項

ADP5034 は高効率の μ PMU であるため、大部分の場合デバイス内で消費される電力は問題になりませんが、デバイスが高い周囲温度かつ最大負荷状態で動作する場合は、ジャンクション温度が最大許容動作温度(125°C)に到達することがあります。

ジャンクション温度が 150°C を超えると、ADP5034 はすべてのレギュレータをターンオフさせて、デバイスの冷却を可能にします。チップ温度が 130 °C を下回ると、ADP5034 は通常の動作を再開します。

このセクションでは、デバイス消費電力計算のガイドラインと ADP5034 が最大許容ジャンクション温度より下で動作していることを確認するガイドラインを示します。

ADP5034 上の各レギュレータの効率は次式で与えられます。

$$\eta = \frac{P_{OUT}}{P_{IN}} \times 100\% \quad (1)$$

ここで、

η は効率。

P_{IN} は入力電力。

P_{OUT} は出力電力。

電力損失は次式で与えられます。

$$P_{LOSS} = P_{IN} - P_{OUT} \quad (2a)$$

または

$$P_{LOSS} = P_{OUT} (1 - \eta) / \eta \quad (2b)$$

消費電力は複数の方法で計算することができます。最も分り易く実用的な方法は、入力とすべての出力での消費電力を測定することです。測定は最悪時条件(電圧、電流、温度)で行う必要があります。入力電力と出力電力との差がデバイスとインダクタの消費電力です。式 4 を使って、インダクタの消費電力を求め、この値から式 3 を使って ADP5034 降圧レギュレータの消費電力を計算してください。

消費電力を計算する 2 つ目の方法は、降圧レギュレータに対して提供された効率カーブを使用することです。ここでは各 LDO での消費電力は式 12 を使って計算されます。降圧レギュレータの効率が既知のとき、式 2b を使って降圧レギュレータとインダクタの合計消費電力を求めます。さらに式 4 を使ってインダクタの消費電力を求め、次に式 3 を使って降圧コンバータの消費電力を計算してください。降圧レギュレータと 2 個の LDO の消費電力を加算して合計消費電力を求めます。

降圧レギュレータの効率カーブは代表値であるため、 V_{IN} 、 V_{OUT} 、 I_{OUT} のすべての可能な組み合わせに対して提供されていない可能性があることに注意してください。これらの変動を考慮するため、降圧レギュレータの消費電力を計算する際に安全余裕を持たせることが必要です。

消費電力を計算する 3 つ目の方法は解析的方法であるため、式 8~式 11 で提供される降圧回路の消費電力と式 12 で提供される LDO の消費電力をモデル化することが含まれます。

降圧レギュレータの消費電力

降圧レギュレータの消費電力は次式で近似されます。

$$P_{LOSS} = P_{DBUCK} + P_L \quad (3)$$

ここで、

P_{DBUCK} は ADP5034 降圧レギュレータの消費電力。

P_L はインダクタの消費電力。

インダクタの消費電力はデバイスの外部であるため、チップ温度には影響を与えません。

インダクタの消費電力は次式で計算されます(コア消費電力を除く)。

$$P_L \approx I_{OUT1(RMS)}^2 \times DCR_L \quad (4)$$

ここで、

DCR_L はインダクタの直列抵抗。

$I_{OUT1(RMS)}$ は降圧レギュレータの rms 負荷電流。

$$I_{OUT1(RMS)} = I_{OUT1} \times \sqrt{1 + \frac{r}{12}} \quad (5)$$

ここで、 r はインダクタの正規化リップル電流。

$$r = V_{OUT1} \times (1 - D) / (I_{OUT1} \times L \times f_{SW}) \quad (6)$$

ここで、

L はインダクタ値。

f_{SW} はスイッチング周波数。

D はデューティ・サイクル。

$$D = V_{OUT1} / V_{IN1} \quad (7)$$

ADP5034 降圧レギュレータの消費電力 P_{DBUCK} には、パワー・スイッチの導通損失、スイッチの消費電力、各チャンネルの遷移損失が含まれます。その他の損失源もありますが、これらはアプリケーションの熱的限界となっている高い出力負荷電流では一般に小さいものです。式 8 に、降圧レギュレータの消費電力で行う計算を示します。

$$P_{DBUCK} = P_{COND} + P_{SW} + P_{TRAN} \quad (8)$$

P-MOSFET と N-MOSFET のパワー・スイッチはそれぞれ内部抵抗 $R_{DS_{ON-P}}$ と $R_{DS_{ON-N}}$ を持ちますが、パワー・スイッチの伝導損失は、これらのパワー・スイッチを流れる出力電流 I_{OUT1} により生じます。伝導損失の大きさは次式で求められます。

$$P_{COND} = [R_{DS_{ON-P}} \times D + R_{DS_{ON-N}} \times (1 - D)] \times I_{OUT1}^2 \quad (9)$$

ここで、ジャンクション温度 = 125°C、かつ $V_{IN1} = V_{IN2} = 3.6$ V で $R_{DS_{ON-P}}$ は約 0.2 Ω に、 $R_{DS_{ON-N}}$ は約 0.16 Ω にそれぞれなります。VIN1 = VIN2 = 2.3 V では、これらの値は 0.31 Ω と 0.21 Ω にそれぞれ変わります。VIN1 = VIN2 = 5.5 V では、これらの値はそれぞれ 0.16 Ω と 0.14 Ω になります。

スイッチング損失は、スイッチング周波数でパワー・デバイスがターンオン/ターンオフするときドライバを流れる電流に対応します。スイッチング損失は次式で与えられます。

$$P_{SW} = (C_{GATE-P} + C_{GATE-N}) \times V_{INI}^2 \times f_{SW} \quad (10)$$

ここで、

C_{GATE-P} は P-MOSFET のゲート容量。

C_{GATE-N} は N-MOSFET のゲート容量。

ADP5034 の場合、($C_{GATE-P} + C_{GATE-N}$) の合計は約 150 pF になります。

遷移損失は、P チャンネル・パワー-MOSFET が瞬時にターンオンまたはターンオフできないので、SW ノードがグラウンド付近から V_{OUT1} 付近へ(さらに V_{OUT1} からグラウンドへ)変化するために時間を要するためです。遷移損失は次式で計算されます。

$$P_{TRAN} = V_{INI} \times I_{OUT1} \times (t_{RISE} + t_{FALL}) \times f_{SW} \quad (11)$$

ここで、 t_{RISE} と t_{FALL} はスイッチング・ノード SW の立上がり時間と立下がり時間。ADP5034 の場合、SW の立上がり時間と立下がり時間は 5 ns のオーダーです。

前式とパラメータを使ってコンバータ効率を計算する場合、これらの式はすべてのコンバータ損失を表すのではないこと、および与えられたパラメータ値は代表値であることに注意してください。また、コンバータ性能は受動部品の選択とボード・レイアウトに依存するため、十分な安全余裕を計算に含める必要があります。

LDOレギュレータの消費電力

LDOレギュレータの消費電力は次式で与えられます。

$$P_{DLDO} = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (12)$$

ここで、

I_{LOAD} は LDOレギュレータの負荷電流。

V_{IN} と V_{OUT} は LDO のそれぞれ入力電圧と出力電圧。

I_{GND} は LDOレギュレータのグラウンド電流。

グラウンド電流による消費電力は小さいため無視できます。

ADP5034 の合計消費電力は次のように簡単になります。

$$P_D = P_{DBUCK1} + P_{DBUCK2} + P_{DLDO1} + P_{DLDO2} \quad (13)$$

ジャンクション温度

ボード温度 T_A が既知の場合、熱抵抗パラメータ θ_{JA} を使ってジャンクション温度上昇を計算することができます。 T_J は次式を使って T_A と P_D から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (14)$$

24 ピン 4 mm × 4 mm LFCSP の θ_{JA} は 35 °C/W (typ) です(表 6 参照)。考慮すべき非常に重要なファクタは、 θ_{JA} が 4 層、4 インチ × 3 インチ、2.5 オンスの銅、JEDEC 標準に基づいていることであり、実際のアプリケーションではサイズと層数が異なる可能性があります。デバイスから熱を除去するためには、使用する銅の量を増やすことが重要です。空気に露出している銅は、内部層で使用される銅より放熱が優れています。エクスポーズド・パドルは、複数のビアでグラウンド・プレーンへ接続する必要があります。

ケース温度が測定可能な場合は、ジャンクション温度は次式で計算されます。

$$T_J = T_C + (P_D \times \theta_{JC}) \quad (15)$$

ここで、

T_C はケース温度。

θ_{JC} はジャンクション-ケース間の熱抵抗(表 6 に示します)。

特定の周囲温度範囲に対するアプリケーションをデザインする際には、すべてのチャンネルの消費電力による予想 ADP5034 消費電力(P_D)を式 8~式 13 を使って計算してください。この電力計算から、ジャンクション温度 T_J を式 14 により計算することができます。

コンバータと 2 個の LDOレギュレータの信頼度の高い動作は、ADP5034 の予測チップジャンクション温度(式 14)が 125°C より低い場合にのみ実現することができます。信頼性と故障までの平均時間(MTBF)は、ジャンクション温度の増加により大きな影響を受けます。製品の信頼性の詳細については、www.ti.com/lit/pdf/spru001 から提供している「ADI Reliability Handbook」を参照してください。

PCBレイアウト・ガイドライン

レイアウトが悪いと、ADP5034 の性能に影響があり、電磁干渉 (EMI) や電磁両立性 (EMC) の問題、グラウンド・バウンス、電圧損失などを引き起こします。また、レギュレーションや安定性に影響する場合があります。優れたレイアウトは次の手順を使って実現されます。また、[UG-271](#) ユーザー・ガイドも参照してください。

- 短いパターンを使用し、インダクタ、入力コンデンサ、出力コンデンサを IC の近くに配置します。これらの部品は高スイッチング周波数を伝送し、太いパターンはアンテナとして機能します。
- 出力電圧経路をインダクタや SW ノードから一定の距離を置いてルーティングし、ノイズと電磁干渉を最小限に抑えます。
- 部品側のグラウンド・メタルのサイズを最大限大きくして、放熱性を高めます。
- 部品面のグラウンドへ接続してある複数のビアを持つグラウンド・プレーンを使って、敏感な回路ノードのノイズ干渉をさらに減らします。
- VIN1、VIN2、AVIN を一緒にして IC の近くに短いパターンで接続してください。

代表的なアプリケーション回路図

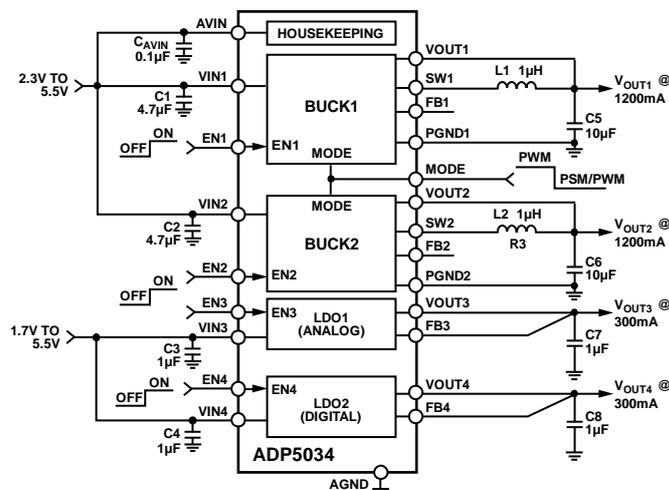


図 52. イネーブル・ピン付の ADP5034 固定出力電圧

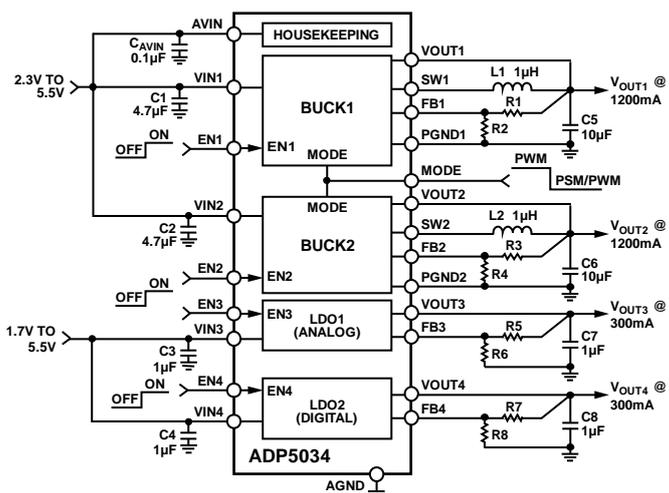


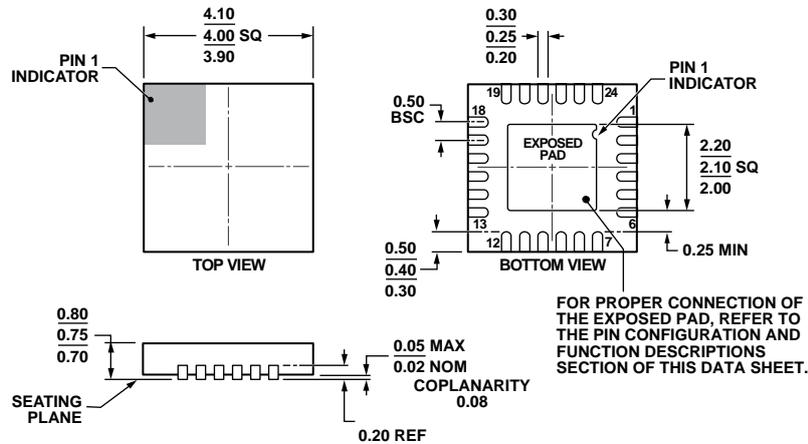
図 53. イネーブル・ピン付の ADP5034 調整可能出力電圧

部品表

表 12.

Reference	Value	Part Number	Vendor	Package or Dimension (mm)
C _{AVIN}	0.1 μF, X5R, 6.3 V	JMK105BJ104MV-F	Taiyo-Yuden	0402
C3, C4, C7, C8	1 μF, X5R, 6.3 V	LMK105BJ105MV-F	Taiyo-Yuden	0402
C1, C2	4.7 μF, X5R, 6.3 V	ECJ-0EB0J475M	Panasonic-ECG	0402
C5, C6	10 μF, X5R, 6.3 V	JMK107BJ106MA-T	Taiyo-Yuden	0603
L1, L2	1 μH, 0.18 Ω, 850 mA	BRC1608T1R0M	Taiyo-Yuden	0603
	1 μH, 0.085 Ω, 1400 mA	LQM2MPN1R0NG0B	Murata	2.0 × 1.6 × 0.9
	1 μH, 0.059 Ω, 900 mA	EPL2014-102ML	Coilcraft	2.0 × 2.0 × 1.4
	1 μH, 0.086 Ω, 1350 mA	MDT2520-CN	Toko	2.5 × 2.0 × 1.2
IC1	Four-regulator micro PMU	ADP5034	Analog Devices	24-lead LFCSP

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8.

072809A

図 54.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-24-10)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage (V) ²	UVLO ³	Active Pull-Down ⁴	Package Description	Package Option
ADP5034ACPZ-R7	-40°C to +125°C	Adjustable	Low	Enabled on buck channels only	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-10
ADP5034ACPZ-1-R7	-40°C to +125°C	VOUT1 = 1.2 V VOUT2 = 3.3 V VOUT3 = 2.8 V VOUT4 = 1.8 V	Low	Enabled on buck channels only	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-10
ADP5034ACPZ-2-R7	-40°C to +125°C	Adjustable	High	Enabled on buck channels only	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-10
ADP5034-1-EVALZ					Evaluation Board for ADP5034ACPZ-R7	
ADP5034-2-EVALZ					Evaluation Board for ADP5034ACPZ-2-R7	

¹ Z = RoHS 準拠製品。

² その他のオプションについては、最寄りのアナログ・デバイスズにお尋ねください。提供中のオプションは、BUCK1 と BUCK2: 3.3 V、3.0 V、2.8 V、2.5 V、2.3 V、2.0 V、1.8 V、1.6 V、1.5 V、1.4 V、1.3 V、1.2 V、1.1 V、1.0 V、0.9 V、または調整可能 LDO1 と LDO2: 3.3 V、3.0 V、2.8 V、2.5 V、2.25 V、2.0 V、1.8 V、1.7 V、1.6 V、1.5 V、1.2 V、1.1 V、1.0 V、0.9 V、0.8 V、または調整可能。

³ UVLO: ハイまたはロー。

⁴ BUCK1、BUCK2、LDO1 と LDO2 双方: アクティブ・プルダウン抵抗をイネーブルまたはディスエーブルに設定。