



同期整流降圧 DC/DC レギュレータ、 36V、1A、外部クロック同期機能付

データシート

ADP2442

特長

- 広い入力電圧範囲：4.5 V ~ 36 V
- 短い最小オン時間：50 ns (typ)
- 最大負荷電流：1 A
- 高い効率：最大 94%
- 調整可能な出力：最小 0.6 V
- 出力電圧精度：±1%
- 調整可能なスイッチング周波数：300 kHz ~ 1 MHz
- 外部クロックへの同期機能：300 kHz ~ 1 MHz
- パルス・スキップ・モードまたは強制固定周波数モード
- 高精度イネーブル入力ピン(EN)
- オープン・ドレインのパワーグッド出力
- 内部ソフトスタート
- 過電流制限による保護
- シャットダウン電流：15 μA 以下
- UVLO およびサーマル・シャットダウン
- 3 mm × 3 mm の 12 ピン LFCSP パッケージ
- ADIsimPower™ ツール・セットを使用可能

アプリケーション

- ポイント・オブ・ロード・アプリケーション
- 分散型電源システム
- 工業用制御電源
- 24 V/12 V/5 V/3.3 V への標準電源電圧変換

概要

ADP2442 は固定周波数、電流モード制御、同期整流の降圧 DC/DC レギュレータであり、優れたライン・レギュレーション特性と負荷レギュレーション特性で最大 1 A の負荷を駆動することができます。ADP2442 は 4.5 V ~ 36 V の広い入力電圧範囲で動作するため、多様な電源からの電力をレギュレーションするのに最適です。さらに、ADP2442 は最小オン時間が非常に短い(50 ns) ため、非常に大きな降圧比を必要とするアプリケーションに適しています。

出力電圧は、0.6 V ~ $0.9 \times V_{IN}$ の範囲で調整することができます。ハイサイドとローサイドの素子として低抵抗の N チャンネル MOSFET を内蔵しているため、高い効率が得られます。

スイッチング周波数は外付け抵抗により 300 kHz ~ 1 MHz の範囲で調整可能です。また、ADP2442 は正確なパワーグッド(PGOOD) オープン・ドレイン出力信号を備えています。

ADP2442 は外部クロックへの同期機能も備えています。スイッチング周波数は、SYNC/MODE ピンに与えられる外部クロックに同期することができます。また、ADP2442 は EMI を小さくする強制固定周波数モード、または軽負荷時にスイッチング損失を低減する省電力モードで動作するように設定することもできます。

代表的な回路構成

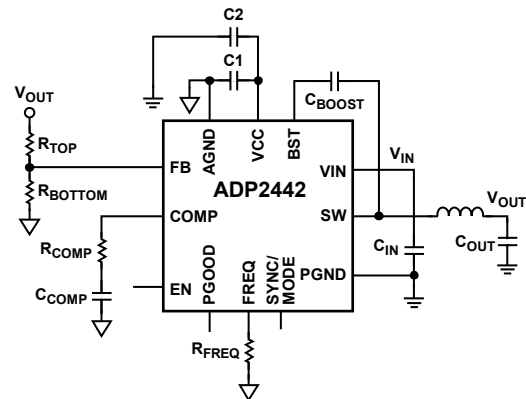


図 1.

ADP2442 はヒカップ・モード過電流保護を使用することで、出力の短絡または過電流状態から保護されます。また、内部ソフトスタート機能により、多様な負荷容量でのスタートアップ時に突入電流を制限します。この他に、入力低電圧ロックアウト(UVLO)、サーマル・シャットダウン(TSD)、ロジック・レベルのシャットダウン入力としても使用可能な高精度イネーブル(EN)などの機能を搭載しています。

ADP2442 は 3 mm × 3 mm の 12 ピン LFCSP パッケージを採用し、-40°C ~ +125°C のジャンクション温度範囲で仕様が規定されています。

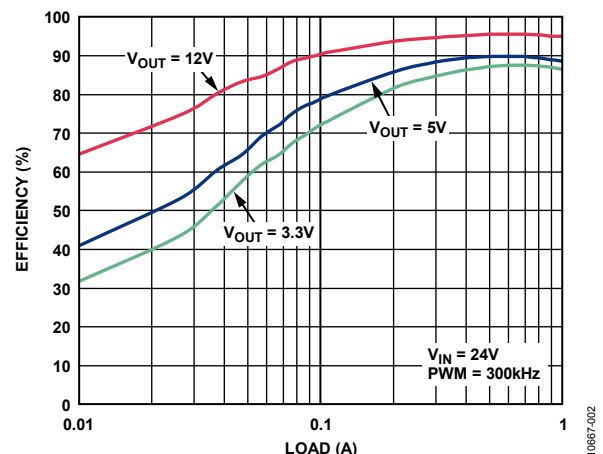


図 2. 負荷電流対効率 ($V_{IN} = 24 V$)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有物です。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2012-2014 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	サーマル・シャットダウン.....	18
アプリケーション.....	1	アプリケーション情報.....	19
概要.....	1	ADIsimPower デザインツール.....	19
代表的な回路構成.....	1	出力電圧の選択.....	19
改訂履歴.....	2	スイッチング周波数の設定.....	19
仕様.....	3	外付け部品の選択.....	20
絶対最大定格.....	5	ブースト・コンデンサ.....	22
熱抵抗.....	5	VCC コンデンサ.....	22
ESD の注意.....	5	ループ補償.....	22
ピン配置およびピン機能説明.....	6	ループ補償の大信号解析.....	22
代表的な性能特性.....	7	設計例.....	24
強制固定周波数モードでの効率.....	7	設定と部品の選択.....	24
パルス・スキップ・モードでの効率.....	8	システム構成.....	25
内部ブロック図.....	15	代表的なアプリケーション回路.....	26
動作原理.....	16	デザイン例.....	26
制御アーキテクチャ.....	16	その他の代表的な回路構成.....	27
調整可能な周波数.....	17	消費電力と熱に関する検討事項.....	31
パワーグッド.....	17	消費電力.....	31
動作モード.....	17	熱に関する検討事項.....	31
外部同期.....	17	評価用ボードの熱性能.....	32
ソフトスタート.....	17	回路基板レイアウトの推奨事項.....	33
低電圧ロックアウト.....	18	外形寸法.....	34
高精度イネーブル/シャットダウン.....	18	オーダー・ガイド.....	34
電流制限と短絡保護.....	18		

改訂履歴

11/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{IN} = 4.5\text{ V} \sim 36\text{ V}$ 、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY						
Input Voltage Range	V_{IN}		4.5		36	V
Supply Current	I_{VIN}	$V_{EN} = 1.5\text{ V}$ not switching		1.7	2	mA
Shutdown Current	I_{SHDN}	$V_{EN} = \text{AGND}$		10	15	μA
UVLO Threshold	V_{UVLO}	V_{IN} falling	3.8	4	4.2	V
UVLO Hysteresis				200		mV
INTERNAL REGULATOR						
Regulator Output Voltage	V_{CC}	$V_{IN} = 5\text{ V}$ to 36 V		5	5.5	V
OUTPUT						
Output Voltage Range	V_{OUT}		0.6		$0.9 \times V_{IN}$	V
Maximum Output Current	I_{OUT}		1			A
Feedback Regulation Voltage	V_{FB}	$T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$	0.594	0.6	0.606	V
		$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.591	0.6	0.609	V
Line Regulation				0.005		%/V
Load Regulation				0.05		%/A
ERROR AMPLIFIER						
Feedback Bias Current	I_{FB_BIAS}	$V_{FB} = 0.6\text{ V}$		50	200	nA
Transconductance	g_m	$I_{COMP} = \pm 20\ \mu\text{A}$	200	250	300	$\mu\text{A}/\text{V}$
Open-Loop Voltage Gain ¹	A_{VOL}			65		dB
MOSFETS						
High-Side Switch On Resistance ²	$R_{DS_H(ON)}$	BST – SW = 5 V		170	270	m Ω
Low-Side Switch On Resistance ²	$R_{DS_L(ON)}$	$V_{CC} = 5\text{ V}$		120	180	m Ω
Leakage Current	I_{LKG}	$V_{EN} = \text{AGND}$		1	25	μA
Minimum On Time ³	t_{ON_MIN}	All switching frequencies		50	65	ns
Minimum Off Time ⁴	t_{OFF_MIN}			165	175	ns
CURRENT SENSE						
Current Sense Amplifier Gain	G_{CS}		1.6	2	2.4	A/V
Hiccup Time		$f_{SW} = 300\text{ kHz}$ to 1 MHz		6		ms
Number of Cumulative Current-Limit Cycles to Enter Hiccup Mode				8		Events
Peak Current Limit	I_{CL}		1.4	1.6	1.8	A
FREQUENCY						
Switching Frequency Range	f_{SW}		300		1000	kHz
Frequency Set Accuracy		FREQ pin = 308 k Ω	270	300	330	kHz
		FREQ pin = 92.5 k Ω	900	1000	1100	kHz
Frequency Synchronization Range			300		1000	kHz
SOFT START						
Soft Start Time	t_{SS}			2		ms
PRECISION ENABLE						
Input Threshold	$V_{EN(RISING)}$		1.15	1.20	1.25	V
Hysteresis	$V_{EN(HYST)}$			100		mV
Leakage Current	I_{IEN_LEAK}	$V_{IN} = V_{EN}$		0.1	1	μA
Thermal Shutdown Rising	T_{SD}			150		$^\circ\text{C}$
Thermal Shutdown Hysteresis	$T_{SD(HYST)}$			25		$^\circ\text{C}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER GOOD						
PGOOD High, FB Rising Threshold ⁵			89	92	95	%
PGOOD Low, FB Rising Threshold ⁵			111	115	118	%
PGOOD High, FB Falling Threshold ⁵			106	109	112	%
PGOOD Low, FB Falling Threshold ⁵			83	86	89	%
PGOOD						
Delay	t_{PGOOD}			50		μs
High Leakage Current	$I_{\text{PGOOD(SRC)}}$	$V_{\text{PGOOD}} = V_{\text{CC}}$		1	10	μA
Pull-Down Resistor	$I_{\text{PGOOD(SNK)}}$	$\text{FB} = 0 \text{ V}$		0.5	0.7	$\text{k}\Omega$
SYNC/MODE						
SYNC/MODE Input						
Logic High			2			V
Logic Low					0.8	V
Pulse Width			100			ns

¹ 設計により保証されます。

² VIN ピンと SW ピンの間で測定され、ボンディング・ワイヤとピン抵抗を含みます。

³ ベンチ・キャラクタライゼーションに基づきます。VIN = 12 V、VOUT = 1.2 V、負荷 = 1 A、fsw = 1 MHz、出力はレギュレーション状態。測定値にはデッド・タイムを含みません。

⁴ ベンチ・キャラクタライゼーションに基づきます。VIN = 15 V、VOUT = 12 V、負荷 = 1 A、fsw = 600 kHz、出力はレギュレーション状態。測定値にはデッド・タイムを含みません。

⁵ この閾値は、公称出力電圧のパーセント値として表されます。

絶対最大定格

表 2.

Parameter	Rating
VIN to PGND	-0.3 V to +40 V
EN to AGND	-0.3 V to +40 V
SW to PGND	-0.3 V to +40 V
BST to PGND	-0.3 V to +45 V
VCC to AGND	-0.3 V to +6 V
BST to SW	-0.3 V to +6 V
FREQ, PGOOD, SYNC/MODE, COMP, FB to AGND	-0.3 V to +6 V
PGND to AGND	±0.3 V
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。ボードは4層の標準 JEDEC ボードを使用。

表 3. 熱抵抗

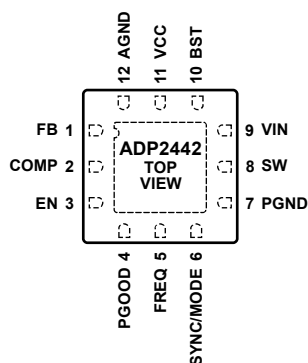
Package Type	θ_{JA}	θ_{JC}	Unit
12-Lead LFCSP	40	2.4	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



注
1. エクスポート・パッドは、システムの AGND プレーンと PGND プレーンに接続する必要があります。

10687-9003

図 3. ピン配置 (上面図)

表 4. ピン機能の説明

ピン番号	記号	説明
1	FB	帰還。FB レギュレーション電圧は 0.6 V です。このピンを DC/DC レギュレータ出力からの抵抗分圧器に接続してください。
2	COMP	誤差アンプ補償。COMP ピンとグラウンドの間に抵抗とコンデンサを直列に接続してください。
3	EN	高精度イネーブル。この機能により、1.25 V のリファレンス電圧を使用するとき ±5% の精度が得られます。このピンをハイ・レベルにするとレギュレータがイネーブルされ、ロー・レベルにするとレギュレータがディスエーブルされます。このピンはフロート状態にしないでください。
4	PGOOD	アクティブ・ハイのパワーグッド出力。出力がレギュレーション状態から外れると、このピンがロー・レベルになります。
5	FREQ	スイッチング周波数設定ピン。このピンと AGND の間に接続された抵抗により、スイッチング周波数が設定されます (「スイッチング周波数の設定」セクションを参照)。このピンはフロート状態にしないでください。
6	SYNC/MODE	外部クロックへの同期/モード設定ピン。このピンは、外部クロックへの周波数同期に使用できる他、強制固定周波数モードまたはパルス・スキップ・モードの設定にも使用できます。SYNC/MODE ピンは外部クロック信号を受け入れ、このピンが 5 V にプルアップされると強制固定周波数モードが選択されます。このピンを AGND に接続すると、パルス・スキップ・モードがイネーブルされます。SYNC/MODE ピンはフロート状態にしないでください。
7	PGND	電源グラウンド。VIN ピンと PGND の間に、デカップリング・セラミック・コンデンサをできるだけ近づけて接続してください。PGND ピンは直接エクスポート・パッドに接続してください。
8	SW	スイッチノード。ローサイド N チャンネル・パワー MOSFET スイッチのドレインとハイサイド N チャンネル・パワー MOSFET スイッチのソースの midpoint。
9	VIN	電源入力。このピンを入力電源に接続し、さらにバイパス・セラミック・コンデンサを直接このピンと PGND の間に、できるだけデバイスに近づけて接続してください。動作電圧は 4.5 V ~ 36 V です。
10	BST	ブースト。BST ピンと SW ピンの間に 10 nF のセラミック・コンデンサをできるだけデバイスに近づけて接続することで、ハイサイド N チャンネル・パワー MOSFET ドライバ用のフローティング電源を形成します。このコンデンサは、N チャンネル・パワー MOSFET のゲートを電源電圧より高く駆動するために必要です。
11	VCC	内蔵の低ドロップアウト・レギュレータの出力。このピンから、内部コントローラとドライバ回路に電力を供給します。1 μF のセラミック・コンデンサを VCC と AGND の間に、1 μF のセラミック・コンデンサを VCC と PGND の間に、それぞれ接続してください。EN ピンの電圧が 0.7 V を超えると、VCC 出力がアクティブになります。
12	AGND	アナログ・グラウンド。このピンは制御機能の内部グラウンドです。このピンは直接エクスポート・パッドに接続してください。
	EP	エクスポート・パッド。エクスポート・パッドはシステムの AGND プレーンと PGND プレーンに接続してください。

代表的な性能特性

強制固定周波数モードでの効率

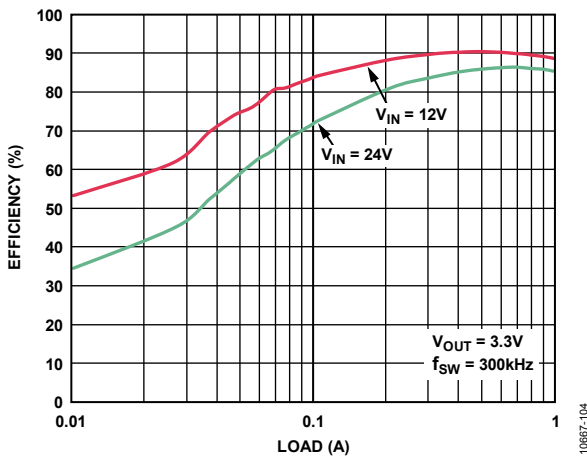


図 4. 負荷電流対効率 ($V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

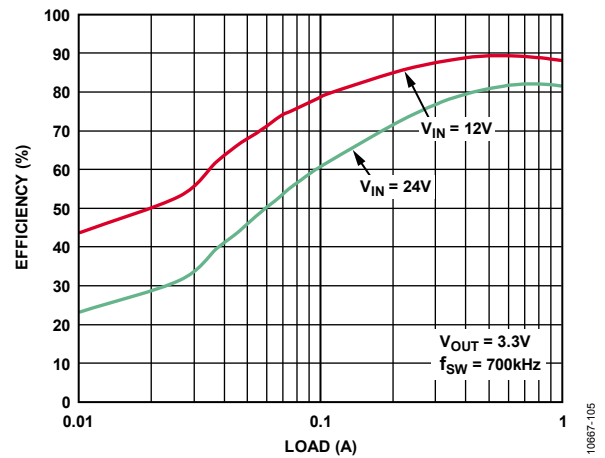


図 7. 負荷電流対効率 ($V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

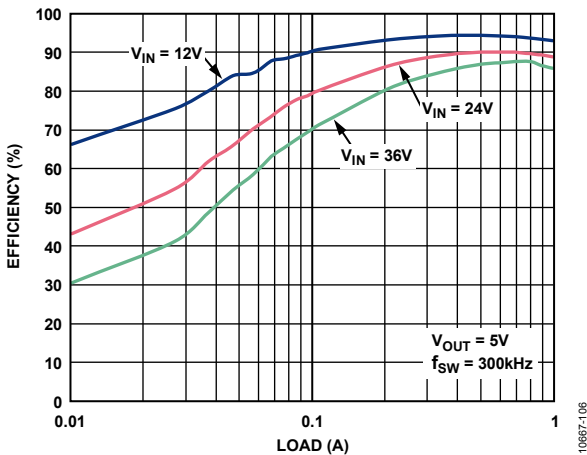


図 5. 負荷電流対効率 ($V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

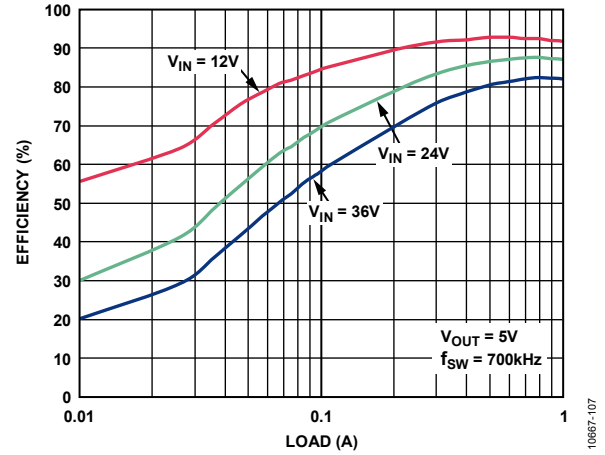


図 8. 負荷電流対効率 ($V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

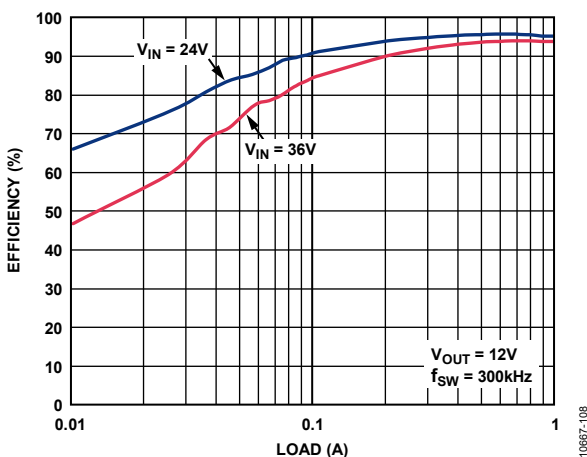


図 6. 負荷電流対効率 ($V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

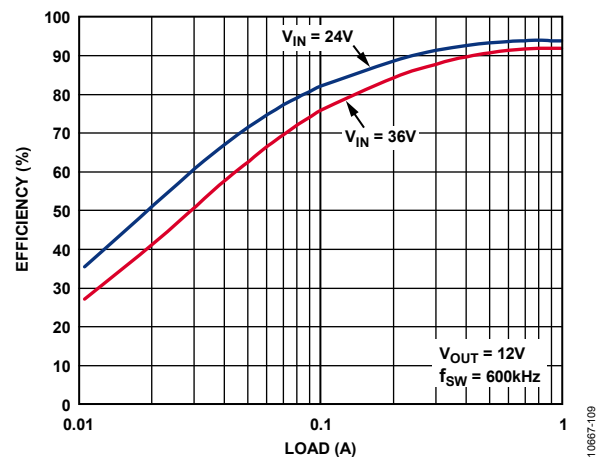


図 9. 負荷電流対効率 ($V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$)

パルス・スキップ・モードでの効率

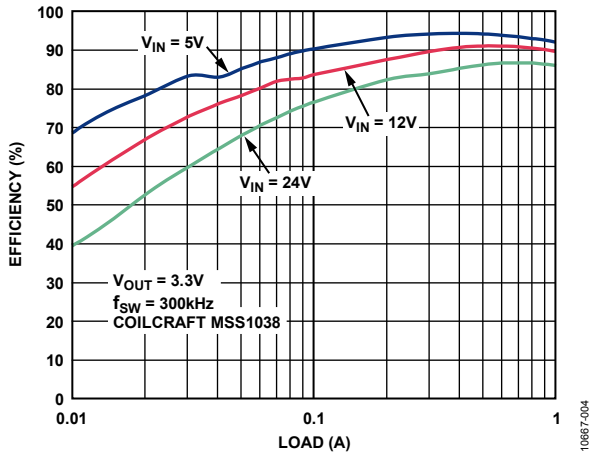


図 10. 負荷電流対効率
($V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

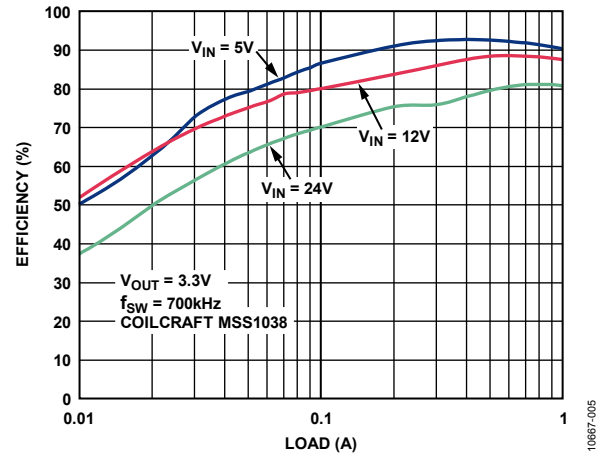


図 13. 負荷電流対効率
($V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

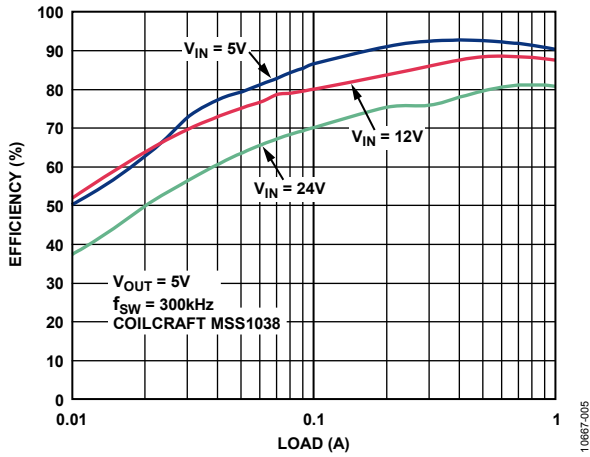


図 11. 負荷電流対効率
($V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

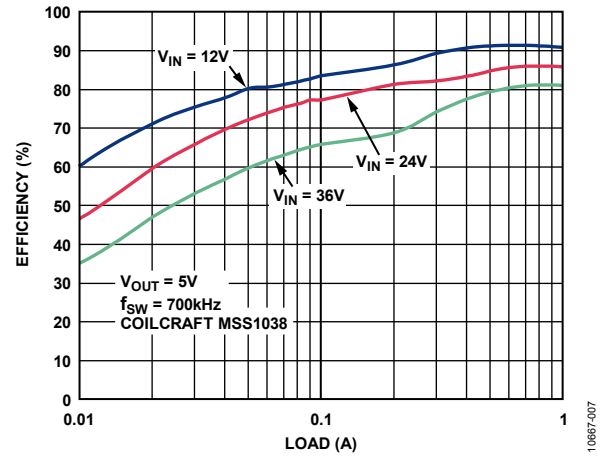


図 14. 負荷電流対効率
($V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

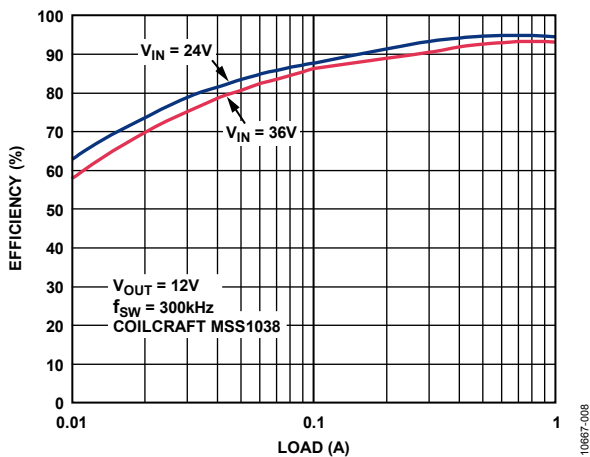


図 12. 負荷電流対効率
($V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$)

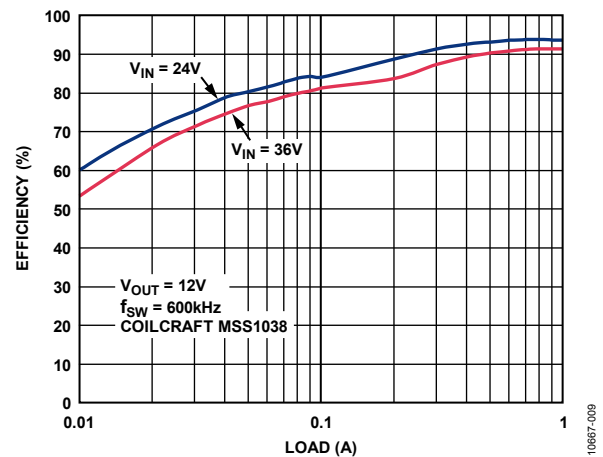


図 15. 負荷電流対効率
($V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$)

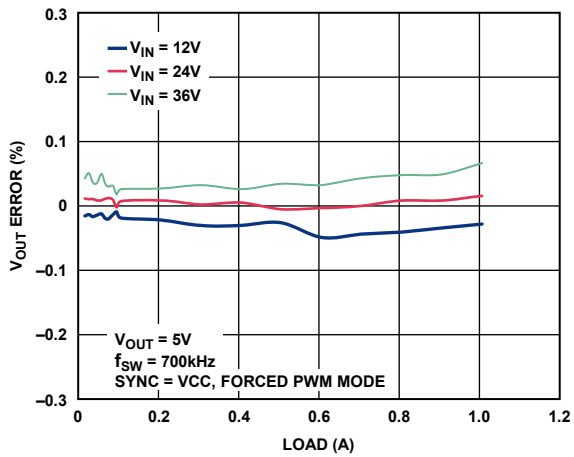


図 16. 異なる電源電圧での負荷レギュレーション

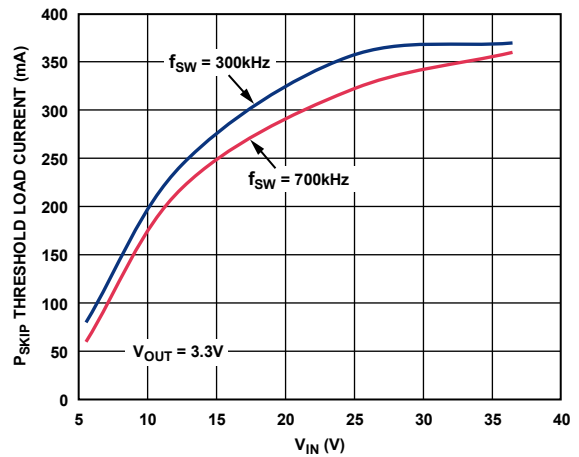


図 19. パルス・スキップ(P_{SKIP}) 閾値負荷電流 ($V_{OUT} = 3.3\text{V}$)

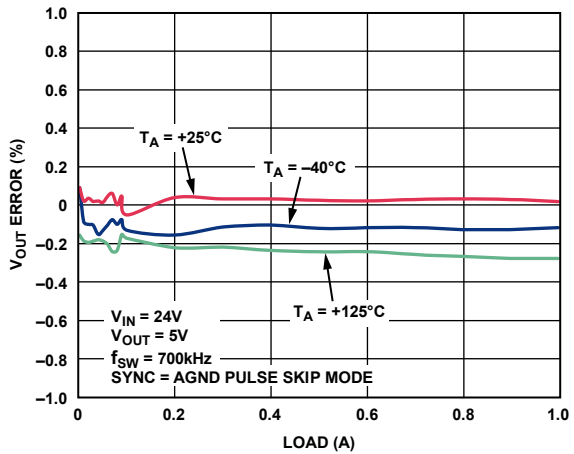


図 17.異なる温度での負荷レギュレーション

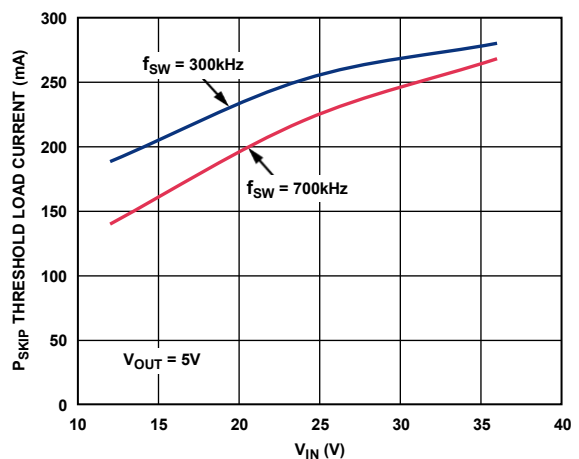


図 20. パルス・スキップ閾値負荷電流 ($V_{OUT} = 5\text{V}$)

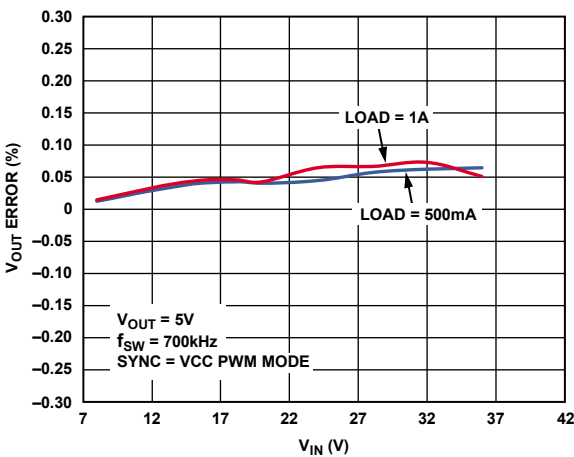


図 18.異なる負荷でのライン・レギュレーション ($V_{OUT} = 5\text{V}$)

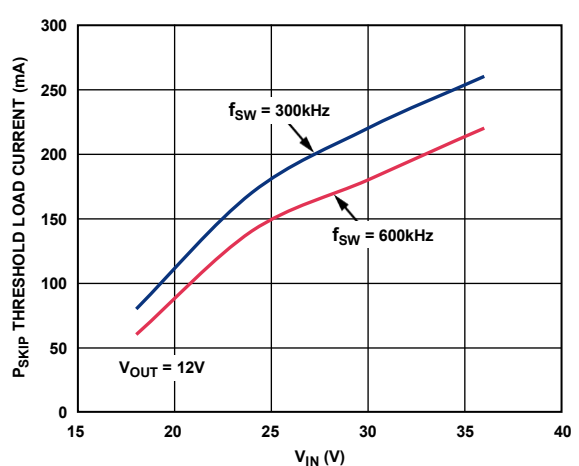


図 21. パルス・スキップ閾値負荷電流 ($V_{OUT} = 12\text{V}$)

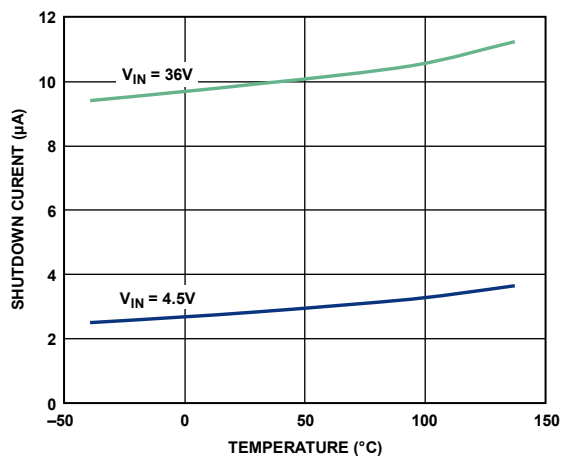


図 22. シャットダウン電流の温度特性

10667-017

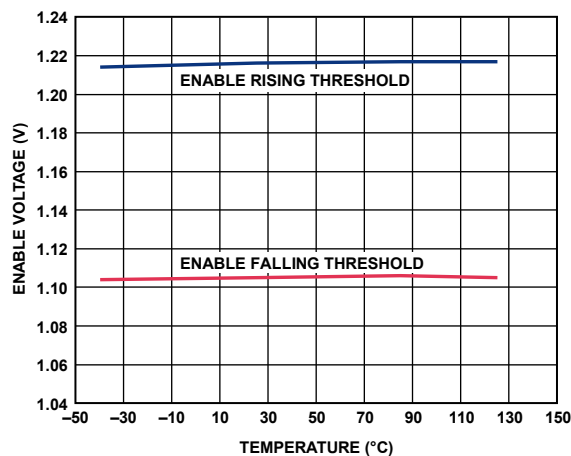


図 25. イネーブル閾値の温度特性

10667-019

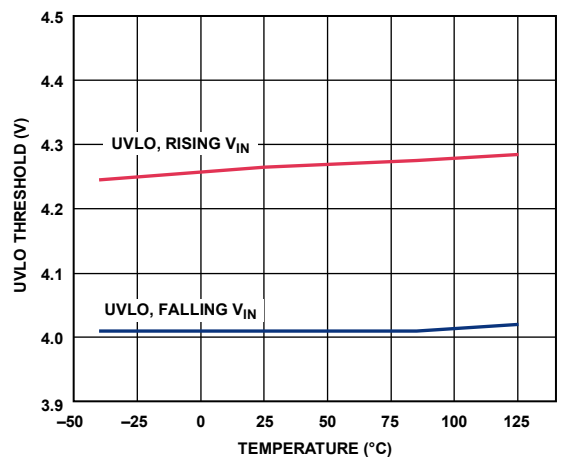


図 23. UVLO 閾値の温度特性

10667-018

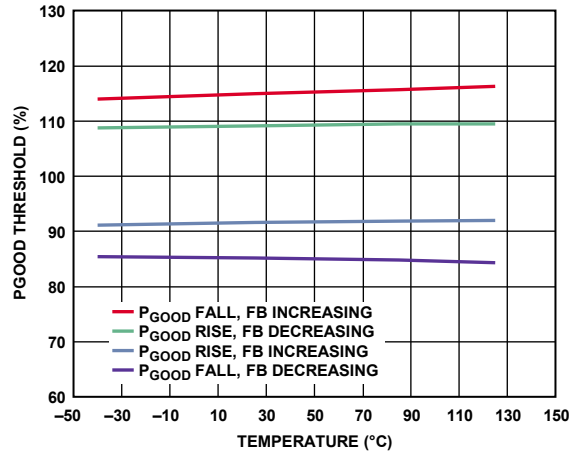


図 26. PGOOD 閾値の温度特性

10667-021

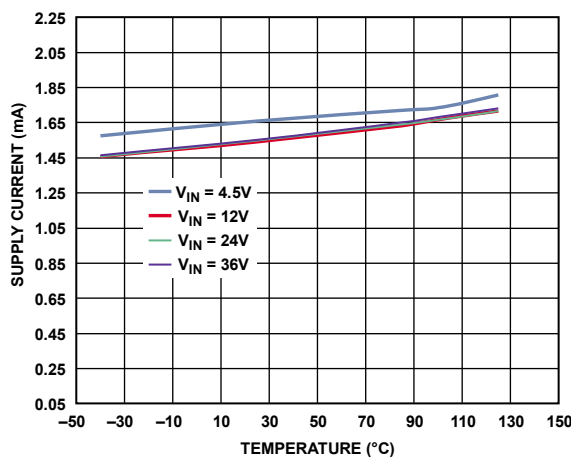


図 24. 電源電流の温度特性

10667-016

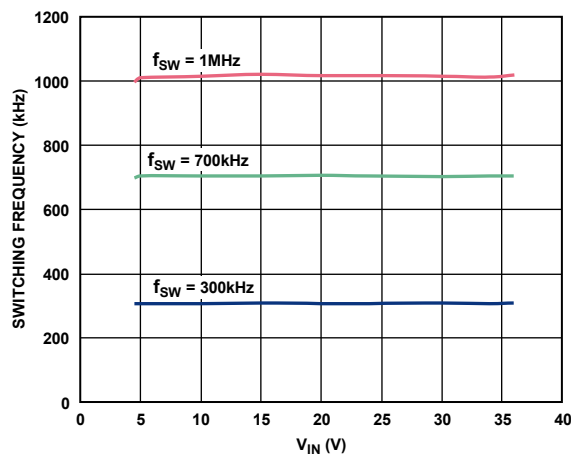


図 27. 電源電圧対スイッチング周波数

10667-022

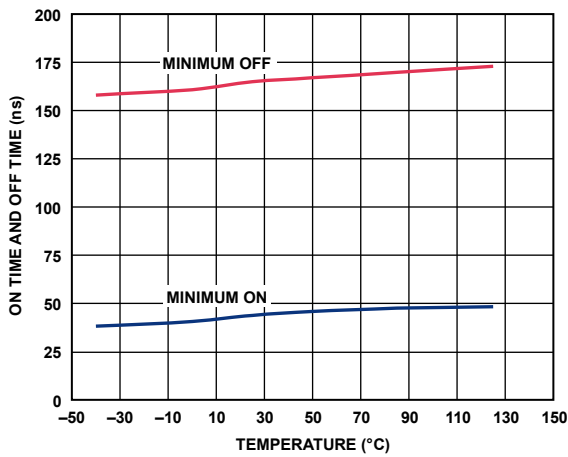


図 28. 最小オン時間と最小オフ時間の温度特性

10867-024

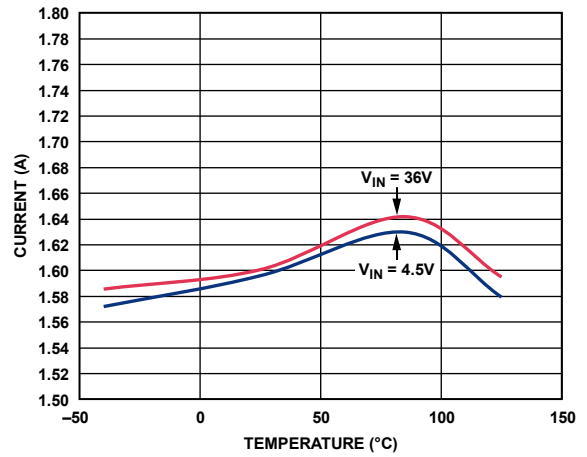


図 31. 電流制限値の温度特性

10867-126

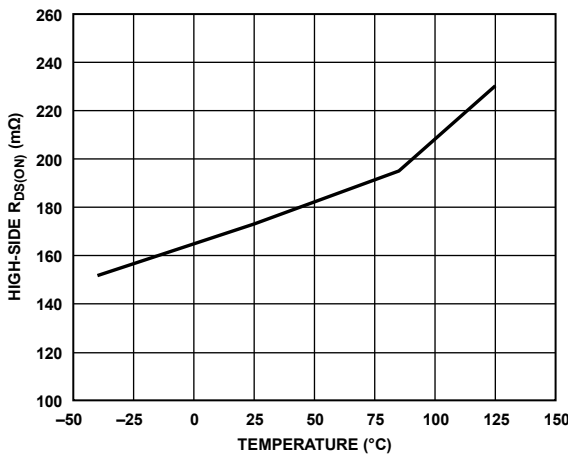


図 29. ハイサイド R_{DS(ON)} の温度特性

10867-027

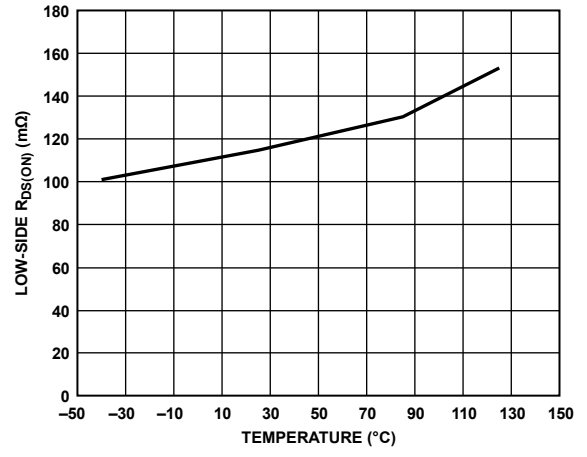


図 32. ローサイド R_{DS(ON)} の温度特性

10867-026

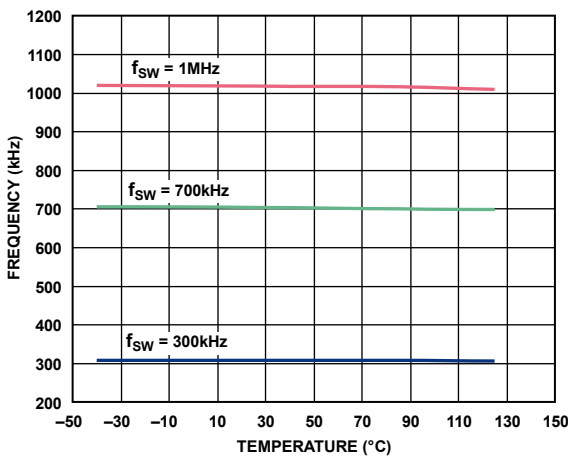


図 30. スイッチング周波数の温度特性

10867-023

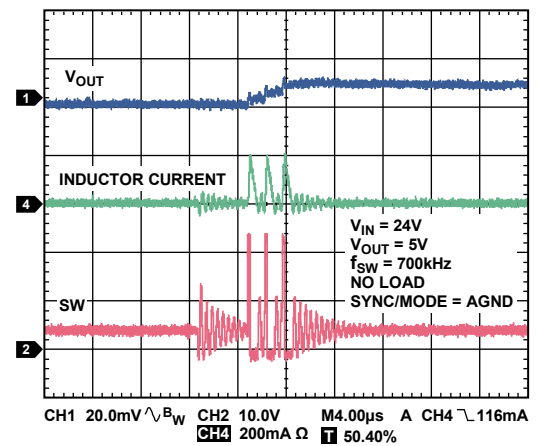


図 33. パルス・スキップ・モード
(V_{IN} = 24 V、V_{OUT} = 5 V、f_{SW} = 700 kHz、無負荷、SYNC/MODE = AGND)

10867-134

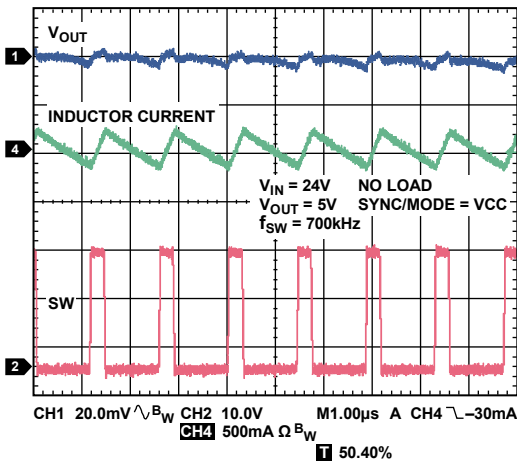


図 34. PWM モード

($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、無負荷、 $\text{SYNC/MODE} = \text{VCC}$)

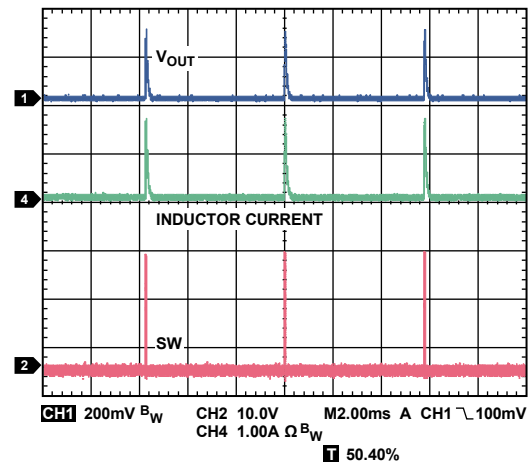


図 37. ヒカップ・モード

($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、出力を PGND に短絡)

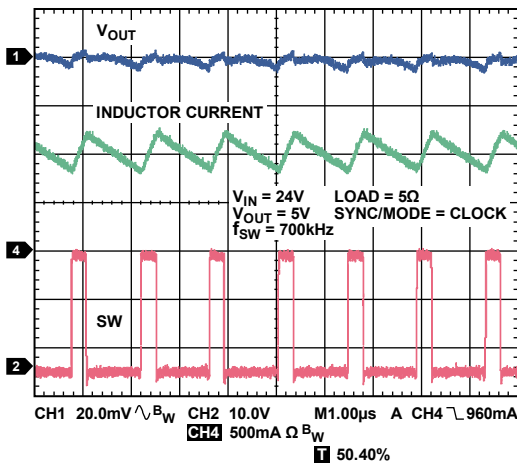


図 35. 外部クロックでの PWM モード

($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、負荷 = $5\ \Omega$ 、 $\text{SYNC/MODE} = \text{クロック}$)

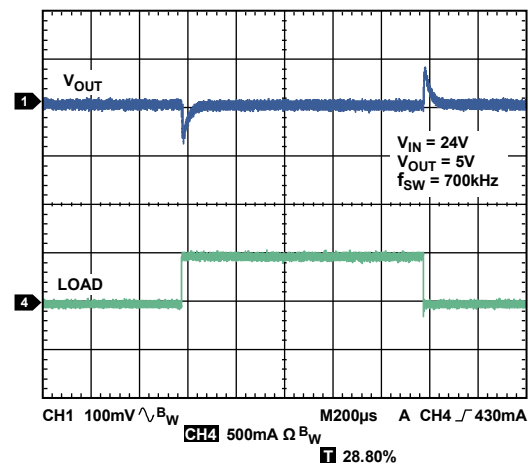


図 38. 負荷過渡応答

($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、 $\text{SYNC/MODE} = \text{クロック}$ 、負荷ステップ = 500 mA)

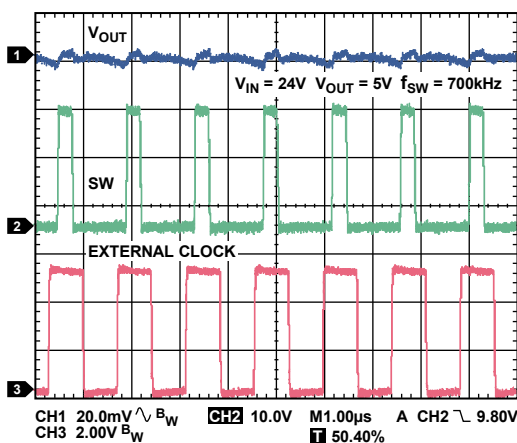


図 36. 外部クロックへの同期

($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、 $\text{SYNC/MODE} = \text{クロック}$)

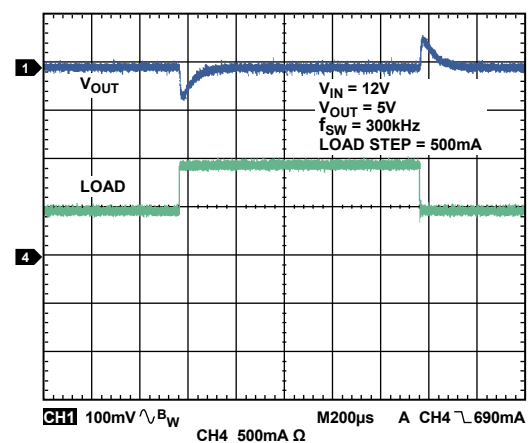


図 39. 負荷過渡応答、

($V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$ 、負荷ステップ = 500 mA)

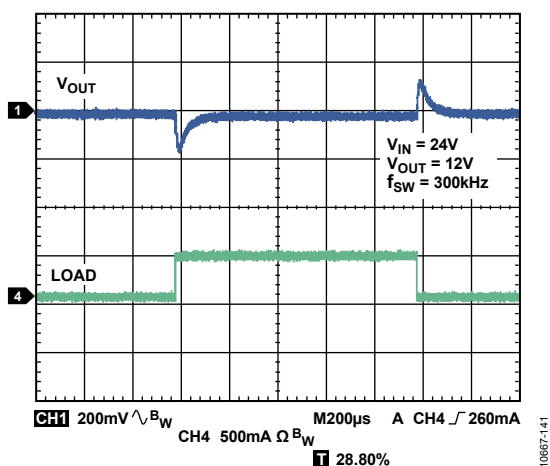


図 40. 負荷過渡応答 ($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$ 、 $\text{SYNC/MODE} = \text{クロック}$ 、負荷ステップ = 500 mA)

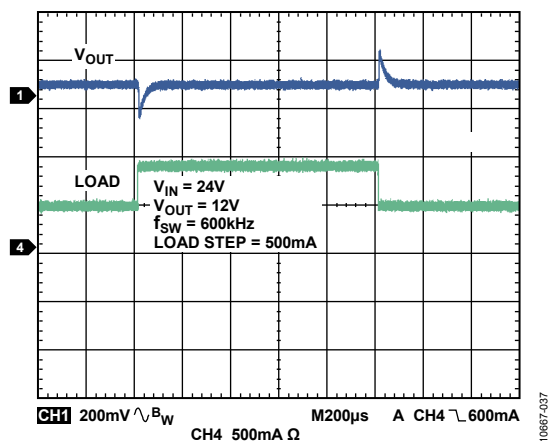


図 41. 負荷過渡応答、
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 12\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、
負荷ステップ = 500 mA)

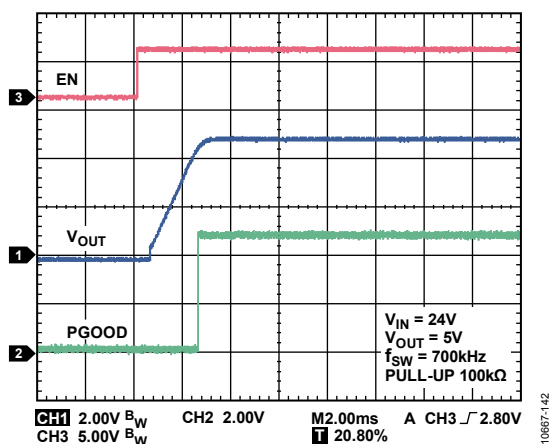


図 42. パワーグッド・スタートアップ
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

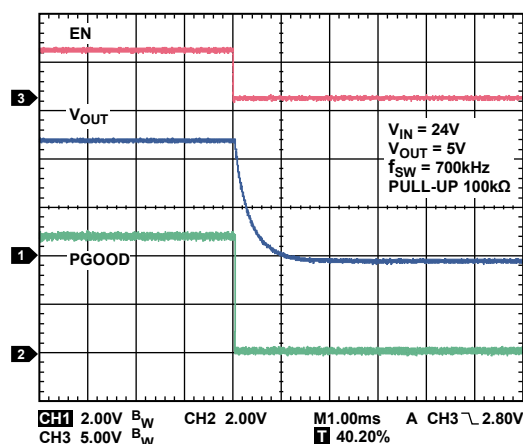


図 43. パワーグッド・シャットダウン、
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$)

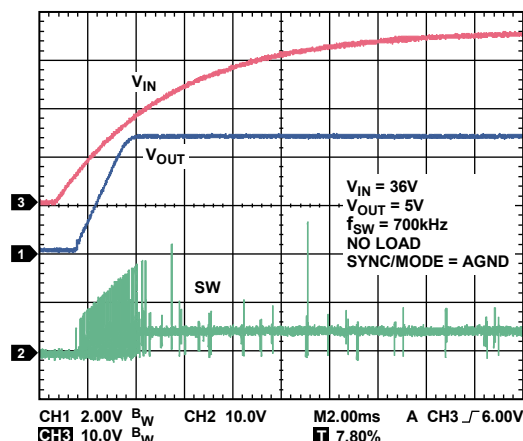


図 44. V_{IN} でのスタートアップ
(パルス・スキップ・モード、 $V_{IN} = 36\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、
 $f_{SW} = 700\text{ kHz}$ 、無負荷、 $\text{SYNC/MODE} = \text{AGND}$)

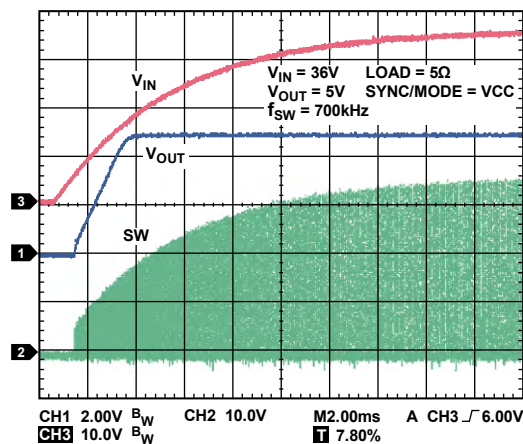


図 45. V_{IN} でのスタートアップ、(PWM モード、 $V_{IN} = 36\text{ V}$ 、
 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、負荷 = 5 Ω、 $\text{SYNC/MODE} = \text{VCC}$)

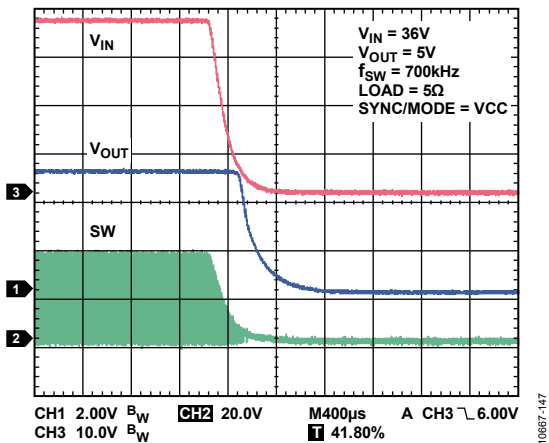


図 46. V_{IN} でのシャットダウン
(PWM モード、 $V_{IN} = 36\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、負荷 = $5\ \Omega$ 、 $\text{SYNC/MODE} = \text{VCC}$)

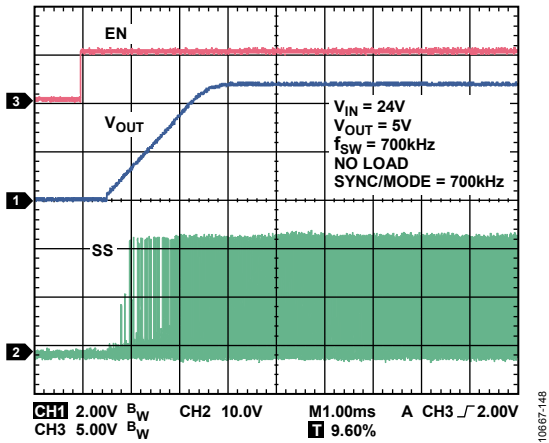


図 47. 高精度イネーブルでのスタートアップ
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、無負荷、 $\text{SYNC/MODE} = 700\text{ kHz}$)

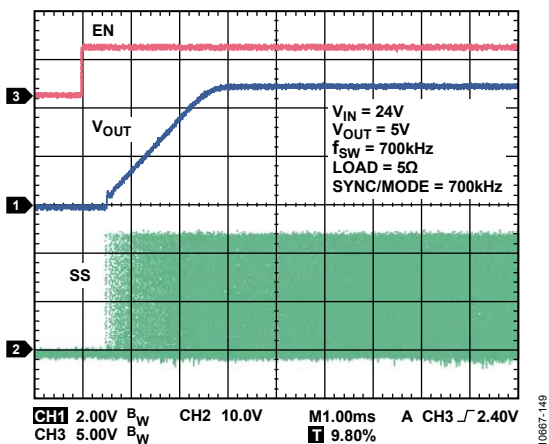


図 48. 高精度イネーブルでのスタートアップ
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、負荷 = $5\ \Omega$ 、 $\text{SYNC/MODE} = 700\text{ kHz}$)

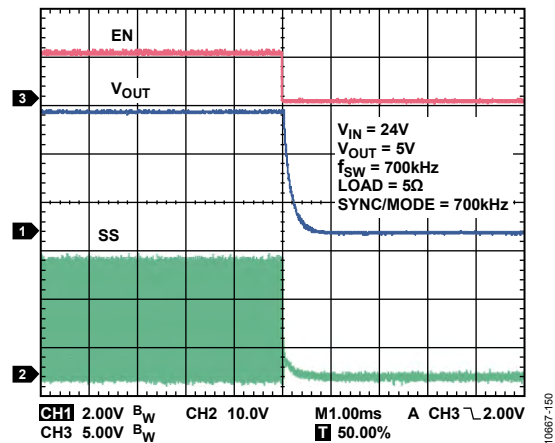


図 49. 高精度イネーブルでのシャットダウン
($V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$ 、負荷 = $5\ \Omega$ 、 $\text{SYNC/MODE} = 700\text{ kHz}$)

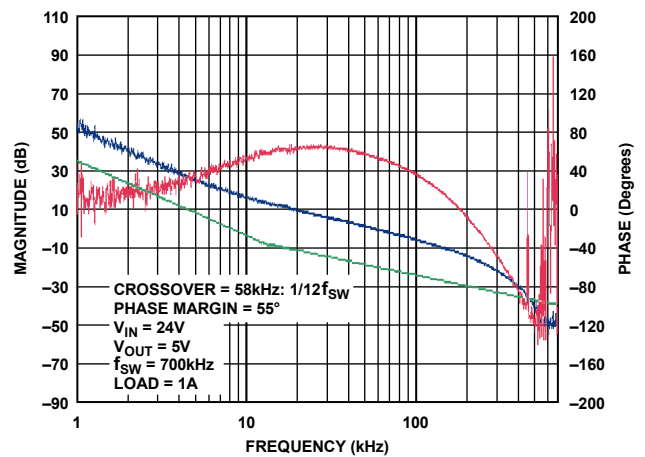


図 50. 振幅と位相の周波数特性

内部ブロック図

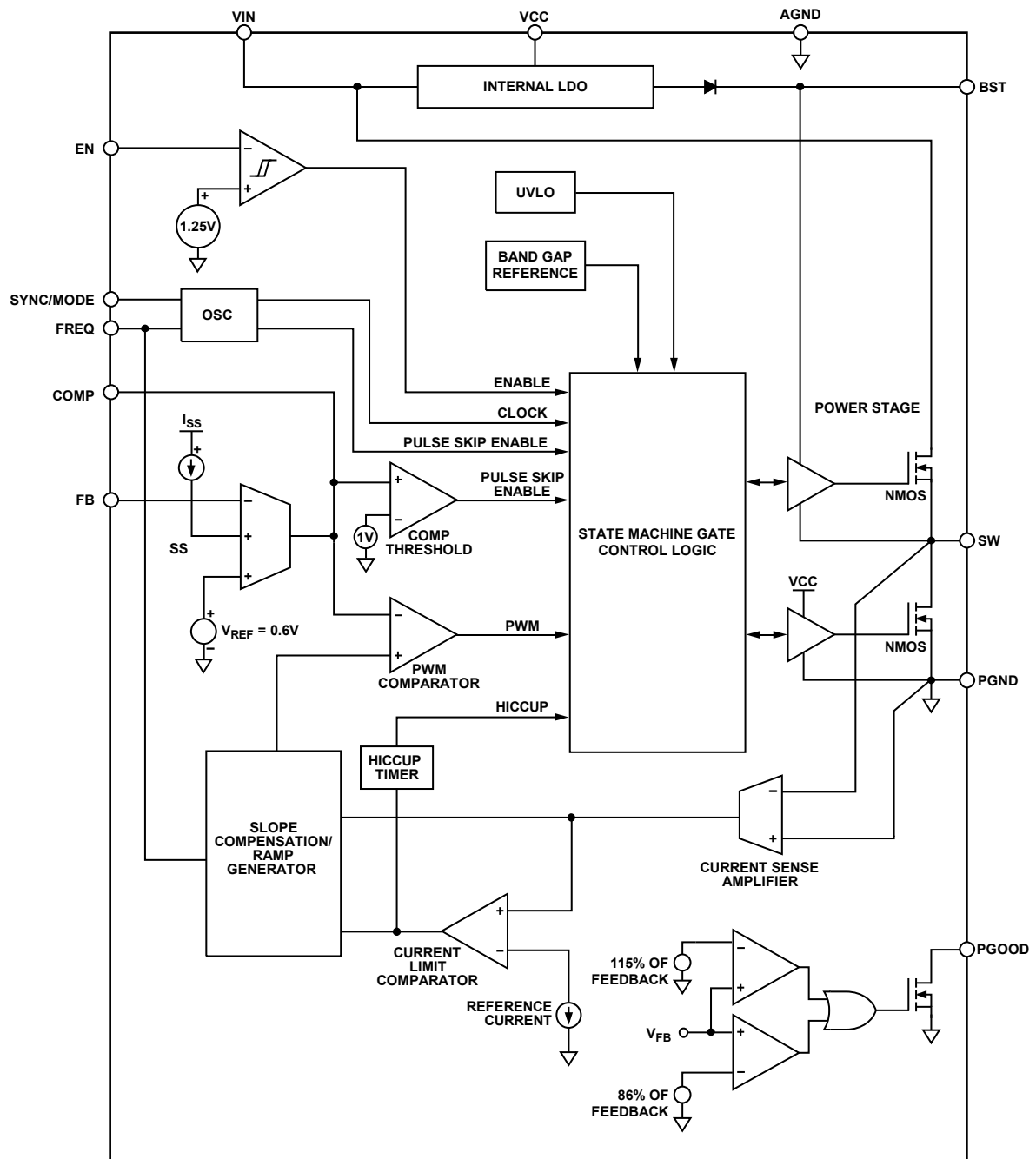


図 51. 内部ブロック図

10667-043

動作原理

ADP2442 は固定周波数、電流モード制御、同期整流の降圧スイッチング・レギュレータであり、1 A の負荷を駆動することができます。このデバイスは、4.5 V ~ 36 V の広い入力電圧範囲で動作し、出力は $0.6 \text{ V} \sim 0.9 \text{ V} \times V_{\text{IN}}$ の範囲で調整可能です。内蔵のハイサイド N チャンネル・パワー-MOSFET とローサイド N チャンネル・パワー-MOSFET により、中程度の負荷から重い負荷まで高い効率が得られます。軽い負荷で効率を向上させるためにパルス・スキップ・モードを使用することができます。

ADP2442 は、出力電圧、スイッチング周波数、パワグッドのようなプログラマブルな機能を搭載しています。これらの機能は、小さい抵抗とコンデンサを使って外部から設定することができます。また、ADP2442 はヒステリシス付きの UVLO、出力短絡保護、サーマル・シャットダウンなどの保護機能も備えています。

制御アーキテクチャ

ADP2442 は、疑似ピーク電流モード制御アーキテクチャを採用しています。固定周波数モードとパルス・スキップ・モードのいずれでも動作できます。

固定周波数モード

制御アーキテクチャの基本ブロック図を図 52 に示します。ADP2442 は、固定周波数モードに設定できます。出力電圧 V_{OUT} は帰還ピン FB で検出されます。誤差アンプが、帰還電圧 (V_{FB}) とリファレンス電圧 ($V_{\text{REF}} = 0.6 \text{ V}$) の間の誤差を積分して、COMP ピンへ誤差電圧を出力します。

ローサイド・パワー-MOSFET がオンで、かつハイサイド・パワー-MOSFET がオフのとき、オフ期間に電流検出アンプが谷インダクタ電流 (I_{L}) を検出します。内蔵の発振器がパルス幅変調 (PWM) パルスを開始して、固定スイッチング周波数でローサイド・パワー-MOSFET をオフし、ハイサイド・パワー-MOSFET をオンします。

ハイサイド N チャンネル・パワー-MOSFET がイネーブルされると、谷インダクタ電流の情報がランプ信号に加算され、次に PWM コンパレータがこの値と COMP ピンの誤差電圧を比較します。ハイサイド・パワー-MOSFET をオフしローサイド・パワー-MOSFET をオンする PWM パルスの立ち上がりエッジを調整することにより、PWM コンパレータの出力がデューティ・サイクルを変調します。

スロープ補償は、内部で疑似電流検出された立ち上がり信号に設定され、入力電圧、出力電圧、スイッチング周波数に応じて自動的に選択されます。この機能により、50% 近辺もしくは 50% を超えるデューティ・サイクル動作での低調波発振が防止されます。この機能の 1 つの制約は、インダクタ・リップル電流を 0.2 A ~ 0.5 A に設定して、ループに十分な電流情報を提供する必要があります。

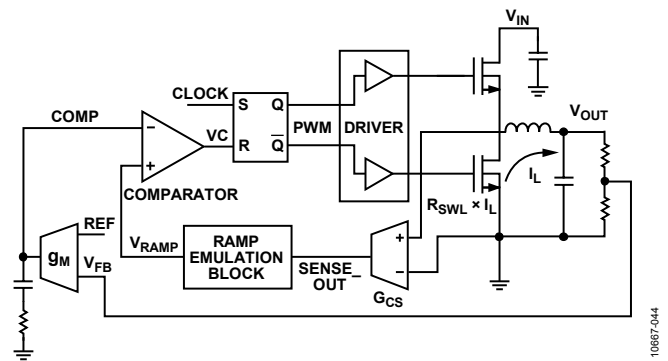


図 52. 制御アーキテクチャのブロック図

パルス・スキップ・モード

ADP2442 のパルス・スキップ・モードは SYNC/MODE ピンを AGND に接続することによってイネーブルされます。このモードでは、軽負荷時にパルス・スキップ回路がオンし、出力電圧をレギュレーション状態に維持するために必要なときだけスイッチングを行います。このモードにより、レギュレータはスイッチング損失を減らすことができるので、軽負荷動作時に高い効率を維持できます。パルス・スキップ回路はコンパレータを内蔵しており、COMP 電圧と固定パルス・スキップ閾値を比較します。

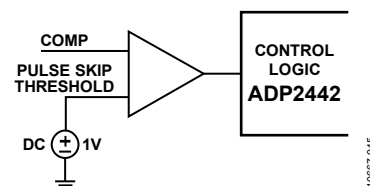


図 53. パルス・スキップ・コンパレータ

軽い負荷では、出力電圧が非常に遅いレートで放電します（負荷に依存）。出力電圧がレギュレーション範囲内にあるときは、デバイスはスリープ・モードになり、静止電源電流は非常に少なくなります。出力電圧がレギュレーション電圧より低くなると、COMP 電圧がパルス・スキップ閾値を超えます。デバイスはウェイクアップしてスイッチングを開始し、出力電圧がレギュレーション範囲内に入るまでスイッチングを続けます。

負荷が大きくなると、COMP 電圧のセトリング値が大きくなります。ある特定の負荷で、COMP はパルス・スキップ閾値より上で安定し、デバイスは固定周波数モードになります。このため、COMP がパルス・スキップ閾値を超えときの負荷電流が、パルス・スキップ電流閾値として定義されます。この値はデューティ・サイクルとインダクタ・リップル電流によって変わります。

V_{IN} に対するパルス・スキップ閾値の測定値を図 19、図 20、図 21 に示します。

調整可能な周波数

ADP2442 の内部発振器の周波数は、FREQ ピンと AGND ピンの間に接続された抵抗を使って設定することができます。

パワーアップ時、FREQ ピンは 1.2 V になり、電流が FREQ ピンから AGND へ流れます。この電流値は FREQ ピンの抵抗値に基づきます。次に、同じ電流が発振器内で複製されて、スイッチング周波数が設定されます。FREQ ピンに接続する抵抗は FREQ ピンのできるだけ近くに配置する必要があります（詳細については、アプリケーション情報のセクションを参照）。

パワーグッド

PGOOD ピンは、出力電圧のステータスを表示するオープン・ドレイン出力です。FB ピンの電圧が内部リファレンス電圧の 92% ~ 109% である場合、プルアップ抵抗が PGOOD ピンに接続されていると、PGOOD 出力がハイ・レベルになります。FB ピンの電圧がこの範囲内でない場合、PGOOD 出力は AGND にプルダウンされます。PGOOD の閾値を図 54 に示します。

同様に、PGOOD ピンは以下の場合に AGND にプルダウンされます。

- 入力電圧が内部 UVLO 閾値より低い。
- EN ピンがロー・レベルである。
- サーマル・シャットダウンが発生した。

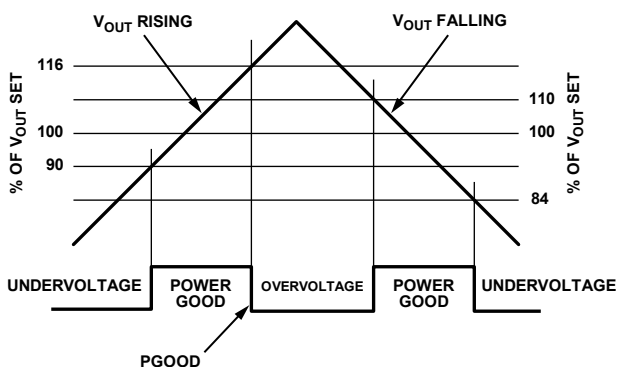


図 54. PGOOD 閾値

一般的なアプリケーションでは、PGOOD ピンと外部電源の間に接続したプルアップ抵抗を使用して、ロジック信号を発生させます。このプルアップ抵抗の値は 30 kΩ ~ 100 kΩ で、外部電源は 5.5 V より低くなければなりません。

動作モード

SYNC/MODE ピンは多機能ピンです。SYNC/MODE ピンを VCC または ロジック・ハイに接続すると、固定周波数モードがイネーブルされます。SYNC/MODE ピンを AGND に接続すると、パルス・スキップ・モードがイネーブルされます。同期化のために外部クロックを印加することができます。

表 5. SYNC/MODE ピンによる動作モード選択

SYNC/MODE Pin	Mode of Operation
Low	Pulse skip mode
High	Forced fixed frequency mode
Clock Signal	Forced fixed frequency mode

外部同期

外部同期機能により、デバイスのスイッチング周波数を外部クロックに同期させることができます。SYNC/MODE 入力は 300 kHz ~ 1 MHz (最小パルス幅 100 ns) のロジック・レベル・クロック入力を許容するとともに、高い入力インピーダンスを備えています。ベスト・プラクティスとしては、(FREQ ピンの抵抗によって設定される)周波数をクロック周波数の期待値から ±30% 以内にするにより、SYNC/MODE の外部クロックの有無にかかわらず安定した信頼できるシームレスな動作を確保することを推奨します。ADP2442 が外部クロックに同期すると、レギュレータのスイッチング周波数は外部クロックの周波数に変わります。

ソフトスタート

ADP2442 のソフトスタート機能により、出力電圧は制御された方法で上昇するため、スタートアップ時の突入電流が制限されます。ADP2442 の内部ソフトスタート時間は 2 ms です。

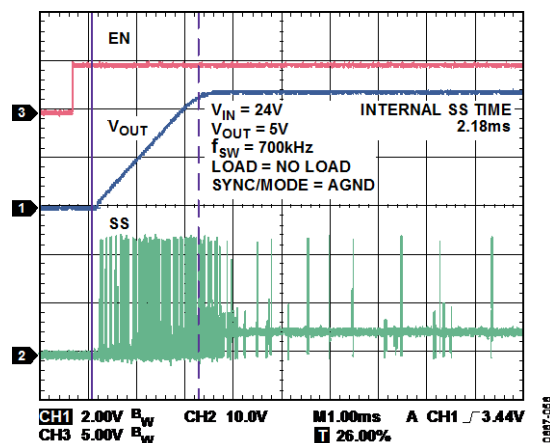


図 55. 内部ソフトスタート

低電圧ロックアウト

低電圧ロックアウト (UVLO) 機能は、入力電圧が規定の動作範囲より低いときにデバイスがオンするのを防ぎ、不要な動作モードを回避します。入力電圧が規定範囲を下回ると、UVLO 機能によってデバイスがシャットオフします。UVLO 機能の入力電圧の上昇時間値は 4.2 V で、200 mV のヒステリシスを備えています。この 200 mV のヒステリシスにより、VIN ピンの電圧がゆっくりランプするときレギュレータがオン/オフを繰り返すのを防ぎます。

高精度イネーブル/シャットダウン

ADP2442 はデバイスのイネーブルまたはシャットダウンに使用できる高精度イネーブル・ピン (EN) を備えています。精度が $\pm 5\%$ であるため、VIN ピン (または別の外部電源) からの抵抗分圧器を使用して、4.2 V の固定内部 UVLO より高い望みの UVLO 閾値を設定することができます。ヒステリシスは 100 mV です。

抵抗分圧器を使用しない場合、代わりにロジック信号を入力することができます。EN をロジック・ハイにするとデバイスがイネーブルされ、ロジック・ローにするとデバイスはシャットダウン・モードになります。

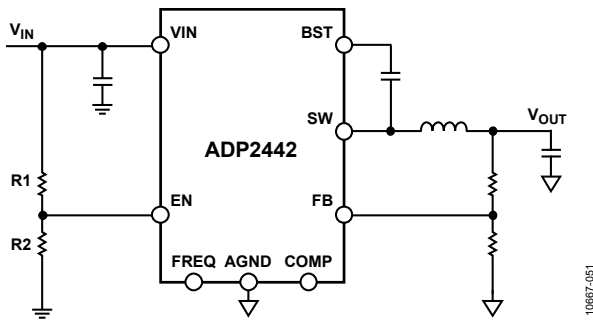


図 56. プログラマブルな UVLO として使用した高精度イネーブル

電流制限と短絡保護

ADP2442 は電流制限コンパレータを内蔵しており、ローサイド・パワー MOSFET で検出された電流と内部で設定されたリファレンス電流を比較します。検出された電流がリファレンス電流を上回ると、ハイサイド・パワー MOSFET は次のサイクルでオンせず、ローサイド・パワー MOSFET はインダクタ電流が電流制限レベルを下回るまでオンのままになります。

出力が過負荷で、かつピーク・インダクタ電流が設定されている電流制限値を連続 8 クロック・サイクル以上の間上回ると、ヒックアップ・モード電流制限状態が発生します。出力は 6 ms 間スリープし、この間に出力が放電し、平均消費電力が減少して、デバイスはソフトスタート期間を伴ってウェイクアップします。電流制限状態が再度発生すると、出力はスリープして、6 ms 後にウェイクアップします。図 37 に、出力がグラウンドに短絡したときの電流制限ヒックアップ・モードを示します。

サーマル・シャットダウン

ADP2442 のジャンクション温度が 150°C を超えると、サーマル・シャットダウン回路によってスイッチング・レギュレータがオフします。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。25°C のヒステリシスがあるため、サーマル・シャットダウンが発生すると、ジャンクション温度が 125°C を下回るまで ADP2442 は通常動作に復帰しません。再起動サイクルに入るたびにソフトスタートがアクティブになります。

アプリケーション情報

ADIsimPOWER デザインツール

ADP2442 は ADIsimPower デザインツール・セットによって支援されています。ADIsimPower は、特定の設計目標に対して最適化された完全な電源設計を生成するためのツールを集めたものです。これらのツールを使用すると、全体回路図、部品表、性能計算が数分で得られます。ADIsimPower は動作条件、IC の制約、実際の全外付け部品を考慮しながら、コスト、面積、効率、部品数について設計を最適化することができます。

ADIsimPower ツールは www.analog.com/adisimpower から入手可能で、部品が未実装のボードも提供可能です。

出力電圧の選択

出力電圧は、出力電圧と FB ピンの間に接続した抵抗分圧器を使って設定されます(図 57 参照)。抵抗分圧器により、出力電圧は 0.6 V の FB レギュレーション電圧まで下がります。出力電圧は、下は 0.6 V から上は入力電源電圧の 90% までの範囲で設定できます。

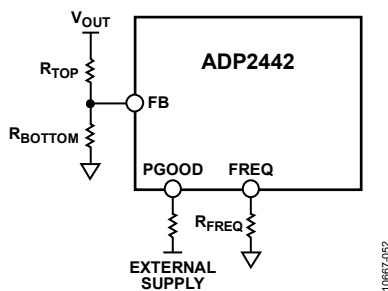


図 57. 分圧器

抵抗分圧器の比によって出力電圧が設定され、抵抗の絶対値によって分圧器のストリング電流が設定されます。分圧器のストリング電流が小さいときに抵抗値を計算する場合、50 nA (最大 0.1 μA) の小さい FB バイアス電流を考慮する必要があります。分圧器のストリング電流が大きいときは FB バイアス電流を無視できますが、小さい帰還抵抗を使うと非常に軽い負荷で効率が低下します。

FB バイアス電流による出力電圧精度の低下を 0.005% (最大 0.5%) 未満に制限するため、分圧器のストリング電流を 20 μA より大きくしてください。望みの抵抗値を計算するときは、まず下側の抵抗値 R_{BOTTOM} を次式で求めます。

$$R_{BOTTOM} = \frac{V_{REF}}{I_{STRING}} \quad (1)$$

ここで、

V_{REF} は内部リファレンス電圧で、0.6 V。

I_{STRING} は抵抗分圧器のストリング電流。

次に、上側の抵抗値 R_{TOP} を次のように計算します。

$$R_{TOP} = R_{BOTTOM} \times \left(\frac{V_{OUT} - V_{REF}}{V_{REF}} \right) \quad (2)$$

表 6. 出力電圧の選択

Voltage (V)	R_{TOP} (kΩ)	R_{BOTTOM} (kΩ)
12	190	10
5	73	10
3.3	45	10
1.2	10	10

スイッチング周波数の設定

スイッチング周波数の選択は、必要な DC/DC 変換比に依存し、制御可能な最小および最大のデューティ・サイクルにより制限されます(図 58)。これは、電流検出と強固な動作のために必要とされる最小オン時間と最小オフ時間のためです。ただし、スイッチング周波数の選択は小型外付け部品の必要度にも影響を受けます。たとえば、面積が制限された小さい電源ソリューションでは、高いスイッチング周波数が必要とされます。

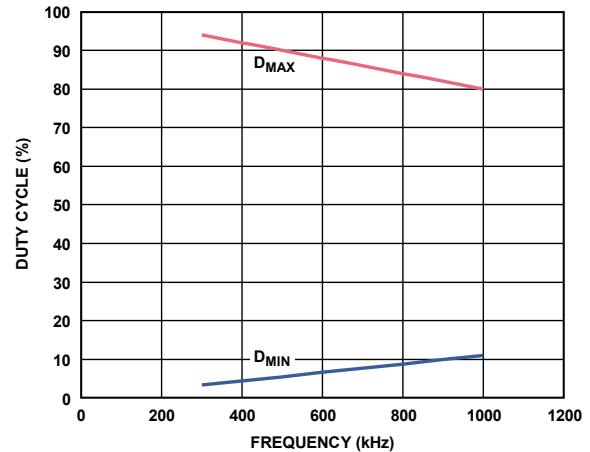


図 58. スwitchング周波数対デューティ・サイクル

次式を使って周波数抵抗値を計算してください。

$$R_{FREQ} = \frac{92,500}{f_{SW}} \quad (3)$$

ここで、 R_{FREQ} は kΩ 単位、 f_{SW} は kHz 単位。

表 7 と図 59 に、スイッチング周波数に基づいた周波数抵抗値の例を示します。

表 7. 周波数抵抗の選択

R_{FREQ}	Frequency
308 kΩ	300 kHz
132 kΩ	700 kHz
92.5 kΩ	1 MHz

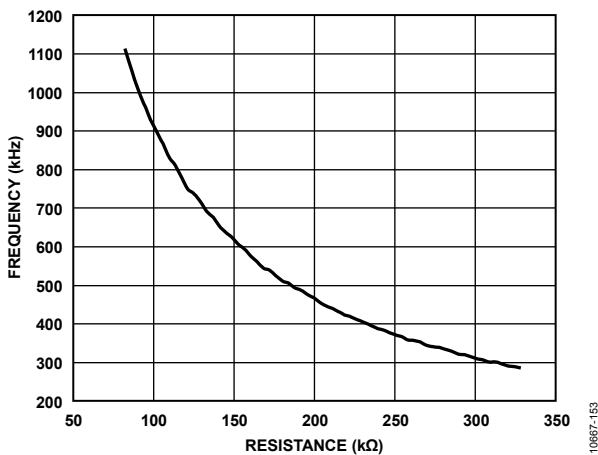


図 59. 抵抗値対周波数

外付け部品の選択

入力コンデンサの選択

降圧レギュレータの入力電流は、本来脈流です。この電流はハイサイド・スイッチがオフのときはゼロになり、スイッチがオンときは負荷電流にほぼ等しくなります。スイッチングは適度に高い周波数(300 kHz ~ 1 MHz)で行われるため、入力バイパス・コンデンサから大部分の高周波電流(リップル電流)が供給されるので、入力電源からは平均(DC)電流のみを供給することができます。入力コンデンサは、入力リップルを処理するのに十分なリップル電流定格と、入力電圧リップルを低減するのに十分小さい ESR をもつ必要があります。多くの場合、異なるタイプのコンデンサを並列接続して実効 ESR と実効 ESL を最小限に抑えます。

特定の負荷に対して要求される最小入力容量は、次式で求めることができます。

$$C_{IN_MIN} = \frac{I_{OUT} \times D \times (1-D)}{(V_{PP} - I_{OUT} \times D \times R_{ESR}) f_{SW}} \quad (4)$$

ここで、

V_{PP} は所要の入力リップル電圧。

R_{ESR} はコンデンサの等価直列抵抗。

I_{OUT} は最大負荷電流。

D はデューティ・サイクル。

f_{SW} はスイッチング周波数。

ベスト・プラクティスとしては、セラミック・バイパス・コンデンサの ESR はほぼゼロであるため、このタイプのコンデンサを使用してください。この場合、式は次のように簡単になります。

$$C_{IN_MIN} = \frac{I_{OUT} \times D \times (1-D)}{V_{PP} \times f_{SW}} \quad (5)$$

さらに、入力電圧の 1.5 倍の電圧定格をもつ X5R および X7R 誘電体セラミック・コンデンサを使用してください。Y5V 誘電体と Z5U 誘電体は温度特性と DC バイパス特性が十分でないため推奨されません。表 10 に、推奨 MLCC コンデンサの一覧を示します。

大きなステップ負荷過渡の場合は、電解コンデンサまたはポリマー・コンデンサを使ってバルク容量を追加します。バルク・コンデンサのリップル電流定格が特

Rev. 0

定の設計の最小入力リップル電流よりも大きいことを確認してください。

インダクタの選択

ADP2442 のスイッチング周波数は高いため、小さいインダクタを使用しても、出力電圧リップルを小さくすることができます。インダクタ・サイズの選択には、効率と過渡応答の間のトレードオフが関係します。インダクタを小さくすると、インダクタ・リップル電流が大きくなるため、優れた過渡応答が得られませんが、効率が低下します。ADP2442 はスイッチング周波数が高いため、シールドされたフェライト・コア・インダクタの使用が推奨されます。これは、コア損失と EMI が小さいためです。

また、インダクタ・リップル電流はループの安定性にも影響を与えます。これは、ADP2442 が疑似ピーク電流モード・アーキテクチャを採用しているためです。スロープ補償の従来型手法では、インダクタ・リップル電流を設定した後に、外付けランプ抵抗を使ってスロープ補償を設定します。多くの場合、インダクタ・リップル電流は一般に、最適な過渡応答と効率を得るために最大負荷電流の 1/3 に設定されます。ADP2442 はスロープ補償回路を内蔵し、ここではインダクタ・リップル電流を 0.3 A (最大負荷 1A の 30%) に設定して、外付けランプ抵抗を不要にします。

ADP2442 の場合、安定動作のためにインダクタのピーク to ピーク・リップル電流が 0.2 A ~ 0.5 A となるようにインダクタを選択してください。したがって、インダクタ値は次のように計算されます。

$$\Delta I_L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times L} \quad (6)$$

$$0.2 \text{ A} \leq \Delta I_L \leq 0.5 \text{ A}$$

$$\frac{2 \times V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW}} \leq L \leq \frac{5 \times V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW}}$$

$$L_{IDEAL} = \frac{3.3 \times V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW}} \quad (7)$$

ここで、

V_{IN} は入力電圧。

V_{OUT} は所要の出力電圧。

f_{SW} はレギュレータのスイッチング周波数。

L はインダクタ値。

ΔI_L はピーク to ピーク・インダクタ・リップル電流。

L_{IDEAL} は計算された理想インダクタ値。

広い入力(V_{IN}) 範囲を持つアプリケーションでは、入力電圧の限界値の幾何平均 ($V_{IN(GEOMETRIC)}$) に基づいてインダクタを選択してください。

$$V_{IN(GEOMETRIC)} = \sqrt{V_{IN_MAX} \times V_{IN_MIN}} \quad (8)$$

ここで、

V_{IN_MAX} は最大入力電圧。

V_{IN_MIN} は最小入力電圧。

$V_{IN(GEOMETRIC)}$ に基づくインダクタ値は次式で与えられます。

$$L_{IDEAL} = \frac{3.3 \times V_{OUT} \times (V_{IN(GEOMETRIC)} - V_{OUT})}{V_{IN(GEOMETRIC)} \times f_{SW}} \quad (9)$$

表 8. 様々な V_{IN} 、 V_{OUT} 、 f_{SW} の組み合わせに対するインダクタ値

f_{SW} (kHz)	V_{IN} (V)	V_{OUT} (V)	Inductor Values	
			Min (μ H)	Max (μ H)
300	12	3.3	22	27
300	12	5	27	33
300	24	3.3	27	33
300	24	5	39	47
300	24	12	56	68
300	36	3.3	27	33
300	36	5	39	47
300	36	12	68	82
600	12	3.3	12	15
600	12	5	15	18
600	24	3.3	15	18
600	24	5	18	22
600	24	12	27	33
600	36	3.3	15	18
600	36	5	22	27
1000	12	5	6.8	10
1000	24	5	10	12
1000	24	12	18	22
1000	36	5	12	15

インダクタの飽和を防止し、正常動作を保証するため、飽和電流値と最大温度定格電流値を超えないようにインダクタ値を選択してください。インダクタ・メーカーは、これらの定格をデータシートに記載しています。あるいは、定格を次式で計算することができます。

$$I_{L_PEAK} = I_{LOAD(MAX)} + \frac{\Delta I_L}{2} \quad (10)$$

ここで、 $I_{LOAD(MAX)}$ は最大 DC 負荷電流。
 ΔI_L はピーク to ピーク・インダクタ・リップル電流。
 I_{L_PEAK} はピーク・インダクタ電流。

表 9. 推奨インダクタ

Value (μ H)	Small Inductors (<10 mm × 10 mm)	Large Inductors (>10 mm × 10 mm)
10	XAL4040-103ME	MSS1260
18	LPS6235-183ML	MSS1260
33	LPS6235-33ML	MSS1260
15	XAL4040-153ME	MSS1260

出力コンデンサの選択

出力コンデンサの選択は、出力電圧リップルとレギュレータのループ動作に影響を与えます。ADP2442 は、ESR と ESL が小さい小型セラミック出力コンデンサで動作するように設計されています。このため、このデバイスは厳しい出力電圧リップル仕様を容易に満たすことができます。最適性能を得るため、電圧定格が出力電圧の 1.5 倍の X5R または X7R 誘電体コンデンサを使用してください。Y5V および Z5U 誘電体コンデンサは温度特性と DC バイアス特性が良くないので、使用

しないでください。Murata 社と Taiyo Yuden 社製の推奨コンデンサを表 10 に示します。

表 10. 推奨出力コンデンサ

Capacitor	Vendor	
	Murata	Taiyo Yuden
10 μ F/25 V	GRM32DR71E106KA12L	TMK325B7106KN-TR
22 μ F/25 V	GRM32ER71E226KE15L	TMK325B7226MM-TR
47 μ F/6.3 V	GCM32ER70J476KE19L	JMK325B7476MM-TR
4.7 μ F/50 V	GRM31CR71H475KA12L	UMK325B7475MM-T

最大許容出力電圧リップルに対して、最小出力容量 $C_{OUT(MIN)}$ を次式で求めます。

$$\Delta V_{RIPPLE} \cong \Delta I_L \times \left(ESR + \frac{1}{8 \times f_{SW} \times C_{OUT(MIN)}} \right) \quad (11)$$

したがって、

$$C_{OUT(MIN)} \cong \frac{\Delta I_L}{8 \times f_{SW} \times (\Delta V_{RIPPLE} - \Delta I_L \times ESR)} \quad (12)$$

ここで、 ΔV_{RIPPLE} は許容ピーク to ピーク出力電圧リップル。
 ΔI_L はインダクタ・リップル電流。
 ESR はコンデンサの等価直列抵抗。
 f_{SW} はレギュレータのスイッチング周波数。

ステップ負荷要件がある場合は、ステップ負荷の値をもとに出力コンデンサ値を選択してください。ステップ負荷による最大許容出力電圧ドループ/オーバーシュートは、次式のようになります。

$$C_{OUT(MIN)} \cong \Delta I_{OUT(STEP)} \times \left(\frac{3}{f_{SW} \times \Delta V_{DROOP}} \right) \quad (13)$$

ここで、 $\Delta I_{OUT(STEP)}$ は負荷ステップ。
 f_{SW} はレギュレータのスイッチング周波数。
 ΔV_{DROOP} は最大許容出力電圧ドループ/オーバーシュート。
 式 12 と式 13 で与えられる出力容量の大きいほうを選択してください。レギュレータの出力フィルタとして使用するセラミック・コンデンサのタイプを選択する際は、公称容量が計算値より 20% ~ 30% 大きいものを選択してください。これは、実効容量が DC 電圧と温度とともに低下するためです。図 60 に、Murata 社製の 2 種類の X7R MLCC コンデンサについて、DC バイアス電圧の上昇による容量低下を示します。

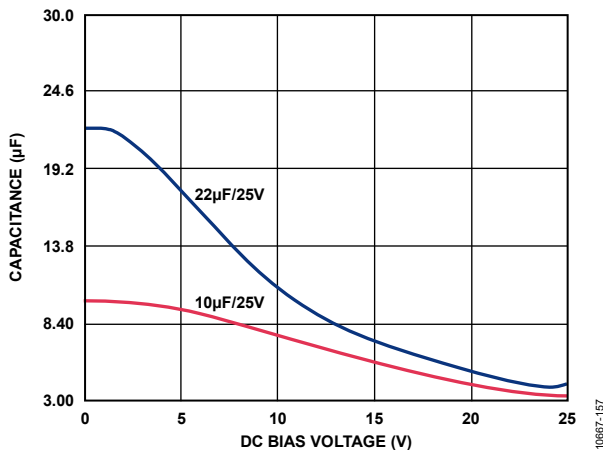


図 60. DC バイアス電圧対容量

たとえば、出力電圧 5 V で温度変動に対して余裕を持たせて出力容量 20 μF を得るためには、電圧定格 25 V の 22 μF コンデンサと電圧定格 25 V の 10 μF コンデンサを並列接続して使用してください。この構成により、すべての条件で十分な出力容量が得られるため、デバイスの動作は安定します。

ブースト・コンデンサ

ブースト・ピン(BST)を使って、ハイサイド・パワー MOSFET の内蔵ドライバをパワーアップさせます。ADP2442 では、ハイサイド・パワー MOSFET が N チャンネル素子であるため、中および高デューティ・サイクルのアプリケーションで高い効率を実現します。ハイサイド・ドライバをパワーアップさせるためには、BST ピンと SW ピンの間にコンデンサが必要です。このブースト・コンデンサのサイズは、軽負荷時のデバイスの機能と効率に影響を与えるので非常に重要です。このため、電圧定格 50 V の 10 nF ~ 22 nF のセラミック・ブースト・コンデンサを選択し、このコンデンサをデバイスのできるだけ近くに配置してください。22 nF より大きいコンデンサを使用すると LDO が電流制限閾値に達する恐れがあるので、10 nF ~ 22 nF のブースト・コンデンサを使用することを推奨します。

VCC コンデンサ

ADP2442 は内部コントローラとローサイド・ドライバをパワーアップさせるレギュレータを内蔵しています。VCC ピンは内部レギュレータの出力です。内部レギュレータは、ローサイド・ドライバがオンするときにパルス電流を供給します。このため、1 μF のセラミック・コンデンサを VCC ピンと PGND ピンの間にデバイスにできるだけ近づけて接続し、1 μF のセラミック・コンデンサを VCC ピンと AGND ピンの間に接続することを推奨します。

ループ補償

ADP2442 では優れた負荷およびライン過渡応答のためにピーク電流モード制御アーキテクチャを採用しています。この制御アーキテクチャには、内側の電流ループと外側の電圧ループの 2 つのループがあります。

内側の電流ループはローサイド・スイッチの電流を検出し、デューティ・サイクルを制御して平均インダクタ電流を維持します。内側の電流ループにスロープ補償を追加して、デューティ・サイクルが 50% より高いときの安定動作を保證しています。

外側の電圧ループは出力電圧を検出し、デューティ・サイクルを調節して出力電圧を所望の値にレギュレーションします。図 61 に示すように、COMP ピンに接続された外付け直列 RC ネットワークを持つトランスコンダクタンス・アンプにより、外側の電圧ループを補償します。

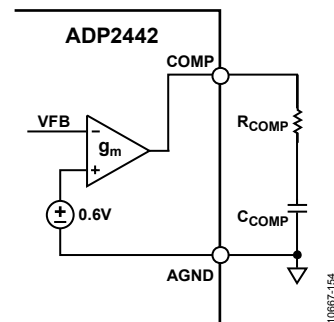


図 61. RC 補償ネットワーク

ループ補償の大信号解析

制御ループは、次の 3 つのセクションに分割することができます。

- $V_{\text{OUT}} \sim V_{\text{COMP}}$
- $V_{\text{COMP}} \sim I_{\text{L}}$
- $I_{\text{L}} \sim V_{\text{OUT}}$

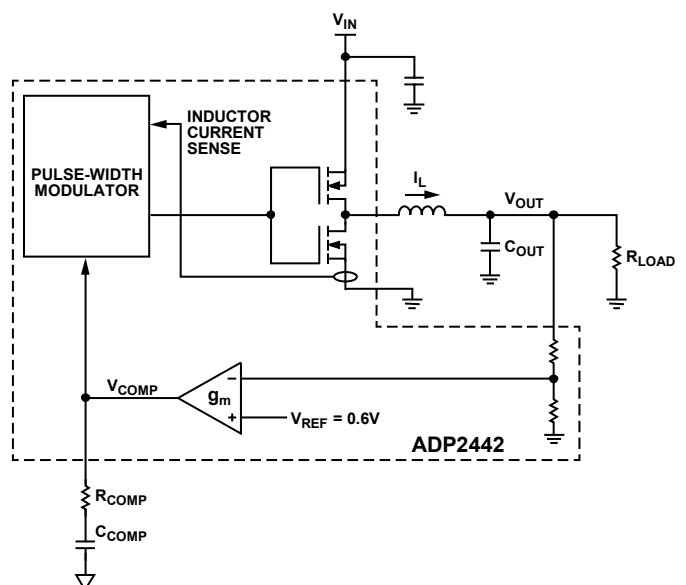


図 62. 大信号モデル

これに対応して、次の3つの伝達関数が存在します。

$$\frac{V_{COMP}(s)}{V_{OUT}(s)} = \frac{V_{REF}}{V_{OUT}} \times g_m \times Z_{COMP}(s) \quad (14)$$

$$\frac{I_L(s)}{V_{COMP}(s)} = G_{CS} \quad (15)$$

$$\frac{V_{OUT}(s)}{I_L(s)} = Z_{FLT}(s) \quad (16)$$

ここで、

V_{COMP} はコンパレータ電圧。

I_L はインダクタ電流。

g_m は誤差アンプのトランスコンダクタンスで、 $250 \mu\text{A/V}$ 。

G_{CS} は電流検出ゲインで、 2 A/V 。

V_{OUT} はレギュレータの出力電圧。

V_{REF} は内部リファレンス電圧で、 0.6 V 。

$Z_{COMP}(s)$ は RC 補償ネットワークのインピーダンス。この RC 補償ネットワークは式 17 に示すように原点での極とゼロ点を形成します。

$$Z_{COMP}(s) = \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times C_{COMP}} \quad (17)$$

$Z_{FLT}(s)$ は出力フィルタのインピーダンスで、次式により表されます。

$$Z_{FLT}(s) = \frac{R_{LOAD}}{1 + s \times R_{LOAD} \times C_{OUT}} \quad (18)$$

ここで、 s は角周波数で、 $s = 2\pi f$ と表されます。

ループ全体のゲイン $H(s)$ は、次式のように前述の3つの伝達関数を乗算して得られます。

$$H(s) = g_m \times G_{CS} \times \frac{V_{REF}}{V_{OUT}} \times Z_{COMP}(s) \times Z_{FLT}(s) \quad (19)$$

スイッチング周波数(f_{sw})、出力電圧 (V_{OUT})、出力インダクタ (L)、出力コンデンサ (C_{OUT}) の値を選択する際、ユニティ・クロスオーバー周波数はスイッチング周波数の $1/12$ に設定することができます。

クロスオーバー周波数で、オープン・ループ伝達関数のゲインは 1 になります。

$$H(f_{CROSSOVER}) = 1 \quad (20)$$

これにより、クロスオーバー周波数での RC 補償ネットワークのインピーダンスの式 21 が得られます。

$$Z_{COMP}(f_{CROSSOVER}) = \frac{2 \times \pi \times f_{CROSSOVER} \times C_{OUT}}{g_m \times G_{CS}} \times \frac{V_{OUT}}{V_{REF}} \quad (21)$$

式 17 で $s = f_{CROSSOVER}$ とすると、次式のようにになります。

$$Z_{COMP}(f_{CROSSOVER}) = \frac{1 + 2 \times \pi \times f_{CROSSOVER} \times R_{COMP} \times C_{COMP}}{2 \times \pi \times f_{CROSSOVER} \times C_{COMP}} \quad (22)$$

クロスオーバー周波数で十分な位相マージンを確保するためには、次式に示すように、補償ゼロ点をクロスオーバー周波数の $1/8$ に配置します。

$$f_{ZERO} = \frac{1}{2 \times \pi \times R_{COMP} \times C_{COMP}} \approx \frac{f_{CROSSOVER}}{8} \quad (23)$$

式 21、式 22、式 23 を解くと、RC 補償ネットワークの抵抗とコンデンサの値は式 24 と式 25 のようになります。

$$R_{COMP} = 0.9 \times \frac{2 \times \pi \times f_{CROSSOVER} \times C_{OUT} \times V_{OUT}}{g_m \times G_{CS} \times V_{REF}} \quad (24)$$

$$C_{COMP} = \frac{1}{2 \times \pi \times f_{ZERO} \times R_{COMP}} \quad (25)$$

これらの式を使うと、電圧ループに対する補償を計算することができます。

設計例

アプリケーションは次の仕様を持つものとします。

- V_{IN} : 24 V \pm 10%
- V_{OUT} : 5 V \pm 1%
- スイッチング周波数: 700 kHz
- 負荷: 800 mA (typ)
- 最大負荷電流: 1 A
- すべての負荷過渡条件においてオーバーシュート \leq 2%

設定と部品の選択

抵抗分圧器

外付け部品選択の最初のステップは、出力電圧を設定する抵抗分圧器の抵抗の計算です。

式1と式2から、

$$R_{BOTTOM} = \frac{V_{REF}}{I_{STRING}} = \frac{0.6}{60 \mu A} = 10 \text{ k}\Omega$$

$$R_{TOP} = R_{BOTTOM} \times \left(\frac{V_{OUT} - V_{REF}}{V_{REF}} \right)$$

$$R_{TOP} = 10 \text{ k}\Omega \times \left(\frac{5 \text{ V} - 0.6 \text{ V}}{0.6 \text{ V}} \right) = 73.3 \text{ k}\Omega$$

スイッチング周波数

スイッチング周波数の選択には、効率と部品サイズの間のトレードオフが関係します。低周波ではゲート損失が小さくなるので効率が良くなりますが、大型のインダクタが必要になります。高周波の選択は、最小と最大のデューティ・サイクルで制限されます。

表 11. デューティ・サイクル

V_{IN}	Duty Cycle
24 V (Nominal)	$D_{NOMINAL} = 20.8\%$
26 V (10% Above Nominal)	$D_{MIN} = 19\%$
22 V (10% Less than Nominal)	$D_{MAX} = 23\%$

計算したデューティ・サイクル範囲に基づき、最小と最大のデューティ・サイクル制限に従って、スイッチング周波数を選択します (図 58 参照)。たとえば、周波数 700 kHz は最大と最小のデューティ・サイクル制限内にあります。

式3から、

$$R_{FREQ} = \frac{92,500}{f_{SW}}$$

$$R_{FREQ} = 132 \text{ k}\Omega$$

インダクタの選択

式7を使ってインダクタを選択します。

$$L_{IDEAL} = \frac{3.3 \times V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW}}$$

$$L_{IDEAL} = \frac{3.3 \times 5 \text{ V} \times (24 - 5) \text{ V}}{24 \text{ V} \times 700 \text{ kHz}} = 18.66 \mu\text{H} \approx 18.3 \mu\text{H}$$

式7で、 $V_{IN} = 24 \text{ V}$ 、 $V_{OUT} = 5 \text{ V}$ 、 $I_{LOAD(MAX)} = 1 \text{ A}$ 、 $f_{SW} = 700 \text{ kHz}$ とすると、 $L = 18.66 \mu\text{H}$ が得られます。式6で $L = 18 \mu\text{H}$ (最も近い標準値) とすると、 $\Delta I_L = 0.314 \text{ A}$ になります。必要とされる最大出力電流は 1 A ですが、最大ピーク電流は 1.6 A です。このため、インダクタの定格電流は 1.6 A より大きくなければなりません。

入力コンデンサの選択

入力フィルタは、デバイスのできるだけ近くに配置された小型の 0.1 μF セラミック・コンデンサで構成されます。

特定の負荷に対して要求される最小入力容量は、次式で求められます。

$$C_{IN_MIN} = \frac{I_{OUT} \times D \times (1 - D)}{V_{PP} \times f_{SW}}$$

ここで、

$$V_{PP} = 50 \text{ mV}.$$

$$I_{OUT} = 1 \text{ A}.$$

$$D = 0.23.$$

$$f_{SW} = 700 \text{ kHz}.$$

したがって、

$$C_{IN_MIN} = \frac{1 \text{ A} \times 0.22 \times (1 - 0.22)}{0.05 \text{ V} \times 700 \text{ kHz}} \approx 4.9 \mu\text{F}$$

電圧定格 50 V の 10 μF 入力コンデンサを選択すると、電圧と温度に対して十分な容量が確保されます。

出力コンデンサの選択

式12と式13から出力コンデンサを選択します。

$$C_{OUT(MIN)} \cong \frac{\Delta I_L}{8 \times f_{SW} \times (\Delta V_{RIPPLE} - \Delta I_L \times ESR)}$$

式12は出力電圧リップル (ΔV_{RIPPLE}) に基づいています。 ΔV_{RIPPLE} は出力電圧の 1% です。

$$C_{OUT(MIN)} \cong \Delta I_{OUT(STEP)} \left(\frac{3}{f_{SW} \times \Delta V_{DROOP}} \right)$$

式13では、2%の過渡負荷性能条件に基づいてコンデンサの選択を計算します。これらの計算を実行した後、コンデンサを選択する際により大きなコンデンサ・サイズが得られる式を使います。

この例では、表 12 に示す値を式 12 と式 13 の変数に代入します。

表 12. 条件

Parameter	Test Conditions/Comments	Value
Ripple Current	Fixed at 0.3 A for the ADP2442	0.3 A
Voltage Ripple	1% of V_{OUT}	50 mV
Voltage Droop Due to Load Transient	2% of V_{OUT}	100 mV
ESR		5 m Ω
f_{SW}		700 kHz

出力電圧リップル(式 12)に基づく計算は、最小出力容量が次式で表されることを示しています。

$$C_{OUT(MIN)} \cong \frac{0.3 \text{ A}}{8 \times 700 \text{ kHz} \times (50 \text{ mV} - 0.3 \text{ A} \times 5 \text{ m}\Omega)} = 1.1 \mu\text{F}$$

一方、過渡負荷に基づく計算(式 13)は、最小出力容量が次式で表されることを示しています。

$$C_{OUT(MIN)} \cong 0.5 \times \frac{3}{700 \text{ kHz} \times 0.1 \text{ V}} \approx 22 \mu\text{F}$$

両方の条件を満たすため、後者の式で求めた値を使います。図 60 に示すように、容量は DC バイアス電圧の上昇とともに低下するため、計算値の 1.5 倍のコンデンサを選択します。

$$C_{OUT} = 1.5 \times 22 \mu\text{F} = 32 \mu\text{F}$$

補償の選択

次式を使って、帰還ループの補償部品値を計算します。

$$R_{COMP} = 0.9 \times \frac{2 \times \pi \times f_{CROSSOVER}}{g_m \times G_{CS}} \times \frac{C_{OUT} \times V_{OUT}}{V_{REF}}$$

$$C_{COMP} = \frac{1}{2 \times \pi \times f_{ZERO} \times R_{COMP}}$$

クロスオーバー周波数をスイッチング周波数の 1/12 に設定し、ゼロ周波数をクロスオーバー周波数の 1/8 に設定すると、システムに十分な位相マージンを確保することができます。

表 13. パラメータの計算値

Parameter	Test Conditions/Comments	Value
$f_{CROSSOVER}$	1/12 of f_{SW}	58.3 kHz
f_{ZERO}	1/8 of $f_{CROSSOVER}$	7.3 kHz
V_{REF}	Fixed reference	0.6 V
g_m	Transconductance of error amplifier	250 $\mu\text{A/V}$
G_{CS}	Current sense gain	2 A/V
C_{OUT}	Output capacitor	22 μF
V_{OUT}	Output voltage	5 V

表 13 に示す値を使って、補償値を次のように計算します。

$$R_{COMP} = 0.9 \times \frac{2 \times \pi \times 58.3}{250 \times 2} \times \frac{22 \times 5}{0.6} \approx 121 \text{ k}\Omega$$

最も近い標準抵抗値は 118 k Ω です。したがって、次のようになります。

$$C_{COMP} = \frac{1}{2 \times \pi \times 7.3 \times 118} = 185 \text{ pF} \approx 180 \text{ pF}$$

システム構成

システムを次のように構成します。ステップは順不同ですが、すべて完了しなければなりません。

- 1 μF のコンデンサを VCC ピンと PGND ピンの間に、別の 1 μF コンデンサを VCC ピンと AGND ピンの間に、それぞれ接続します。最適性能を得るため、電圧定格 25 V の X5R または X7R セラミック・コンデンサを使用します。
- 電圧定格 50 V の 10 nF セラミック・コンデンサを BST ピンと SW ピンの間に接続します。
- FREQ ピンと AGND ピンの間にデバイスにできるだけ近づけて抵抗を接続します。
- パワーグッド機能を使う場合、50 k Ω のプルアップ抵抗を 5 V の外部電源に接続します。
- 外部同期を行うためには、周波数 700 kHz の外部クロックを SYNC/MODE ピンに接続します。パルス・スキップ・モードをアクティブにするためには外部クロックを AGND に接続し、強制固定周波数モードにするためには VCC に接続します。

この設計例の回路図については図 63 を、部品の計算値については表 14 を、それぞれ参照してください。

代表的なアプリケーション回路

デザイン例

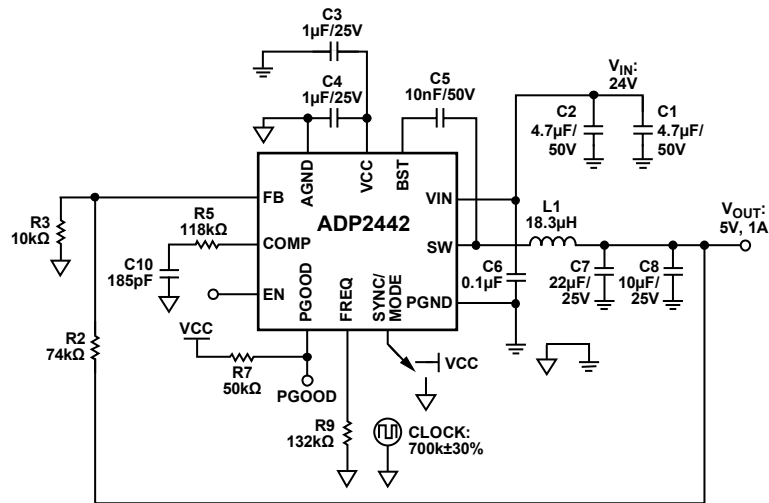
図 63. 代表的なアプリケーション回路、 $V_{IN} = 24\text{ V} \pm 10\%$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$

表 14. 図 63 に対する部品の計算値

Quantity	Reference	Value	Description	Part Number
2	C1, C2	4.7 μF	Capacitor ceramic, X7R, 50 V	GRM31CR71H475KA12L
2	C3, C4	1 μF	Capacitor ceramic, 1 μF , 25 V, X7R, 10%, 0603	GRM188R71E105KA12D
2	C5	10 nF	Capacitor ceramic, 10 nF, 50 V, 10%, X7R, 603	ECJ-1VB1H103K
1	C7	22 μF	Capacitor ceramic, 22 μF , 25 V, X7R, 1210	GRM32ER71E226K
1	C8	10 μF	Capacitor ceramic, 10 μF , 25 V, X7R, 1210	GRM32DR71E106KA12L
1	L1	18.3 μH	Inductor	CoilCraft MSS1260T-183NLB
1	C6	0.1 μF	Capacitor ceramic, 0.1 μF , 50 V, X7R, 0805	ECJ-2FB1H104K
1	C10	185 pF	Capacitor ceramic, 50 V	Determined by user
1	R9	132 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R5	118 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R2	74 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
2	R3	10 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R7	50 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user

その他の代表的な回路構成

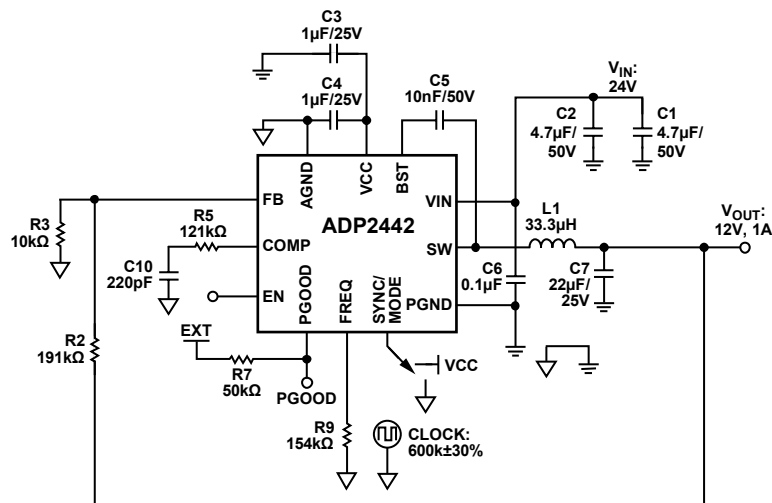
図 64. 代表的なアプリケーション回路、 $V_{IN} = 24\text{ V} \pm 10\%$ 、 $V_{OUT} = 12\text{ V}$ 、 $f_{sw} = 600\text{ kHz}$

表 15. 図 64 に対する部品の計算値

Quantity	Reference	Value	Description	Part Number
2	C1, C2	4.7 μF	Capacitor ceramic, X7R, 50 V	GRM31CR71H475KA12L
2	C3, C4	1 μF	Capacitor ceramic, 1 μF , 25 V, X7R, 10%, 0603	GRM188R71E105KA12D
2	C5	10 nF	Capacitor ceramic, 10000 pF, 50 V, 10%, X7R, 0603	ECJ-1VB1H103K
1	C7	22 μF	Capacitor ceramic, 22 μF , 25 V, X7R, 1210	GRM32ER71E226K
1	C8	N/A ¹	N/A ¹	N/A ¹
1	L1	33.3 μH	Inductor	CoilCraft MSS1038-333ML
1	C6	0.1 μF	Capacitor ceramic, 0.1 μF , 50 V, X7R, 0805	ECJ-2FB1H104K
1	C10	220 pF	Capacitor ceramic, 50 V	Determined by user
1	R9	154 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R5	121 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R2	191 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
2	R3	10 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R7	50 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user

¹ N/A は適用なしを表します。

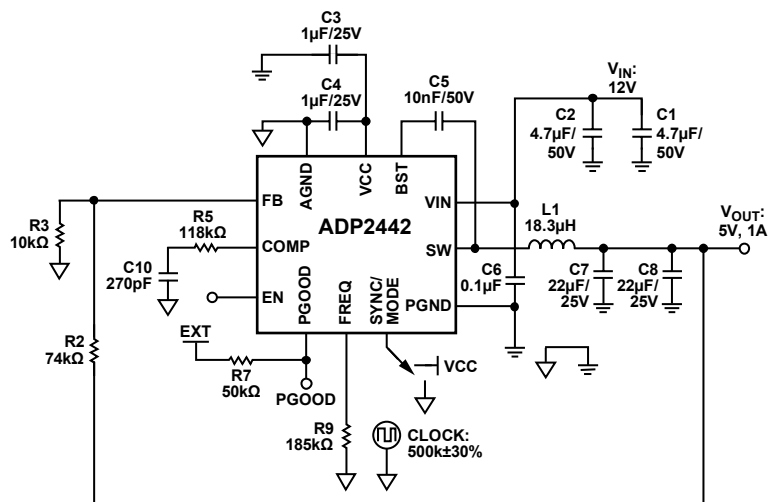


図 65. 代表的なアプリケーション回路、 $V_{IN} = 12\text{ V} \pm 10\%$ 、 $V_{OUT} = 5\text{ V}$ 、 $f_{SW} = 500\text{ kHz}$

表 16. 図 65 に対する部品の計算値

Quantity	Reference	Value	Description	Part Number
2	C1, C2	4.7 μF	Capacitor ceramic, X7R, 50 V	GRM31CR71H475KA12L
2	C3, C4	1 μF	Capacitor ceramic, 1 μF , 25 V, X7R, 10%, 0603	GRM188R71E105KA12D
2	C5	10 nF	Capacitor ceramic, 10 nF, 50 V, 10%, X7R, 0603	ECJ-1VB1H103K
1	C7	22 μF	Capacitor ceramic, 22 μF , 25 V, X7R, 1210	GRM32ER71E226K
1	C8	22 μF	Capacitor ceramic, 22 μF , 25 V, X7R, 1210	Determined by user
1	L1	18.3 μH	Inductor	CoilCraft MSS1038-183ML
1	C6	0.1 μF	Capacitor ceramic, 0.1 μF , 50 V, X7R, 0805	ECJ-2FB1H104K
1	C10	270 pF	Capacitor ceramic, 50 V	Determined by user
1	R9	185 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R5	118 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R2	74 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R3	10 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R7	50 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user

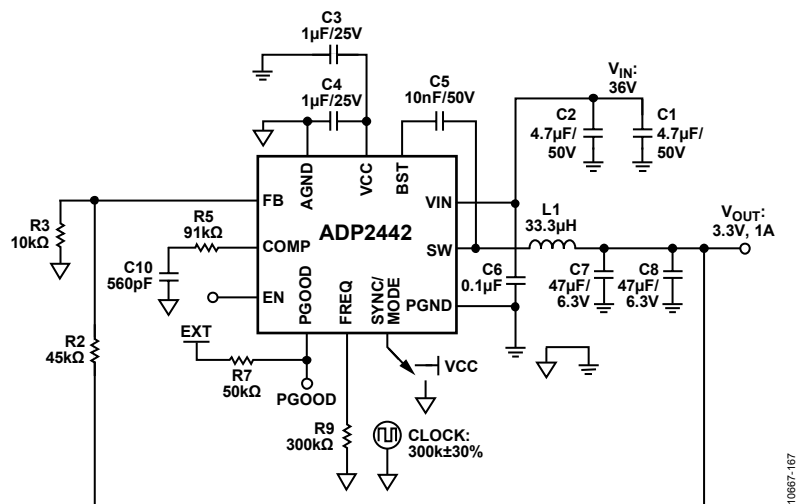


図 66. 代表的なアプリケーション回路、 $V_{IN} = 36\text{ V} \pm 10\%$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 300\text{ kHz}$

表 17. 図 66 に対する部品の計算値

Quantity	Reference	Value	Description	Part Number
2	C1, C2	4.7 μF	Capacitor ceramic, X7R, 50 V	GRM31CR71H475KA12L
2	C3, C4	1 μF	Capacitor ceramic, 1 μF , 25 V, X7R, 10%, 0603	GRM188R71E105KA12D
2	C5	10 nF	Capacitor ceramic, 10 nF, 50 V, 10%, X7R, 0603	ECJ-1VB1H103K
1	C7	47 μF	Capacitor ceramic, 47 μF , 6.3 V, X7R, 1210	GRM32ER70J476KE20L
1	C8	47 μF	Capacitor ceramic, 47 μF , 6.3 V, X7R, 1210	GRM32ER70J476KE20L
1	L1	33.3 μH	Inductor	CoilCraft MSS1038T-333ML
1	C6	0.1 μF	Capacitor ceramic, 0.1 μF , 50 V, X7R, 0805	ECJ-2FB1H104K
1	C10	560 pF	Capacitor ceramic, 50 V	Determined by user
1	R9	300 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R5	91 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R2	45 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R3	10 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R7	50 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user

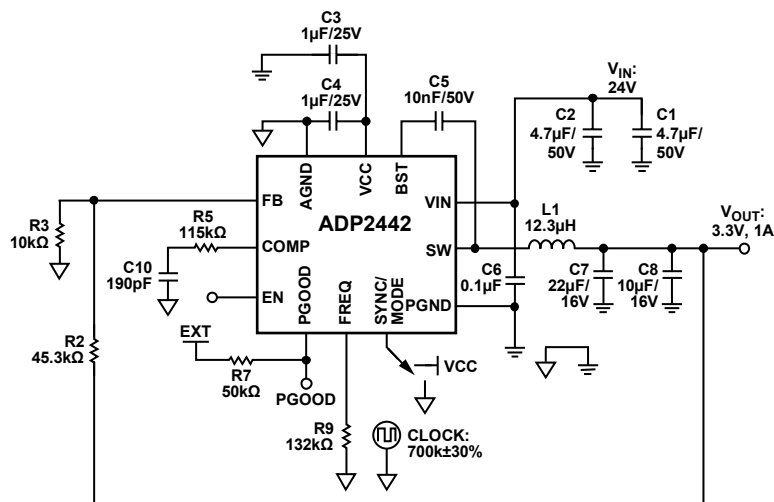


図 67. 代表的なアプリケーション回路、 $V_{IN} = 24\text{ V} \pm 10\%$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 700\text{ kHz}$

表 18. 図 67 に対する部品の計算値

Quantity	Reference	Value	Description	Part Number
2	C1, C2	4.7 μF	Capacitor ceramic, X7R, 50 V	GRM31CR71H475KA12L
2	C3, C4	1 μF	Capacitor ceramic, 1 μF , 25 V, X7R, 10%, 0603	GRM188R71E105KA12D
2	C5	10 nF	Capacitor ceramic, 10 nF, 50 V, 10%, X7R, 0603	ECJ-1VB1H103K
1	C7	22 μF	Capacitor ceramic, 22 μF , 16 V, X7R, 1210	GRM32ER71C226KEA8L
1	C8	10 μF	Capacitor ceramic, 10 μF , 25 V, X7R, 1210	GRM32DR71E106KA12L
1	L1	12.3 μH	Inductor	CoilCraft MSS1038T-123ML
1	C6	0.1 μF	Capacitor ceramic, 0.1 μF , 50 V, X7R, 0805	ECJ-2FB1H104K
1	C10	190 pF	Capacitor ceramic, 50 V	Determined by user
1	R9	132 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R5	115 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R2	45.3 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R3	10 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user
1	R7	50 k Ω	Resistor, 1/10 W, 1%, 0603, SMD	Determined by user

消費電力と熱に関する検討事項

消費電力

DC/DC レギュレータの効率は次式で表されます。

$$\text{Efficiency} = \frac{P_{OUT}}{P_{IN}} \times 100\% \quad (26)$$

ここで、
 P_{IN} は入力電力。
 P_{OUT} は出力電力。

DC/DC レギュレータの電力損失は次のようになります。

$$P_{LOSS} = P_{IN} - P_{OUT}$$

DC/DC レギュレータの電力損失の主な原因には次の 4 つがあります。

- インダクタ損失
- パワー・スイッチ伝導損失
- スイッチング損失
- 遷移損失

インダクタ損失

インダクタの伝導損失は、インダクタの DCR (内部抵抗) を流れる電流に起因します。インダクタの電力損失 (コア損失を除く) は次のようになります。

$$P_L = I_{OUT}^2 \times DCR_L \quad (27)$$

パワー・スイッチ伝導損失

パワー・スイッチ伝導損失は、内部抵抗 $R_{DS(ON)}$ を持つ N チャンネル MOSFET パワー・スイッチを流れる出力電流 I_{OUT} に起因します。電力損失の大きさは次式で近似できます。

$$P_{COND} = [R_{DS(ON) - HIGH SIDE} \times D + R_{DS(ON) - LOW SIDE} \times (1 - D)] \times I_{OUT}^2 \quad (28)$$

スイッチング損失

スイッチング損失は、スイッチング周波数でパワー・デバイスがターンオン/ターンオフするときドライバを流れる電流に対応します。パワー・デバイスのゲートがターンオン/ターンオフするごとに、ドライバが入力電源からゲートへ電荷 (ΔQ) を移動させ、次にゲートからグラウンドへ移動させます。

スイッチング損失の大きさは次式で算出できます。

$$P_{SW} = Q_{G_TOTAL} \times V_{IN} \times f_{SW} \quad (29)$$

ここで、
 Q_{G_TOTAL} はハイサイドとローサイドのデバイスの合計ゲート電荷で約 18 nC。
 f_{SW} はスイッチング周波数。

遷移損失

遷移損失は、N チャンネル MOSFET パワー・スイッチが瞬時にターンオンまたはターンオフできないために生じます。スイッチ・ノード遷移時、パワー・スイッチがすべてのインダクタ電流を供給し、パワー・スイッチのソース・ドレイン間電圧が入力電圧の 1/2 になるため電力損失が生じます。遷移損失は負荷電流と入力電圧が大きくなると増加し、各スイッチング・サイクルで 2 回発生します。

遷移損失は次式で算出できます。

$$P_{TRANS} = \frac{V_{IN}}{2} \times I_{OUT} \times (t_{ON} + t_{OFF}) \times f_{SW} \quad (30)$$

ここで、 t_{ON} と t_{OFF} はスイッチ・ノードの立ち上がり時間と立ち下がり時間であり、24V 入力に対してそれぞれ約 10 ns です。

熱に関する検討事項

レギュレータの消費電力により、次式で示すようにチップのジャンクション温度 T_J が周囲温度 T_A より高くなります。

$$T_J = T_A + T_R \quad (31)$$

ここで、温度上昇 T_R はパッケージ内の消費電力 P_D に比例します。

比例係数は、次式のようにチップのジャンクション温度から周囲温度までの熱抵抗として定義されます。

$$T_R = \theta_{JA} \times P_D \quad (32)$$

ここで、 θ_{JA} はジャンクション-周囲間の熱抵抗であり、JEDEC ボードの場合は 40°C/W です (表 3 参照)。

特定の周囲温度範囲に対するアプリケーションをデザインする際は、式 28、式 29、式 30 を使って、導通、スイッチング、遷移の各損失に起因する ADP2442 の予想消費電力 (P_D) を算出し、式 31 と式 32 を使って温度上昇を推算します。優れたボード・レイアウトにより優れた熱性能を実現することができます。

例えば、ADP2442 評価用ボード (ADP2442-EVALZ) では、 θ_{JA} の測定値は 30°C/W 未満です。ADP2442-EVALZ 評価用ボードの熱性能を図 68 と図 69 に示します。

評価用ボードの熱性能

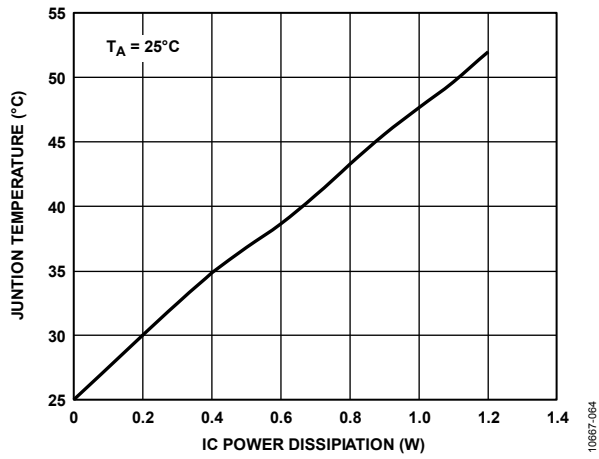


図 68. ADP2442-EVALZ に基づく消費電力対
ジャンクション温度

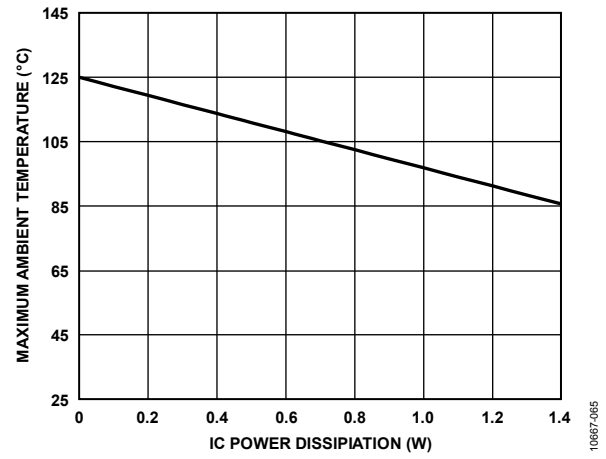


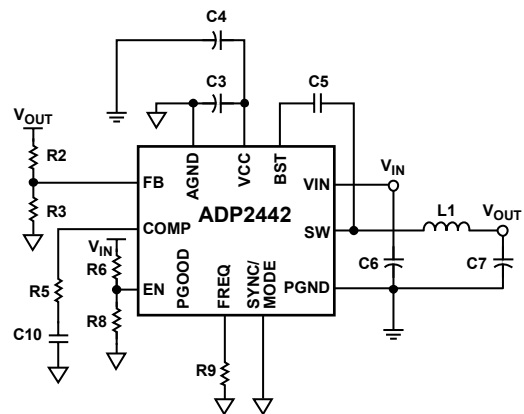
図 69. ADP2442-EVALZ に基づく消費電力対
最大周囲温度

回路基板レイアウトの推奨事項

優れたプリント回路基板(PCB)レイアウトは、最適性能を得る上で不可欠です。PCB レイアウトに不備があると、出力電圧リップル、負荷レギュレーション、ライン・レギュレーション、帰還レギュレーション、EMI、電磁適合性の性能が低下します。最適なレイアウトのためには、次のガイドラインを参照してください。

- アナログ・プレーンとパワー・グラウンド・プレーンを分離します。出力分圧器の部品、補償抵抗、周波数抵抗のような敏感なアナログ回路のグラウンド・リファレンスは、アナログ・グラウンドに接続します。また、入力コンデンサや出力コンデンサのような電源部品のグラウンド・リファレンスはパワー・グラウンドに接続します。両グラウンド・プレーンを ADP2442 のエクスポーズド・パッドに接続します。
- 入力コンデンサの一方の端子を VIN ピンのできるだけ近くに配置し、他方の端子を最寄りのパワー・グラウンド・プレーンに接続します。
- 高周波数フィルタ・コンデンサを VIN ピンと PGND ピンの間に、PGND ピンにできるだけ近づけて配置します。
- VCC は内蔵レギュレータ出力です。1 μF のコンデンサを VCC ピンと AGND ピンの間に、別の 1 μF コンデンサを VCC ピンと PGND ピンの間にそれぞれ接続します。コンデンサはできるだけピンの近くに配置します。
- 大電流のループ・パターンはできるだけ短く幅を広くします。入力コンデンサからインダクタ、出力コンデンサ、パワー・グラウンド・プレーンを経由して入力コンデンサに戻る大電流経路は、できるだけ短くします。これを実現するためには、入力コンデンサと出力コンデンサが同じパワー・グラウンド・プレーンを共有するようにします。
- PGND ピンからインダクタと出力コンデンサを経由してパワー・グラウンド・プレーンに戻る大電流経路はできるだけ短くします。このためには、入力コンデンサと出力コンデンサのできるだけ近くで PGND ピンを PGND プレーンに接続します(図 70 参照)。
- ADP2442 のエクスポーズド・パッドを大きな銅プレーンに接続し、電力放射能力が最大になるようにします。
- ノイズの混入を防ぐために、帰還抵抗分圧器のネットワークを FB ピンのできるだけ近くに設置します。帰還抵抗分圧器の上部と出力を接続するパターンは長さを最小限に抑え、ノイズの混入を防ぐために大電流パターンとスイッチ・ノードから離します。ノイズの混入をさらに減らすため、アナログ・グラウンド・プレーンを FB パターンの片方に配置します。

- 補償部品の配置/配線は ADP2442 の最適性能にとって重要です。補償部品は COMP ピンのできるだけ近くに配置します。配置間隔がより短くなる 0402 サイズの補償部品を使用すると、寄生ノイズが減少します。
- ノイズの混入を防ぐために、補償部品を AGND で囲みます。
- FREQ ピンはノイズに敏感なため、周波数抵抗を FREQ ピンのできるだけ近くに配置して最短のパターンで配線します。
- 小信号部品はアナログ・グラウンド・パスに接地します。



注
1. 太線は大電流パターンを示します。

図 70. 大電流パターン

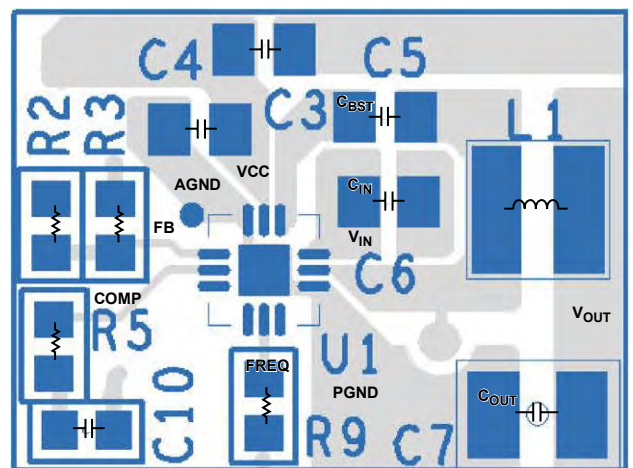
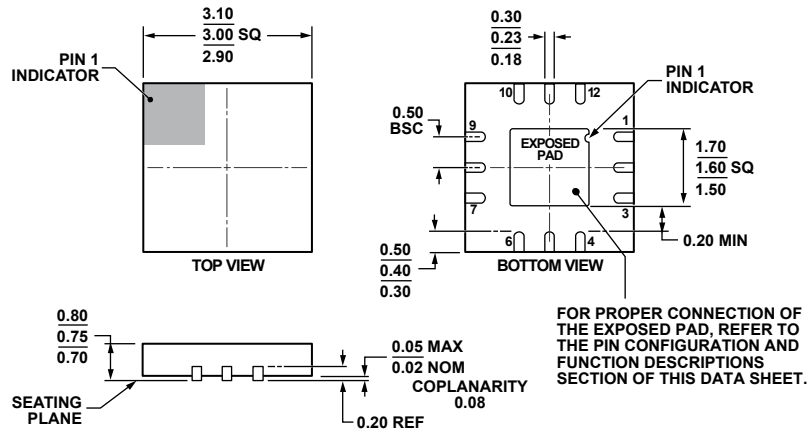


図 71. PCB 上面の配置

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-229-WEED-4.

072809-B

図 72.12 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
3 mm × 3 mm ボディ、極薄クラウド
(CP-12-6)
寸法 : mm

オーダー・ガイド

Model ¹	Output Voltage	Temperature Range	Package Description	Package Option	Branding Code
ADP2442ACPZ-R7	Adjustable	-40°C to +125°C	12-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-12-6	LK5
ADP2442-EVALZ			Evaluation Board (Preset to 5 V)		

¹ Z = RoHS 準拠製品。