

特長

- 広いバイアス電圧範囲: 3.0 V~18 V
- 広いパワー・ステージ入力範囲: 1 V~24 V
- 広い出力電圧範囲: 0.6 V~入力電圧の 85%
- 0°C~70°C で±0.85%の精度
- 全 N チャンネル MOSFET デザインにより低価格化
- 固定周波数動作: 300 kHz、600 kHz
または抵抗調整で 300 kHz~600 kHz
- 他のコントローラに対する同期クロックを出力
- 電流検出抵抗が不要
- リニア・レギュレータを内蔵
- シーケンシング用に電圧トラッキング機能を内蔵
- ソフト・スタートと熱過負荷保護機能を内蔵
- 過電圧と低電圧に対する電源正常インジケータを内蔵
- シャットダウン電源電流: 15 µA
- 20 ピン QSOP を採用

アプリケーション

- 通信システムとネットワーク・システム
- 基地局の電源
- セットトップ・ボックス、ゲーム・コンソール
- プリンタとコピー機
- 医用画像システム
- DSP とマイクロプロセッサ・コアの電源
- DDR 終端

概要

ADP1828 は多目的の同期 PWM 電圧モード降圧コントローラです。

このデバイスはすべて N チャンネルで構成されたパワー・ステージを駆動して、出力電圧を 0.6 V~入力電圧の 85%の範囲にレギュレーションし、負荷点レギュレータに使用する大型の MOSFET を扱えるサイズのデザインになっています。ADP1828 は、DSP やプロセッサのコア I/O 電源、さらに通信、医用画像、PC、ゲーム、工業用アプリケーションでの汎用電源などの広範囲な高電力アプリケーションに最適です。このデバイスは、内蔵の LDO (入力バイアス電圧が 5.5 V より高い場合に 5 V 出力を発生) を使って入力バイアス電圧 3 V~18 V で動作します。

ADP1828 は、ピンを使って選択可能な固定スイッチング周波数 300 kHz または 600 kHz、あるいは抵抗で選択する 300 kHz~600 kHz 範囲の任意の周波数で動作します。スイッチング周波数をデバイスの公称発振周波数の 2 倍までの外部クロックに同期化させることもできます。クロック出力を使って別の ADP1828 (または ADP1829 コントローラ) を同期させることができるため、外部クロック・ソースが不要になります。ADP1828 は、スタートアップ時に入力電源からの突入電流を制限するソフト・スタート保護機能、充電された出力を対象とするソフト・スタート時の逆電流保護機能、外付け MOSFET の $R_{DS(on)}$ 検出機能を使った独自の調整可能な無損失電流制限方式を内蔵しています。

電源シーケンシング機能を必要とするアプリケーションに対しては、ADP1828 はトラッキング入力を提供します。この入力を使うと、スタートアップ、シャットダウン、故障時に出力電圧がこれに追従することができます。その他の監視機能と制御機能としては、熱過負荷、低電圧ロックアウト、電源正常表示などがあります。

ADP1828 は-40°C~+125°Cのジャンクション温度範囲で動作し、20 ピン QSOP パッケージを採用しています。

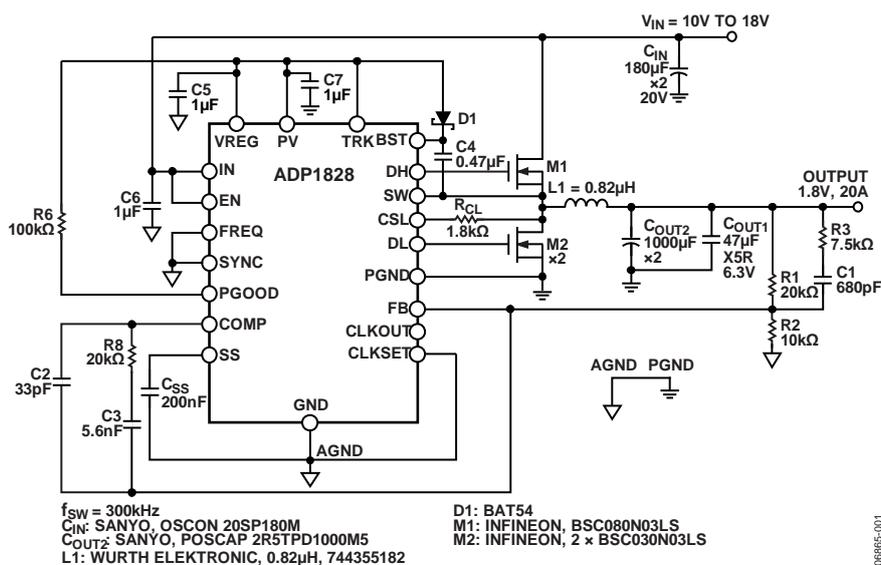


図 1.20 A 出力の代表的なアプリケーション回路

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	サーマル・シャットダウン.....	16
アプリケーション.....	1	シャットダウン制御.....	16
概要.....	1	トラッキング.....	16
改訂履歴.....	2	アプリケーション情報.....	17
仕様.....	3	入力コンデンサの選択.....	17
絶対最大定格.....	5	出力 LC フィルタ.....	17
ESD に関する注意.....	5	MOSFET の選択.....	18
簡略化したブロック図.....	6	電流制限値の設定.....	19
ピン配置およびピン機能説明.....	7	電流制限値の精確な検出.....	19
代表的な性能特性.....	8	帰還電圧デバイダ.....	19
動作原理.....	13	電圧モード降圧レギュレータの補償.....	19
入力電力.....	13	ソフト・スタート.....	23
内蔵のリニア・レギュレータ.....	13	スイッチング・ノイズとオーバーシュートの削減.....	23
ソフト・スタート.....	13	一致トラッキング.....	24
誤差アンプ.....	14	比例トラッキング.....	24
電流制限方式.....	14	熱に対する考慮事項.....	25
MOSFET ドライバ.....	14	PCB レイアウト・ガイドライン.....	27
出力電圧の設定.....	15	推奨部品のメーカー.....	28
スイッチング周波数の制御と同期.....	15	アプリケーション回路.....	29
補償.....	16	外形寸法.....	31
電源正常インジケータ.....	16	オーダー・ガイド.....	31

改訂履歴

9/07—Revision 0: Initial Version

仕様

特に指定のない限り、IN = 12 V、PV = V_{EN} = V_{TRK} = 5 V、SYNC = GND。温度限界におけるすべての限界値は、標準の統計的品質管理手法(SQC)を使う相関により保証。特に指定のない限り、T_J = -40°C ~ +125°C。Typ 値は T_A = 25°Cでの値。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
POWER SUPPLY					
IN Input Voltage	PV is tied to VREG, IN is not tied to VREG (using internal regulator)	5.5		18	V
IN Input Voltage	IN = PV = VREG, IN is tied to VREG (not using internal regulator)	3.0		5.5	V
IN Quiescent Current	Not switching, I _{VREG} = 0 mA		1.5	3.0	mA
IN Shutdown Current	EN = GND		5	15	μA
VREG-to-GND Shutdown Impedance	EN = GND, IN is not tied to VREG		1.6		MΩ
VREG Undervoltage Lockout Threshold	VREG rising	2.4	2.7	3.0	V
VREG Undervoltage Lockout Hysteresis	VREG falling		0.125		V
ERROR AMPLIFIER					
FB Regulation Voltage	T _A = 25°C, TRK > 700 mV	597	600	603	mV
	T _A = 0°C to +70°C, TRK > 700 mV	595		605	mV
	T _J = -40°C to +125°C, TRK > 700 mV	591		609	mV
FB Input Bias Current			5	100	nA
Open-Loop Voltage Gain			70		dB
Gain-Bandwidth Product			20		MHz
COMP Sink Current			600		μA
COMP Source Current			120		μA
COMP Clamp High Voltage	IN = VREG = 3V		2.4		V
	IN = 12 V		3.6		V
COMP Clamp Low Voltage			0.75		V
LINEAR REGULATOR					
VREG Output Voltage	IN = 5 V+ dropout voltage to 18 V, I _{VREG} = 100 mA T _J = -40°C to +125°C	4.75	5.0	5.25	V
VREG Load Regulation	I _{VREG} = 0 mA to 100 mA, IN = 5.25 V to 18 V		-10		mV
VREG Line Regulation	IN = 5 V+ dropout voltage to 18 V, no load		1		mV
VREG Current Limit	VREG drops to 4 V		220		mA
VREG Short-Circuit Current	VREG drops to 0.4 V	60	140	200	mA
IN to VREG Dropout Voltage ¹	I _{VREG} = 100 mA, IN < 5 V		0.6	1.0	V
VREG Minimum Output Capacitance		1			μF
PWM CONTROLLER					
VRAMP Peak-to-Peak Voltage ²		0.7	1.0	1.45	V
DH Maximum Duty Cycle	FREQ = GND (300 kHz)	91	93		%
DH Minimum On Time	Any frequency		100		ns
DL Minimum On Time	Any frequency		200		ns
SOFT START					
SS Pull-Up Resistance	SS = GND		90		kΩ
SS Pull-Down Resistance	SS = 0.6 V		6		kΩ
SS to FB Offset Voltage	SS = 0 mV to 500 mV		-45		mV
SS Pull-Up Voltage			0.8		V
TRACKING					
TRK Common-Mode Input Voltage Range		0		600	mV
TRK to FB Offset Voltage	TRK = 0 mV to 500 mV	-5.5		+5	mV
TRK Input Bias Current				100	nA
OSCILLATOR					
Oscillator Frequency	SYNC = FREQ = GND	240	300	360	kHz
	SYNC = GND, FREQ = VREG	480	600	720	kHz
	R _{FREQ} = 57.6 kΩ	240	300	360	kHz
	R _{FREQ} = 35.7 kΩ	370	450	530	kHz
	R _{FREQ} = 24.9 kΩ	480	600	720	kHz
SYNC Synchronization Range	FREQ = GND	300		600	kHz
	FREQ = VREG	600		1200	kHz
SYNC Input Pulse Width		200			ns

Parameter	Conditions	Min	Typ	Max	Unit
SYNC Pin Capacitance			5		pF
CURRENT SENSE					
CSL Threshold Voltage	Relative to PGND	-17	-38	-58	mV
CSL Output Current	CSL = PGND	42	50	56	μ A
Current Sense Blanking Period			100		ns
GATE DRIVERS					
DH Rise Time	$C_{DH} = 3 \text{ nF}$, $V_{BST} - V_{SW} = 5 \text{ V}$		15		ns
DH Fall Time	$C_{DH} = 3 \text{ nF}$, $V_{BST} - V_{SW} = 5 \text{ V}$		10		ns
DL Rise Time	$C_{DL} = 3 \text{ nF}$		15		ns
DL Fall Time	$C_{DL} = 3 \text{ nF}$		10		ns
DH or DL Driver R_{ON} , Sourcing Current ^{3,4}	Sourcing 1.5 A with a 0.1 μ s pulse		2		Ω
DH or DL Driver R_{ON} , Sinking Current ^{3,4}	Sinking 1.5 A with a 0.1 μ s pulse		1.5		Ω
DH or DL Driver R_{ON} , Sourcing Current	IN = VREG = 3 V; sourcing 1 A with a 0.1 μ s pulse		2.3		Ω
DH or DL Driver R_{ON} , Sinking Current	IN = VREG = 3 V; sinking 1 A with a 0.1 μ s pulse		2		Ω
DH to DL, DL to DH Dead Time			40		ns
CLOCK OUT					
CLOCKOUT Pulse Width			360		ns
CLKOUT Rise or Fall Time	$C_{CLKOUT} = 47 \text{ pF}$		10		ns
SYNC to CLKOUT Propagation Delay, t_{PD}	$C_{CLKOUT} = 47 \text{ pF}$, $C_{SYNC} = 5 \text{ pF}$		40		ns
SYNC to CLKOUT Propagation Delay, t_{PD}	$C_{CLKOUT} = 47 \text{ pF}$, $C_{SYNC} = 5 \text{ pF}$, IN < 5 V		52		ns
LOGIC THRESHOLDS					
SYNC, CLKSET, FREQ Logic High		1.8			V
SYNC, CLKSET Logic Low				0.4	V
FREQ Logic Low				0.25	V
CLKSET, SYNC, FREQ Input Leakage Current	CLKSET, SYNC, FREQ = 0 V or VREG			1	μ A
EN Input Threshold		1.1	1.5	1.8	V
EN Input Threshold Hysteresis			0.2		V
EN Current Source	EN = 0 V to 3.0 V	-0.1	-0.6	-1.5	μ A
EN Input Impedance to 5 V Zener	EN = 5.5 V to 18 V		100		k Ω
THERMAL SHUTDOWN					
Thermal Shutdown Threshold ⁴			145		$^{\circ}$ C
Thermal Shutdown Hysteresis ⁴			15		$^{\circ}$ C
POWER GOOD					
FB Overvoltage Threshold	V_{FB} rising	700	750	810	mV
FB Overvoltage Hysteresis			50		mV
FB Undervoltage Threshold	V_{FB} falling	500	550	585	mV
FB Undervoltage Hysteresis			50		mV
PGOOD Propagation Delay			8		μ s
PGOOD Off Leakage Current	$V_{PGOOD} = 5.5 \text{ V}$			1	μ A
PGOOD Output Low Voltage	$I_{PGOOD} = 10 \text{ mA}$		150	500	mV

¹ IN < 5.5 V の場合には IN と VREG を接続します。IN < 5.5V のときに IN と VREG を接続しないアプリケーションでは、VREG = V_{IN} - ドロップアウトとなることに注意してください。正常動作のためには VREG \geq 3 V である必要があります。

² $V_{RAMP} = 1.0 \text{ V} \times f_{OSC}/f_{SW}$ 、ここで f_{OSC} は自然発信周波数、 f_{SW} は実際のスイッチング周波数。SYNC を使用しない場合は $f_{OSC} = f_{SW}$ 。SYNC を使用する場合は $f_{SW} = f_{SYNC}$ 。

³ 5 V 駆動の場合、外付けパワー-MOSFET を駆動するときのソース電流またはシンク電流のピーク値はそれぞれ 2.5 A と 3.3 A まで可能。ピーク電流パルスの幅は一般に 10 ns のオーダー。

⁴ デザインとキャラクターライゼーションにより保証します。出荷テストは実施しません。

絶対最大定格

表 2.

Parameter	Rating
IN, TRK	-0.3 V to +20 V
EN	-0.3 V < IN + 0.3 V
PV, SYNC, FREQ, COMP, SS, FB, PGOOD, CLKSET, CLKOUT, VREG	-0.3 V to +6 V
BST-to-GND, SW-to-GND	-0.3 V to +30 V
BST-to-SW	-0.3 V to +6 V
BST-to-GND, SW-to-GND, 50 ns transients	+38 V
SW-to-GND, 30 ns negative transients	-7 V
CSL-to-GND	-1 V to +30 V
DH-to-GND	(SW - 0.3 V) to (BST + 0.3 V)
DL-to-PGND	-0.3 V to (PV + 0.3 V)
PGND-to-GND	±2 V
θ_{JA} , 20-Lead QSOP on a Multilayer PCB (Natural Convection) ¹	83°C/W
Operating Junction Temperature ²	-40°C to +125°C
Storage Temperature	-65°C to +150°C
Maximum Soldering Lead Temperature	260°C

¹パッケージのジャンクション-周囲間熱抵抗(θ_{JA})は、多層 PCB を使って計算またはシミュレーションした値です。

²ジャンクション温度を超えると ADP1828 は損傷を受けることがあります。周囲温度をモニターしても、 T_J が規定温度範囲内にあることを保証できません。中程度の消費電力と低い PCB 熱抵抗を持つアプリケーションでは、ジャンクション温度が規定値内にあるかぎり、最大周囲温度は最大値を超えることができます。デバイスのジャンクション温度 T_J は、周囲温度 T_A 、デバイス消費電力 P_D 、パッケージのジャンクション-周囲間熱抵抗 θ_{JA} に依存します。最大ジャンクション温度は、式 $T_J = T_A + P_D \times \theta_{JA}$ を使って周囲温度と消費電力から計算されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

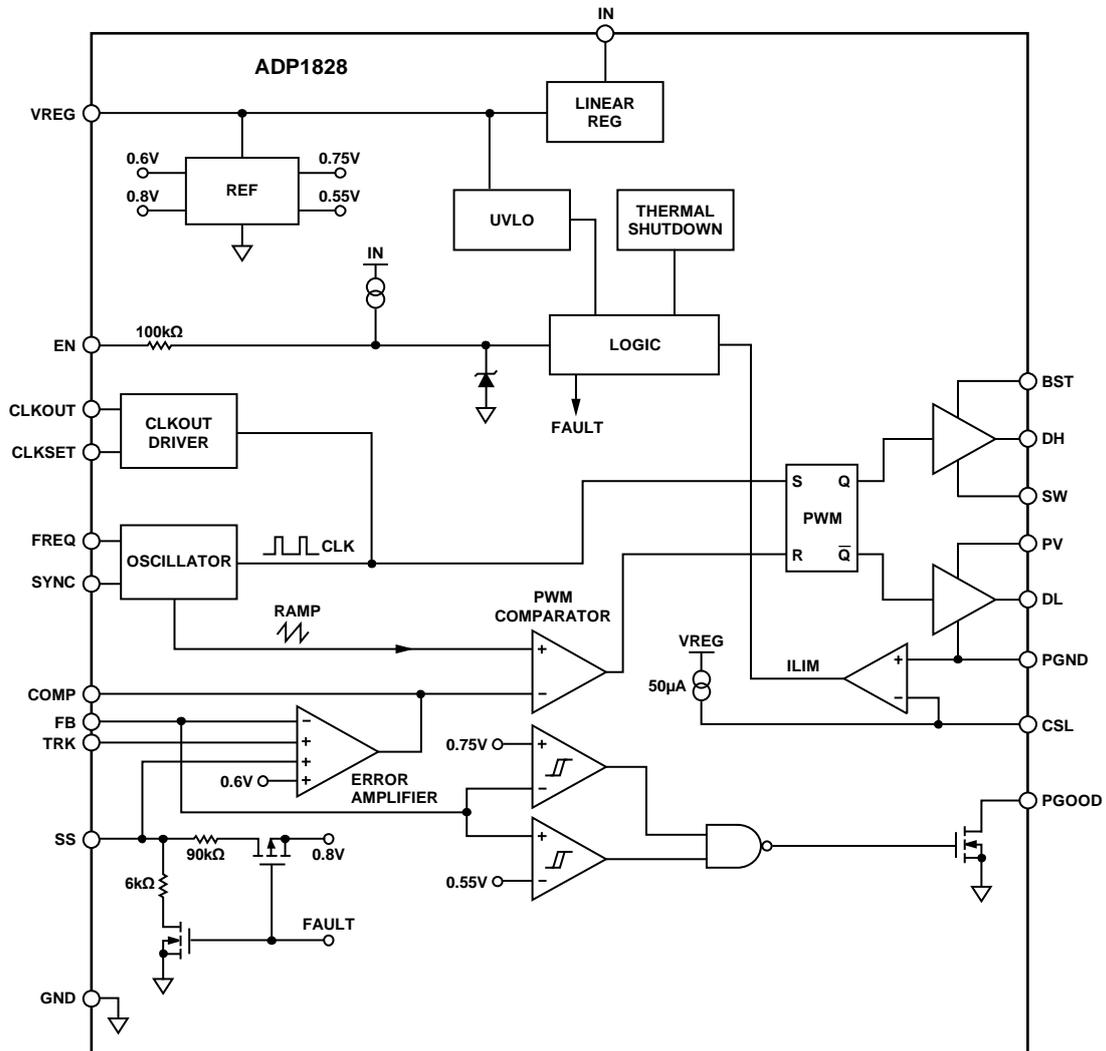
絶対最大定格は、組合わせではなく個別に適用されます。特に注記がない限り、すべての電圧は GND を基準にします。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

簡略化したブロック図



08965-003

図 2.簡略化したブロック図

ピン配置およびピン機能説明

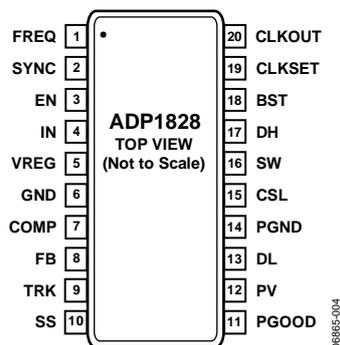


図 3.ピン配置

表 3.ピン機能の説明

ピン番号	記号	説明
1	FREQ	周波数制御入力。ロー・レベル=300 kHz、ハイ・レベル=600 kHz、または FREQ と GND との間に抵抗を接続して 300 kHz ~ 600 kHz のフリー・ランニング周波数を設定します。
2	SYNC	周波数同期入力。FREQ をロー・レベルにして、300 kHz ~ 600 kHz の外部信号を入力するか、または FREQ をハイ・レベルにして 600 kHz ~ 1.2 MHz の外部信号を入力します。f _{osc} を R _{FREQ} で設定する場合、同期周波数範囲は f _{osc} ~ 600 kHz です。SYNC を使用しない場合は、SYNC を GND または VREG に接続します。V _{IN} が 6 V より低い場合でも、V _{SYNC} は 6 V まで駆動できます。
3	EN	イネーブル入力。ADP1828 コントローラをターンオンするとき、EN をハイ・レベルするかスリーステートにします。ターンオフするときは、ロー・レベルにします。自動スタートアップを行うときは、EN と IN を接続します。
4	IN	内蔵リニア・レギュレータへの入力電源。LDO の VREG から ADP1828 に電源を供給するときは、IN を 5.5 V ~ 18 V で駆動します。PV と VREG を接続します。3 V ~ 5.5 V の入力電圧に対しては、IN、PV、VREG を相互に接続します。
5	VREG	内蔵リニア・レギュレータ(LDO)の出力。内部回路とゲート・ドライバは VREG から給電されます。安定な動作を得るために、1 μF のセラミック・コンデンサを VREG と AGND プレーンとの間に接続します。たとえば、10 V X5R 1 μF セラミック・コンデンサで十分です。IN = 5 V + ドロップアウトのとき、VREG 出力 = 5 V。IN = 3 V ~ 5.5 V の場合には IN を VREG と PV に接続します。IN < 5.5 V のときに IN と VREG を接続しないアプリケーションでは、VREG = V _{IN} - ドロップアウトとなることに注意してください。正常動作のためには VREG ≥ 3 V である必要があります。
6	GND	内部回路のグラウンド。帰還デバイダのボタンをこの GND に接続します。
7	COMP	誤差アンプ出力。ループ補償のために RC 回路を COMP から FB へ接続します。
8	FB	電圧帰還。抵抗デバイダを降圧レギュレータ出力から GND へ接続し、タップを FB へ接続して出力電圧を設定します。
9	TRK	トラッキング入力。マスター電圧に追従させるため、マスター電圧からの電圧デバイダで TRK を駆動します。トラッキング機能を使わない場合は、TRK と VREG を接続します。
10	SS	ソフト・スタート制御入力。SS と GND との間にコンデンサを接続して、ソフト・スタート周期を設定します。
11	PGOOD	オープン・ドレインの電源正常出力。FB がレギュレーション不能になったとき電流をシンクします。PGOOD と VREG との間にプルアップ抵抗を接続します。
12	PV	ゲート・ドライバ DL の正の入力電圧。IN が 3 V ~ 5.5 V の場合、IN を VREG と PV に接続します。PV と PGND との間に 1 μF のバイパス・コンデンサを接続します。IN = 5.5 V ~ 18 V の場合、PV と VREG を接続します。
13	DL	ローサイド(同期整流子)ゲート・ドライバ出力。
14	PGND	電源 GND。ゲート・ドライバのグラウンド。
15	CSL	電流検出コンパレータの反転入力。CSL と SW との間に抵抗を接続して、電流制限オフセットを設定します。
16	SW	スイッチ・ノード接続。
17	DH	ハイサイド(スイッチ)ゲート・ドライバ出力。
18	BST	ブースト・コンデンサ入力。ハイサイド・ゲート・ドライバ DH の電源。0.22 μF ~ 0.47 μF のセラミック・コンデンサを BST から SW へ接続し、ショットキ・ダイオードを PV から BST へ接続します。
19	CLKSET	クロック設定入力。CLKSET をハイ・レベルにすると(CLKSET と VREG を接続)、CLKOUT が内部発振周波数の 2 倍に、位相は発振器と同相に設定されます。CLKSET をロー・レベルにすると、CLKOUT が発振周波数に等しくなり、位相は 180° ずれます。
20	CLKOUT	クロック出力。CLKOUT 周波数 f _{CLKOUT} は発振周波数の 1 倍または 2 倍になります。CLKOUT を使って別の ADP1828 または ADP1829 コントローラを同期させることができます。別の ADP1828 を同期させるときは f _{CLKOUT} を 1 倍に、ADP1829 を同期させるときは f _{CLKOUT} を 2 倍に、それぞれ設定します。SYNC を使用する場合は、CLKSET 電圧とは独立に f _{SYNC} = f _{CLKOUT} 。CLKOUT は 100 pF の負荷を駆動することができます。

代表的な性能特性

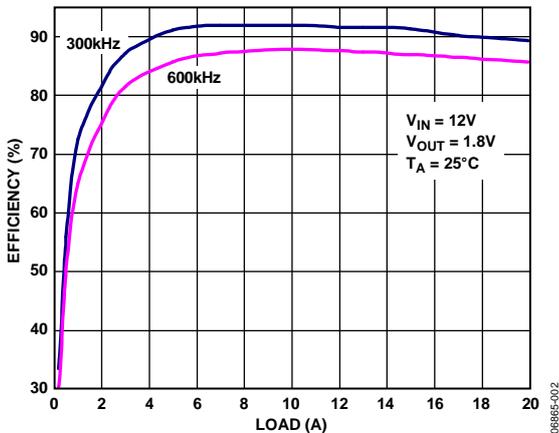


図 4. 効率対図 1 の負荷電流

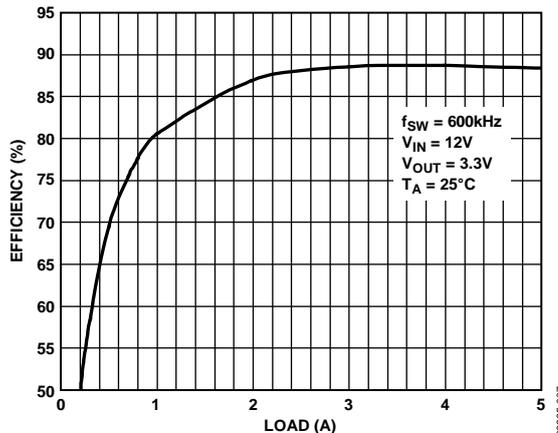


図 7. 効率対図 54 の負荷電流

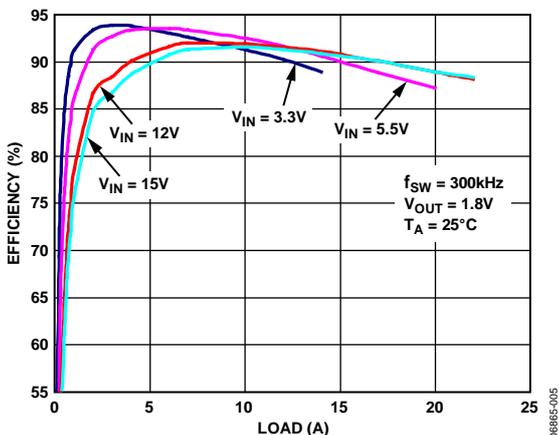


図 5. 効率対負荷電流 of 図 1

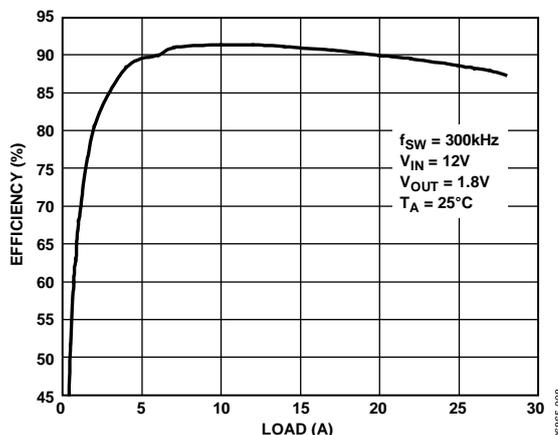


図 8. 効率対図 56 の負荷電流

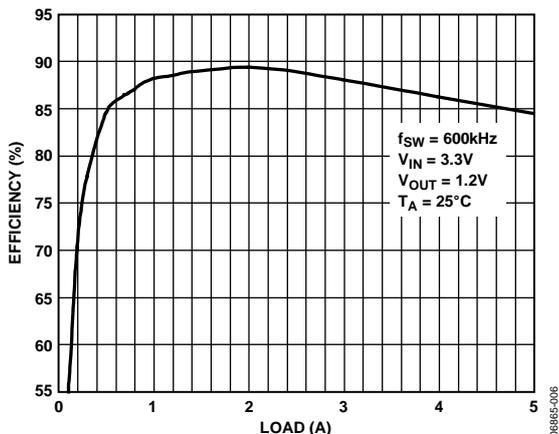


図 6. 効率対 図 53 の負荷電流

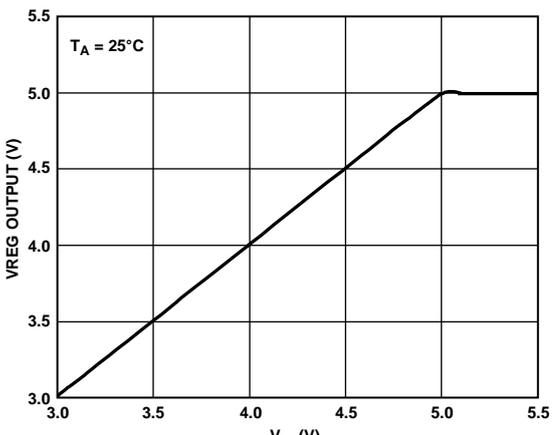


図 9. ドロップアウトでの VREG、無負荷

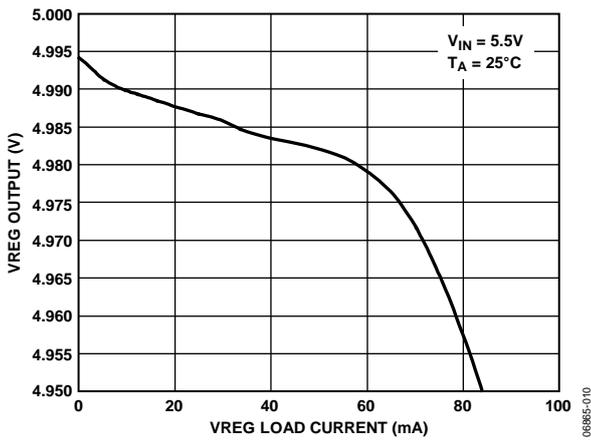


図 10.VREG 対負荷電流

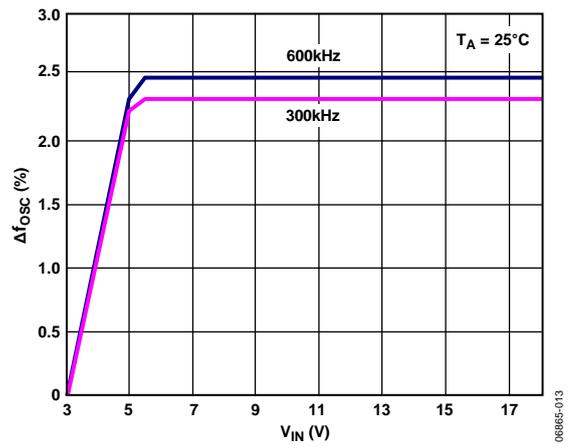


図 13. Δf_{osc} 対 V_{IN} 、リファレンス電圧 $V_{IN} = 3V$

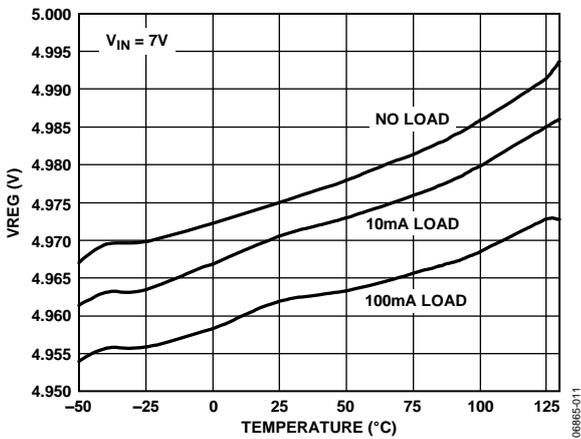


図 11.VREG 電圧の温度特性

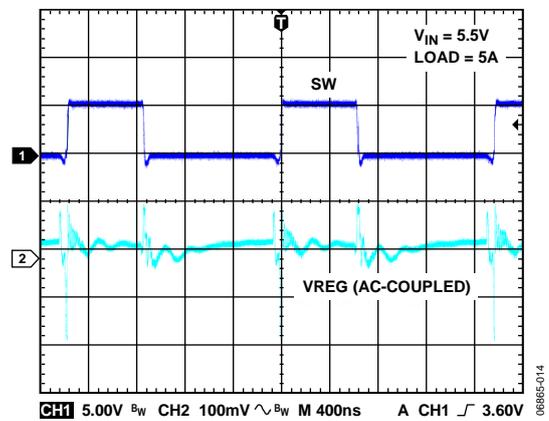


図 14. 図 54 の VREG 出力

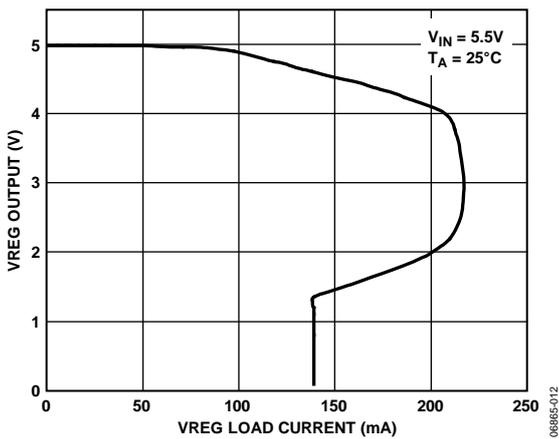


図 12.VREG 電流制限フォールドバック

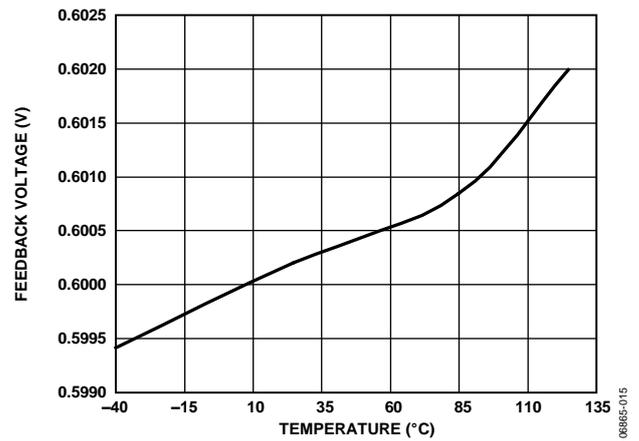


図 15.帰還電圧の温度特性、 $V_{IN} = 12V$

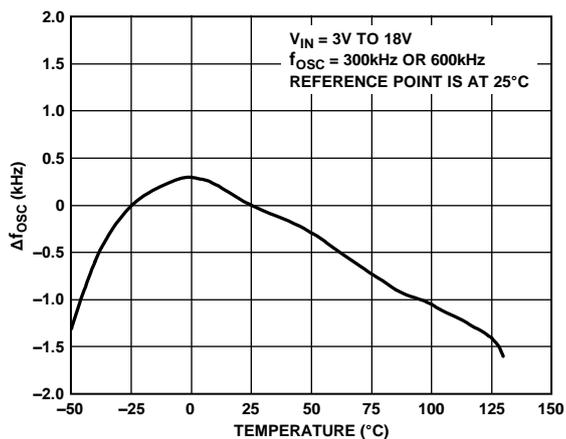


図 16. f_{osc} の温度特性

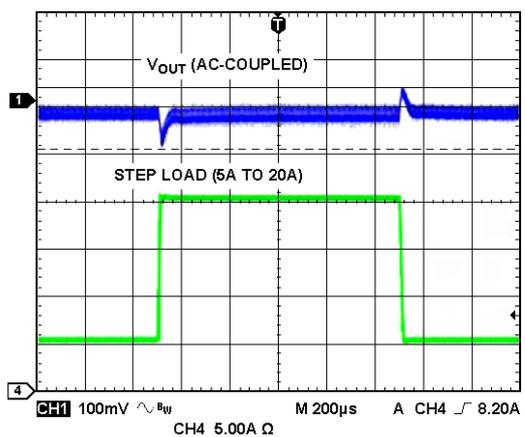


図 19. 図 1 の負荷過渡応答、5 A~20 A、 $V_{IN} = 12 V$

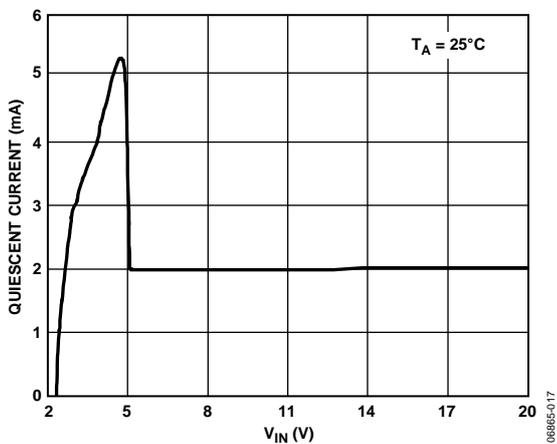


図 17. 電源電流対入力電圧

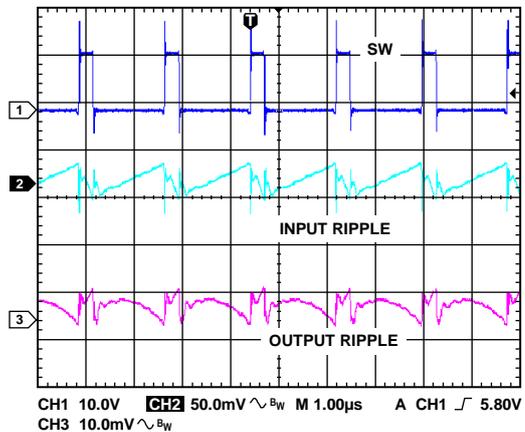


図 20. 図 54 の入力と出力のリップル、4 A 負荷

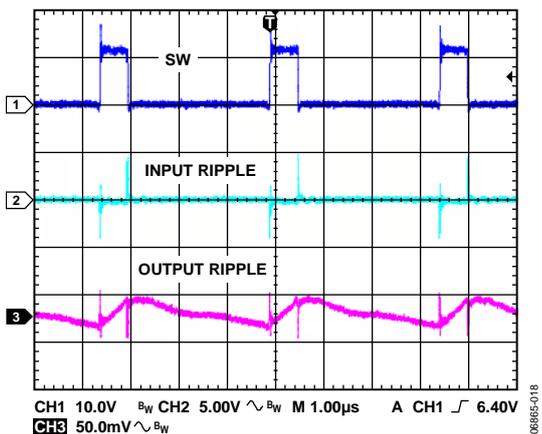


図 18. 図 1 の入力と出力のリップル、22 A 負荷

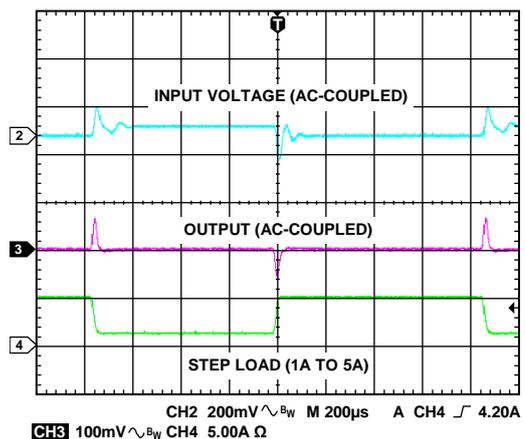


図 21. 図 54 の負荷過渡応答、1 A~5 A、 $V_{IN} = 12 V$

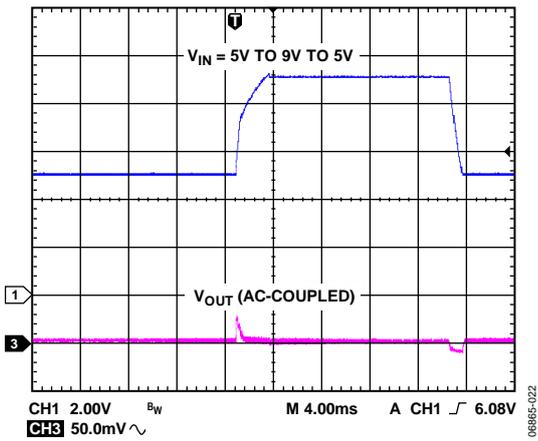


図 22. 図 1 のラインの過渡応答、無負荷

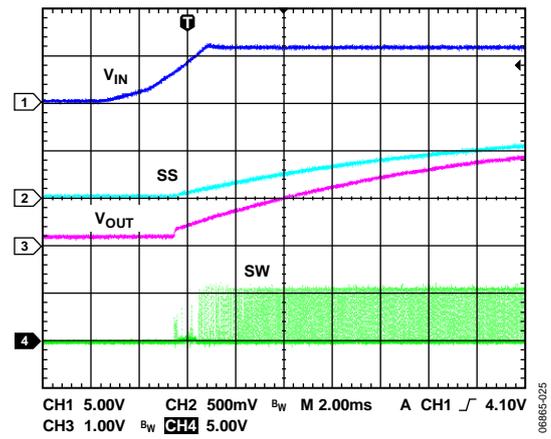


図 25. パワーオン応答、EN と V_{IN} を接続

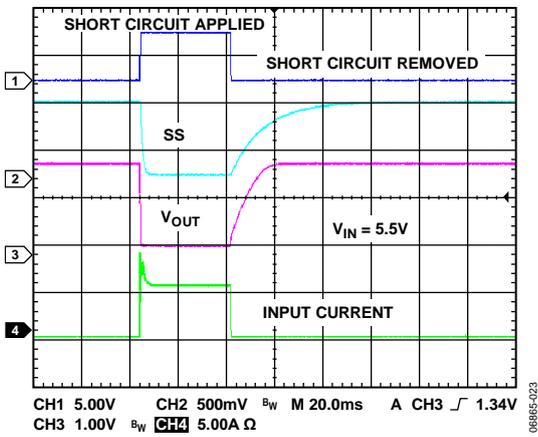


図 23. 出力短絡応答

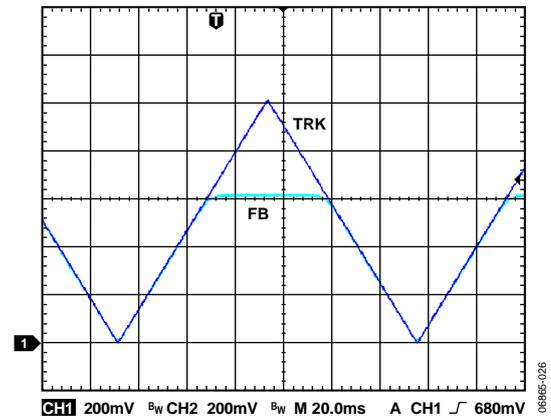


図 26. トラッキング、TRK: 0 V~1 V

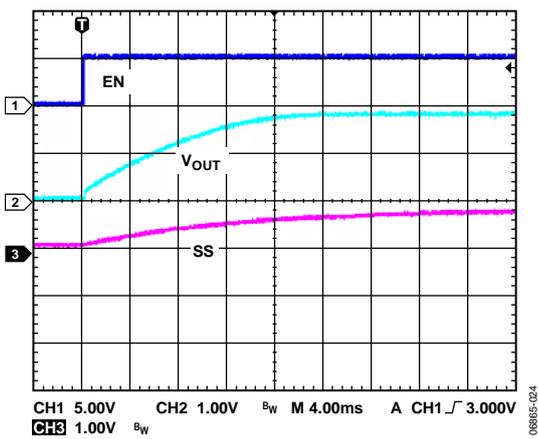


図 24. 図 1 のソフト・スタートと突入電流

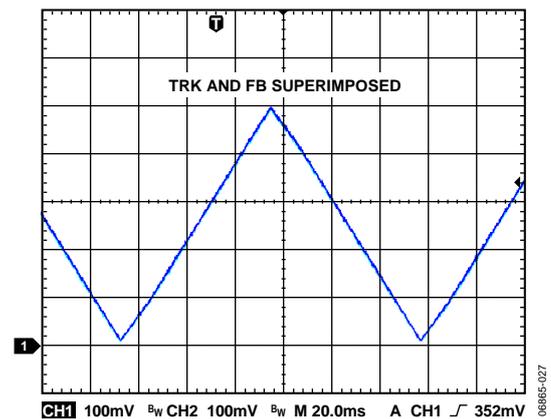


図 27. トラッキング、TRK: 0 V~0.5 V

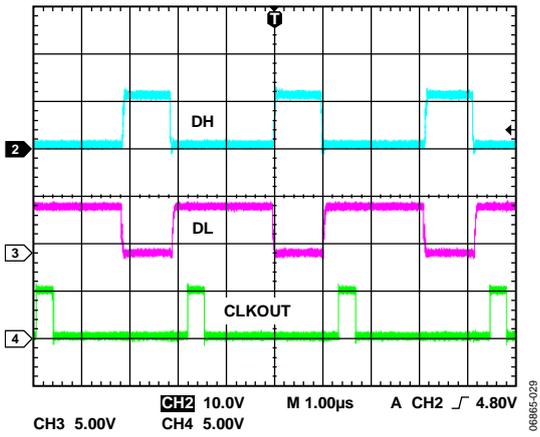


図 28. CLKOUT、CLKSET = 0 V

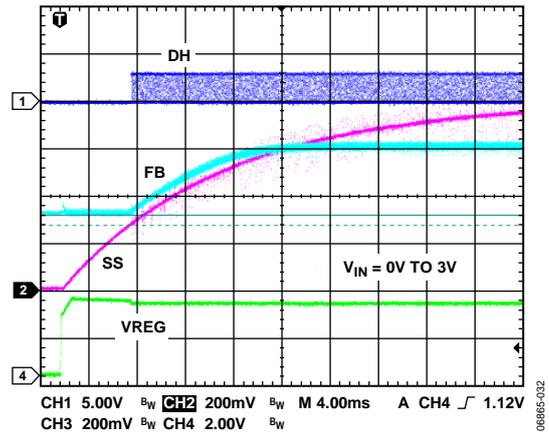


図 31. 充電された出力に対する駆動

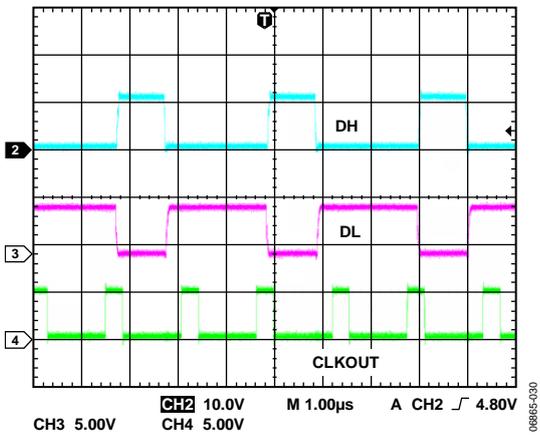


図 29. CLKOUT、CLKSET = 5 V

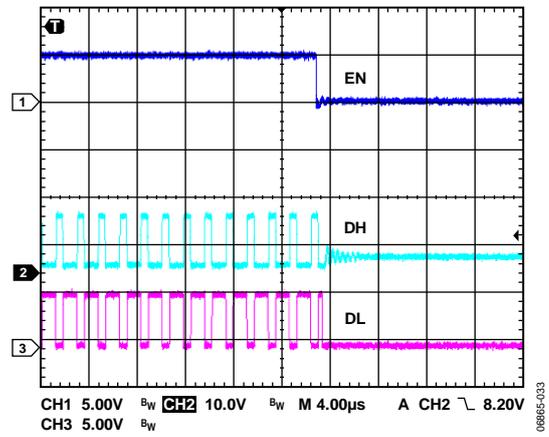


図 32. EN、シャットダウン

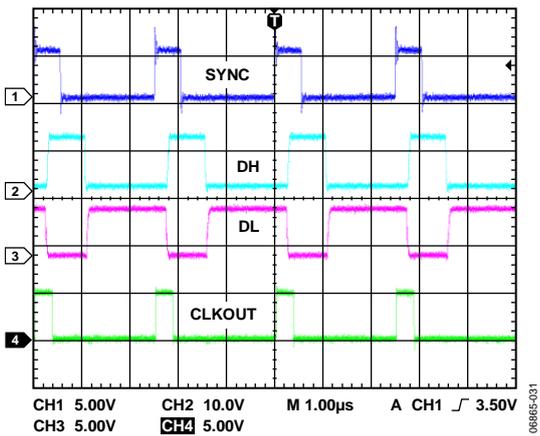


図 30. SYNC

動作原理

ADP1828 は多目的、同期整流、固定周波数、パルス幅変調 (PWM)、電圧モード、0.6 V から入力電圧の 85% までの範囲の出力電圧を発生できる降圧コントローラです。DSP とプロセッサのコア I/O 電源、さらに通信、医用画像、ゲーム、PC、セットトップ・ボックス、工業用制御の汎用電源などの広範囲なアプリケーションに最適です。ADP1828 コントローラは直接 3 V ~ 18 V の電源から動作し、MOSFET ゲート・ドライバと内部バイアスとゲート駆動バイアスに使うリニア・レギュレータを内蔵しています。

ADP1828 は、ピンを使って選択可能な固定スイッチング周波数 300 kHz または 600 kHz で、あるいは抵抗を FREQ と GND との間に接続することにより、300 kHz ~ 600 kHz 範囲の任意の周波数で、それぞれ動作します。スイッチング周波数をデバイスの公称発振周波数の 2 倍までの外部クロックに同期化することもできます。内蔵クロック出力を使って別の ADP1828 および他の ADP1829 コントローラを同期させることができるため、外部クロック・ソースが不要になります。また、ADP1828 は、クロック出力、電圧トラッキング機能、熱過負荷保護機能、低電圧ロックアウト機能、電源正常表示、スタートアップ時に入力電源からの突入電流を制限するソフト・スタート保護機能、充電された出力を対象とするソフト・スタート時の逆電流保護機能、外付け MOSFET の $R_{DS(on)}$ 検出機能を使った独自の調整可能な無損失電流制限方式を内蔵しています。ADP1828 は -40°C ~ $+125^{\circ}\text{C}$ のジャンクション温度範囲で動作し、20 ピン QSOP パッケージを採用しています。

入力電力

ADP1828 の電源としては、IN ピンに 3.0 V ~ 18 V を入力します。内蔵のロー・ドロップアウト (LDO) リニア・レギュレータが IN の電圧を 5 V まで降圧します。(IN = 5.5 V ~ 18 V のとき)。この LDO の出力を VREG で表します。IN が 5.5 V ~ 18 V の場合、この LDO 出力を使って、制御回路、ゲート・ドライバ、外付けブースト・コンデンサが動作します。PV はローサイド MOSFET ゲート駆動 (DL) に、IN は内部制御回路に、それぞれ電源を供給します。PV と PGND との間に 1 μF 以上のコンデンサを、IN と GND との間に 0.1 μF 以上のコンデンサを、それぞれ接続してバイパスしてください。電源入力と PGND との間には適切な大きいコンデンサを接続してバイパスしてください。

VREG 出力を低電圧ロックアウト (UVLO) 回路により検出して、コントローラとゲート・ドライバが動作するために必要な十分な電圧ヘッドルームが確保されていることを確認します。VREG が約 2.7 V を超えると、コントローラがイネーブルされません。IN 電圧は UVLO 回路から直接モニターされていません。IN 電圧が低く過ぎるために、VREG を UVLO スレッショールドより高くすることができない場合、コントローラはディスエーブルされますが、LDO は動作を続けます。LDO がイネーブルされると、たとえ VREG が UVLO スレッショールドを下回っている場合でも、EN がハイ・レベルのときは、LDO をターンオフすることはできません。

電源電圧が 5.5 V ~ 18 V の場合は、IN と電源電圧を接続し、VREG と PV を接続します。電源電圧が 3 V ~ 5.5 V の場合は、IN、PV、VREG を電源電圧へ接続します。この場合、入力電源電圧から直接ローサイド・ゲート・ドライバが給電されます。

IN は 18 V に制限されていますが、スイッチング・ステージは最大 24 V まで動作することができるため、BST ピンは 30 V までゲート駆動をサポートすることができます。これは利点を提供します。たとえば、高い入力電圧で高周波動作を行う場合です。低電圧レールの IN から ADP1828 を動作させて消費電力を削減させると同時に、高電圧レールからスイッチを動作させることができます。

内蔵のリニア・レギュレータ

内蔵リニア・レギュレータはロー・ドロップアウト機能を持っています。すなわち、入力電圧に近い出力電圧 (VREG) をレギュレーションすることができます。このレギュレータは、内部制御回路に電源を供給し、VREG を PV に接続した場合にはゲート・ドライバのバイアスを供給します。100 mA 以上の出力電流能力を保証しているため、一般的なロジック・スレッショールドの MOSFET を最大 1.2 MHz で駆動するゲート駆動要求に対しては十分な能力です。VREG と AGND との間に 1 μF 以上のコンデンサを接続してバイパスしてください。

LDO がゲート駆動電流を供給しているため、各スイッチング・サイクルでドライバがスイッチし、ブースト・コンデンサが再充電されるごとに、VREG 出力にはシャープな過渡電流が発生します。LDO は、過負荷故障なしでこれらの過渡電流を処理できるように最適化されています。ゲート駆動が負荷になっているため、VREG 出力を他の補助システム負荷に使用することは推奨できません。

LDO には、予測される最大ゲート駆動負荷を上回る電流制限機能が内蔵されています。この電流制限機能には、短絡故障時にさらに VREG 電流を制限する短絡フォールドバック機能も含まれています。

ソフト・スタート

ADP1828 は、入力電流過渡を小さくし、出力オーバーシュートを防止するプログラマブルなソフト・スタート機能を採用しています。SS は誤差アンプに対する正の補助入力を駆動しているため、このピンの電圧が帰還制御ピンの電圧をレギュレーションします。

ソフト・スタートを設定するときは、SS と GND との間にコンデンサを接続します。スタートアップ時、コンデンサは内部 90 k Ω 抵抗を介して 0.8 V に充電されます。DC/DC コンバータの出力電圧がソフト・スタート・ピンの電圧とともに上昇し、出力電圧がゆっくり上昇するので突入電流が小さくなります。

ターンオンする前に出力電圧が充電されている場合、ADP1828 は逆インダクタ電流を防止します。この機能が出力コンデンサを放電させます。SS の電圧がレギュレーション電圧(typically 0.6 V)を超えると、逆電流が再イネーブルされて、出力電圧レギュレーションが負荷電流に依存しないようにします。

コントローラがディスエーブルされるか、故障状態に直面すると、ソフト・スタート・コンデンサを内部 6 k Ω 抵抗を介して放電させて、再起動時または故障からの回復時に、出力電圧のソフト・スタートを再開できるようにします。

誤差アンプ

ADP1828 の誤差アンプは 1 つのオペアンプです。ADP1828 は、FB ピンの外付け抵抗デバイダを使って出力電圧を検出します。FB ピンは、誤差アンプの反転入力に接続されています。誤差アンプはこの帰還電圧を内部 0.6 V リファレンスと比較し、誤差アンプ出力は COMP ピンに接続されています。COMP ピン電圧は、スイッチング・コンバータのデューティ・サイクルを直接制御します。

降圧コンバータの制御ループの補償を行うために、直列/並列 RC 回路が FB ピンと COMP ピンとの間に接続されます。システム補償の詳細なデザイン手順については、電圧モード降圧レギュレータの補償のセクションを参照してください。

誤差アンプ出力は、VREG 電圧に応じて、下限約 0.75 V ~ 上限約 3.6 V の範囲にクランプされます。COMP ピンがロー・レベルのとき、スイッチング・デューティ・サイクルは 0% になり、COMP ピンがハイ・レベルのとき、スイッチング・デューティ・サイクルは最大になります。

SS ピンと TRK ピンは、誤差アンプに対する正の補助入力になっています。いずれかの最も低い電圧(SS、TRK、または内部 0.6 V リファレンス)が FB ピン電圧と出力を制御します。そのため、これらの内の 2 つの入力が互いに近い値のとき、小さいオフセットが誤差アンプに加わります。

電流制限方式

ADP1828 は、サイクルごとの損失がないプログラマブルな電流制限回路(スレッシュホールドを設定する安価な抵抗を使用)を採用しています。各スイッチング・サイクルで、同期整流子が最小時間ターンオンして、MOSFET $R_{DS(on)}$ 両端の電圧降下を測定して電流が大き過ぎないことを確認します。

この測定は、内部電流制限コンパレータと外付け電流制限設定抵抗を使って行います。抵抗は、スイッチ・ノード(整流子 MOSFET のドレイン)と CSL ピンとの間に接続します。CSL ピン(コンパレータの反転入力)に、抵抗を介して 50 μ A を流して、その両端にオフセット電圧降下を発生させます。

インダクタ電流が MOSFET 整流子を流れると、ドレインは $R_{DS(on)}$ 両端の電圧降下分だけ PGND より低くなります。 $R_{DS(on)}$ の電圧降下が設定されている電流制限抵抗の電圧降下より大きくなると、反転コンパレータ入力が同様に PGND より低くなるため、過電流故障フラグが設定されます。

スイッチ・ノードでの通常の過渡リングングは同期整流子がターンオンした後 100 ns 間無視されるので、故障フラグが設定されるためには過電流状態が 100 ns 間以上続く必要があります。

ADP1828 が過電流状態を検出すると、次のスイッチング・サイクルが停止され、ソフト・スタート・コンデンサが内部 6 k Ω 抵抗を介して放電されて、誤差アンプ出力電圧がプルダウンされます。ADP1828 は、過電流状態が続くかぎり、このモードに留まります。

ADP1828 の電流制限方式は短絡保護と異なることに注意してください。ADP1828 は、短絡時に電流フォールドバックになりません。短絡出力電流は、 R_{CL} 抵抗で設定された電流制限値であり、サイクルごとにモニターされます。過電流状態がなくなると、ソフト・スタート・モードが再開されます。

MOSFET ドライバ

DH ピンは、ハイサイド・スイッチ MOSFET を駆動します。これは、ブートストラップ・コンデンサ回路から電源を得るブーストされた 5 V ゲート・ドライバです。この構成を使うと、ハイサイドの N チャンネル MOSFET ゲートを入力電圧より上まで駆動できるため、機能強化と MOSFET の電圧降下を小さくすることができます。ブートストラップ・コンデンサは、SW ピンと BST ピンとの間に接続します。PV ピンと BST ピンとの間に接続するブートストラップ・ショットキ・ダイオードが、SW ノードがロー・レベルになるたびにブースト・コンデンサを再充電します。ブートストラップ・コンデンサ値は、ハイサイド MOSFET 入力容量の 100 倍以上を使用してください。

実際には、スイッチ・ノードは 24 V の入力電圧まで上昇することができ、ブースト・ノードはこれより 5 V 上で動作できるため、フル・ゲート駆動が可能です。IN ピンは 3 V ~ 18 V で動作することができます。

スイッチング・サイクルは、内部クロック信号により開始されます。ハイサイド MOSFET は DH ドライバによりターンオンされ、SW ノードがハイ・レベルになり、インダクタでプルアップされます。内部で発生されたランプ信号が COMP ピン電圧を超えると、スイッチ MOSFET がターンオフされて、ローサイド同期整流子 MOSFET が DL ドライバによりターンオンされます。アクティブなブレーク・ビフォ・メーク回路と補足的な固定デッドタイムを使って、スイッチでの相互導通を防止します。

DL ピンは、ローサイド MOSFET 同期整流子のゲートを駆動します。内部回路は、外付け MOSFET が相互導通を防止するためにブレーク・ビフォ・メーク・スイッチング動作を確実に行うことをモニターしています。アクティブなデッドタイム削減回路により、スイッチのブレーク・ビフォ・メーク時間を小さくして、同期整流子のボディ・ダイオードを流れる電流によって発生する損失を制限しています。

PV ピンはローサイド・ドライバの電源を供給します。このピンは 5.5 V の最大入力に制限されており、PGND との間にデカップリング・コンデンサを接続する必要があります。

同期整流子は、電流を検出するために、各スイッチング・サイクルで最小時間約 200 ns の間ターンオンされます。この最小オフ時間とオーバーラップのないデッドタイムの和が、選択したスイッチング周波数に対してハイサイド・スイッチの最大デューティ・サイクルを決定します。一般に、この最大デューティ・サイクルは 300 kHz のスイッチングで約 90% です。1.2 MHz のスイッチングでは、約 70% の最大デューティ・サイクルに減少します。

出力電圧の設定

出力電圧は、出力と FB との間に接続する抵抗電圧デバイダを使って設定されます。電圧デバイダは出力電圧を 0.6 V の FB レギュレーション電圧に分割して、レギュレーション出力電圧を設定します。出力電圧は、下は 0.6 V から上は入力電源電圧の 85% までの範囲で設定できます。

スイッチング周波数の制御と同期

ADP1828 は、ロジックで制御された周波数選択入力 FREQ を持っており、スイッチング周波数を 300 kHz または 600 kHz に設定することができます。FREQ をロー・レベルにすると 300 kHz が、ハイ・レベルにすると 600 kHz が、それぞれ選択されます。また、FREQ と GND との間に抵抗を接続して、周波数を 300 kHz ~ 600 kHz の範囲で設定することもできます。24.9 kΩ では周波数= 600 kHz に、35.7 kΩ では周波数=450 kHz に、57.6 kΩ では周波数=300 kHz に、それぞれ設定されます。図 33 に、 f_{osc} を R_{FREQ} の関数として示します。

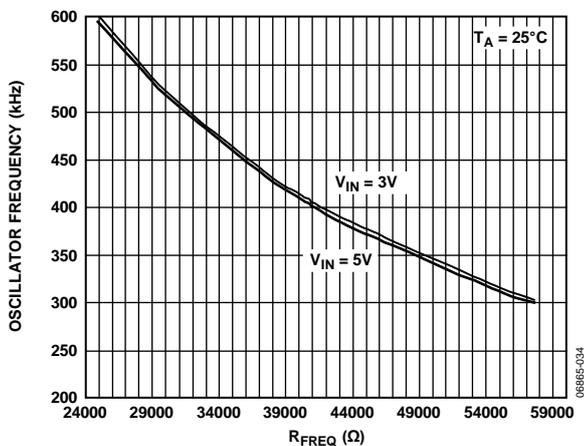


図 33. f_{osc} 対 R_{FREQ}

SYNC 入力を使うと、コンバータ・スイッチング周波数を外部信号に同期化させることができます。この機能を使うと、複数の ADP1828 コンバータを同じ周波数で動作させて、ビート周波数やその他の相互作用を防止することができます。内蔵クロック出力を使って別の ADP1828 および他の ADP1829 コントローラを同期させることができるため、外部クロック・ソースが不要になります。CLKSET をロー・レベルにすると、CLKOUT が内部発振周波数 f_{osc} に等しくなり、位相は f_{osc} から 180° ずれます。1 倍の出力は他の ADP1828 との同期に適しています。CLKSET をハイ・レベルにすると (VREG に接続)、CLKOUT が内部発振周波数 f_{osc} の 2 倍になり、位相は f_{osc} と同様に設定されます。2 倍の出力はデュアル・チャンネル ADP1829 コントローラとの同期に適しています (表 4 参照)。

表 4. CLKOUT の真理値表 1

E N	CLKSET	SYNC	CLKOUT	Comment
H	L	H/L	$1 \times f_{osc}$	180° out of phase with f_{osc}
H	H	H/L	$2 \times f_{osc}$	In phase with f_{osc}
H	X	Clock in	Clock	CLKOUT in-sync with clock in
L	X	X	L	CLKOUT is low

↑ X: don't care, H:ハイ・レベル, L:ロー・レベル。

ADP1828 のスイッチング周波数を外部信号に同期化するとき、SYNC 入力を外部クロックまたは別の ADP1828 からの CLKOUT 信号で駆動します。ADP1828 は、内部発振周波数の $1 \times \sim 2 \times$ の範囲で同期化することができます。 f_{osc} を R_{FREQ} で設定する場合、同期周波数範囲は $f_{osc} \sim 600$ kHz です。FREQ の推奨設定値より高速で SYNC を駆動すると、小さなランプ信号が発生して、信号対ノイズ比および変調器のゲインと安定性に影響を与えます。

外部クロックが最初の SYNC エッジで検出されると、内部発振器がリセットされて、クロック制御が SYNC へ移ります。SYNC エッジが、PWM 出力の後続クロックをトリガーするようになります。ハイサイド MOSFET は、SYNC 入力の立ち上がりエッジから約 320 ns 後にターンオンします (図 34 参照)。外部 SYNC 信号が動作中になくなると、ADP1828 は内部発振器に戻り、内部発振器の 1 サイクル分以内の遅延が発生します。

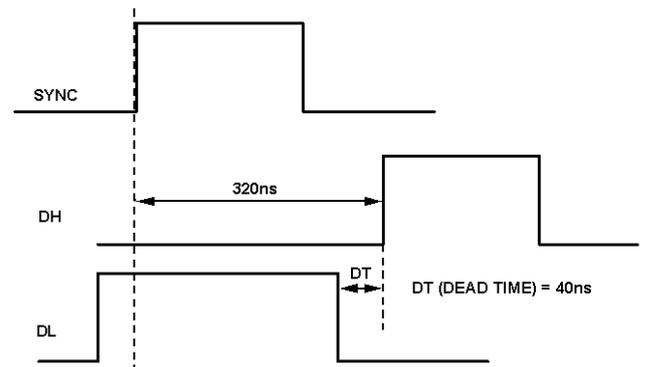


図 34.同期化

08685-035

補償

制御ループは COMP と FB との間に接続する外付け直列 RC 回路により補償され、上の電圧デバイダ抵抗と並列に直列 RC を接続することが必要な場合もあります。COMP は、内部誤差アンプの出力です。

内部誤差アンプは、FB の電圧を内部の 0.6 V リファレンス電圧と比較します。FB 電圧と 0.6 V リファレンス電圧との差は、誤差アンプのオープン・ループ電圧ゲイン 1000(ボルト対ボルト)で増幅されます。与えられた外付け部品と入力/出力電圧条件に対して ADP1828 の安定性と過渡応答を最適化するためには、補償部品を慎重に選択する必要があります。補償部品の選択については電圧モード降圧レギュレータの補償のセクションを参照してください。

電源正常インジケータ

ADP1828 は、出力電圧が公称レギュレーション電圧を 8.3% 下回るか、25% 上回ると電流をシンクするオープン・ドレイン電源正常出力(PGOOD)を持っています。つのコンパレータが、FB 電圧を測定して、これらのスレッシュホールドを設定しています。PGOOD コンパレータは FB を直接モニターし、スレッシュホールドを低電圧については 0.55 V に、過電圧については 0.75 V に、それぞれ固定しています。PGOOD 出力も過熱状態または入力低電圧状態が検出されると電流をシンクし、入力電源電圧が 1.0 V まで下がっても動作できます。

PGOOD と該当する電源電圧との間にプルアップ抵抗を接続して、この出力を電源正常ロジック信号として使用してください。

サーマル・シャットダウン

多くのアプリケーションでは、ADP1828 コントローラ自体は比較的大きな MOSFET を駆動するとしても、通常の条件で多くの熱を発生しません。ただし、同じ PCB 上にある周囲のパワー部

品やその他の回路が PCB を加熱して危険な動作温度になることがあります。チップ温度が約 145°C を超えると、ADP1828 のサーマル・シャットダウン保護回路が LDO とコントローラをシャットダウンしますが、これは単に故障保護だけであるため、システムの信頼性をこれに依存させることはできません。

シャットダウン制御

ADP1828 の DC/DC コンバータは、静止電源電流を 20 μ A に、または IN を VREG に接続したときは 40 μ A に、それぞれ削減する低消費電力シャットダウン・モードを持っています。ADP1828 をシャットダウンするときは、EN をロー・レベルにします。ターンオンするときは、EN をハイ・レベルまたはスリーステートにします。自動スタートアップの場合は、EN と IN を接続します。

トラッキング

ADP1828 は、出力電圧を別の電圧(マスター電圧)に追従させるトラッキング入力 TRK を持っています。この機能は、ADP1828 の出力を別の電圧を超えないように追従させることができるコアと I/O 電圧のシーケンシング・アプリケーションで特に便利です。

内部誤差アンプには、内部 0.6 V リファレンス電圧、SS ピン、TRK ピンの 3 つの正入力があります。誤差アンプは、FB ピンを 3 つの入力の内の最小値にレギュレーションします。電源電圧を追従させるときは、TRK ピンを追従対象となる電圧の抵抗デバイダに接続します。トラッキング機能を使わない場合は、TRK と VREG を接続します。

アプリケーション情報

入力コンデンサの選択

降圧コンバータへの入力電流はパルス波形です。この電流はハイサイド・スイッチがオフの場合はゼロになり、オンの場合はほぼ負荷電流に等しくなります。入力コンデンサに入力リップル電流が流れるため、入力電源は DC 電流のみを供給することができます。入力コンデンサは、入力リップルを処理するために十分なリップル電流定格と、入力電圧リップルを小さくするために十分小さい ESR を持つ必要があります。これらのコンバータの通常の電流範囲では、2 個の並列コンデンサをハイサイド・スイッチ MOSFET のドレインの近くに接続する方法が採用されています(式 2 で計算した十分高い電流定格のバルク・コンデンサ 1 個と 10 μ F のセラミック・コンデンサ 1 個)。

リップル電流定格に基づいて入力バルク・コンデンサを選択します。まず、大きな負荷電流を使って出力のデューティ・サイクルを求めます。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

入力コンデンサ・リップル電流の近似値は次式で与えられます。

$$I_{RIPPLE} \approx I_L \sqrt{D(1-D)} \quad (2)$$

ここで、

I_L は最大のインダクタ電流または負荷電流。

D はデューティ・サイクル。

出力 LC フィルタ

出力 LC フィルタは、SW でスイッチされた電圧を平滑化して、DC 出力電圧を発生します。所望の出力リップル電圧を実現できるように出力 LC フィルタを選択します。出力 LC フィルタはレギュレータの負帰還制御ループ内にあるため、出力 LC フィルタ部品の選択は、レギュレーション制御ループの安定性に影響を与えます。

インダクタのリップル電流が最大 DC 出力負荷電流の約 1/3 になるようにインダクタ値を選択します。大きなインダクタ値を使うと寸法サイズが大きくなり、小さい値を使うと、インダクタおよび/または MOSFET スイッチ内の損失が大きくなります。

次式を使ってインダクタ値を選択します。

$$L = \frac{1}{f_{SW} \times \Delta I_L} V_{OUT} \left[1 - \frac{V_{OUT}}{V_{IN}} \right] \quad (3)$$

ここで、

L はインダクタ値。

f_{SW} はスイッチング周波数。

V_{OUT} は出力電圧。 V_{IN} は入力電圧。

ΔI_L はインダクタ・リップル電流で、一般に最大 DC 負荷電流の 1/3。

所望の出力電圧リップルを設定する出力バルク・コンデンサを選択します。スイッチング周波数での出力コンデンサのインピーダンスにリップル電流を乗算して出力電圧リップルを求めます。このインピーダンスは、容量インピーダンスと、等価直列抵抗(ESR)と等価直列インダクタンス(ESL)を含む公称寄生特性との和で構成されています。出力電圧リップルは次式で近似されます。

$$\Delta V_{OUT} = \Delta I_L \sqrt{ESR^2 + \left(\frac{1}{8f_{SW} C_{OUT}} \right)^2} + (4f_{SW} ESL)^2 \quad (4)$$

ここで、

ΔV_{OUT} は出力リップル電圧。

ΔI_L はインダクタ・リップル電流。

ESR は出力コンデンサの等価直列抵抗(またはすべての出力コンデンサ ESR の並列組み合わせ)。 ESL は出力コンデンサの等価直列インダクタンス (またはすべてのコンデンサ ESL の並列組み合わせ)。

式 4 の係数 8 と 4 は通常、正弦波波形に対して 2π になりますが、このアプリケーションのリップル電流波形は方形波であることに注意してください。異なるタイプのコンデンサの並列組み合わせ、たとえば、MLCC と並列にした大きなアルミニウム電解を使うと、異なる結果になります。

通常、インピーダンスは、コンデンサのデータ・シートで最大 ESR 定格として規定されるように、スイッチング周波数で ESR が支配的になるため、この式は次のように簡単になります。

$$\Delta V_{OUT} \cong \Delta I_L ESR \quad (5)$$

電解コンデンサはタイプ、サイズ、形状に応じて 5 nH~20 nH オーダの大きな ESL を持ち、PCB パターンも ESR と ESL に影響を与えます。ただし、コンデンサのデータ・シートの最大 ESR 定格を使うと、ESL の測定が不要になる程度の余裕が得られます。

出力コンデンサの場合は、スイッチング周波数での ESR と ESL のインピーダンスは小さく、たとえば実効出力コンデンサが並列 MLCC コンデンサのバンクになっている場合には、容量インピーダンスが支配的になり、リップル式は次のように簡単になります。

$$\Delta V_{OUT} \cong \frac{\Delta I_L}{8C_{OUT} f_{SW}} \quad (6)$$

出力コンデンサのリップル電流定格が最大インダクタ・リップル電流より大きいことを確認してください。

出力の負荷ステップ過渡時には、制御ループがインダクタ電流を増加させることができるようになるまで、出力コンデンサが負荷に電源を供給します。負荷変動によるこの初期出力電圧の逸脱は、出力コンデンサの特性に依存します。この場合も、コンデンサの ESR がこの応答を支配し、負荷ステップ電流値 ΔI_L に対して式 6 の ΔV_{OUT} を使うことができます。

MOSFET の選択

MOSFET の選択は直接 DC/DC コンバータの性能に影響を与えます。MOSFET は、 I^2R 損失を小さくするための低いオン抵抗とスイッチング損失を小さくするための小さいゲート電荷を持つ必要があります。さらに、MOSFET は MOSFET で消費される電力により MOSFET のチップ温度が高くなり過ぎないように小さい熱抵抗を持つ必要があります。

ハイサイド MOSFET はオン時に負荷電流を流すため、コンバータの大部分のスイッチング損失を発生させます。一般に、MOSFET のオン抵抗が低いほど、ゲート電荷が大きくなり、逆も成り立ちます。このため、2 つの損失が釣り合ったハイサイド MOSFET を選択することが重要です。ハイサイド MOSFET の伝導損失は、次式で求められます。

$$P_C \cong (I_{LOAD})^2 R_{DS(on)} \left(\frac{V_{OUT}}{V_{IN}} \right) \quad (7)$$

ここで、

P_C は伝導損失。

$R_{DS(on)}$ は MOSFET のオン抵抗。

ゲート充電損失は次式で近似されます。

$$P_G \cong V_{PV} Q_G f_{SW} \quad (8)$$

ここで、

P_G はゲート充電損失。

V_{PV} はゲート・ドライバの電源電圧。

Q_G は MOSFET の合計ゲート電荷。

f_{SW} はコンバータのスイッチング周波数。

ハイサイド MOSFET のスイッチング損失は次式で近似されます。

$$P_T = \frac{V_{IN} I_{LOAD} (t_R + t_F) f_{SW}}{2} \quad (9)$$

ここで、

P_T はハイサイド MOSFET のスイッチング損失。

t_R は MOSFET の立ち上がり時間。

t_F は MOSFET の立ち下がり時間。

ハイサイド MOSFET の合計消費電力は、前記すべての損失の和になり、次のように表されます。

$$P_{HS} \cong P_C + P_G + P_T \quad (10)$$

ここで、

P_{HS} はハイサイド MOSFET の合計損失。

伝導損失は、MOSFET の $R_{DS(on)}$ 温度変化を考慮して調整が必要です。MOSFET の $R_{DS(on)}$ は温度が高くなると大きくなることに注意してください。MOSFET のデータ・シートには、パッケージ熱抵抗 θ_{JA} と $R_{DS(on)}$ 温度係数の正規化したカーブが記載されています。式 10 で計算した消費電力に対して、周囲温度に対する MOSFET ジャンクション温度の上昇を計算します。

$$T_J = T_A + \theta_{JA} P_D \quad (11)$$

次に、温度係数カーブと 25°C における $R_{DS(on)}$ 規定値から新しい $R_{DS(on)}$ を計算します。2 番目の温度 T_J における MOSFET の $R_{DS(on)}$ の別の計算方法は、次のようになります。

$$R_{DS(on)} @ T_J = R_{DS(on)} @ 25^\circ\text{C} (1 + T_C(T_J - 25^\circ\text{C})) \quad (12)$$

ここで、

T_C は MOSFET の $R_{DS(on)}$ の温度係数。

typ 値は 0.004/°C。

次に、伝導損失を再計算することができ、ジャンクション温度の計算が比較的一貫性を持つまで手順を繰り返します。

同期整流子すなわちローサイド MOSFET は、ハイサイド MOSFET がオフのとき、インダクタ電流を流します。ローサイド MOSFET のスイッチング損失は小さいため、計算では無視することができます。入力電圧が高く出力電圧が低い場合は、ローサイド MOSFET が大部分の時間電流を流します。したがって、高い効率を実現するためには、ローサイド MOSFET が低いオン抵抗を持つように最適化することが不可欠です。損失が MOSFET 定格を超える場合または 1 個の MOSFET で可能な値より低い抵抗が必要とされる場合には、複数のローサイド MOSFET を並列に接続します。ローサイド MOSFET の損失は次式で表されます。

$$P_{LS} \cong (I_{LOAD})^2 R_{DS(on)} \left[1 - \frac{V_{OUT}}{V_{IN}} \right] \quad (13)$$

ここで、

P_{LS} はローサイド MOSFET の合計損失。

$R_{DS(on)}$ はローサイド MOSFET の合計オン抵抗。

同期整流子のゲート充電損失の妥当性を式 8 を使ってチェックしてください。複数のローサイド MOSFET を並列にして使用する場合、オン抵抗の並列組み合わせを使って $R_{DS(on)}$ を求めてこの式を解いてください。

電流制限値の設定

電流制限コンパレータは、負荷電流を求めるためにローサイド MOSFET の両端の電圧を測定します。

電流制限値は、電流制限抵抗 R_{CL} を使って設定します。電流検出ピン CSL には、外付けの電流制限設定抵抗 R_{CL} を通して 50 μA が流れます。この電流により、 R_{CL} に 50 μA の CSL 電流を乗算したオフセット電圧が発生します。ローサイド MOSFET R_{DSON} の電圧降下がこのオフセット電圧以上のとき、ADP1828 は電流制限のフラグ表示を行います。

CSL 電流と MOSFET の R_{DSON} は製造プロセスと温度特性により変化するため、システムが所望の最大負荷電流を処理できるように、最小電流制限値を設定する必要があります。このために、インダクタのピーク電流(所望の電流制限レベルとリップル電流の和)、最高予想温度での MOSFET の最大 R_{DSON} 値、最小 CSL 電流値を次のように使います。

$$R_{CL} = \frac{I_{LPK} R_{DSON(MAX)} - 38 \text{ mV}}{42 \mu\text{A}} \quad (14)$$

ここで、

I_{LPK} はインダクタのピーク電流。

-38 mV は CSL スレッシュホールド電圧。

降圧コンバータは通常大きな電流で動作するため、PCB のレイアウトと部品配置が電流制限設定値に影響を与えます。特定のボード・レイアウトと MOSFET の選択に対して、 R_{CL} 値の繰り返し計算が必要となることがあります。MOSFET を生産のある時点で置き換える場合には、これらの抵抗値についても再計算が必要になります。

電流制限値の精確な検出

外付けローサイド MOSFET の R_{DSON} は、温度範囲に対して 50% 以上変化することがあります。ローサイド MOSFET のソースから PGND へ電流検出抵抗を接続すると、電流制限の精確な検出を行うことができます。電流検出抵抗の電力定格がアプリケーションに対して十分であることを確認してください。式 14 を使って R_{CL} を計算して、 $R_{DSON(MAX)}$ を R_{SENSE} で置き換えます。

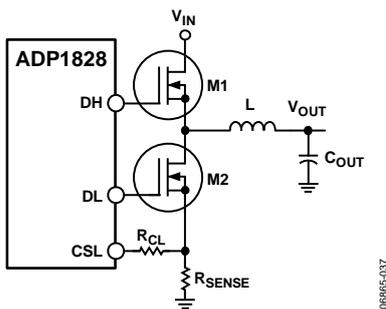


Figure 35. 電流制限の精確な検出

帰還電圧デバイダ

出力レギュレーション電圧は、帰還電圧デバイダを使って設定します。出力電圧を電圧デバイダを使って分割して FB 帰還入力を駆動します。FB のレギュレーション・スレッシュホールドは 0.6 V です。FB に流入する最大入力バイアス電流は 100 nA です。レギュレーション電圧の 0.15% 低下と 100 nA のバイアス電流に対して、ローサイド抵抗 R_{BOT} は 9 k Ω 以下である必要があります。これによりデバイダ電流は 67 μA になります。 R_{BOT} に対して、1 k Ω ~10 k Ω の抵抗を使用します。これより大きな値抵抗を使うことができますが、FB ピンでの入力バイアス電流のために出力

電圧精度が低下します。これより小さい値を使うと、静止消費電流が増えます。次式を使って出力電圧を設定する R_{TOP} を選択します。

$$R_{TOP} = R_{BOT} \left(\frac{V_{OUT} - V_{FB}}{V_{FB}} \right) \quad (15)$$

ここで、

R_{TOP} はハイサイド電圧デバイダの抵抗。

R_{BOT} はローサイド電圧デバイダの抵抗。

V_{OUT} はレギュレーションされた出力電圧。

V_{FB} は帰還レギュレーション・スレッシュホールドの 0.6 V。

電圧モード降圧レギュレータの補償

LC フィルタのデザインが完了したものとして、帰還制御システムを補償します。レギュレータの正しい動作のためには優れた補償が不可欠です。式 16~式 44 の値を計算して補償値を求めます。降圧コンバータの電圧ゲインが、安定動作のために十分な位相マージンを与える傾斜でユニティ・ゲインと交差することを保証することが目標です。さらに、クロスオーバー周波数 (f_{CO}) より上の周波数で、十分なゲイン・マージンとスイッチング・ノイズの減衰を保証することが 2 つ目の重要な目標です。初期の実際のデザインとして、クロスオーバー周波数をスイッチング周波数の 1/10 に選択し、次を計算します。

$$f_{CO} = \frac{f_{SW}}{10} \quad (16)$$

これは、スイッチング・ノイズを減衰させる補償方式をデザインするために十分な周波数範囲を与え、同時に優れた過渡応答を与える十分な制御ループ帯域幅を与えます。

出力 LC フィルタは、周波数 (f_{LC}) での応答に 2 つの極を与える共振回路です。次に、次を計算します。

$$f_{LC} = \frac{1}{2\pi\sqrt{LC}} \quad (17)$$

一般に、LC コーナー周波数はスイッチング周波数より約 2 桁小さいため、クロスオーバー周波数より約 1 桁小さくなります。安定性を保証するためクロスオーバーで十分な位相マージンを確保するためには、LC コーナー周波数の 2 つの極を 2 つのゼロ点で補償して、クロスオーバーの前でシステム位相を大きくする必要があります。2 つのゼロ点は、十分なゲイン・マージンと高い周波数でのスイッチング・ノイズの減衰を確保するために、クロスオーバー周波数の上にさらに 1 つまたは 2 つの極を必要とします。

部品の選択に応じて、1つのゼロ点は出力コンデンサの ESR によって既につくられています。このゼロ点コーナー周波数 f_{ESR} を次のように計算します。

$$f_{ESR} = \frac{1}{2\pi R_{ESR} C_{OUT}} \quad (18)$$

図 36 に、LC フィルタ自体の代表的なボード線図を示します。クロスオーバー点での LC フィルタのゲインは、図 36 から次のように直線近似することができます。

$$A_{FILTER} = A_{LC} + A_{ESR} \quad (19)$$

$$A_{FILTER} = -40 \text{ dB} \times \log\left(\frac{f_{ESR}}{f_{LC}}\right) - 20 \text{ dB} \times \log\left(\frac{f_{CO}}{f_{ESR}}\right)$$

$f_{ESR} \approx f_{CO}$ の場合、実際のソリューションと式 19 の直線近似との間の局所的な差を考慮して、さらに 3 dB を追加します。

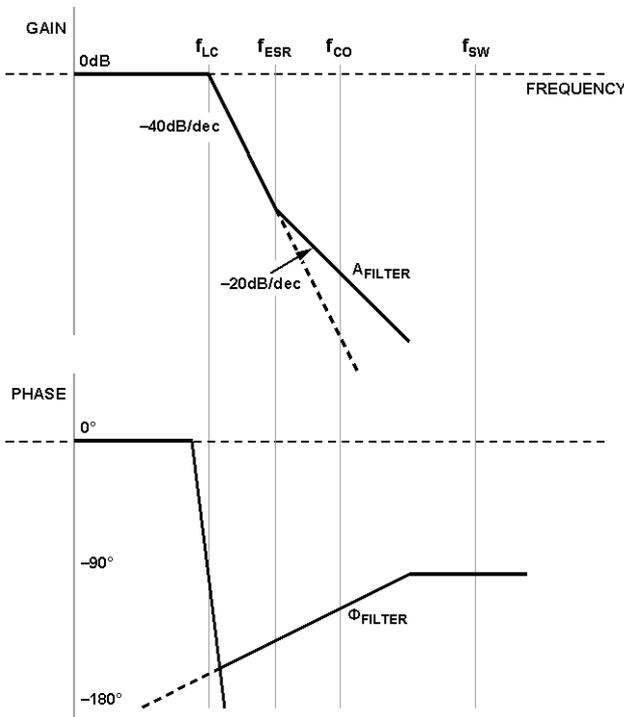


図 36. LC フィルタのボード線図

制御ループを補償するために、システムのゲインを所望のクロスオーバー周波数で 0 dB になるように、戻す必要があります。PWM 変調自体により次のゲインが発生します。

$$A_{MOD} = 20 \log\left(\frac{V_{IN}}{V_{RAMP}}\right) \quad (20)$$

内部発振器を使うシステムでは、次のようになります。

$$A_{MOD} = 20 \log\left(\frac{V_{IN}}{1.0 \text{ V}}\right) \quad (21)$$

コンバータが同期化される場合、FREQ ピンの公称設定に対して増加した周波数パーセント値により、ランプ電圧 V_{RAMP} は 1.0 V より低くなることに注意してください。

$$V_{RAMP} = 1.0 \text{ V} \left(\frac{f_{FREQ}}{f_{SYNC}} \right) \quad (22)$$

たとえば、FREQ をグラウンドまたは VREG に接続すると、 f_{FREQ} はそれぞれ 300 kHz または 600 kHz になります。周波数を抵抗で設定すると、 f_{FREQ} は 300 kHz になり、 f_{SYNC} は抵抗で設定された周波数になります。 f_{SYNC} が f_{FREQ} より小さい場合、 V_{RAMP} は 1.0 V より大きくなります。システム・ゲインの残りはクロスオーバーで 0 dB に到達する必要があります。したがって、システムの合計ゲインは次式で与えられます。

$$A_T = A_{MOD} + A_{FILTER} + A_{COMP} \quad (23)$$

ここで、

A_{MOD} は PWM 変調器のゲイン。

A_{FILTER} は ESR ゼロの効果を含む LC フィルタのゲイン。

A_{COMP} は補償された誤差アンプのゲイン。

さらに、システムの位相を戻して安定性を確保する必要があります。フィルタのボード線図から、LC が -180° の位相シフトを与えていることが分かります(図 36 参照)。誤差アンプは低い周波数では積分器であるため、初期の -90° に寄与しています。したがって、補償を行う前または ESR ゼロを考慮する前に、システムは既に -270° になっています。クロスオーバー点でループの反転すなわち -180° の位相シフトを防止するため、初期デザインでは 60° の位相マージンが必要です。これにより、初期低周波数 DC 位相から -120° の合計位相損失になります。補償の目標は、クロスオーバー点で位相を -270° から -120° へ戻すことです。

2 つの一般的な補償方式が使われます。これらは、補償のデザインに極が 2 個または 3 個含まれることに応じて、Type II 補償または Type III 補償と呼ばれます。Type II 補償のセクションと Type III 補償のセクション参照)。支配的極の補償すなわち 1 極補償は Type I 補償と呼ばれますが、スイッチング・レギュレータの処理にはあまり役立ちません。

出力コンデンサの ESR により発生するゼロ点がクロスオーバー点で十分な位相シフトを与える場合、Type II 補償は非常に役立ちます。出力コンデンサの ESR により発生される位相シフトが不十分な場合は、補償回路にもう 1 つゼロを追加され、Type III が使われます。

図 37 では、SR ゼロ・コーナー周波数の位置がクロスオーバー周波数で非常に異なる位相を与えています。

Type II と Type III のいずれの補償を選択するかガイドラインとして次を使ってください。

$$f_{ESRZ} \leq \frac{f_{CO}}{2} \text{ の場合は、Type II 補償を使用。}$$

$$f_{ESRZ} > \frac{f_{CO}}{2} \text{ の場合は、Type III 補償を使用。}$$

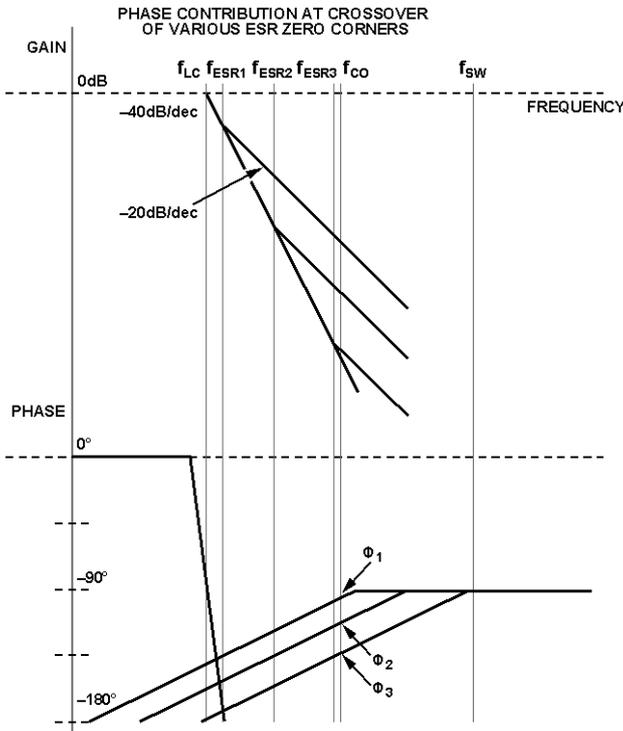


図 37.LC フィルタのボード線図

次の式を使って、図 38 と図 39 に示すように補償部品を計算します。

$$f_{Z1} = \frac{1}{2\pi R_Z C_I} \tag{24}$$

$$f_{Z2} = \frac{1}{2\pi C_{FF}(R_{TOP} + R_{FF})} \tag{25}$$

$$f_{P1} = \frac{1}{2\pi R_Z \frac{C_I C_{HF}}{C_I + C_{HF}}} \tag{26}$$

$$f_{P2} = \frac{1}{2\pi R_{FF} C_{FF}} \tag{27}$$

ここで、
 f_{Z1} は Type II 補償で発生するゼロ点。
 f_{Z2} は Type III 補償で発生するゼロ点。
 f_{P1} は Type II 補償で発生する極。
 f_{P2} は Type III 補償で発生する極。

Type II 補償

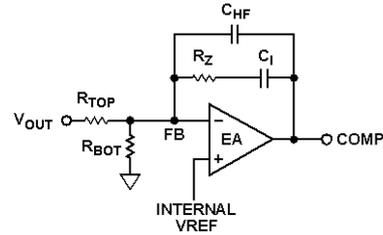
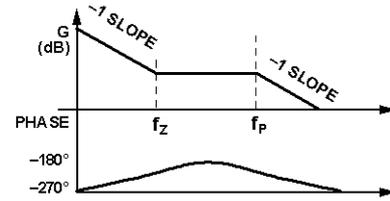


図 38.Type II 補償

出力コンデンサの ESR ゼロ周波数が十分低い場合(クロスオーバー周波数の1/2以下)、ESR を使ってレギュレータを安定化します。この場合、図 38 に示す回路を使います。補償抵抗 R_Z は次式を使って計算します。

$$R_Z = \frac{R_{TOP} V_{RAMP} f_{ESR} f_{CO}}{V_{IN} f_{LC}^2} \tag{28}$$

ここで、
 f_{CO} は f_{SW} の 1/10 に選択。
 V_{RAMP} は 1.0 V。

次に、補償コンデンサを選択して、ゼロ点補償 f_{Z1} をクロスオーバー周波数の1/4以下または LC 共振周波数の1/2以下に設定します。

$$f_{Z1} = \frac{f_{CO}}{4} = \frac{f_{SW}}{40} = \frac{1}{2\pi R_Z C_I} \tag{29}$$

または

$$f_{Z1} = \frac{f_{LC}}{2} = \frac{1}{2\pi R_Z C_I} \tag{30}$$

式 29 の C_I について解くと、

$$C_I = \frac{20}{\pi R_Z f_{SW}} \tag{31}$$

式 30 の C_I について解くと、

$$C_I = \frac{1}{\pi R_Z f_{LC}} \tag{32}$$

式 31 または式 32 から大きい方の C_1 値を使います。誤差アンプの出力電流駆動能力は有限であるため、 C_1 は 10 nF 以下である必要があります。 C_1 が 10 nF より大きい場合は、大きな R_{TOP} を選択して、 C_1 が 10 nF 以下になるまで R_Z と C_1 を再計算します。

次に、高い周波数の極 f_{P1} を f_{SW} の $1/2$ に選択します。

$$f_{P1} = \frac{1}{2} f_{SW} \quad (33)$$

$C_{HF} \ll C_1$ であるため、式 26 は次のように簡略化されます。

$$f_{P1} = \frac{1}{2\pi R_Z C_{HF}} \quad (34)$$

式 33 と式 34 を組み合わせて、 C_{HF} について解くと

$$C_{HF} = \frac{1}{\pi f_{SW} R_Z} \quad (35)$$

Type III 補償

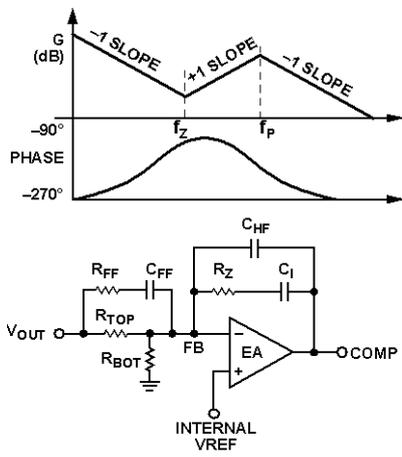


図 39.Type III 補償

出力コンデンサの ESR ゼロ周波数がクロスオーバー周波数の $1/2$ より大きい場合、Type III を図 39 のように使います。極とゼロ点を次のように設定します。

$$f_{P1} = f_{P2} = \frac{1}{2} f_{SW} \quad (36)$$

$$f_{Z1} = f_{Z2} = \frac{f_{CO}}{4} = \frac{f_{SW}}{40} = \frac{1}{2\pi R_Z C_1} \quad (37)$$

または

$$f_{Z1} = f_{Z2} = \frac{f_{LC}}{2} = \frac{1}{2\pi R_Z C_1} \quad (38)$$

式 37 または式 38 の低いほうのゼロ周波数を使います。補償抵抗 R_Z を計算します。

$$R_Z = \frac{R_{TOP} V_{RAMP} f_{ZI} f_{CO}}{V_{IN} f_{LC}^2} \quad (39)$$

次に、 C_1 を計算します。

$$C_1 = \frac{1}{2\pi R_Z f_{ZI}} \quad (40)$$

誤差アンプの出力電流駆動能力は有限であるため、 C_1 は 10 nF 以下である必要があります。 C_1 が 10 nF より大きい場合は、大きな R_{TOP} を選択して、 C_1 が 10 nF 以下になるまで R_Z と C_1 を再計算します。

$C_{HF} \ll C_1$ であるため、式 26 と式 36 を組み合わせると次のようになります。

$$C_{HF} = \frac{1}{\pi f_{SW} R_Z} \quad (41)$$

次に、フィード・フォワード・コンデンサ C_{FF} を計算します。 $R_{FF} \ll R_{TOP}$ とすると、式 25 は簡略化されて、

$$f_{Z2} = \frac{1}{2\pi C_{FF} R_{TOP}} \quad (42)$$

式 42 の C_{FF} について解くと、

$$C_{FF} = \frac{1}{2\pi R_{TOP} f_{Z2}} \quad (43)$$

ここで、 f_{Z2} は式 37 または式 38 から取得。

フィード・フォワード抵抗 R_{FF} は、式 27 と式 36 から計算されます。

$$R_{FF} = \frac{1}{\pi C_{FF} f_{SW}} \quad (44)$$

計算した部品値が妥当なことをチェックしてください。たとえば、約 10 pF より小さいコンデンサの使用は避けてください。さらに、ADP1828 誤差アンプの出力電流駆動能力は有限であるため、3 kΩ 以下の R_Z 値と 10 nF 以上の C_1 値の使用は避ける必要があります。必要に応じて、 R_{TOP} の別の初期値を使って補償回路の再計算を行ってください。 R_Z 小さ過ぎる場合または C_1 が大き過ぎる場合、 R_{TOP} の初期値を大きくして再計算します。この補償技術により、優れたソリューションを得ることができます。

一般に、アルミニウム電解コンデンサの ESR は大きいため、Type II 補償が適していますが、複数のアルミニウム電解コンデンサを並列に接続すると、実効 ESR を小さくできるので、Type III 補償が必要になります。さらに、セラミック・コンデンサの ESR は非常に小さいので (数 mΩ)、Type III 補償が優れた選択肢になります。Type III 補償は、低周波ゲインが小さい、位相マージンが大きい、クロスオーバー周波数での高周波ゲインが小さいという点で、Type II より優れた性能を提供します。

ソフト・スタート

ADP1828 では調整可能なソフト・スタート機能を使って、出力電圧上昇時間を制限して、入力突入電流を抑えています。SS と GND との間に接続するコンデンサ C_{SS} を設定することにより、ソフト・スタートを選択します。ADP1828 は内部 90 k Ω 抵抗を介して C_{SS} を 0.8 V に充電します。充電中のソフト・スタート・コンデンサの電圧は、

$$V_{CSS} = 0.8 V \left(1 - e^{-\frac{t}{90 \text{ k}\Omega C_{SS}}} \right) \quad (45)$$

ソフト・スタート期間は、ソフト・スタート・ピンの電圧が 0.6 V に到達したとき終わります。 V_{SS} に 0.6 V を代入してソフト・スタート時間 t_{SS} について解くと、

$$0.6 V = 0.8 V \left(1 - e^{-\frac{t}{90 \text{ k}\Omega C_{SS}}} \right) \quad (46)$$

$$t_{SS} = 1.386 RC_{SS} \quad (47)$$

$R = 90 \text{ k}\Omega$ であるため、

$$C_{SS} = t_{SS} \times 8 \mu\text{F}/\text{sec} \quad (48)$$

ここで、 t_{SS} は所望のソフト・スタート時間(sec)。

スイッチング・ノイズとオーバーシュートの削減

高速な降圧レギュレータでは、ゲート、スイッチ・ノード(SW)、外付け MOSFET のドレインに、高周波ノイズ(一般に 50 MHz ~ 100 MHz の範囲)と電圧オーバーシュートが常に存在します。高周波ノイズとオーバーシュートは、外付け MOSFET の寄生容量 C_{gd} 、およびゲート・パターンと MOSFET パッケージの寄生インダクタンスが原因になります。大きい電流をスイッチすると、電磁干渉(EMI)が発生し、これが周辺回路の動作に影響を与えます。MOSFET のドレインでの電圧リングを小さくするためには、図 40 に示すように、RC スナバ回路を SW と PGND との間に接続することができます。大部分のアプリケーションでは、 R_{SNUB} は約 2 Ω 、 C_{SNUB} は約 1.2 nF です。 R_{SNUB} と C_{SNUB} は次式で計算できます。

$$R_{SNUB} = \frac{1}{2\pi f C_{OSS}} \quad (49)$$

$$(50)$$

ここで、

f は SW ノードで測定した高周波リング。

C_{OSS} はハイサイド MOSFET とローサイド MOSFET の合計出力容量(MOSFET データ・シート値)。

RC スナバ回路部品のサイズは、消費電力を処理できるように適切に選択する必要があります。 R_{SNUB} での消費電力は、

$$P_{SNUB} = V_{IN}^2 C_{SNUB} f_{SW}$$

大部分のアプリケーションでは、サイズ 0805 の部品で十分です。RC スナバ回路を使用すると、一般に 0.1% ~ 0.5% の範囲で全体の効率が低下します。ただし、RC スナバ回路は電圧オーバーシュートを小さくすることはできません。図 40 に R_{RISE} で示す抵抗を BST ピンに使用すると、オーバーシュートの削減に役立ち、一般に 1 Ω ~ 5 Ω の値が使用されます。

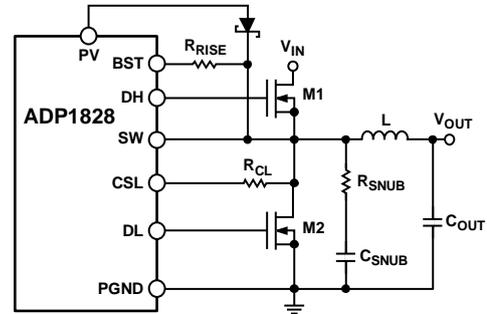


図 40.スナバ回路を使用するアプリケーション回路

電圧トラッキング

ADP1828 は、マスター電圧に追従する(トラッキングする)機能を内蔵しています。この機能は、DSP やマイクロコントローラのコア電圧および I/O 電圧のように、複数の ADP1828 (または ADP1829 のような他のコントローラ)が個別の電源電圧を供給する場合、特に重要です。これらの場合、不適切なシーケンシング機能を使うと、負荷に損傷を与えることがあります。

ADP1828 トラッキング入力は、誤差アンプに対する正の追加入力になっています。帰還電圧を、0.6 V のリファレンス、SS 電圧、または TRK 電圧より低い値にレギュレーションして、TRK での低い方の電圧が出力電圧を制限するようにします。この機能を使うと、一致トラッキング(マスター電圧がレギュレーション状態になるまで出力電圧がマスター電圧に一致)と比例トラッキング(出力電圧をマスター電圧の整数分の 1 に制限)の 2 種類のトラッキング機能を実現することができます。

すべてのトラッキング構成で、マスター電圧の最終値はスレープ電圧より高い必要があります。

マスター電圧のソフト・スタート時間設定は、スレープ電圧のソフト・スタートより長い必要があることに注意してください。これにより、マスター電圧の立ち上がり時間がスレープ電圧に適用できるようになります。スレープ電圧のソフト・スタート設定の方が長いと、スレープの立ち上がりが遅いため、トラッキング関係が出力に現れません。この場合でも、スレープ・チャンネルには、電流制限の後の再スタート時にデバイスを保護するために必要な短い妥当なソフト・スタート時間を与えるために、ソフト・スタート・コンデンサが必要です。

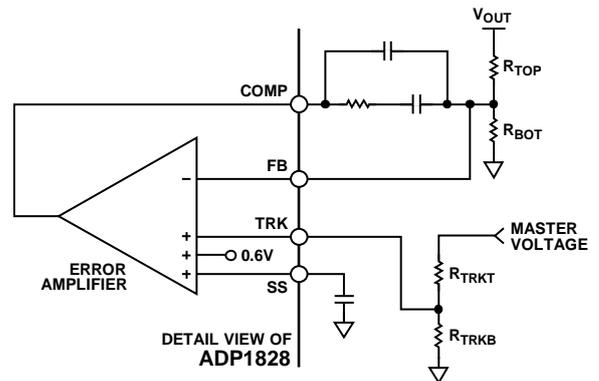


図 41.電圧のトラッキング

一致トラッキング

多くの一般的なアプリケーションは、コアと I/O 電圧との間のシーケンシングで使用される一致トラッキングおよび同様のアプリケーションです。一致トラッキングでは、スレーブ出力電圧がレギュレーション状態になるまでマスター電圧に一致するように制限されます。スレーブの TRK 入力をマスター電圧からの抵抗分圧器(スレーブ FB ピンで使用される分圧器と同じ)に接続します。これにより、スレーブ電圧はマスター電圧と強制的に一致させられます。

一致トラッキングの場合、次式を使います。

$$R_{TRKT} = R_{TOP} \text{ and } R_{TRKB} = R_{BOT}$$

ここで、

R_{TOP} と R_{BOT} は電圧モード降圧レギュレータの補償のセクションで選択した値。

一致トラッキング回路の例については、図 42 を参照してください。

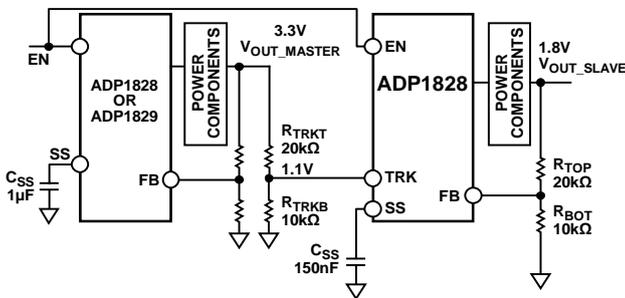


図 42.一致トラッキング回路の例

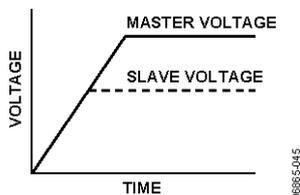


図 43.一致トラッキング

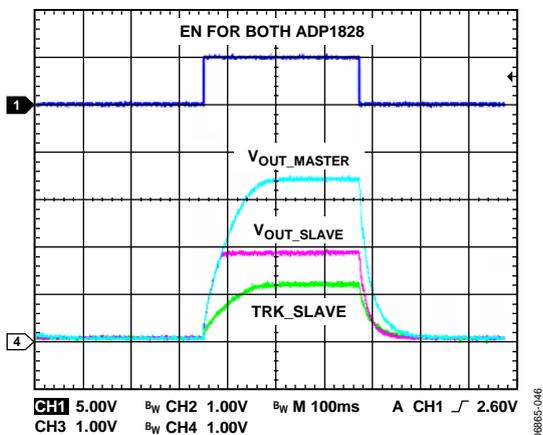


図 44.図 42 の一致トラッキング

マスター電圧が上昇すると、スレーブ電圧も同じパターンで上昇します。最終的に、スレーブ電圧がレギュレーション電圧に

到達すると、内部リファレンス電圧がレギュレーションを引き継ぎますが、TRK 入力の上昇を続ける間は、出力電圧の制御を停止しています。TRK ピン電圧を 0.6 V のリファレンス電圧に近づきさせ過ぎて、出力電圧精度を損なわないように、マスター電圧の最終値をスレーブ・レギュレーション電圧より少なくとも 10% 高く、あるいは FB ノードから見て 60 mV 高く設定することに注意してください(高いほど、望ましい)。TRK と 0.6 V のリファレンス電圧との間の 60 mV の差により、誤差アンプに約 3 mV(室温で 0.5%)のオフセットが発生します。これに対して、100 mV の差では発生するオフセットは僅か 0.6 mV (0.1%) になります。正確なトラッキングを得るためには、TRK の最終電圧を 0.5 V 以下に設定してください。ただし、この条件により PGOOD 信号が変化することがあります。

比例トラッキング

比例トラッキングでは、出力電圧をマスター電圧の整数分の 1 に制限します。たとえば、DDR メモリ (VTT) の終端電圧は VDDQ 電圧の 1/2 に設定します。

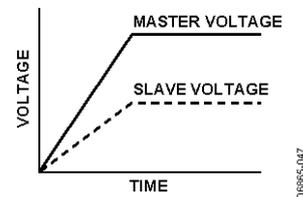


図 45.比例トラッキング

比例トラッキングの場合、最も簡単な設定は、スレーブ・チャンネルの TRK ピンをマスター・チャンネルの FB ピンへ接続する方法です。この方法の利点は部品数が少ないことですが、TRK ピン電圧が内部リファレンス電圧に等しくなるため、誤差アンプへ加わるオフセットが室温で約 18 mV になるので精度が低下することです。

さらに正確なソリューションは、マスター電圧からのデバイダを使う方法です。この方法ではレギュレーション時に TRK ピン電圧を 0.6 V より低い値、たとえば 0.5 V に設定します。スレーブ・チャンネルは、マスター電圧から 0.5 V の外部リファレンスを獲得していると見なすことができます。TRK 電圧が 0.55 V より低く設定されると、PGOOD が変化することに注意してください。

これが完了したら、スレーブ電圧の FB デバイダを電圧モード降圧レギュレータの補償のセクションのようにデザインします。ただし、 V_{FB} 電圧を 0.5 V のリファレンスで置き換えます。マスター電圧に対するスレーブ出力電圧の比は、次式のように 2 つのデバイダの関数になります。

$$\frac{V_{OUT}}{V_{MASTER}} = \left(\frac{1 + \frac{R_{TOP}}{R_{BOT}}}{1 + \frac{R_{TRKT}}{R_{TRKB}}} \right) \quad (51)$$

図 46 に比例トラッキング回路の例を、図 47 にその電圧トラッキング波形を、それぞれ示します。

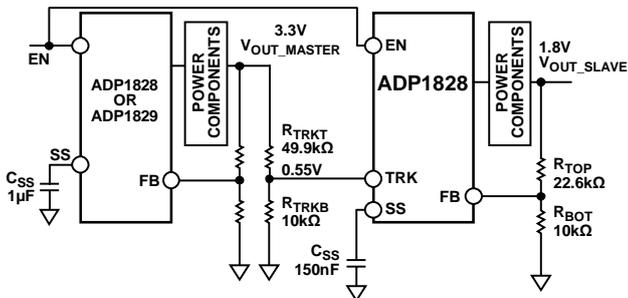


図 46. 比例トラッキング回路の例

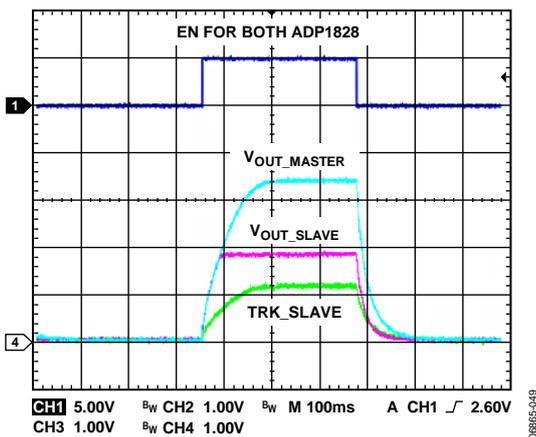


図 47. 図 46 の比例トラッキング

もう 1 つのオプションは、マスター電圧のデバイダにタップを 1 つ追加する方法です。マスター電圧の R_{BOT} 抵抗を 2 つに分けて、マスター電圧がレギュレーション状態にあるとき新しいタップが 0.5 V になるようにします。これにより抵抗が 1 本節約されますが、マスター電圧での Type III 補償により、マスター電圧のフィード・フォワード信号がスレーブ・チャンネルの TRK 入力に現れるようになります。

図 48 に、DDR メモリ終端アプリケーション回路の例を示します。この例では、DDR メモリ終端電圧 VTT は VDDQ の 1/2 になっ

ています。VTT は、ADP1828 のオフ・サイクル時にシンク電流を流すことができます。図 49 の出力波形に、VDDQ 出力変化の 1/2 だけ VTT が変化することを示します。

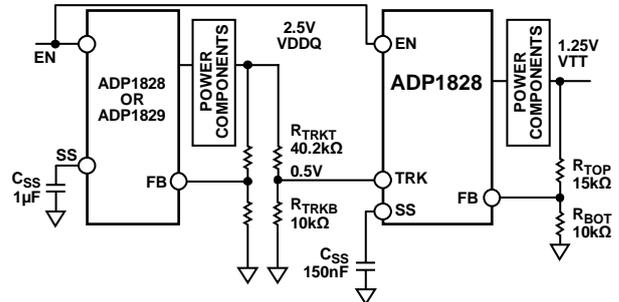


図 48. DDR 終端回路の例

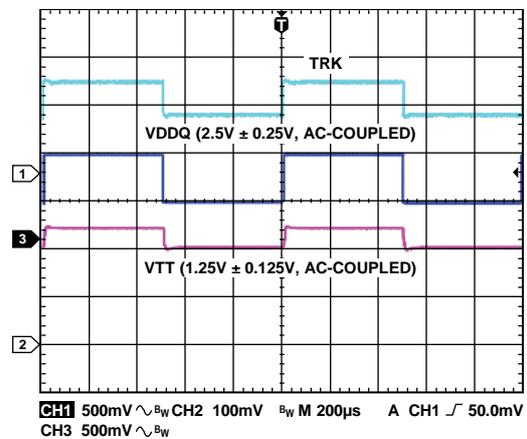


図 49. DDR 終端と図 48 の出力波形

さらに、デバイダの抵抗値を慎重に選択して、スレーブの TRK 電圧を 0.6 V より大きく設定し、さらに R_{TRKB} を R_{TRKT} より大きくすることにより、スレーブ電圧出力のランプ・レートをマスター電圧のそれより高速化できることが式 51 から分かります。入力突入電流がスタートアップ時に電源の電流制限領域に入らないように、マスター SS 期間が十分長い(すなわち、十分大きな SS コンデンサを使用)ことを確認してください。

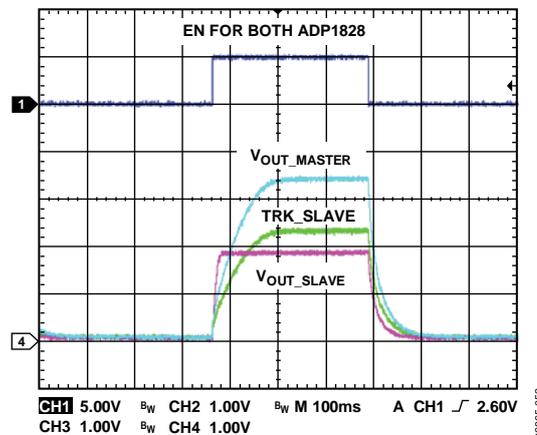


図 50. 図 46 の比例トラッキング、 $R_{TRKT} = 5 \text{ k}\Omega$

熱に対する考慮事項

外付け MOSFET の駆動に必要なとされる電流が、ADP1828 の消費電力の大きな部分を構成します。内蔵 LDO は 5 V までレギュレ

ーション電圧を下げて、この 5 V 電源をドライバに供給しています。フル・ゲート駆動電流が LDO を通過して、ゲート・ドライバで消費されます。ADP1828 のゲート・ドライバで消費される電力は、

$$P_D = V_{IN} f_{SW} (Q_{DH} + Q_{DL}) \quad (52)$$

ここで、

V_{IN} は IN に加えられる電圧。

f_{SW} はスイッチング周波数。

Q の値は MOSFET データ・シートの合計ゲート電荷規定値。

消費電力により ADP1828 が加熱されます。スイッチング周波数、入力電圧、MOSFET サイズが大きくなると、ADP1828 の消費電力も大きくなります。最大ジャンクション温度を超えないよう

に注意する必要があります。周囲温度と消費電力からジャンクション温度を計算するときは、次式を使います。

$$T_J = T_A + P_D \theta_{JA} \quad (53)$$

ボード・レイアウトに応じて、パッケージの熱抵抗(θ_{JA})は 83°C/W で、最大規定ジャンクション温度は 125°C です。これは、自然空冷での最大周囲温度が 85°C、最大許容消費電力が約 1 W であることを意味します。

チップ温度が約 145°C を超えると、ADP1828 のサーマル・シャットダウン保護回路が LDO とコントローラをシャットダウンしますが、これは単に故障保護だけであるため、システムの信頼性をこれに依存させることはできません。

PCBレイアウト・ガイドライン

すべてのスイッチング・コンバータに、大きな di/dt を通過させる回路パスが存在し、これがスパイクとノイズを発生させます。他の回路パスはノイズに敏感です。他の回路は大きい DC 電流を流すとき大きな IR 電圧降下を発生させます。スイッチング・コンバータの PCB レイアウトで重要なことは、これらのクリティカル・パスを特定して、部品と銅導体を配置することです。PCB レイアウトをデザインするときは、大きな電流のループを小さくすることに注意する必要があります。さらに、補償部品と帰還部品をスイッチ・ノードとそれに接続された部品から離して配置します。

次に、同期降圧コントローラの推奨レイアウト法を重要度の高い順に示します。

- ハイサイド FET とローサイド FET の電流波形は大きな di/dt を持つパルスであるため、各 FET に対するパスはできるだけ短くして、2 つのパスはできるだけ共通にします。D-Pak FET の対または SO-8 FET の対を PCB の片面で使用するデザインでは、スイッチ・ノードが対の一方の側に来るように配置し、FET のできるだけ近くに配置した適切なセラミック・バイパス・コンデンサでハイサイド・ドレインをローサイド・ソースへバイパスできるようにして、FET とコンデンサを通過するループで発生するインダクタンスを小さくするために、2 つのパスを反対廻りにすることが最適です。バイパス・セラミック・コンデンサ推奨値の範囲は、出力電流に応じて $1\ \mu\text{F}$ ~ $22\ \mu\text{F}$ です。このバイパス・コンデンサは通常、大きい値のバルク・フィルタ・コンデンサに接続され、PGND プレーンへ接地する必要があります。
- GND、IN バイパス、ソフト・スタート・コンデンサの負側ピン(さらに出力帰還デバイダ抵抗の下端)は、ほぼ分離された小さい AGND プレーンに接続する必要があります。これらのすべての接続は、それぞれのピンから AGND プレーンまで最短で行う必要があります。大きな電流または di/dt の大きい信号をこの AGND プレーンに接続しないようにします。AGND 領域は、1 つの広いパターンで出力フィルタ・コンデンサの負側ピンに接続する必要があります。
- PGND ピンは、ローサイド MOSFET のソースから戻ってくる di/dt の大きいゲート駆動電流を処理します。このピンの電圧は、過電流制限保護機能と CSL ピンの 0 V リファレンスも設定します。PGND プレーンは、太く直線的なパスを介して、PGND ピンと $1\ \mu\text{F}$ の PV バイパス・コンデンサをローサイド MOSFET のソースへ接続する必要があります。C_{IN} の配置は、グラウンド・バウンスの制御にとって重要です。C_{IN} の負側ピンは、ローサイド MOSFET のソースの直ぐ近くに配置する必要があります。
- FB ピンと CSL ピンに長いパターンまたは大きな銅領域を使用しないようにします。これら入力ピンの信号レベルは非常に小さいので、容量性と誘導性のノイズ混入に敏感です。直列抵抗とコンデンサをできるだけこれらのピンに近づけて配置します。 di/dt が大きいパターンに近くおよび/または並列にこれらのパターンを配置しないようにします。
- スイッチ・ノードはスイッチ回路の中で最もノイズの多い場所であり、AC と DC の大きな電圧と電流が発生します。このノードを広くして抵抗電圧降下を小さくする必要があります。ただし、容量結合ノイズの発生を小さくするためには、合計面積を小さくする必要があります。FET とインダクタを互いに近づけて小さいプレーン内に配置して、直列抵抗を小さくし、同面積を小さくする必要があります。
- ゲート駆動パターン(DH と DL)は、大きい di/dt を処理するため、ノイズとリングングを発生する傾向があります。これらはできるだけ短く直線的にする必要があります。可能な場合、ゲート駆動パターンでのフィードスルー・ビアの使用を避けてください。ビアが必要な場合は、比較的小型のものを 2 個並列に使用して、ピーク電流密度と各ビアの電流を小さくします。PCB レイアウト全体が最適でない場合は、ゲート駆動を少し低速にすると、ノイズとリングングを小さくすることに非常に役立ちます。DH ピンおよび DL ピンとそれぞれの MOSFET ゲートとの間に小さい値の抵抗($5\ \Omega$ または $10\ \Omega$ など)を接続することが、役立つときもあります。抵抗を使わない場合は、これらに $0\ \Omega$ 抵抗を実装します。ゲート抵抗を追加すると、スイッチングの立ち上がり時間と立ち下がり時間、さらに MOSFET でのスイッチング損失が増えることに注意してください。
- 出力フィルタ・コンデンサの負側ピンは、ローサイド FET のソースの近くに接続する必要があります。この接続により、GND と PGND との電位差が小さくなります。
- すべてのパターンは、処理する電流と回路の感度に従ってサイズを決める必要があります。標準の PCB レイアウト・ガイドラインは、主に銅導体内の電流による加熱効果を考慮しています。これらは全く有効ですが、漂遊インダクタンスまたは DC 電圧降下のような他の問題を完全にカバーしていません。ADP1828 の GND とコンバータ電力出力グラウンドとの間の接続における DC 電位差により、大きな出力電圧誤差が発生します。これは、600 mV の帰還リファレンスに対する比率に従ってコンバータ出力電圧が影響を受けるためです。たとえば、between on the ADP1828 のグラウンドとコンバータ電力出力との間の 6 mV のオフセットにより、コンバータ出力電圧に 1% の誤差が発生します。

正確な出力電圧を実現するためには、AGND プレーンと PGND プレーンの適切な接地が必要です。負荷が小または中程度の場合、AGND プレーンをパターンで PGND プレーンに接続することは、優れた出力精度を得るために十分です(図 51 参照)。PGND プレーンが十分大きく、かつ小または中程度の場合、PGND プレーン間の電圧降下は無視できます。

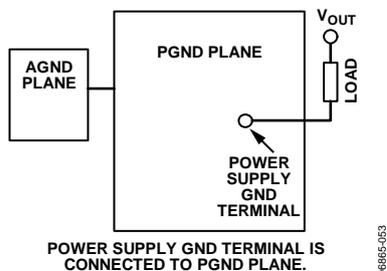


図 51. 負荷が小または中程度の場合の接地技術

ただし、負荷が 20 A のように大きい場合、PGND プレーン内の電圧降下が大きくなるため、出力精度に影響を与えます。AGND プレーンは、負荷の負側ピンと電源へ直接接続する必要があります(図 52 参照)。電源 GND ピンと負荷 GND ピンは互いに近くに配置し、これらの 2 ピン間の電圧降下を小さくして、出力精度を向上させます。

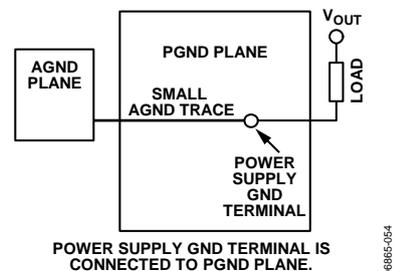


図 52. 負荷が大きい場合の接地技術

推奨部品のメーカー

表 5.

Vendor	Components
AVX Corporation	Capacitors
Central Semiconductor Corp.	Diodes
Coilcraft, Inc.	Inductors
Diodes, Inc.	Diodes
International Rectifier	Diodes, MOSFETs
Murata Manufacturing Co., Ltd.	Capacitors, inductors
ON Semiconductor	Diodes, MOSFETs
Rubycon Corporation	Capacitors
Sanyo	Capacitors
Sumida Corporation	Inductors
Taiyo Yuden, Inc.	Capacitors, inductors
Toko America, Inc.	Inductors
United Chemi-Con, Inc.	Capacitors
Vishay Siliconix	Diodes, MOSFETs, resistors, capacitors
Würth Elektronik	Inductors

アプリケーション回路

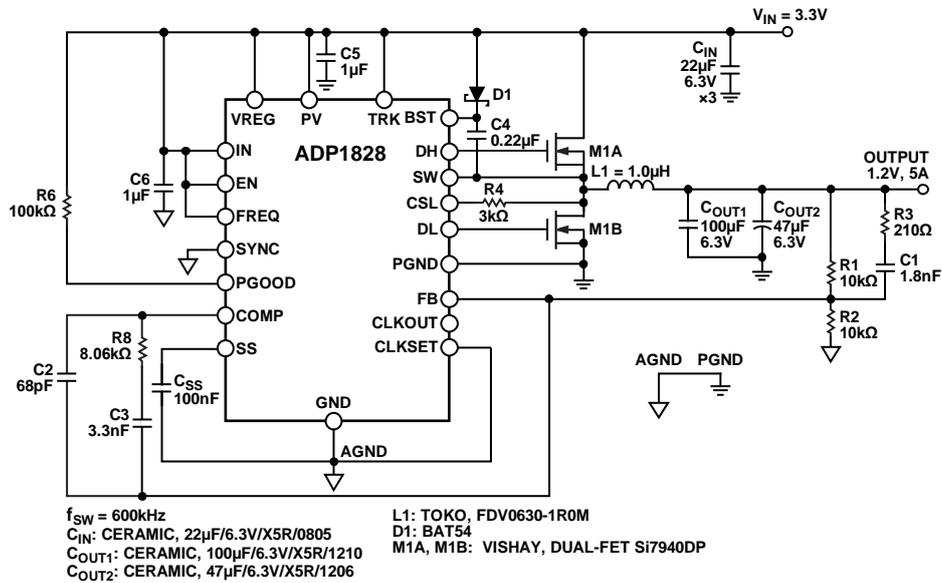


図 53.アプリケーション回路、VIN = 3.3 V、すべてセラミックを使用

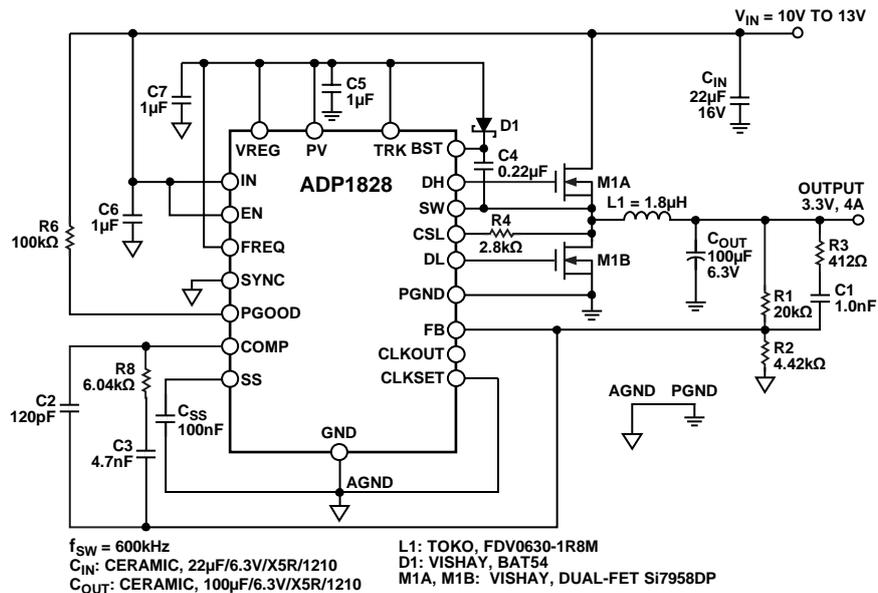


図 54.アプリケーション回路、VIN = 12 V、すべてセラミックを使用

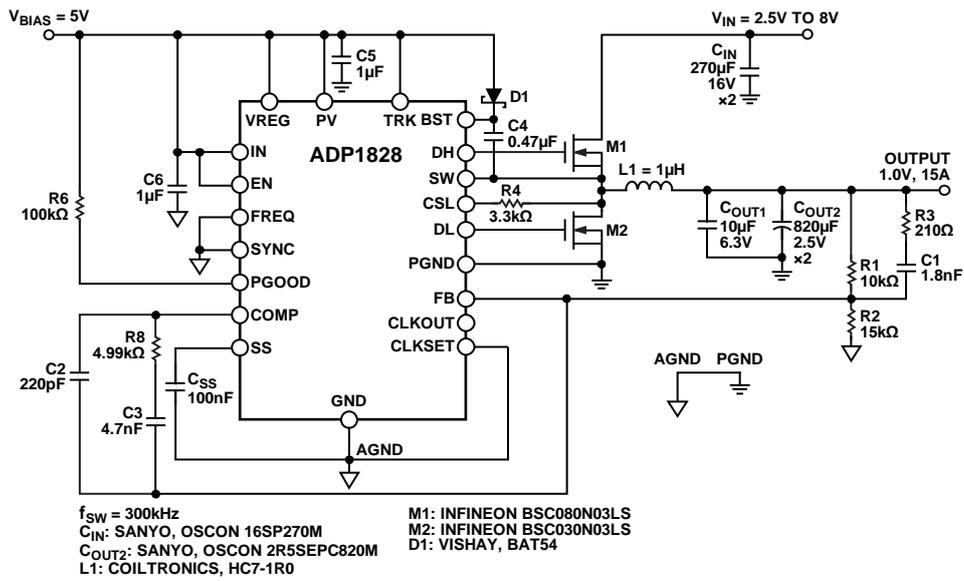


図 55. アプリケーション回路、 $V_{IN} = 2.5\text{V} \sim 8\text{V}$

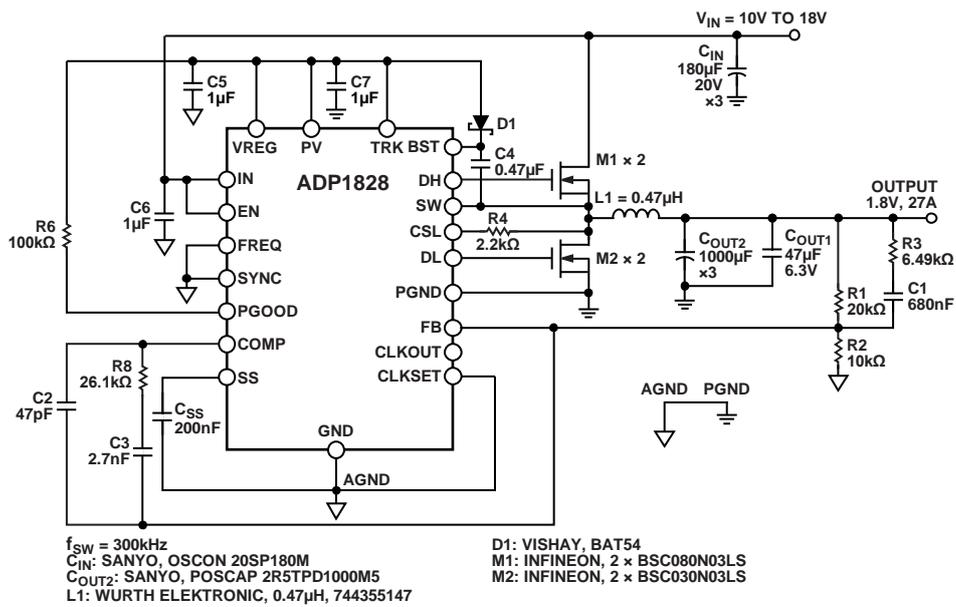


図 56. アプリケーション回路、出力 27 A

外形寸法

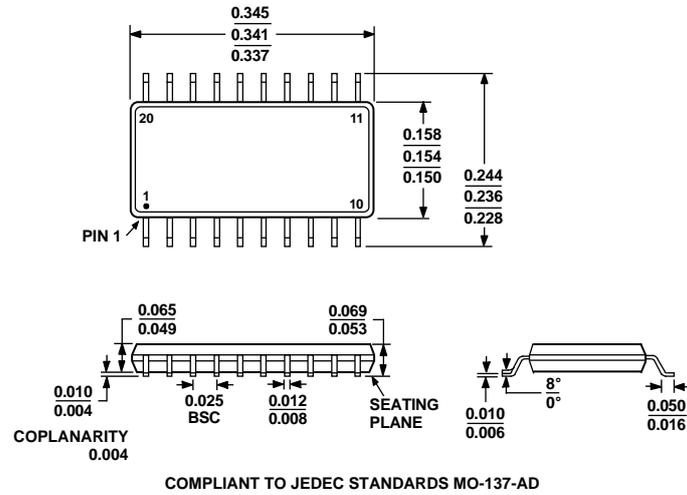


図 57. 20 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
150 ミル・ボディ (RQ-20)
寸法:インチ

オーダー・ガイド

Model	Temperature Range ¹	Package Description	Package Option	Quantity
ADP1828YRQZ-R7 ²	-40°C to +85°C	20-Lead Shrink Small Outline Package (QSOP)	RQ-20	1,000
ADP1828LC-EVALZ		Evaluation Board with 5 A Output		1
ADP1828HC-EVALZ		Evaluation Board with 20 A Output		1

¹ 動作ジャンクション温度は-40°C~125°C。

² Z = RoHS 準拠製品