

特長

超低ノイズ: 9 $\mu\text{V rms}$ 、 V_{OUT} に無関係
ノイズ・バイパス・コンデンサの追加が不要
1 μF のセラミック入力および出力コンデンサで安定
最大出力電流: 150 mA
入力電圧範囲: 2.2 V~5.5 V
低静止電流

I_{GND} = 無負荷で 10 μA

低シャットダウン電流: 1 μA 以下

低ドロップアウト電圧: 150 mA 負荷で 105 mV

初期出力電圧精度: $\pm 1\%$

最大 14 種類の固定出力電圧オプション: 1.8 V~3.3 V

PSRR 性能: 10 kHz で 70 dB

電流制限機能と熱過負荷保護機能

ロジック制御によるイネーブル

5 ピン TSOT パッケージを採用

4 ボール、0.8 mm \times 0.8 mm、0.4 mm ピッチ WLCSP パッケージを採用

アプリケーション

携帯電話

デジタル・カメラおよびオーディオ機器

ポータブル型およびバッテリー駆動の装置

ポスト DC/DC レギュレーション

ポータブル医用機器

RF、PLL、VCO、クロックの電源

概要

ADP150 は超低ノイズ (9 μV)、ロー・ドロップアウトのリニア・レギュレータであり、2.2 V~5.5 V で動作し、最大 150 mA の出力電流を提供します。150 mA 負荷で 105 mV の低いドロップアウト電圧を持つため、高い効率と広い入力電圧範囲での動作が可能です。

ADP150 では技術革新的回路を採用し、ノイズ・バイパス・コンデンサの追加なしで超低ノイズ性能を実現しているため、ノイズに敏感なアナログおよび RF アプリケーションに最適です。また ADP150 は、PSRR またはラインと負荷の過渡性能を犠牲にすることなく超低ノイズ性能を実現しています。ADP150 は、超低ノイズと静止消費電流の最適な組み合わせを提供し、ポータブル・アプリケーションでのバッテリー寿命を最大化します。

代表的なアプリケーション回路

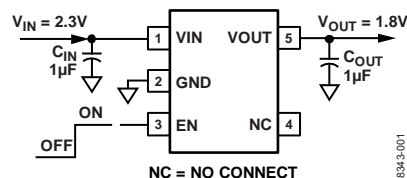


図 1.5 ピン TSOT、固定出力電圧 1.8 V

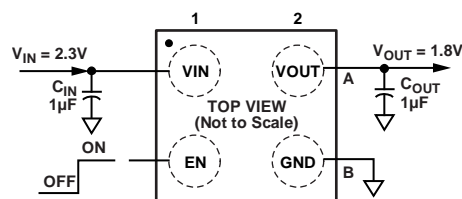


図 2.4 ボール WLCSP、固定出力電圧 1.8 V

ADP150 は、1 $\mu\text{F} \pm 30\%$ の小型セラミック入力および出力コンデンサで安定に動作するようにデザインされているため、高性能な省スペース・アプリケーションの要求を満たします。

ADP150 は、1.8 V~3.3 V の 14 種類の固定出力電圧オプションを提供しています。

短絡および熱、過負荷保護回路により、不測の条件下での損傷を防止します。ADP150 は小型の 5 ピン TSOT パッケージ、または 4 ボールの 0.4 mm ピッチ WLCSP パッケージを採用し、様々なポータブル電源アプリケーションの要求を満たす最小フットプリントのソリューションを提供します。

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	動作原理.....	11
代表的なアプリケーション回路.....	1	アプリケーション情報.....	12
概要.....	1	コンデンサの選択.....	12
改訂履歴.....	2	低電圧ロックアウト機能.....	13
仕様.....	3	イネーブル機能.....	13
入力および出力コンデンサの推奨仕様.....	4	電流制限および熱過負荷保護.....	13
絶対最大定格.....	5	熱に対する考慮事項.....	14
熱データ.....	5	プリント基板レイアウト時の考慮事項.....	17
熱抵抗.....	5	外形寸法.....	18
ESDの注意.....	5	オーダー・ガイド.....	19
ピン配置およびピン機能説明.....	6		

改訂履歴

4/10—Rev. 0 to Rev. A	
Changes to Figure 21.....	9
10/09—Revision 0: Initial Version	

仕様

特に指定がない限り、 $V_{IN} = (V_{OUT} + 0.4 \text{ V})$ または 2.2 V (いずれか大きい方)、 $EN = V_{IN}$ 、 $I_{OUT} = 10 \text{ mA}$ 、 $C_{IN} = C_{OUT} = 1 \mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	V_{IN}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	2.2		5.5	V
OPERATING SUPPLY CURRENT	I_{GND}	$I_{OUT} = 0 \mu\text{A}$ $I_{OUT} = 0 \mu\text{A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 100 \mu\text{A}$ $I_{OUT} = 100 \mu\text{A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 10 \text{ mA}$ $I_{OUT} = 10 \text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 150 \text{ mA}$ $I_{OUT} = 150 \text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		10 20 60 220	22 40 100 320	μA μA μA μA μA μA
SHUTDOWN CURRENT	I_{GND-SD}	$EN = \text{GND}$ $EN = \text{GND}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.2	1.0	μA μA
OUTPUT VOLTAGE ACCURACY						
5-Lead TSOT	V_{OUT}	$I_{OUT} = 10 \text{ mA}$ $100 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.4 \text{ V})$ to 5.5 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-1 -2.5		+1 +1.5	% %
4-Ball WLCSP	V_{OUT}	$I_{OUT} = 10 \text{ mA}$ $100 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.4 \text{ V})$ to 5.5 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-1 -2.0		+1 +1.5	% %
REGULATION						
Line Regulation	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4 \text{ V})$ to 5.5 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.05		+0.05	%/V
Load Regulation ¹						
5-Lead TSOT	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu\text{A}$ to 150 mA $I_{OUT} = 100 \mu\text{A}$ to 150 mA , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.003	0.0075	%/mA %/mA
4-Ball WLCSP	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu\text{A}$ to 150 mA $I_{OUT} = 100 \mu\text{A}$ to 150 mA , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.002	0.006	%/mA %/mA
DROPOUT VOLTAGE ²	$V_{DROPOUT}$	$I_{OUT} = 10 \text{ mA}$ $I_{OUT} = 10 \text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 150 \text{ mA}$ $I_{OUT} = 150 \text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		10 105	35 160	mV mV mV mV
START-UP TIME ³	$T_{START-UP}$	$V_{OUT} = 3.3 \text{ V}$		150		μs
CURRENT LIMIT THRESHOLD ⁴	I_{LIMIT}		190	260	400	mA
UNDERVOLTAGE LOCKOUT						
Input Voltage Rising	UVLO _{RISE}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			1.96	V
Input Voltage Falling	UVLO _{FALL}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.28			V
Hysteresis	UVLO _{HYS}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		115		mV
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	T_{SD}	T_J rising		150		$^\circ\text{C}$
Thermal Shutdown Hysteresis	T_{SD-HYS}			15		$^\circ\text{C}$
EN INPUT						
EN Input Logic High	V_{IH}	$2.2 \text{ V} \leq V_{IN} \leq 5.5 \text{ V}$	1.2			V
EN Input Logic Low	V_{IL}	$2.2 \text{ V} \leq V_{IN} \leq 5.5 \text{ V}$			0.4	V
EN Input Leakage Current	$V_{I-LEAKAGE}$	$EN = \text{IN}$ or GND $EN = \text{IN}$ or GND , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.001	1	μA μA
OUTPUT NOISE	OUT_{NOISE}	10 Hz to 100 kHz, $V_{IN} = 5 \text{ V}$, $V_{OUT} = 3.3 \text{ V}$ 10 Hz to 100 kHz, $V_{IN} = 5 \text{ V}$, $V_{OUT} = 2.5 \text{ V}$ 10 Hz to 100 kHz, $V_{IN} = 5 \text{ V}$, $V_{OUT} = 1.8 \text{ V}$		9 9 9		$\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
POWER SUPPLY REJECTION RATIO ($V_{IN} = V_{OUT} + 0.5\text{ V}$)	PSRR	10 kHz, $V_{IN} = 3.8\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		10 kHz, $V_{IN} = 2.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		100 kHz, $V_{IN} = 3.8\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB
		100 kHz, $V_{IN} = 2.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB
POWER SUPPLY REJECTION RATIO ($V_{IN} = V_{OUT} + 1\text{ V}$)		10 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		100 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB

¹ 1 mA と 150 mA 負荷の端点での計算を使用。1 mA 以下の負荷に対する負荷レギュレーション性能(typ)については図 6 を参照してください。

² ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、2.2 V を超える出力電圧に対してのみ適用されます。

³ スタートアップ時間は、EN の立ち上がりエッジから V_{OUT} が公称値の 90% になるまでの時間として定義されます。

⁴ 電流制限スレッシュホールドは、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、3.0 V 出力電圧の電流制限スレッシュホールドは、出力電圧が 3.0 V の 90% すなわち 2.7 V に低下する電流値として定義されます。

入力および出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT AND OUTPUT CAPACITOR						
Minimum Input and Output Capacitance ¹	C_{MIN}	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$	0.7			μF
Capacitor ESR	R_{ESR}	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$	0.001		0.2	Ω

¹ 最小入力容量と最小出力容量は、全動作範囲で 0.7 μF より大きい必要があります。アプリケーションでの全動作範囲は、最小容量規定値を満たすように、デバイス選択時に考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサは、どの LDO に対しても推奨できません。

絶対最大定格

表 3.

Parameter	Rating
VIN to GND	-0.3 V to +6.5 V
VOOUT to GND	-0.3 V to VIN
EN to GND	-0.3 V to +6.5 V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Operating Ambient Temperature Range	-40°C to +85°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度を超えると ADP150 は損傷を受けることがあります。周囲温度をモニタしても、 T_J が規定温度範囲内にあることを保証できません。消費電力が大きいかつ熱抵抗が大きいアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力とプリント・ボード(PCB)熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にあるかぎり、最大周囲温度は最大値を超えることができます。デバイスのジャンクション温度(T_J)は、周囲温度(T_A)、デバイス消費電力(P_D)、パッケージのジャンクション-周囲間熱抵抗(θ_{JA})に依存します。

最大ジャンクション温度(T_J)は、次式を使って周囲温度(T_A)と消費電力(P_D)から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション-周囲間熱抵抗 (θ_{JA}) は、4 層ボードを使用したモデルと計算に基づいています。ジャンクション-周囲間熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱デザインに注意が必要です。 θ_{JA} の値は、PCB の材料、レイアウト、環境条件に依存します。 θ_{JA} の規定値は、4 層 4 インチ×3 インチの回路ボードに基づいています。ボードの構造については JESD 51-7 と JESD 51-9 を参照してください。その他の情報については、アプリケーション・ノート AN-617「MicroCSP™ Wafer Level Chip Scale Package」を参照してください。

Ψ_{JB} はジャンクション-ボード間サーマル・キャラクタライゼーション・パラメータであり、単位は°C/W です。パッケージの Ψ_{JB} は、4 層ボードを使ったモデルと計算に基づいています。JESD51-12「Guidelines for Reporting and Using Package Thermal Information」には、サーマル・キャラクタライゼーション・パラメータは熱抵抗と同じではないと記載されています。 Ψ_{JB} は、熱抵抗 θ_{JB} の場合のように 1 つのサーマル・パスではなく、複数のパスを通過する電力成分を表します。したがって、 Ψ_{JB} サーマル・パスとしては、パッケージ上面からの対流、パッケージからの放散、実際のアプリケーションで Ψ_{JB} を有効にしているファクタなどがあります。最大ジャンクション温度(T_J)は、次式を使ってボード温度(T_B)と消費電力(P_D)から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JESD51-8 と JESD51-12 を参照してください。

熱抵抗

θ_{JA} と Ψ_{JB} はワーストケース条件で規定されます。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定します。

表 4. 熱抵抗

Package Type	θ_{JA}	Ψ_{JB}	Unit
5-Lead TSOT	170	43	°C/W
4-Ball, 0.4 mm Pitch WLCSP	260	58	°C/W

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

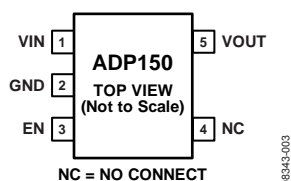


図 3.5 ピン TSOT のピン配置

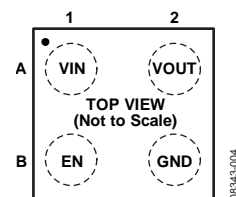


図 4.4 ボール WLCSP のピン配置

表 5.5 ピン TSOT のピン機能説明

ピン番号	記号	説明
1	VIN	レギュレータ入力電源。VIN と GND との間に $1\ \mu\text{F}$ 以上のコンデンサを接続してバイパスしてください。
2	GND	グラウンド。
3	EN	イネーブル入力。EN をハイ・レベルにするとレギュレータがターンオンし、ロー・レベルにするとレギュレータがターンオフします。自動スタートアップの場合は、EN と VIN を接続します。
4	NC	未接続。内部で接続されていません。
5	VOUT	レギュレーションされた出力電圧。VOUT と GND との間に $1\ \mu\text{F}$ 以上のコンデンサを接続してバイパスしてください。

表 6.4 ボール WLCSP のピン機能説明

ピン番号	記号	説明
A1	VIN	レギュレータ入力電源。VIN と GND との間に $1\ \mu\text{F}$ 以上のコンデンサを接続してバイパスしてください。
A2	VOUT	レギュレーションされた出力電圧。VOUT と GND との間に $1\ \mu\text{F}$ 以上のコンデンサを接続してバイパスしてください。
B1	EN	イネーブル入力。EN をハイ・レベルにするとレギュレータがターンオンし、ロー・レベルにするとレギュレータがターンオフします。自動スタートアップの場合は、EN と VIN を接続します。
B2	GND	グラウンド。

代表的な性能特性

特に指定がない限り、 $V_{IN} = 3.7\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

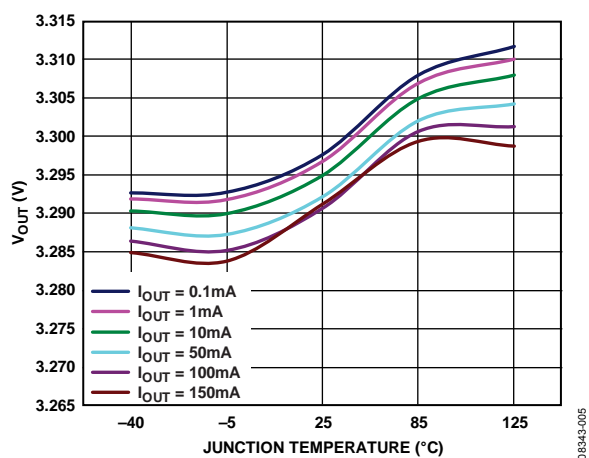


図 5. ジャンクション温度対出力電圧 (V_{OUT})

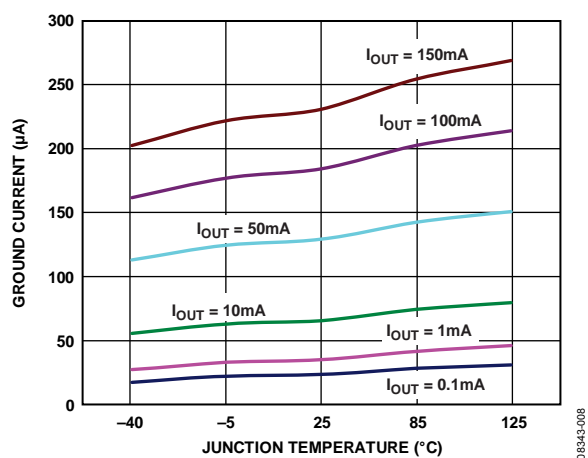


図 8. ジャンクション温度対グラウンド電流

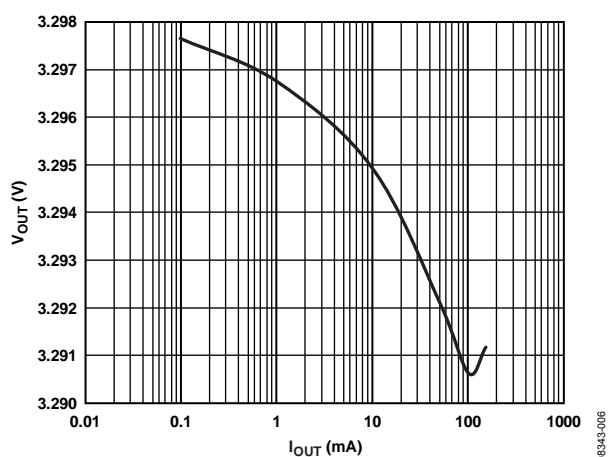


図 6. 負荷電流 (I_{OUT})対出力電圧 (V_{OUT})

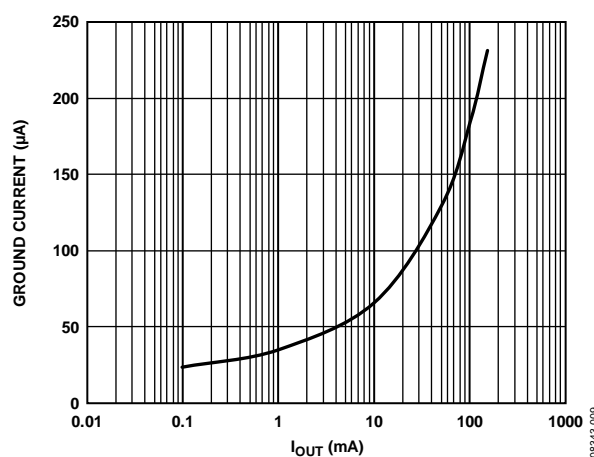


図 9. 負荷電流 (I_{OUT})対グラウンド電流

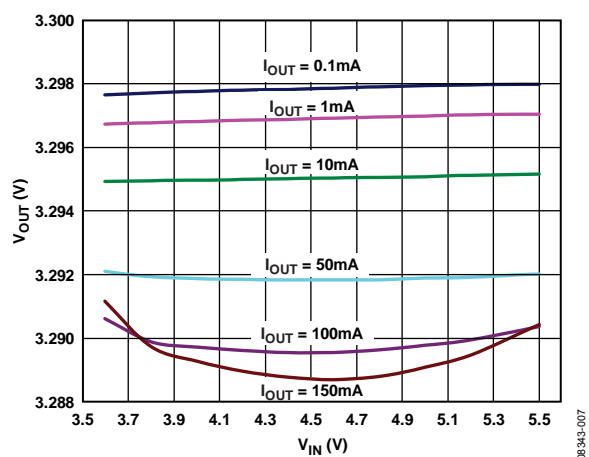


図 7. 入力電圧 (V_{IN})対出力電圧 (V_{OUT})

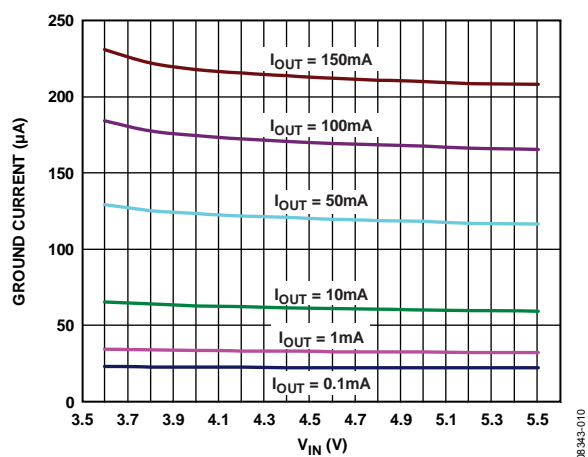


図 10. 入力電圧 (V_{IN})対グラウンド電流

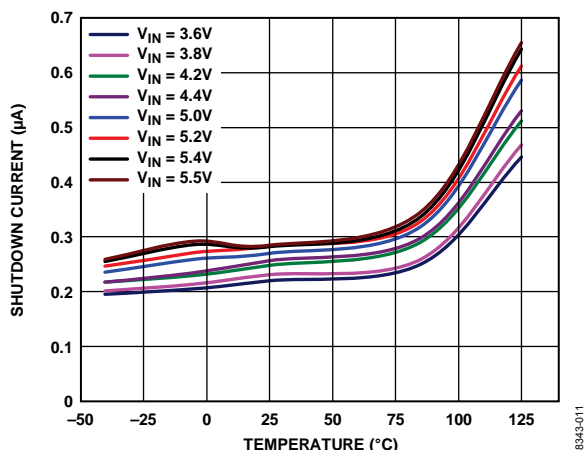


図 11. 様々な入力電圧でのシャットダウン電流の温度特性

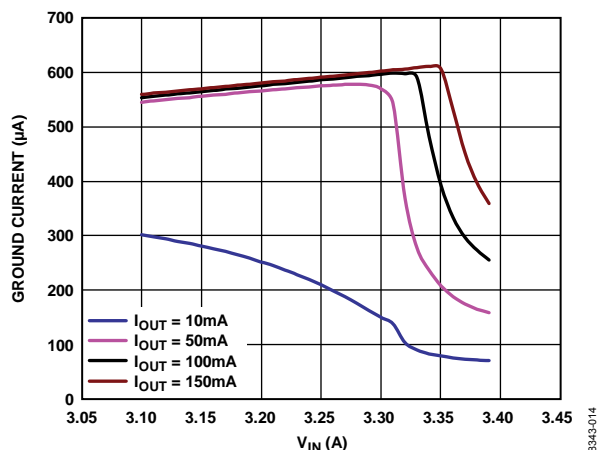


図 14. ドロップアウトでの入力電圧 (VIN) 対グラウンド電流

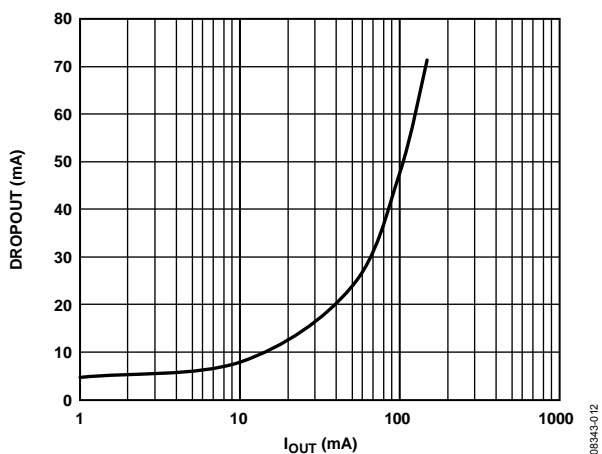


図 12. 負荷電流 (ILOAD) 対ドロップアウト電圧

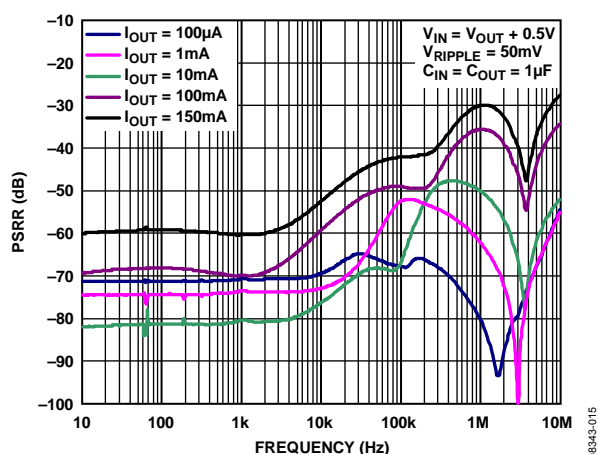


図 15. 電源除去比 (PSRR) の周波数特性、
VOUT = 1.8 V、VIN = 2.3 V

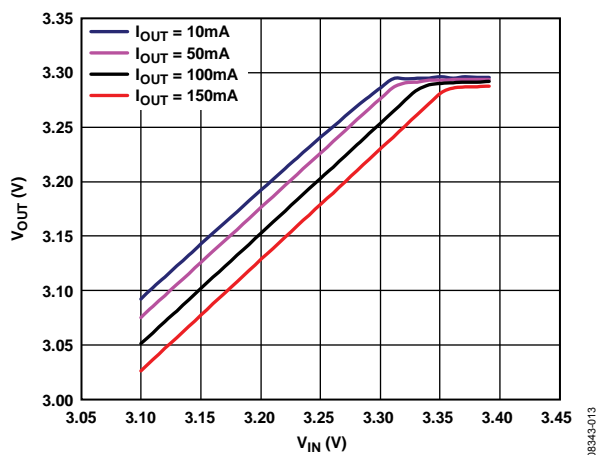


図 13. 入力電圧 (VIN) 対出力電圧 (VOUT) (ドロップアウト時)

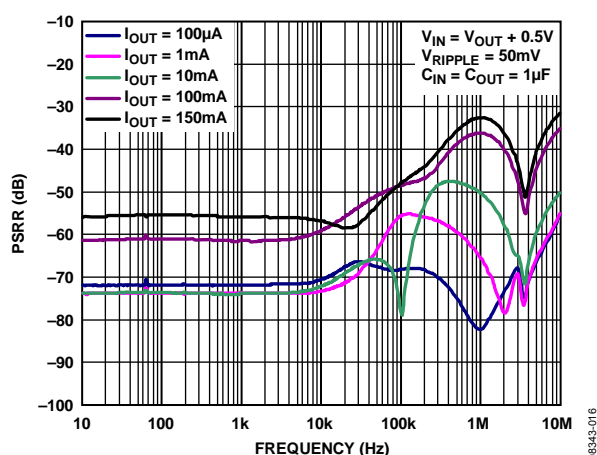


図 16. 電源除去比 (PSRR) の周波数特性、
VOUT = 2.8 V、VIN = 3.3 V

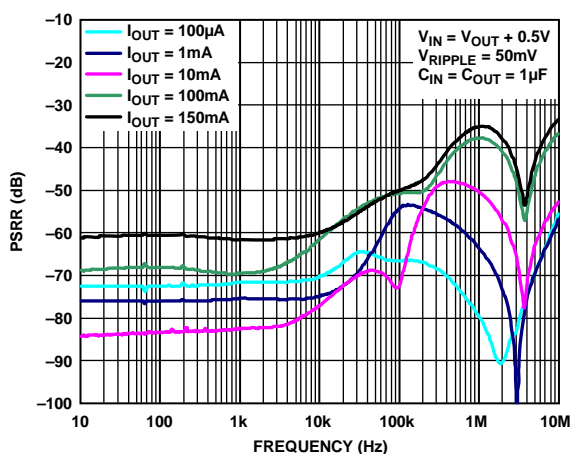


図 17. 電源除去比 (PSRR) の周波数特性、
 $V_{OUT} = 3.3V$ 、 $V_{IN} = 3.8V$

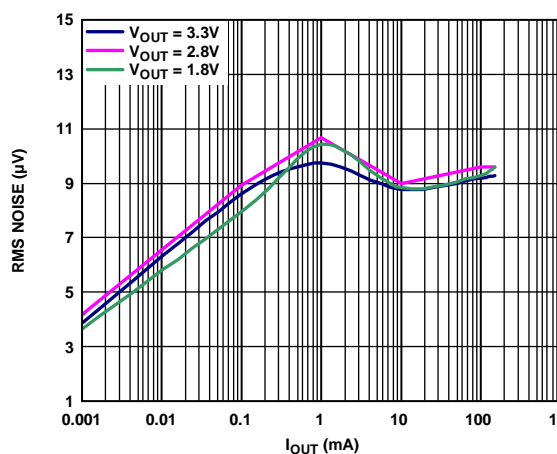


図 20. 負荷電流 (I_{OUT}) と出力電圧 (V_{OUT}) 対出力 RMS ノイズ
 $V_{IN} = 5V$ 、 $C_{OUT} = 1\mu F$

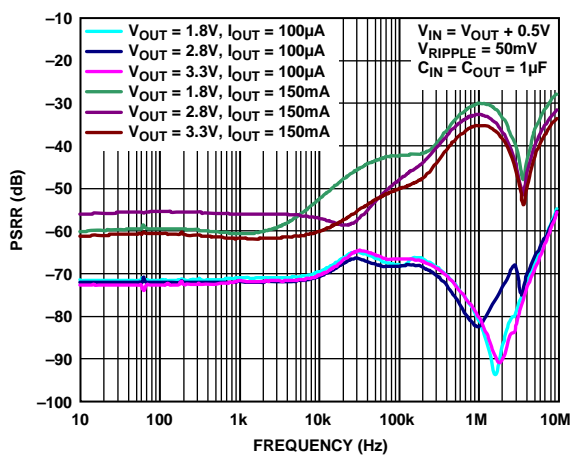


図 18. さまざまな出力電圧と負荷電流での
電源除去比 (PSRR) の周波数特性

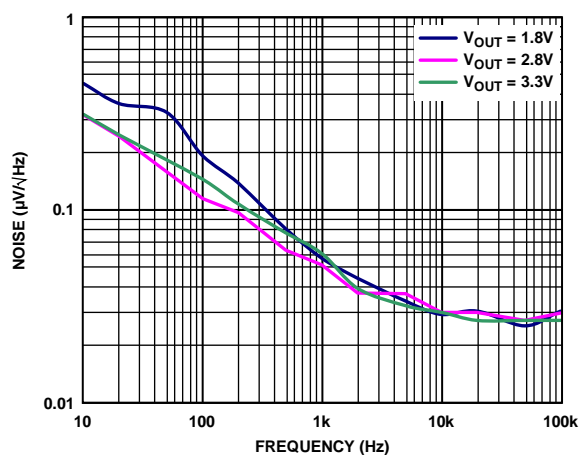


図 21. 出力ノイズ・スペクトル
 $V_{IN} = 5V$ 、 $I_{LOAD} = 10mA$ 、 $C_{OUT} = 1\mu F$

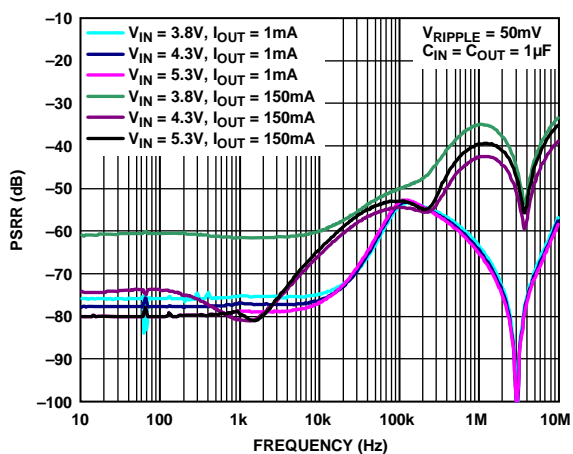


図 19. さまざまなヘッドルーム電圧 ($V_{IN} - V_{OUT}$)、 $V_{OUT} = 3.3V$ での
電源除去比 (PSRR) の周波数特性

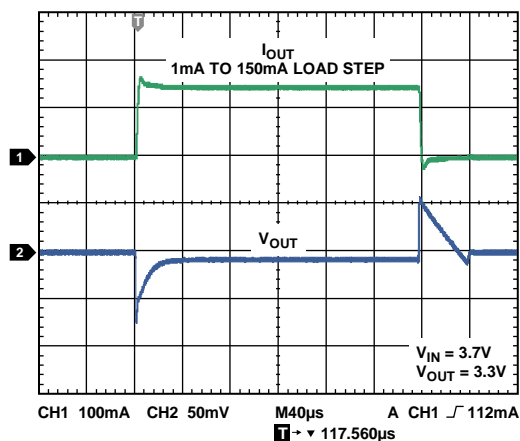


図 22. 負荷過渡応答、 $C_{OUT} = 1\mu F$

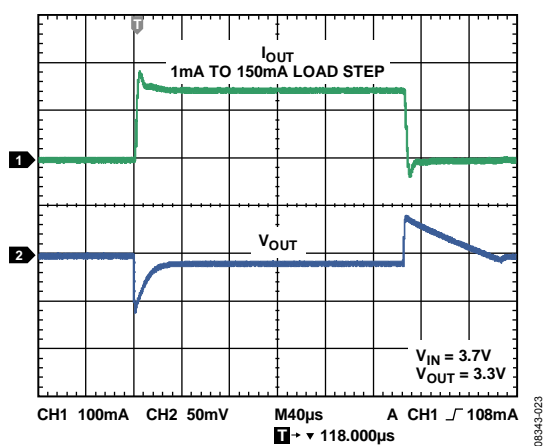


図 23. 負荷過渡応答、 $C_{OUT} = 4.7 \mu\text{F}$

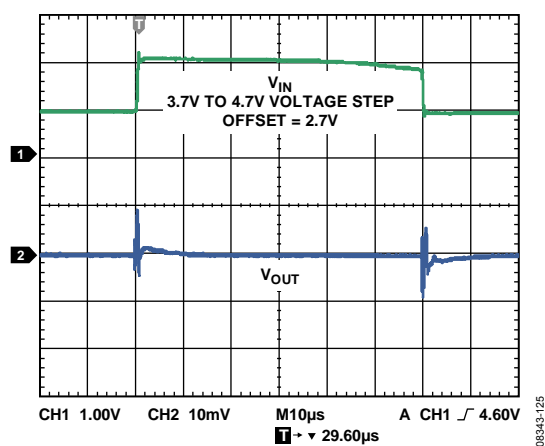


図 25. ライン過渡応答
 C_{IN} 、 $C_{OUT} = 1 \mu\text{F}$ 、 $I_{LOAD} = 150 \text{ mA}$

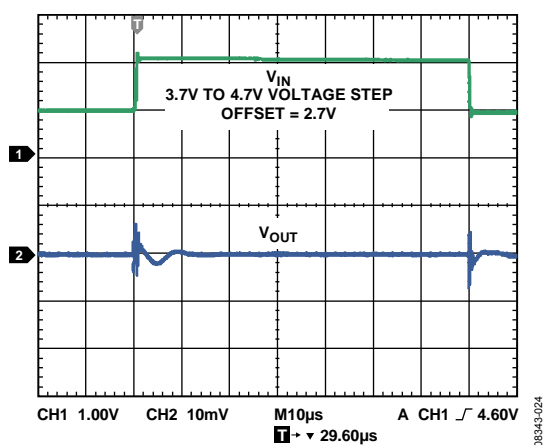


図 24. ライン過渡応答
 C_{IN} 、 $C_{OUT} = 1 \mu\text{F}$ 、 $I_{LOAD} = 1 \text{ mA}$

動作原理

ADP150 は超低ノイズ、低静止電流、ロー・ドロップアウトのリニア・レギュレータであり、2.2 V～5.5 V で動作し、最大 150 mA の出力電流を提供します。ADP150 のフル負荷での静止電流は 220 μ A (typ) と小さいため、バッテリー駆動のポータブル機器に最適です。シャットダウン消費電流は 200 nA (typ) です。

ADP150 では革新的な技術を採用して、ノイズ・バイパス・コンデンサの追加なしで、ノイズに敏感なアナログおよび RF アプリケーションに対して優れたノイズ性能を提供します。また ADP150 は、小型の 1 μ F セラミック・コンデンサの使用に対しても最適化されています。

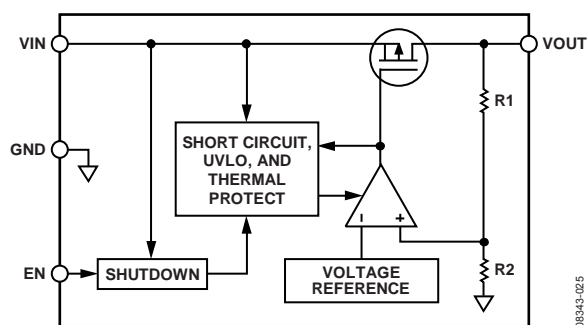


図 26.内部ブロック図

内部的には、ADP150 は、リファレンス電圧、誤差アンプ、帰還分圧器、PMOS パス・トランジスタから構成されています。出力電流は、誤差アンプから制御される PMOS パス・デバイスを經由して供給されます。誤差アンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低い場合、PMOS デバイスのゲート電位が低くなるので、通過する電流が大きくなり、出力電圧が上昇します。帰還電圧がリファレンス電圧より高い場合は、PMOS デバイスのゲート電位が高くなるので、通過する電流が小さくなり、出力電圧が低下します。

ADP150 は、1.8 V～3.3 V の 14 種類の出力電圧オプションを提供しています。ADP150 では EN ピンを使って、通常の動作状態で VOUT ピンをイネーブル/ディスエーブルします。EN をハイ・レベルにすると VOUT がオンになり、ロー・レベルにすると VOUT がオフになります。自動スタートアップの場合は、EN と VIN を接続することができます。

アプリケーション情報

コンデンサの選択

出力コンデンサ

ADP150 は、小型で省スペースのセラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗(ESR)値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサのESRは、LDO制御ループの安定性に影響を与えます。ADP150 の安定性のためには、 $1\ \Omega$ 以下のESRを持つ最小 $1\ \mu\text{F}$ のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対するADP150 の過渡応答を向上させることができます。図 27 と図 28 に、それぞれ $1\ \mu\text{F}$ と $4.7\ \mu\text{F}$ の出力容量値に対する過渡応答を示します。

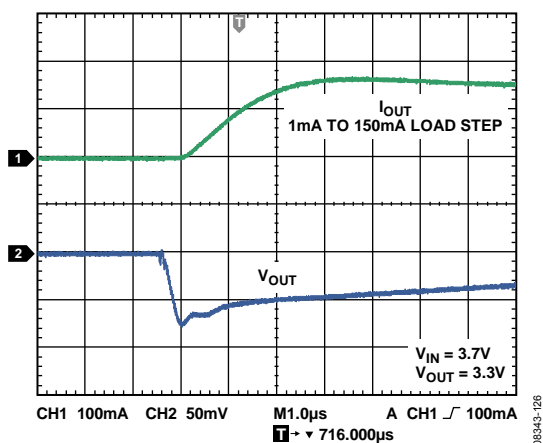


図 27. 出力過渡応答、 $C_{OUT} = 1\ \mu\text{F}$

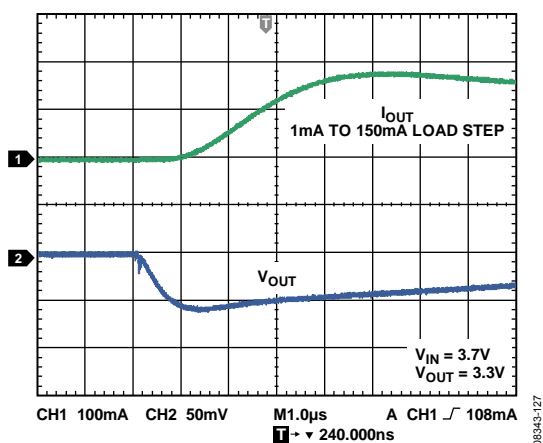


図 28. 出力過渡応答、 $C_{OUT} = 4.7\ \mu\text{F}$

入力バイパス・コンデンサ

V_{IN} と GND の間に $1\ \mu\text{F}$ のコンデンサを接続すると、PCB レイアウトに対する回路感度を小さくすることができます。特に入力パターンが長い、ソース・インピーダンスが高い場合に大きく低下します。 $1\ \mu\text{F}$ より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくすることが推奨されます。

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADP150 で任意の高品質セラミック・コンデンサを使うことができます。セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。コンデンサは、必要とされる温度範囲と DC バイアス条件に対して最小容量を保証する十分な誘電体を持っている必要があります。電圧定格 $6.3\ \text{V}$ または $10\ \text{V}$ の X5R 誘電体または X7R 誘電体の使用が推奨されます。Y5V 誘電体と Z5U 誘電体は温度特性と DC バイアス特性が十分でないため推奨されません。

図 29 に、 0402 、 $1\ \mu\text{F}$ 、 $10\ \text{V}$ の X5R コンデンサについて容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ の温度範囲で $\pm 15\%$ であり、パッケージまたは電圧定格の関数になっていません。

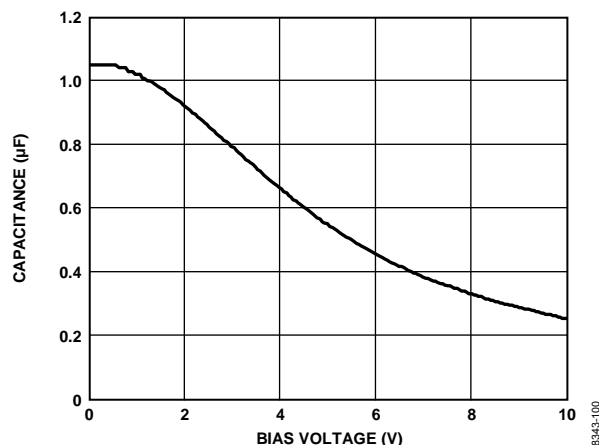


図 29. バイアス電圧対容量

式 1 を使うと、温度、部品偏差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

ここで、

C_{BIAS} は動作電圧での実効容量。

$TEMPCO$ はワーストケースのコンデンサ温度係数。

TOL はワーストケースの部品偏差。

この例では、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ でのワーストケース温度係数 ($TEMPCO$) を、X5R 誘電体では 15% と想定しています。図 29 に示すように、コンデンサの偏差 (TOL) は 10% 、かつ $1.8\ \text{V}$ で $C_{BIAS} = 0.94\ \mu\text{F}$ としています。

これらの値を式 1 に代入すると、

$$C_{EFF} = 0.94\ \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719\ \mu\text{F}$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と偏差に対する LDO の最小容量条件を満たします。

ADP150 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、偏差の影響を各アプリケーションごとに評価することが不可欠です。

低電圧ロックアウト機能

ADP150には、入力電圧が約2.0Vを下回ったとき、すべての入力と出力をディスエーブルする低電圧ロックアウト回路が内蔵されています。この回路は、ADP150の入力と出力がパワーアップ時に予期しない挙動をしません。

イネーブル機能

ADP150ではENピンを使って、通常動作状態でV_{OUT}ピンをイネーブル/ディスエーブルします。図30に示すように、ENの電圧がアクティブ・スレッショールドを超えると、V_{OUT}がターンオンします。ENの電圧が非アクティブ・スレッショールドを下回ると、V_{OUT}がターンオフします。

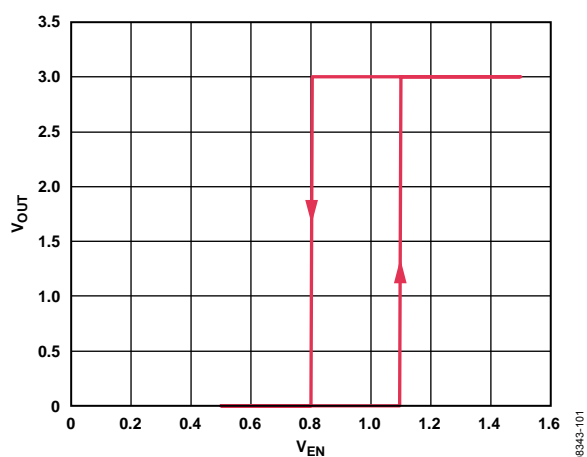


図30.一般的なENピンの動作

図30に示すように、ENピンにはヒステリシスがあります。このヒステリシスは、ENピンがスレッショールド・ポイントを通過するときにノイズにより発生するオン/オフ発振を防止します。

ENピンのアクティブ/非アクティブ・スレッショールドはVIN電圧から発生されます。このため、スレッショールドは入力電圧が変化すると変化します。図31に、入力電圧が2.2Vから5.5Vまで変化するときのENのアクティブ/非アクティブ・スレッショールド(typ値)を示します。

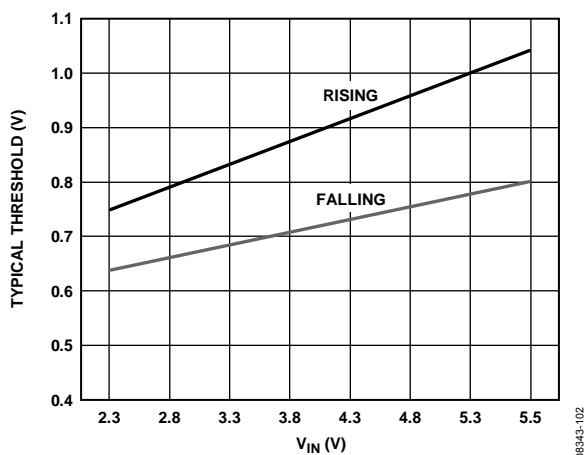


図31.入力電圧V_{IN}対ENピン・スレッショールド(typ)

ADP150では内部ソフト・スタート機能を使って、出力をイネーブルしたときの突入電流を制限しています。3.3Vオプションでのスタートアップ時間は、ENアクティブ・スレッショールドを通過してから出力が最終値の90%に到達するまでとして約150μsです。図32に示すように、スタートアップ時間は出力電圧設定値に依存します。

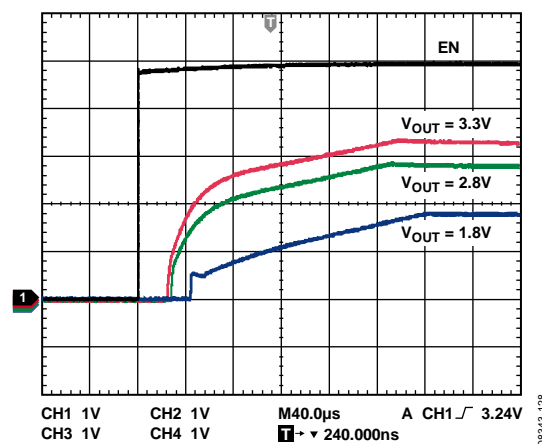


図32.パワーアップ時間(typ)

電流制限および熱過負荷保護

ADP150は、大きな消費電力により発生する損傷から電流と熱の過負荷に対する保護回路により保護されています。ADP150は、出力負荷が260mA(typ)に到達したとき、電流を制限するように設計されています。出力負荷が260mAを超えると、出力電圧を下げ一定の電流限界値を維持します。

ジャンクション温度を最大150°C(typ)に制限する熱過負荷保護機能も内蔵しています。極限状態(周囲温度が高く、消費電力が大きい)で、ジャンクション温度が150°Cを超え始めると、出力がターンオフされて、出力電流がゼロになります。ジャンクション温度が135°Cを下回ると、出力が再びターンオンして、出力電流が公称値に戻ります。

V_{OUT}がGNDへ短絡するケースを考えてみましょう。まず、ADP150は短絡電流が260mAを超えないように電流を制限します。ジャンクションの自己発熱が大きくなると温度が150°Cを超えるので、サーマル・シャットダウンが起動されて、出力がターンオフされ、出力電流がゼロになります。ジャンクション温度が135°Cを下回ると、出力がターンオンして短絡に260mAが流れて、再びジャンクション温度が150°Cを超えます。135°Cと150°Cの間のこの熱的発振により、260mAと0mAの間の電流発振が発生して、出力に短絡が残っている間この発振が続きます。

電流制限機能と熱過負荷保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼度の高い動作を得るためには、外部からデバイス消費電力を制限して、ジャンクション温度が125°Cを超えないようにする必要があります。

熱に対する考慮事項

大部分のアプリケーションでは、ADP150 の効率がいため、大きな発熱はありませんが、周囲温度が高く、かつ電源電圧と出力電圧の差が大きいアプリケーションでは、パッケージの発熱が大きくなって、チップのジャンクション温度が最大ジャンクション温度 125°C を超えるようになります。

ジャンクション温度が 150°C を超えると、コンバータはサーマル・シャットダウンします。永久的な損傷を防止するため、ジャンクション温度が 135°C を下回るまで回復しません。したがって、すべての条件で信頼度の高い性能を保証するためには、アプリケーションの熱解析が非常に重要です。式 2 に示すように、チップのジャンクション温度は、周囲温度と電力消費によるパッケージの温度上昇の和です。

信頼度の高い動作を保証するためには、ADP150 のジャンクション温度が 125°C を超えないようにする必要があります。ジャンクション温度を 125°C より低く維持するためには、ジャンクション温度の変化に寄与するパラメータを知っておく必要があります。これらのパラメータとしては、周囲温度、パワー・デバイスの消費電力、ジャンクションー周囲間の熱抵抗(θ_{JA})などがあります。 θ_{JA} 値は、パッケージ材料とパッケージ GND ピンと PCB をハンダ接続する際の銅の量に依存します。表 7 に、種々の PCB 銅サイズに対する 5 ピン TSOT と 4 ボール WLCSP パッケージの θ_{JA} 値 (typ) を示します。表 8 に、5 ピン TSOT と 4 ボール WLCSP の Ψ_{JB} 値 (typ) を示します。

表 7. Ψ_{JA} 値 (typ)

Copper Size (mm ²)	θ_{JA} (°C/W)	
	TSOT	WLCSP
0 ¹	170	260
50	152	159
100	146	157
300	134	153
500	131	151

¹ デバイスは最小サイズのピン・パターンにハンダ付け。

表 8. Ψ_{JB} 値 (typ)

Ψ_{JB} (°C/W)	
TSOT	WLCSP
42.8	58.4

式 2 を使ってジャンクション温度を計算します。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

ここで、

T_A は周囲温度。

P_D はチップの消費電力で、次式で与えられます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND})$$

ここで、

I_{LOAD} は負荷電流。

I_{GND} はグラウンド電流。

V_{IN} と V_{OUT} は、それぞれ入力電圧と出力電圧。

グラウンド電流による消費電力は小さいため無視できます。このため、次のように簡単になります。

$$T_J = T_A + \{(V_{IN} - V_{OUT}) \times I_{LOAD}\} \times \theta_{JA} \quad (3)$$

式 6 に示すように、与えられた周囲温度に対して、ジャンクション温度が 125°C を超えないようにするため、入力と出力間の電位差、連続負荷電流、最小銅サイズ条件が PCB に対して存在します。図 33 ~ 図 46 に、様々な周囲温度、負荷電流、 V_{IN} — V_{OUT} 間電位差、PCB 銅面積に対するジャンクション温度計算を示します。

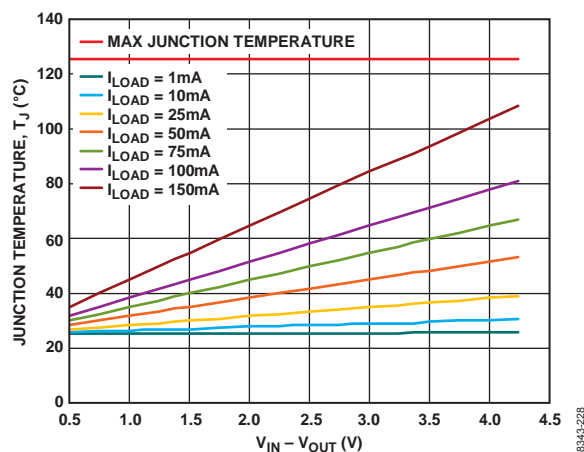


図 33. TSOT、PCB 銅面積 = 500 mm²、 $T_A = 25^\circ\text{C}$

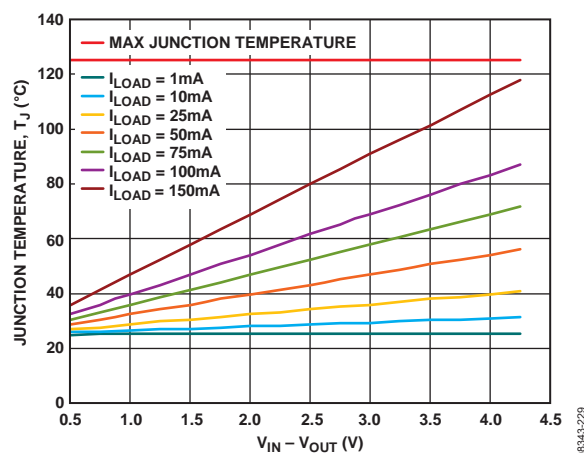


図 34. TSOT、PCB 銅面積 = 100 mm²、 $T_A = 25^\circ\text{C}$

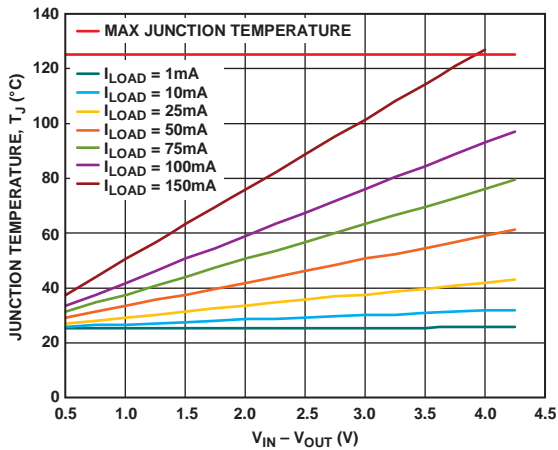


図 35. TSOT、PCB 銅面積 = 0 mm²、 $T_A = 25^\circ\text{C}$

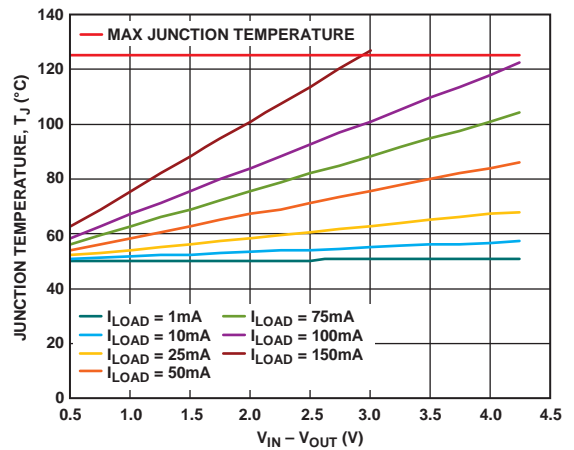


図 38. TSOT、PCB 銅面積 = 0 mm²、 $T_A = 50^\circ\text{C}$

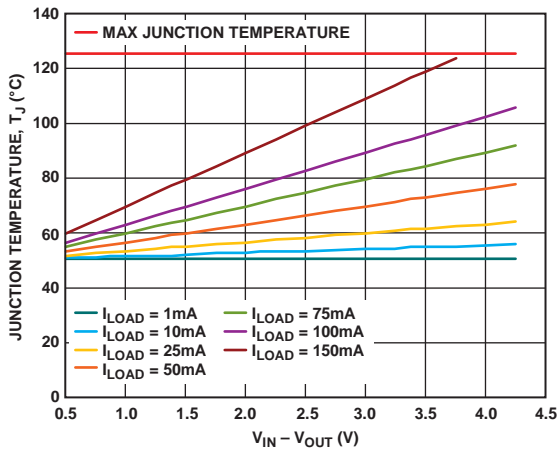


図 36. TSOT、PCB 銅面積 = 500 mm²、 $T_A = 50^\circ\text{C}$

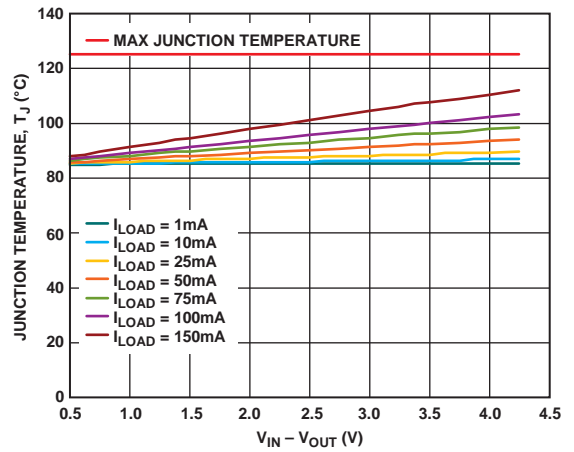


図 39. TSOT、PCB 銅面積 = 100 mm²、ボード温度 = 85°C

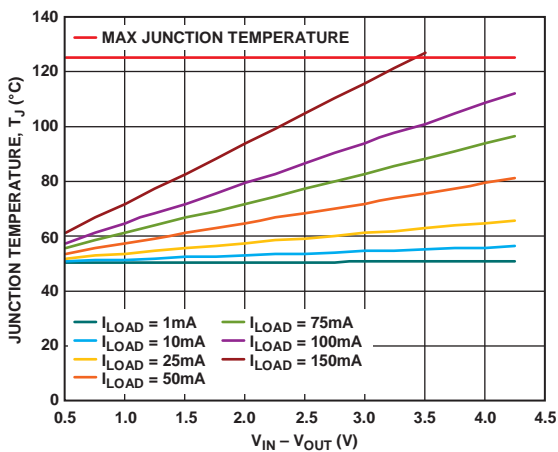


図 37. TSOT、PCB 銅面積 = 100 mm²、 $T_A = 50^\circ\text{C}$

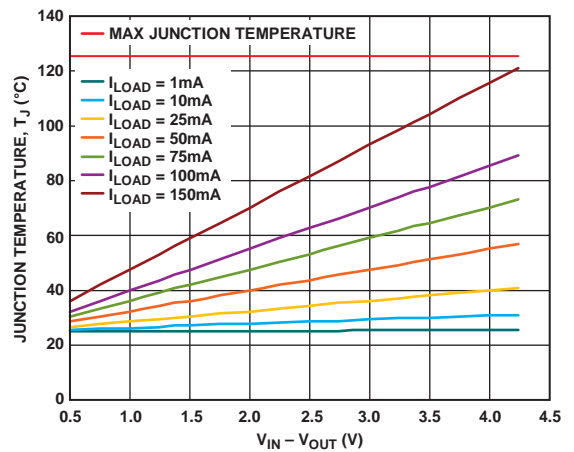


図 40. WLCSP、PCB 銅面積 = 500 mm²、 $T_A = 25^\circ\text{C}$

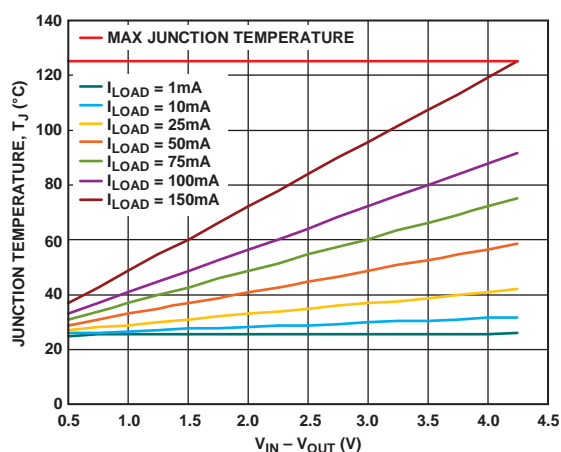


図 41.WLCSP、PCB 銅面積 = 100 mm²、T_A = 25°C

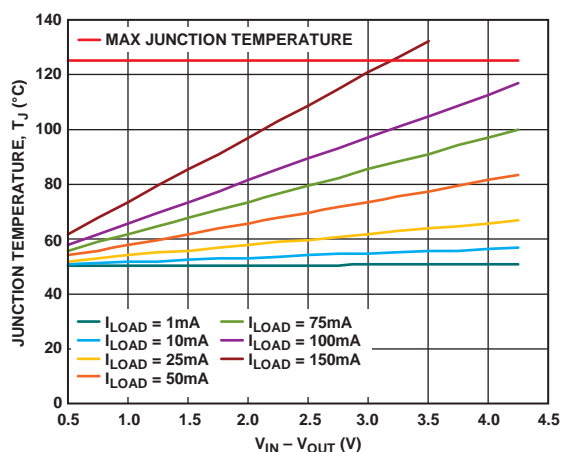


図 44.WLCSP、PCB 銅面積 = 100 mm²、T_A = 50°C

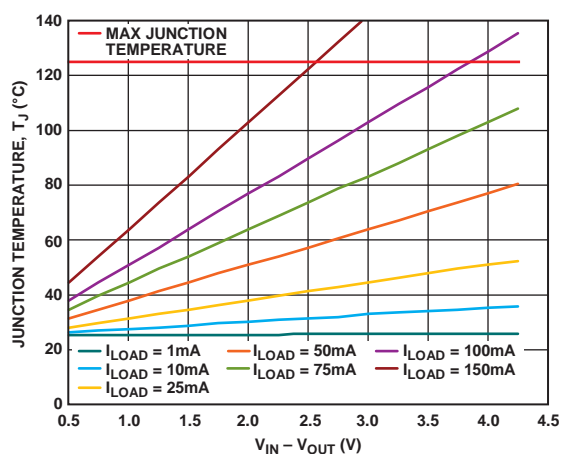


図 42.WLCSP、PCB 銅面積 = 0 mm²、T_A = 25°C

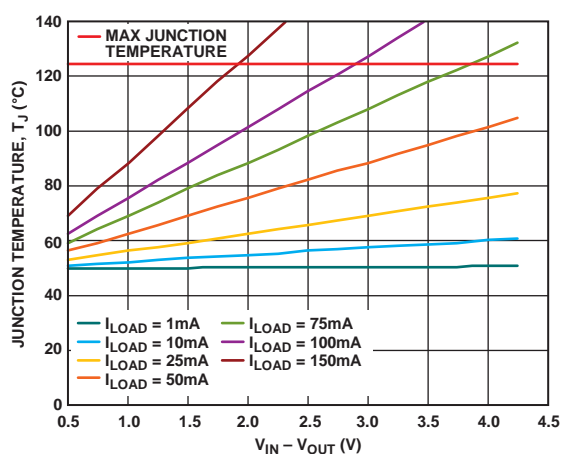


図 45.WLCSP、PCB 銅面積 = 0 mm²、T_A = 50°C

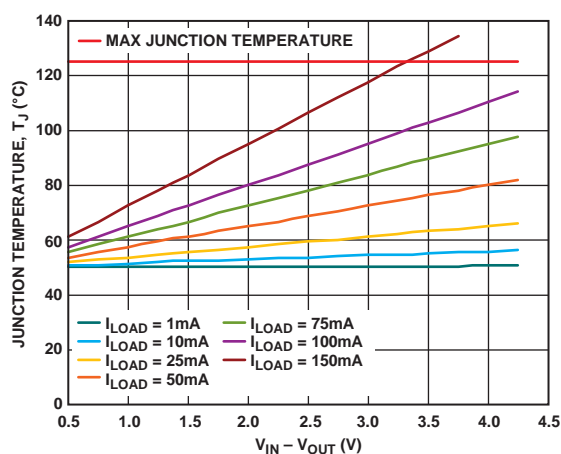


図 43.WLCSP、PCB 銅面積 = 500 mm²、T_A = 50°C

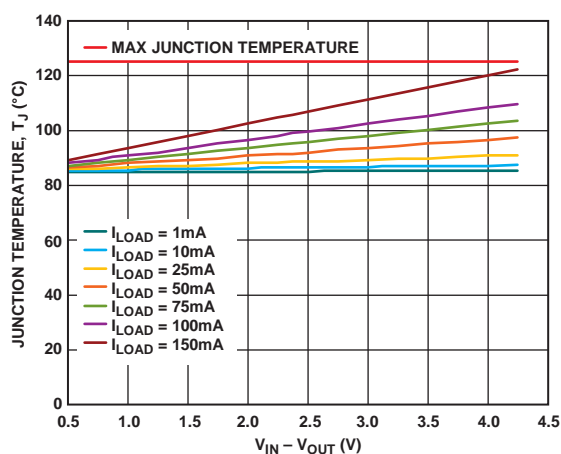


図 46.WLCSP、PCB 銅面積 = 100 mm²、ボード温度 = 85°C

プリント基板レイアウト時の考慮事項

ADP150 のピンに接触する銅の量を増やすとパッケージからの放熱を改善することができますが、表 7 に示すように、限界点に到達して、それ以上銅サイズを増やしても熱放散を大きく改善できません。

入力コンデンサは VIN ピンと GND ピンのできるだけ近くに配置します。出力コンデンサは VOUT ピンと GND ピンのできるだけ近くに配置します。0402 サイズまたは 0603 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションが実現できます。

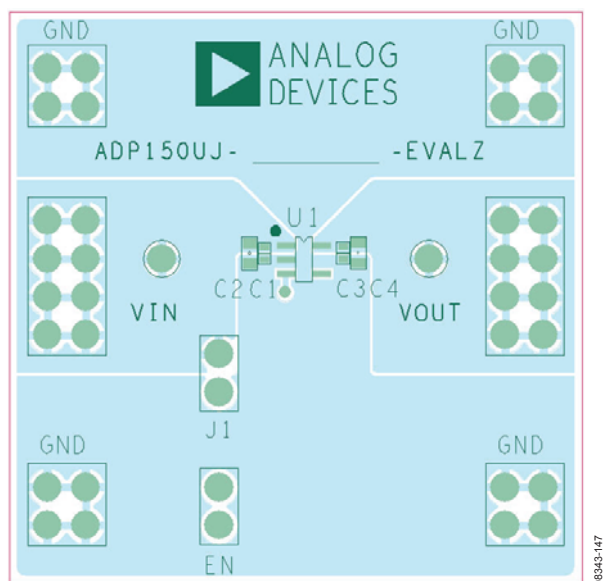


図 47. PCB レイアウトの例、TSOT

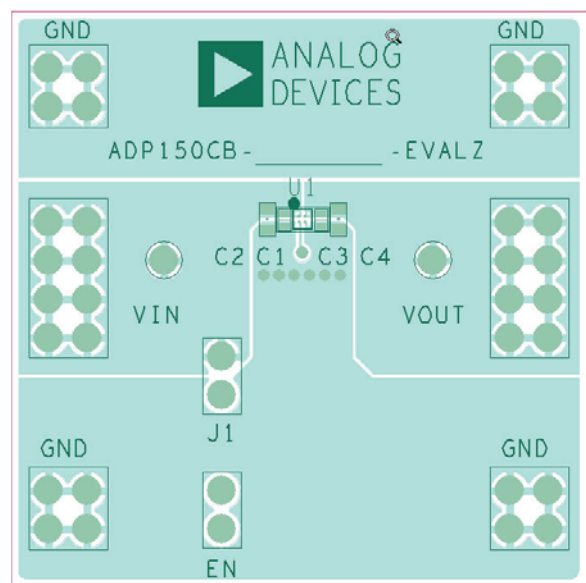


図 48. PCB レイアウトの例、WLCSP

外形寸法

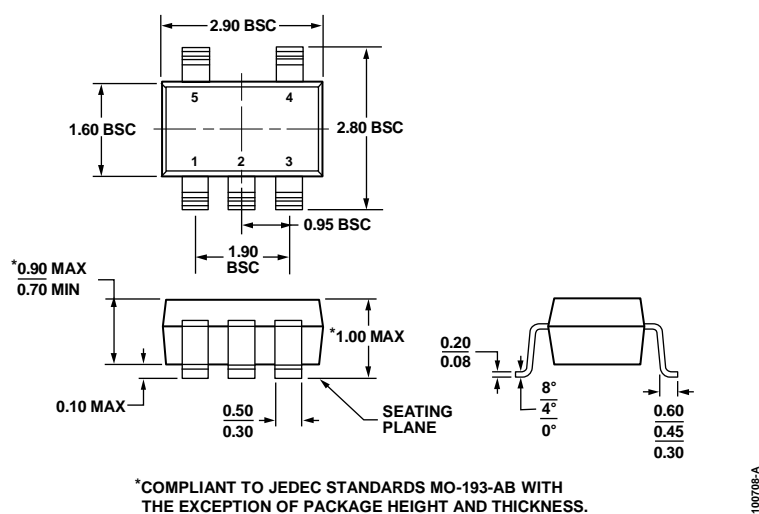


図 49.5 ピン薄型スモール・アウトライン・トランジスタ・パッケージ[TSOT]
(UJ-5)
寸法: mm

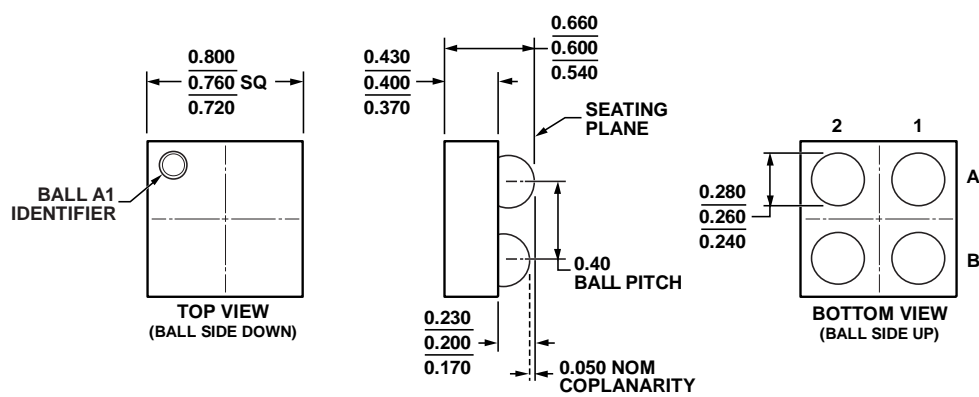


図 50.4 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-4-3)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range (T _J)	Output Voltage (V) ²	Package Description	Package Option	Branding
ADP150ACBZ-1.8-R7	-40°C to +125°C	1.8	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	36
ADP150ACBZ-2.5-R7	-40°C to +125°C	2.5	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	3V
ADP150ACBZ-2.6-R7	-40°C to +125°C	2.6	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	63
ADP150ACBZ-2.75R7	-40°C to +125°C	2.75	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	3X
ADP150ACBZ-2.8-R7	-40°C to +125°C	2.8	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	46
ADP150ACBZ-2.85R7	-40°C to +125°C	2.85	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	3Y
ADP150ACBZ-3.0-R7	-40°C to +125°C	3.0	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	47
ADP150ACBZ-3.3-R7	-40°C to +125°C	3.3	4-Ball Wafer Level Chip Scale Package [WLCSP]	CB-4-3	48
ADP150AUJZ-1.8-R7	-40°C to +125°C	1.8	5-Lead Thin Small Outline Transistor Package [TSOT]	UJ-5	LDS
ADP150AUJZ-2.5-R7	-40°C to +125°C	2.5	5-Lead Thin Small Outline Transistor Package [TSOT]	UJ-5	LDZ
ADP150AUJZ-2.8-R7	-40°C to +125°C	2.8	5-Lead Thin Small Outline Transistor Package [TSOT]	UJ-5	LE3
ADP150AUJZ-3.0-R7	-40°C to +125°C	3.0	5-Lead Thin Small Outline Transistor Package [TSOT]	UJ-5	LE2
ADP150AUJZ-3.3-R7	-40°C to +125°C	3.3	5-Lead Thin Small Outline Transistor Package [TSOT]	UJ-5	LEJ
ADP150CB-3.3-EVALZ		3.3	Evaluation Board with WLCSP package		
ADP150UJ-3.3-EVALZ		3.3	Evaluation Board with TSOT package		

¹ Z = RoHS 準拠製品。² 最大 14 種類の固定出力電圧オプション: 1.8 V~3.3 V。その他の電圧オプションについては、お近くのアナログ・デバイセズの営業所または販売代理店にお問い合わせください。