



# 7つのデジタル・アイソレータを備えた、 3チャンネル絶縁型マイクロパワー・ マネージメント・ユニット

## データシート

## ADP1031

### 特長

広い入力電源電圧範囲：4.5V~60V

フライバック・パワー・スイッチを内蔵

互いに独立した絶縁型バイポーラ出力と、出荷時に設定可能な  
降圧出力を生成

$V_{OUT1}$ ：21V、24V または 6V~28V

$V_{OUT2}$ ：5.15V、5.0V、または 3.3V

$V_{OUT3}$ ：-24V~-5V

巻数比 1:1 のトランスを採用し、トランス設計を簡素化  
フライバック・レギュレータ、降圧レギュレータ、および  
反転レギュレータのピーク電流制限と過電圧保護

高精度なイネーブル入力とパワーグッド出力

SYNC 入力により調整可能なスイッチング周波数

レギュレータごとの内部補償とソフトスタート制御

高速、低伝搬遅延の SPI 信号絶縁チャンネル

3つの絶縁された 100kbps 汎用データ・チャンネル

9mm × 7mm LFCSP フォーム・ファクタにより、  
ソリューション全体の小型化を実現

動作ジャンクション温度範囲：-40°C~+125°C

CISPR11 クラス B の放射エミッション制限に適合

安全と規制に関する認定（申請中）

UL 認定：1 分間で 2500 V rms、UL 1577 規格に準拠

「CSA Component Acceptance Notice 5A」に準拠

スレープ、マスタ、およびフィールド・パワー・ドメイン  
間の基本絶縁：300V rms（IEC 61010-1、申請中）

VDE 適合性認定

DIN V VDE 0884-10（VDE 0884-10）：2006-12

$V_{IORM} = 565 V_{PEAK}$

### アプリケーション

産業オートメーションとプロセス制御

計測器およびデータ・アキュジション・システム

データと電力の絶縁

### 概要

ADP1031 は、絶縁型フライバック DC/DC レギュレータ、反転 DC/DC レギュレータ、および降圧 DC/DC レギュレータを組み合わせた、高性能な絶縁型マイクロパワー・マネージメント・ユニット（PMU）で、3 つの絶縁された電源レールを提供します。また ADP1031 は、4 つの高速シリアル・ペリフェラル・インターフェース（SPI）絶縁チャンネルと 3 つの汎用アイソレー

タを内蔵しており、低消費電力とソリューションの小型化が求められるチャンネル間アプリケーションに適しています。

### 代表的なアプリケーション回路

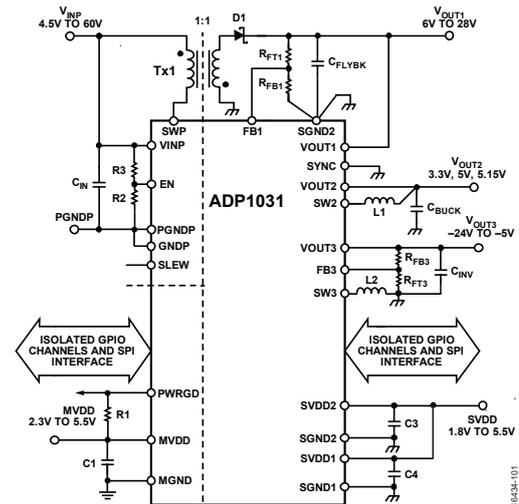


図 1.

ADP1031 は、+4.5V~+60V の入力電圧範囲で動作し、 $V_{OUT1}$  上に +6V~+28V（調整可能バージョン）または +21V および +24V（固定バージョン）の絶縁された出力電圧、 $V_{OUT2}$  上に +5.15V、+5.0V、または +3.3V の出荷時に設定可能な電圧、 $V_{OUT3}$  上に -24V~-5V の調整可能な出力電圧を生成します。

デフォルトでは、ADP1031 のフライバック・レギュレータは 250kHz のスイッチング周波数で動作し、降圧レギュレータと反転レギュレータは 125kHz で動作します。これらの 3 つのレギュレータは全て互いに位相シフトされ、電磁干渉（EMI）を軽減しています。ADP1031 は、350kHz~750kHz の範囲の外部発振器によって駆動できるので、ノイズに敏感なアプリケーションにおいてノイズを容易に除去できます。

ADP1031 の内蔵デジタル・アイソレータには、低消費電力と低放射エミッション用に最適化された、アナログ・デバイセズの iCoupler® チップ・スケール・トランス技術を採用しています。ADP1031 は、9mm × 7mm の 41 ピン LFCSP パッケージで提供され、動作ジャンクション温度範囲の定格値は -40°C~+125°C です。

### 関連製品

アナログ出力 D/A コンバータ（DAC）：[AD5758](#)

高精度データ・アキュジション・サブシステム：[AD7768-1](#)

その他の関連製品については、ADP1031 製品ページをご覧ください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長.....	1	降圧レギュレータ.....	25
アプリケーション.....	1	反転レギュレータ.....	26
概要.....	1	パワーグッド.....	26
代表的なアプリケーション回路.....	1	パワーアップ・シーケンス.....	26
関連製品.....	1	発振器と同期.....	26
改訂履歴.....	2	サーマル・シャットダウン.....	27
仕様.....	3	データ絶縁.....	27
適用規格.....	7	アプリケーション情報.....	29
電磁両立性.....	7	部品の選択.....	29
絶縁および安全性関連の仕様.....	8	フライバック・レギュレータの部品の選択.....	30
DIN V VDE 0884-10 (VDE V 0884-10) 絶縁特性.....	9	降圧レギュレータの部品の選択.....	33
絶対最大定格.....	10	反転レギュレータの部品の選択.....	33
熱抵抗.....	10	絶縁寿命.....	34
<b>ESDに関する注意</b> .....	10	熱解析.....	34
ピン配置およびピン機能の説明.....	11	代表的なアプリケーション回路.....	35
代表的な性能特性.....	13	PCB レイアウトに関する検討事項.....	36
動作原理.....	23	外形寸法.....	37
フライバック・レギュレータ.....	24	オーダー・ガイド.....	37

## 改訂履歴

1/2019—Revision 0: 初版

## 仕様

V<sub>INP</sub> 電圧 (V<sub>INP</sub>) = 24V、MVDD 電圧 (V<sub>MVDD</sub>) = 3.3V、SVDDx 電圧 (V<sub>SVDDx</sub>) = 3.3V、V<sub>OUT1</sub> 電圧 (V<sub>OUT1</sub>) = 24V、V<sub>OUT2</sub> 電圧 (V<sub>OUT2</sub>) = 5.15V、V<sub>OUT3</sub> 電圧 (V<sub>OUT3</sub>) = -15V、および T<sub>A</sub> = 25°C (仕様における代表値)。特に指定のない限り、最小仕様と最大仕様は 4.5V ≤ V<sub>INP</sub> ≤ 60V、2.3V ≤ V<sub>MVDD</sub> ≤ 5.5V、1.8V ≤ V<sub>SVDDx</sub> ≤ 5.5V、および -40°C ≤ T<sub>J</sub> ≤ +125°C の全動作範囲に適用されます。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>INPUT SUPPLY VOLTAGE RANGE</b>						
V <sub>INP</sub>	V <sub>INP</sub>	4.5		60	V	
MVDD	V <sub>MVDD</sub>	2.3		5.5	V	
SVDDx	V <sub>SVDDx</sub>	1.8		5.5	V	Applies to SVDD1 and SVDD2
<b>OUTPUT POWER AND EFFICIENCY</b>						
Total Output Power			1720		mW	Transformer = 750316743 V <sub>OUT1</sub> current (I <sub>OUT1</sub> ) = 70 mA, V <sub>OUT2</sub> current (I <sub>OUT2</sub> ) = 7 mA, V <sub>OUT3</sub> current (I <sub>OUT3</sub> ) = -0.3 mA
			520		mW	I <sub>OUT1</sub> = 20 mA, I <sub>OUT2</sub> = 7 mA, I <sub>OUT3</sub> = -0.3 mA
Efficiency			88.8		%	I <sub>OUT1</sub> = 70 mA, I <sub>OUT2</sub> = 7 mA, I <sub>OUT3</sub> = -0.3 mA
			84.8		%	I <sub>OUT1</sub> = 20 mA, I <sub>OUT2</sub> = 7 mA, I <sub>OUT3</sub> = -0.3 mA
Power Dissipation			216.5		mW	I <sub>OUT1</sub> = 70 mA, I <sub>OUT2</sub> = 7 mA, I <sub>OUT3</sub> = -0.3 mA
			93.1		mW	I <sub>OUT1</sub> = 20 mA, I <sub>OUT2</sub> = 7 mA, I <sub>OUT3</sub> = -0.3 mA
<b>QUIESCENT CURRENT</b>						
V <sub>INP</sub>						
Operating Current	I <sub>Q_VINP</sub>		1.77		mA	Normal operation, V <sub>OUT1</sub> , V <sub>OUT2</sub> , V <sub>OUT3</sub> = no load
Shutdown Current	I <sub>SHDN_VINP</sub>		125	175	μA	EN voltage (V <sub>EN</sub> ) = 0 V
MVDD						
SPI Active Mode	I <sub>Q_MVDD (SPI_ACTIVE)</sub>		4.1	6.5	mA	V <sub>IX1</sub> = logic low, $\overline{\text{MSS}}$ = logic low
			9.2	14	mA	V <sub>IX1</sub> = logic high, $\overline{\text{MSS}}$ = logic low
SPI Low Power Mode	I <sub>Q_MVDD (SPI_LOWPOWER)</sub>		1.6	2.5	mA	V <sub>IX1</sub> = logic low, $\overline{\text{MSS}}$ = logic high
			1.6	2.5	mA	V <sub>IX1</sub> = logic high, $\overline{\text{MSS}}$ = logic high
SVDD1						
SPI Active Mode	I <sub>Q_SVDD1 (SPI_ACTIVE)</sub>		1.8	2.7	mA	V <sub>IX1</sub> = logic low, $\overline{\text{SSS}}$ = logic low
			5.7	8.6	mA	V <sub>IX1</sub> = logic high, $\overline{\text{SSS}}$ = logic low
SPI Low Power Mode	I <sub>Q_SVDD1 (SPI_LOWPOWER)</sub>		1.8	2.7	mA	V <sub>IX1</sub> = logic low, $\overline{\text{SSS}}$ = logic high
			1.8	2.7	mA	V <sub>IX1</sub> = logic high, $\overline{\text{SSS}}$ = logic high
SVDD2	I <sub>Q_SVDD2</sub>		39	85	μA	V <sub>IX1</sub> = logic low
			2	2.5	mA	V <sub>IX1</sub> = logic high
<b>UVLO</b>						
V <sub>INP</sub>						Relative to PGNDP
Rising Threshold	V <sub>UVLO_FLYBACK (RISE)</sub>		4.44	4.49	V	
Falling Threshold	V <sub>UVLO_FLYBACK (FALL)</sub>	4.29	4.34		V	
Hysteresis			100		mV	
MVDD						Relative to MGND
Rising Threshold	V <sub>UVLO_MVDD (RISE)</sub>		2.14	2.28	V	
Falling Threshold	V <sub>UVLO_MVDD (FALL)</sub>	1.9	2		V	
Hysteresis			140		mV	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>THERMAL SHUTDOWN</b>						
Threshold	T <sub>SHDN</sub>		150		°C	
Hysteresis	T <sub>HYS</sub>		15		°C	
<b>PRECISION ENABLE</b>						
Rising Input Threshold	V <sub>EN_RISING</sub>	1.10	1.135	1.20	V	V <sub>EN</sub> = V <sub>INP</sub>
Input Hysteresis	V <sub>EN_HYST</sub>		100		mV	
Leakage Current			0.03	0.5	μA	
<b>POWER GOOD</b>						
Power-Good Threshold						
Flyback Regulator						
Lower Limit	V <sub>PG_FLYBACK_LL</sub>	87.5	90	92.5	%	Fixed and adjustable output versions
Upper Limit	V <sub>PG_FYLBK_UL</sub>	107.5	110	112.5	%	Fixed and adjustable output versions
Buck Regulator						
Lower Limit	V <sub>PG_BUCK_LL</sub>	87.5	90	92.5	%	
Upper Limit	V <sub>PG_BUCK_UL</sub>	107.5	110	112.5	%	
Inverting Regulator						
Lower Limit	V <sub>PG_INVERTER_LL</sub>	87.5	90	92.5	%	
Upper Limit	V <sub>PG_INVERTER_UL</sub>	107.5	110	112.5	%	
Glitch Rejection			1.36		μs	Glitch of ±15% of the typical output
Output Voltage						
Logic High	V <sub>PWRGD_OH</sub>	V <sub>MVDD</sub> - 0.4			V	PWRGD current (I <sub>PWRGD</sub> ) = -1 mA
Logic Low	V <sub>PWRGD_OL</sub>			0.4	V	I <sub>PWRGD</sub> = 1 mA
<b>SLEW</b>						
Voltage Level Threshold						
Slow Slew Rate				0.8	V	
Normal Slew Rate		2			V	
Input Current						
Slow Slew Rate		-10			μA	Slewvoltage (V <sub>SLEW</sub> ) = 0 V to 0.8 V
Normal Slew Rate				10	μA	V <sub>SLEW</sub> = 2 V to V <sub>INP</sub>
Fast Slew Rate		-1		+1	μA	SLEW pin not connected
<b>CLOCK SYNCHRONIZATION</b>						
SYNC Input						
Input Clock						
Range	f <sub>SYNC</sub>	350		750	kHz	SYNC voltage (V <sub>SYNC</sub> ) = V <sub>SVDDx</sub>
Minimum On Pulse Width	t <sub>SYNC_MIN_ON</sub>	100			ns	
Minimum Off Pulse Width	t <sub>SYNC_MIN_OFF</sub>	150			ns	
High Logic	V <sub>H(SYNC)</sub>	1.3			V	
Low Logic	V <sub>L(SYNC)</sub>			0.4	V	
Leakage Current		-1	0.005	1	μA	
<b>FLYBACK REGULATOR</b>						
Output Voltage Range						
	V <sub>OUT1(ADJ)</sub>	6		28	V	ADP1031ACPZ-1, ADP1031ACPZ-2, and ADP1031ACPZ-3
	V <sub>OUT1(FIXED)</sub>		24		V	ADP1031ACPZ-4
	V <sub>OUT1(FIXED)</sub>		21		V	ADP1031ACPZ-5
Output Voltage Accuracy		-1.5		+1.5	%	Fixed output options
Feedback Voltage	V <sub>FB1</sub>		0.8		V	Adjustable output options
Feedback Voltage Accuracy		-1.5		+1.5	%	
Feedback Bias Current	I <sub>FB1</sub>			0.05	μA	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Load Regulation	$(\Delta V_{FB1}/V_{FB1})/\Delta I_{OUT1}$		-0.0005		%/mA	$I_{OUT1} = 4 \text{ mA to } 24 \text{ mA}$ , $I_{OUT2} = 10 \text{ mA}$ , $I_{OUT3} = -1 \text{ mA}$
Line Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta V_{INP}$		0.0003		%/V	$V_{INP} = 16 \text{ V to } 32 \text{ V}$ , $I_{OUT1} = 20 \text{ mA}$ , $I_{OUT2} = 10 \text{ mA}$ , $I_{OUT3} = -1 \text{ mA}$
Power Field Effect Transistor (FET) On Resistance	$R_{ON (FLYBACK)}$		3		$\Omega$	SWP current ( $I_{SWP}$ ) = 100 mA
Current-Limit Threshold	$I_{LIM (FLYBACK)}$	280	300	320	mA	
SWP Leakage Current			0.03	0.5	$\mu\text{A}$	SWP voltage ( $V_{SWP}$ ) = 60 V
SWP Capacitance	$C_{SWP}$		50		pF	
Switching Frequency	$f_{SW (FLYBACK)}$	235	250	265	kHz	SYNC = low or high
Minimum On Time			$f_{SYNC}/2$		kHz	SYNC = external clock
Minimum Off Time			425		ns	
Soft Start Timer	$t_{SS (FLYBACK)}$		220		ns	
Severe Overvoltage Threshold	$SOVP_{FLYBACK}$	29.4	30	30.6	V	Flyback regulator stops switching until the overvoltage is removed
Severe Overvoltage Hysteresis	$SOVP_{FLYBACK\_HYST}$		500		mV	
<b>BUCK REGULATOR</b>						
Output Voltage	$V_{OUT2}$		5.15		V	ADP1031ACPZ-1, ADP1031ACPZ-4, and ADP1031ACPZ-5
Output Voltage Accuracy		-1.5		+1.5	%	ADP1031ACPZ-2 ADP1031ACPZ-3 $I_{OUT2} = 10 \text{ mA}$ , applies to all models
Load Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta I_{OUT2}$		-0.0005		%/mA	$I_{OUT2} = 2 \text{ mA to } 50 \text{ mA}$
Line Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta V_{OUT1}$		0.0004		%/V	$V_{OUT1} = 6 \text{ V to } 28 \text{ V}$ , $I_{OUT2} = 7 \text{ mA}$
Power FET On Resistance	$R_{ON\_NFET (BUCK)}$		1		$\Omega$	SW2 current ( $I_{SW2}$ ) = 100 mA
	$R_{ON\_PFET (BUCK)}$		2.5		$\Omega$	$I_{SW2} = 100 \text{ mA}$
Current-Limit Threshold	$I_{LIM (BUCK)}$	280	300	320	mA	
SW2 Leakage Current			0.03	0.5	$\mu\text{A}$	$V_{SW2} = 0 \text{ V}$
P Type Metal-Oxide Semiconductor (PMOS)			0.03	0.5	$\mu\text{A}$	$V_{SW2} = 28 \text{ V}$
N Type Metal-Oxide Semiconductor (NMOS)			0.03	0.5	$\mu\text{A}$	
Switching Frequency	$f_{SW (BUCK)}$	117.5	125	132.5	kHz	SYNC = low or high
Minimum On Time			$f_{SYNC}/4$		kHz	SYNC = external clock
Soft Start Timer	$t_{SS (BUCK)}$		200		ns	
Active Pull-Down Resistor	$R_{PD (BUCK)}$		8		ms	
			1.7		k $\Omega$	$1.23 \text{ V} < V_{OUT1} < 4.5 \text{ V}$
<b>INVERTING REGULATOR</b>						
Output Voltage Range	$V_{OUT3}$	-24		-5	V	
Feedback Voltage	$V_{FB3}$		0.8		V	In reference to $V_{OUT3}$
Feedback Voltage Accuracy		-1.5		+1.5	%	Adjustable output option
Feedback Bias Current	$I_{FB3}$			0.05	$\mu\text{A}$	
Load Regulation	$(\Delta V_{FB3}/V_{FB3})/\Delta I_{OUT3}$		-0.01		%/mA	$I_{OUT3} = 1 \text{ mA to } 15 \text{ mA}$
Line Regulation	$(\Delta V_{OUT3}/V_{OUT3})/\Delta V_{OUT1}$		0.0005		%/V	$V_{OUT1} = 6 \text{ V to } 28 \text{ V}$ , $I_{OUT3} = -15 \text{ mA}$
Power FET On Resistance	$R_{ON\_NFET (INVERTER)}$		1.45		$\Omega$	SW3 current ( $I_{SW3}$ ) = 100 mA
	$R_{ON\_PFET (INVERTER)}$		2.2		$\Omega$	$I_{SW3} = 100 \text{ mA}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Current-Limit Threshold	$I_{LIM}$ (INVERTER)	280	300	320	mA	
SW3 Leakage Current						
PMOS			0.03	0.5	$\mu$ A	$V_{SW3} = -24$ V
NMOS			0.03	0.5	$\mu$ A	$V_{SW3} = 24$ V
Switching Frequency	$f_{SW}$ (INVERTER)	117.5	125	132.5	kHz	SYNC = low or high
			$f_{SYNC}/4$		kHz	SYNC = external clock
Minimum On Time			178		ns	
Soft Start Timer	$t_{SS}$ (INVERTER)		8		ms	
Active Pull-Down Resistor	$R_{PD}$ (INVERTER)		350		$\Omega$	$1.23$ V < $V_{OUT1}$ < 4.5 V
<b>ISOLATORS, DC SPECIFICATIONS</b>						
MCK, $\overline{MSS}$ , MO, SO, MGPI1, MGPI2, SGPI3						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{xVDD}$			V	$V_{xVDD} = V_{MVDD}$ or $V_{SVDDx}$
Logic Low	$V_{IL}$			$0.3 \times V_{xVDD}$	V	$V_{xVDD} = V_{MVDD}$ or $V_{SVDDx}$
Input Current	$I_i$	-1		+1	$\mu$ A	$0$ V $\leq V_{INPUT} \leq V_{xVDD}$
SCK, $\overline{SSS}$ , SI, MI						
Output Voltage						
Logic High	$V_{OH}$	$V_{xVDD} - 0.1$			V	$I_{Ox}^2 = -20$ $\mu$ A, $V_{Ix} = V_{IxH}^3$
		$V_{xVDD} - 0.4$			V	$I_{Ox}^2 = -2$ mA, $V_{Ix} = V_{IxH}^3$
Logic Low	$V_{OL}$		0.15	0.4	V	$I_{Ox}^2 = 20$ $\mu$ A, $V_{Ix} = V_{IxL}^4$
				0.4	V	$I_{Ox}^2 = 2$ mA, $V_{Ix} = V_{IxL}^4$
SGPO1, SGPO2, MGPO3						
Output Voltage						
Logic High	$V_{OH}$	$V_{xVDD} - 0.1$			V	$I_{Ox}^2 = -20$ $\mu$ A, $V_{Ix} = V_{IxH}^3$
		$V_{xVDD} - 0.4$			V	$I_{Ox}^2 = -500$ $\mu$ A, $V_{Ix} = V_{IxH}^3$
Logic Low	$V_{OL}$		0.15	0.4	V	$I_{Ox}^2 = 20$ $\mu$ A, $V_{Ix} = V_{IxL}^4$
				0.4	V	$I_{Ox}^2 = 500$ $\mu$ A, $V_{Ix} = V_{IxL}^4$
SCK, SI, MI						
Tristate Leakage		-1	0.01	1	$\mu$ A	$\overline{MSS} =$ logic high
		-1	0.01	1	$\mu$ A	$V_{Ox}^5 = V_{xVDD}$
<b>ISOLATORS, SWITCHING SPECIFICATION</b>						
MCK, $\overline{MSS}$ , MO, SO						
SPI Clock Rate	$SPI_{MCK}$			16.6	MHz	
Latency			100	125	ns	Delay from $\overline{MSS}$ going low to the first data out is valid
Input Pulse Width	$t_{PW}$	17			ns	Within PWD limit
Input Pulse Width Distortion	$t_{PWD}$		0.25	6.5	ns	$ t_{PLH} - t_{PHL} $
Channel Matching						
Codirectional	$t_{PSKCD}$		0.5	5.5	ns	
Opposing Direction	$t_{PSKOD}$		0.5	4	ns	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Propagation Delay	$t_{PHL}, t_{PLH}$		7	11	ns	50% input to 50% output $V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			7	12	ns	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			7	15	ns	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			8.5	12	ns	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
Jitter			620		ps p-p	$V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			100		ps rms	$V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			440		ps p-p	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			80		ps rms	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			290		ps p-p	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			60		ps rms	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			410		ps p-p	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
			110		ps rms	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
MGPI1, MGPI2, SGPI3						
Data Rate				100	kbps	
Input Pulse Width	$t_{PW}$	10			$\mu\text{s}$	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			14	$\mu\text{s}$	50% input to 50% output
Jitter				19.5	$\mu\text{s}$	
<b>ISOLATORS AC SPECIFICATIONS</b>						
General-Purpose Input/Output (GPIO)						
Output Rise Time/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
SPI						
Output Rise Time/Fall Time	$t_R/t_F$		2		ns	10% to 90%
Common-Mode Transient Immunity <sup>6</sup>	$ CM $		100		kV/ $\mu\text{s}$	

<sup>1</sup>  $V_{IX}$  はチャンネル x のロジック入力です。チャンネル x は、MCK、MO、SO、MGPI1、MGPI2、または MGPI3 です。

<sup>2</sup>  $I_{OX}$  はピンの出力電流です。

<sup>3</sup>  $V_{IXH}$  は入力側ロジック・ハイ・レベルです。

<sup>4</sup>  $V_{IXL}$  は入力側ロジック・ロー・レベルです。

<sup>5</sup>  $V_{OX}$  は出力がプルされる電圧です。

<sup>6</sup>  $|CM|$  は、 $V_{OUT} > 0.8MVDD$  または  $SVDDx$ 、あるいはその両方を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立上がりと立下がりの両方のコモンモード電圧エッジに適用されます。

## 適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 8 および絶縁寿命のセクションを参照してください。

表 2. 安全認証

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12
2500 V rms Single Protection	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: basic insulation at 300 V rms (424 $V_{PEAK}$ ) CSA 61010-1-12 and IEC 61010-1 third edition: basic insulation at 300 V rms mains, 300 V rms (424 $V_{PEAK}$ ) secondary	Basic insulation, 565 $V_{PEAK}$

## 電磁両立性

表 3.

Regulatory Body	Standard	Comment
SGS-CCSR	CISPR11 Class B	Tested using the system board with the AD5758

## 絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)				
Field Power Domain to Master Domain		2.15	mm min	Measured from field power pins and pads to master pins and pads, shortest distance through air
Field Power Domain to Slave Domain		2.15	mm min	Measured from field power pins and pads to slave pins and pads, shortest distance through air
Master Domain to Slave Domain		2.15	mm min	Measured from master pins and pads to slave pins and pads, shortest distance through air
Minimum External Tracking (Creepage)				
Field Power Domain to Master Domain		2.15	mm min	Measured from field power pins and pads to master pins and pads, shortest distance path along body
Field Power Domain to Slave Domain		2.15	mm min	Measured from field power pins and pads to slave pins and pads, shortest distance path along body
Master Domain to Slave Domain		2.15	mm min	Measured from master pins and pads to slave pins and pads, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		18	μm min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303, Part 1
Material Group		II		Material group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE 0884-10 (VDE V 0884-10) 絶縁特性

表 5.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110			I to III	
For Rated Mains Voltage ≤ 150V rms			I to II	
For Rated Mains Voltage ≤ 300 V rms			I to I	
For Rated Mains Voltage ≤ 400 V rms				
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	565	$V_{PEAK}$
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1060	$V_{PEAK}$
Input to Output Test Voltage, Method A				
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	847	$V_{PEAK}$
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC		678	$V_{PEAK}$
Highest Allowable Overvoltage		$V_{IOTM}$	3537	$V_{PEAK}$
Surge Isolation Voltage	$V_{PEAK} = 12.8$ kV, 1.2 $\mu$ s rise time, 50 $\mu$ s, 50% fall time	$V_{IOSM}$	4000	$V_{PEAK}$
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Maximum Junction Temperature		$T_S$	150	$^{\circ}C$
Total Power Dissipation at 25 $^{\circ}C$		$P_S$	2.48	W
Insulation Resistance at $T_S$	$V_{IO} = 500V$	$R_S$	>10 <sup>9</sup>	$\Omega$

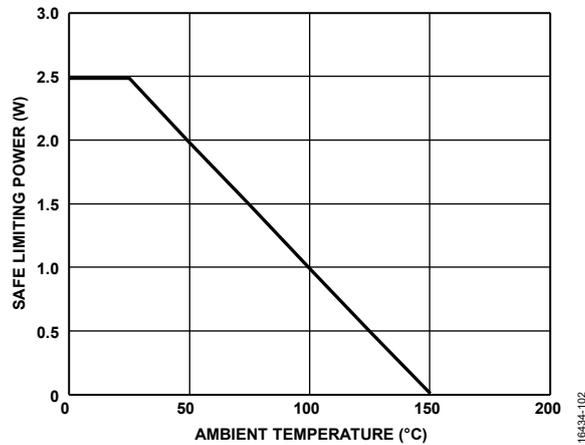


図 2. 熱デレーティング曲線、DIN V VDE V 0884-10 による安全限界電力の周囲温度への依存性

## 絶対最大定格

表 6.

Parameter	Rating
VINP to PGNDP	61 V
SWP to VINP	VINP + 70 V or 110 V, whichever is lower
SLEW to GNDP	-0.3 V to VINP + 0.3 V
EN to GNDP	-0.3 V ~ +61 V
VOUT1 to SGND2	35 V
FB1 to SGND2	-0.3 V to VOUT1 + 0.3 V
VOUT1 to VOUT3	61 V
SW2 to SGND2	-0.3 V to VOUT1 + 0.3 V
VOUT2 to SGND2	6 V
SW3 to SGND2	VOUT3 - 0.3 V to VOUT1 + 0.3 V
VOUT3 to SGND2	-26 V ~ +0.3 V
FB3 to VOUT3	+3.3 V ~ -0.3 V
SVDD1 to SGND1	6.0 V
SVDD2 to SGND2	6.0 V
SSS, SCK, SI, SO to SGND1	-0.3 V to SVDD1 + 0.3 V
SGPO1, SGPO2, SGPI3 to SGND2	-0.3 V to SVDD2 + 0.3 V
SYNC to SGND2	-0.3 V ~ +6 V
MVDD to MGND	6.0 V
MSS, MCK, MO, MI to MGND	-0.3 V to MVDD + 0.3 V
MGPI1, MGPI2, MGPO3 to MGND	-0.3 V to MVDD + 0.3 V
PWRGD to MGND	-0.3 V to MVDD + 0.3 V
Common-Mode Transients	±100 kV/μs
Operating Junction Temperature Range <sup>1</sup>	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature	JEDEC industry standard
Soldering Conditions	JEDEC J-STD-020

<sup>1</sup> チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

表 8.最大の連続動作電圧<sup>1</sup>

Parameter	Value	Constraint
60Hz AC Voltage	300 V rms	20-year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	424 V <sub>PEAK</sub>	Limited by the creepage of the package, Pollution Degree 2, Material Group II <sup>2,3</sup>

<sup>1</sup> 詳細については、絶縁寿命のセクションを参照。

<sup>2</sup> 他の汚染度要件および材料グループ要件により、別の制限が発生。

<sup>3</sup> 一部のシステム・レベル規格では、プリント配線基板 (PWB) の沿面距離値をコンポーネントに使用することを許可。これらの規格では、サポートされている DC 電圧が高い場合があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定される、周囲とジャンクションの間の自然対流における熱抵抗です。 $\theta_{JC}$  はパッケージの上側で測定され、PCB には依存しません。アプリケーションのジャンクションからケースにかけての温度の計算には、 $\Psi_{JT}$  が適しています。

表 7.熱抵抗

Package Type <sup>1,2,3,4</sup>	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JT}$	Unit
CP-41-1	50.4	33.1	25	°C/W

<sup>1</sup> 絶縁目的でピンを除去した 9mm × 7mm LFCSP。

<sup>2</sup> 熱抵抗のシミュレーション値は、19 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づく。JEDEC JESD-51 参照。

<sup>3</sup> ケース温度はパッケージの中央で測定。

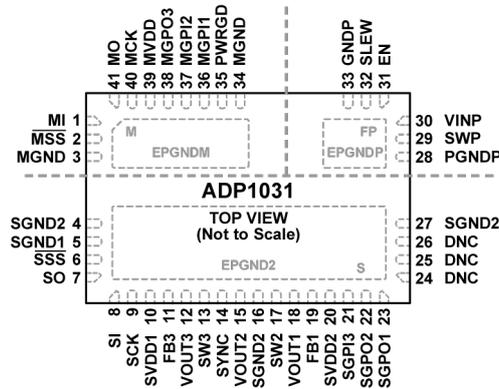
<sup>4</sup> ボード温度は 1 番ピンの近くで測定。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. DNC は接続不可を意味する。このピンには接続しないこと。
  2. EPGNDP は PGNDP に内部で接続され、EPGNDM は MGND に内部で接続され、EPGND2 は SGND に内部で接続される。

16-04-002

図 3. ピン配置

表 9. ピン機能の説明

ピン番号	記号	絶縁ドメイン	方向	説明
1	MI	Master	Output	スレーブの MI および SO ラインからの SPI データ出力。このピンは SO と組み合わせられます。スレーブ・ドメインでは、SO がこのピンを駆動します。
2	MSS	Master	Input	マスタ・コントローラからの SPI スレーブ・セレクト入力。このピンは SSS と組み合わせられます。スレーブ・ドメインでは、このピンが SSS を駆動します。この信号はアクティブ・ローのロジックを使用します。
3	MGND	Master	Return	マスタ・ドメイン信号のグラウンド接続。
4	SGND2	Slave	Return	スレーブ・ドメインのグラウンド接続。このピンは未接続のままにしておくことができます。
5	SGND1	Slave	Return	スレーブ・ドメインの SPI アイソレータ・グラウンド。
6	SSS	Slave	Output	SPI スレーブ・セレクト出力。このピンは MSS と組み合わせられます。マスタ・ドメインでは、MSS がこのピンを駆動します。
7	SO	Slave	Input	マスタの MI および SO ラインへの SPI データ入力。このピンは MI と組み合わせられます。マスタ・ドメインでは、このピンが MI を駆動します。
8	SI	Slave	Output	マスタの MO および SI ラインからの SPI データ出力。このピンは MO と組み合わせられます。マスタ・ドメインでは、MO がこのピンを駆動します。
9	SCK	Slave	Output	マスタからの SPI クロック出力。このピンは MCK と組み合わせられます。マスタ・ドメインでは、MCK がこのピンを駆動します。
10	SVDD1	Slave	Power	SPI アイソレータ電源。SVDD1 と SGND1 の間に 100nF のデカップリング・コンデンサを接続してください。
11	FB3	Slave	Not applicable	反転レギュレータの帰還ピン。
12	VOUT3	Slave	Power	反転レギュレータ出力。
13	SW3	Slave	Not applicable	反転レギュレータのスイッチ・ノード。
14	SYNC	Slave	Input	SYNC ピン。スイッチング周波数を同期するには、必要なスイッチング周波数の 2 倍の外部クロックに SYNC ピンを接続します。このピンはフロート状態のままにしないでください。100kΩ のプルダウン抵抗を SGND2 に接続してください。
15	VOUT2	Slave	Power	降圧レギュレータの出力ピン。
16	SGND2	Slave	Return	スレーブの電源グラウンド。反転レギュレータと降圧レギュレータの出力コンデンサ用のグラウンド・リターン。
17	SW2	Slave	Not applicable	降圧レギュレータのスイッチ・ノード。
18	VOUT1	Slave	Power	フライバック・レギュレータの出力ピン。
19	FB1	Slave	Slave	フライバック・レギュレータ用の帰還ノード。
20	SVDD2	Slave	Power	GPIO アイソレータ電源。SVDD2 と SGND2 の間に 100nF のデカップリング・コンデンサを接続してください。

ピン番号	記号	絶縁ドメイン	方向	説明
21	SGPI3	Slave	Input	汎用入力 3。このピンは MGPO3 と組み合わせられます。
22	SGPO2	Slave	Output	汎用出力 2。このピンは MGPI2 と組み合わせられます。
23	SGPO1	Slave	Output	汎用出力 1。このピンは MGPI1 と組み合わせられます。
24	DNC	Slave	Not applicable	接続なし。このピンには接続しないでください。
25	DNC	Slave	Not applicable	接続なし。このピンには接続しないでください。
26	DNC	Slave	Not applicable	接続なし。このピンには接続しないでください。
27	SGND2	Slave	Return	スレーブ・ドメインのグラウンド接続。このピンは未接続のままにしておくことができます。
28	PGNDP	Field power	Return	フライバック・レギュレータ電源用のグラウンド・リターン。
29	SWP	Field power	Not applicable	フライバック・レギュレータのスイッチング・ノード。1 次側トランスの接続。
30	VINP	Field power	Power	フライバック・レギュレータの電源電圧。VINP と PGNDP の間に少なくとも 3.3 $\mu$ F のコンデンサを接続してください。
31	EN	Field power	Input	高精度イネーブル。EN ピンは、フライバック・レギュレータ出力をイネーブルするために内部高精度リファレンスと比較されます。
32	SLEW	Field power	Input	フライバック・レギュレータのスルー・レート制御。SLEW ピンは、SWP ドライバのスルー・レートを設定します。最大スルー・レート（最大効率）を得るには、SLEW ピンをオープン状態のままにしてください。通常のスルー・レートでいい場合は、SLEW ピンを VINP に接続します。最小スルー・レート（最良 EMI 性能）とするには、SLEW ピンを GNDP に接続します。
33	GNDP	Field power	Return	フィールド電力信号グラウンド接続。
34	MGND	Master	Return	マスタ・ドメイン電力グラウンド接続。
35	PWRGD	Master	Return	パワーグッド。このピンは、2 次側電源が設定された範囲内に入ったことを示します。
36	MGPI1	Master	Input	汎用入力 1。このピンは SGPO1 と組み合わせられます。
37	MGPI2	Master	Input	汎用入力 2。このピンは SGPO2 と組み合わせられます。
38	MGPO3	Master	Output	汎用出力 3。このピンは SGPI3 と組み合わせられます。
39	MVDD	Master	Power	マスタ・ドメイン電力。MVDD と MGND の間に 100nF のデカップリング・コンデンサを接続してください。
40	MCK	Master	Input	マスタ・コントローラからの SPI クロック入力。SCK と組み合わせられます。スレーブ・ドメインでは、このピンが SCK を駆動します。
41	MO	Master	Input	スレーブの MO および SI ラインへの SPI データ入力。SI と組み合わせられます。スレーブ・ドメインでは、このピンが SI を駆動します。
	EPGNDP	Field power	Return	PGNDP 露出パッド。このパッドは内部で PGNDP に接続されています。
	EPGNDM	Master	Return	MGND 露出パッド。このパッドは内部で MGND に接続されています。
	EPGND2	Slave	Return	SGND 露出パッド。このパッドは内部で SGND に接続されています。

代表的な性能特性

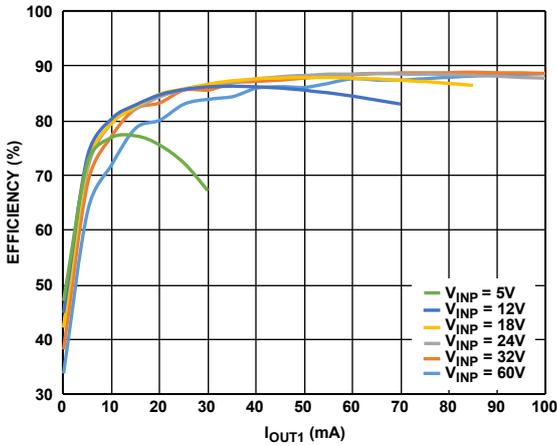


図 4. 様々な入力電圧での全体的な効率、 $T_A = +25^\circ\text{C}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

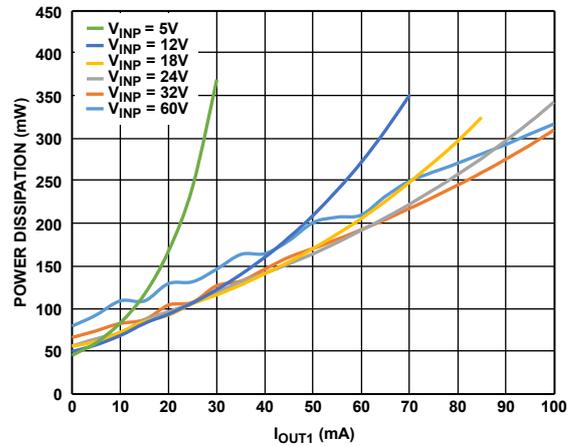


図 7. 様々な入力電圧での消費電力、 $T_A = +25^\circ\text{C}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

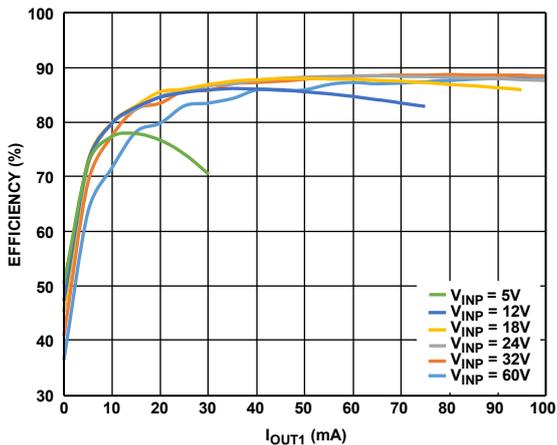


図 5. 様々な入力電圧での全体的な効率、 $T_A = +25^\circ\text{C}$ 、 $V_{OUT1} = +21\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

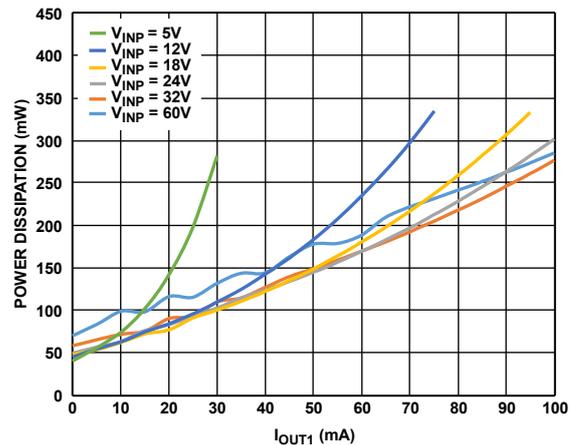


図 8. 様々な入力電圧での消費電力、 $T_A = +25^\circ\text{C}$ 、 $V_{OUT1} = +21\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

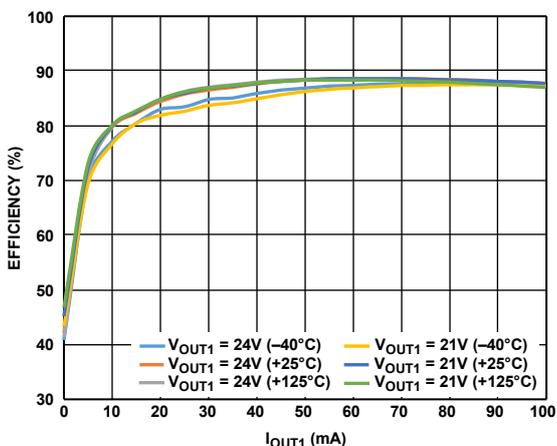


図 6. 全温度範囲での全体的な効率、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +21\text{V}$  および  $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

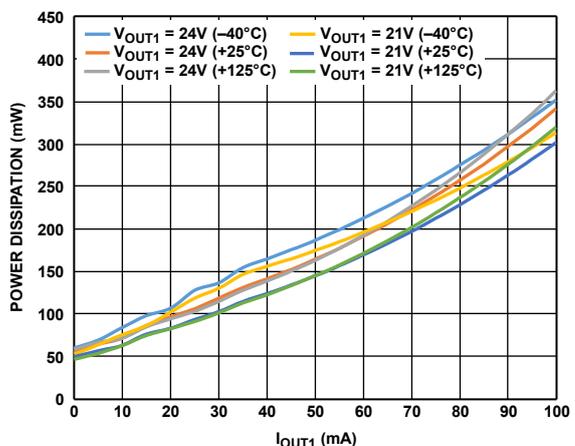


図 9. 全温度範囲での消費電力、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +21\text{V}$  および  $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$ 、Würth Elektronik 750316743 トランスを使用

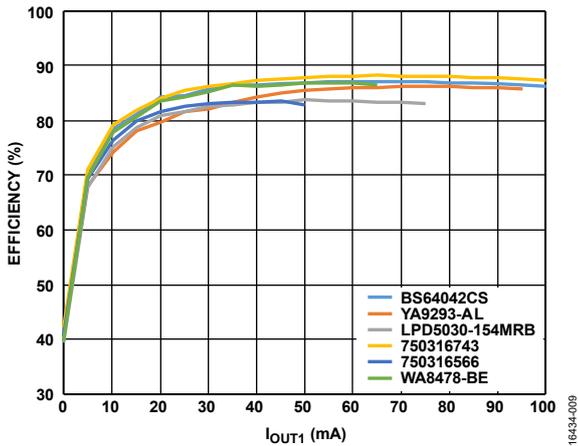


図 10. 各種のトランスを使用した全体的な効率、 $T_A = +25^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

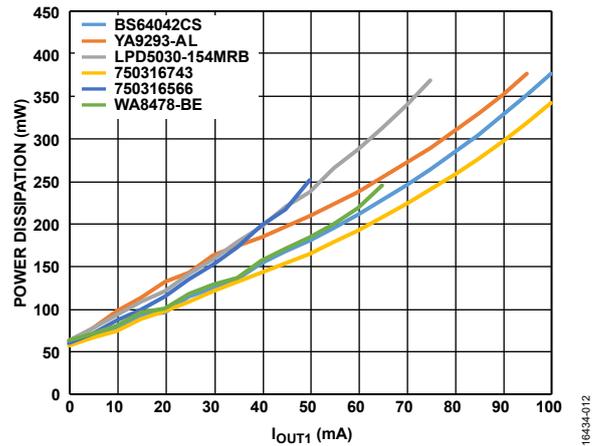


図 13. 各種のトランスを使用した消費電力、 $T_A = +25^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

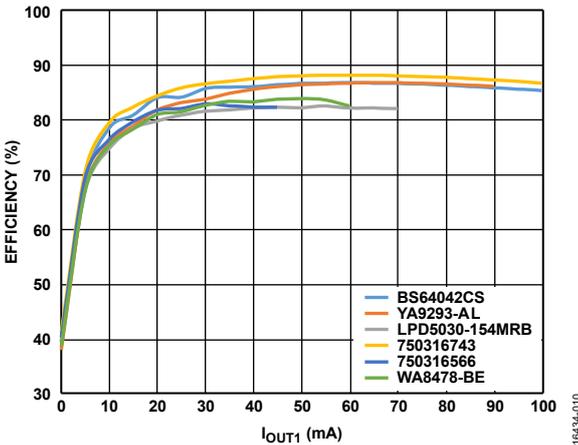


図 11. 各種のトランスを使用した全体的な効率、 $T_A = +125^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

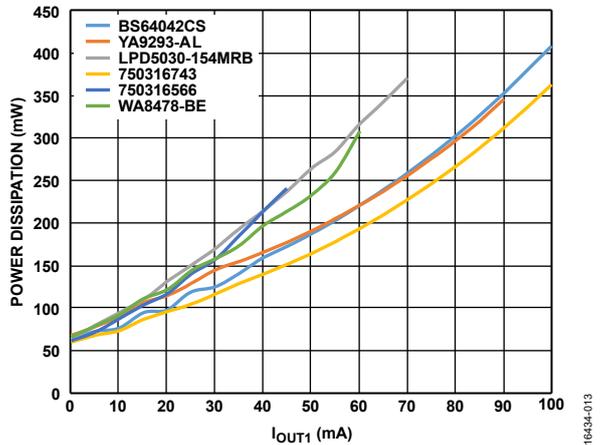


図 14. 各種のトランスを使用した消費電力、 $T_A = +125^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

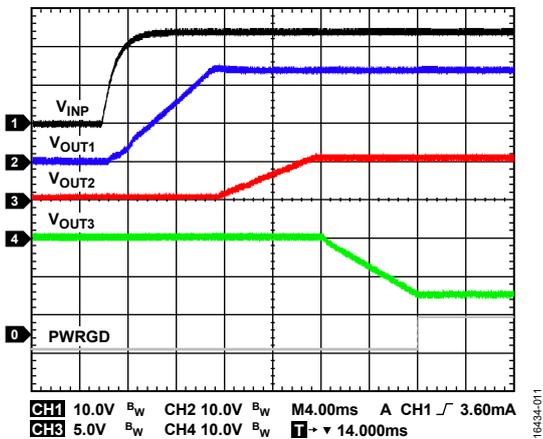


図 12.  $V_{INP}$  の立上がりでのパワーアップ・シーケンス、 $T_A = +25^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $I_{OUT1} = +20\text{mA}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

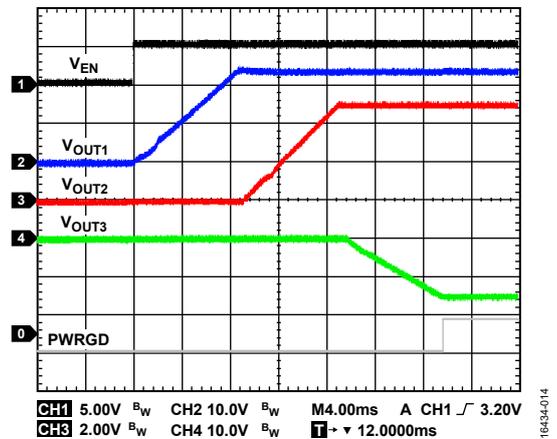


図 15.  $V_{EN}$  の立上がりでのパワーアップ・シーケンス、 $T_A = +25^\circ\text{C}$ 、 $V_{INP} = +24\text{V}$ 、 $V_{OUT1} = +24\text{V}$ 、 $I_{OUT1} = +20\text{mA}$ 、 $V_{OUT2} = +5.15\text{V}$ 、 $I_{OUT2} = +7\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -0.3\text{mA}$

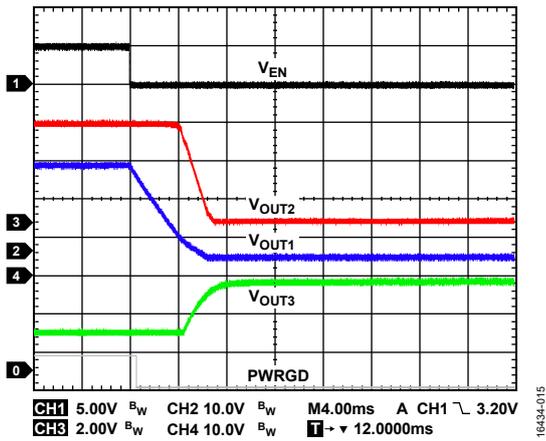


図 16. シャットダウン・シーケンス、 $T_A = +25^\circ\text{C}$ 、 $V_{\text{INP}} = +24\text{V}$ 、 $V_{\text{OUT1}} = +24\text{V}$ 、 $I_{\text{OUT1}} = +20\text{mA}$ 、 $V_{\text{OUT2}} = +5.15\text{V}$ 、 $I_{\text{OUT2}} = +7\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -0.3\text{mA}$

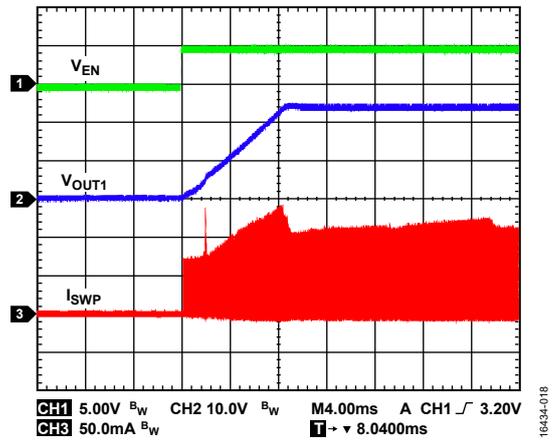


図 19. 突入電流、 $T_A = +25^\circ\text{C}$ 、 $V_{\text{INP}} = +24\text{V}$ 、 $V_{\text{OUT1}} = +24\text{V}$ 、 $I_{\text{OUT1}} = +20\text{mA}$ 、 $V_{\text{OUT2}} = +5.15\text{V}$ 、 $I_{\text{OUT2}} = +7\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -0.3\text{mA}$

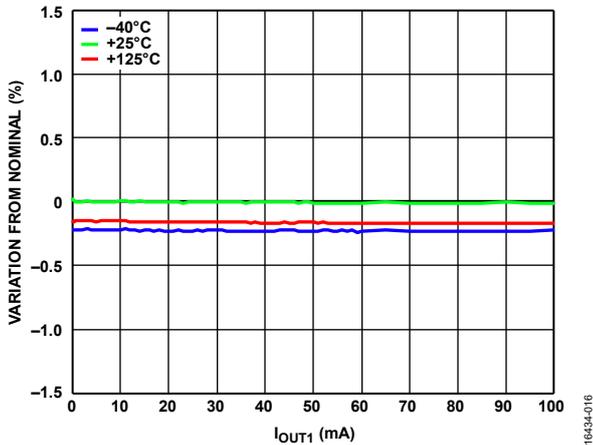


図 17. 全温度範囲でのフライバック・レギュレータの負荷レギュレーション、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、公称値 =  $V_{\text{OUT1}}$  (20mA の負荷)

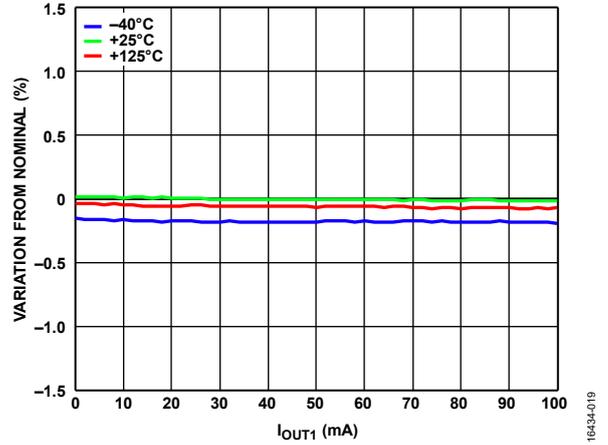


図 20. 全温度範囲でのフライバック・レギュレータの負荷レギュレーション、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 21\text{V}$ 、公称値 =  $V_{\text{OUT1}}$  (20mA の負荷)

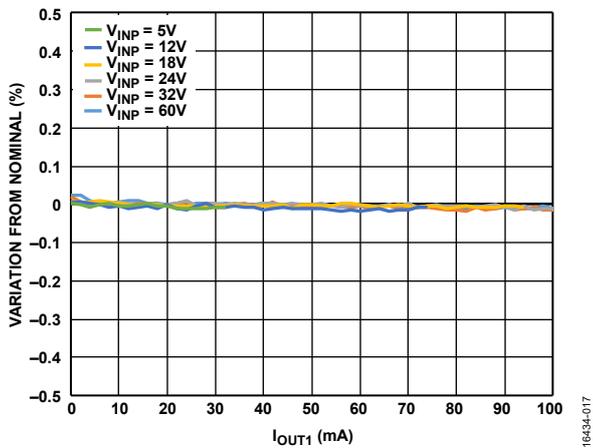


図 18. 様々な入力電圧でのフライバック・レギュレータの負荷レギュレーション、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、公称値 =  $V_{\text{OUT1}}$  (20mA の負荷)

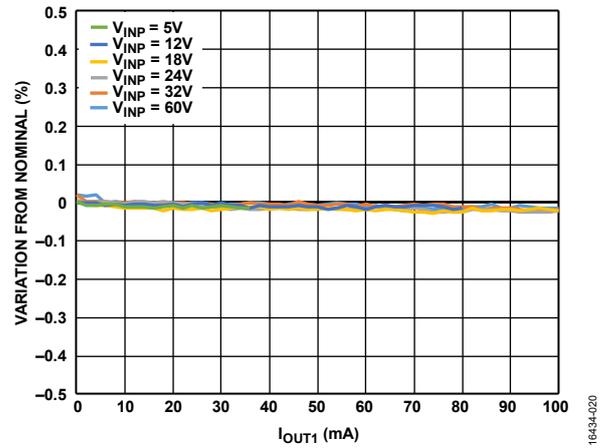


図 21. 様々な入力電圧でのフライバック・レギュレータの負荷レギュレーション、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{OUT1}} = 21\text{V}$ 、公称値 =  $V_{\text{OUT1}}$  (20mA の負荷)

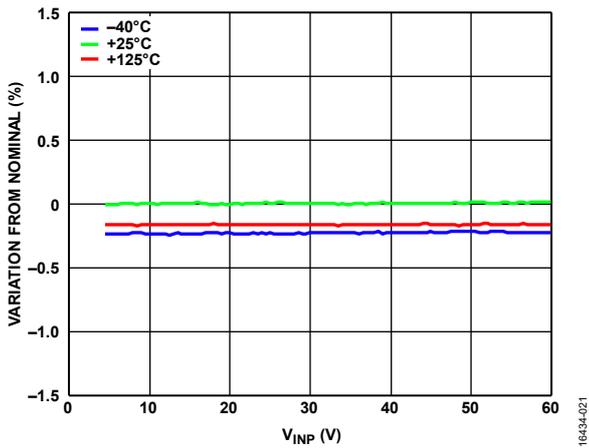


図 22. 全温度範囲でのフライバック・レギュレータのライン・レギュレーション、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 20mA$ 、公称値 =  $V_{OUT1}$  ( $V_{INP} = 24V$ )

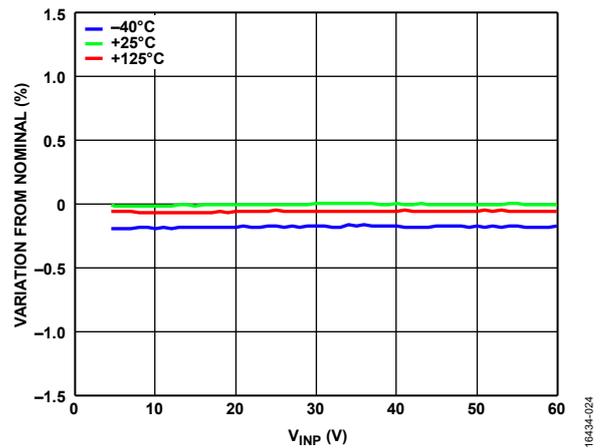


図 25. 全温度範囲でのフライバック・レギュレータのライン・レギュレーション、 $V_{OUT1} = 21V$ 、 $I_{OUT1} = 20mA$ 、公称値 =  $V_{OUT1}$  ( $V_{INP} = 24V$ )

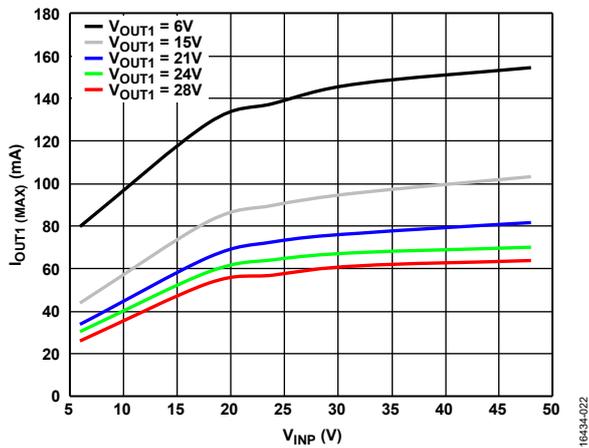


図 23. 様々な出力電圧でのフライバック・レギュレータの最大出力電流、 $T_A = 25^\circ C$ 、Würth Elektronik 750316743 トランスを使用、70%  $I_{LIM (FLYBACK)}$ の目標値に基づく

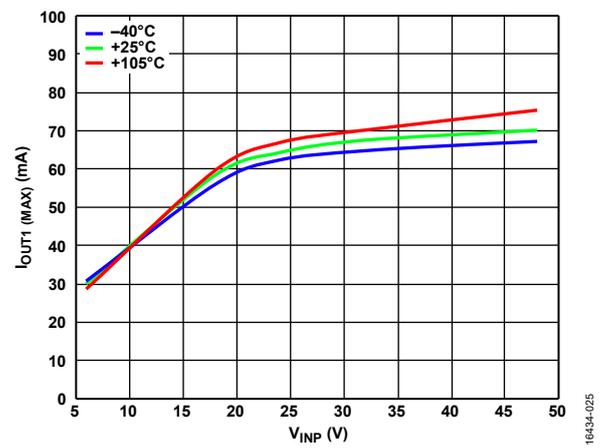


図 26. 全温度範囲でのフライバック・レギュレータの最大出力電流、 $V_{OUT1} = 24V$ 、Würth Elektronik 750316743 トランスを使用、70%  $I_{LIM (FLYBACK)}$ の目標値に基づく

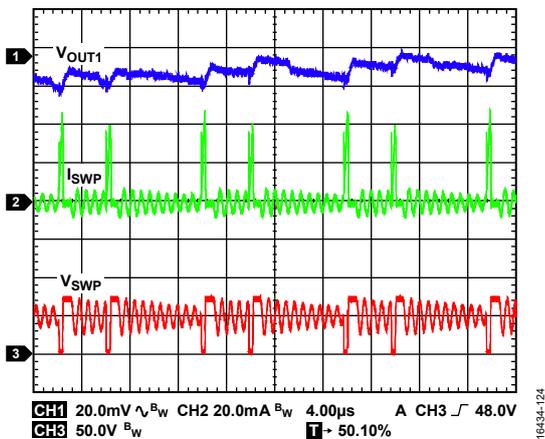


図 24. インダクタ電流 ( $I_{SWP}$ )、スイッチ・ノード電圧、および出力リップルを示すフライバック・レギュレータのパルス・スキップ・モード動作、 $T_A = 25^\circ C$ 、 $V_{INP} = 48V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 1mA$

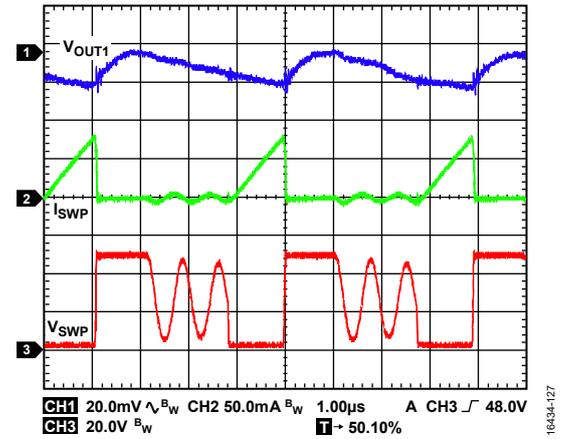


図 27.  $I_{SWP}$ 、スイッチ・ノード電圧、および出力リップルを示すフライバック・レギュレータの不連続導通モード動作、 $T_A = 25^\circ C$ 、 $V_{INP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 10mA$

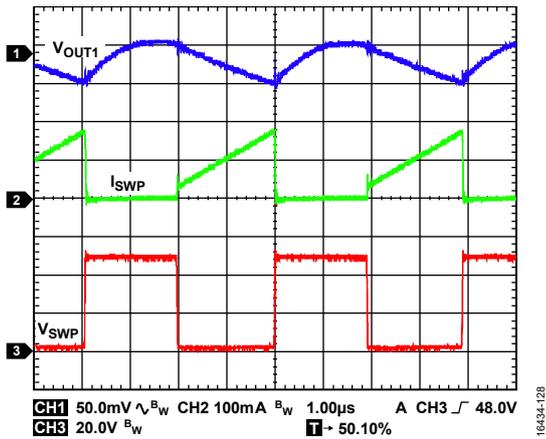


図 28.  $I_{SWP}$ 、スイッチ・ノード電圧、および出力リップルを示すフライバック・レギュレータの連続導通モード動作、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 50\text{mA}$

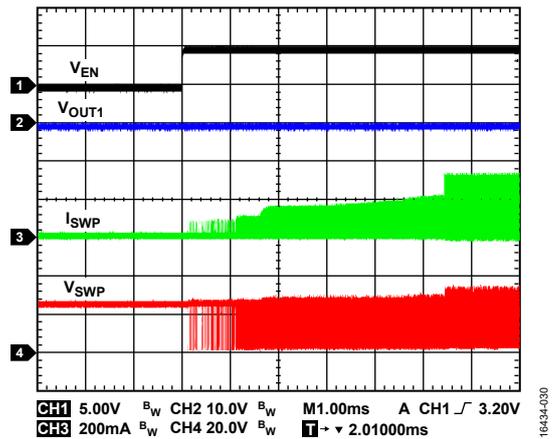


図 31. 起動中のフライバック・レギュレータの短絡電流制限、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = \text{SGND2}$ 、 $T_A = 25^\circ\text{C}$

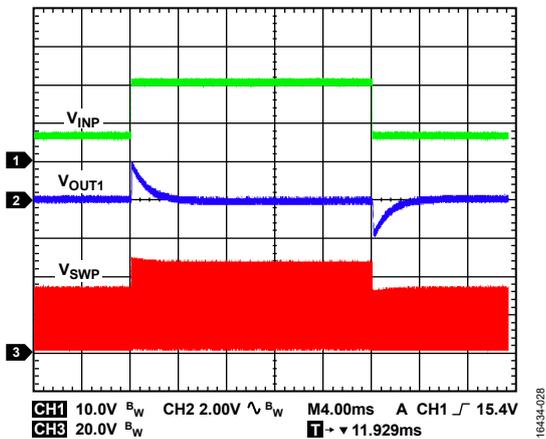


図 29. フライバック・レギュレータのライン過渡応答、 $V_{INP} = 6\text{V} \sim 20\text{V}$  ステップ、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 20\text{mA}$ 、 $T_A = 25^\circ\text{C}$

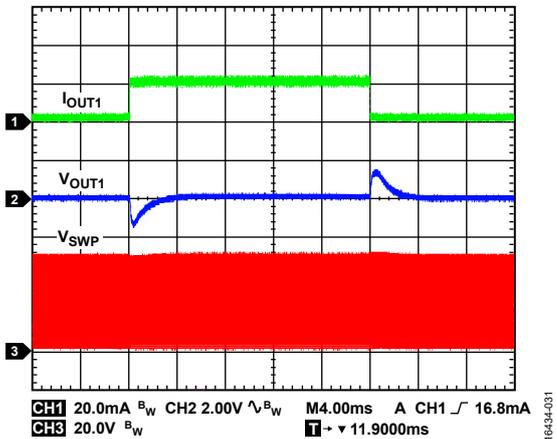


図 32. フライバック・レギュレータの負荷過渡応答、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 1\text{mA} \sim 20\text{mA}$  ステップ、 $T_A = 25^\circ\text{C}$

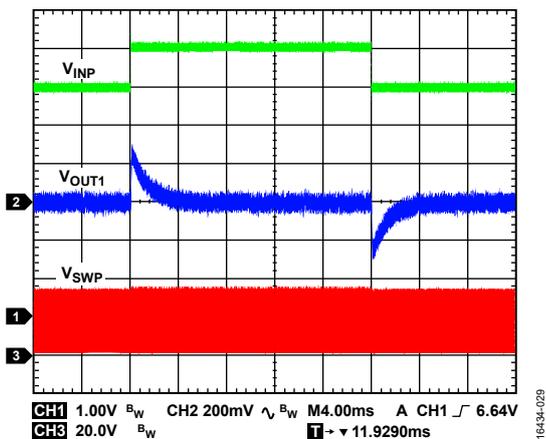


図 30. フライバック・レギュレータのライン過渡応答、 $V_{INP} = 6\text{V} \sim 7\text{V}$  ステップ、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 20\text{mA}$ 、 $T_A = 25^\circ\text{C}$

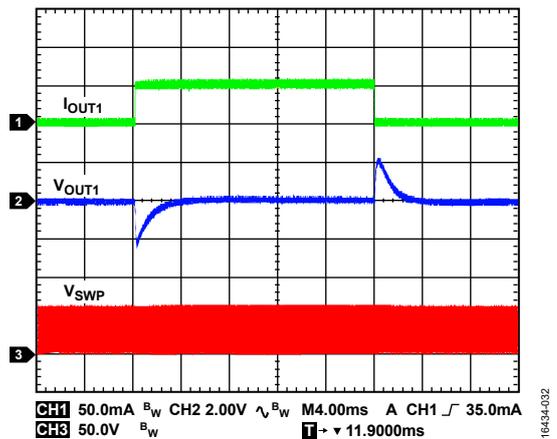


図 33. フライバック・レギュレータの負荷過渡応答、 $V_{INP} = 32\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 1\text{mA} \sim 50\text{mA}$  ステップ、 $T_A = 25^\circ\text{C}$

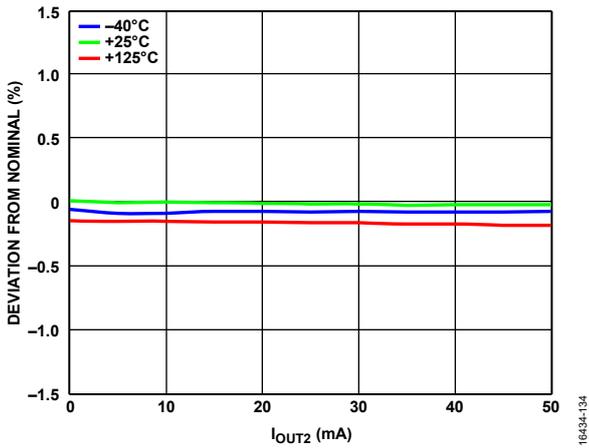


図 34. 全温度範囲での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5.15V$ 、公称値 =  $V_{OUT2}$  ( $10mA I_{OUT2}$ )

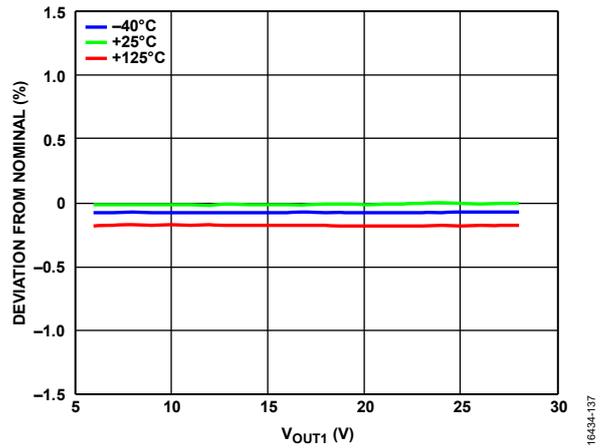


図 37. 全温度範囲での降圧レギュレータのラインレギュレーション、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 7mA$ 、公称値 =  $V_{OUT2}$  ( $24V_{OUT1}$ )

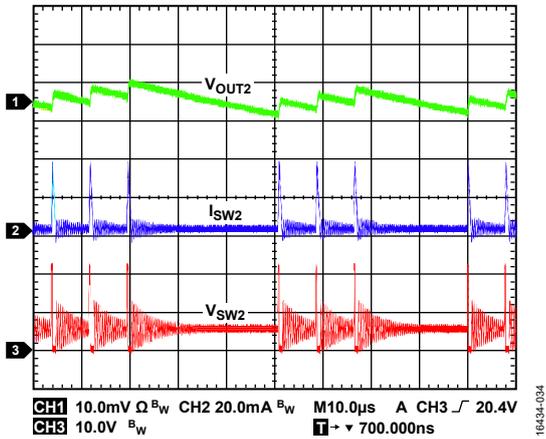


図 35. インダクタ電流 2 ( $I_{L2}$ )、スイッチ・ノード電圧、および出力リップルを示す降圧レギュレータのパルス・スキップ・モード動作、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 0.3mA$

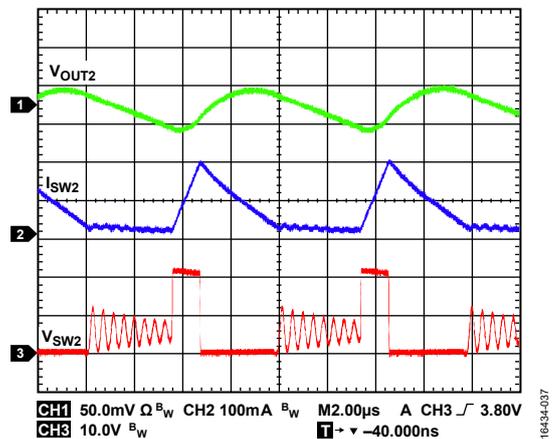


図 38.  $I_{L2}$ 、スイッチ・ノード電圧、および出力リップルを示す降圧レギュレータの不連続導通モード動作、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 21V$ 、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 50mA$

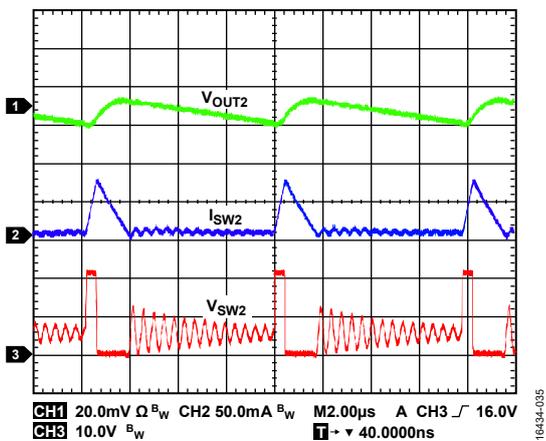


図 36.  $I_{L2}$ 、スイッチ・ノード電圧、および出力リップルを示す降圧レギュレータの不連続導通モード動作、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 21V$ 、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 7mA$

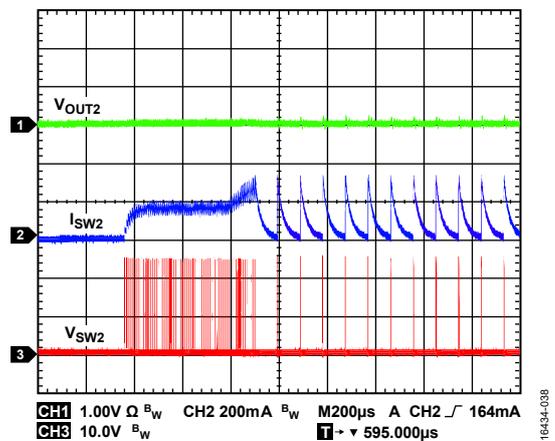


図 39. 起動中の降圧レギュレータの短絡電流制限、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = SGND2$ 、 $T_A = 25^\circ C$

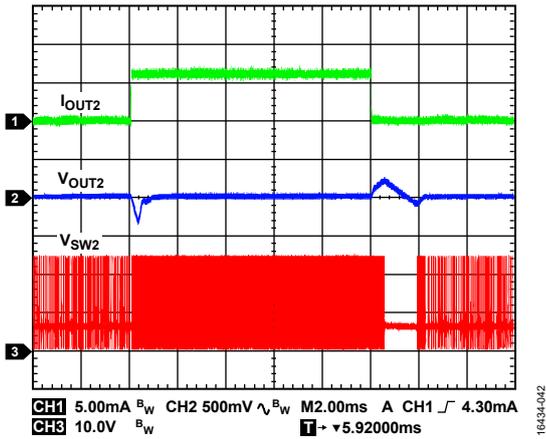


図 40. 降圧レギュレータの負荷過渡応答、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 0.3mA \sim 7mA$  ステップ、 $T_A = 25^\circ C$

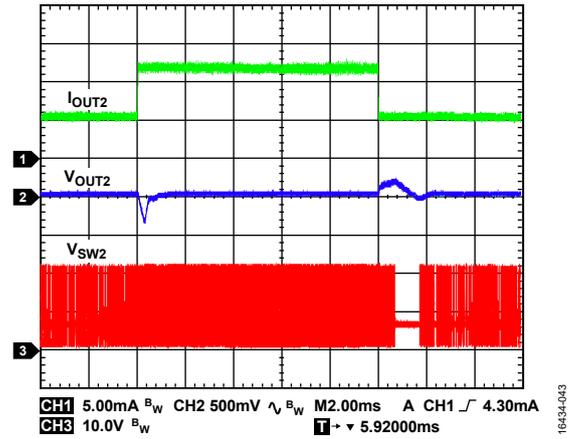


図 43. 降圧レギュレータの負荷過渡応答、 $V_{OUT1} = 21V$ 、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 0.3mA \sim 7mA$  ステップ、 $T_A = 25^\circ C$

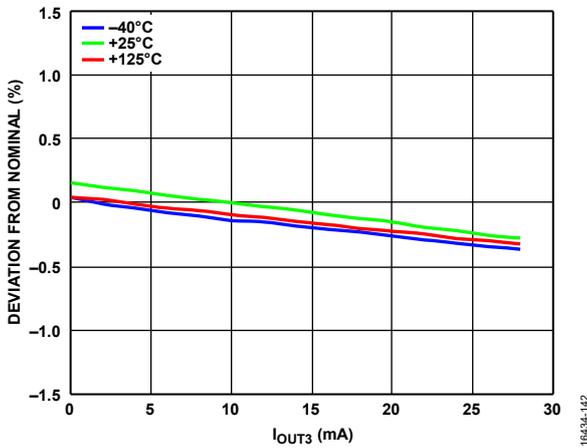


図 41. 全温度範囲での反転レギュレータの負荷レギュレーション、 $V_{OUT1} = +24V$ 、 $V_{OUT3} = -15V$ 、公称値 =  $V_{OUT3} (-7mA I_{OUT3})$

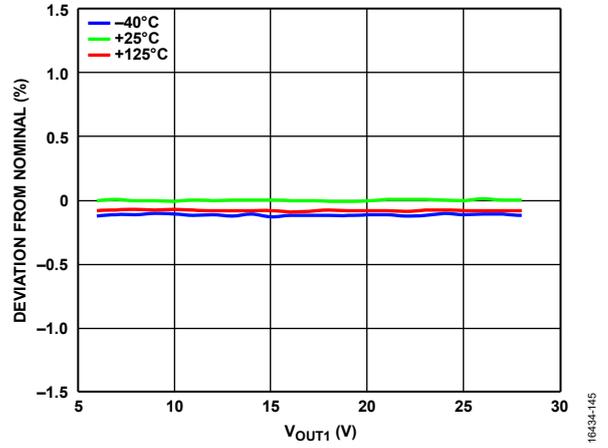


図 44. 全温度範囲での反転レギュレータのラインレギュレーション、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -7mA$ 、公称値 =  $V_{OUT3} (+24V_{OUT1})$

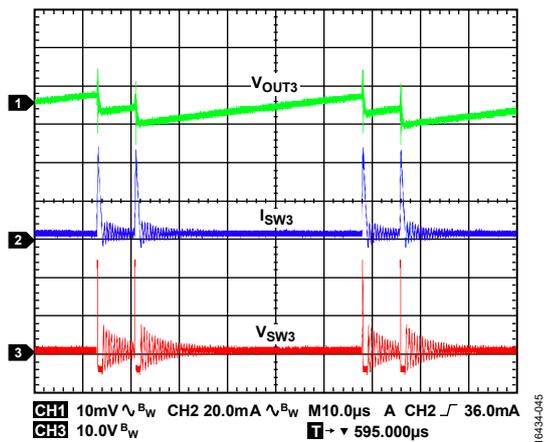


図 42. インダクタ電流 ( $I_{L3}$ )、スイッチ・ノード電圧、および出力リップルを示す反転レギュレータのパルス・スキップ・モード動作、 $T_A = +25^\circ C$ 、 $V_{OUT1} = +24V$ 、 $V_{OUT3} = -6V$ 、 $I_{OUT3} = -0.3mA$

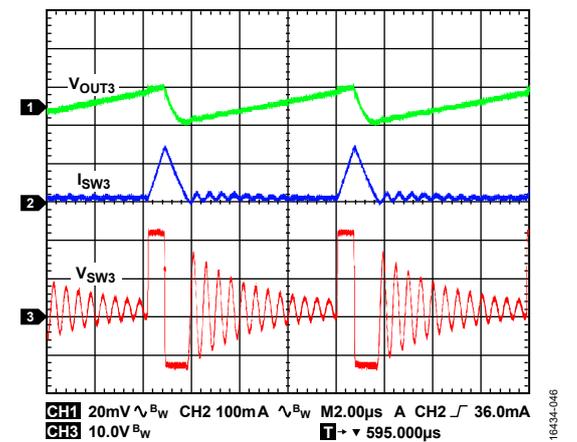


図 45.  $I_{L3}$ 、スイッチ・ノード電圧、および出力リップルを示す反転レギュレータの不連続導通モード動作、 $T_A = +25^\circ C$ 、 $V_{OUT1} = +24V$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -7mA$

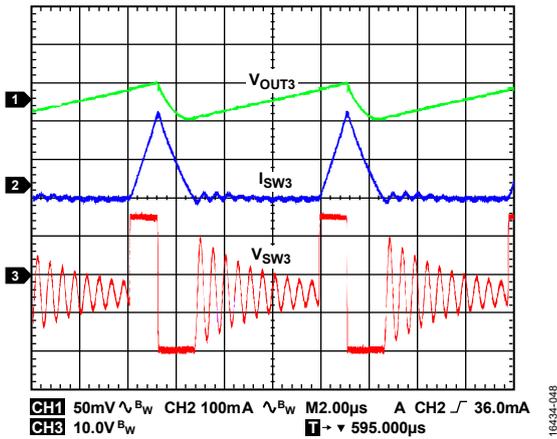


図 46.  $I_{L3}$ 、スイッチ・ノード電圧、および出力リップルを示す反転レギュレータの不連続導通モード動作、 $T_A = +25^\circ\text{C}$ 、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -20\text{mA}$

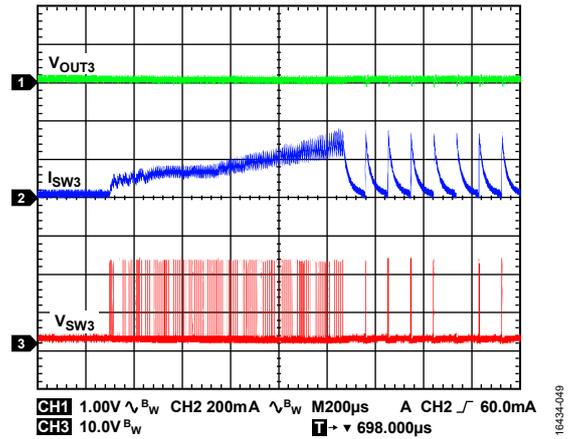


図 49. 起動中の反転レギュレータの短絡電流制限、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT3} = \text{SGND2}$ 、 $T_A = +25^\circ\text{C}$

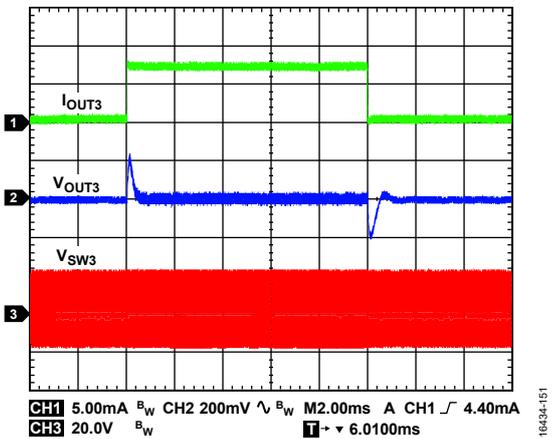


図 47. 反転レギュレータの負荷過渡応答、 $V_{OUT1} = +24\text{V}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT2} = -0.3\text{mA} \sim -7\text{mA}$  ステップ、 $T_A = +25^\circ\text{C}$

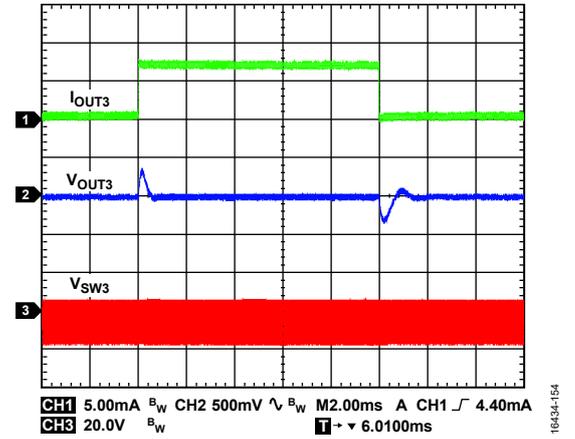


図 50. 反転レギュレータの負荷過渡応答、 $V_{OUT1} = +6\text{V}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT2} = -0.3\text{mA} \sim -7\text{mA}$  ステップ、 $T_A = +25^\circ\text{C}$

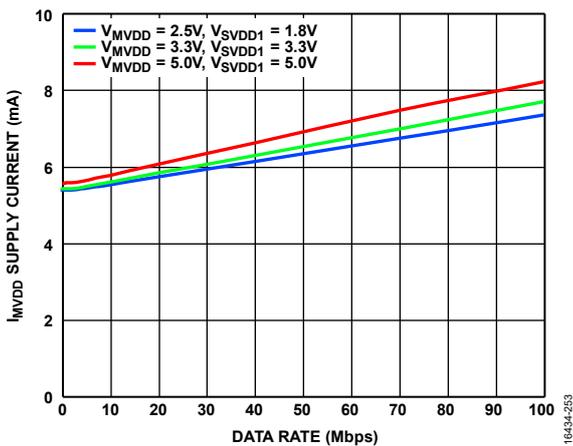


図 48. 様々な電源電圧での SPI 入力ごとの  $I_{MVDD}$  電源電流とデータ・レートの関係、 $\overline{\text{MSS}}$ はロー、クロック信号は1つの SPI チャンネルに印加、他の入力チャンネルはローに接続

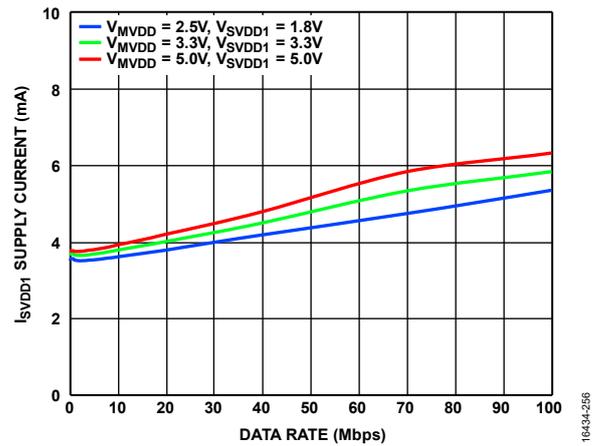


図 51. 様々な電源電圧での SPI 入力ごとの  $I_{SVDD1}$  電源電流とデータ・レートの関係、 $\overline{\text{SSS}}$ はロー、クロック信号は1つの SPI チャンネルに印加、他の入力チャンネルはローに接続

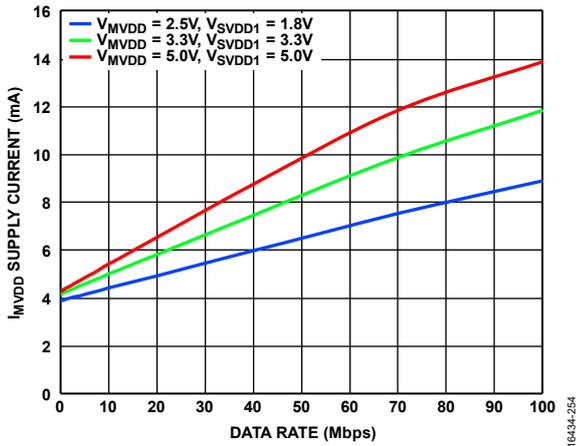


図 52. 様々な電源電圧での SPI 出力ごとの  $I_{MVDD}$  電源電流とデータ・レートの関係、MSSはロー、クロック信号は 1つの SPI チャンネルに印加、他の入力チャンネルはローに接続

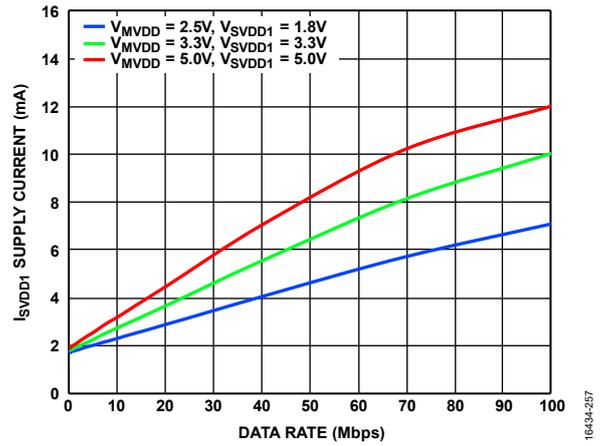


図 55. 様々な電源電圧での  $I_{SVDD1}$  電源電流とデータ・レートの関係、SSSはロー、クロック信号は 1つの SPI チャンネルに印加、他の入力チャンネルはローに接続

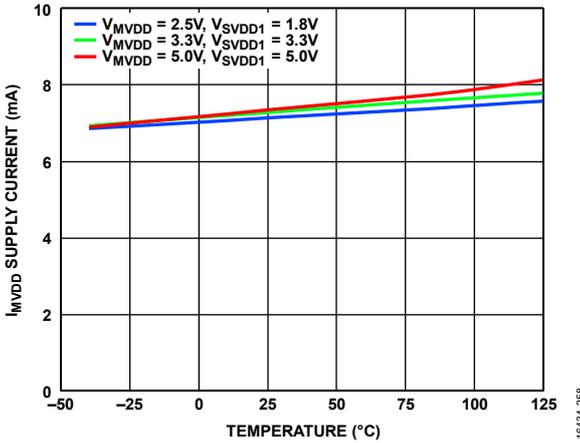


図 53. 様々な電源電圧での  $I_{MVDD}$  電源電流と温度の関係、MSSはロー、全ての SPI チャンネル上でデータ・レート = 10Mbps

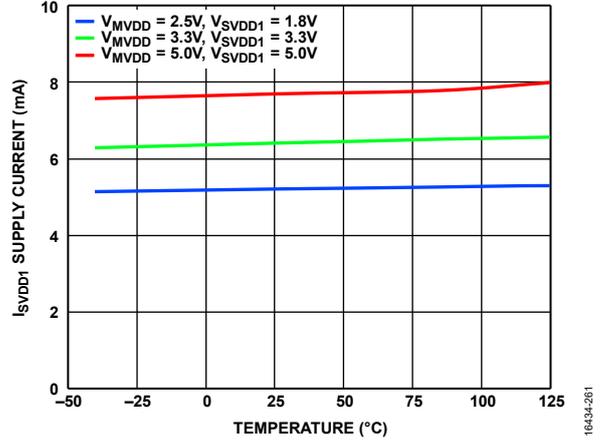


図 56. 様々な電源電圧での  $I_{SVDD1}$  電源電流と温度の関係、SSSはロー、全ての SPI チャンネル上でデータ・レート = 10Mbps

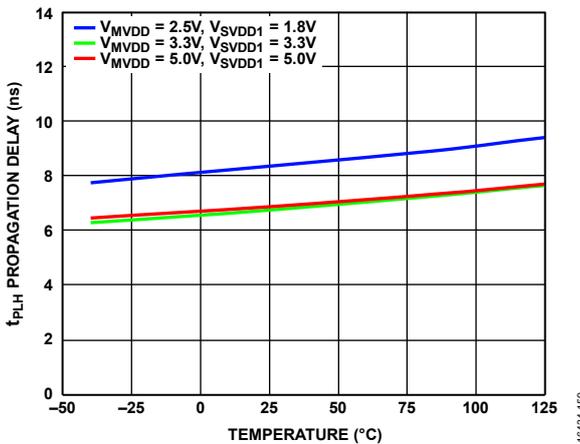


図 54. 様々な電源電圧での SPI チャンネルの  $t_{PLH}$  伝搬遅延と温度の関係

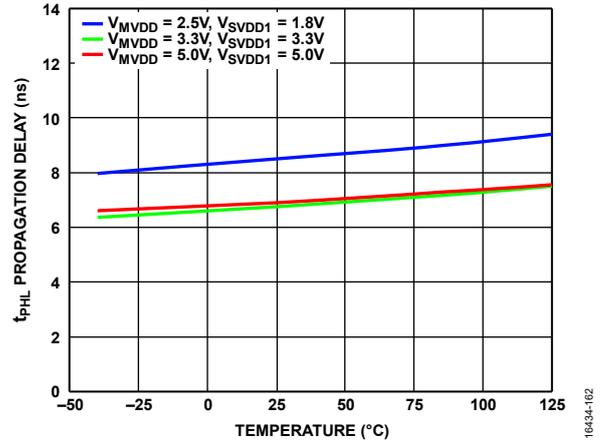


図 57. 様々な電源電圧での SPI チャンネルの  $t_{PLH}$  伝搬遅延と温度の関係

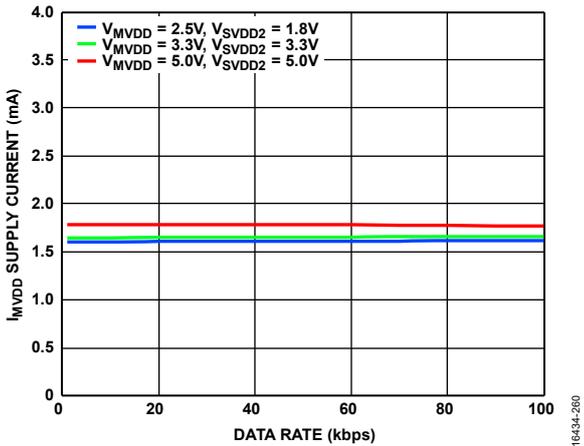


図 58. 様々な電源電圧での I<sub>MVDD</sub> 電源電流と全ての GPIO チャンネル上のデータ・レートの関係、MSSはハイ

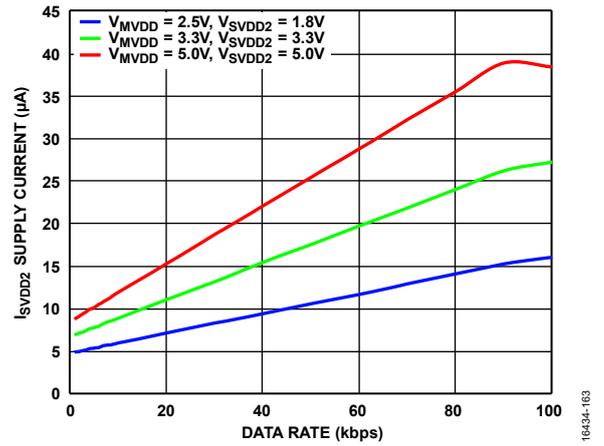


図 61. 様々な電源電圧での I<sub>SVDD2</sub> 電源電流と全ての GPIO チャンネル上のデータ・レートの関係、MSSはハイ

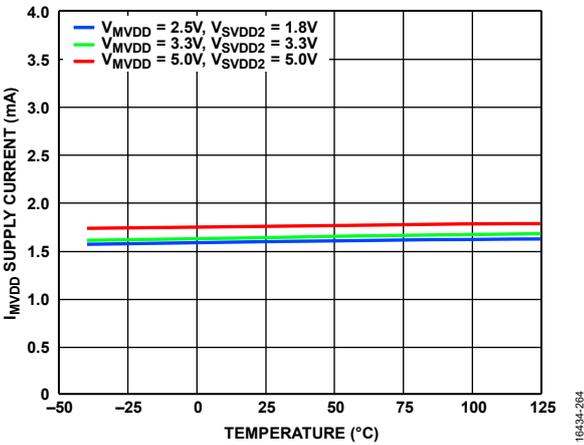


図 59. 様々な電源電圧での I<sub>MVDD</sub> 電源電流と温度の関係、 $\overline{\text{MSS}}$ はロー、全ての GPIO チャンネル上でデータ・レート = 40kbps

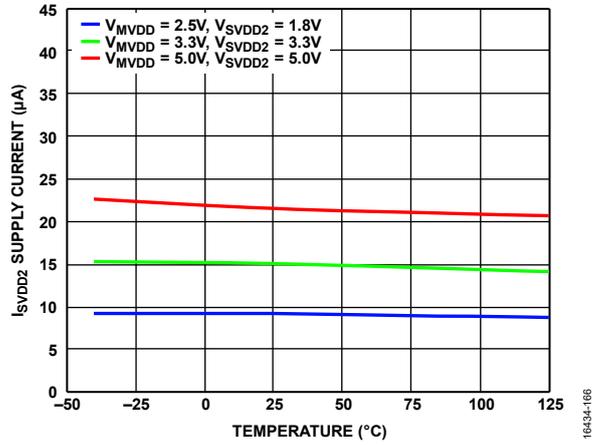


図 62. 様々な電源電圧での I<sub>SVDD2</sub> 電源電流と温度の関係、 $\overline{\text{SS}}$ はロー、全ての GPIO チャンネル上でデータ・レート = 40kbps

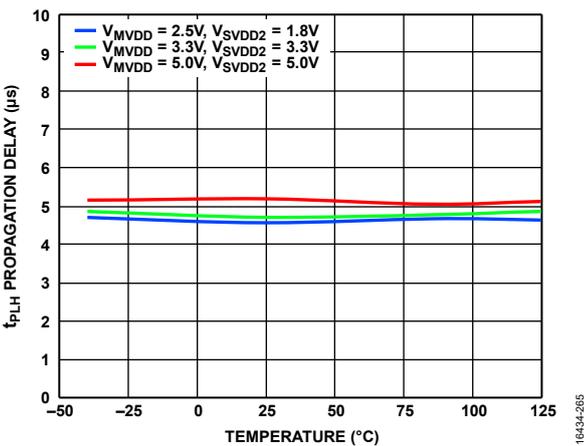


図 60. 様々な電源電圧での GPIO チャンネルの t<sub>PLH</sub> 伝搬遅延と温度の関係

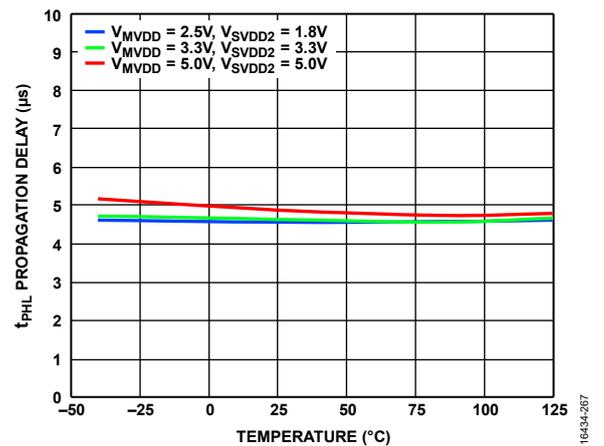


図 63. 様々な電源電圧での GPIO チャンネルの t<sub>PHL</sub> 伝搬遅延と温度の関係

動作原理

ADP1031は、絶縁型フライバック・レギュレータ、反転レギュレータ、および降圧レギュレータを組み合わせた高性能な絶縁型マイクロPMUで、3つの絶縁された電源レールを提供します。またADP1031は、41ピンLFCSPパッケージに7つの低消費

電力デジタル・アイソレータを内蔵しており、消費電力と基板面積の制約が厳しいチャンネル間絶縁アプリケーションに適しています。

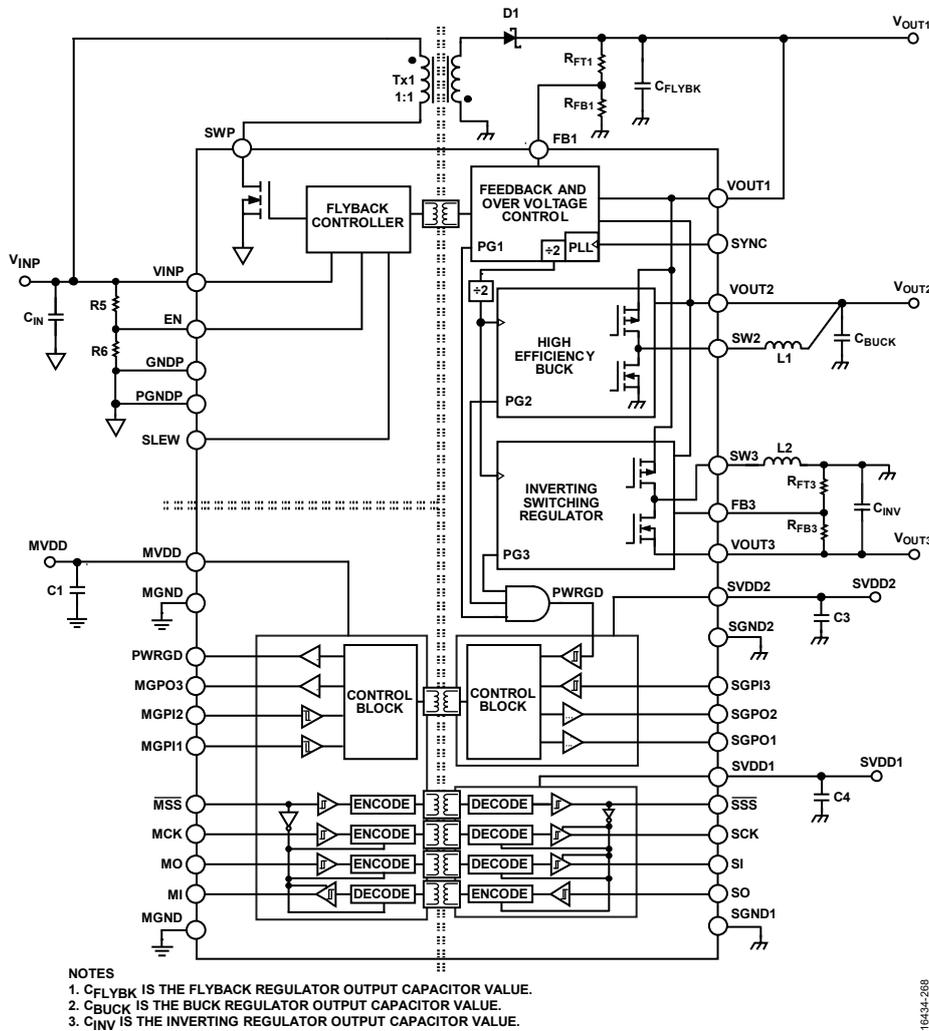


図 64. 簡略ブロック図

16434-268

## フライバック・レギュレータ

### フライバック・レギュレータの動作

ADP1031のフライバック・レギュレータは、調整可能出力バージョンでは6V~28V、工場出荷時に設定可能な固定出力バージョンでは21Vと24Vにプログラムできる、絶縁された出力電源レールを生成します。このフライバック・レギュレータは電流モード制御を採用しており、高速な内側の電流制御ループを使用してピーク・インダクタ電流を安定させます。また、絶縁された*iCoupler*チャンネルによる、より低速な外側のループを使用して電流制御ループを調整し、出力電圧を安定させます。高電圧スイッチがオンになると、トランスの2次側のダイオードに逆バイアスがかかり、トランスの1次側インダクタンスの電流が増加してエネルギーとして蓄積されます。スイッチがオフになると、ダイオードに順方向バイアスがかかり、トランスに蓄積されたエネルギーは負荷に移動します。

従来の絶縁型フライバック・レギュレータは、帰還パスにディスプレイ・フォトカプラを使用して、2次側から1次側に信号を送信します。しかし、フォトカプラの電流伝達率(CTR)は、時間および温度と共に低下します。したがって、フォトカプラは5年~10年おきに交換する必要があります。ADP1031は、帰還パスにアナログ・デバイゼズの*iCoupler*技術を採用することでフォトカプラを不要にし、それに関連する問題を解決します。これにより、CTRの低下の問題を起さずにシステムの信頼性を向上させながら、システム・コスト、PCBの面積、および複雑性を削減できます。

このレギュレータには、単一の1次および2次巻線付きのフライバック・トランスが使用されています。*iCoupler*技術を使用して、絶縁された制御信号を1次側のコントローラに送信することで1次検出巻線が不要になるため、この構成が可能となります。更に、2次レールと3次レールは高効率のスイッチング・レギュレータを使用して生成されるため、2次巻線の追加は不要です。この手法により、多巻線の代替ソリューションに比べて、次のような多くの利点が得られます。

- コアに必要な巻数が少なく、ピン数が少ないため、トランス・ソリューションのサイズを小さくすることができます。
- 各出力を個別に設定できます。マルチタップ手法では、異なる出力電圧の組み合わせに対してカスタム・マルチタップ・トランスが必要になります。
- 出力がトランスの巻数比に依存しないため、出力の精度が向上します。
- 出力の精度は、各レール上の負荷の変化の影響を受けません。

### 省電力モード (PSM)

軽負荷動作時に、レギュレータはパルススキップして出力電圧レギュレーションを維持できます。したがって、最小限の負荷は不要です。パルス・スキップ・モードでは、デバイスの効率は向上しますが、出力リップルが大きくなります。

### フライバック・レギュレータの低電圧ロックアウト (UVLO)

UVLO回路は、VINPピンの電圧レベルをモニタします。入力電圧がV<sub>UVLO\_FLYBACK (FALL)</sub>閾値未満に低下すると、フライバック・レギュレータはオフになります。VINPピンの電圧がV<sub>UVLO\_FLYBACK (RISE)</sub>閾値より高くなると、ソフトスタートが開始され、フライバック・レギュレータがイネーブルになります。

### フライバック・レギュレータの高精度イネーブル制御

ADP1031のフライバック・レギュレータは、正確なりファレンス電圧を使用する高精度のイネーブル回路を搭載しています。ENピンの電圧がV<sub>EN\_RISING</sub>閾値より高くなると、フライバック・レギュレータのソフトスタートが開始され、レギュレータがイネーブルになります。ENピンの電圧がV<sub>EN\_RISING</sub>・V<sub>EN\_HYST</sub>閾値未満に低下すると、フライバック・レギュレータはオフになります。

### フライバック・レギュレータのソフトスタート

フライバック・レギュレータにはソフトスタート機能が組み込まれており、電源からの突入電流を制限し、制御された状態で出力電圧を上昇させます。ENピンの電圧がV<sub>EN\_RISING</sub>閾値より高くなると、フライバック・レギュレータのソフトスタートが開始されます。

### フライバック・レギュレータのスルー・レート制御

フライバック・レギュレータは、設定可能な出力ドライバのスルー・レート制御回路を使用します。この回路は、図65に示すようにスイッチング・ノードのスルー・レートを調整し、動作効率が多少下がるのと引き換えにリングングとEMIを低減させることや、リングングとEMIが多少増えるのと引き換えに効率を上げることができます。スルー・レートのプログラムにはSLEWピンを使い、このピンをVINPピンに接続すると通常モード、GNDPピンに接続すると低速モード、オープン状態のままにすると高速モードになります。スルー・レート制御においては、効率と低EMIのトレードオフが発生します。

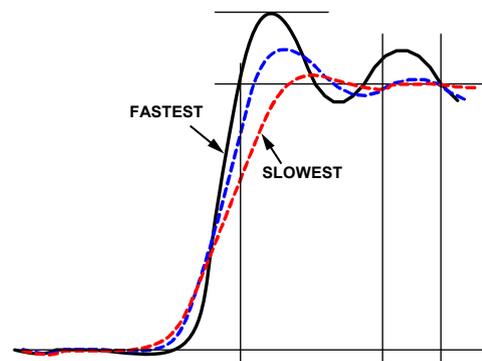


図 65. 様々なスルー・レート設定でのスイッチング・ノード

表 10. スルー・レートの設定

SLEW Pin Connection	Slew Rate	Comment
GNDP	Slow	Lowest EMI
VINP	Normal	Optimized efficiency and EMI
Unconnected	Fast	Highest efficiency

### フライバック・レギュレータの過電流保護

フライバック・レギュレータは、金属酸化膜半導体電界効果トランジスタ (MOSFET) のスイッチング時の順方向電流をサイクルごとに検出する電流制限機能を搭載しています。この電流が  $I_{LIM} (FLYBACK)$  閾値を超えると、スイッチはオフになります。

### フライバック・レギュレータの過電圧保護

ADP1031 のフライバック・レギュレータは次のような各種の OVP 対策を施しており、フライバック・レギュレータ出力の過電圧状態を検出し、防止します。

- 調整可能出力バージョンでは FB1 ピンの電圧が  $V_{FB1}$  を 10% 超えた場合、また固定出力バージョンでは VOUT1 ピンの電圧が工場出荷時にプログラムされた  $V_{OUT1}$  を 10% 超えた場合、OVP フォルトが検出され、フライバック・レギュレータのスイッチはオンになりません。OVP 状態が解消されるまで、フライバック・レギュレータの 1 次側スイッチはオフのままになります。
- 2 次側コントローラから 1 次側コントローラへの絶縁バリアをまたぐ通信が失敗した場合、フライバック・レギュレータはシャットダウンし、新たなソフトスタート・パワーアップ・サイクルが開始されます。
- フライバック・レギュレータの出力の電圧が厳密な過電圧閾値 ( $SOVP_{FLYBACK}$ ) を超えた場合、1 次側コントローラは 1 次側スイッチをオンにしません。VOUT1 ピンの電圧が  $SOVP_{FLYBACK} \cdot SOVP_{FLYBACK\_HYST}$  閾値未満に低下するまで、フライバック・レギュレータの 1 次側スイッチはオフのままになります。

## 降圧レギュレータ

### 降圧レギュレータの動作

ADP1031 の降圧 DC/DC レギュレータは、電流モード制御方式を使用して、内部発振器によって設定される固定周波数で動作します。電流モードは、高速な内側の電流制御ループを使用してインダクタ電流を安定させます。また、より低速な外側ループを使用して電流ループを調整し、出力電圧を安定させます。各発振器サイクルの始めに、ハイサイド MOSFET スイッチがオンになり、インダクタの一端に入力電圧を印加します。これにより、通常は、電流検出信号がピーク・インダクタ電流の閾値を超えて MOSFET スイッチをオフにするまで、降圧レギュレータのインダクタ電流 ( $I_{L\_BUCK}$ ) は増加します。この閾値は、エラーアンプの出力によって設定されます。ハイサイド MOSFET のオフ時間中は、次の発振器クロック・パルスが新しいサイクルを開始する (その結果、連続導通モード (CCM) 動作に移行する) か、またはインダクタ電流がゼロに達してローサイド MOSFET スイッチがオフになり、次の発振器クロック・パルスが新しいサイクルを開始する (その結果、不連続モード (DCM) 動作に移行する) のを制御システムが待機している間、インダクタ電流はローサイド MOSFET スイッチを流れて減少します。軽負荷状態では、レギュレータはパルスをスキップしてレギュレーションを維持し、電力変換効率を向上させることができます。

### 降圧レギュレータの UVLO

ADP1031 の降圧レギュレータは、レギュレータへの入力電圧または VOUT1 を監視する内部低電圧ロックアウト回路を搭載しています。VOUT1 の電圧が 4.5 V の内部閾値レベル未満に低下すると、レギュレータはオフになります。VOUT1 の出力が内部閾値より高くなると、レギュレータのソフトスタートが開始され、レギュレータがイネーブルになります。

### 降圧レギュレータのソフトスタート

ADP1031 の降圧レギュレータにはソフトスタート回路が組み込まれており、起動時に制御された状態で出力電圧を上昇させることで、突入電流を制限します。

### 降圧レギュレータの電流制限保護

ADP1031 の降圧レギュレータは、ハイサイド MOSFET スイッチを流れる順方向電流の量を制限する電流制限保護回路を内蔵しています。この機能は、ピーク・インダクタ電流をサイクルごとに監視し、過負荷状態を検出します。過負荷状態が発生すると、電流制限保護回路がピーク・インダクタ電流を  $I_{LIM} (BUCK)$  に制限するので、出力電圧が低下します。

### 降圧レギュレータの OVP

ADP1031 の降圧レギュレータは、出力電圧を監視する OVP 回路を搭載しています。VOUT2 ピンの電圧が公称出力電圧を 10% 上回ると、電圧が再び閾値未満に低下するまで、降圧 DC/DC レギュレータはスイッチングを停止します。

### 降圧レギュレータのアクティブ・プルダウン抵抗

降圧レギュレータは、VOUT1 の出力が 1.23V~4.5V の範囲内に入ると出力コンデンサを放電するアクティブ・プルダウン抵抗を備えています。このプルダウン抵抗は、VOUT2 と SGND2 の間に接続されます。

## 反転レギュレータ

### 反転レギュレータの動作

ADP1031の反転DC/DCレギュレータは、電流モード制御方式を使用して、内部発振器によって設定される固定周波数で動作します。電流モードは、高速な内側の電流制御ループを使用してピーク・インダクタ電流を安定させます。また、より低速な外側ループを使用して電流ループを調整し、出力電圧を安定させます。各発振器サイクルの始めに、ハイサイド MOSFET スイッチがオンになり、インダクタの一端に入力電圧を印加します。これにより、通常は、電流検出信号がピーク・インダクタ電流の閾値を超えて MOSFET スイッチをオフにするまで、反転レギュレータのインダクタ電流 ( $I_{IN\_INDUCTOR}$ ) は増加します。この閾値は、エラーアンプの出力によって設定されます。ハイサイド MOSFET のオフ時間中は、次の発振器クロック・パルスが新しいサイクルを開始する（その結果、CCM動作に移行するか、またはインダクタ電流がゼロに達してローサイド MOSFET スイッチがオフになり、次の発振器クロック・パルスが新しいサイクルを開始する（その結果、DCM動作に移行する）のを制御システムが待機している間、インダクタ電流はローサイド MOSFET スイッチを流れて減少します。軽負荷状態では、レギュレータはパルスをスキップしてレギュレーションを維持し、電力変換効率を向上させることができます。

### 反転レギュレータの UVLO

ADP1031の反転DC/DCレギュレータは、レギュレータへの入力電圧または  $V_{OUT1}$  を監視する内部 UVLO 回路を搭載しています。 $V_{OUT1}$  の電圧が 4.5V の内部閾値レベル未満に低下すると、レギュレータはオフになります。 $V_{OUT1}$  の出力が内部閾値より高くなると、レギュレータのソフトスタートが開始され、レギュレータがイネーブルになります。

### 反転レギュレータのソフトスタート

ADP1031の反転DC/DCレギュレータにはソフトスタート回路が組み込まれており、起動時に制御された状態で出力電圧を上昇させることで、突入電流を制限します。

### 反転レギュレータの電流制限保護

ADP1031の反転DC/DCレギュレータは、ハイサイド MOSFET スイッチを流れる順方向電流の量を制限する電流制限保護回路を内蔵しています。この機能は、ピーク・インダクタ電流をサイクルごとに監視し、過負荷状態を検出します。過負荷状態が発生すると、電流制限保護回路がピーク・インダクタ電流を  $I_{LIM(INVERTER)}$  に制限するので、出力電圧が低下します。

### 反転レギュレータの OVP

ADP1031の反転DC/DCレギュレータは、FB3 ピンの電圧を監視する OVP 回路を搭載しています。このピンの電圧が  $V_{FB3}$  より 10%以上低下すると、電圧が再び閾値より高くなるまで、反転レギュレータはスイッチングを停止します。

### 反転レギュレータのアクティブ・プルダウン抵抗

反転レギュレータは、 $V_{OUT1}$  の出力が 1.23V~4.5V の範囲内に入ると出力コンデンサを放電するアクティブ・プルダウン抵抗を備えています。このプルダウン抵抗は、 $V_{OUT3}$  と SGND2 の間に接続されます。

## パワーグッド

ADP1031 は、3つの絶縁された出力電圧レールが有効になったことを示すプッシュプル、パワーグッド出力を備えています。PWRGD ピンは、3つの電源の電圧がそれぞれのパワーグッド閾値制限の範囲内に入ったときにハイになります。

## パワーアップ・シーケンス

パワーアップ・シーケンスは次のとおりです（図 66 を参照）。

1. フライバック・レギュレータが最初にパワーアップします（図 66 の 1 を参照）。
2.  $V_{OUT1}$  が低い方のパワーグッド閾値 ( $V_{PG\_FLYBACK\_LL}$ ) より高くなると、降圧レギュレータがオンになります（図 66 の 2 を参照）。
3. 降圧レギュレータの出力 ( $V_{OUT2}$ ) が低い方のパワーグッド閾値 ( $V_{PG\_BUCK\_LL}$ ) より高くなると、反転レギュレータがオンになります（図 66 の 3 を参照）。
4. 反転レギュレータの出力 ( $V_{OUT3}$ ) がパワーグッド閾値  $V_{PG\_INVERTER\_LL}$  より低くなると、PWRGD がハイになります（図 66 の 4 を参照）。
5. 3つのアナログ電源のいずれかがパワーグッド閾値の範囲を外れると、短いデグリッチ遅延の後に PWRGD はローになります（図 66 の 5 を参照）。

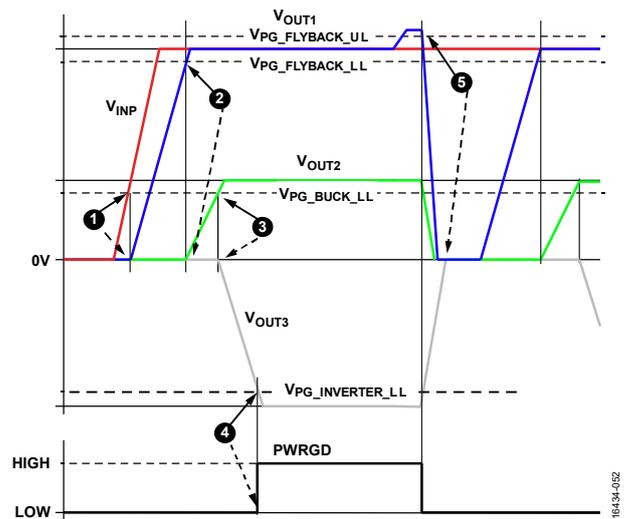


図 66. パワーアップ・シーケンスと PWRGD

## 発振器と同期

フェーズ・ロック・ループ (PLL) ベースの発振器は、フライバック・レギュレータ、降圧レギュレータ、および反転レギュレータの内部クロックを生成します。内部で生成される周波数または外部クロックへの同期のいずれかを選ぶことができます。表 11 に示すように SYNC ピンを接続し、スイッチング周波数を設定します。外部同期の場合は、SYNC ピンを適切なクロック源に接続します。PLL は、 $f_{SYNC}$  によって指定される範囲内の入力クロックにロックします。

表 11. Sync ピンの機能

SYNC Pin State, $f_{SYNC}$	Switching Frequency ( $f_{SW}$ )		
	Flyback	Buck	Inverter
Low or High	250 kHz	125 kHz	125 kHz
350 kHz to 750 kHz	$f_{SYNC} \div 2$	$f_{SYNC} \div 4$	$f_{SYNC} \div 4$

## サーマル・シャットダウン

ADP1031 のジャンクション温度が  $T_{SHDN}$  より高くなると、サーマル・シャットダウン回路がフライバック・レギュレータをオフにします。ジャンクション温度が非常に高くなってしまふ原因としては、長時間にわたる大電流での動作、不適切な回路基板設計、高い周囲温度などが考えられます。サーマル・シャットダウン機能にはヒステリシスがあるので、サーマル・シャットダウンが発生すると、オンチップ温度が  $T_{SHDN} - T_{HYS}$  未満に低下するまで ADP1031 の機能は回復しません。サーマル・シャットダウンから回復すると、ADP1031 はソフトスタートを実行します。

## データ絶縁

### 高速 SPI チャンネル

ADP1031 には 4 つの高速チャンネルがあります。最初の 3 つのチャンネル (CLK、MI/SO、および MO/SI) は、低伝搬遅延に最適化されています (スラッシュは、SPI バス信号に対応するアイソレータをまたぐデータパスを形成する入力と出力の接続を示します)。ADP1031 の最大伝搬遅延はわずか 15ns であり、標準的な 4 線式 SPI で最大 16.6MHz の読み出しおよび書き込みクロック・レートをサポートします。ただし、最大クロック・レートはシステムの総ラウンドトリップ遅延によって決まるため、上記の値より遅くなります。

表 12 に、SPI 信号パス、ADP1031 のピン記号、およびデータの方向の関係を示します。

表 12. ピン記号と SPI 信号パス名の対応

SPI Signal Path	Master Side	Data Direction	Slave Side
CLK	MCK	→	SCK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
$\overline{SS}$	$\overline{MSS}$	→	$\overline{SSS}$

これらのデータパスは SPI モードに依存しません。CLK および MO/SI SPI データパスは、伝搬遅延とチャンネル間マッチングに最適化されています。MI/SO SPI データパスは、伝搬遅延に最適化されています。デバイスはクロック・チャンネルに同期しません。したがって、データ・ラインについてはクロックの極性やタイミングの制約はありません。

$\overline{SS}$  (スレーブ・セレクト・バー) はアクティブ・ロー信号です。マルチチャンネル・システムの消費電力を削減するために、 $\overline{SS}$  は、他の SPI アイソレータ・チャンネルが使用されていないときは ( $\overline{SS} = \text{ハイ}$ )、それらのチャンネルを低消費電力状態に移行させます。これらのチャンネルは、必要な場合 ( $\overline{SS}$  がローのとき) にのみアクティブになります。クロック・チャンネルとデータ・チャンネルは、図 67 に示すように  $\overline{SS}$  にゲーティングされます。ただし、この省電力モードでは遅延が 100ns 大きくなります。この遅延は、内部回路が低消費電力状態からウェークアップし、絶縁バリアへのデータ送信を開始するのにかかる時間です。逆に言うと、この遅延は、図 68 に示すように、 $\overline{MSS}$  の立下がりエッジから、スレーブ側に現れる最初のクロック・エッジまたはデータ・エッジまでの遅延です。

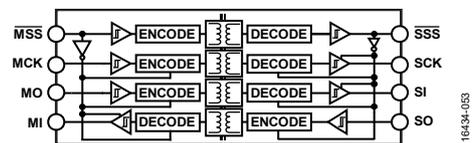
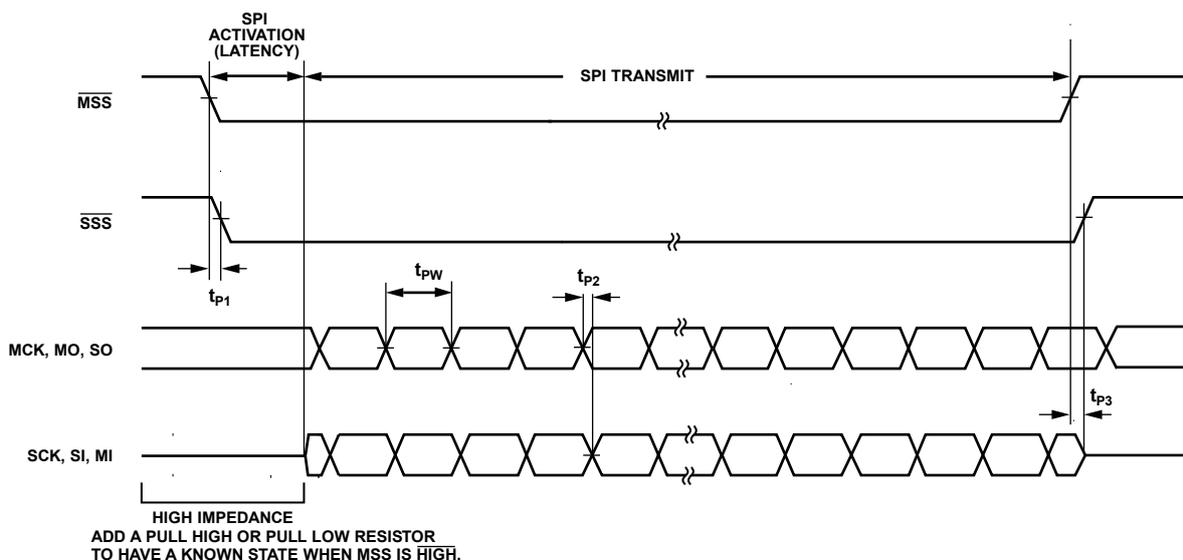


図 67. iCoupler のゲーティング



LATENCY =  $\overline{MSS}$  FALLING EDGE TO SCK, SI, MI STARTS SENDING DATA (EXIT TO HIGH IMPEDANCE MODE).  
 $t_{PW}$  = MCK, MO, SO PULSE WIDTH.  
 $t_{P1}$  =  $\overline{MSS}$  TO  $\overline{SSS}$  PROPAGATION DELAY.  
 $t_{P2}$  = MCK TO SCK, MO TO SI, SO TO MI PROPAGATION DELAY.  
 $t_{P3}$  =  $\overline{MSS}$  RISING EDGE TO SCK, SI, MI RETURN TO HIGH IMPEDANCE STATE. SAME AS  $t_{P1}$ .

図 68. SPI アイソレータのタイミング図

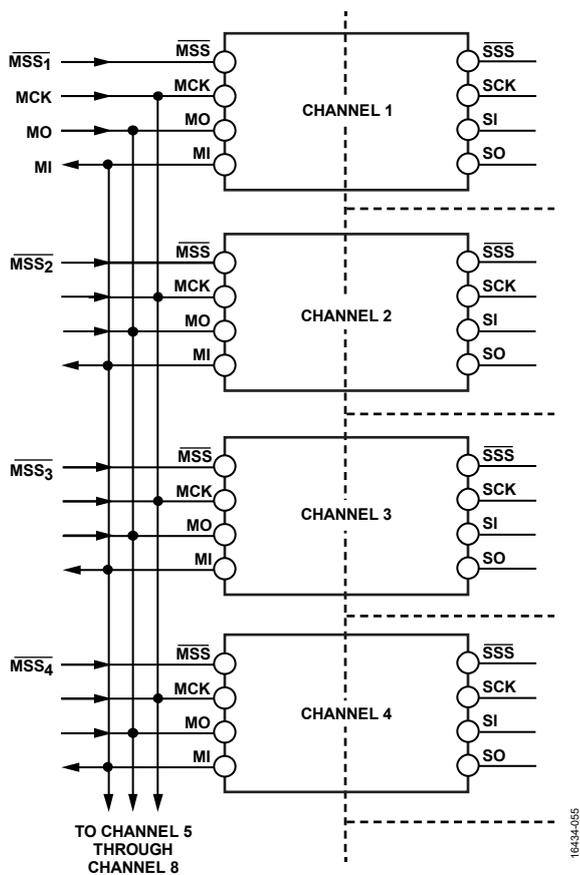


図 69. マルチチャンネル SPI のミキシング方式

MI、SCK、および SI の出力は、 $\overline{\text{MSS}}$ がハイのときはトライステートになります（表 13 を参照）。これにより、マルチチャンネル・システムにより柔軟な設計が可能となり、MI を外部でマルチプレクスする必要がなくなります。図 69 に、複数の ADP1031 デバイスからの SPI バスをどのように接続できるかを示します。

表 13. SPI  $\overline{\text{MSS}}$  のゲーティング

Parameter	$\overline{\text{MSS}}$ High	$\overline{\text{MSS}}$ Low
$\overline{\text{SSS}}$	High	Low
SCK	Tristate	MCK
SI	Tristate	MO
MI	Tristate	SO

プルアップまたはプルダウン抵抗を MI、SCK、および SI に接続し、 $\overline{\text{MSS}}$ がハイのときにこれらのピンを希望のロジック・ステートにすることができます。

**GPIO データ・チャンネル**

汎用データ・チャンネルは、タイミングが重要でない用途向けの省スペース型の絶縁データパスとして用意されています。（デバイスの指定された側の）全ての低速汎用入力の DC 値が同時にサンプリングされ、パケット化され、単一の絶縁コイル上でシフトされます。次にこのプロセスを逆にして、デバイスの反対側の入力が読み出され、パケット化され、同様の処理のために返信されます。このプロセスはサンプリングに基づいているため、汎用データ・チャンネルは、19.5 $\mu\text{s}$  のピーク・ジッタに相当するサンプリングの不確実性を示します。

GPIO チャンネルの正常な動作については、表 14 を参照してください。ピンに指定された入力電圧範囲内で、MVDD と SVDD2 の両方に電力を供給します。

表 14. GPIO チャンネルの真理値表

MVDD State	SVDD2 State	xGPIOx	MGPOx	SGPOx	Test Conditions/Comments
Unpowered	Powered	Don't care	Low	Low	During startup
Powered	Unpowered	Don't care	Low	Low	During startup
Powered	Powered	High	High	High	Normal operation
Powered	Powered	Low	Low	Low	Normal operation
Powered	Powered to Unpowered	Don't care	Hold	Low	Hold means that the current state of the outputs are preserved
Powered to Unpowered	Powered	Don't care	Low	Hold	Hold means that the current state of the outputs are preserved

## アプリケーション情報

### 部品の選択

#### 帰還抵抗

ADP1031は、フライバック・レギュレータと反転レギュレータの出力電圧をいずれも調整可能です。出力電圧は外付けの抵抗分圧器によって設定しますが、この分圧器の出力は、該当する帰還リファレンス電圧  $V_{FB1}$  または  $V_{FB3}$  と等しくなければなりません。帰還バイアス電流による出力電圧の精度低下を制限するために、分圧器を流れる電流は、少なくとも  $I_{FB1}$  または  $I_{FB3}$  の10倍になるようにしてください。バイアス電流による出力電圧の誤差を最小限に抑え、帰還抵抗の消費電力を低減するために推奨される  $R_{FB1}$  と  $R_{FB3}$  の値は、 $50k\Omega \sim 250k\Omega$  の範囲です。固定出力バージョンは帰還抵抗が既にチップに組み込まれているため、外付けの帰還抵抗は不要です。

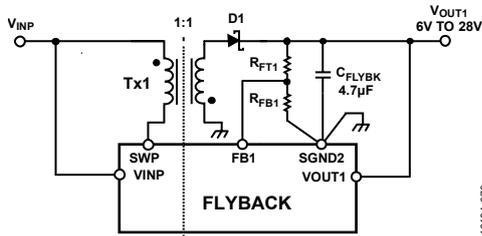


図 70. フライバック・レギュレータの出力電圧の設定

フライバック・レギュレータの正出力は次式により設定します。

$$V_{OUT1} = V_{FB1} \times (1 + (R_{FT1}/R_{FB1}))$$

ここで、

$V_{OUT1}$  はフライバック・レギュレータの出力電圧。

$V_{FB1}$  はフライバック・レギュレータの帰還電圧。

$R_{FT1}$  は  $V_{OUT1}$  と FB 間の帰還抵抗。

$R_{FB1}$  は FB1 と SGND2 間の帰還抵抗。

逆に、ターゲットとなる  $V_{OUT1}$  から得られるトップ抵抗の値は、次式により計算します。

$$R_{FT1} = R_{FB1} \times ((V_{OUT1}/V_{FB1}) - 1)$$

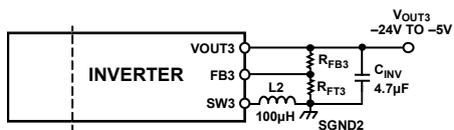


図 71. 反転レギュレータの出力電圧の設定

反転レギュレータの負出力は次式により設定します。

$$V_{OUT3} = V_{FB3} \times (1 + (R_{FT3}/R_{FB3}))$$

ここで、

$V_{OUT3}$  は反転レギュレータの出力電圧（負の符号は無視）。

$V_{FB3}$  は  $V_{OUT3}$  を基準とする反転レギュレータの帰還電圧。

$R_{FT3}$  は FB3 と SGND2 間の帰還抵抗。

$R_{FB3}$  は  $V_{OUT3}$  と FB3 間の帰還抵抗。

フライバック・レギュレータと同様に、ターゲットとなる  $V_{OUT3}$  から得られるトップ抵抗の値は、次式により計算します。

$$R_{FT3} = R_{FB3} \times ((V_{OUT3}/V_{FB3}) - 1)$$

表 15. 推奨帰還抵抗値

Desired Output Voltage (V)	Flyback/Inverting Regulator		
	$R_{FT1}/R_{FT3}$ (MΩ)	$R_{FB1}/R_{FB3}$ (kΩ)	Calculated Output Voltage (V)
±6	0.715	110	±6.000
±9	1.24	121	±8.998
±12	1.54	110	±12.000
±15	2.15	121	±15.015
±24	3.48	120	±24.000
+28	3.4	100	+28.000

### コンデンサの選択

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧の DC バイアスによる容量損失を考慮することも重要です。セラミック・コンデンサは、温度や印加する電圧に対して異なる動作を示す、様々な誘電体で製造されています。必要な温度範囲と DC バイアス条件に対して最小容量を確保するため、適切な誘電体を使用したコンデンサを選ぶ必要があります。最大限の性能を得るには、電圧定格が  $25V \sim 50V$ （出力に応じて選択）の X5R または X7R 誘電体を推奨します。Y5V および Z5U 誘電体は温度特性と DC バイアス特性に劣るので、DC/DC コンバータに使用することは推奨できません。

温度、部品公差、電圧による容量の変動を考慮に入れ、以下の式を使って最も厳しい条件の容量を計算してください。

$$C_{EFFECTIVE} = C_{NOMINAL} \times (1 - TEMPCO) \times (1 - DCBIASCO) \times (1 - Tolerance)$$

ここで、

$C_{EFFECTIVE}$  は動作電圧での実効容量。

$C_{NOMINAL}$  はデータシートに記載された公称容量。

$TEMPCO$  は最も厳しい条件のコンデンサ温度係数。

$DCBIASCO$  は出力電圧における DC バイアス・ディレーティング。

$Tolerance$  は最も厳しい条件の部品公差。

デバイスの性能を確保するには、DC バイアス、温度、許容誤差がコンデンサの動作におよぼす影響をアプリケーションごとに評価することが不可欠です。

電圧リップルを最小限に抑えるには、等価直列抵抗 (ESR) と等価直列インダクタンス (ESL) の小さいものが適しています。

## フライバック・レギュレータの部品の選択

### 入力コンデンサ

VINP ピンとグラウンドの間に入力コンデンサを接続する必要があります。全温度範囲および全電圧範囲で 3.3μF 以上のセラミック・コンデンサを推奨します。入力コンデンサにより、スイッチング電流によって生じる入力電圧リップルが減少します。入力コンデンサは VINP ピンと PGNDP ピンのできるだけ近くに配置して、入力電圧スパイクを小さくする必要があります。入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。

### 出力コンデンサ

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧の DC バイアスによる容量損失を考慮することも重要です。性能とサイズのバランスが取れた 4.7μF のコンデンサを推奨します。

### リップル電流とコンデンサの値の関係

出力コンデンサの値は、出力電圧リップルが最小限に抑えられるように選択する必要がありますが、コンデンサの値を大きくするとサイズとコストが増えることも考慮に入れる必要があります。出力容量は次式を使用して計算します。

$$C_{OUT} = (L_{PRI} \times I_{SWP}^2) / (2 \times V_{OUT1} \times \Delta V_{OUT1})$$

ここで、  
 $C_{OUT}$  はフライバック・レギュレータの出力コンデンサの容量。  
 $L_{PRI}$  はトランスの 1 次側インダクタンス。  
 $I_{SWP}$  はピーク・スイッチ電流。  
 $V_{OUT1}$  はフライバック・レギュレータの出力電圧。  
 $\Delta V_{OUT1}$  はフライバック・レギュレータの許容される出力リップル。

### ショットキー・ダイオード

D1 には、低接合容量のショットキー・ダイオードを推奨します。出力電圧やスイッチング周波数が高い場合は接合容量が効率に大きく影響しますが、特に高スイッチング周波数ではその傾向が顕著です。出力ダイオードには、順方向電流の定格 ( $I_F$ ) が最大負荷条件より大きく、逆方向電圧の定格 ( $V_R$ ) が最大電源電圧 ( $V_{INP(MAX)}$ ) と最大出力電圧 ( $V_{OUT1(MAX)}$ ) の和より大きいものを選択してください。

### トランス

ADP1031 と組み合わせて使用されるトランスは、システム内の重要な部品であり、効率と最大出力電力に大きな影響を与えます。アナログ・デバイセズは大手磁性部品サプライヤ各社と協力して、ADP1031 と組み合わせて使用できる各種のトランスの設計に携わってきました。表 16 にこれらの設計データを示します。ADP1031 と組み合わせて使用するトランスを設計する際は、多くの要因を考慮に入れる必要があります。

### 巻数比

ADP1031 が正常に起動するには、1 次側と 2 次側の巻数比が 1:1 のトランスを使用する必要があります。

### 1 次側インダクタンス

ADP1031 はインダクタンスが 80μH~560μH の範囲のトランスで動作しますが、制御ループの安定性を維持するために、フライバック・レギュレータの出力電圧 ( $V_{OUT1}$ ) をトランスの 1 次側インダクタンスで割った値が 140,000 以下になるようなインダクタンス値を選ぶことを推奨します。

$$V_{OUT1} / L_{PRI} \leq 140,000$$

ここで、  
 $V_{OUT1}$  はフライバック・レギュレータの出力電圧。  
 $L_{PRI}$  はトランスの 1 次側インダクタンス。  
 インダクタンス範囲の下限のトランスを使用すると、トランスのサイズは小さくできますが、トランスを流れるリップル電流が大きくなり、出力電力が減少する可能性があります。逆に言うと、大きなインダクタンスで動作させると、出力電力は大きくなりますが、代償としてトランスのサイズが大きくなる可能性があります。

### フライバック・トランスの飽和電流

動作中にトランスの飽和電流を超えないようにしてください。トランスの飽和電流を超えると、損失が大きくなり、全体的なシステム効率が大きく低下します。トランスには、全ライン条件および負荷条件で予想されるピーク・スイッチ電流 ( $I_{SWP}$ ) より飽和電流定格が大きいものを選択してください。

### 直列巻線抵抗

電力損失の影響を受けやすいアプリケーションでは、1 次巻線と 2 次巻線の直列抵抗をできるだけ小さく抑えて、全体的な効率を向上させます。

### 漏れインダクタンスとクランプ回路

ADP1031 と組み合わせて動作するトランスには、できるだけ漏れインダクタンスが小さいものを選択します。出力に転換しないエネルギーが漏れインダクタンスに蓄積されると、フライバック・レギュレータ・スイッチがオフのとき、SWP ノードに電圧スパイクが現れる原因になります。電圧スパイクは、負荷電流が大きいほど顕著になり、漏れインダクタンスが大きいほど増加します。SWP ピンを駆動するフライバック・スイッチの電圧定格よりも電圧スパイクを低く抑えることが重要です。フライバック・スイッチ保護用のクランプ回路またはスナバ回路を使用しない場合は、この制限を超えないようなマージンを組み込んで設計する必要があります。スイッチがオフになったときに SWP ピンに発生する電圧スパイクのピークを推定するには、次式を使用します。

$$V_{PEAK} = I_{PEAK} \times (L_{LEAK} / (C_P + C_{SWP}))^{1/2} + V_{INP} + V_{OUT1} + V_D$$

ここで、  
 $V_{PEAK}$  は電圧スパイクの大きさ。  
 $I_{PEAK}$  はフライバック・スイッチのピーク電流。  
 $L_{LEAK}$  はトランスの漏れインダクタンス。  
 $C_P$  はトランスの寄生容量。  
 $C_{SWP}$  はフライバック・スイッチの容量。  
 $V_{INP}$  は入力電源電圧。  
 $V_{OUT1}$  はフライバック・レギュレータの出力電圧。  
 $V_D$  は整流器ダイオードの順方向電圧降下。

アプリケーションの条件に対して漏れインダクタンスが大きすぎる場合は、スナバ回路またはクランプ回路を使用してフライバック・スイッチを保護できます。クランプ回路の 2 つの一般的なタイプは、図 72 に示す抵抗、コンデンサ、ダイオードによるクランプと、図 73 に示すダイオードとツェナー・ダイオードによるクランプです。抵抗、コンデンサ、ダイオードによるクランプは、電圧スパイクを素早く減衰させて EMI 性能を向上させます。ダイオードとツェナー・ダイオードによるクランプは、安定したクランプ・レベルを厳密に定義する必要がある場合に使用します。ダイオードとツェナー・ダイオードによるクランプは、抵抗、コンデンサ、ダイオードによるクランプより若干高い電力効率が得られます。ただし、ダイオードとツェナー・ダイオードによるクランプのソリューションは、通常は抵抗、コンデンサ、ダイオードによるソリューションよりコスト高になります。

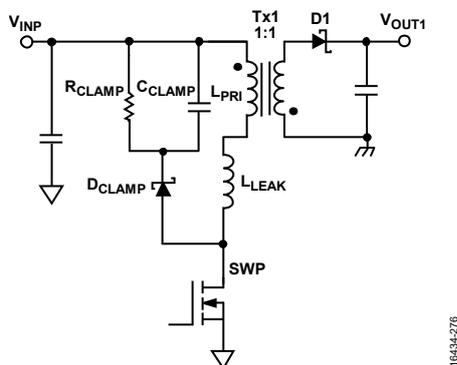


図 72. 抵抗、コンデンサ、ダイオードによるクランプ

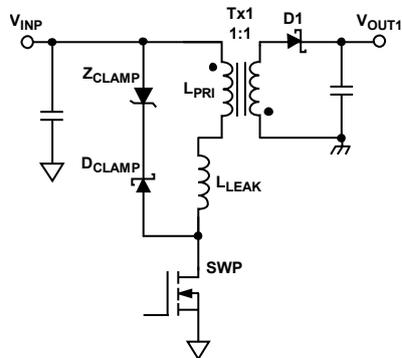


図 73. ダイオードとツェナー・ダイオードによるクランプ

## クランプ抵抗

クランプ抵抗 ( $R_{CLAMP}$ ) の値を計算するには、クランプ電圧 ( $V_{CLAMP}$ ) を決める必要があります。クランプ電圧とは、フライバック・スイッチ上に発生する電圧スパイクがクランプされる電圧です。クランプ電圧 ( $V_{CLAMP}$ ) には、次式に示すように、絶対最大定格のセクションで仕様規定されている SWP の最大電圧定格 ( $SWP_{VMAX}$ ) との間で十分なマージンを確保でき、アプリケーションの最大入力電源電圧 ( $V_{INP (MAX)}$ ) とフライバック・レギュレータの最大出力電圧 ( $V_{OUT1 (MAX)}$ ) の和より大きい値を選択します。

$$SWP_{VMAX} > V_{INP (MAX)} + V_{CLAMP} > V_{INP (MAX)} + V_{OUT1 (MAX)}$$

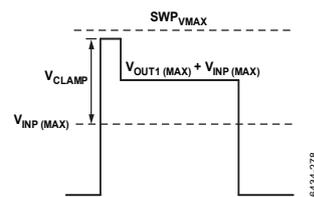


図 74. クランプ波形

次式を使用して、指定された  $V_{CLAMP}$  の値に基づいてクランプ抵抗の値を計算します。

$$R_{CLAMP} = (2 \times V_{CLAMP} \times (V_{CLAMP} - V_{OUT1})) / (L_{LEAK} \times I_{PEAK}^2 \times f_{SW})$$

ここで、

$R_{CLAMP}$  はクランプ抵抗の値。

$V_{CLAMP}$  はクランプ電圧。

$V_{OUT1}$  はフライバック・レギュレータの出力電圧。

$L_{LEAK}$  はトランスの漏れインダクタンス。

$I_{PEAK}$  はフライバック・スイッチのピーク電流。

$f_{SW}$  はフライバック・レギュレータのスイッチング周波数。

スナバ抵抗の消費電力を計算するには、次式を使います。

$$P_{RCLAMP} = (V_{CLAMP})^2 / R_{CLAMP}$$

ここで、 $P_{RCLAMP}$  は  $R_{CLAMP}$  の消費電力です。この値の約 2 倍の電力定格を持つ  $R_{CLAMP}$  を選択し、マージンを確保します。

## クランプ・コンデンサ

クランプ・コンデンサ ( $C_{CLAMP}$ ) を使用して、 $V_{CLAMP}$  に生じる電圧リップルのレベル ( $V_{RIPPLE}$ ) を最小限に抑えることができます。次式を使用して、希望する  $V_{RIPPLE}$  のレベルと計算された  $R_{CLAMP}$  に基づいてクランプ・コンデンサの値を計算します。

$$C_{CLAMP} = V_{CLAMP} / (V_{RIPPLE} \times f_{SW} \times R_{CLAMP})$$

ここで、

$C_{CLAMP}$  はクランプ・コンデンサの値。

$V_{CLAMP}$  はクランプ電圧。

$V_{RIPPLE}$  は  $V_{CLAMP}$  に生じる電圧リップル。  $V_{CLAMP}$  の約 5% ~ 10% の  $V_{RIPPLE}$  が妥当です。

$f_{SW}$  はフライバック・レギュレータのスイッチング周波数。

$R_{CLAMP}$  はクランプ抵抗の値。

## クランプ・ダイオード

通常はショットキー・ダイオードが最善の選択です。ただし、高速回復ダイオードも使用できます。ダイオードの逆電圧定格は、SWP ピンの最大電圧定格より高くなければなりません。

### ダイオードとツェナー・ダイオードによるクランプ

安定したクランプ・レベルを厳密に定義する必要がある場合は、抵抗、コンデンサ、ダイオードによるクランプ上の抵抗とコンデンサ (RC) の回路網をツェナー・ダイオードで置き換えることができます。ツェナー・ダイオードの降伏電圧には、電力損失とスイッチ電圧保護のバランスがとれる値を選択します。ツェナー電圧は次式を使用して計算します。

$$V_{ZENER (MAX)} \leq SWP_{VMAX} - V_{INP (MAX)}$$

ここで、

$V_{ZENER (MAX)}$ は最大ツェナー・ダイオード降伏電圧 (ツェナー電圧)。この電圧はクランプ電圧 ( $V_{CLAMP}$ ) と同じにしてください。

$SWP_{VMAX}$ は SWP ピンの絶対最大定格。

$V_{INP (MAX)}$ は最大入力電源電圧。

クランプ内の電力損失により、ツェナー・ダイオードの電力条件が決まります。次の式を使用して、ツェナー・ダイオードの消費電力を計算します。

$$P_{ZENER} = (V_{ZENER} \times L_{LEAK} \times I_{PEAK}^2 \times f_{SW}) / (2 \times (V_{ZENER} - V_{OUT1}))$$

ここで、

$P_{ZENER}$ はツェナー・ダイオードの消費電力。この式で計算される値より電力定格が大きいツェナー・ダイオードを選択します。

$V_{ZENER}$ はツェナー・ダイオードの降伏電圧 (ツェナー電圧)。

$L_{LEAK}$ はトランスの漏れインダクタンス。

$I_{PEAK}$ はフライバック・スイッチのピーク電流。

$f_{SW}$ はフライバック・レギュレータのスイッチング周波数。

$V_{OUT1}$ はフライバック・レギュレータの出力電圧。

### リップル電流 ( $I_{AC}$ ) とインダクタンスの関係

リップル電流を計算するには、まず連続導通モードでのデューティ・サイクルを計算します。

$$D_{CCM} = (V_{OUT1} + V_D) / (V_{OUT1} + V_D + V_{INP})$$

ここで、

$D_{CCM}$ はフライバック・スイッチのデューティ・サイクル。

$V_{OUT1}$ はフライバック・レギュレータの出力電圧。

$V_D$ は整流器ダイオードの順方向電圧降下。

$V_{INP}$ は入力電源電圧。

次に、このデューティ・サイクルから、フライバック・スイッチとトランスの1次側の  $I_{AC}$  を計算します。

$$I_{AC} = (V_{INP} \times D_{CCM}) / (f_{SW} \times L_{PRI})$$

ここで、

$I_{AC}$ はトランスの1次側とフライバック・スイッチを流れるリップル電流。

$V_{INP}$ は入力電源電圧。

$D_{CCM}$ はフライバック・スイッチのデューティ・サイクル。

$f_{SW}$ はフライバック・レギュレータのスイッチング周波数。

$L_{PRI}$ はトランスの1次側インダクタンス。

### 最大出力電流の計算

フライバック・レギュレータの出力から得られる最大出力電力および電流は、レギュレータ内の多くの変数によって決まります。これらの変数には、トランスの選択、動作周波数、整流器ダイオードの選択などがあります。フライバック・レギュレータの出力は、 $V_{OUT2}$  を駆動する降圧レギュレータと  $V_{OUT3}$  を駆動する反転レギュレータに電力を供給します。次式により、最大出力電力を計算します。

$$P_{VOUT1 (MAX)} = 0.5 \times (I_{PEAK}^2 - (I_{PEAK} - I_{AC})^2) \times L_{PRI} \times f_{SW} \times \eta$$

ここで、

$P_{VOUT1 (MAX)}$ は  $V_{OUT1}$  からの最大出力電力。

$I_{PEAK}$ はフライバック・スイッチのピーク電流。

$I_{AC}$ はトランスの1次側とフライバック・スイッチを流れるリップル電流。

$L_{PRI}$ はトランスの1次側インダクタンス。

$f_{SW}$ はフライバック・レギュレータのスイッチング周波数。

$\eta$ は予想されるフライバック・レギュレータの効率。

最大  $I_{PEAK}$  は、フライバック・レギュレータの電流制限閾値の下限 ( $I_{LIM (FLYBACK)}$ ) によって制限されます。しかし、このレベルで動作させると、トランスのインダクタンス、効率、フライバック・レギュレータのスイッチング周波数の変動や整流器ダイオードの順方向電圧降下のために、望ましくない電流制限イベントが発生する可能性があるため、このレベルで動作させることは推奨できません。フライバック・レギュレータの負荷が原因で電流制限が作動した場合、出力電圧が予想どおりに安定化されないことがあります。上記の変動に対応するマージンを組み込んだピーク動作電流を選択するか、またはトランスのインダクタンス、効率、ダイオードの順方向電圧降下、およびフライバック・レギュレータのスイッチング周波数について最も厳しい条件を前提として最大出力電力 (すなわち出力負荷) を計算することを推奨します。  
 $V_{OUT1}$  上の最大負荷電流は次式により計算します。

$$I_{VOUT1 (MAX)} = P_{VOUT1 (MAX)} / V_{OUT1}$$

ここで、

$I_{VOUT1 (MAX)}$ は  $V_{OUT1}$  からの最大出力電流。

$P_{VOUT1 (MAX)}$ は  $V_{OUT1}$  からの最大出力電力。

$V_{OUT1}$ はフライバック・レギュレータの出力電圧。

## 降圧レギュレータの部品の選択

### インダクタ

ADP1031の降圧レギュレータ用インダクタの値は、効率と出力電圧リップルに影響を与えます。インダクタの値が大きいほど、通常は効率が向上します。ただし、特定のパッケージ・サイズでは負荷が大きくなるにつれて、DC抵抗（DCR）とコア損失が効率に悪影響を及ぼすようになります。小さい値のインダクタを使用すると、出力電圧リップルは小さくなりますが、スイッチング損失の増加のために全体的な効率が低下する可能性があります。

### 出力コンデンサ

出力コンデンサの選択は、レギュレータの出力リップル電圧、ステップ状の負荷過渡応答、およびループの安定性に影響を与えます。性能とサイズのバランスがとれる4.7μFのコンデンサを推奨しますが、より大きなコンデンサを使用して出力リップルを小さくすることも可能です。

## 反転レギュレータの部品の選択

### インダクタ

ADP1031の反転レギュレータ用インダクタの値は、効率と出力電圧リップルに影響を与えます。インダクタの値が大きいほど、

通常は効率が向上します。ただし、特定のパッケージ・サイズでは負荷が大きくなるにつれて、DCRとコア損失が効率に悪影響を及ぼすようになります。小さい値のインダクタを使用すると、出力電圧リップルは小さくなりますが、スイッチング損失の増加のために全体的な効率が低下する可能性があります。

### 出力コンデンサ

出力コンデンサの選択は、レギュレータの出力リップル電圧、ステップ状の負荷過渡応答、およびループの安定性に影響を与えます。VOUT1と出力負荷の変動に対して安定性を維持するために、少なくとも4.7μFのコンデンサを推奨します。

### 反転レギュレータの安定性

ADP1031の反転レギュレータは内部補償機能を使用し、100μHのインダクタンスと4.7μFの容量（代表値）で動作します。異なる値の部品を使用すると、特に小容量のコンデンサと小さい値のインダクタを使用した場合、VOUT3が不安定になることがあります。詳細については弊社にお問い合わせください。推奨のインダクタと出力コンデンサを使用してインバータを動作させた場合、-24V～-5Vの出力電圧範囲で無負荷～15mA負荷時に出力は安定します。特に低出力電圧で負荷を15mAより大きくする場合は、推奨値より大きい出力コンデンサを使用して帰還ループを安定させることを推奨します。

表 16. トランスの選択

Part Number	Manufacturer	Turns Ratio <sup>1</sup>	Primary		Saturation Current <sup>2</sup> (mA)	Isolation Voltage <sup>3</sup> (V rms)	Isolation Type	Size, Length × Width × Height, (mm)
			Inductance (μH)	Resistance (Ω)				
750316743	Würth Elektronik	1:1	280	1.1	250	2000	Basic	8.26 × 8.6 × 9.65
750316566	Würth Elektronik	1:1	150	1.65	220	2000	Basic	7.0 × 6.91 × 7.8
WA8478-BE	Coilcraft	1:1	275	1.2	150	2250	Basic	7.25 × 7.85 × 7.0
YA9293-AL	Coilcraft	1:1	300	1.15	250	2250	Reinforced	10 × 12.07 × 5.97
BS64042CS	Bourns	1:1	270	1.4	400	2200	Basic	10.5 × 9.8 × 11.0
LPD5030-154MRB	Coilcraft	1:1	150	2.43	430	Not applicable	Functional	4.8 × 4.8 × 2.9

<sup>1</sup> 1次コイルと2次コイルの巻数比。

<sup>2</sup> 初期状態から20%低下。

<sup>3</sup> 1分間の持続。

表 17. 降圧レギュレータと反転レギュレータの推奨インダクタ

Part Number	Manufacturer	Inductance (μH)	DC Resistance (Ω)	Saturation Current <sup>1</sup> (mA)	Size, Length × Width × Height, (mm)
744043101	Würth Elektronik	100	0.55	290	4.8 × 4.8 × 2.8
XFL3012-104MEB	Coilcraft	100	2.63	280	3.2 × 3.2 × 1.3
LQH3NPN101MMEL	Murata	100	1.59	260	3 × 3 × 1.4
SRN3015-101M	Bourns	100	2.92	270	3 × 3 × 1.5
SRU2016-101Y	Bourns	100	4.9	150	2.8 × 2.8 × 1.65
XFL2006-104MEB	Coilcraft	100	11.1	115	2 × 2 × 0.6

<sup>1</sup> インダクタンスが30%低下。

## 絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイスでは、規制当局が行うテストの他に、広範囲な評価を実施して ADP1031 の絶縁構造の寿命を決定しています。

アナログ・デバイスは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。表 8 に、バイポーラ AC 動作条件での 20 年の運用寿命に対するピーク電圧の値を示します。多くのケースで、承認された動作電圧は 20 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、場合によっては絶縁寿命を短くすることがあります。

ADP1031 の絶縁寿命は、絶縁バリアに加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 75、図 76、および図 77 は、これらの様々なアイソレーション電圧波形を示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最も厳しい条件ですが、アナログ・デバイスの推奨する最大動作電圧で 20 年の運転寿命を実現します。ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなるため、より高い動作電圧での動作が可能となりますが、その場合でも 20 年の運用寿命を実現できます。図 76 または図 77 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があります。ピーク電圧は表 8 に示す 20 年寿命電圧値に制限する必要があります。

図 76 に示す電圧は、説明目的のために正弦波としています。この電圧は、0V と何らかの規定値の間で変化する任意の電圧波形を表します。規定値は正または負となることができますが、電圧は 0V を通過することはできません。

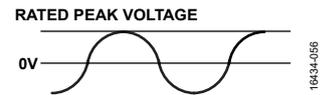


図 75. バイポーラ AC 波形

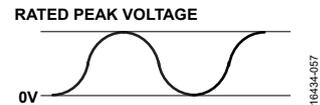


図 76. ユニポーラ AC 波形

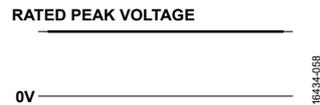


図 77. DC 波形

## 熱解析

熱解析では ADP1031 のダイを 1 つのサーマル・ユニットとして扱い、最高ジャンクション温度には表 7 の  $\theta_{JA}$  の値を反映させます。 $\theta_{JA}$  の値は、細かいパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値に基づいています。通常動作条件下では、ADP1031 は全負荷、全温度範囲で出力電流を低下しないで動作します。ただし、PCB レイアウトに関する検討事項のセクションの推奨事項に従って PCB への熱抵抗を低減すると、高い周囲温度での熱マージンを拡大できます。ADP1031 の各スイッチング・レギュレータは、ダイの温度が約 150°C に達したときに DC/DC コンバータと出力をオフにするサーマル・シャットダウン回路を備えています。ダイの温度が約 135°C より低くなると、ADP1031 の DC/DC コンバータの出力は再びオンになります。

## 代表的なアプリケーション回路

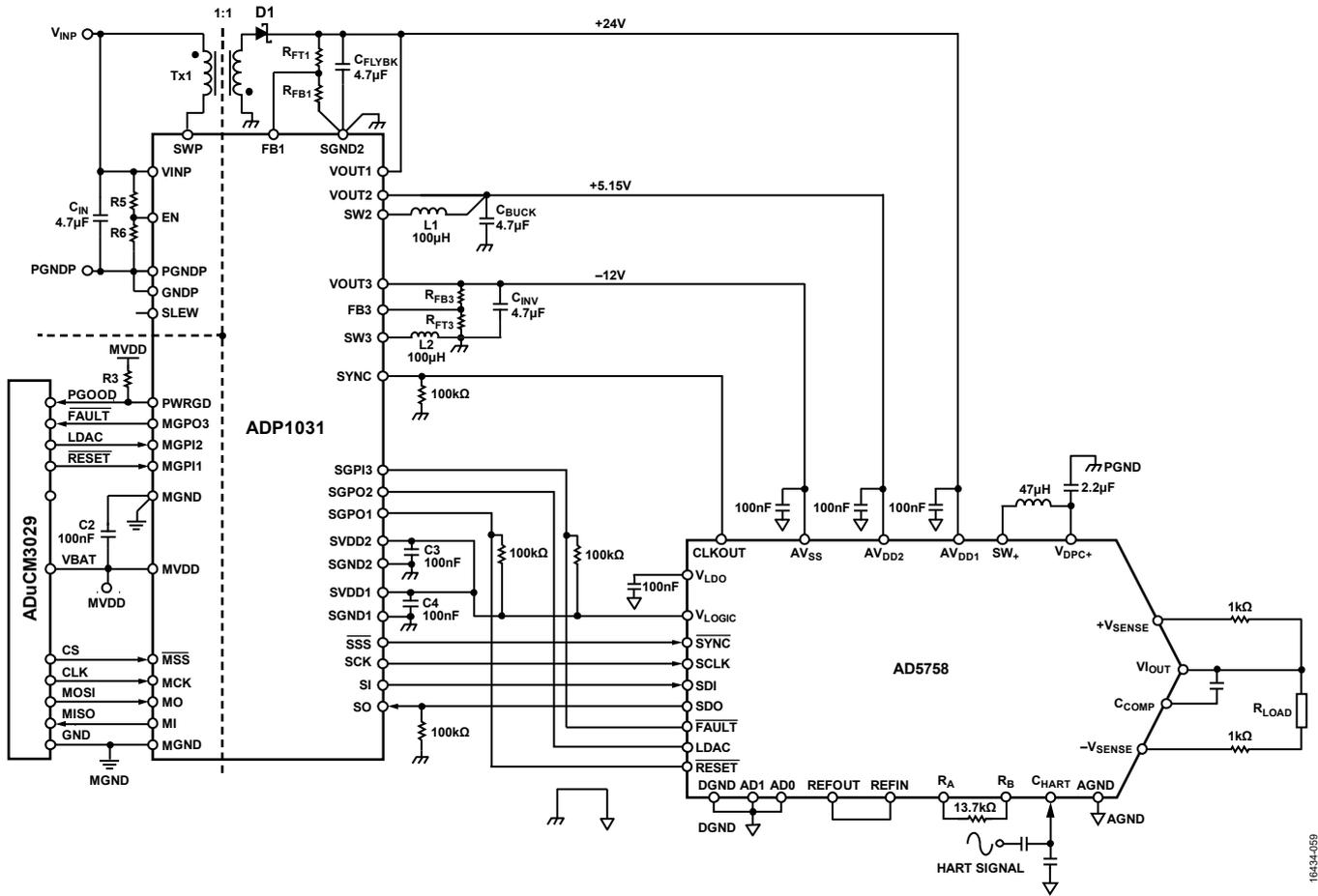


図 78. AD5758 を使用する ADP1031 の代表的なアプリケーション回路

## PCBレイアウトに関する検討事項

最適な効率、適切なレギュレーション、優れた安定性、低ノイズを実現するには、PCB レイアウトを適切に行う必要があります。PCB の設計時は以下のガイドラインに従ってください。

- 入力バイパス・コンデンサ  $C_{IN}$  は、VINP ピンと PGNDP ピンの近くに配置します。
- 大電流スイッチング経路はできるだけ短くします。これらの経路には、以下の部品と場所の間の接続が含まれます。
  - $C_{IN}$ 、VINP、トランスの 1 次巻線、および PGNDP
  - VOUT1、 $C_{FLYBK}$ 、ダイオード 1 (D1)、トランスの 2 次巻線、および SGND2
  - VOUT2、SW2、インダクタンス 1 (L1)、 $C_{BUCK}$ 、および SGND2
  - VOUT3、SW3、インダクタンス 2 (L1)、 $C_{INV}$ 、および SGND2
- 大電流パターンは、スパイクや EMI を発生させる寄生直列インダクタンスを最小限に抑えるために、できるだけ短く、幅を広くしてください。
- 放射スイッチング・ノイズの混入を防ぐために、SWP、SW2、および SW3 ピンに接続されるノードの近くや、L1 および L2 インダクタまたは T1 トランスの近くには、高インピーダンスのパターンを配線しないでください。
- 高周波スイッチング・ノイズの混入を防ぐために、帰還抵抗はできるだけ FB1 ピンと FB3 ピンの近くに配置します。
- EMI を最小限に抑えるために、MVDD デカップリング・コンデンサ (C1) は、できるだけ MVDD ピン (ピン 39) と MGND ピン (ピン 3) の近くに配置します。

- EMI を最小限に抑えるために、SVDD1 デカップリング・コンデンサ (C3) は、できるだけ SVDD1 ピン (ピン 10) と SGND1 ピン (ピン 5) の近くに配置し、SVDD2 デカップリング・コンデンサ (C7) は、できるだけ SVDD2 ピン (ピン 20) と SGND2 ピン (ピン 16) の近くに配置します。

図 79 に、ADP1031 のトップ層の推奨レイアウトを示します。

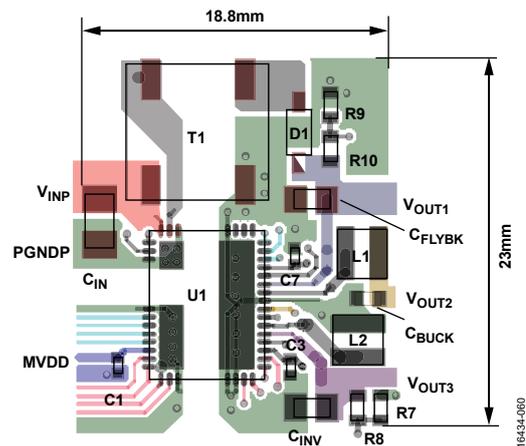


図 79. トップ層の推奨レイアウト

外形寸法

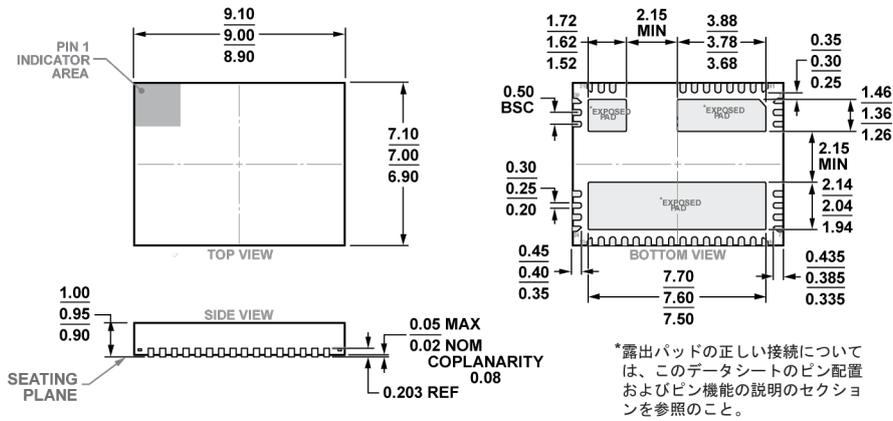


図 80. 41 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 9 mm × 7 mm ボディ、0.95 mm パッケージ高  
 (CP-41-1)  
 寸法 : mm

オーダー・ガイド

Model <sup>1</sup>	VOUT1 <sup>2</sup>	VOUT2	VOUT3	Temperature Range	Package Description	Package Option
ADP1031ACPZ-1-R7	Adjustable	5.15 V	Adjustable	-40°C to +125°C	41-Lead LFCSP	CP-41-1
ADP1031ACPZ-2-R7	Adjustable	5 V	Adjustable	-40°C to +125°C	41-Lead LFCSP	CP-41-1
ADP1031ACPZ-3-R7	Adjustable	3.3 V	Adjustable	-40°C to +125°C	41-Lead LFCSP	CP-41-1
ADP1031ACPZ-4-R7	24 V	5.15 V	Adjustable	-40°C to +125°C	41-Lead LFCSP	CP-41-1
ADP1031ACPZ-5-R7	21 V	5.15 V	Adjustable	-40°C to +125°C	41-Lead LFCSP	CP-41-1
ADP1031CP-1-EVALZ	Adjustable	5.15 V	Adjustable		Evaluation Board for the ADP1031ACPZ-1	
ADP1031CP-2-EVALZ	Adjustable	5.15 V	Adjustable		Evaluation Board for the ADP1031ACPZ-2	
ADP1031CP-3-EVALZ	Adjustable	5.15 V	Adjustable		Evaluation Board for the ADP1031ACPZ-3	
ADP1031CP-4-EVALZ	24 V	5.15 V	Adjustable		Evaluation Board for the ADP1031ACPZ-4	
ADP1031CP-5-EVALZ	21 V	5.15 V	Adjustable		Evaluation Board for the ADP1031ACPZ-5	

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> その他の VOUT1 電圧オプションの詳細については、弊社または弊社代理店にお問い合わせください。