

特長

- レシーバ入力ピンに ± 15 kVのESD保護機能を内蔵
- スイッチング・レート: 400 Mbps (200 MHz)
- フロー・スルー・ピン配置によりPCBレイアウトを簡素化
- チャンネル間スキュー: 150 ps (typ)
- 差動スキュー: 100 ps (typ)
- 最大伝搬遅延: 2.7 ns
- 電源電圧: 3.3 V
- パワーダウン時に高インピーダンス出力
- 低消費電力デザイン: 静止時 3 mW (typ)
- 既存の5V LVDSドライバと互換
- 310 mV (typ)の小振幅差動入力信号レベルを許容
- オープン入力、短絡入力、終端入力のフェイルセーフをサポート
- 0 V \sim 100 mVのスレッシュホールド領域
- TIA/EIA-644 LVDS規格に準拠
- 工業用動作温度範囲: $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$
- 薄型TSSOPパッケージを採用

アプリケーション

- 1対1データ送信
- マルチドロップ・バス
- クロック分配回路
- バックプレーン・レシーバ

概要

ADN4668は、クワッド・チャンネルのCMOS低電圧差動シグナリング(LVDS)ライン・レシーバであり、400 Mbps (200 MHz)を超えるデータ・レートと超低消費電力を提供します。フロー・スルー・ピン配置を採用しているため、PCBレイアウトおよび入力信号と出力信号の分離が容易になります。

このデバイスは低電圧(310 mV typ)差動入力信号を入力して、シングルエンドの3 V TTL/CMOSロジック・レベルへ変換します。

ADN4668は4個のレシーバを制御するアクティブ・ハイとアクティブ・ローのイネーブル/ディスエーブル入力(ENと $\overline{\text{EN}}$)を持っています。これらの信号は、レシーバをディスエーブルし、出力を高インピーダンス状態に切り替えます。

この高インピーダンス状態により、1個または複数のADN4668の出力をマルチプレクスすることができるため、静止消費電力を3 mW (typ)まで削減することができます。

ADN4668とこれと対になるLVDSドライバの組み合わせは、高速な1対1データ伝送に対する新しいソリューションを提供し、ECL (emitter-coupled logic)またはPECL (positive emitter-coupled logic)に対する低消費電力の代替品を提供します。

機能ブロック図

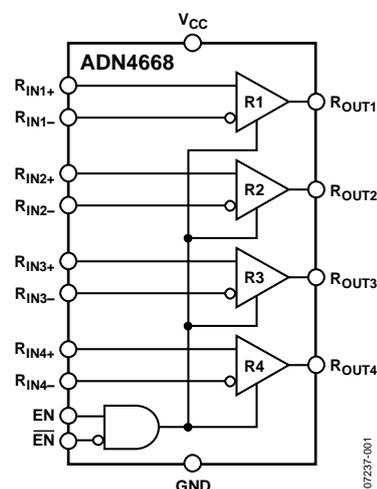


図 1.

目次

特長	1	ESDの注意	7
アプリケーション	1	ピン配置およびピン機能説明	8
機能ブロック図	1	代表的な性能特性	9
概要	1	動作原理	12
改訂履歴	2	イネーブル入力	12
仕様	3	アプリケーション情報	12
AC特性	4	外形寸法	13
テスト回路と波形	5	オーダー・ガイド	13
絶対最大定格	7		

改訂履歴

3/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 3.0\text{ V} \sim 3.6\text{ V}$ 、 $C_L = 15\text{ pF}$ (GNDに接続)、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。^{1, 2}

表 1.

Parameter	Min	Typ	Max	Unit	Conditions/Comments
LVDS INPUTS (R_{INx+}, R_{INx-})					
Differential Input High Threshold, V_{TH} at R_{INx+} , R_{INx-} ³		-35	0	mV	$V_{CM} = 1.2\text{ V}, 0.05\text{ V}, 2.95\text{ V}$
Differential Input Low Threshold, V_{TL} at R_{INx+} , R_{INx-}	-100	-35		mV	$V_{CM} = 1.2\text{ V}, 0.05\text{ V}, 2.95\text{ V}$
Common-Mode Voltage Range, V_{CMR} at R_{INx+} , R_{INx-} ⁴	0.1		2.3	V	$V_{ID} = 200\text{ mV p-p}$
Input Current, I_{IN} at R_{INx+} , R_{INx-}	-10	± 5	+10	μA	$V_{IN} = 2.8\text{ V}, V_{CC} = 3.6\text{ V or } 0\text{ V}$
	-10	± 1	+10	μA	$V_{IN} = 0\text{ V}, V_{CC} = 3.6\text{ V or } 0\text{ V}$
	-20	± 1	+20	μA	$V_{IN} = 3.6\text{ V}, V_{CC} = 0\text{ V}$
Input High Voltage, V_{IH}	2.0		V_{CC}	V	
Input Low Voltage, V_{IL}	GND		0.8	V	
Input Current, I_I	-10	± 5	+10	μA	$V_{IN} = 0\text{ V or } V_{CC}$, other input = V_{CC} or GND
Input Clamp Voltage, V_{CL}	-1.5	-0.8		V	$I_{CL} = -18\text{ mA}$
OUTPUTS (R_{OUTx})					
Output High Voltage, V_{OH}	2.7	3.3		V	$I_{OH} = -0.4\text{ mA}, V_{ID} = 200\text{ mV}$
	2.7	3.3		V	$I_{OH} = -0.4\text{ mA}$, input terminated
	2.7	3.3		V	$I_{OH} = -0.4\text{ mA}$, input shorted
Output Low Voltage, V_{OL}		0.05	0.25	V	$I_{OL} = 2\text{ mA}, V_{ID} = -200\text{ mV}$
Output Short-Circuit Current, I_{OS} ⁵	-15	-47	-100	V	Enabled, $V_{OUT} = 0\text{ V}$
Output Off State Current, I_{OZ}	-10	± 1	+10	μA	Disabled, $V_{OUT} = 0\text{ V or } V_{CC}$
POWER SUPPLY					
No Load Supply, Current Receivers Enabled, I_{CC}		12	15	mA	$EN = V_{CC}$, inputs open
No Load Supply, Current Receivers Disabled, I_{CCZ}		1	5	mA	$EN = GND$, inputs open
ESD PROTECTION					
R_{INx+} , R_{INx-} Pins		± 15		kV	Human body model
All Pins Except R_{INx+} , R_{INx-}		± 3.5		kV	Human body model

¹ デバイス・ピンに流入する電流を正としています。デバイス・ピンから流出する電流を負としています。特に注記がない限り、すべての電圧はGNDを基準にします。

² すべての typ 値は、 $V_{CC} = 3.3\text{ V}$ 、 $TA = 25^\circ\text{C}$ における値です。

³ V_{CC} は、 R_{INx+} と R_{INx-} の電圧より常に高い値です。 R_{INx-} と R_{INx+} の電圧範囲は $-0.2\text{ V} \sim V_{CC} - V_{ID}/2$ です。ただし、AC仕様を満たすためにコモン電圧範囲は $0.1\text{ V} \sim 2.3\text{ V}$ になります。

⁴ 高いVIDに対してVCMRは小さくされます。たとえば、 $V_{ID} = 400\text{ mV}$ の場合VCMRは $0.2\text{ V} \sim 2.2\text{ V}$ 、 $0\text{ V} \sim 2.4\text{ V}$ の全同相モード範囲で入力短絡でのフェイルセーフ状態はサポートされていませんが、外部からの同相モード電圧がない場合の入力短絡についてはサポートされています。同相モード電圧を $V_{CC}/2$ に設定すると、最大 $V_{CC} - 0\text{ V}$ までのVIDを R_{INx+}/R_{INx-} 入力に加えることができます。VIDを 200 mV から 400 mV に上げると、伝搬遅延と差動パルス・スキューが減少します。スキュー仕様は、同相モード範囲で $200\text{ mV} \leq V_{ID} \leq 800\text{ mV}$ に対して適用されます。

⁵ 出力短絡電流(I_{OS})は大きさだけを規定するため、マイナス符号は向きのみを示します。同時に1個の出力のみを短絡させて、最大ジャンクション温度仕様を超えないように注意する必要があります。

AC 特性

特に指定のない限り、 $V_{DD} = 3.0\text{ V} \sim 3.6\text{ V}$ 、 $C_L = 15$ (GND に接続)、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。^{1, 2, 3, 4}

表 2.

Parameter ⁵	Min	Typ	Max	Unit	Conditions/Comments ⁶
Differential Propagation Delay, High-to-Low, t_{PHLD}	1.2	2.0	2.7	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Differential Propagation Delay, Low-to-High, t_{PLHD}	1.2	1.9	2.7	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Differential Pulse Skew $ t_{PHLD} - t_{PLHD} $, t_{SKD1} ⁸	0	0.1	0.4	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Differential Channel-to-Channel Skew, Same Device, t_{SKD2} ³	0	0.15	0.5	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Differential Part-to-Part Skew, t_{SKD3} ⁴			1.0	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Differential Part-to-Part Skew, t_{SKD4} ⁹			1.5	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Rise Time, t_{TLH}		0.5	1.0	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Fall Time, t_{THL}		0.35	1.0	ns	$C_L = 15\text{ pF}$, ⁷ $V_{ID} = 200\text{ mV}$, see Figure 2 and Figure 3
Disable Time, High-to-Z, t_{PHZ}		8	14	ns	$R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$, ⁷ see Figure 4 and Figure 5
Disable Time, Low-to-Z, t_{PLZ}		8	14	ns	$R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$, ⁷ see Figure 4 and Figure 5
Enable Time, Z-to-High, t_{PZH}		9	14	ns	$R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$, ⁷ see Figure 4 and Figure 5
Enable Time, Z-to-Low, t_{PZL}		9	14	ns	$R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$, ⁷ see Figure 4 and Figure 5
Maximum Operating Frequency, f_{MAX} ¹⁰	200	250		MHz	All channels switching

¹ すべての typ 値は、 $V_{CC} = 3.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ における値です。

² 特に指定のない限り、すべてのテストに対するジェネレータ波形は $f = 1\text{ MHz}$ 、 $Z_O = 50\ \Omega$ 、 R_{INX+}/R_{INX-} の t_R と t_F (0%~100%) は 3 ns 以下とします。

³ チャンネル間スキュー t_{SKD2} は、入力で任意のイベントがある場合の、同一チップ上の 1 つのチャンネルの伝搬遅延と他のチャンネルの伝搬遅延との間の差として定義されます。

⁴ デバイス間スキュー t_{SKD3} は、デバイス間で任意のイベントが発生したときの差動チャンネル間スキューです。この仕様は、各デバイスが同じ V_{CC} と動作温度範囲内相 互差 5°C 以内に適用されます。

⁵ AC パラメータは、デザインおよびキャラクタライゼーションにより保証。

⁶ デバイス・ピンに流入する電流を正としています。デバイス・ピンから流出する電流を負としています。特に注記がない限り、すべての電圧は GND を基準にします。

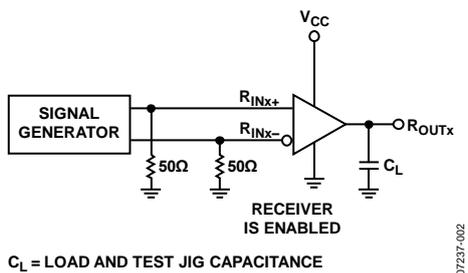
⁷ C_L はプローブと治具の容量を含みます。

⁸ t_{SKD1} は、同じチャンネルの正のエッジと負のエッジとの間の差動伝搬遅延の大きさの差です。

⁹ デバイス間スキュー t_{SKD4} は、デバイス間で任意のイベントが発生したときの差動チャンネル間スキューです。この仕様は、推奨動作温度範囲と推奨電圧範囲を超えた デバイス、および製造プロセス分布間に適用されます。 t_{SKD4} は $|\text{Max} - \text{Min}|$ 差動伝搬遅延として定義されます。

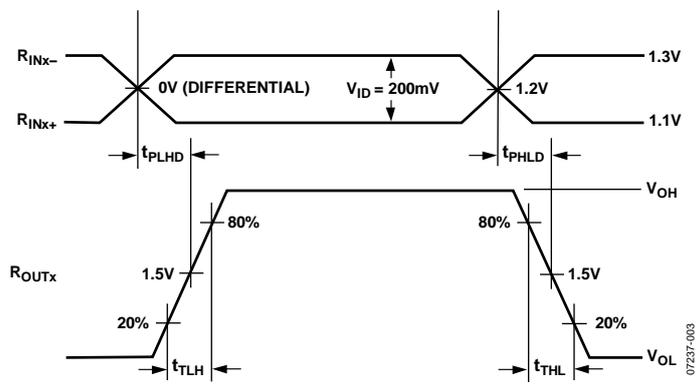
¹⁰ f_{MAX} ジェネレータ入力条件: $f = 200\text{ MHz}$ 、 $t_R = t_F < 1\text{ ns}$ (0%~100%)、50% デューティ・サイクル、差動 (1.05 V~1.35 Vp-p)。出力基準: 60%/40% デューティ・サイクル、 V_{OL} (maximum = 0.4 V)、 V_{OH} (minimum = 2.7 V)、負荷 = 15 pF (漂遊とプローブ)。

テスト回路と波形



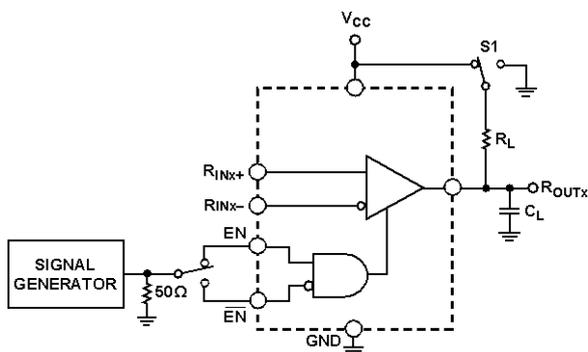
07237-002

図 2. レシーバの伝搬遅延と変化時間のテスト回路



07237-003

図 3. レシーバの伝搬遅延と変化時間の波形



- NOTES
1. C_L INCLUDES LOAD AND TEST JIG CAPACITANCE.
 2. S1 CONNECTED TO V_{CC} FOR t_{pZL} AND t_{pLZ} MEASUREMENTS.
 3. S1 CONNECTED TO GND FOR t_{pZH} AND t_{pHZ} MEASUREMENTS.

07237-004

図 4. レシーバのイネーブル/ディスエーブル遅延のテスト回路

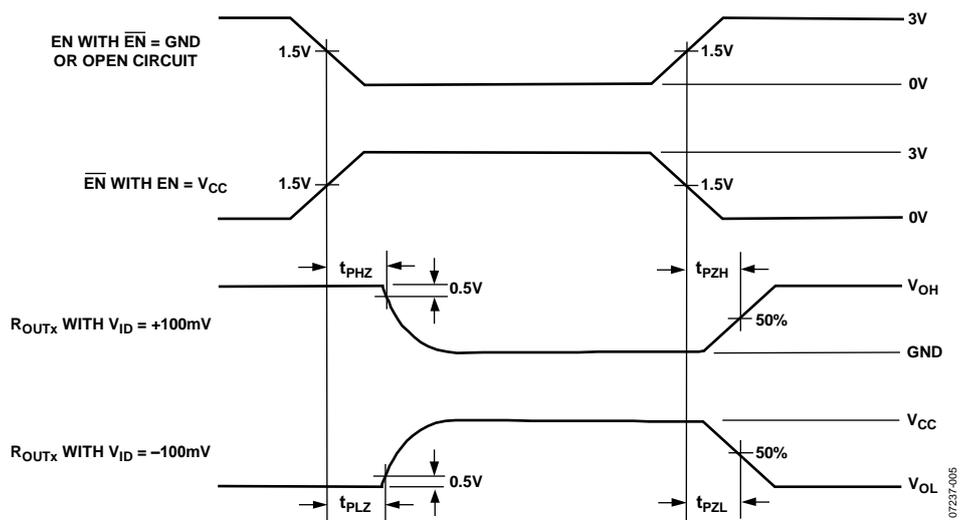


図 5. レシーバ・イネーブル/ディスエーブルの遅延波形

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{CC} to GND	-0.3 V to +4 V
Input Voltage (R_{INx+} , R_{INx-}) to GND	-0.3 V to $V_{CC} + 0.3$ V
Enable Input Voltage (\overline{EN} , \overline{EN}) to GND	-0.3 V to $V_{CC} + 0.3$ V
Output Voltage (R_{OUTx}) to GND	-0.3 V to $V_{CC} + 0.3$ V
Operating Temperature Range	
Industrial	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_{JMAX})	150°C
Power Dissipation	$(T_{JMAX} - T_A)/\theta_{JA}$
TSSOP Package	
θ_{JA} Thermal Impedance	150.4°C/W
Reflow Soldering Peak Temperature	
Pb-Free	260°C \pm 5°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

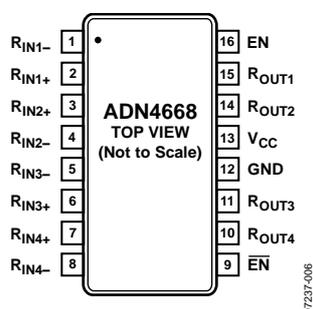
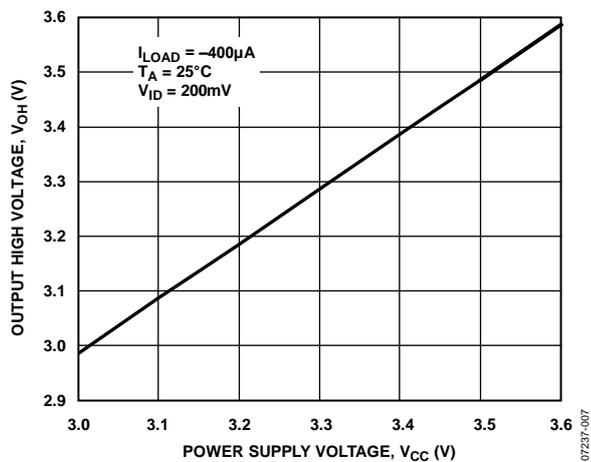
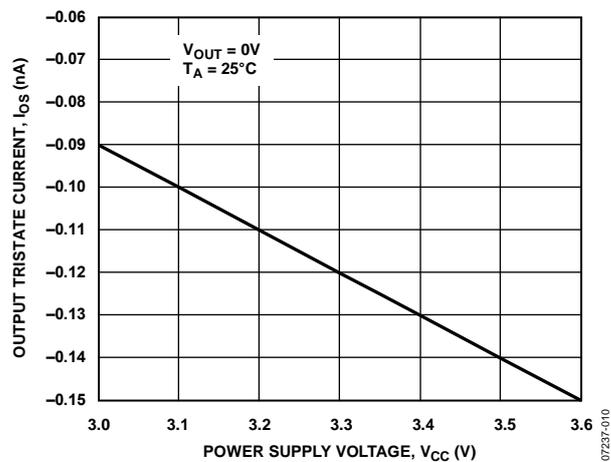
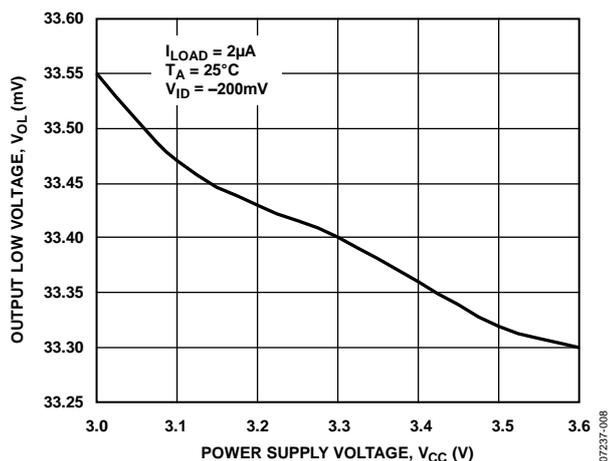
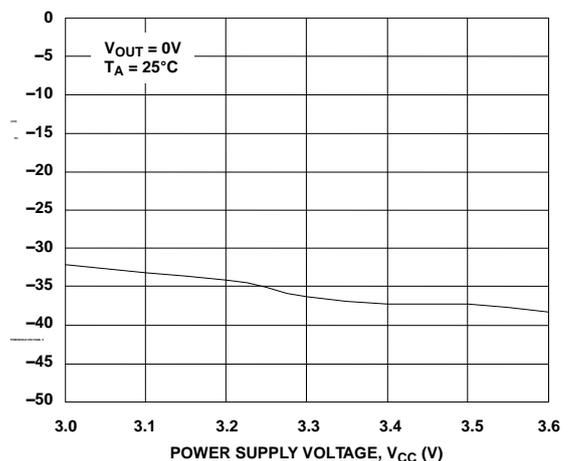
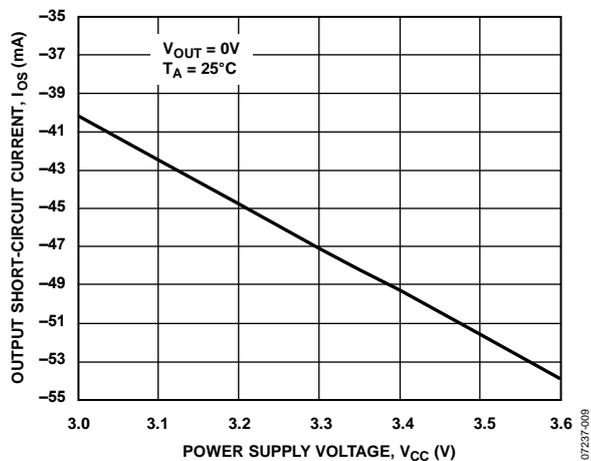
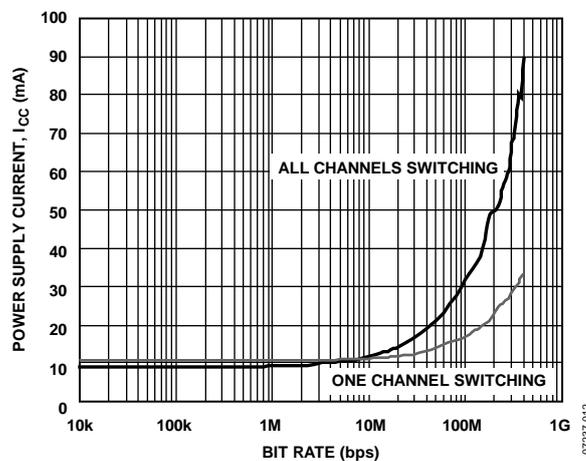


図 6. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	R _{IN1-}	レシーバ・チャンネル1の反転入力。この入力が R _{IN1+} より負側にある場合、R _{OUT1} はハイ・レベル。この入力が R _{IN1+} より正側にある場合、R _{OUT1} はロー・レベル。
2	R _{IN1+}	レシーバ・チャンネル1の非反転入力。この入力が R _{IN1-} より正側にある場合、R _{OUT1} はハイ・レベル。この入力が R _{IN1-} より負側にある場合、R _{OUT1} はロー・レベル。
3	R _{IN2+}	レシーバ・チャンネル2の非反転入力。この入力が R _{IN2-} より正側にある場合、R _{OUT2} はハイ・レベル。この入力が R _{IN2-} より負側にある場合、R _{OUT2} はロー・レベル。
4	R _{IN2-}	レシーバ・チャンネル2の反転入力。この入力が R _{IN2+} より負側にある場合、R _{OUT2} はハイ・レベル。この入力が R _{IN2+} より正側にある場合、R _{OUT2} はロー・レベル。
5	R _{IN3-}	レシーバ・チャンネル3の反転入力。この入力が R _{IN3+} より負側にある場合、R _{OUT3} はハイ・レベル。この入力が R _{IN3+} より正側にある場合、R _{OUT3} はロー・レベル。
6	R _{IN3+}	レシーバ・チャンネル3の非反転入力。この入力が R _{IN3-} より正側にある場合、R _{OUT3} はハイ・レベル。この入力が R _{IN3-} より負側にある場合、R _{OUT3} はロー・レベル。
7	R _{IN4+}	レシーバ・チャンネル4の非反転入力。この入力が R _{IN4-} より正側にある場合、R _{OUT4} はハイ・レベル。この入力が R _{IN4-} より負側にある場合、R _{OUT4} はロー・レベル。
8	R _{IN4-}	レシーバ・チャンネル4の反転入力。この入力が R _{IN4+} より負側にある場合、R _{OUT4} はハイ・レベル。この入力が R _{IN4+} より正側にある場合、R _{OUT4} はロー・レベル。
9	$\overline{\text{EN}}$	プルダウン付きのアクティブ・ロー・イネーブルおよびパワーダウン入力(3 V TTL/CMOS)。ENをハイ・レベルに維持すると、 $\overline{\text{EN}}$ がロー・レベルまたは断線のときに各レシーバ出力をイネーブルし、 $\overline{\text{EN}}$ がハイ・レベルのときに、各レシーバ出力を高インピーダンス状態にして、デバイスをパワーダウンさせます。
10	R _{OUT4}	レシーバ・チャンネル4の出力(3 V TTL/CMOS)。R _{IN4+} と R _{IN4-} との間の差動入力電圧が正のとき、この出力はハイ・レベルになります。差動入力電圧が負のとき、この出力はロー・レベルになります。
11	R _{OUT3}	レシーバ・チャンネル3の出力(3 V TTL/CMOS)。R _{IN3+} と R _{IN3-} との間の差動入力電圧が正のとき、この出力はハイ・レベルになります。差動入力電圧が負のとき、この出力はロー・レベルになります。
12	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
13	VCC	電源入力。これらのデバイスは3~3.6 Vの電源で動作することができます。
14	R _{OUT2}	レシーバ・チャンネル2の出力(3 V TTL/CMOS)。R _{IN2+} と R _{IN2-} との間の差動入力電圧が正のとき、この出力はハイ・レベルになります。差動入力電圧が負のとき、この出力はロー・レベルになります。
15	R _{OUT1}	レシーバ・チャンネル1の出力(3 V TTL/CMOS)。R _{IN1+} と R _{IN1-} との間の差動入力電圧が正のとき、この出力はハイ・レベルになります。差動入力電圧が負のとき、この出力はロー・レベルになります。
16	EN	アクティブ・ハイのイネーブルおよびパワーダウン入力(3 V TTL/CMOS)。 $\overline{\text{EN}}$ をハイ・レベルに維持するか断線すると、ENがハイ・レベルのときに各レシーバ出力をイネーブルし、ENがロー・レベルのときに、各レシーバ出力を高インピーダンス状態にして、デバイスをパワーダウンさせます。

代表的な性能特性

図 7.出力高電圧 V_{OH} 対電源電圧 V_{CC} 図 10.出力スリーステート電流 I_{OL} 対電源電圧 V_{CC} 図 8.出力ロー・レベル電圧 V_{OL} 対電源電圧 V_{CC} 図 11.スレッシュヨールド電圧 V_{TH} 対電源電圧 (V_{CC})図 9.出力短絡電流 I_{OS} 対電源電圧 V_{CC} 図 12.電源電流 I_{CC} 対ビット・レート

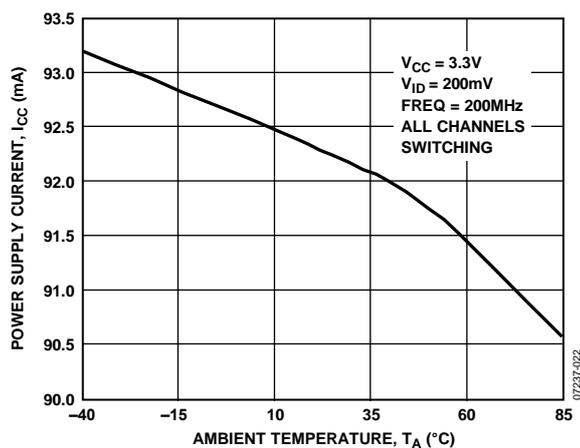


图 13. 电源电流 I_{CC} 对周围温度 (T_A)

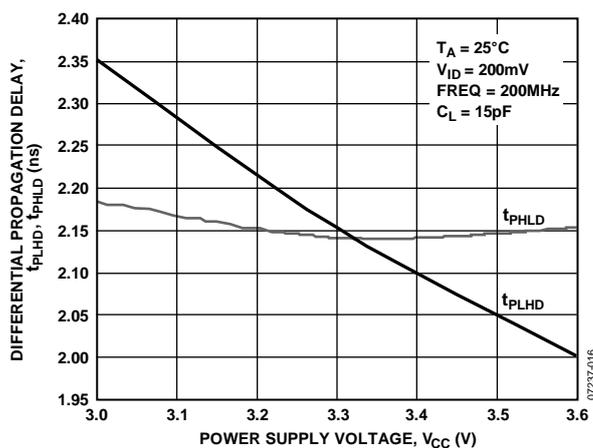


图 16. 差动伝搬遅延 t_{PLHD} 、 t_{PHLD} 对电源电压 V_{CC}

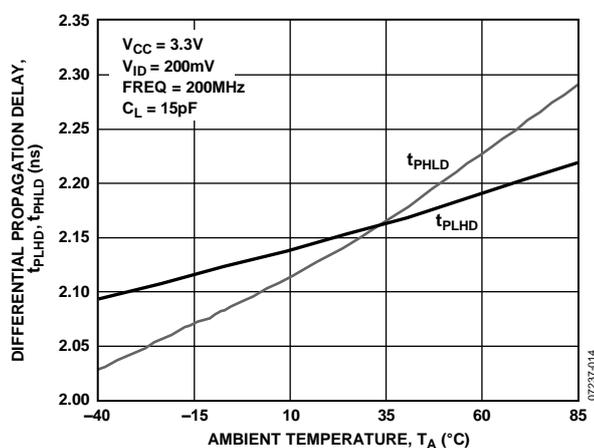


图 14. 差动伝搬遅延 t_{PLHD} 、 t_{PHLD} 对周围温度 T_A

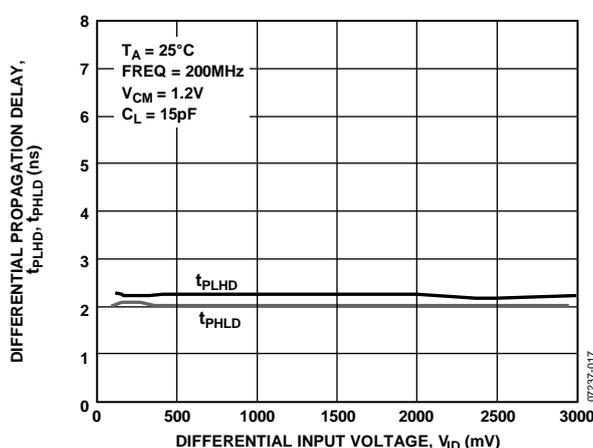


图 17. 差动伝搬遅延 t_{PLHD} 、 t_{PHLD} 对差动入力电压 V_{ID}

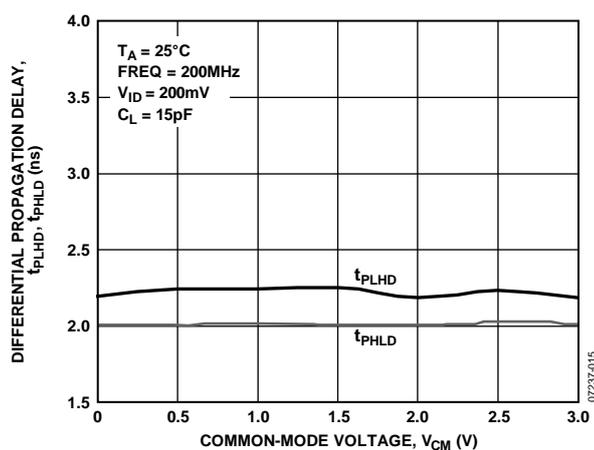


图 15. 差动伝搬遅延 t_{PLHD} 、 t_{PHLD} 对同相モード电压 V_{CM}

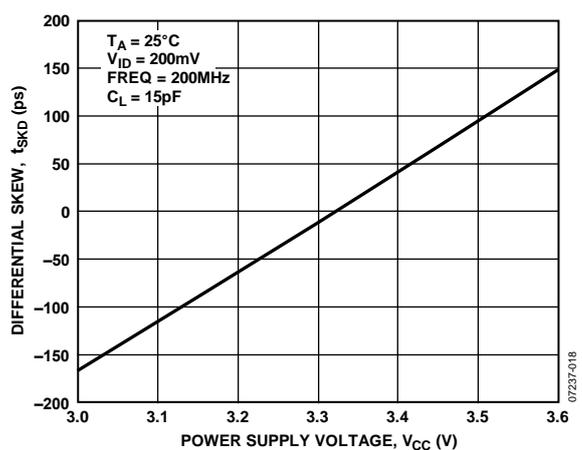


图 18. 差动スキュー t_{SKD} 对电源电压 V_{CC}

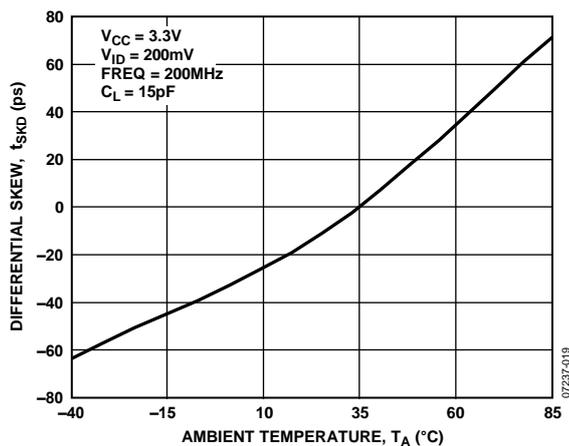


図 19. 差動スキュー t_{SKD} 対周囲温度 T_A

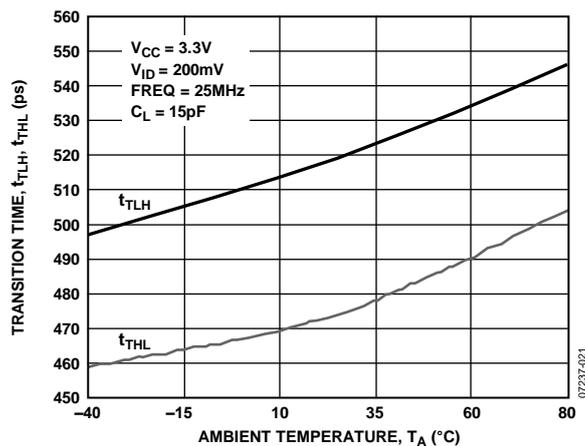


図 21. 変化時間 t_{TLH} , t_{THL} 対周囲温度 T_A

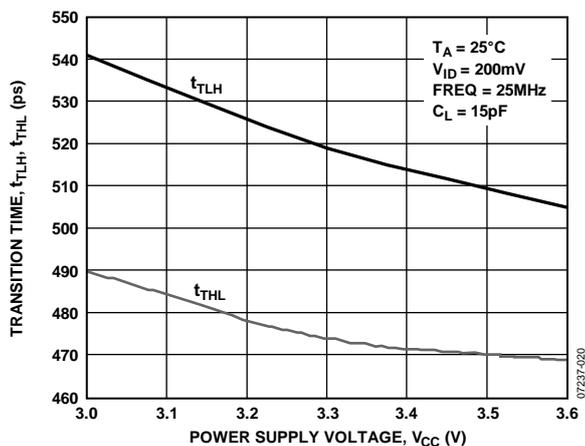


図 20. 変化時間 t_{TLH} , t_{THL} 対電源電圧 V_{CC}

動作原理

ADN4668 は、低電圧差動シグナリング用の 4 チャンネル・ライン・レシーバです。このデバイスは低電圧(310 mV typ)差動入力信号を入力して、シングルエンドの 3 V TTL/CMOS ロジックへ変換します。

ツイストペア・ケーブルのような伝送媒体を介して受信した差動電流入力信号が、終端抵抗 R_T の両端に電圧を発生させます。この抵抗は、媒体の特性インピーダンス(一般に約 100 Ω)にマッチングさせるように選択されます。レシーバは差動電圧を検出して、これをシングルエンド・ロジック信号に戻します。

非反転レシーバ入力 R_{INx+} が反転入力 R_{INx-} に対して正のとき(電流は R_T を通り R_{INx+} から R_{INx-} へ流れます)、 R_{OUTx} がハイ・レベルになります。非反転レシーバ入力 R_{IN+} が反転入力 R_{IN-} に対して負のとき(電流は R_T を通り R_{IN-} から R_{IN+} へ流れます)、 R_{OUTx} はロー・レベルになります。

ADN4667 をドライバとして使うと、受信差動電流は ± 2.5 mA \sim ± 4.5 mA (typ 値は ± 3.1 mA) の範囲となり、100 Ω 終端抵抗の両端に ± 250 mV \sim ± 450 mV の範囲を発生します。受信電圧は 1.2 V のレシーバ・オフセットを中心とする電圧になります。言い換えると、非反転レシーバ入力のロジック 1 は $(1.2 \text{ V} + [310 \text{ mV}/2]) = 1.355 \text{ V}$ (typ) で、反転レシーバ入力のロジック 1 は $(1.2 \text{ V} - [310 \text{ mV}/2]) = 1.045 \text{ V}$ (typ) です。ロジック 0 に対しては、反転と非反転の入力電圧は逆になります。差動電圧は極性が逆になるので、 R_T 両端のピーク to ピーク電圧振幅は差動電圧の 2 倍になることに注意してください。

電流モード・シグナリングは、RS-422 ドライバのような電圧モード・シグナリングより優れた利点を提供します。

動作電流はスイッチング周波数が高くなっても一定ですが、電圧モード・ドライバでは多くの場合動作電流は指数的に増加します。これは、内部ゲートがハイ・レベルとロー・レベルとの間でスイッチするときに発生するオーバーラップによるもので、このオーバーラップにより電流が V_{CC} からグラウンドへ流れません。電流モード・デバイスでは 2 つの出力間で一定電流を切替えるだけなので、大きなオーバーラップ電流は発生しません。

同じことが ECL (emitter-coupled logic) と PECL (positive emitter-coupled logic) に対してもいえますが、ECL と PECL では大きな静止電流が流れます。

イネーブル入力

ADN4668 は、アクティブ・ハイとアクティブ・ローのイネーブル入力を持っており、ディスエーブル状態ですべてのロジック出力を高インピーダンスにして、デバイス消費電流を 9 mA (typ) から 1 mA (typ) へ削減します。イネーブル入力の真理値表については表 5 を参照してください。

表 5. イネーブル入力の真理値表

EN	$\overline{\text{EN}}$	R_{INx+}	R_{INx-}	R_{OUTx}
High	Low or Open	1.045 V	1.355 V	0
High	Low or Open	1.355 V	1.045 V	1
Any other combination of EN and $\overline{\text{EN}}$		X	X	High-Z

アプリケーション情報

図 22 に、ADN4667 をドライバとして、ADN4668 をレシーバとしてそれぞれ使った場合の、1 対 1 データ伝送の一般的なアプリケーションを示します。

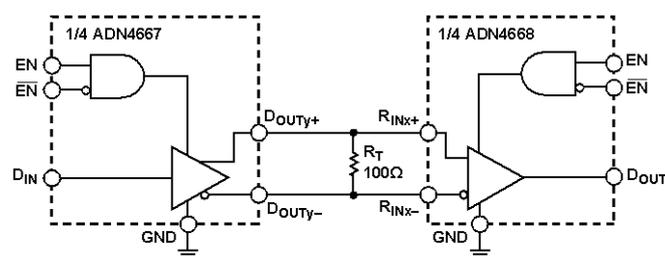


図 22. 代表的なアプリケーション回路

外形寸法

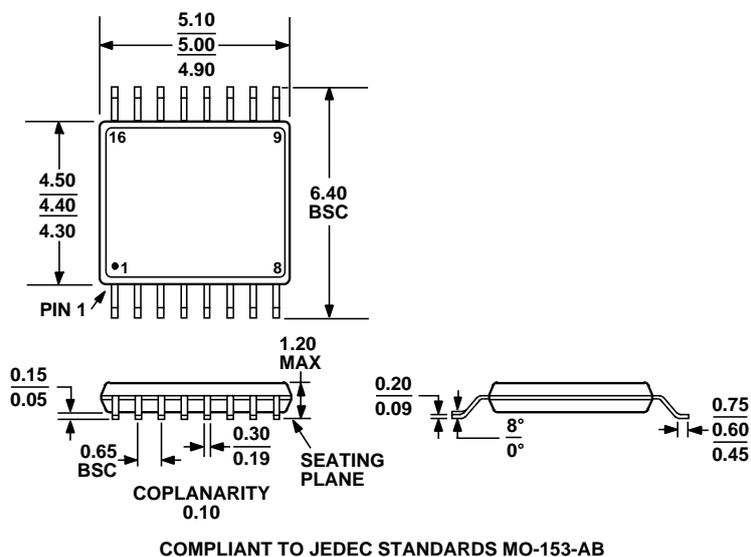


図 23. 16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADN4668ARUZ ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADN4668ARUZ-REEL7 ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16

¹ Z = RoHS 準拠製品