

特長

- デュアル、1024ポジション分解能
- フルスケール抵抗：25kΩ、250kΩ
- 低温度係数：35ppm/℃
- 不揮発性メモリプリセットによりワイパー設定を保持
- 恒久的なメモリ書き込み保護
- ワイパー設定リードバック可能
- 実際の偏差をEEMEM¹に保存
- 直線的なインクリメント/デクリメント
- 対数テーパのインクリメント/デクリメント
- SPI互換シリアル・インターフェース
- 単電源動作：3V～5Vまたは両電源動作：±2.5V
- 定数保存用の26バイト・ユーザー不揮発性メモリ
- 設定可能な電流モニター機能
- データ保持：T_A=55℃で100年 (Typ値)

アプリケーション

SONET、SDH、ATM、ギガビット・イーサネット、DWDMレーザー、ダイオード・ドライバ光スーパーバイザ・システム

概要

ADN2850は、1024ポジションの分解能を持つデジタル的に制御可能なデュアル・チャンネル抵抗2を提供します。これらのデバイスはポテンシオメータや機械的な可変抵抗と同じ電子的調整機能を持ち、優れた分解能、ソリッド・ステートの信頼性、非常に小さい温度係数性能を持っています。標準シリアル・インターフェース経由でADN2850のさまざまなプログラミング機能を使うと、スクラッチ・パッド・プログラミング、メモリへの保存と読み出し、インクリメント/デクリメント、対数テーパ調整、ワイパー設定のリードバック、さらにユーザー定義のEEMEM¹などの16種類の動作モードと調整が可能になります。

ADN2850のもう1つの重要な特長は、定格フルスケール抵抗 $R_{WB,FS}$ のパーセント誤差がEEMEMに保存されていることです。したがって、実際のフルスケール抵抗を知ることができるため、公差のマッチングとキャリブレーションのリファレンスとして役立ちます。

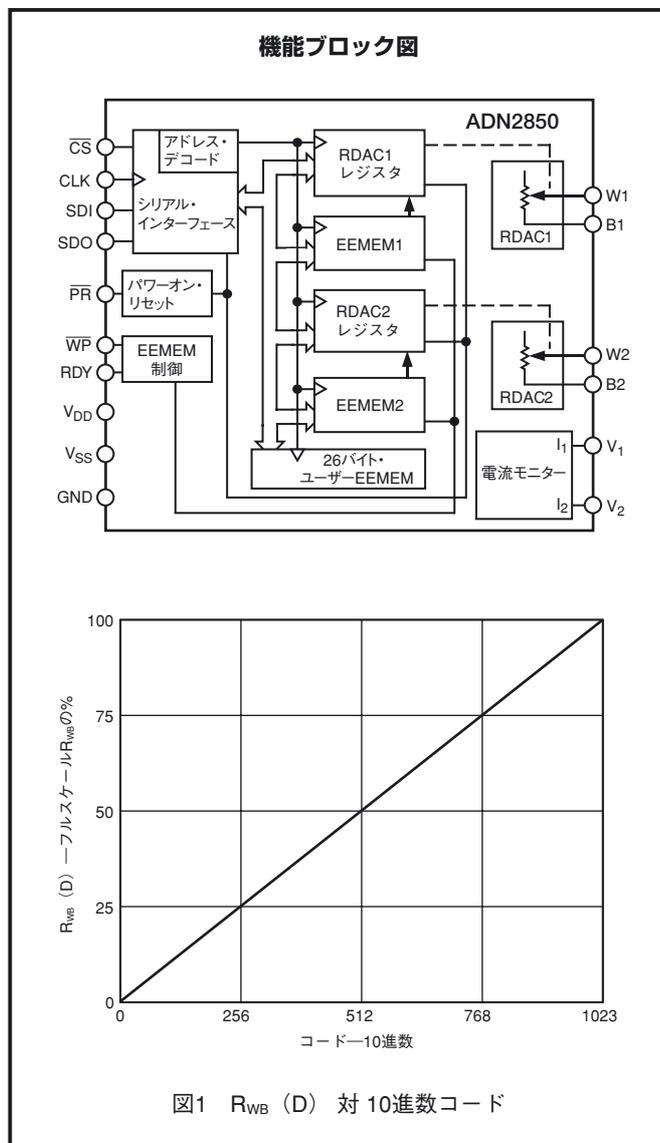
スクラッチ・パッド・プログラミング・モードでは、特定の設定をW端子とB端子との間の抵抗を設定するRDAC²レジスタに直接プログラムすることができます。また、それまでEEMEMレジスタに格納されていた値をRDACレジスタにロードすることもできます。EEMEMの値は変更することも、保護することもできます。RDACレジスタの値を変更したときは、新しい設定値をEEMEMに保存することができます。その後、このような値はシステムのパワーオン時に自動的にRDACレジスタに転送されます。この

*特許申請中。

注

- 1 不揮発性メモリとEEMEMは同じ意味で使用される用語です。
- 2 可変抵抗とRDACは同じ意味で使用される用語です。

REV.0



機能は内部プリセット・ストロープによりイネーブルにされます。また、EEMEMは、直接プログラミング機能と外部プリセット端子制御機能を使って読み出すこともできます。

RDACレジスタ内の設定値を1度に1ステップずつ増減させる直線的なステップ・インクリメントとデクリメントのコマンドなどもあります。ワイパー設定値の対数変化の場合は、左/右ビット・シフト・コマンドにより±6dBステップでレベルを調整します。

ADN2850は、5mm×5mmの16端子フレーム・チップ・スケールLFCSPパッケージまたは薄型16端子TSSOPパッケージで供給されます。すべてのデバイスは、工業用拡張温度範囲-40℃～+85℃で動作保証されています。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

ADN2850—仕様

電気的特性、25kΩバージョンおよび250kΩバージョン

(特に指定のない限り、 $V_{DD}=3V\sim 5.5V$ 、 $-40^{\circ}C < T_A < +85^{\circ}C$)¹

パラメータ	記号	条件	Min	Typ ²	Max	単位
DC特性可変抵抗器モード(すべてのRDACに適用する仕様)						
抵抗の微分非直線性 ³	R-DNL	R_{WB}	-2		+2	LSB
抵抗の積分非直線性 ³	R-INL	R_{WB}	-4		+4	LSB
抵抗温度係数	$\Delta R_{WB}/\Delta T$			35		ppm/ $^{\circ}C$
ワイパー抵抗	R_W	$V_{DD}=5V$ 、 $I_W=100\mu A$ コード=ハーフスケール		50	100	Ω
		$V_{DD}=3V$ 、 $I_W=100\mu A$ 、 コード=ハーフスケール		200		Ω
チャンネル抵抗マッチング	$\Delta R_{WB}/R_{WB}$	Ch 1とCh 2の R_{WB} 、 $D_X=80_H$		0.1		%
公称抵抗偏差	ΔR_{WB}		-30		+30	%
抵抗端子						
端子間電圧範囲 ⁴	$V_{W,B}$		V_{SS}		V_{DD}	V
容量 ⁵ B_X	C_B	$f=1MHz$ 、GNDに対して測定、 コード=ハーフスケール		11		pF
容量 ⁵ W_X	C_W	$f=1MHz$ 、GNDに対して測定、 コード=ハーフスケール		80		pF
コモン・モード・リーク電流 ⁶	I_{CM}	$V_W=V_B=V_{DD}/2$		0.01	± 2	μA
デジタル入力およびデジタル出力						
入力ロジック・ハイレベル	V_{IH}	GND基準、 $V_{DD}=5V$	2.4			V
入力ロジック・ローレベル	V_{IL}	GND基準、 $V_{DD}=5V$			0.8	V
入力ロジック・ハイレベル	V_{IH}	GND基準、 $V_{DD}=3V$	2.1			V
入力ロジック・ローレベル	V_{IL}	GND基準、 $V_{DD}=3V$			0.6	V
入力ロジック・ハイレベル	V_{IH}	GND基準、 $V=+2.5V$ 、 $V_{SS}=-2.5V$	2.0			V
入力ロジック・ローレベル	V_{IL}	GND基準、 $V_{DD}=+2.5V$ 、 $V_{SS}=-2.5V$			0.5	V
出力ロジック・ハイレベル(SDO、RDY)	V_{OH}	$R_{PULL-UP}=5V\sim 2.2k\Omega$	4.9			V
出力ロジック・ローレベル	V_{OL}	$I_{OL}=1.6mA$ 、 $V_{LOGIC}=5V$			0.4	V
入力電流	I_{IL}	$V_{IN}=0V$ または V_{DD}			± 1	μA
入力容量 ⁵	C_{IL}			5		pF
電源						
単電源電圧範囲	V_{DD}	$V_{SS}=0V$	3.0		5.5	V
両電源電圧範囲	V_{DD}/V_{SS}		± 2.25		± 2.75	V
正電源電流	I_{DD}	$V_{IH}=V_{DD}$ または $V_{IL}=GND$ 、 $T_A=25^{\circ}C$		2	4.5	μA
正電源電流	I_{DD}	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		3.5	6.0	μA
プログラミング・モードでの電流	$I_{DD(PG)}$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		35		mA
リードバック・モードでの電流 ⁷	$I_{DD(XFR)}$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$	0.3	3	9	mA
負電源電流	I_{SS}	$V_{IH}=V_{DD}$ または $V_{IL}=GND$ 、 $V_{DD}=+2.5V$ 、 $V_{SS}=-2.5V$		3.5	6.0	μA
消費電力 ⁸	P_{DISS}	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		18	50	μW
対電源感受性	P_{SS}	$\Delta V_{DD}=5V \pm 10\%$		0.002	0.01	%/%
電流モニター端子						
V_1 の電流シンク ⁹	I_1		0.0001		10	mA
V_2 の電流シンク	I_2				10	mA
ダイナミック特性 ^{5、10}						
抵抗ノイズ密度	$e_{N,WB}$	$R_{WB,FS}=25k\Omega/250k\Omega$ 、 $f=1kHz$ $V_{B1}=V_{B2}=0V$ 、 $V_{W2}=100mVp-p$		20/64		nV/\sqrt{Hz}
アナログ・クロストーク(C_{W1}/C_{W2})	C_T	@ $f=100kHz$ 、コード ¹ 1=コード ² 2=200 _H で V_{W1} を測定		-65		dB

パラメータ	記号	条件	Min	Typ ²	Max	単位
インターフェース・タイミング特性 (全デバイスに適用) ^{5, 11}						
クロック・サイクル・タイム (t _{CYC})	t ₁		20			ns
\overline{CS} セットアップ・タイム	t ₂		10			ns
\overline{CS} の立ち上がりまでの CLK シャットダウン 時間	t ₃		1			t _{CYC}
入力クロック・パルス幅	t ₄ , t ₅	クロック・レベル・ハイまたはロー	10			ns
データ・セットアップ・タイム	t ₆	CLK の立ち上がり変化から	5			ns
データ・ホールド・タイム	t ₇	CLK の立ち上がり変化から	5			ns
\overline{CS} から SDO-SPI ライン 取得まで	t ₈				40	ns
\overline{CS} から SDO-SPI ライン 開放まで	t ₉				50	ns
CLK からの SDO 伝搬遅延 ¹²	t ₁₀	R _P = 2.2kΩ, C _L < 20pF			50	ns
\overline{CS} ハイレベル・パルス幅 ¹³	t ₁₂		10			ns
\overline{CS} のハイレベルから \overline{CS} のハイレベルまで ¹³	t ₁₃		4			t _{CYC}
RDY の立ち上がりから \overline{CS} の立ち下がりまで	t ₁₄		0			ns
\overline{CS} の立ち上がりから RDY 立ち下がりまで	t ₁₅			0.15	0.3	ms
不揮発性 EEMEM の読み出し / ストア ¹⁴	t ₁₆	コマンド 2 _H , 3 _H , 9 _H に適用		35		ms
\overline{CS} の立ち上がりから クロック・エッジまでの セットアップ・タイム	t ₁₇		10			ns
プリセット・パルス幅 (非同期)	t _{PRW}	タイミング図には表示なし	50			ns
ワイパー設定までのプリセット応答時間	t _{PRESP}	\overline{PR} パルスのローレベルからワイパー・ポジションのリフレッシュまで		140		μs
FLASH/EE メモリの信頼性						
書き込み回数 ¹⁵			100			K サイクル
データ保持 ¹⁶				100		年

注

- 1 デバイスは単電源 2.7V で動作可能。ただし、0°C ~ 40°C は最小 3V が必要。
- 2 Typ 値は、25°C および V_{DD} = 5V での平均測定値。
- 3 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。
R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。V_{DD} = 2.7V で I_w = 50 μA、V_{DD} = 5V で I_w = 400 μA。
- 4 抵抗端子 B、W の極性は互いに制約されません。
- 5 設計上保証しますが、出荷テストは行いません。
- 6 コモン・モード・リーク電流は、任意の端子 B と端子 W から コモン・モード・バイアス・レベル V_{DD}/2 までの DC リークを測定。
- 7 転送 (XFR) モード電流は不連続。EEMEM ロケーションを読み出して RDAC レジスタへ転送するとき、電流が消費されます。特性 9 を参照。
- 8 P_{DISS} は (I_{DD} × V_{DD}) + (I_{SS} × V_{SS}) から計算。
- 9 光レシーバの光ダイオードに適用。
- 10 すべての動特性では、V_{DD} = +2.5V かつ V_{SS} = -2.5V を使用。
- 11 測定場所についてはタイミング図を参照してください。すべての入力制御電圧は t_r = t_f = 2.5ns (3V の 10% から 90%) で規定し、1.5V の電圧レベルからの時間とします。
スイッチング特性は、V_{DD} = 3V と 5V の両方を使って測定。
- 12 伝搬遅延は、V_{DD}、R_{PULLUP}、C_L の値に依存します。アプリケーションの節を参照してください。
- 13 RDY 端子をアクティブにしないコマンドに対して有効。
- 14 コマンド 2、3、8、9、10、および \overline{PR} ハードウェア・パルスの場合にのみ RDY 端子がローレベル：CMD_8 = 1ms；CMD_9、10 = 0.1ms；CMD_2、3 = 20ms。T_A = -40°C かつ V_{DD} < 3V でのデバイス動作では保存時間が 35ms に延びます。
- 15 書き込みサイクルは、JEDEC Std. 22 メソッド A117 に基づき 100,000 サイクルで評価し、-40°C、+25°C、+85°C で測定。25°C での書き込み回数は 700,000 サイクル (typ 値)。
- 16 JEDEC Std. 22、メソッド A117 に基づく接合部温度 (T_J) = 55°C と等価な。活性エネルギー 0.6V に基づくデータ保持寿命は、接合温度が上昇すると短くなります。

仕様は予告なく変更されることがあります。

ADN2850 には 16,000 個のトランジスタが内蔵されています。チップ・サイズ：93 ミル × 103 ミル、10,197 平方ミル

タイミング図

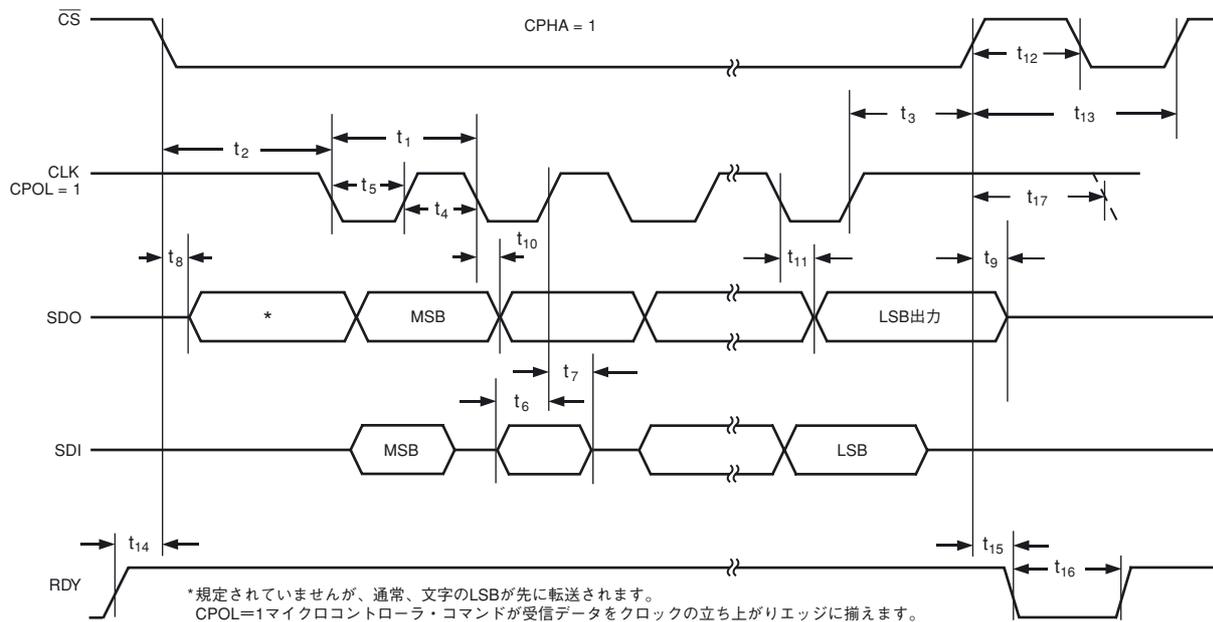


図2a CPHA=1でのタイミング図

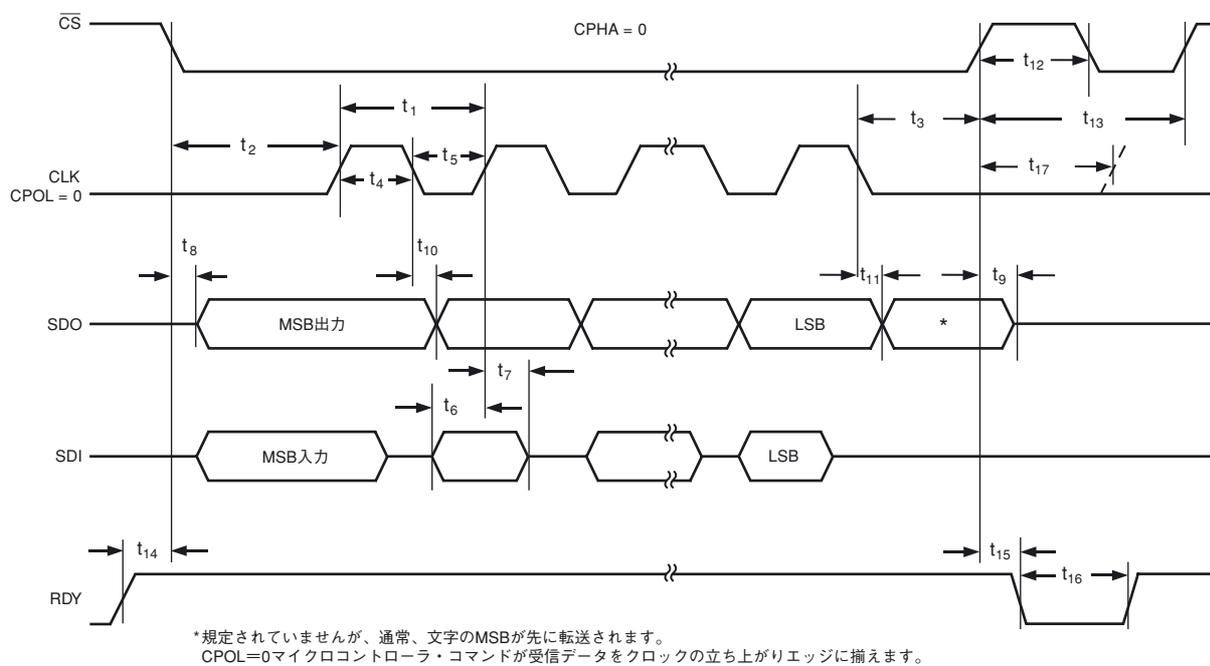


図2b CPHA=0でのタイミング図

絶対最大定格¹

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

$V_{DD}\sim\text{GND}$ -0.3V 、 $+7\text{V}$

$V_{SS}\sim\text{GND}$ $+0.3\text{V}$ 、 -7V

$V_{DD}\sim V_{SS}$ 7V

V_B 、 $V_W\sim\text{GND}$ $V_{SS}-0.3\text{V}$ 、 $V_{DD}+0.3\text{V}$

I_B 、 I_W

断続的² $\pm 20\text{mA}$

連続 $\pm 2\text{mA}$

GNDを基準とするデジタル入力および出力電圧 -0.3V 、 $V_{DD}+0.3\text{V}$

動作温度範囲³ $-40^\circ\text{C}\sim+85^\circ\text{C}$

最大接合温度 ($T_{J\text{MAX}}$) 150°C

保管温度 $-65^\circ\text{C}\sim+150^\circ\text{C}$

ハンダ処理時の端子温度⁴

蒸着 (60秒) 215°C

赤外線 (15秒) 220°C

接合～周辺間熱抵抗 θ_{JA}

LFCSP-16 $35^\circ\text{C}/\text{W}$

TSSOP-16 $150^\circ\text{C}/\text{W}$

接合～ケース間熱抵抗 θ_{JC} 、TSSOP-16 $28^\circ\text{C}/\text{W}$

パッケージのワット損 = $(T_{J\text{MAX}} - T_A) / \theta_{JA}$

注

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

2 最大端子電流は、スイッチの最大処理電流、パッケージ最大消費電力、B端子、W端子内の任意の2端子間の、設定された抵抗での最大入力電圧により制約されます。

3 不揮発性メモリのプログラミングを含みます。

4 TSSOP-16にのみ適用。LFCSP-16については、最寄りのアナログ・デバイスズにお尋ねください。

オーダー・ガイド

モデル	RWB_FS (k Ω)	RDNL (LSB)	RINL (LSB)	温度範囲 ($^\circ\text{C}$)	パッケージ	パッケージ・ オプション	注文単位	上面マーク*
ADN2850BCP25	25	± 2	± 4	$-40\sim+85$	LFCSP-16	CP-16	96	BCP25
ADN2850BCP25-RL7	25	± 2	± 4	$-40\sim+85$	LFCSP-16 7インチ・リール	CP-16	1,000	BCP25
ADN2850BCP250	250	± 2	± 4	$-40\sim+85$	LFCSP-16	CP-16	96	BCP250
ADN2850BCP250-RL7	250	± 2	± 4	$-40\sim+85$	LFCSP-16 7インチ・リール	CP-16	1,000	BCP250
ADN2850BRU25	25	± 2	± 4	$-40\sim+85$	TSSOP-16	RU-16	96	2850B25
ADN2850BRU25-RL7	25	± 2	± 4	$-40\sim+85$	TSSOP-16 7インチ・リール	RU-16	1,000	2850B25

*1行目は部品番号ADN2850、2行目は部品タイプの区別、3行目はロット番号、4行目はデット・コードYYWWです。

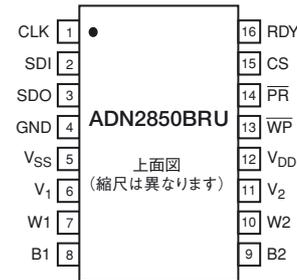
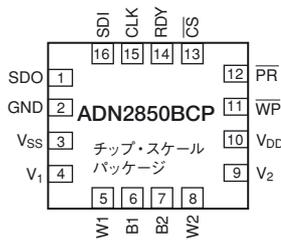
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお願いいたします。



ADN2850

端子配置



ADN2850BCPの端子説明

端子番号	記号	説明
1	SDO	シリアル・データ出力端子。オープン・ドレイン出力で外部プルアップ抵抗が必要。CMD_9とCMD_10がSDO出力を有効にします。表IIの命令動作の真理値表を参照。他のコマンドは、前にロードされたSDIビット・パターンを24クロック・パルス分遅延してシフト出力。これにより、複数パッケージのデジチェーン動作が可能。
2	GND	グラウンド端子、ロジック・グラウンド・リファレンス
3	V _{SS}	負電源。単電源アプリケーションの場合は0Vに接続
4	V ₁	内部ダイオードにより構成されたトランジスタから発生される対数出力電圧1。
5	W ₁	RDAC1ADDR (RDAC1)のワイパー端子=0 _H
6	B1	RDAC1のB端子
7	B2	RDAC2のB端子
8	W ₂	RDAC2のワイパー端子。ADDR (RDAC2)=1 _H
9	V ₂	トランジスタを構成する内部ダイオードにより発生される対数出力電圧2。
10	V _{DD}	正電源端子。
11	$\overline{\text{WP}}$	書き込み保護端子。 $\overline{\text{WP}}$ をアクティブ・ローレベルにすると、 $\overline{\text{PR}}$ 以外の現在のレジスタ値の変更が禁止されます。CMD_1とCMD_8はEEMEMの値によりRDACレジスタをリフレッシュします。NOP命令を実行した後、 $\overline{\text{WP}}$ はハイレベルに戻ります。
12	$\overline{\text{PR}}$	ハードウェア・オーバーライド・プリセット端子。EEMEMレジスタの現在の内容でスクラッチ・パッド・レジスタをリフレッシュします。ユーザーがEEMEMに新しい値をロードするまで、出荷時デフォルト値のミッドスケール512 ₁₀ がロードされます ($\overline{\text{PR}}$ はロジック・ハイレベルへの変化でアクティブになります)。
13	$\overline{\text{CS}}$	アクティブ・ローレベルのシリアル・レジスタ・チップ・セレクト。 $\overline{\text{CS}}$ がロジック・ハイレベルに戻ると、シリアル・レジスタの動作が開始されます。
14	RDY	レディ。アクティブ・ハイのオープン・ドレイン出力。コマンド2、3、8、9、10、 $\overline{\text{PR}}$ の完了を表示します。
15	CLK	シリアル入力レジスタ・クロック端子。クロックの立ち上がりエッジで1ビットずつシフト入力。
16	SDI	シリアル・データ入力端子。CLKクロックの立ち上がりエッジで1ビットずつシフト入力。MSB先頭でロード。

ADN2850BRUの端子説明

端子番号	記号	説明
1	CLK	シリアル入力レジスタ・クロック端子。クロックの立ち上がりエッジで1ビットずつシフト入力。
2	SDI	シリアル・データ入力端子。CLKクロックの立ち上がりエッジで1ビットずつシフト入力。MSB先頭でロード。
3	SDO	シリアル・データ出力端子。オープン・ドレイン出力で外部プルアップ抵抗が必要。CMD_9とCMD_10がSDO出力を有効にします。表IIの命令動作の真理値表を参照。他のコマンドは、前にロードされたSDIビット・パターンを24クロック・パルス分遅延してシフト出力。これにより、複数パッケージのデジチェーン動作が可能。
4	GND	グラウンド端子、ロジック・グラウンド・リファレンス
5	V _{SS}	負電源。単電源アプリケーションの場合は0Vに接続。
6	V ₁	トランジスタを構成する内部ダイオードにより発生される対数出力電圧1。
7	W ₁	RDAC1のワイパー端子。ADDR (RDAC1)=0 _H
8	B1	RDAC1のB端子
9	B2	RDAC2のB端子
10	W ₂	RDAC2のワイパー端子。ADDR (RDAC2)=1 _H
11	V ₂	内部ダイオードにより構成されたトランジスタから発生される対数出力電圧2。
12	V _{DD}	正電源端子。
13	$\overline{\text{WP}}$	書き込み保護端子。 $\overline{\text{WP}}$ をアクティブ・ローレベルにすると、 $\overline{\text{PR}}$ 以外の現在のレジスタ値の変更が禁止されます。CMD_1とCMD_8はEEMEMの値によりRDACレジスタをリフレッシュします。NOP命令を実行した後、 $\overline{\text{WP}}$ はハイレベルに戻ります。
14	$\overline{\text{PR}}$	ハードウェア・オーバーライド・プリセット端子。EEMEMレジスタの現在の内容でスクラッチ・パッド・レジスタをリフレッシュします。ユーザーがEEMEMに新しい値をロードするまで、出荷時デフォルト値のミッドスケール512 ₁₀ がロードされます ($\overline{\text{PR}}$ はロジック・ハイレベルへの変化でアクティブになります)。
15	$\overline{\text{CS}}$	アクティブ・ローレベルのシリアル・レジスタ・チップ・セレクト。 $\overline{\text{CS}}$ がロジック・ハイレベルに戻ると、シリアル・レジスタの動作が開始されます。
16	RDY	レディ。アクティブ・ハイのオープン・ドレイン出力。コマンド2、3、8、9、10、 $\overline{\text{PR}}$ の完了を表示します。

表I 24ビット・シリアル・データ・ワード

	MSB 命令バイト0								データ・バイト1								データ・バイト0 LSB							
RDAC	C3	C2	C1	C0	0	0	0	A0	X	X	X	X	X	X	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
EEMEM	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

コマンド・ビットはC0～C3。アドレス・ビットはA3～A0。データ・ビットD0～D9はRDACワイパー・レジスタ用、D0～D15はEEMEMレジスタ用。コマンド命令コードは表IIに規定。

表II 命令動作の真理値表^{1, 2, 3}

命令番号	命令バイト0 B23 B16 C3 C2 C1 C0 A3 A2 A1 A0	データ・バイト1 B15 .. B8 X ... D9, D8	データ・バイト0 B7 ... B0 D7 D0	動作
0	0 0 0 0 X X X X	X ... X X	X ... X X	NOP:無動作。プログラミング例については表XIを参照してください。
1	0 0 0 1 0 0 0 A0	X ... X X	X ... X X	EEMEM(A0)の値をRDAC(A0)レジスタに取得。このコマンドはデバイスを読み出し/プログラム消費電力状態に維持します。デバイスをアイドル状態に戻すときは、NOP命令#0を実行します。表XI参照。
2	0 0 1 0 0 0 0 A0	X ... X X	X ... X X	ワイパー設定値の保存:RDAC(A0)の値をEEMEM(A0)へ書き込みます。表X参照。
3 ⁴	0 0 1 1 A3 A2 A1 A0	D15 ... D8	D7 ... D0	シリアル・レジスタのデータ・バイト0とデータ・バイト1の内容(合計16ビット)をEEMEM(ADDR)へ書き込みます。表XIII参照。
4 ⁵	0 1 0 0 0 0 0A 0	X ... X X	X ... X X	6dBデクリメント:RDAC(A0)レジスタの値を右シフトし、全ビット“0”で停止。
5 ⁵	1 1 0 0 X X X X	X ... X X	X ... X X	6dBデクリメント:全RDACレジスタ値を右シフトし、全ビット“0”で停止。
6 ⁵	0 1 1 0 0 0 0 A0	X ... X X	X ... X X	RDAC(A0)レジスタ値を“1”だけデクリメントし、全ビット“0”で停止。
7 ⁵	1 1 1 0 X X X X	X ... X X	X ... X X	全RDACレジスタ値を“1”だけデクリメントし、全ビット“0”で停止。
8	1 0 0 0 X X X X	X ... X X	X ... X X	リセット:前に保存された対応するEEMEM値を全RDACにロードします。
9	1 0 0 1 A3 A2 A1 A0	X ... X X	X ... X X	EEMEM(ADDR)の値をシリアル・レジスタのデータ・バイト0とデータ・バイト1に転送し、前に保存したデータをSDO端子から読み出すことができます。表XIVを参照。
10	1 0 1 0 0 0 0 0A	X ... X X	X ... X X	RDAC(A0)値をシリアル・レジスタのデータ・バイト0とデータ・バイト1へ転送し、ワイパー設定をSDO端子から読み出すことができます。表XV参照。
11	1 0 1 1 0 0 0 0A	X ... D9, D8	D7 ... D0	シリアル・レジスタのデータ・バイト0とデータ・バイト1の内容(合計11ビット)をRDAC(A0)へ書き込みます。表IX参照。
12 ⁵	1 1 0 0 0 0 0 0A	X ... X X	X ... X X	6dBインクリメント:RDAC(A0)の値を左シフトし、全ビット“1”で停止。表XII参照。
13 ⁵	1 1 1 0 X X X X	X ... X X	X ... X X	すべてを6dBインクリメント:全RDACレジスタ値を左シフトし、全ビット“1”で停止。
14 ⁵	1 1 1 0 0 0 0 0A	X ... X X	X ... X X	RDAC(A0)レジスタ値を“1”だけインクリメントし、全ビット“1”で停止。表X参照。
15 ⁵	1 1 1 1 X X X X	X ... X X	X ... X X	全RDACレジスタ値を“1”だけインクリメントし、全ビット“1”で停止。

注

- SDO出力は、データ・クロックの最後の24ビットをシフト出力してディジーチェーン動作のシリアル・レジスタへ入力します。例外:命令9または10の後ろに続くすべての命令に対して、選択された内部レジスタのデータがデータ・バイト0とデータ・バイト1に出力されます。また、シリアル・レジスタ値を完全にクロックで出力するために、9と10に続く命令は24ビットのデータ・ワードである必要があります。
- RDACレジスタは揮発性のスクラッチ・パッド・レジスタであり、パワーオン時に対応する不揮発性EEMEMレジスタ値でリフレッシュされます。
- CSストロブがロジック・ハイレベルに戻ったとき、上記の動作が実行されます。
- 命令3は、2データ・バイト(合計16ビット)をEEMEMに書き込みます。アドレス0と1の場合、最後の10ビットのみがワイパー・ポジション設定として有効です。
- インクリメント・コマンド、デクリメント・コマンド、シフト・コマンドは、シフトレジスタのデータ・バイト0とデータ・バイト1の値を無視します。

ADN2850

動作概要

ADN2850プログラマブル抵抗は、真の可変抵抗として動作するように設計されています。抵抗のワイパー・ポジションは、RDACレジスタの値により決定されます。RDACレジスタは、制約のない抵抗設定を可能にするスクラッチ・パッド・レジスタとして機能します。スクラッチ・パッド・レジスタには、標準のSPIシリアル・インターフェースを使って24ビットのデータ・ワードをロードすることにより、任意のポジション値をプログラムすることができます。データ・ワードのフォーマットは、先頭の4ビットが命令、次の4ビットがアドレス、最後の16ビットがデータになっています。特定の値が設定されると、この値を対応するEEMEMレジスタに保存することができます。それ以降のパワーアップでは、ワイパー設定にその値が自動的にロードされます。EEMEMへのデータの保存には約25msかかり、約20mAを消費します。この保存処理時には、シフトレジスタがロックされて値の変化を防止します。RDY端子は、このEEMEM保存処理の完了を表示します。13個のアドレスを持つ各2バイトのユーザー定義のデータもあり、これらはEEMEMに保存することができます。

動作の詳細

ユーザーによるプログラミングをサポートする命令は16種類あります。表IIに示すように次の命令があります。

0. 無動作。
1. EEMEM内の設定値をRDACに設定します。
2. RDACの設定をEEMEMに保存します。
3. ユーザー・データまたはRDACの設定をEEMEMに保存します。
4. 6dBデクリメントさせます。
5. すべてを6dBデクリメントします。
6. 1ステップ・デクリメントさせます。
7. すべてを1ステップ・デクリメントさせます。
8. RDACに対する全EEMEMの設定をリセットします。
9. EEMEMをSDOへリードバックします。
10. ワイパー設定をSDOへリードバックします。
11. RDACへのデータを書き込みます。
12. 6dBインクリメントさせます。
13. すべてを6dBインクリメントします。
14. 1ステップ・インクリメントさせます。
15. すべてを1ステップ・インクリメントさせます。

表VIII～表XIVに、これらの命令を使うプログラミング例を示します。

スクラッチ・パッドとEEMEMのプログラミング

可変抵抗ワイパー・ポジション設定の基本モード(スクラッチ・パッド・レジスタのプログラミング)は、命令11を使ってシリアル・データ入力レジスタに該当するアドレスとデータをロードすることにより実行されます。スクラッチ・パッド・レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。目的のワイパー・ポジションが見つかったら、ユーザーは命令2を使ってシリアル・データ入力レジスタにロードします。この命令は、設定値を該当するEEMEMレジスタへコピーします。EEMEM値は何時でも変更することができます。あるいは、 \overline{WP} コマンドを起動することにより、永久的に保存することもできます。表IIIに、シリアル・データ入力(SDI)ワード・シーケンスを示すプログラミング例とSDO端子上的対応するシリアル・データ出力を16進数フォーマットで示します。

表 III 独立したデータを使ったRDACのEEMEMレジスタへの設定と保存

SDI	SDO	動作
B00100 _H	XXXXXX _H	データ100HをRDAC1レジスタにロードして、ワイパーW1を1/4フルスケール・ポジションに移動させます。
20xxxx _H	B00100 _H	RDAC1レジスタ値のコピーを対応するEEMEM1レジスタへ保存。
B10200 _H	20xxxx _H	データ200HをRDAC2レジスタにロードして、ワイパーW2を1/2フルスケール・ポジションに移動させます。
21xxxx _H	B10200 _H	RDAC2レジスタ値のコピーを対応するEEMEM2レジスタへ保存。

システムのパワーオン時、スクラッチ・パッド・レジスタは対応するEEMEMレジスタに直前に保存された値により自動的にリフレッシュされます。

工場出荷時のEEMEM値はミッドスケールです。

動作中に、次の3つの手順により、スクラッチ・パッド・レジスタをEEMEMレジスタの現在の値でリフレッシュすることもできます。まず、命令1を実行して対応するEEMEM値を取得します。次に、命令8を実行して、両チャンネルのEEMEM値をリセットします。最後に、PR端子にパルスを入力すると、両EEMEM設定がリフレッシュされます。ただし、ハードウェア制御のPR機能を動作させる場合は、完全なパルス信号が必要です。PRをローレベルにすると、内部ロジックがワイパーをミッドスケールに設定します。EEMEM値は、PRがハイレベルに戻るまで、ロードされません。

EEMEMの保護

書き込み保護(\overline{WP})は、コマンド1、コマンド8およびPRパルスを使ってEEMEM設定のリフレッシュが可能で \overline{WP} が上書きされない限り、ソフトウェア・コマンドに無関係に、スクラッチ・パッド・レジスタ値の変更を不可能にします。 \overline{WP} をディスエーブルにするときは、NOPコマンドを実行させた後に、 \overline{WP} をロジック・ハイレベルに戻すことを推奨します。

連続したインクリメント・コマンドとデクリメント・コマンド

インクリメントおよびデクリメント・コマンド(14, 15, 6, 7)は、連続なステップ調整アプリケーションに便利です。これらのコマンドは、デバイスに対してインクリメントまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングを簡単にします。調整は個々に、またはまとめて制御することができます。インクリメント・コマンドの場合、命令14を実行すると、ワイパーが自動的に次の抵抗セグメント・ポジションに移動します。マスター・インクリメント命令15は、すべての抵抗ワイパーを1ポジション上に移動させます。

対数テーパ・モード調整(±6dB/ステップ)

対数テーパ・インクリメントと対数テーパ・デクリメントによるワイパー・ポジション制御を個々に、またはまとめて行うプログラミング命令が4種類用意されています。6dBインクリメントは命令12と13により、6dBデクリメントは命令4と5により、それぞれ実行されます。例えば、ゼロスケールから始めて、インクリメント命令12を11回実行すると、ステップ毎に6dBずつフルスケール R_{WB} の0%からフルスケール R_{WB} までワイパーが移動します。6dBインクリメント命令は、コマンドが実行される毎にRDACレジスタ値を2倍にします。ワイパー・ポジションが最大設定値に近づくと、最後の6dBインクリメント命令でワイパーがフルスケールの1023コード・ポジションに移動します。それ以上6dBインクリメント命令を実行しても、ワイパー・ポジションはフルスケールを超えることはありません。6dBステップのインクリメントとデクリメントは、ビットを内部でそれぞれ左および右にシフトすることにより実現されます。次に、一定条件下での非理想的な±6dBステップの調整について説明します。

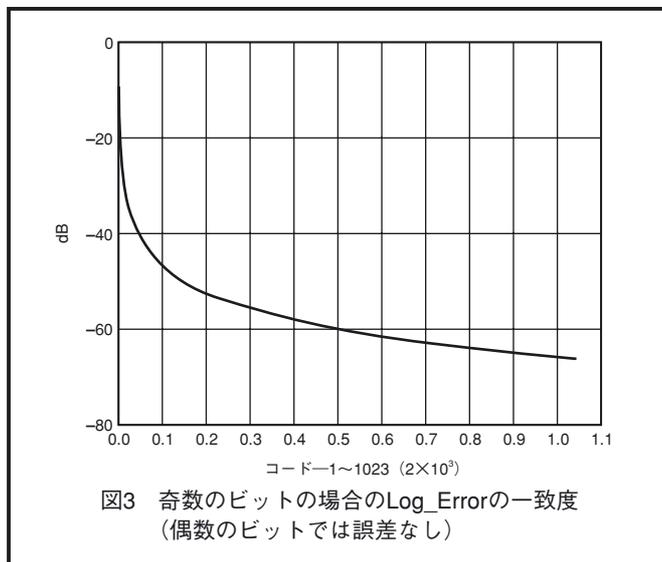
表IVに、各RDACレジスタ・データ・ビットに対するシフト機能の動作を説明します。表内で下に続く各行は、一連のシフト動作を表しています。RDACレジスタ内のデータがゼロになり、さらにデータが左シフトされると、RDACレジスタがコード1に設定されるように、左シフトの12コマンドと13コマンドが変更されることに注意してください。同様に、RDACレジスタ内のデータがミッドスケール以上になると、データが左シフトされて、RDACレジスタ内のデータは自動的にフルスケールに設定されます。これにより、左シフト機能は可能な限り理想的な対数調整に近づきます。

LSBが“0”の場合(すなわち、理想対数一誤差なし)、右シフトの4コマンドと5コマンドは理想的な動作になります。LSBが“1”の場合は、右シフト機能は1/2 LSBの誤差を発生し、図3に示すビット数依存の対数誤差の数に変換されます。このプロットは、ADN2850に対する奇数ビットの誤差を表しています。

表 IV 6dBステップ・インクリメントとデクリメントの詳しい左および右シフト機能

	左シフト	右シフト	
	00 0000 0000	11 1111 1111	
	00 0000 0001	01 1111 1111	
	00 0000 0010	00 1111 1111	
	00 0000 0100	00 0111 1111	
	00 0000 1000	00 0011 1111	
左シフト (+6dB / ステップ)	00 0001 0000	00 0001 1111	右シフト (-6dB / ステップ)
	00 0010 0000	00 0000 1111	
	00 0100 0000	00 0000 0111	
	00 1000 0000	00 0000 0011	
	01 0000 0000	00 0000 0001	
	10 0000 0000	00 0000 0000	
	11 1111 1111	00 0000 0000	
	11 1111 1111	00 0000 0000	

RDACレジスタ内のデータ値と、各右シフトの4コマンド実行と5コマンド実行に対するワイパー・ポジションとの間での、対数曲線との実際の対応には、奇数のビットでのみ誤差が発生します。偶数のビットでは誤差がなく理想的です。図3のグラフは、AD5231のLog_Error [すなわち、 $20 \times \log_{10}(\text{誤差} / \text{コード})$]のプロットを表しています。例えば、コード3に対しては $\text{Log_Error} = 20 \times \log_{10}(0.5/3) = -15.56\text{dB}$ であり、これはワースト・ケースになります。Log_Errorのプロットは、コードが小さくなると、大きくなります。



内蔵追加不揮発性EEMEMの使い方

ADN2850は、定数やその他の16ビット・データを保存するための予備のユーザー用メモリ・レジスタ(EEMEM)を内蔵しています。表Vに、機能ブロック図でEEMEM1、EEMEM2、26バイトのユーザーEEMEM(13アドレス×2バイト)と表示されている内部メモリ・レジスタのアドレス・マップを示します。

表 V EEMEMのアドレス・マップ

EEMEM番号	アドレス	EEMEMの値
1	0000	RDAC1 ^{1, 2}
2	0001	RDAC2
3	0010	USER1 ³
4	0011	USER2
⋮	⋮	⋮
15	1110	USER13
16	1111	%公差 ⁴

注

- EEMEMロケーション内に保存されたRDACデータは、パワーオン時、または命令1、8、PRの実行時に、対応するRDACレジスタに転送されます。
- 命令1を実行すると、デバイスは読み出しモード消費電力状態に維持されます。最後の命令1が実行された後、ユーザーはNOP(命令0)を実行して、デバイスを低消費電力のアイドル状態に戻す必要があります。
- USER <data>は内蔵不揮発性EEMEMレジスタであり、命令3と9を使って値やその他の16ビット情報を、それぞれ保存および読み出すことができます。
- 読み出し専用。

実際のフルスケール抵抗の計算

定格フルスケール抵抗 R_{WB1} の実際の公差は、工場出荷時にEEMEMレジスタ15に保存されます。したがって、実際のフルスケール抵抗を計算することができるため、公差のマッチングまたはキャリブレーションのリファレンスとして役立ちます。この値は読みだし専用であることに注意してください。 R_{WB2_FS} のフルスケール抵抗は代表値0.1%で R_{WB1_FS} に一致します。

%公差は、EEMEMレジスタ15のデータの最後の16ビットに格納されています。フォーマットは符号付きバイナリ・フォーマットであり、MSBが符号を表し(0=正、1=負)、次の7 MSBは整数桁を、8 LSBは小数桁を、それぞれ表します。表VIを参照してください。

表 VI 定格フルスケール抵抗の%公差

Bit	D15	D14	D13	D12	D11	D10	D9	D8	・	D7	D6	D5	D4	D3	D2	D1	D0
sign										2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
mag	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰										

符号 整数桁の7ビット 小数点 小数桁の8ビット

例えば、 $R_{WB_FS_RATED} = 250\text{k}\Omega$ かつデータが0001 1100 0001 1111の場合、 $R_{WB_FS_ACTUAL}$ は次のように計算されます。

MSB: 0 = 正
 次の7 MSB: 001 1100 = 28
 8 LSB: 0000 1111 = $15 \times 2^{-8} = 0.06$
 %公差 = +28.06%

したがって、 $R_{WB_FS_ACTUAL} = 320.15\text{k}\Omega$

ADN2850

ディジーチェーン動作

シリアル・データ出力端子 (SDO) は2つの機能を持っています。ワイパー設定値とEEMEM値を、それぞれ命令10と命令9を使って読み出すときに使うことができます。これらの命令を使用しない場合、SDOを使って複数のデバイスをディジーチェーン接続して同時動作させることができます(図4参照)。SDO端子にはオープン・ドレインのNチャンネルFETが内蔵されており、SDO機能を使う場合、プルアップ抵抗が必要です。前のパッケージのSDO端子を次のパッケージのSDI端子に接続する必要があります。SDO～SDI間インターフェースにプルアップ抵抗と容量負荷があると、隣接パッケージ間の遅延時間が大きくなるため、クロック周期を長くする必要があります(図4)。2個のADN2850をディジーチェーン接続した場合、合計48ビットのデータが必要です。先頭の24ビット(4ビット命令、4ビット・アドレス、16ビット・データ)がU2に、同じフォーマットの次の24ビットがU1に、それぞれ出力されます。48ビットすべてが各シリアル・レジスタに入力されるまで、 \overline{CS} をローレベルに維持しておく必要があります。動作が完了すると、 \overline{CS} はハイレベルになります。

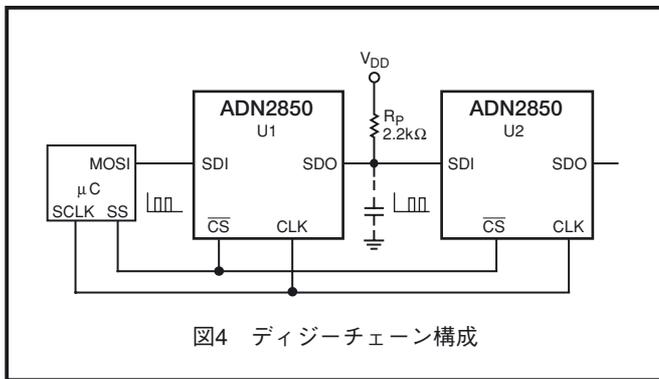


図4 ディジーチェーン構成

デジタル入力/出力の設定

すべてのデジタル入力はESD保護されています。デジタル入力は高インピーダンスであるため、大部分のデジタル・ソースから直接駆動することができます。

アクティブ・ローのPRとWPは、使用しない場合 V_{DD} にバイアスしておく必要があります。すべてのデジタル入力端子には、プルアップ抵抗は内蔵されていません。デジタル端子がフローティング状態になってノイズの多い環境で誤トリガーを発生させないために、これらの端子にはプルアップ抵抗を接続する必要があります。ただし、これは、プログラミング終了後にソースの駆動からデバイスを取り外すようなケースの場合にのみ当てはまります。

SDO端子とRDY端子はオープン・ドレイン・デジタル出力です。これらの機能を使わない場合には、同様にプルアップ抵抗が必要です。速度と消費電力との間のトレードオフを最適にするためには、 $2.2k\Omega$ のプルアップ抵抗を使用してください。

シリアル・データ入力と出力の等価回路を図5に示します。チップ・セレクト \overline{CS} がロジック・ハイレベルのとき、オープン・ドレイン出力SDOはディスエーブルにされます。デジタル入力のESD保護を図6aと図6bに示します。

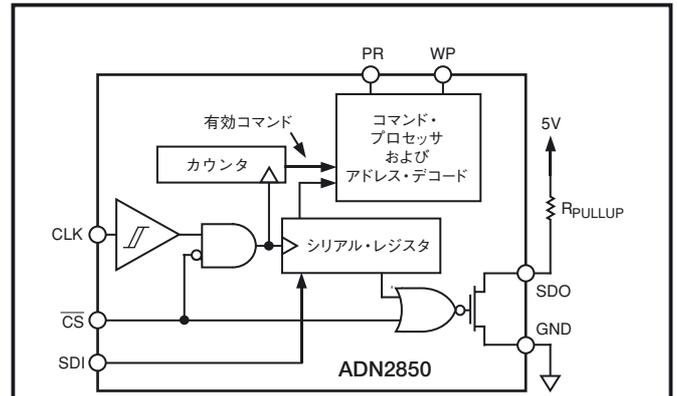


図5 デジタル入出力等価回路

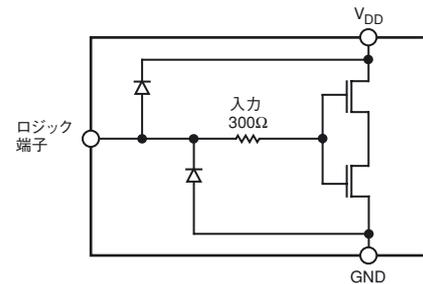


図6a デジタル入力ESD保護の等価回路

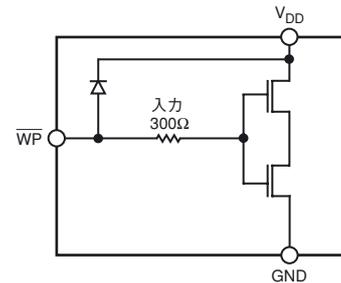


図6b WP入力保護の等価回路

シリアル・データ・インターフェース

ADN2850は、4線式のSPI互換デジタル・インターフェース(SDI、SDO、 \overline{CS} 、CLK)を内蔵しています。24ビットのシリアル・ワードはMSB先頭でロードする必要があり、ワード・フォーマットを表Iに示します。コマンド・ビット(C0～C3)が、表IIに示す命令を使ってプログラマブル・レジスタの動作を制御します。A0～A3はアドレス・ビットです。A0はRDAC1またはRDAC2のアドレス指定に使います。アドレス2～14は、ユーザーからアクセス可能です。アドレス15は工場テスト用に予約されています。表Vに、EEMEMロケーションのアドレス・マップを示します。データ・ビット(D0～D9)は、命令11の実行時にRDACレジスタにロードされる値です。データ・ビット(D0～D15)は、命令3の実行時にEEMEMレジスタにロードされる値です。

プログラミング動作がなかった後に最後に実行される命令は、NOP命令である必要があります。これは、内部ロジック回路で最小の消費電力を実現するために推奨されます。

SPIインターフェースはCPHA=1、CPOL=1およびCPHA=0、CPOL=0の2種類のスレーブ・モードで使うことができます。CPHAとCPOLはコントロール・ビットと呼ばれ、ADuC812/ADuC824、M68HC11、MC68HC16R1/916R1などのMicroConvertersやマイクロプロセッサのSPIタイミングを制御します。

端子電圧の動作範囲

ADN2850の正側V_{DD}電源と負側V_{SS}電源により、プログラマブルな2端子デジタル・ポテンシオメータ動作の動作範囲が決定されます。V_{DD}またはV_{SS}を超えて端子Wと端子Bに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図7参照)。

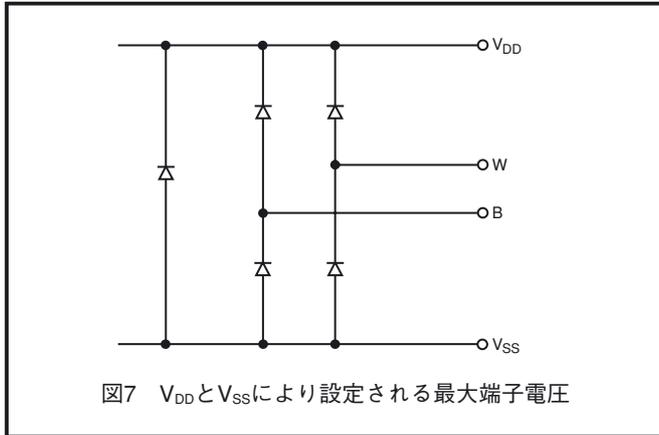


図7 V_{DD}とV_{SS}により設定される最大端子電圧

ADN2850デバイスのグラウンド端子は主にデジタル・グラウンド基準として使用され、PCBの共通グラウンドに接続しておく必要があります。ADN2850に対するデジタル入力コントロール信号はデバイス・グラウンド端子(GND)を基準として、本データシートの仕様表に規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、2本の端子のコモン・モード電圧範囲をV_{SS}からV_{DD}へ確実に拡張します。さらに、W端子とB端子の間の電圧極性については制約がありません。振幅 |V_{WB}| はV_{DD}-V_{SS}で決まります。

パワーアップ・シーケンス

端子Bと端子Wでの電圧適合性を制限するダイオードが内蔵されているため(図7)、端子Bと端子Wに電圧を加える前に、先にV_{DD}/V_{SS}を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずにV_{DD}/V_{SS}に電源が接続されてしまいます。例えば、V_{DD}に5Vを加えると、V_{DD}端子は4.3Vになります。これによりデバイスが壊れることはありませんが、残りのユーザー・システムの部分に悪影響を与えることがあります。最適なパワーアップ・シーケンスは、GND、V_{DD}、V_{SS}、デジタル入力、V_B/Wの順です。電源投入シーケンスV_B、V_W、デジタル入力の順は、V_{DD}/V_{SS}投入後であれば、重要ではありません。

パワーアップ・シーケンスと電源のランプ・レートに無関係に、V_{DD}/V_{SS}投入後、パワーオン・リセットは有効状態を維持し、EEMEMに保存された値をRDACレジスタに転送します(特性7参照)。

レイアウトと電源のバイパス

小型で最小長の線によるレイアウト・デザインの実現を心がけてください。入力までの線は、導体の長さを最小に抑えて可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。デジタル・グラウンド・バウンズを最小にするため、デジタル信号グラウンド・リファレンスはADN2850のアナログ・グラウンド端子から離れた所で接続することができます。

同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、0.01 μF~0.1 μFのディスク型またはチップ型セラミック・コンデンサを使ってバイパスする必要があります。小さいESRを持つ1 μF~10 μFのタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑える必要があります(図8)。

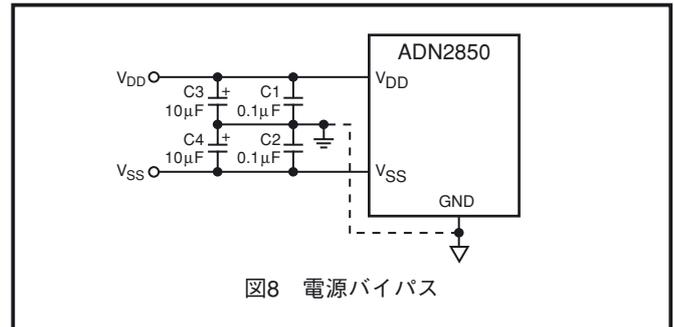


図8 電源バイパス

RDACの構造

特許申請中のRDACには、ワイパー接続として機能するアナログ・スイッチのアレイが付いた、等しい抵抗セグメントの連鎖が内蔵されています。ポジション数がデバイスの分解能になります。ADN2850は1024個の接続ポイントを持ち、0.1%より精度の高い設定可能な分解能を提供します。図9に、RDACの2本の端子の間の接続(1チャンネルのRDACを構成)の等価な構造を示します。S_{WB}は常にONで、一方、スイッチSW(0)~SW(2^N-1)の内の1つだけが、データ・ビットからデコードされた抵抗ポジションに応じて、ONになります。スイッチは理想的でないため、50 Ωのワイパー抵抗(R_w)を持っています。ワイパー抵抗は、電源電圧と温度の関数です。電源電圧が低くなると、または温度が高くなると、ワイパー抵抗は大きくなります。出力抵抗の正確な予測が必要な場合は、ワイパー抵抗の動作を知る必要があります。

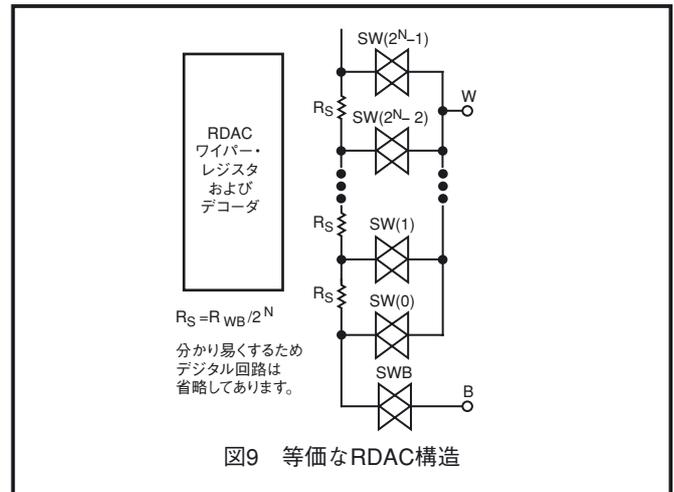


図9 等価なRDAC構造

表 VII 各セグメントの公称抵抗

デバイスの分解能	25k Ω	250k Ω
1024ステップ	24.4	244

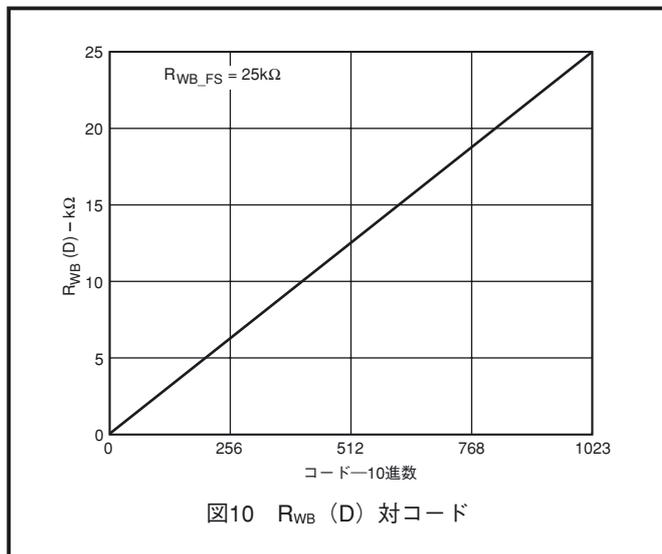
プログラマブル抵抗の計算

RDACの端子Wと端子Bの間の公称フルスケール抵抗R_{WB,FS}は、25k Ωのものがあり、さらに1024ポジション(10ビット分解能)で250k Ωのものもあります。

製品番号の最後の桁が、公称抵抗値(例えば、25k Ω=25、250k Ω=250)を表しています。RDACラッチ内の10ビット・データ・ワードがデコードされて、1024通りの設定の内の1つを選択します。以下の節では、25k Ω製品の種々のコードにおける抵抗R_{WB}(D)の計算について説明します。ワイパーの最初の接続は、B端子でのデータ000_Hから始まります。ワイパー抵抗があるためR_{WB}(0)は50 Ωです。これはフルスケール抵抗とは無関係です。2番目の接続は最初のタップ・ポイントであり、ここではデータ001_Hに対してR_{WB}(1)は24.4 Ω + 50 Ω = 74.4 Ωになります。

ADN2850

3番目の接続は次のタップ・ポイントで、データ002_Hに対して R_{WB} (2) = 48.8 + 50 = 98.8 Ω となり、以後同様に続きます。LSBデータの各値が増加するに従ってワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイント R_{WB} (1023) = 25026 Ω に到達するまで移動します。図9に示す等価回路の簡略化した図を参照してください。



W_x と B_x の間のプログラム出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{1024} \times R_{WB_FS} + R_w \quad (1)$$

ここで、 D はRDACレジスタのデータと等価な10進数、 W_{B_FS} は端子 W と端子 B との間のフルスケール抵抗、 R_w はワイパー抵抗です。

例えば、次の出力抵抗値は $V_{DD} = 5V$ での次のRDACラッチ・コードに対して設定されます ($R_{WB_FS} = 25k\Omega$ デジタル・ポテンシオメータに適用)

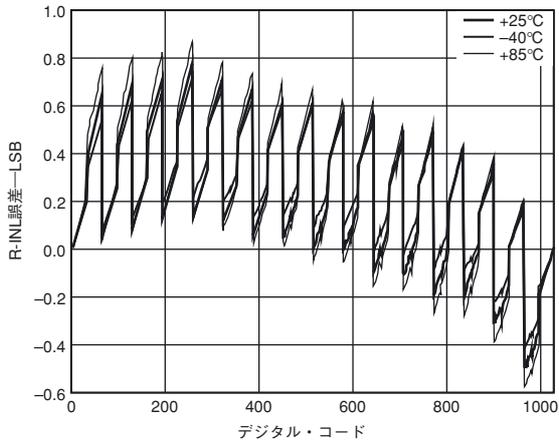
表 VIII 選択されたコードに対する R_{WB} ($R_{WB_FS} = 25k\Omega$ の場合)

D (DEC)	RWB (D) (Ω)	出力状態
1023	25026	フルスケール
512	12550	ミッドスケール
1	74.4	1 LSB数
0	50	ゼロスケール (ワイパー・コンタクト抵抗)

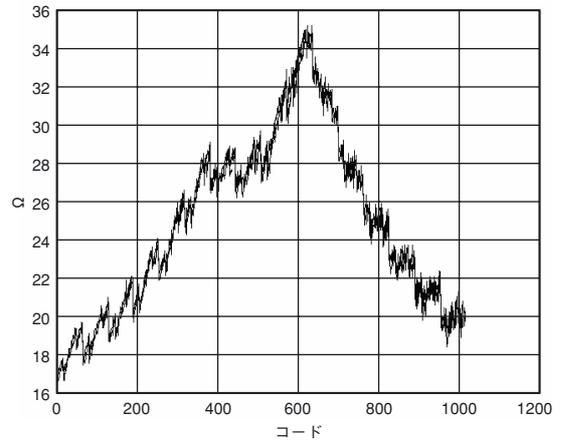
注

ゼロスケール状態では、有限なワイパー抵抗50 Ω があることに注意してください。この状態では、性能低下または内部スイッチの破壊を防止するため、この状態での W と B との間の電流レベルが20mAを超えないように注意してください。フルスケールで1%以上のチャンネル間 R_{WB} マッチングが得られます。温度による R_{WB} の変化は、温度係数35ppm/ $^{\circ}C$ で発生します。

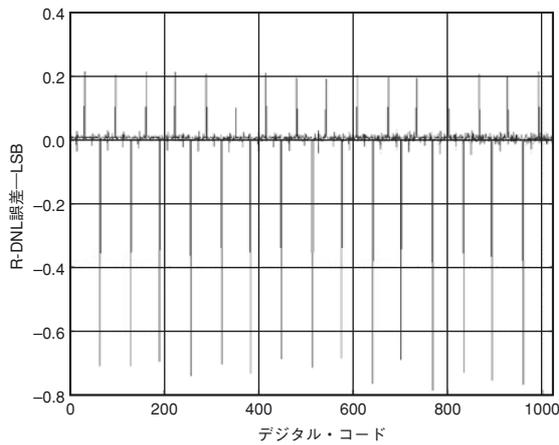
代表的な性能特性—ADN2850



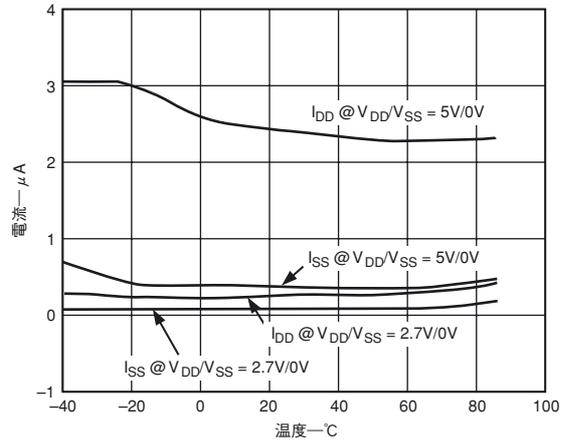
特性1 R-INL 対 コード、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{k}\Omega$



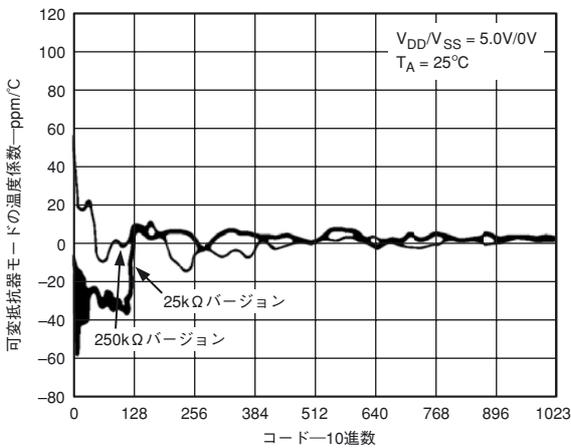
特性4 ワイパー・オン抵抗 対 コード



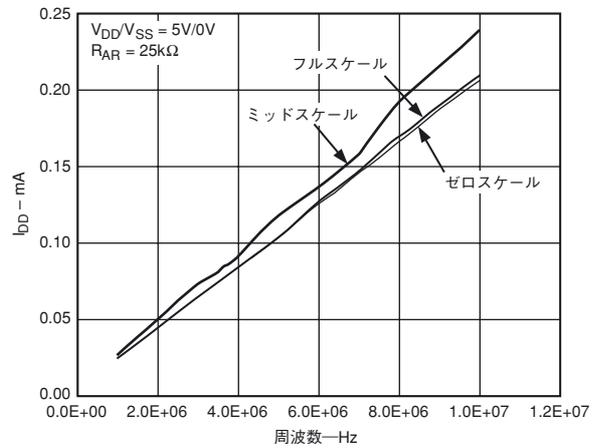
特性2 R-DNL 対 コード、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{k}\Omega$



特性5 I_{DD} の温度特性、 $R_{AB} = 25\text{k}\Omega$

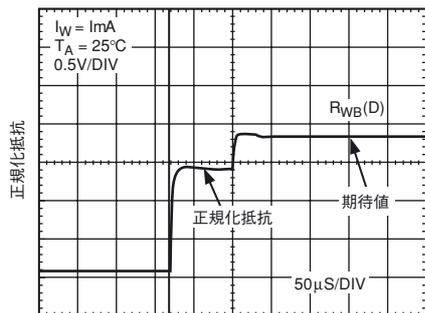


特性3 $\Delta R_{WB} / \Delta T$ 可変抵抗器モード温度係数

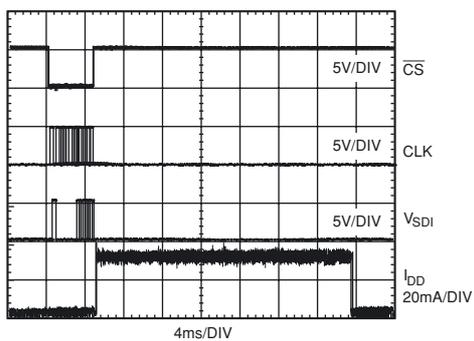


特性6 I_{DD} 対 クロック周波数、 $R_{AB} = 25\text{k}\Omega$

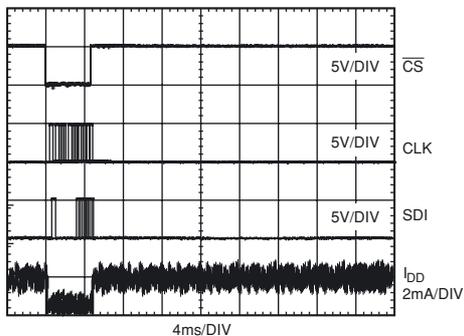
ADN2850



特性7 パワーオン・リセット時のメモリ復元

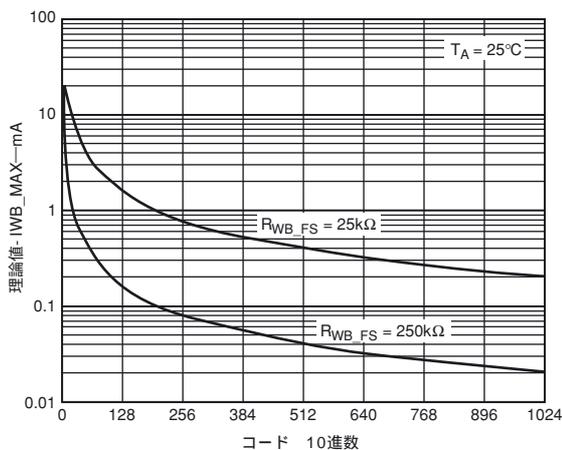


特性8 I_{DD} 対 時間 (保存) プログラム・モード



命令1 (EEMEMの読み出し)の直後に命令0 (NOP)が実行されると、電源電流は最小消費電力に戻ります。

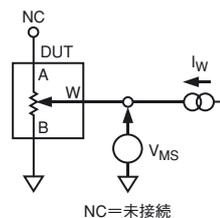
特性9 I_{DD} 対 時間 (リードバック) プログラム・モード



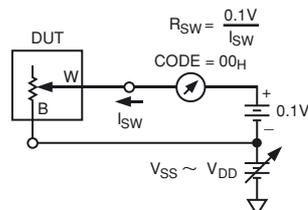
特性10 I_{WB_MAX} 対 コード

テスト回路

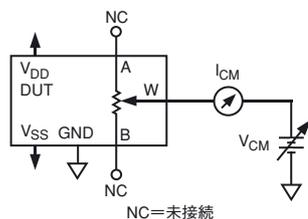
製品仕様表で使用されたテスト条件をテスト回路1~3に示します。



テスト回路1 抵抗位置非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)



テスト回路2.インクリメンタル・オン抵抗



テスト回路3 コモン・モード・リーク電流

プログラミング例

次のプログラミング例では、ADN2850の種々の機能に対するイベントの代表的なシーケンスを示します。命令フォーマットとデータ・ワード・フォーマットについては表IIを参照してください。次の例では、SDI端子とSDO端子の命令番号、アドレス、データは、16進数を使って表しています。

表 IX スクラッチ・パッドのプログラミング

SDI	SDO	動作
B00100 _H	XXXXXX _H	データ100 _H をRDAC1レジスタにロードして、ワイパーW1を1/4フルスケール位置に移動させます。
B10200 _H	B00100 _H	データ200 _H をRDAC2レジスタにロードして、ワイパーW2を1/2フルスケール位置に移動させます。

表 X RDACをインクリメントして、ワイパー設定をEEMEMへ保存

SDI	SDO	動作
B00100 _H	XXXXXX _H	データ100 _H をRDAC1レジスタにロードして、ワイパーW1を1/4フルスケール位置に移動させます。
E0XXXX _H	B00100 _H	RDAC1レジスタを1インクリメントして101 _H にします。
E0XXXX _H	E0XXXX _H	RDAC1レジスタを1インクリメントして102 _H にします。
目的のワイパー位置に到達するまで繰り返します。		
20XXXX _H	XXXXXX _H	RDAC1データをEEMEM1に保存します。
WPをGND接続してEEMEM値を保護します(オプション)。		

表 XI EEMEM値のRDACレジスタへの回復

RDACのEEMEM値は、パワーオン、またはPR端子へのパルス入力、または次に示すプログラミングにより、読み出すことができます。

SDI	SDO	動作
10XXXX _H	XXXXXX _H	EEMEM1値をRDAC1レジスタへ読み出します。
00XXXX _H	100100 _H	NOP。消費電力を小さくするためにこのステップが推奨されます。
8XXXXX _H	00XXXX _H	EEMEM1値とEEMEM2値をそれぞれRDAC1レジスタとRDAC2レジスタに再設定。

表 XII 1ビット左シフトによる6dBステップのインクリメント

SDI	SDO	動作
C0XXXX _H	XXXXXX _H	ワイパー1をRDAC1レジスタの現在の値の2倍の値に移動します。
C1XXXX _H	C0XXXX _H	ワイパー2をRDAC2レジスタの現在の値の2倍の値に移動します。

表 XIII ユーザー・データのEEMEMへの保存

SDI	SDO	動作
32AAAA _H	XXXXXX _H	データAAAA _H を予備EEMEMロケーションUSER1に保存します。(最大16ビット・データで13ロケーションのアドレス指定が可能)
335555 _H	32AAAA _H	データ5555 _H を予備EEMEMロケーションUSER2へ保存します。(最大16ビット・データで13ロケーションのアドレス指定が可能)

表 XIV さまざまなメモリ・ロケーションからのデータのリードバック

SDI	SDO	動作
92XXXX _H	XXXXXX _H	USER1ロケーションからのデータ読み出しを準備します。
00XXXX _H	92AAAA _H	NOP命令0が24ビット・ワードをSDOが送信し、最後の16ビットにUSER1ロケーションの内容が含まれています。NOPコマンドは、デバイスをアイドル消費電力状態に戻します。

表 XV ワイパー設定のリードバック

SDI	SDO	動作
B00200 _H	XXXXXX _H	RDAC1をミッドスケールに設定します。
C0XXXX _H	B00200 _H	RDAC1を2倍にしてミッドスケールからフルスケールにします。
A0XXXX _H	C0XXXX _H	RDAC1レジスタからのワイパー設定の読み出しを準備します。
XXXXXX _H	A003FF _H	RDAC1レジスタからフルスケール値をリードバックします。

アナログ・デバイセズは、パーソナル・コンピュータのプリンタ・ポートを使って制御できる扱い安いADN2850EVAL評価キットを提供しています。ドライバ・プログラムが含まれているため、プログラミング言語の知識は不要です。

ADN2850

アプリケーション

ADN2841を使用した光トランスミッタのキャリブレーション

ADN2850をマルチ・レート2.7 Gbpsレーザー・ダイオード・ドライバ ADN2841と組み合わせて使用すると、2個のプログラマブル抵抗を使ってレーザー平均電力とイクステンション比を設定する光管理システムを構成することができます(図11)。ADN2850は高分解能、小型のフットプリント、優れた温度係数特性を持つため、特に光パラメータ設定に最適です。

ADN2841は2.7 Gbpsレーザー・ダイオード・ドライバであり、独自の制御アルゴリズムを使って、工場出荷時のレーザー初期キャリブレーション後の、レーザー平均電力とイクステンション比の両方を管理しています。光パワーを連続的にモニターし、温度とレーザーの経時性能低下に起因する変動を補正することにより、レーザー・データ伝送を安定化しています。ADN2841内では、 I_{MPD} がレーザー・ダイオード電流をモニターしています。デュアル・ループ・パワーおよびイクステンション比の制御を行うことにより、ADN2850によりキャリブレーションされた内部ドライバがバイアス電流 I_{BIAS} 、したがって平均電力を制御します。スロープ効率に従って直線的に変調電流を変えることにより、変調電流 I_{MODP} もレギュレーションします。したがって、レーザーのスレッシュホールド電流またはスロープ効率の変化が補償されます。光管理システムはレーザー特性の影響を小さくするため、複数のソースからの同等のレーザーの供給が可能になります。

受信光パワーのモニター

ADN2850には、PNPトランジスタ(Q_1 と Q_2)に接続された特性の一致したダイオード対が内蔵されています。このトランジスタを使って受信光パワー・モニター機能を構成することができます。図12に、回路の概念図を示します。基準電流ソース、計装用アンプ、ログアンプを使ったこの機能を使って、次式からDC平均光ダイオード電流を計算することにより、光パワーをモニターすることができます。

$$V_1 = V_{BE1} = V_T \ln \frac{I_{C1}}{I_{S1}} \quad (2)$$

$$V_2 = V_{BE2} = V_T \ln \frac{I_{C2}}{I_{S2}} \quad (3)$$

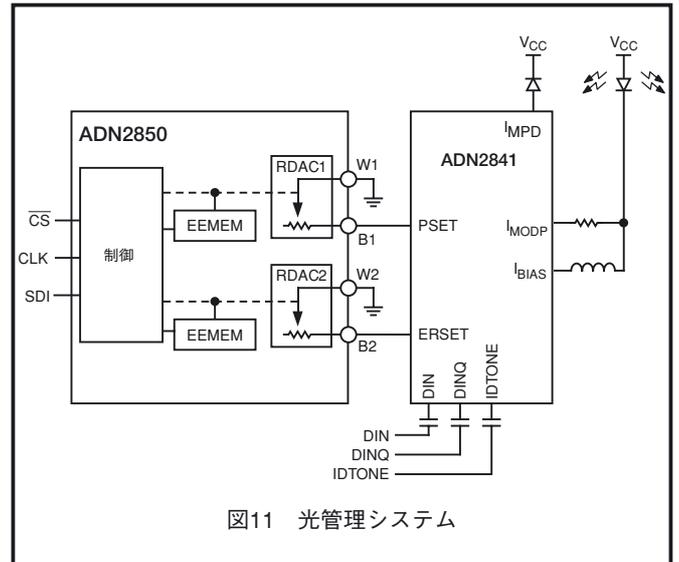


図11 光管理システム

$I_{C1} = \alpha_1 \times I_{PD}$ 、 $I_{C2} = \alpha_2 \times I_{REF}$ 、かつ Q_1 と Q_2 の特性が一致していることより、 α と I_S が一致。式2と式3から次式が得られます。

$$V_2 - V_1 = V_T \ln \left(\frac{I_{REF}}{I_{PD}} \right) \quad (4)$$

ここで、 I_{S1} と I_{S2} は飽和電流。

V_1 と V_2 は、ダイオード・コネクタ・トランジスタのベース～エミッタ間電圧 V_{BE} 。

V_T は、 $k \times T/q$ に等しい熱電圧。25℃で $V_T = 26mV$ 。

k =ボルツマン定数= $1.38E-23J/k$ 。

q =電子の電荷= $1.6E-19$ クーロン。

T =温度(華氏)

I_{PD} =光ダイオード電流

I_{REF} =リファレンス電流

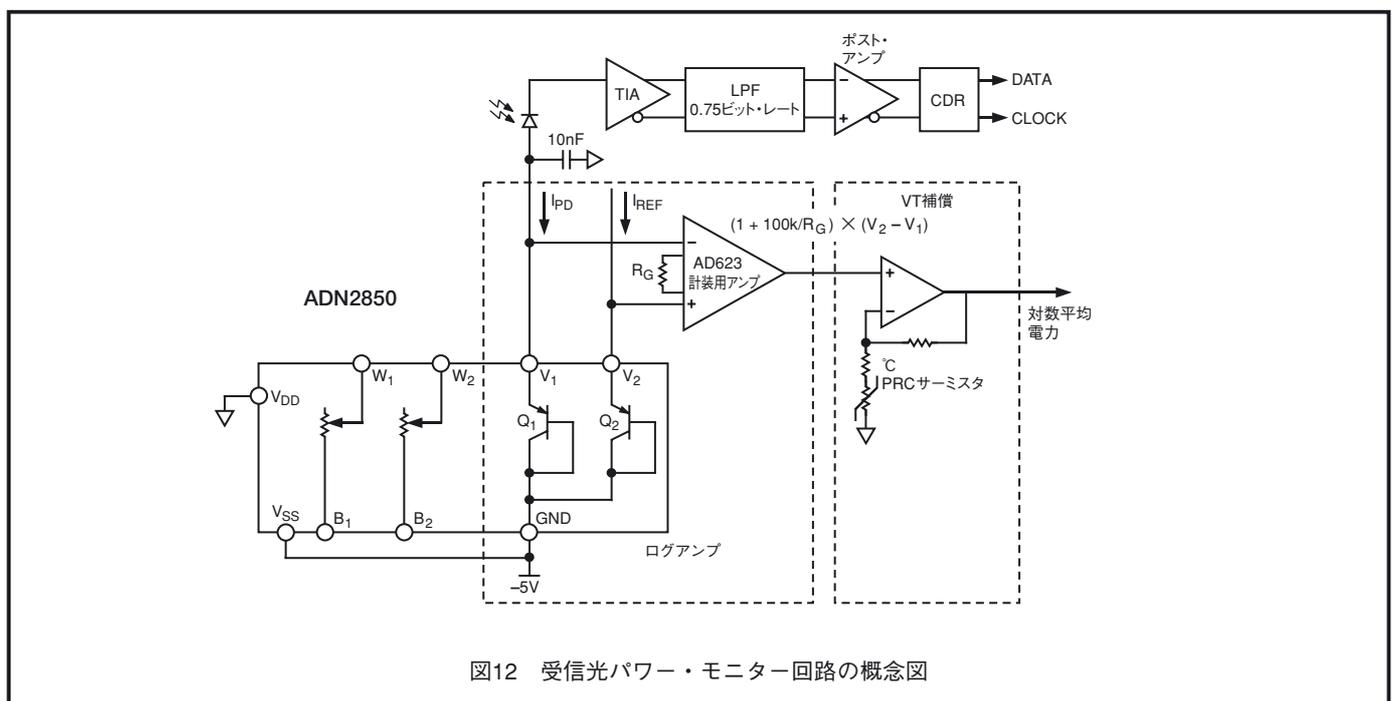


図12 受信光パワー・モニター回路の概念図

この出力電圧は、平均受信光パワーを表します。光ダイオードの感度はデバイス間で変わるため、対数ステージの出力電圧はデバイス間で正確である必要はありません。オペアンプ・ステージは、 V_T の温度変化を補償するログアンプ・ステージの後ろに示してあります。

式4は理想的な場合です。リファレンス電流が室温で1mAの場合、特性は V_2 と V_1 の間のオフセットが30mV増えることを示しています。カーブに対する近似により次式が得られます。

$$V_2 - V_1 = 0.026 \times \ln \left(\frac{0.001}{I_{PD}} \right) + 0.03 \quad (5)$$

このようなオフセットは、トランジスタの自己発熱と熱勾配効果に起因するものと信じられています。図13に示すように、近似と実際の性能範囲との間の誤差は、0.1mA~0.1 μ Aで0%~-4%以下です。

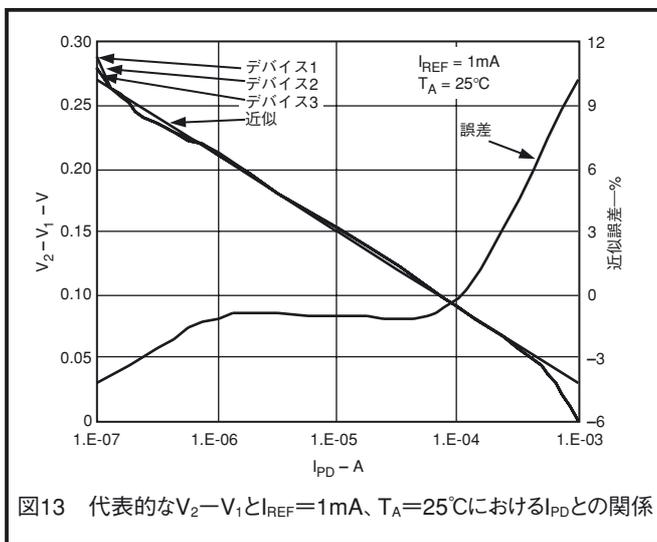


図13 代表的な $V_2 - V_1$ と $I_{REF} = 1\text{mA}$ 、 $T_A = 25^\circ\text{C}$ における I_{PD} との関係

抵抗のスケールリング

ADN2850は25k Ω または250k Ω のフルスケール抵抗を提供します。低い抵抗を持ち、かつ調整ステップ数を維持したい場合は、複数のデバイスを並列接続することができます。図14に、プログラマブル抵抗の両チャンネルを並列接続する簡単な方式を示します。ステップ毎に1/2にした抵抗値を連続調整するためには、両デバイスを同じ設定にする必要があります。デバイスを1つずつプログラムするために中間状態が発生してしまうために、この方法が使用できないアプリケーションもあることに注意してください。

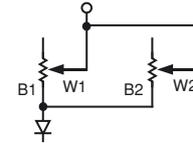


図14 連続調整特性を維持したまま抵抗値を1/2にする方法

図15に示すようにディスクリート抵抗を並列接続することにより、さらに低い抵抗を実現することができます。

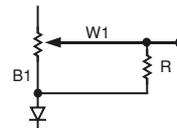


図15 擬似対数特性による抵抗スケールリング

与えられた設定での等価抵抗は次のように近似されます。

$$R_{eq} = \frac{D \times R_{WB_FS} + 51200}{D \times R_{WB_FS} + 51200 + 1024 \times R} \quad (6)$$

この方法では、調整は直線的でなく擬似対数的になります。公差の一致と部品の温度係数の一致も必要なことに注意する必要があります。

基本的なRDACのSPICEモデル

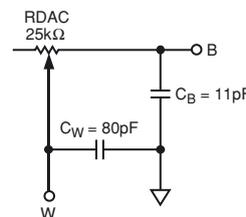


図16 RDAC回路のシミュレーション・モデル(RDAC=25k Ω)

RDACのAC特性は、内部寄生コンデンサと外部容量負荷により支配されます。一般的な寄生シミュレーション・モデルを図16に示します。

リストIに、25k Ω RDACのマクロ・モデル・ネットリストを示します。

リストI RDACのマクロ・モデル・ネットリスト

```
.PARAM D=1024, RDAC=25E3
*
.SUBCKT RDAC (W, B)
*
RWB W B {D/1024 * RDAC + 50}
CWW W 0 80E-12
CB B 0 11E-12
*
.ENDS RDAC
```

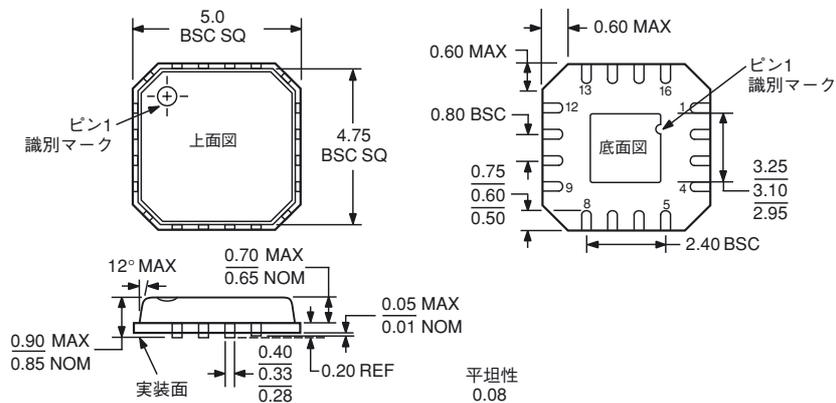
外形寸法

16ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]

5×5mm ボディ

(CP-16 5×5)

寸法単位：mm

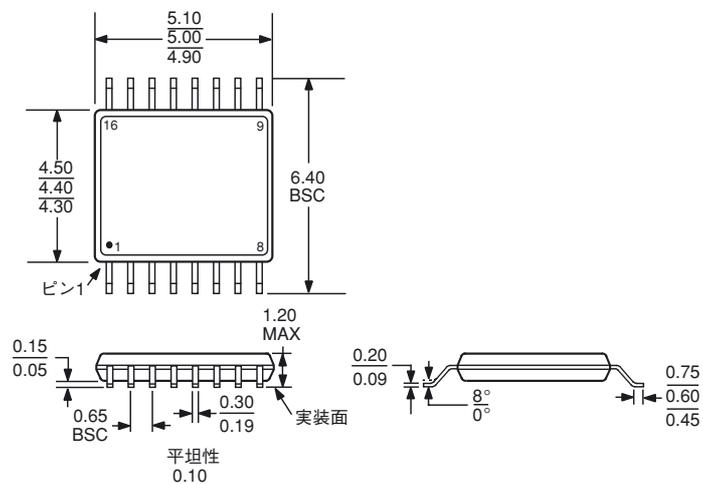


JEDEC規格MO-220VHHBに準拠

16ピン薄型シュリンクSOP[TSSOP]

(RU-16)

寸法単位：mm



JEDEC規格MO-153ABに準拠

注：日本語版はこのページのみREV.Bに改訂しています。
ほかのページはREV.0のままです。