



800 mA 超低ノイズ 高 PSRR の RF リニア・レギュレータ

データシート

ADM7150

特長

入力電圧範囲: 4.5 V~16 V

最大出力電流: 800 mA

低ノイズ

100 Hz~100 kHz で 1.0 μV rms のトータル積分ノイズ

10 Hz~100 kHz で 1.6 μV rms のトータル積分ノイズ

ノイズ・スペクトル密度: 10 kHz~1 MHz で 1.7 nV/ $\sqrt{\text{Hz}}$ (typ)

400 mA 負荷での電源変動除去比 (PSRR)

1 kHz~100 kHz、 $V_{\text{OUT}} = 5 \text{ V}$ で 90 dB 以上

1 MHz、 $V_{\text{OUT}} = 5 \text{ V}$ で 60 dB 以上

ドロップアウト電圧: $V_{\text{OUT}} = 5 \text{ V}$ 、800 mA 負荷で 0.6 V

初期電圧精度: $\pm 1\%$

ライン、負荷、温度に対する電圧精度: $\pm 2\%$

静止電流 (I_{GND}): 無負荷時 4.3 mA

低シャットダウン電流: 0.1 μA

10 μF セラミック出力コンデンサで安定

固定出力電圧オプション: 1.8 V、2.8 V、3.0 V、3.3 V、4.5 V、4.8 V、5.0 V (1.5 V~5.0 V で 16 種の出力を提供)

エクスポーズド・パッド付き 8 ピン LFCSP パッケージまたは 8 ピン SOIC パッケージを採用

アプリケーション

安定化電源ノイズに敏感なアプリケーション

RF ミキサー、位相ロック・ループ (PLL)、電圧制御発振器 (VCO)、VCO 内蔵の PLL

通信およびインフラストラクチャ

ケーブル D/A コンバータ (DAC) ドライバ

バックホール回線およびマイクロ波回線

概要

ADM7150 は 4.5 V~16 V で動作し、最大 800 mA の出力電流を供給する低ドロップアウト (LDO) リニア・レギュレータです。このデバイスは当社独自の最新アーキテクチャを採用し、高い電源変動除去比 (1 kHz~1 MHz で 90 dB 以上) と超低出力ノイズ (1.7 nV/ $\sqrt{\text{Hz}}$ 以下) を提供し、10 μF セラミック出力コンデンサを使って、優れたライン過渡応答と負荷過渡応答を実現します。

ADM7150 は、1.8 V、2.8 V、3.0 V、3.3 V、4.5 V、4.8 V、5.0 V の固定出力を提供しています。さらに、要求に応じて 1.5 V~5.0 V の 16 種の固定出力電圧を提供します。

ADM7150 レギュレータの出力ノイズは、固定出力電圧オプションの場合 100 Hz~100 kHz で 1.0 μV rms (typ) であり、ノイズ・スペクトル密度は 10 kHz~1 MHz で 1.7 nV/ $\sqrt{\text{Hz}}$ です。

ADM7150 は、8 ピンの 3 mm \times 3 mm LFCSP パッケージまたは 8 ピン SOIC パッケージを採用しているため、非常に小型なソリューションであるだけでなく、小型なロー・プロファイル・フットプリントで 800 mA までの出力電流を必要とするアプリケーションに対して優れた熱性能も提供します。

その他の出力電圧を発生するときは、ADM7151 調整可能な LDO

代表的なアプリケーション回路

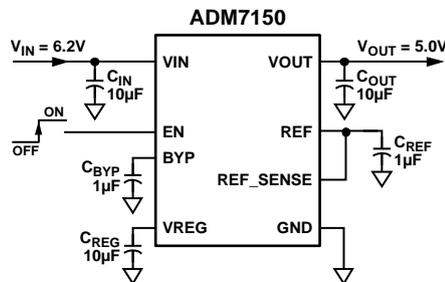


図 1.5 V 出力回路

をご覧ください。

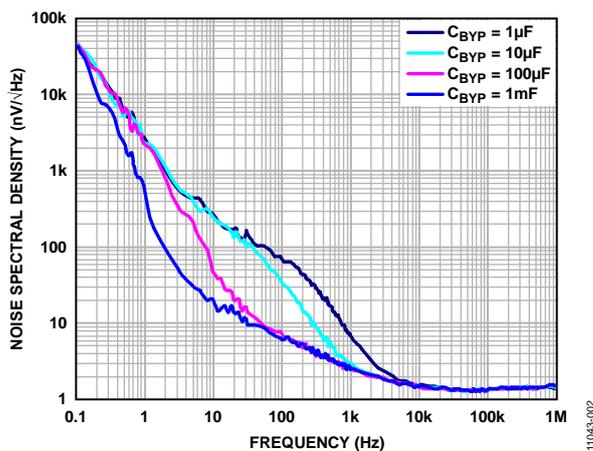


図 2. 様々な C_{BYP} でのノイズ・スペクトル密度 (NSD) の周波数特性

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	動作原理.....	15
代表的なアプリケーション回路.....	1	アプリケーション情報.....	16
概要.....	1	コンデンサの選択.....	16
改訂履歴.....	2	イネーブル (EN)と低電圧ロックアウト (UVLO).....	17
仕様.....	3	スタートアップ時間.....	18
入力コンデンサと出力コンデンサの推奨仕様.....	4	REF、BYP、VREG の各ピン.....	18
絶対最大定格.....	5	電流制限および熱過負荷保護.....	19
熱データ.....	5	熱に対する考慮事項.....	19
熱抵抗.....	5	プリント回路ボード・レイアウトでの考慮事項.....	21
ESD の注意.....	5	外形寸法.....	22
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	22

改訂履歴

9/13—Revision 0: Initial Version

仕様

$V_{IN} = V_{OUT} + 1.2\text{ V}$ または $V_{IN} = 4.5\text{ V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = C_{OUT} = C_{REG} = 10\text{ }\mu\text{F}$ 、 $C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$ 。typ 仕様に対して $T_A = 25^\circ\text{C}$ 。特に指定がない限り、最小/最大仕様に対して $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
INPUT VOLTAGE RANGE	V_{IN}		4.5		16	V	
OPERATING SUPPLY CURRENT	I_{GND}	$I_{OUT} = 0\text{ }\mu\text{A}$		4.3	7.0	mA	
		$I_{OUT} = 800\text{ mA}$		8.6	12	mA	
SHUTDOWN CURRENT	I_{IN-SD}	$V_{EN} = 0\text{ V}$		0.1	3	μA	
OUTPUT NOISE	OUT_{NOISE}	10 Hz to 100 kHz, independent of output voltage		1.6		$\mu\text{V rms}$	
		100 Hz to 100 kHz, independent of output voltage		1.0		$\mu\text{V rms}$	
NOISE SPECTRAL DENSITY	NSD	10 kHz to 1 MHz, independent of output voltage		1.7		nV/ $\sqrt{\text{Hz}}$	
POWER SUPPLY REJECTION RATIO	PSRR	1 kHz to 100 kHz, $V_{IN} = 6.2\text{ V}$, $V_{OUT} = 5\text{ V}$ at 800 mA		86		dB	
		1 MHz, $V_{IN} = 6.2\text{ V}$, $V_{OUT} = 5\text{ V}$ at 800 mA		54		dB	
		1 kHz to 100 kHz, $V_{IN} = 6.2\text{ V}$, $V_{OUT} = 5\text{ V}$ at 400 mA		95		dB	
		1 MHz, $V_{IN} = 6.2\text{ V}$, $V_{OUT} = 5\text{ V}$ at 400 mA		62		dB	
		1 kHz to 100 kHz, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$ at 800 mA		94		dB	
		1 MHz, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$ at 800 mA		62		dB	
		1 kHz to 100 kHz, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$ at 400 mA		95		dB	
1 MHz, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$ at 400 mA		68		dB			
V_{OUT} VOLTAGE ACCURACY Voltage Accuracy	V_{OUT}	$V_{OUT} = V_{REF}$		-1	+1	%	
		$I_{OUT} = 10\text{ mA}$, $T_J = 25^\circ\text{C}$ 1 mA < I_{OUT} < 800 mA, over line, load and temperature		-2	+2	%	
V_{OUT} REGULATION Line Regulation	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = V_{OUT} + 1.2\text{ V}$ or $V_{OUT} + 4.5\text{ V}$, whichever is greater, to 16 V		-0.01	+0.01	%/V	
		Load Regulation ¹	$\Delta V_{OUT}/\Delta I_{OUT}$		0.4	1.0	%/A
V_{OUT} CURRENT-LIMIT THRESHOLD ²	I_{LIMIT}		1.0	1.2	1.6	A	
DROPOUT VOLTAGE ³	$V_{DROPOUT}$	$I_{OUT} = 400\text{ mA}$, $V_{OUT} = 5\text{ V}$		0.3	0.5	V	
		$I_{OUT} = 800\text{ mA}$, $V_{OUT} = 5\text{ V}$		0.6	1.0	V	
PULL-DOWN RESISTANCE	V_{OUT} Pull-Down Resistance	$V_{EN} = 0\text{ V}$, $V_{OUT} = 1\text{ V}$		600		Ω	
	V_{REG} Pull-Down Resistance	$V_{EN} = 0\text{ V}$, $V_{REG} = 1\text{ V}$		34		k Ω	
	V_{REF} Pull-Down Resistance	$V_{EN} = 0\text{ V}$, $V_{REF} = 1\text{ V}$		800		Ω	
	V_{BYP} Pull-Down Resistance	$V_{EN} = 0\text{ V}$, $V_{BYP} = 1\text{ V}$		500		Ω	
START-UP TIME ⁴		$V_{OUT} = 5\text{ V}$					
			V_{OUT} Start-Up Time	$t_{START-UP}$		2.8	ms
			V_{REG} Start-Up Time	$t_{REG-START-UP}$		1.0	ms
V_{REF} Start-Up Time	$t_{REF-START-UP}$		1.8	ms			
THERMAL SHUTDOWN		T_J rising					
			Thermal Shutdown Threshold	TS_{SD}		155	$^\circ\text{C}$
Thermal Shutdown Hysteresis	TS_{SD-HYS}			15		$^\circ\text{C}$	
UNDERVOLTAGE THRESHOLDS							
			Input Voltage Rising	$UVLO_{RISE}$		4.49	V
			Input Voltage Falling	$UVLO_{FALL}$	3.85		V
Hysteresis	$UVLO_{HYS}$		240		mV		
V_{REG} ⁵ UNDERVOLTAGE THRESHOLDS							
			V_{REG} Rise	$VREGUVLO_{RISE}$		3.1	V
			V_{REG} Fall	$VREGUVLO_{FALL}$	2.55		V
			Hysteresis	$VREGUVLO_{HYS}$		210	mV

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
EN INPUT		$4.5\text{ V} \leq V_{\text{IN}} \leq 16\text{ V}$				
EN Input Logic High	EN_{HIGH}		3.2			V
EN Input Logic Low	EN_{LOW}				0.8	V
EN Input Logic Hysteresis	EN_{HYS}	$V_{\text{IN}} = 5\text{ V}$		225		mV
EN Input Leakage Current	$I_{\text{EN-LKG}}$	$V_{\text{EN}} = V_{\text{IN}} \text{ or } \text{GND}$		0.1	1.0	μA

¹ 1 mA と 800 mA 負荷を使用した端点計算を使用。1 mA 以下の負荷に対する負荷レギュレーション性能 (typ) については図 7、図 16、図 22 を参照してください。

² 電流制限スレッシュホールドは、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、5.0 V 出力電圧の電流制限値は、出力電圧が 5.0 V の 90% すなわち 4.5 V に低下する電流値として定義されます。

³ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。ドロップアウトは、4.5 V を超える出力電圧に対してのみ適用されます。

⁴ スタートアップ時間は、 V_{EN} の立ち上がりエッジから V_{OUT} 、 V_{REG} または V_{REF} が公称値の 90% になるまでの時間として定義されます。

⁵ V_{REG} UVLO 立ち上がりスレッシュホールドを通過するまで、出力電圧がターンオフします。入力電圧 UVLO 立ち上がりスレッシュホールドを通過するまで、 V_{REG} 出力がターンオフします。

入力コンデンサと出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CAPACITANCE		$T_A = -40^\circ\text{C to } +125^\circ\text{C}$				
Minimum Input ¹	C_{IN}		7.0			μF
Minimum Regulator ¹	C_{REG}		7.0			μF
Minimum Output ¹	C_{OUT}		7.0			μF
Minimum Bypass	C_{BYP}		0.1			μF
Minimum Reference	C_{REF}		0.7			μF
CAPACITOR Equivalent Series Resistance (ESR)	R_{ESR}	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$				
$C_{\text{REG}}, C_{\text{OUT}}, C_{\text{IN}}, C_{\text{REF}}$			0.001		0.2	Ω
C_{BYP}			0.001		2.0	Ω

¹ 最小入力容量、最小レギュレータ容量、最小出力容量は、全動作範囲で 7.0 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されますが、Y5V コンデンサと Z5U コンデンサはすべての LDO に推奨できません。

絶対最大定格

表 3.

Parameter	Rating
VIN to GND	-0.3 V to +18 V
VREG to GND	-0.3 V to VIN, or +6 V (whichever is less)
VOOUT to GND	-0.3 V to VREG, or +6 V (whichever is less)
VOOUT to BYP	±0.3 V
EN to GND	-0.3 V to +18 V
BYP to GND	-0.3 V to VREG, or +6 V (whichever is less)
REF to GND	-0.3 V to VREG, or +6 V (whichever is less)
REF_SENSE to GND	-0.3 V to +6 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Operating Ambient Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度を超えると ADM7150 は損傷を受けることがあります。周囲温度をモニタしても、 T_J が規定温度範囲内にあることを保証できません。消費電力が大きかつ熱抵抗が大きいアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路ボード(PCB)の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度はこの最大値を超えても問題はありません。デバイスのジャンクション温度(T_J)は、周囲温度(T_A)、デバイス消費電力(P_D)、パッケージのジャンクション—周囲間熱抵抗(θ_{JA})に依存します。

最大ジャンクション温度(T_J)は、次式を使って周囲温度(T_A)と消費電力(P_D)から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション—周囲間の熱抵抗(θ_{JA})は4層ボードを使用したモデルと計算に基づいています。ジャンクション—周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に注意が必要です。 θ_{JA} の値は、PCBの材料、レイアウト、環境条件に応じて変わります。 θ_{JA} の規定値は、4層、4インチ×3インチの回路ボードに基づきます。ボード構造についてはJESD51-7とJESD51-9を参照してください。

Ψ_{JB} はジャンクション—ボード間サーマル・キャラクタライゼーション・パラメータであり、単位は°C/Wです。パッケージの Ψ_{JB} は、4層ボードを使ったモデルと計算に基づいています。JESD51-12「Guidelines for Reporting and Using Electronic Package Thermal Information」には、サーマル・キャラクタライゼーション・パラメータは熱抵抗と同じではないと記載されています。 Ψ_{JB} は、熱抵抗(θ_{JB})の場合のように1つのパスではなく、複数のサーマル・パスを経由する成分を表します。したがって、 Ψ_{JB} サーマル・パスには、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで Ψ_{JB} を有効にしているファクタが含まれます。最大ジャンクション温度(T_J)は、次式を使ってボード温度(T_B)と消費電力(P_D)から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JESD51-8とJESD51-12を参照してください。

熱抵抗

θ_{JA} 、 θ_{JC} 、 Ψ_{JB} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗

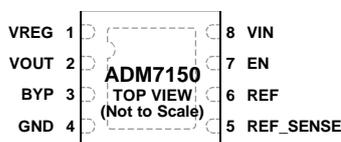
Package Type	θ_{JA}	θ_{JC}	Ψ_{JB}	Unit
8-Lead LFCSP	36.7	23.5	13.3	°C/W
8-Lead SOIC	36.9	27.1	18.6	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

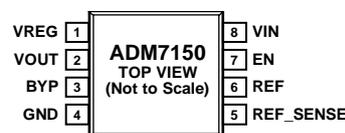


NOTES

1. EXPOSED PAD ON THE BOTTOM OF THE PACKAGE. EXPOSED PAD ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO GND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

11043-003

図 3.8 ピン LFCSP のピン配置



NOTES

1. EXPOSED PAD ON THE BOTTOM OF THE PACKAGE. EXPOSED PAD ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO GND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

11043-004

図 4.8 ピン SOIC のピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	VREG	LDO アンプに対する安定化入力電源。10 μ F 以上のコンデンサで VREG を GND へバイパスしてください。このピンとグラウンドの間に負荷を接続しないでください。
2	VOUT	レギュレーションされた出力電圧。10 μ F 以上のコンデンサで VOUT を GND へバイパスしてください。
3	BYP	低ノイズ・バイパス・コンデンサ。このピンと GND の間に 1 μ F のコンデンサを接続してノイズを小さくしてください。このピンとグラウンドの間に負荷を接続しないでください。
4	GND	グラウンド接続。
5	REF_SENSE	正常動作のためには、REF_SENSE は REF ピンに接続する必要があります。VOUT または GND へ接続しないでください。
6	REF	低ノイズ・リファレンス電圧出力。1 μ F のコンデンサで REF を GND へバイパスしてください。固定出力電圧の場合は、REF_SENSE と REF を接続してください。このピンとグラウンドの間に負荷を接続しないでください。
7	EN	イネーブル。EN をハイ・レベルにするとレギュレータがターンオンし、EN をロー・レベルにするとレギュレータがターンオフします。自動スタートアップの場合は、EN と VIN を接続します。
8	VIN	レギュレータ入力電源。VIN と GND との間に 10 μ F 以上のコンデンサを接続してバイパスしてください。
	EPAD	パッケージ底面のエクスポーズド・パッド。エクスポーズド・パッドは熱性能を強化し、パッケージ内部で GND に電氣的に接続されています。このエクスポーズド・パッドは、正常動作のためには回路ボードのグラウンド・プレーンへ接続する必要があります。

代表的な性能特性

特に指定がない限り、 $V_{IN} = V_{OUT} + 1.2\text{ V}$ または $V_{IN} = 4.5\text{ V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = C_{OUT} = C_{REG} = 10\text{ }\mu\text{F}$ 、 $C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

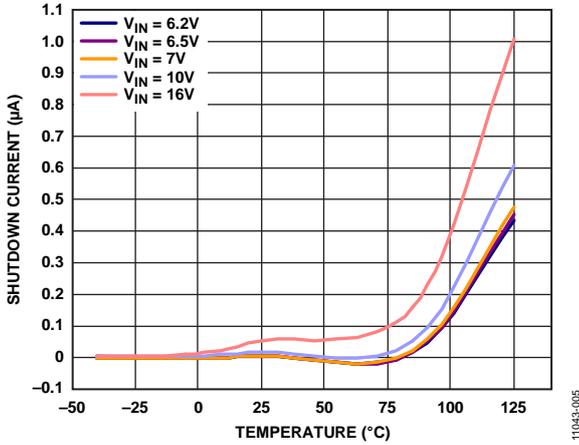


図 5. 様々な入力電圧でのシャットダウン電流の温度特性
 $V_{OUT} = 5\text{ V}$

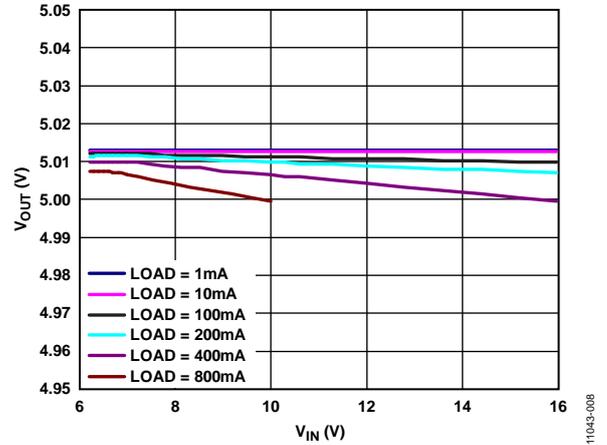


図 8. 入力電圧 (V_{IN}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 5\text{ V}$

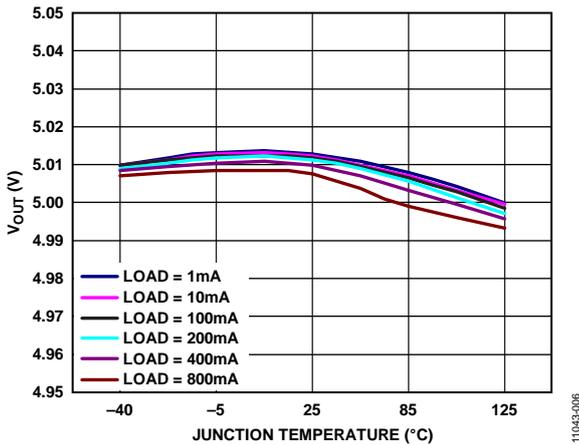


図 6. ジャンクション温度 (T_J) 対出力電圧 (V_{OUT})、 $V_{OUT} = 5\text{ V}$

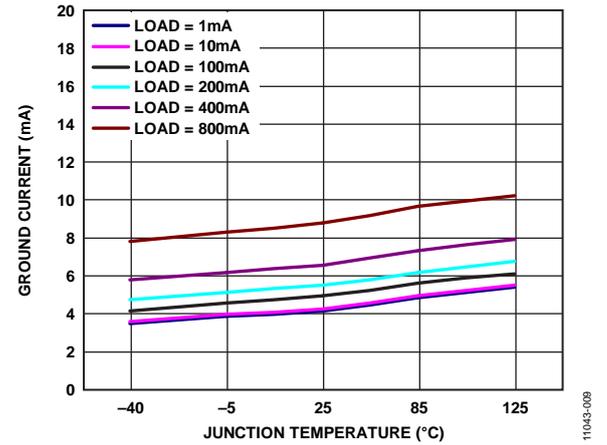


図 9. ジャンクション温度 (T_J) 対グラウンド電流、 $V_{OUT} = 5\text{ V}$

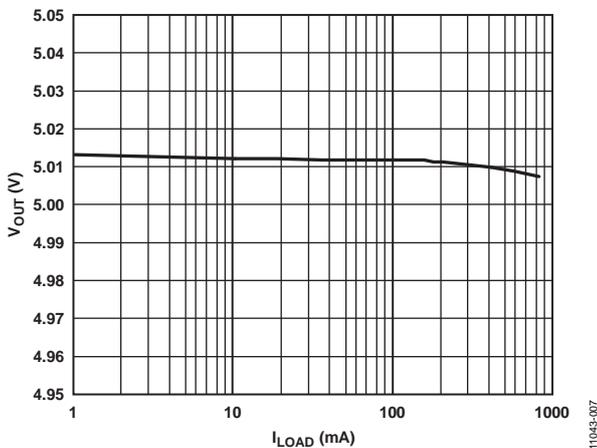


図 7. 負荷電流 (I_{LOAD}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 5\text{ V}$

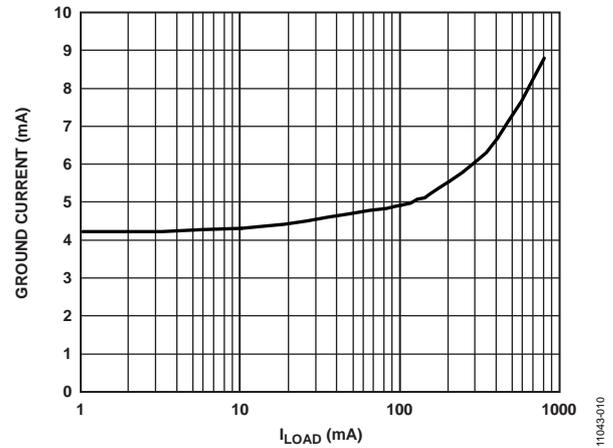


図 10. 負荷電流 (I_{LOAD}) 対グラウンド電流、 $V_{OUT} = 5\text{ V}$

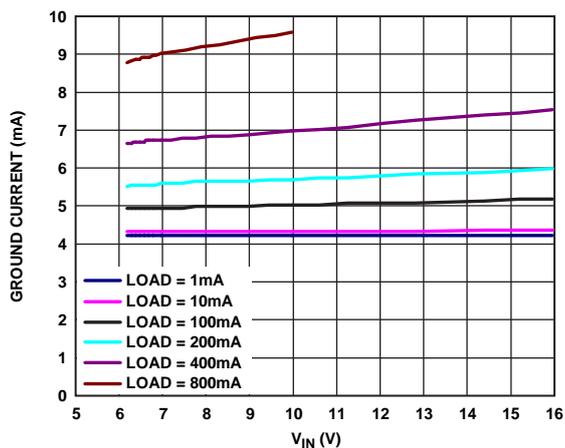


図 11. 入力電圧 (V_{IN}) 対グラウンド電流、 $V_{OUT} = 5 V$

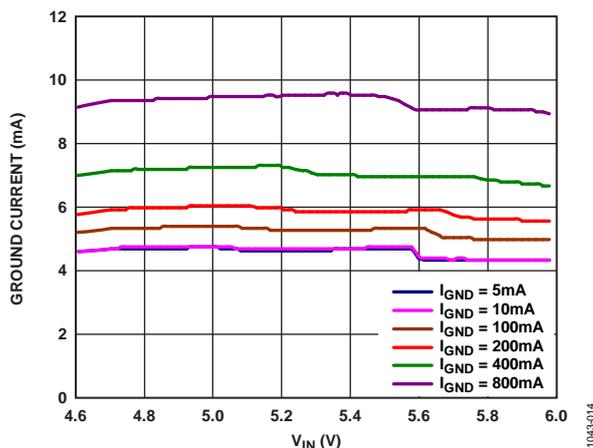


図 14. ドロップアウト時入力電圧 (V_{IN}) 対グラウンド電流
 $V_{OUT} = 5 V$

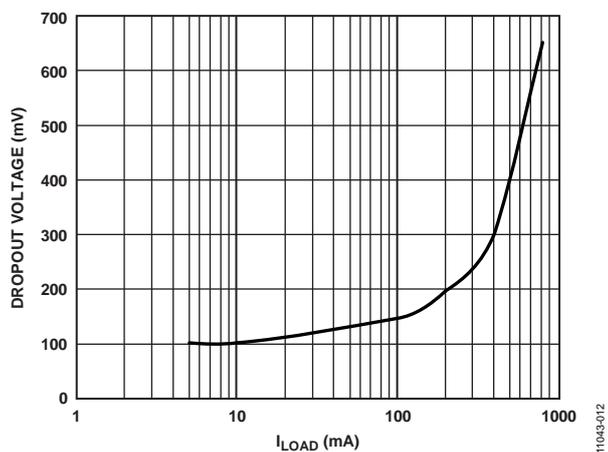


図 12. 負荷電流 (I_{LOAD}) 対ドロップアウト電圧、 $V_{OUT} = 5 V$

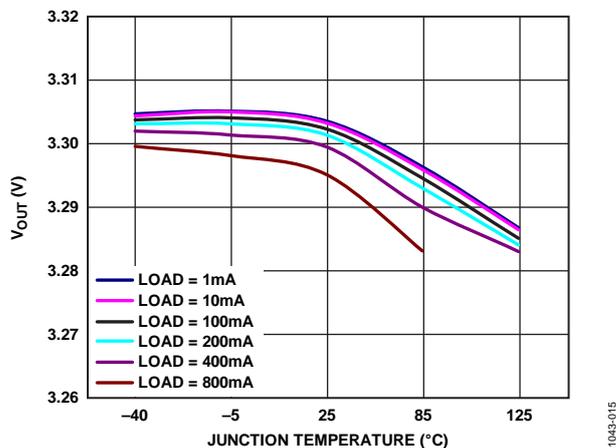


図 15. ジャンクション温度 (T_J) 対出力電圧 (V_{OUT})、 $V_{OUT} = 3.3 V$

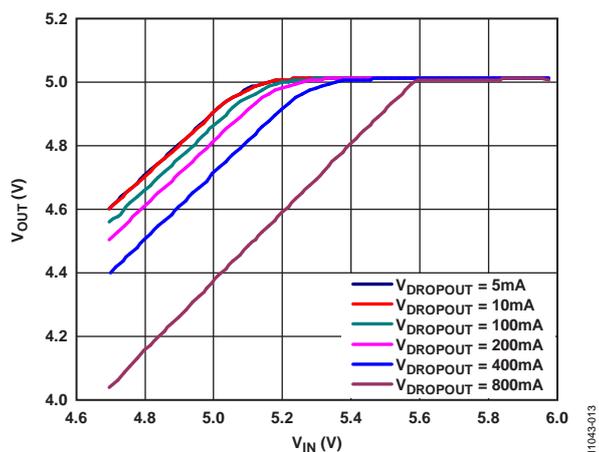


図 13. ドロップアウト時入力電圧 (V_{IN}) 対出力電圧 (V_{OUT})
 $V_{OUT} = 5 V$

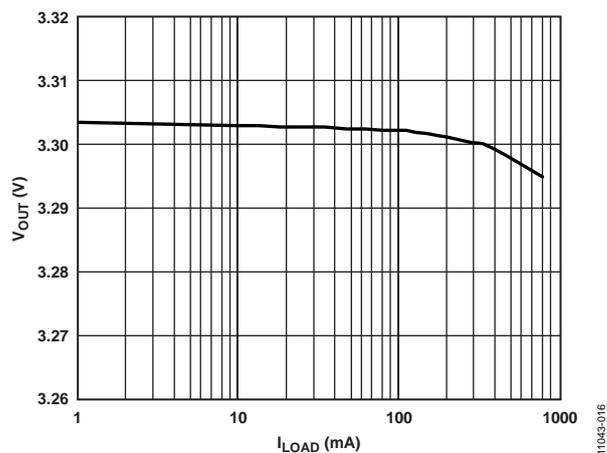


図 16. 負荷電流 (I_{LOAD}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 3.3 V$

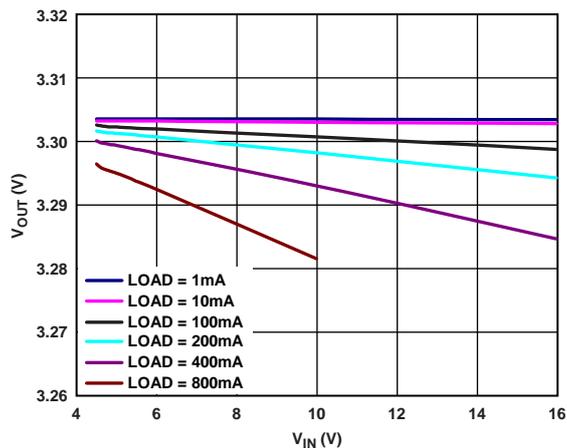


図 17. 入力電圧 (V_{IN}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 3.3\text{ V}$

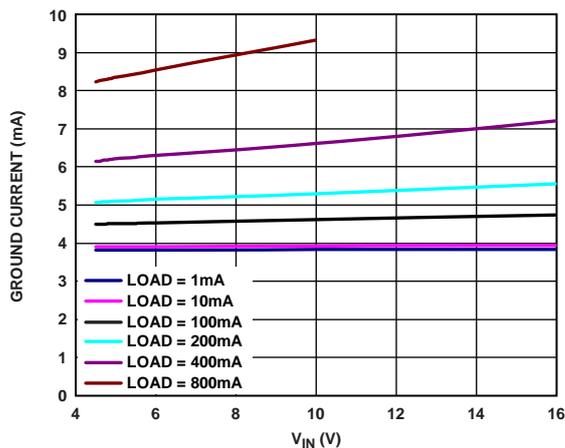


図 20. 入力電圧 (V_{IN}) 対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

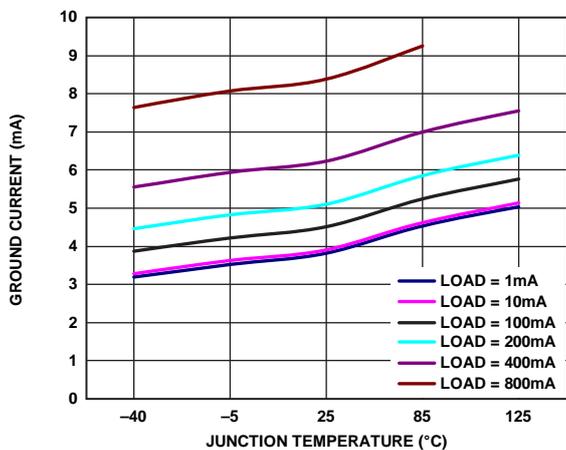


図 18. ジャンクション温度 (T_J) 対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

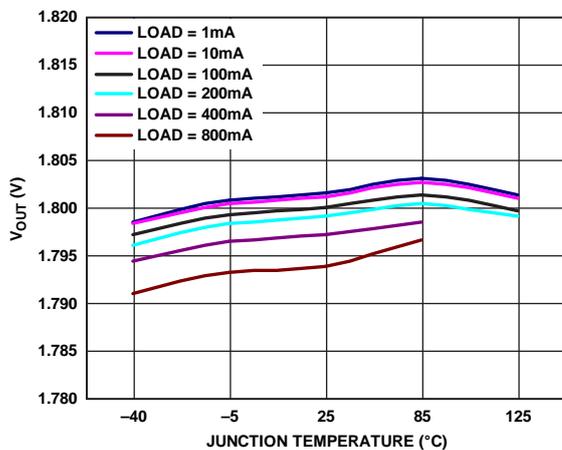


図 21. ジャンクション温度 (T_J) 対出力電圧 (V_{OUT})、 $V_{OUT} = 1.8\text{ V}$

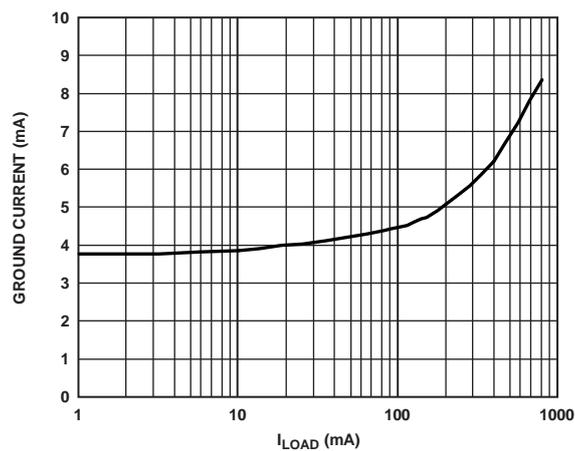


図 19. 負荷電流 (I_{LOAD}) 対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

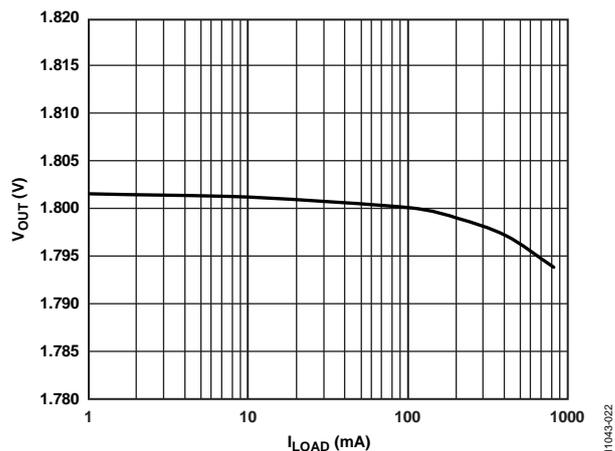


図 22. 負荷電流 (I_{LOAD}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 1.8\text{ V}$

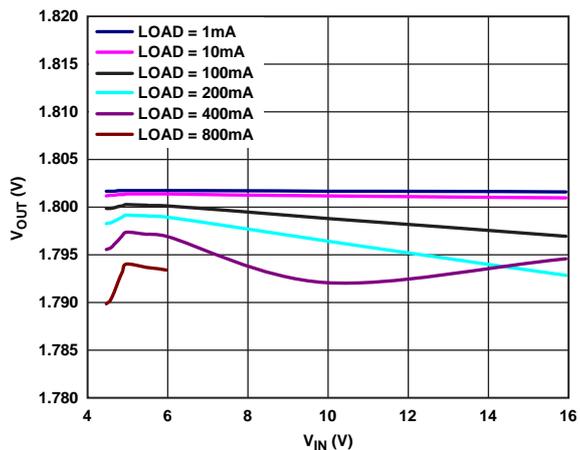


図 23. 入力電圧 (V_{IN}) 対出力電圧 (V_{OUT})、 $V_{OUT} = 1.8\text{ V}$

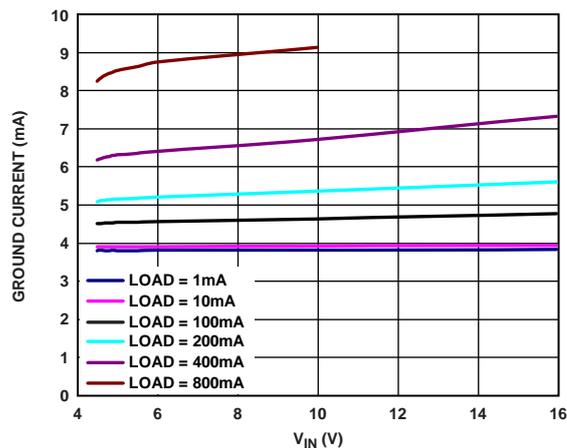


図 26. 入力電圧 (V_{IN}) 対グラウンド電流、 $V_{OUT} = 1.8\text{ V}$

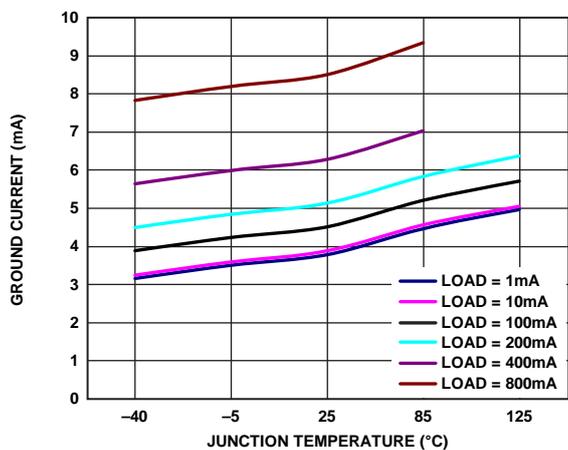


図 24. ジャンクション温度 (T_J) 対グラウンド電流、 $V_{OUT} = 1.8\text{ V}$

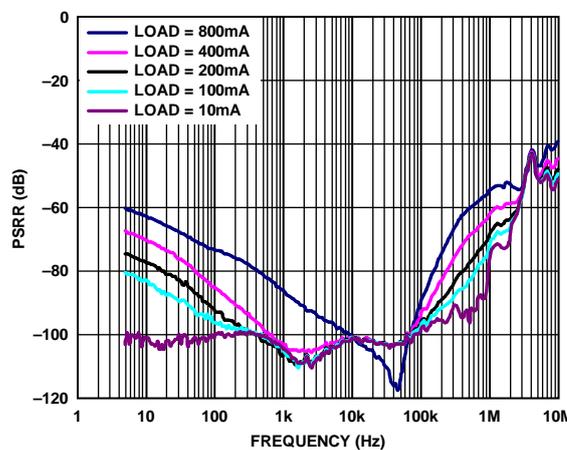


図 27. 電源変動除去比 (PSRR) の周波数特性
 $V_{OUT} = 5\text{ V}$ 、 $V_{IN} = 6.2\text{ V}$

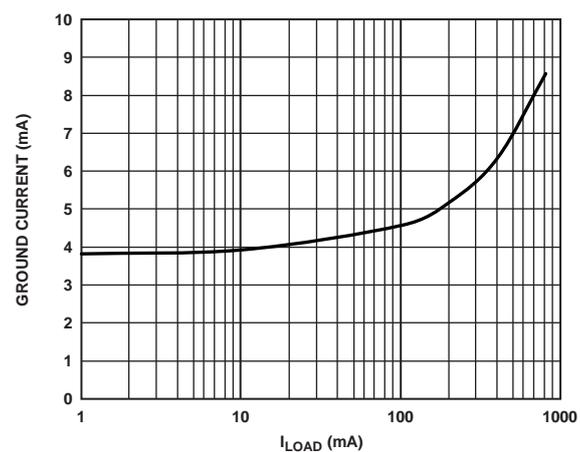


図 25. 負荷電流 (I_{LOAD}) 対グラウンド電流、 $V_{OUT} = 1.8\text{ V}$

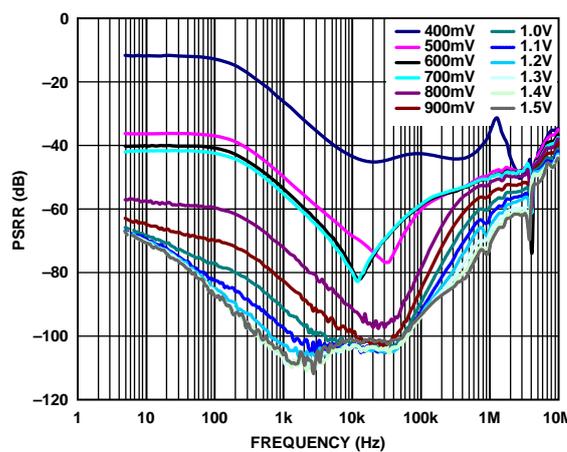


図 28. 様々なヘッドルーム電圧での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 5\text{ V}$ 、 400 mA 負荷

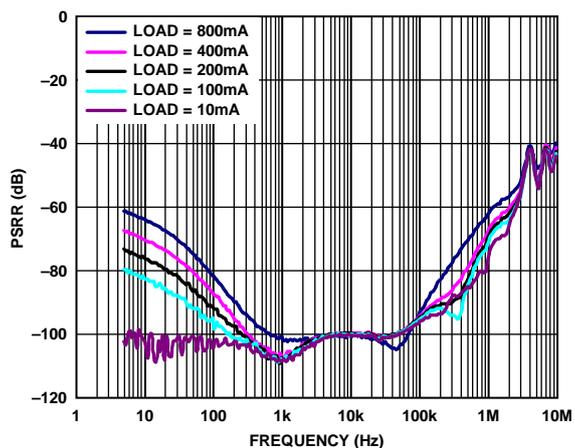


図 29. 電源変動除去比 (PSRR) の周波数特性
 $V_{OUT} = 3.3V$ 、 $V_{IN} = 5V$

11043-029

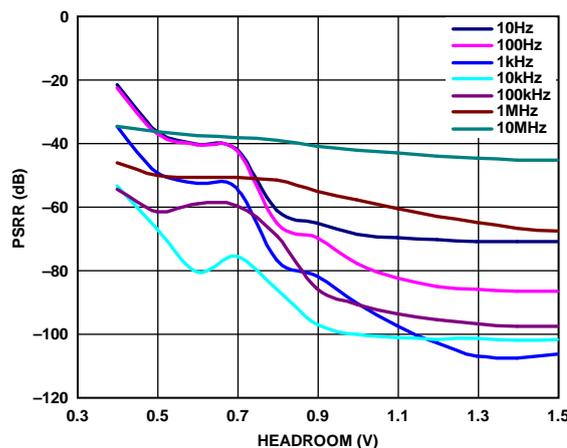


図 32. ヘッドルーム電圧対電源変動除去比 (PSRR)
 400 mA 負荷、 $V_{OUT} = 5V$

11043-032

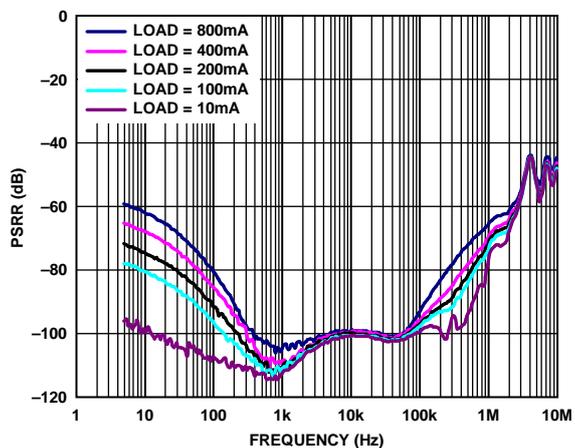


図 30. 電源変動除去比 (PSRR) の周波数特性
 $V_{OUT} = 1.8V$ 、 $V_{IN} = 5V$

11043-030

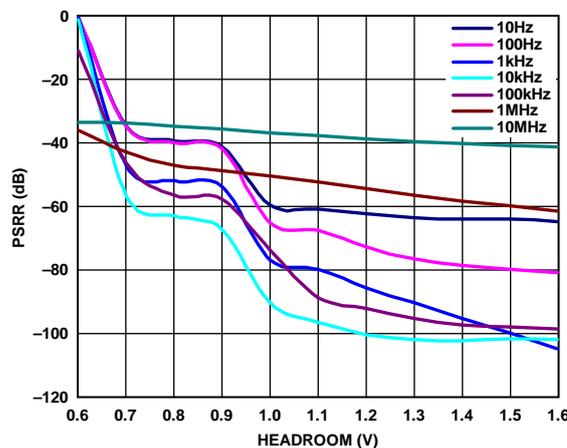


図 33. ヘッドルーム電圧対電源変動除去比 (PSRR)
 800 mA 負荷、 $V_{OUT} = 5V$

11043-033

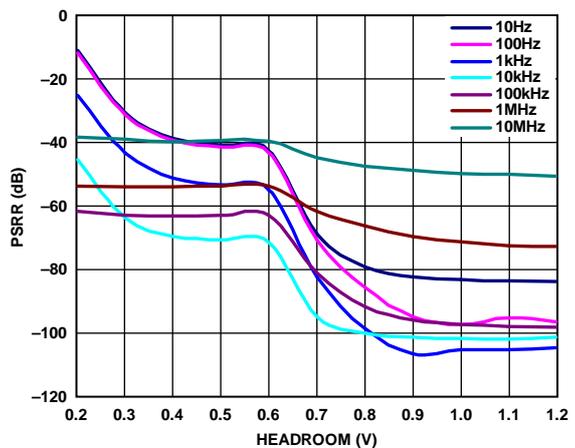


図 31. ヘッドルーム電圧対電源変動除去比 (PSRR)
 100 mA 負荷、 $V_{OUT} = 5V$

11043-031

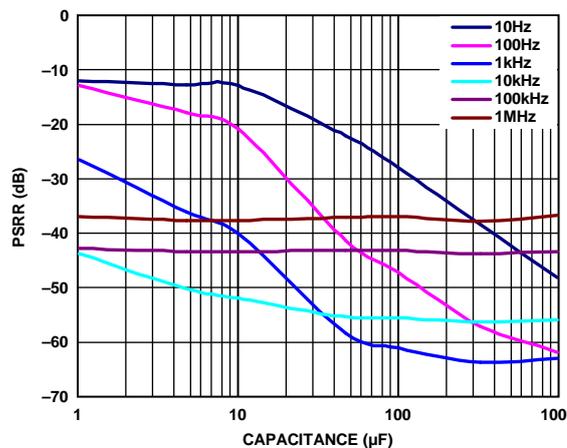
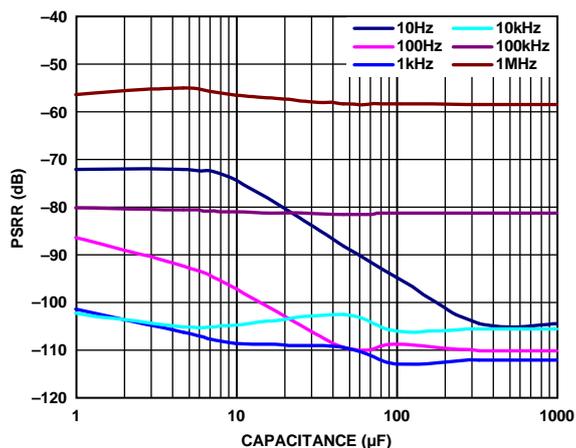


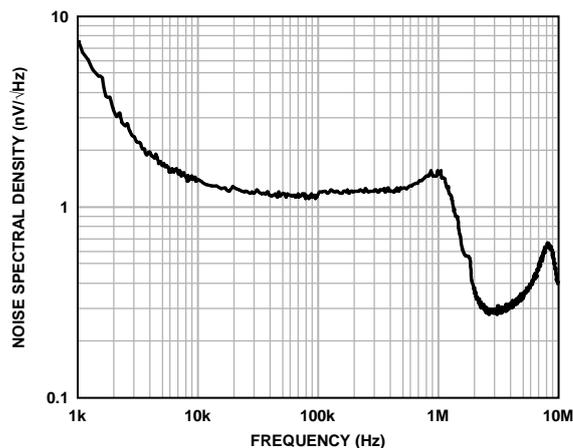
図 34. C_{BYP} 対電源変動除去比 (PSRR)
 400 mA 負荷、400 mV ヘッドルーム、 $V_{OUT} = 5V$

11043-034



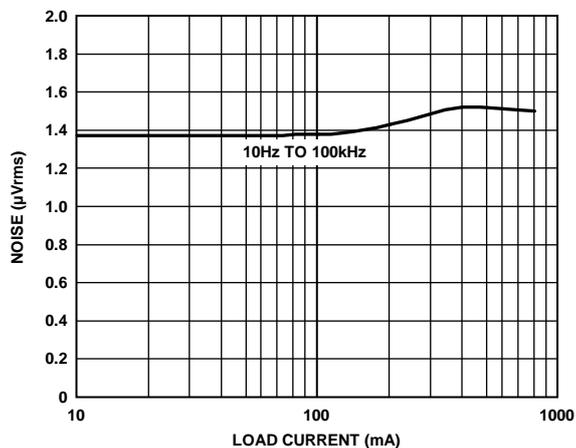
11043-035

図 35. 容量 (C_{BYP}) 対電源変動除去比 (PSRR)
400 mA 負荷、1.2 V ヘッドルーム、 $V_{OUT} = 5 V$



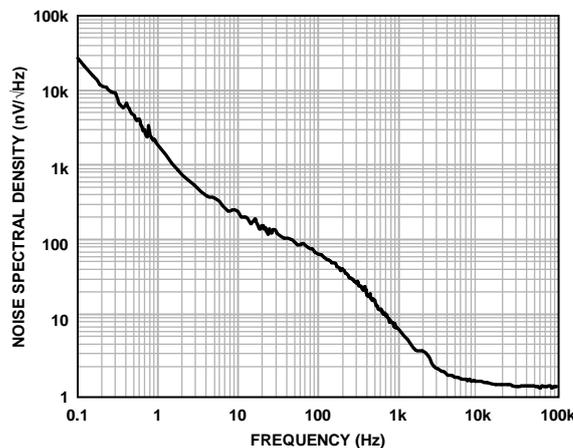
11043-038

図 38. 出力ノイズ・スペクトル密度
1 kHz~10 MHz、 $I_{LOAD} = 10 mA$



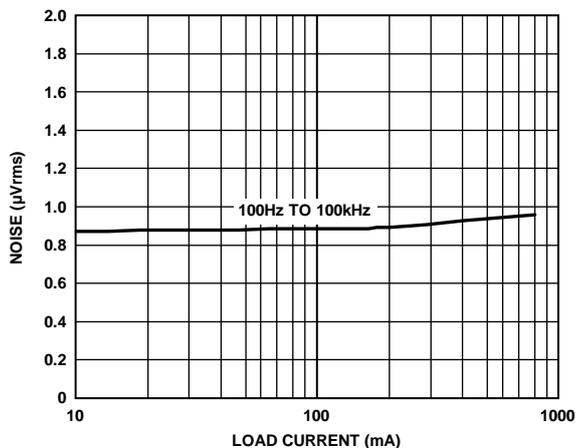
11043-036

図 36. 負荷電流 (I_{LOAD}) 対 RMS 出力ノイズ
10 Hz~100 kHz



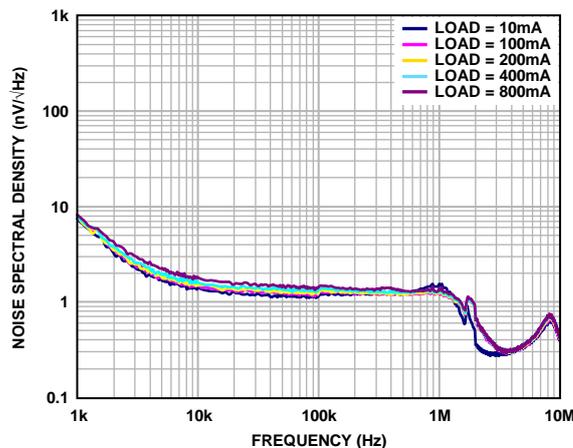
11043-039

図 39. 出力ノイズ・スペクトル密度
0.1 Hz~100 kHz、 $I_{LOAD} = 10 mA$



11043-037

図 37. 負荷電流 (I_{LOAD}) 対 RMS 出力ノイズ
100 Hz~100 kHz



11043-040

図 40. 様々な負荷電流での出力ノイズ・スペクトル密度
1 kHz~10 MHz

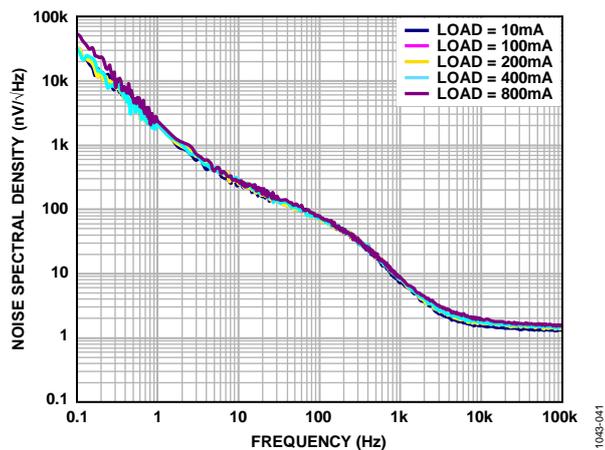


図 41. 様々な負荷電流での出力ノイズ・スペクトル密度
0.1 Hz ~ 100 kHz

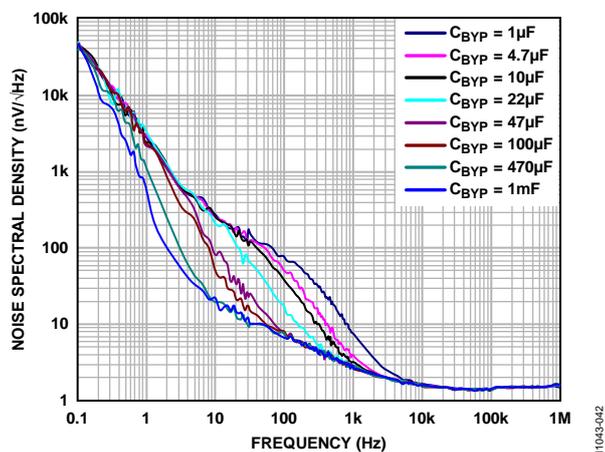


図 42. 様々な C_{BYP} での出力ノイズ・スペクトル密度
負荷電流 = 10 mA

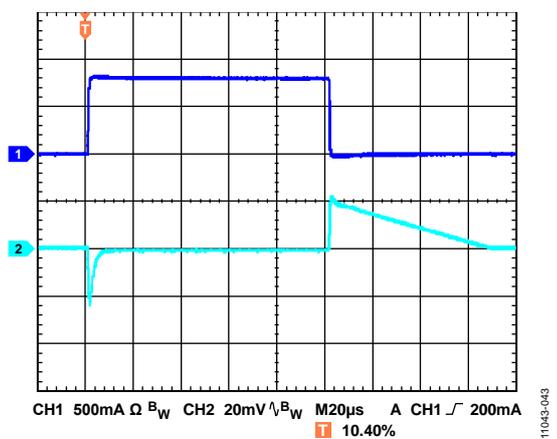


図 43. 負荷過渡応答
 $I_{LOAD} = 1 \text{ mA} \sim 800 \text{ mA}$, $V_{OUT} = 5 \text{ V}$
 $V_{IN} = 6.2 \text{ V}$, $CH1 = I_{OUT}$, $CH2 = V_{OUT}$

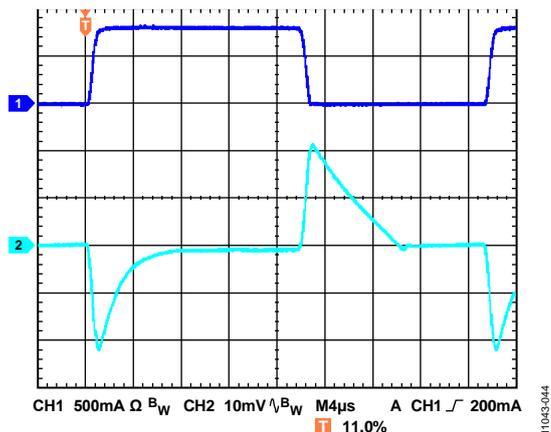


図 44. 負荷過渡応答
 $I_{LOAD} = 10 \text{ mA} \sim 800 \text{ mA}$, $V_{OUT} = 5 \text{ V}$
 $V_{IN} = 6.2 \text{ V}$, $CH1 = I_{OUT}$, $CH2 = V_{OUT}$

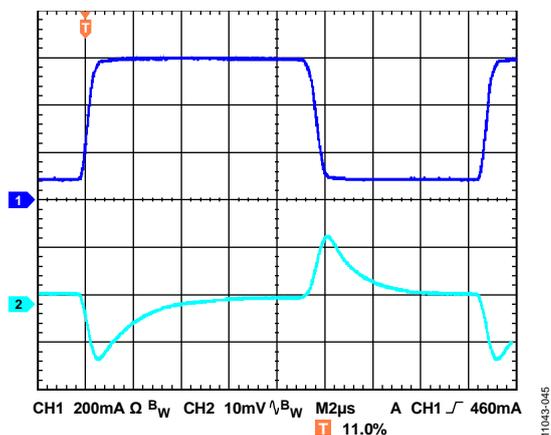


図 45. 負荷過渡応答
 $I_{LOAD} = 100 \text{ mA} \sim 600 \text{ mA}$, $V_{OUT} = 5 \text{ V}$
 $V_{IN} = 6.2 \text{ V}$, $CH1 = I_{OUT}$, $CH2 = V_{OUT}$

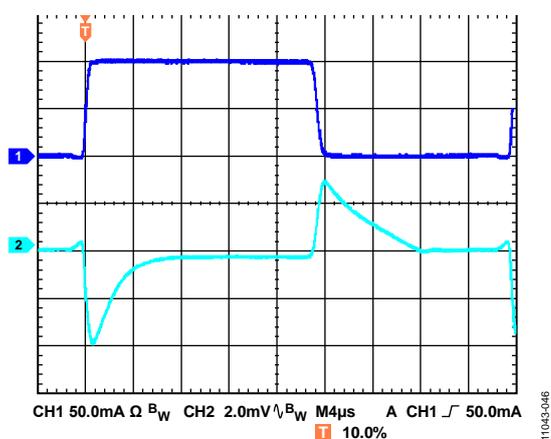


図 46. 負荷過渡応答
 $I_{LOAD} = 1 \text{ mA} \sim 100 \text{ mA}$, $V_{OUT} = 5 \text{ V}$
 $V_{IN} = 6.2 \text{ V}$, $CH1 = I_{OUT}$, $CH2 = V_{OUT}$

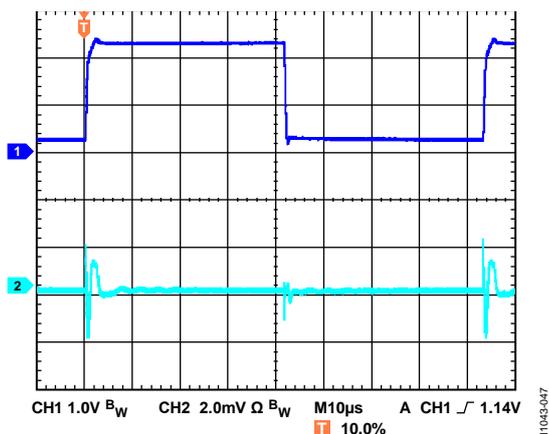


図 47.ライン過渡応答

2 V 入カステップ、 $I_{LOAD} = 800 \text{ mA}$
 $V_{OUT} = 1.8 \text{ V}$ 、 $V_{IN} = 4.5 \text{ V}$ 、CH1 = V_{IN} 、CH2 = V_{OUT}

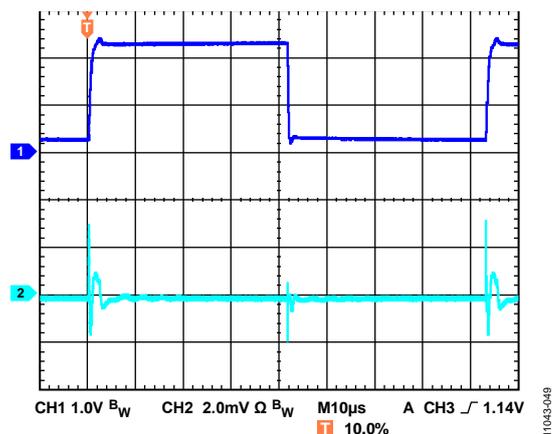


図 49.ライン過渡応答

2 V 入カステップ、 $I_{LOAD} = 800 \text{ mA}$
 $V_{OUT} = 5 \text{ V}$ 、 $V_{IN} = 6.2 \text{ V}$ 、CH1 = V_{IN} 、CH2 = V_{OUT}

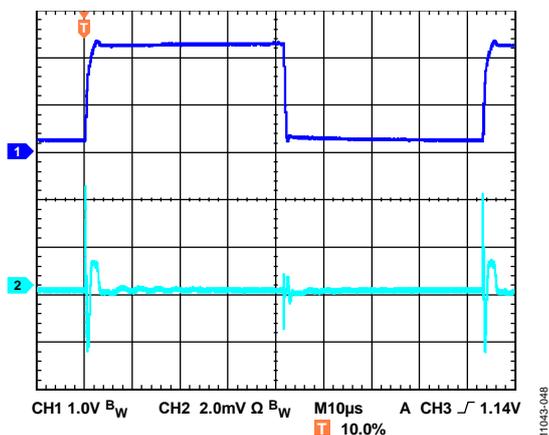


図 48.ライン過渡応答

2 V 入カステップ、 $I_{LOAD} = 800 \text{ mA}$
 $V_{OUT} = 3.3 \text{ V}$ 、 $V_{IN} = 4.5 \text{ V}$ 、CH1 = V_{IN} 、CH2 = V_{OUT}

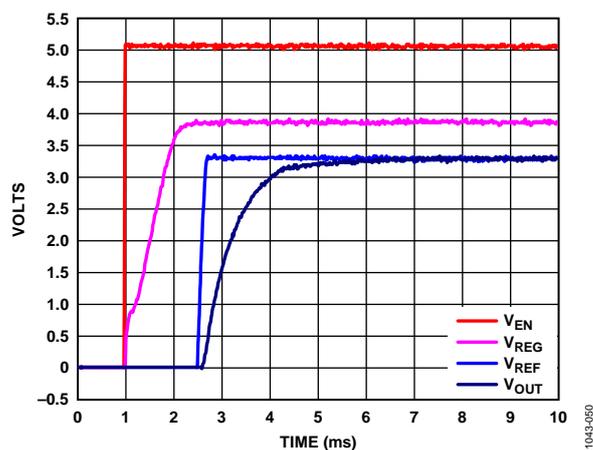


図 50. V_{EN} 立上がり後の V_{OUT} 、 V_{REF} 、 V_{REG} スタートアップ時間、 $V_{OUT} = 3.3 \text{ V}$ 、 $V_{IN} = 5 \text{ V}$

動作原理

ADM7150 は、無線周波 (RF) アプリケーションを対象とした、超低ノイズで高い電源変動除去比 (PSRR) を持つリニア・レギュレータです。入力電圧範囲は 4.5 V ~ 16 V で、800 mA までの出力電流を供給することができます。シャットダウン消費電流は室温で 0.1 μ A (typ) です。

ADM7150 は 10 μ F のセラミック・コンデンサを使用するように最適化されているため、優れた過渡性能を提供します。

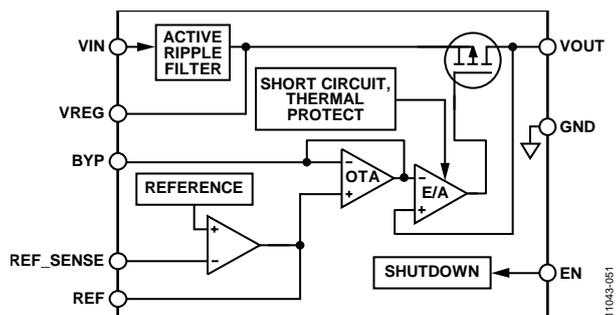


図 51.簡略化した内部ブロック図

内部的には、ADM7150 は、リファレンス電圧、誤差アンプ、P チャンネル MOSFET バス・トランジスタから構成されています。出力電流は、誤差アンプから制御される PMOS バス・デバイスを経由して供給されます。誤差アンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低い場合、PMOS デバイスのゲート電位が低くなるので、通過する電流が大きくなり、出力電圧が上昇します。帰還電圧がリファレンス電圧より高い場合は、PMOS デバイスのゲート電位が高くなるので、通過する電流が小さくなり、出力電圧が低下します。

ADM7150 は、リファレンス電圧のフィルタリングを強化することにより、10 kHz ~ 1 MHz で 1.7 nV/ $\sqrt{\text{Hz}}$ (typ) の出力を実現して

います。誤差アンプは常にユニティ・ゲインであるため、出力ノイズは出力電圧に依存しません。

広い周波数範囲で非常に高い PSRR を維持するため、ADM7150 アーキテクチャでは内部アクティブ・リップル・フィルタを使用しています。このステージは、VIN のノイズから低出力ノイズ LDO をアイソレーションしています。この結果、ADM7150 の PSRR はシングル・ステージ LDO に比べて広い周波数範囲で大幅に高くなっています。

ADM7150 では EN ビンを使って、通常の動作状態で VOUT ビンをイネーブル/ディスエーブルします。EN がハイ・レベルのとき VOUT がターンオンし、EN がロー・レベルのとき、VOUT がターンオフします。自動スタートアップの場合は、EN と VIN を接続することができます。

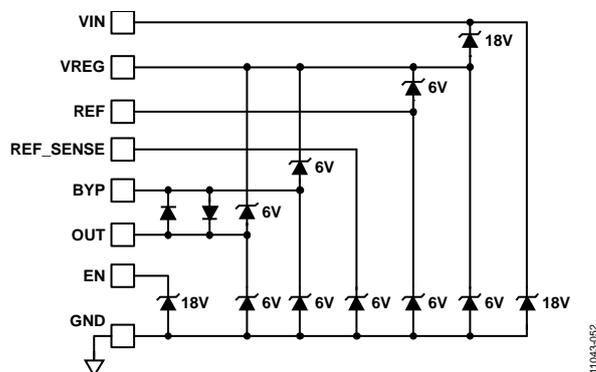


図 52.簡略化した ESD 保護のブロック図

ESD 保護デバイスは、ブロック図ではツェナー・ダイオードとして示してあります (図 52 参照)。

アプリケーション情報

コンデンサの選択

出力コンデンサ

ADM7150 は、セラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗(ESR)値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADM7150 の安定性のためには、 0.2Ω 以下の ESR を持つ最小 $10 \mu\text{F}$ のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADM7150 過渡応答を向上させることができます。図 53 に、 $10 \mu\text{F}$ の出力容量値に対する過渡応答を示します。

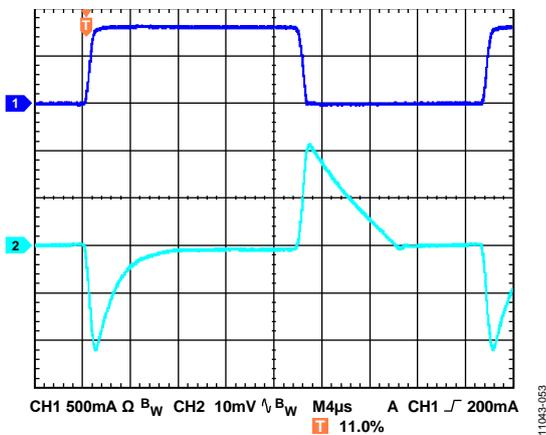


図 53. 出力過渡応答

$V_{\text{OUT}} = 5 \text{ V}$ 、 $C_{\text{OUT}} = 10 \mu\text{F}$ 、CH1 = 負荷電流、CH2 = V_{OUT}

入力コンデンサと VREG コンデンサ

VIN ピンと GND の間に $10 \mu\text{F}$ のコンデンサを接続すると、特に入力パターンが長いカソース・インピーダンスが高い場合に、PCB レイアウトに対する回路の感受性を小さくすることができます。

最適な安定性と PSRR 性能を維持するために、VREG と GND との間に $10 \mu\text{F}$ のコンデンサを接続してください。 $10 \mu\text{F}$ より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサと VREG コンデンサを大きくすることが推奨されます。

REF コンデンサ

REF コンデンサは、リファレンス・アンプの安定のために必要です。少なくとも $1 \mu\text{F}$ のコンデンサを REF と GND の間に接続してください。

BYP コンデンサ

BYP コンデンサは、リファレンス・バッファをフィルタするために必要です。 $1 \mu\text{F}$ のコンデンサを BYP と GND の間に接続します。最小 $0.1 \mu\text{F}$ のコンデンサを使用できますが、この結果 LDO の出力ノイズ電圧が大きくなります。

さらに、BYP コンデンサ値を大きくして、 1 kHz 以下のノイズを小さくすることができますが、LDO スタートアップ時間が長くなる犠牲がともないます。 C_{BYP} の値を非常に大きくすると、 10 Hz 以下のノイズを大幅に減らすことができます。約 $33 \mu\text{F}$ より大きなコンデンサには、タンタル・コンデンサが推奨されます。高い周波数で優れたノイズ性能を維持するためには、 $1 \mu\text{F}$ のセラミック・コンデンサと大きなタンタル・コンデンサとの並列接続が必要です。固体タンタル・コンデンサは、マイクロホン・ノイズ問題を生じない傾向があります。

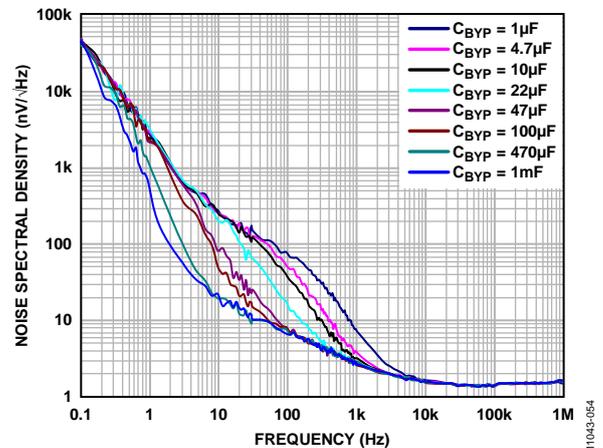


図 54. ノイズ・スペクトル密度の周波数特性
 $C_{\text{BYP}} = 1 \mu\text{F} \sim 1 \text{ mF}$

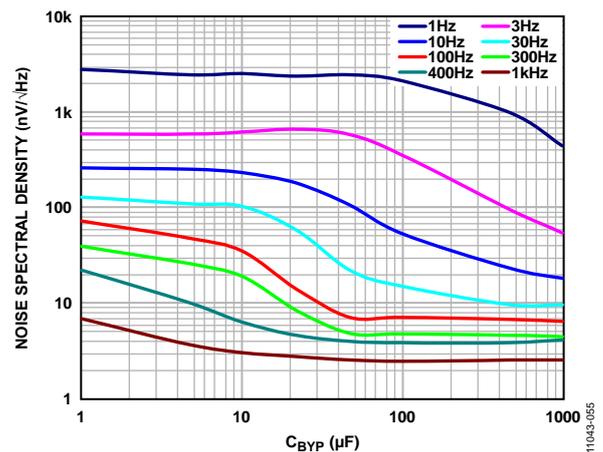


図 55. 様々な周波数での容量 (C_{BYP}) 対
ノイズ・スペクトル密度

コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADM7150 に任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。コンデンサは、必要とされる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体を持つ必要があります。電圧定格 6.3 V ~ 50 V の X5R または X7R 誘電体の使用が推奨されます。ただし、Y5V 誘電体と Z5U 誘電体は温度特性と DC バイアス特性が十分でないため推奨されません。

図 56 に、1206、10 μF、10 V の X5R コンデンサについて DC 電圧バイアス対容量を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、-40°C ~ +85°C の温度範囲で約 ±15% であり、パッケージ・サイズまたは電圧定格の関数になっていません。

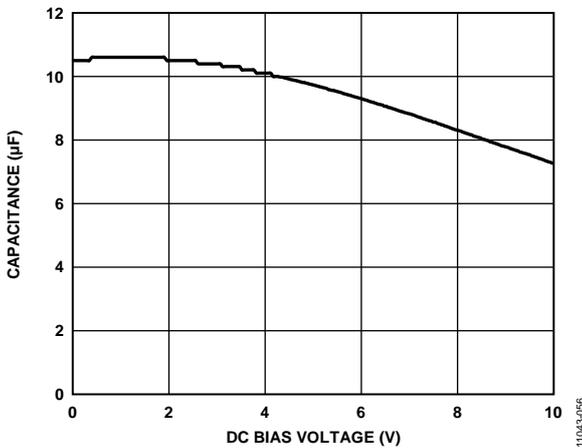


図 56. DC バイアス電圧対容量

式 1 を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

ここで、

C_{BIAS} は動作電圧での実効容量。

$TEMPCO$ は最悪時のコンデンサ温度係数です。

TOL は最悪時の部品許容誤差です。

この例では、-40°C ~ +85°C でのワーストケース温度係数 ($TEMPCO$) を、X5R 誘電体では 15% と想定しています。図 56 に示すように、コンデンサの許容誤差 (TOL) は 10%、かつ 5 V で $C_{BIAS} = 9.72 \mu F$ としています。

これらの値を式 1 に代入すると、

$$C_{EFF} = 9.72 \mu F \times (1 - 0.15) \times (1 - 0.1) = 7.44 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO の最小容量条件を満たします。

ADM7150 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

イネーブル (EN) と低電圧ロックアウト (UVLO)

ADM7150 では EN ピンを使って、通常の動作状態で V_{OUT} ピンをイネーブル/ディスエーブルします。図 57 に示すように、EN の電圧上昇が上限スレッシュホールドを超えると、 V_{OUT} がターンオンします。EN の電圧が下側スレッシュホールドを下回ると、 V_{OUT} がターンオフします。ヒステリシスは入力電圧の関数として変化します。例えば、入力電圧 4.5 V で EN ヒステリシスは約 200 mV です。

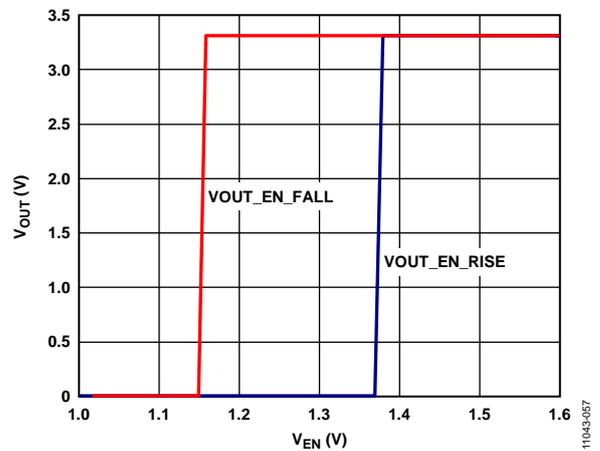


図 57. EN ピン動作に対する代表的な V_{OUT} 応答、 $V_{OUT} = 3.3 V$ 、 $V_{IN} = 5 V$

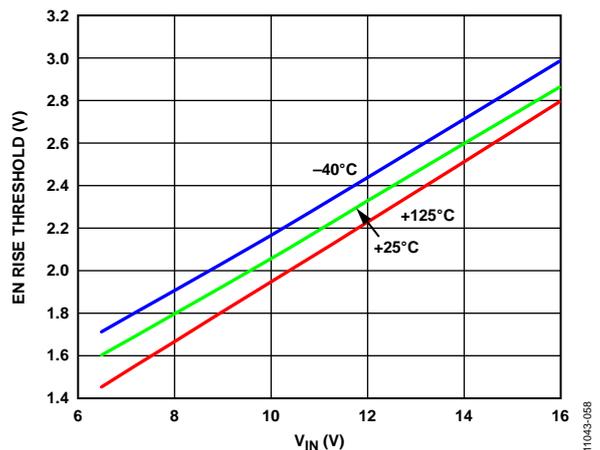


図 58. 様々な温度での入力電圧 (V_{IN}) 対 EN 立上がりスレッシュホールド (typ)

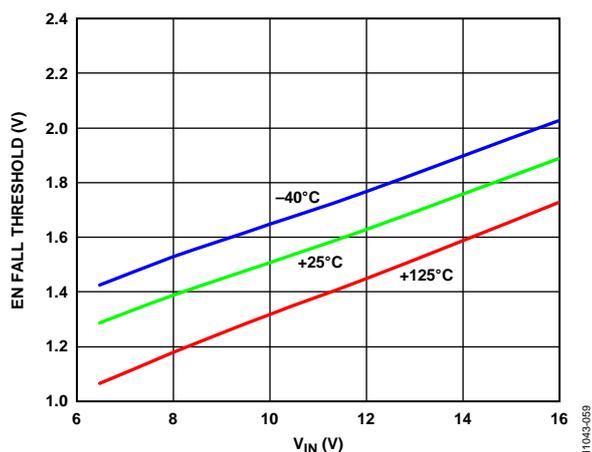


図 59. 様々な温度での入力電圧 (V_{IN}) 対 EN 立下がりスレッシュホールド (typ)

また、ADM7150 は入力電圧がレギュレータの最小入力電圧定格を下回るとき出力電圧をディスエーブルする内部低電圧ロックアウト回路も内蔵しています。上側と下側のスレッシュホールドは、約 300 mV のヒステリシスを持つように内部で固定されています。

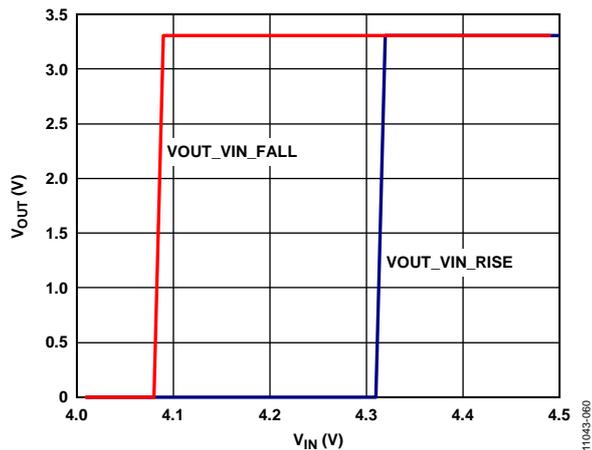


図 60. UVLO ヒステリシス、 $V_{OUT} = 3.3\text{ V}$

図 60 に、UVLO 機能の代表的なヒステリシスを示します。このヒステリシスは、入力電圧がスレッシュホールド・ポイントを通過するときにノイズにより発生するオン/オフ発振を防止します。

スタートアップ時間

ADM7150 では内部ソフトスタート機能を使って、出力をイネーブルしたときの突入電流を制限しています。5 V 出力でのスタートアップ時間は、EN アクティブ・スレッシュホールドを通過してから出力が最終値の 90% に到達するまでとして約 3 ms です。

出力電圧の立ち上がり時間 (10% から 90%) は、約

$$0.0012 \times C_{BYP} \text{ sec}$$

ここで、 C_{BYP} の単位は μF です。

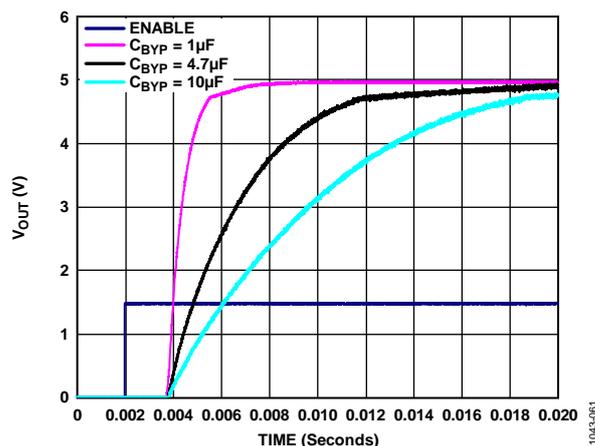


図 61. 代表的なスタートアップ動作
 $C_{BYP} = 1\ \mu\text{F} \sim 10\ \mu\text{F}$

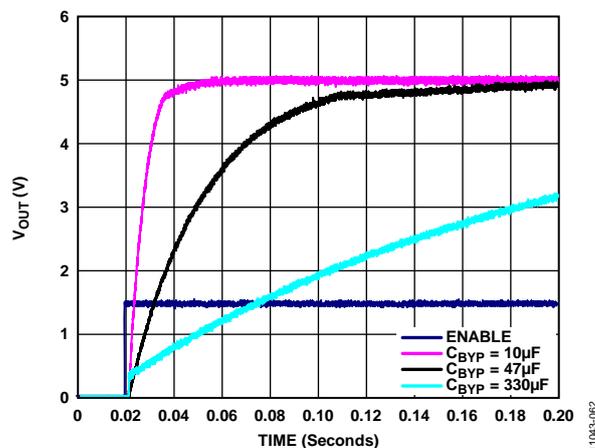


図 62. 代表的なスタートアップ動作
 $C_{BYP} = 10\ \mu\text{F} \sim 330\ \mu\text{F}$

REF、BYP、VREG の各ピン

REF、BYP、VREG は内部で発生される電圧であり、正常動作のためには外付けバイパス・コンデンサが必要です。いかなる場合にもこれらのピンに負荷を接続しないでください。もし接続すると、ADM7150 のノイズと PSRR 性能が損なわれます。 C_{BYP} 、 C_{REF} 、 C_{REG} の値を大きくすることは可能ですが、スタートアップ時間が長くなります (スタートアップ時間のセクション参照)。

電流制限および熱過負荷保護

ADM7150 は、過電流保護回路と熱過負荷保護回路により大きな消費電力による損傷から保護されています。ADM7150 は、出力負荷が 1.2 A (typ) に到達したとき、電流を制限するようにデザインされています。出力負荷が 1.2 A を超えると、出力電圧を下げ、一定の電流限界値を維持します。

ジャンクション温度を最大 155°C (typ) に制限する熱過負荷保護機能も内蔵しています。極限状態(周囲温度が高く、消費電力が大きい)で、ジャンクション温度が 155°C を超え始めると、出力がターンオフされて、出力電流がゼロになります。ジャンクション温度が 140°C を下回ると、出力が再びターンオンして、出力電流が動作値に戻ります。

VOUT が GND へ短絡するケースを考えます。まず、ADM7150 は短絡電流が 1.2 A を超えないように電流制限します。ジャンクションの自己発熱が大きくなると温度が 155°C を超えるので、サーマル・シャットダウンが起動されて、出力がターンオフされ、出力電流がゼロになります。ジャンクション温度が 140°C を下回ると、出力がターンオンして短絡により 1.2 A が流れて、再びジャンクション温度が 155°C を超えます。140°C と 155°C の間のこの熱的発振により、1.2 A と 0 mA の間の電流発振が発生して、出力に短絡が残っている間この発振が続きます。

電流制限機能と過熱保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼度の高い動作を得るためには、外部からデバイス消費電力を制限して、ジャンクション温度が 150°C を超えないようにする必要があります。

熱に対する考慮事項

入力-出力間電位差が低いアプリケーションでは、ADM7150 の発熱は大きくなりませんが、周囲温度が高く、かつ入力電圧が高いアプリケーションでは、パッケージの発熱が大きくなって、チップのジャンクション温度が最大ジャンクション温度 150°C を超えるようになります。

ジャンクション温度が 155°C を超えると、コンバータはサーマル・シャットダウンします。永久的な損傷を防止するため、ジャンクション温度が 140°C を下回るまで回復しません。したがって、すべての条件で信頼度の高い性能を保証するためには、アプリケーションの熱解析が重要です。式 2 に示すように、チップのジャンクション温度は、周囲温度と電力消費によるパッケージの温度上昇の和です。

信頼度の高い動作を保証するためには、ADM7150 のジャンクション温度が 150°C を超えないようにする必要があります。ジャンクション温度をこの最大値より低く維持するためには、ジャンクション温度の変化に寄与するパラメータを知っておく必要があります。これらのパラメータとしては、周囲温度、パワー・デバイスの消費電力、ジャンクション-周囲間の熱抵抗 (θ_{JA}) などが 있습니다。 θ_{JA} 値は、パッケージ組み立て材料とパッケージの GND ピンとエクスポーズド・パッドを PCB へハンダ付けする際に使用する銅の量に依存します。

表 6 に、PCB の銅サイズに対する 8 ピン SOIC パッケージと 8 ピン LFCSP パッケージの θ_{JA} 値 (typ) を示します。

表 7 に、8 ピン SOIC パッケージと 8 ピン LFCSP パッケージの Ψ_{JB} 値 (typ) を示します。

表 6. θ_{JA} 値 (typ)

Copper Size (mm ²)	θ_{JA} (°C/W)	
	8-Lead LFCSP	8-Lead SOIC
25 ¹	165.1	165
100	125.8	126.4
500	68.1	69.8
1000	56.4	57.8
6400	42.1	43.6

¹ デバイスは最小サイズのピン・パターンにハンダ付け。

表 7. Ψ_{JB} 値 (typ)

Package	Ψ_{JB} (°C/W)
8-Lead LFCSP	15.1
8-Lead SOIC	17.9

ADM7150 のジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

ここで、

T_A は周囲温度。

P_D はチップの消費電力で、次式で与えられます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

ここで、

V_{IN} と V_{OUT} は、それぞれ入力電圧と出力電圧。

I_{LOAD} は負荷電流。

I_{GND} はグラウンド電流。

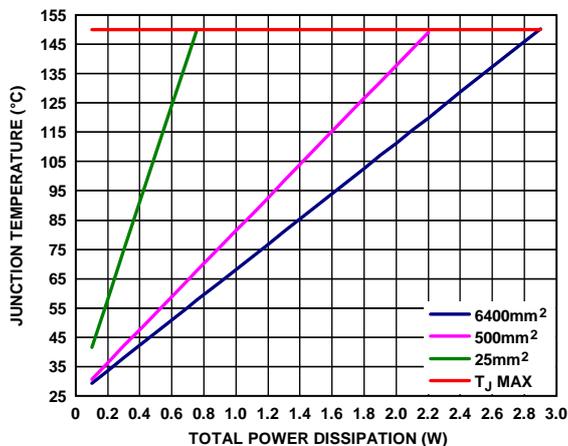
グラウンド電流による消費電力は小さいため無視できます。このため、ジャンクション温度の式は次のように簡単になります。

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (4)$$

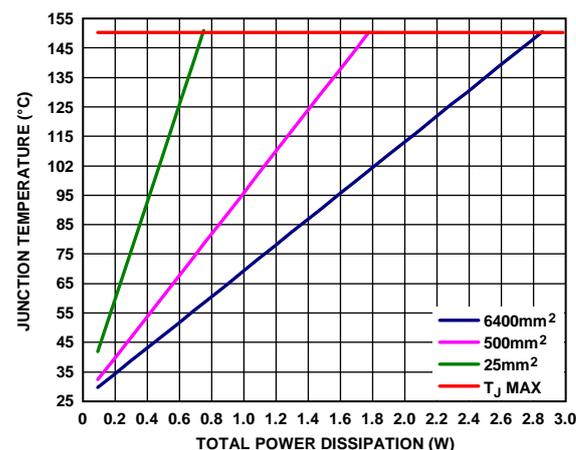
式 4 に示すように、与えられた周囲温度に対して、ジャンクション温度が 150°C を超えないようにするため、入力と出力間の電位差、連続負荷電流、最小銅サイズ条件が PCB に対して存在します。

ADM7150 のピンとエクスポーズド・パッドに接触する銅の量を増やすとパッケージからの放熱を改善することができますが、パッケージの下にサーマル・プレーンを追加しても、熱性能が向上します。ただし、表 6 に示すように、限界点に到達して、それ以上銅面積を増やしてもジャンクション-周囲間の熱抵抗を大幅に削減できません。

図 63～図 68 に、様々な周囲温度、消費電力、PCB 銅面積に対するジャンクション温度計算を示します。



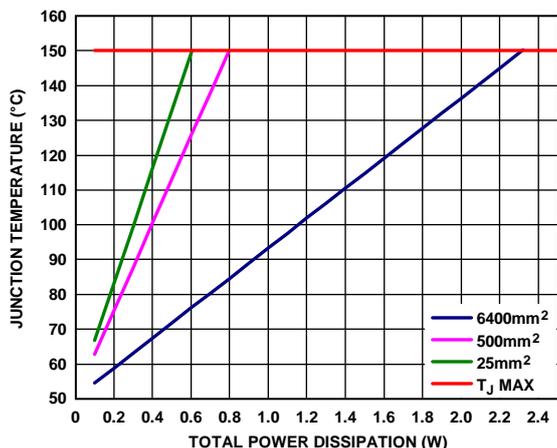
11043-063



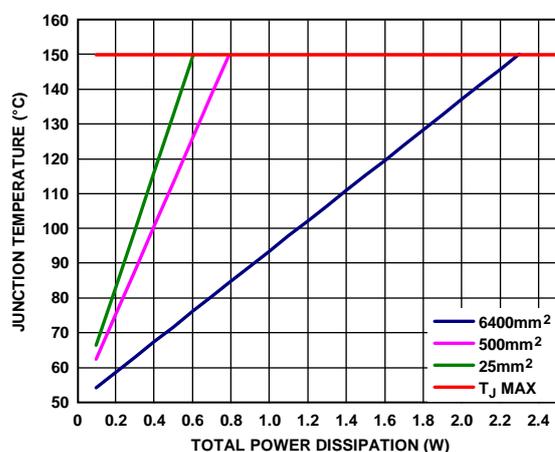
11043-066

図 66.8 ピン SOIC のトータル消費電力対ジャンクション温度
 $T_A = 25^\circ\text{C}$

図 63.8 ピン LFCSP のトータル消費電力対ジャンクション温度
 $T_A = 25^\circ\text{C}$



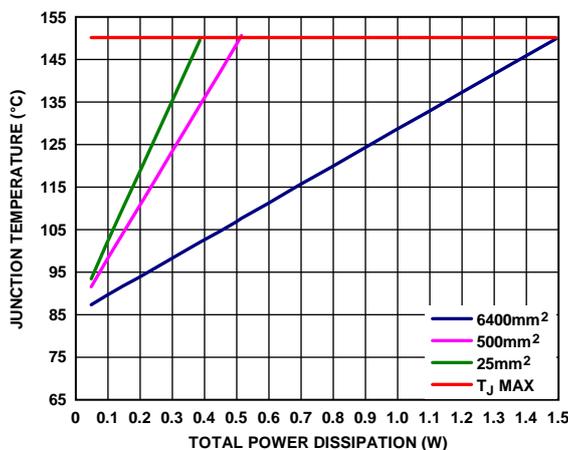
11043-064



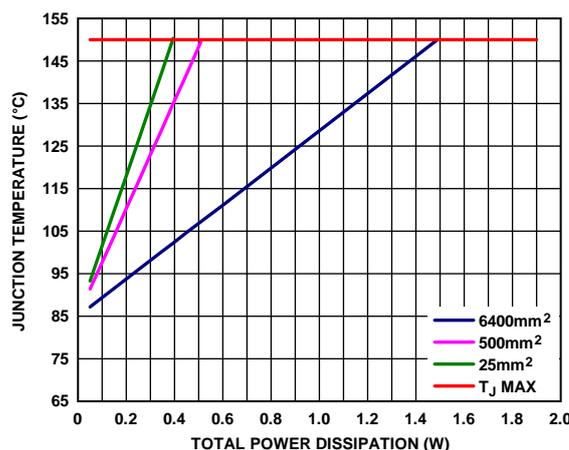
11043-067

図 67.8 ピン SOIC のトータル消費電力対ジャンクション温度
 $T_A = 50^\circ\text{C}$

図 64.8 ピン LFCSP のトータル消費電力対ジャンクション温度
 $T_A = 50^\circ\text{C}$



11043-065



11043-068

図 68.8 ピン SOIC のトータル消費電力対ジャンクション温度
 $T_A = 85^\circ\text{C}$

図 65.8 ピン LFCSP のトータル消費電力対ジャンクション温度
 $T_A = 85^\circ\text{C}$

サーマル・キャラクタライゼーション・パラメータ (Ψ_{JB})

ボード温度が既知の場合、サーマル・キャラクタライゼーション・パラメータ Ψ_{JB} を使ってジャンクション温度上昇を計算することができます(図 69 と図 70 参照)。最大ジャンクション温度 (T_J)は、次式を使ってボード温度(T_B)と消費電力(P_D)から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB}) \tag{5}$$

Ψ_{JB} の typ 値は、8 ピン LFCSP パッケージの場合 15.1°C/W に、8 ピン SOIC パッケージの場合 17.9°C/W に、それぞれなります。

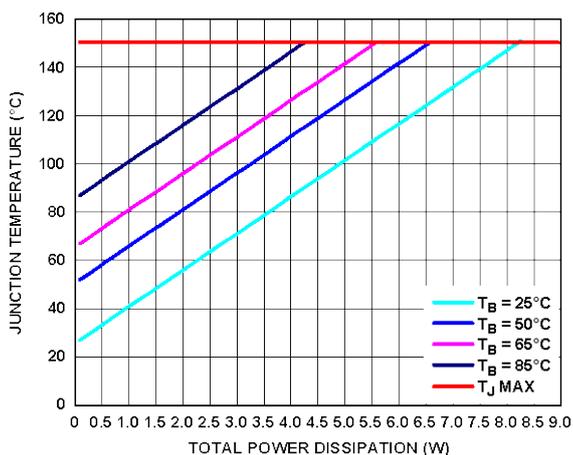


図 69.8 ピン LFCSP のトータル消費電力対ジャンクション温度

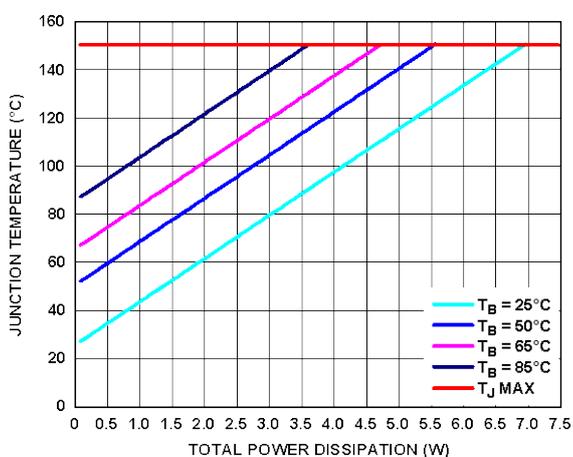


図 70.8 ピン SOIC のトータル消費電力対ジャンクション温度

プリント回路ボード・レイアウトでの考慮事項

入力コンデンサは VIN ピンと GND ピンのできるだけ近くに配置します。出力コンデンサは VOUT ピンと GND ピンのできるだけ近くに配置します。VREG、VREF、VBYP に対するバイパス・コンデンサをそれぞれのピンと GND の近くに配置してください。0805、0603、0402 サイズのコンデンサを使うと、面積が制限されているボード上で最小のフットプリント・ソリューションが実現できます。

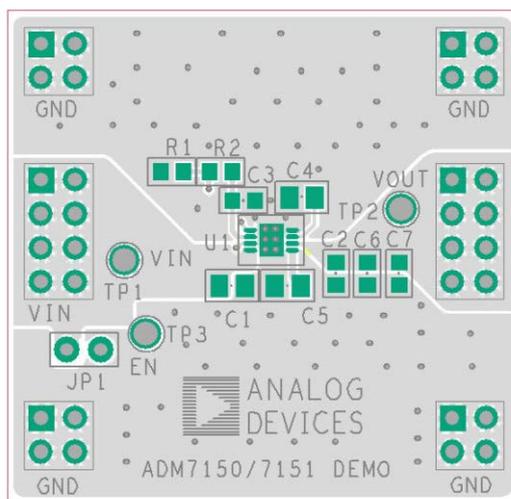


図 71.8 ピン LFCSP の PCB レイアウト例

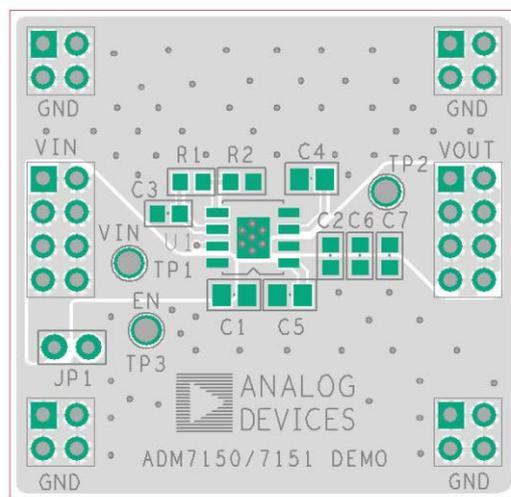


図 72.8 ピン SOIC の PCB レイアウト例

外形寸法

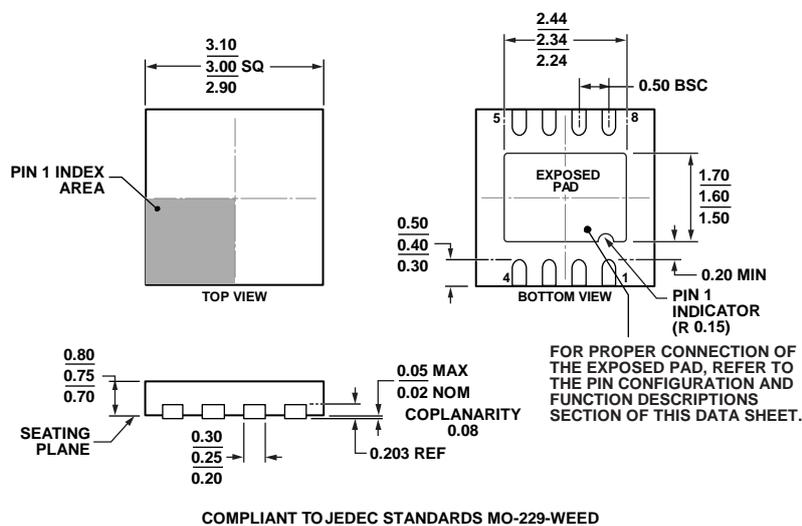


図 73.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WD]
 3 mm × 3 mm ボディ、極薄、デュアル・リード
 (CP-8-11)
 寸法: mm

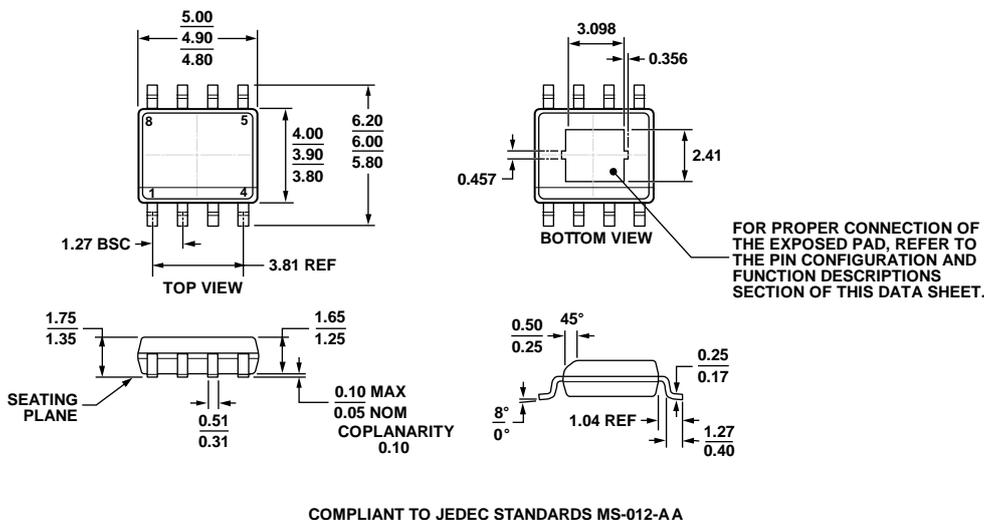


図 74.8 ピン標準スモール・アウトライン・パッケージ、エクスポーズド・パッド付き [SOIC_N_EP]
 ナロー・ボディ
 (RD-8-2)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage	Package Description	Package Option	Branding
ADM7150ACPZ-1.8-R2	-40°C to +125°C	1.8	8-Lead LFCSP_WD	CP-8-11	LP3
ADM7150ACPZ-3.3-R2	-40°C to +125°C	3.3	8-Lead LFCSP_WD	CP-8-11	LNA
ADM7150ACPZ-4.5-R2	-40°C to +125°C	4.5	8-Lead LFCSP_WD	CP-8-11	LNL
ADM7150ACPZ-4.8-R2	-40°C to +125°C	4.8	8-Lead LFCSP_WD	CP-8-11	LNM
ADM7150ACPZ-5.0-R2	-40°C to +125°C	5.0	8-Lead LFCSP_WD	CP-8-11	LNB

Model ¹	Temperature Range	Output Voltage	Package Description	Package Option	Branding
ADM7150ACPZ-1.8-R7	-40°C to +125°C	1.8	8-Lead LFCSP_WD	CP-8-11	LP3
ADM7150ACPZ-3.3-R7	-40°C to +125°C	3.3	8-Lead LFCSP_WD	CP-8-11	LNA
ADM7150ACPZ-4.5-R7	-40°C to +125°C	4.5	8-Lead LFCSP_WD	CP-8-11	LNL
ADM7150ACPZ-4.8-R7	-40°C to +125°C	4.8	8-Lead LFCSP_WD	CP-8-11	LNM
ADM7150ACPZ-5.0-R7	-40°C to +125°C	5.0	8-Lead LFCSP_WD	CP-8-11	LNB
ADM7150ARDZ-1.8	-40°C to +125°C	1.8	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-2.8	-40°C to +125°C	2.8	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-3.0	-40°C to +125°C	3.0	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-3.3	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-5.0	-40°C to +125°C	5.0	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-3.0-R7	-40°C to +125°C	3.0	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-3.3-R7	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-2	
ADM7150ARDZ-5.0-R7	-40°C to +125°C	5.0	8-Lead SOIC_N_EP	RD-8-2	
ADM7150CP-EVALZ		5.0	Evaluation Board		

¹ Z = RoHS 準拠製品。