



カスケード可能なスーパー・シーケンサ (Super Sequencer) マージニング制御機能および障害記録機能付き

データシート

ADM1266

特長

- 最大 17 個の電源までのフル機能内蔵型の監視およびシーケンシング・ソリューション
- 2 線式のデバイス間バスに ADM1266 IC を追加接続することで 257 個の電源まで拡張可能
- 完全にプログラマブルなシーケンシング・エンジン
- 17 個の電源障害検出器によりリアルタイムの電源監視が可能
- VH1~VH4 (VHx) で 0.4V~15V
- VP1~VP13 (VPx) で 0.4V~5V
- 動作の冗長性を向上するために、VH1、VH2 入力のうち電圧の高いほうからデバイスに電源を供給
- 全監視電圧のリードバック用に 12 ビット ADC を内蔵
- ブラック・ボックスの不揮発性障害記録
- 16 個の PDIO
- 9 個の GPIO
- 9 個の電圧出力 8 ビット DAC により、DC/DC コンバータのトリム/帰還ノードを介した電圧マージニング調整が可能
- メインおよびバックアップ・メモリ
- 業界標準の PMBus インターフェース準拠
- 9mm x 9mm の 64 ピン・パッケージを採用

概要

ADM1266 (Super Sequencer®) は、様々な設定が可能な監視/シーケンシング用デバイスで、最大 17 個の電源を持つシステムの電源監視とシーケンシングをシングルチップで実現します。17 個以上の電源 (257 個まで) を持つシステムに対しては、16 個までの ADM1266 デバイスの動作を独自の 2 線インターフェース (デバイス間バス) により、同期させることができます。

シーケンシング・エンジン (SE) は電源障害検出器 (SFD)、プログラマブルなドライバ入出力 (PDIO)、汎用入出力 (GPIO) およびタイマーを監視し、必要に応じて電源のアップ・ダウンをシーケンスするため PDIO と GPIO を制御します。このデバイスのロジック・コアは、ARM® Cortex-M3 マイクロコントローラです。ファームウェアはアナログ・デバイセズが供給し、すべての構成が直感的なグラフィック・ユーザ・インターフェース (GUI) によって実行されます。

また、ADM1266 は A/D コンバータ (ADC) と電圧出力 D/A コンバータ (DAC) を統合しており、クロズドループの自律的なマージニング・システムを実装する DC/DC コンバータの帰還ノードまたはリファレンスを調整するために使用できます。

シーケンシング・エンジン構成によって指示された場合に、電圧、時刻、および障害情報を記録するために不揮発性 EEPROM のブロックを利用できます。

機能ブロック図

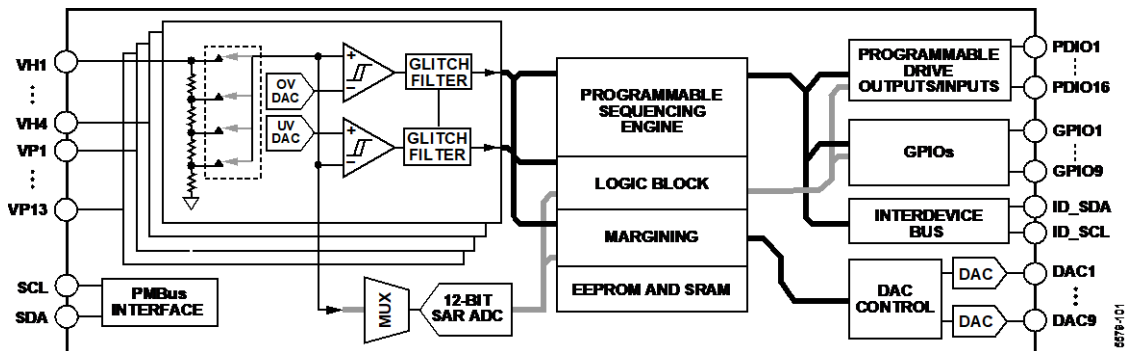


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長.....	1	デバイスのロック解除.....	25
概要.....	1	デバイスのロック.....	25
機能ブロック図.....	1	パスワードの変更.....	25
改訂履歴.....	3	メモリ.....	26
詳細な機能ブロック図.....	4	概要.....	26
仕様.....	5	パワーアップ.....	26
絶対最大定格.....	10	手動の CRC 計算.....	26
熱抵抗.....	10	リフレッシュ.....	26
ESD に関する注意.....	10	自動リフレッシュ.....	26
ピン配置およびピン機能の説明.....	11	加速係数.....	26
代表的な性能特性.....	13	アプリケーション情報.....	28
動作原理.....	14	概要.....	28
ADM1266 の電源.....	14	ADM1266 の電源.....	28
入力.....	15	推奨の PCB アセンブリおよびレイアウト.....	28
プログラマブルなドライバ入出力.....	16	コンデンサ.....	28
汎用入出力.....	17	グラウンド接続.....	28
シーケンシング・エンジン (SE).....	18	PMBus/I ² C.....	28
概要.....	18	IDB.....	28
パワーアップとステート 0.....	18	電圧の検出.....	28
ステート・セクション.....	18	PDIO および GPIO.....	28
アクション・タイプ.....	18	DAC 出力.....	28
並列動作およびデバイス間バス.....	18	クロック.....	28
ステート.....	19	未使用ピン.....	28
電源のマージニング.....	20	PMBus デジタル通信.....	29
概要.....	20	PMBus の機能.....	29
ブラック・ボックス (EEPROM) の障害記録.....	22	概要.....	29
外部電源がパワーダウンした場合のブラック・ボックス書込み.....	22	転送プロトコル.....	29
ブラック・ボックス書込みのトリガ.....	22	データ転送コマンド.....	30
ブラック・ボックス記録モード.....	22	グループ・コマンド・プロトコル.....	31
パワーアップ・カウンタ.....	22	クロック生成と伸長.....	31
ブラック・ボックスの書込み時間.....	22	開始および停止条件.....	31
ブラック・ボックスの内容.....	22	反復開始条件.....	31
タイム・スタンプ.....	23	ジェネラル・コールの対応.....	31
SET_RTC を使用した UNIX 時刻の設定.....	23	PMBus のアドレス選択.....	32
内部発振器.....	23	高速モード.....	32
外部発振器.....	23	10 ビット・アドレス指定.....	32
複数のデバイスのタイム・スタンプ.....	23	パケット・エラー・チェック.....	32
システムのロジック・ブロック.....	24	電気仕様.....	32
パスワード保護.....	25	PMBus コマンド.....	33
		標準 PMBus コマンドの説明.....	34

標準の PMBus コマンド	34	オーダー・ガイド	62
外形寸法	62		

改訂履歴

5/2018—Revision 0: Initial Version

詳細な機能ブロック図

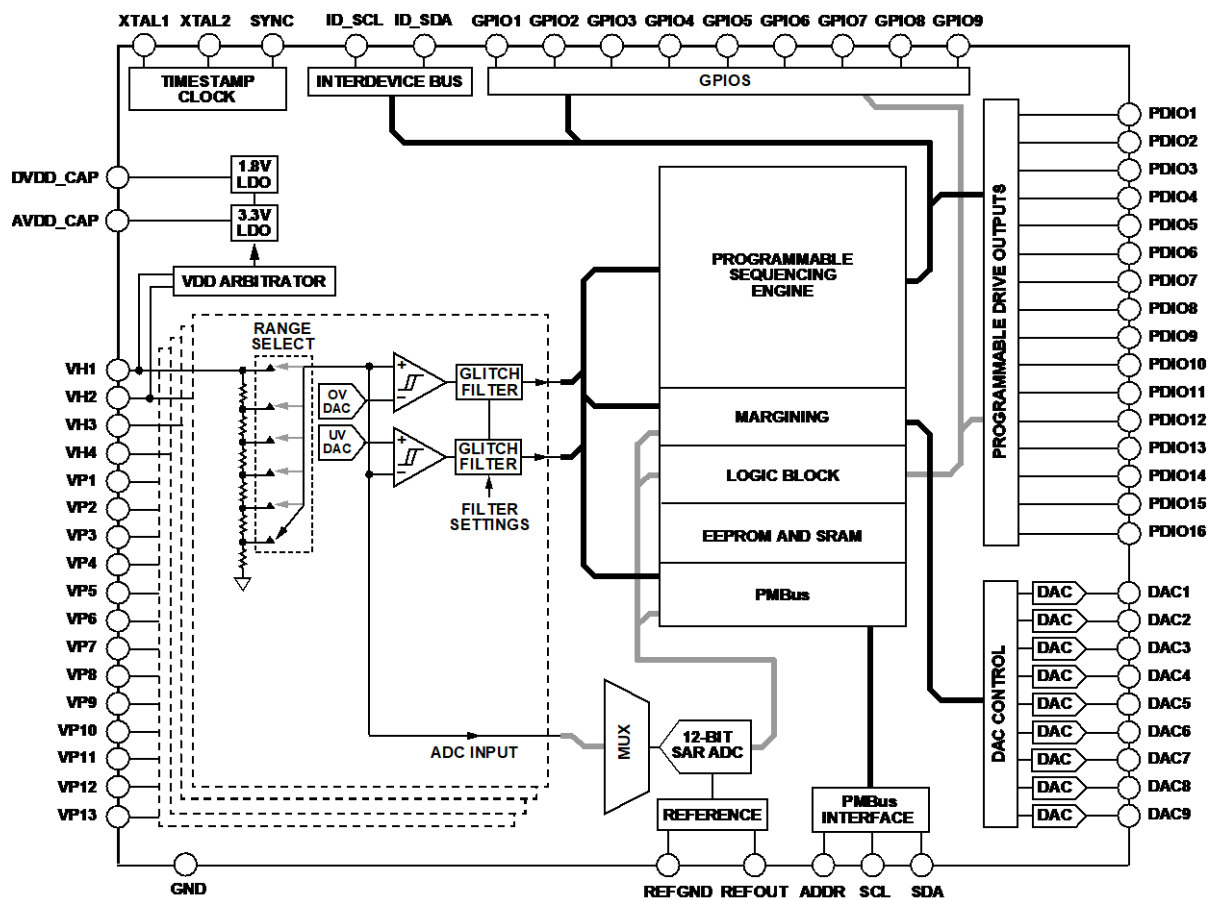


図 2.

1.6576-001

仕様

特に指定のない限り、 $T_j = 0^\circ\text{C} \sim +85^\circ\text{C}$ 、 V_{H1} および $V_{H2} > 3\text{V}$ 。精度 (%) = (測定電圧 - 印加電圧) \times 100/印加電圧。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC, SINGLE-ENDED					
Accuracy of VHx Pins with 16 \times Averaging					
6 V to 15 V			± 0.64	%	VHx = 10.623 V
3 V to 7.5 V			± 0.64	%	VHx = 5.311 V
1.5 V to 3.75 V			± 0.62	%	VHx = 2.656 V
750 mV to 1.875 V			± 0.66	%	VHx = 1.328 V
400 mV to 1 V			± 0.69	%	VHx = 708 mV
Accuracy of VPx Pins with 16 \times Averaging					
2 V to 5 V			± 0.79	%	VPx = 3.541 V
1.5 V to 3.75 V			± 0.79	%	VPx = 2.656 V
750 mV to 1.875 V			± 0.70	%	VPx = 1.328 V
400 mV to 1 V					
Direct			± 0.67	%	VPx = 708 mV
High-Z			± 0.66	%	VPx = 708 mV
SUPPLY FAULT DETECTORS					
Accuracy of VHx Pins					
6 V to 15 V			± 0.65	%	VHx = 10.623 V
3 V to 7.5 V			± 0.65	%	VHx = 5.311 V
1.5 V to 3.75 V			± 0.64	%	VHx = 2.656 V
750 mV to 1.875 V			± 0.79	%	VHx = 1.328 V
400 mV to 1 V			± 1.02	%	VHx = 708 mV
Accuracy of VPx Pins					
2 V to 5 V			± 1.05	%	VPx = 3.541 V
1.5 V to 3.75 V			± 0.89	%	VPx = 2.656 V
750 mV to 1.875 V			± 0.76	%	VPx = 1.328 V
400 mV to 1 V					
Direct			± 0.76	%	VPx = 708 mV
High-Z			± 0.71	%	VPx = 708 mV
ADC, DIFFERENTIAL					
Accuracy of VPx Pins with 16 \times Averaging					
2 V to 5 V			± 0.90	%	VPx = 3.541 V
1.5 V to 3.75 V			± 0.72	%	VPx = 2.656 V
750 mV to 1.875 V			± 0.64	%	VPx = 1.328 V
400 mV to 1 V					
Direct			± 0.63	%	VPx = 708 mV
High-Z			± 0.61	%	VPx = 708 mV

特に指定のない限り、 $T_J = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 V_{H1} および $V_{H2} > 3\text{V}$ 。精度 (%) = (測定電圧 - 印加電圧) \times 100/印加電圧。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC, SINGLE-ENDED					
Accuracy of V_{Hx} Pins					
6 V to 15 V			± 0.64	%	$V_{Hx} = 10.623\text{ V}$
3 V to 7.5 V			± 0.64	%	$V_{Hx} = 5.311\text{ V}$
1.5 V to 3.75 V			± 0.62	%	$V_{Hx} = 2.656\text{ V}$
750 mV to 1.875 V			± 0.66	%	$V_{Hx} = 1.328\text{ V}$
400 mV to 1 V			± 0.69	%	$V_{Hx} = 708\text{ mV}$
Accuracy of V_{Px} Pins					
2 V to 5 V			± 0.90	%	$V_{Px} = 3.541\text{ V}$
1.5 V to 3.75 V			± 0.79	%	$V_{Px} = 2.656\text{ V}$
750 mV to 1.875 V			± 0.70	%	$V_{Px} = 1.328\text{ V}$
400 mV to 1 V					
Direct			± 0.67	%	$V_{Px} = 708\text{ mV}$
High-Z			± 0.66	%	$V_{Px} = 708\text{ mV}$
SUPPLY FAULT DETECTORS					
Accuracy of V_{Hx} Pins					
6 V to 15 V			± 0.73	%	$V_{Hx} = 10.623\text{ V}$
3 V to 7.5 V			± 0.67	%	$V_{Hx} = 5.311\text{ V}$
1.5 V to 3.75 V			± 0.64	%	$V_{Hx} = 2.656\text{ V}$
750 mV to 1.875 V			± 0.79	%	$V_{Hx} = 1.328\text{ V}$
400 mV to 1 V			± 1.02	%	$V_{Hx} = 708\text{ mV}$
Accuracy of V_{Px} Pins					
2 V to 5 V			± 1.15	%	$V_{Px} = 3.541\text{ V}$
1.5 V to 3.75 V			± 0.98	%	$V_{Px} = 2.656\text{ V}$
750 mV to 1.875 V			± 0.85	%	$V_{Px} = 1.328\text{ V}$
400 mV to 1 V					
Direct			± 0.80	%	$V_{Px} = 708\text{ mV}$
High-Z			± 0.78	%	$V_{Px} = 708\text{ mV}$
ADC, DIFFERENTIAL					
Accuracy of V_{Px} Pins with 16 \times Averaging					
2 V to 5 V			± 0.99	%	$V_{Px} = 3.541\text{ V}$
1.5 V to 3.75 V			± 0.82	%	$V_{Px} = 2.656\text{ V}$
750 mV to 1.875 V			± 0.64	%	$V_{Px} = 1.328\text{ V}$
400 mV to 1 V					
Direct			± 0.63	%	$V_{Px} = 708\text{ mV}$
High-Z			± 0.61	%	$V_{Px} = 708\text{ mV}$

特に指定のない限り、 $T_J = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 V_{H1} および $V_{H2} > 3\text{V}$ 。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY					
VH1 and VH2	3.0		15.0	V	Minimum supply required on one of VH1/VH2 pins
Supply Current, $I_{V_{H1}/V_{H2}}$		16	50	mA	Depends on pin configuration
VH1 and VH2 Undervoltage Lockout (UVLO)	2.59	2.71	2.83	V	Voltage below which the device turns off
VH1 and VH2 UVLO Hysteresis		111		mV	Voltage, above the UVLO voltage level, at which the device turns on
VH1 and VH2 Arbitration Hysteresis	90			mv	VH1 and VH2 = 3.3 V
	317			mV	VH1 and VH2 = 5 V
	987			mV	VH1 and VH2 = 12 V
AVDD_CAP	3.2	3.3	3.355	V	Regulated AVDD_CAP low dropout (LDO) output; VH1 and VH2 > 3.6 V
DVDD_CAP	1.79	1.82	1.85	V	Regulated DVDD_CAP LDO output
SUPPLY FAULT DETECTORS					
VHx Pins					
Input Voltage Range	0		15	V	
Input Impedance					
VH1 and VH2		41		k Ω	
VH3 and VH4		153		k Ω	
VPx Pins					
Input Voltage Range	0		5	V	
Input Impedance		62		k Ω	
VPx Pins, Differential (Odd and Next Even) Common-Mode Voltage Offset	-100		+100	mV	Maximum voltage difference from VP2, VP4, VP6, VP8, VP10, and VP12 to GND in differential sense mode
Threshold Resolution		8		Bits	
Digital Glitch Filter		2		μs	Minimum programmable filter length
		100		μs	Maximum programmable filter length
PROGRAMMABLE DRIVER					
INPUT/OUTPUTS					
Input Voltage, High (V_{IH})	1.4			V	
Input Voltage, Low (V_{IL})			0.6	V	
Output Voltage, High (V_{OH})	2.8		AVDD_CAP	V	$I_{OH} = 0.5\text{ mA}$
Output Voltage, Low (V_{OL})	0		0.50	V	$I_{OL} = 20\text{ mA}$
Output Current, High (I_{OH})			500	μA	Maximum source current per PDIOx pin
Source Current (I_{SOURCE})			3	mA	Maximum total source for all PDIOx pins
Output Current, Low (I_{OL})			20	mA	Maximum sink current per PDIOx pin
Sink Current (I_{SINK})			60	mA	Maximum total sink for all PDIOx pins
Pull-Up Resistance ($R_{PULL-UP}$)		20		k Ω	Internal pull-up
Pull-Up Resistance ($R_{PULL-DOWN}$)		20		k Ω	Internal pull-down
Tristate Leakage Current			9	μA	$V_{PDIO} = 21\text{ V}$
			1	μA	$V_{PDIO} < 3.6\text{ V}$
GPIOs					
V_{IH}	1.63			V	
V_{IL}			0.8	V	
V_{OH}	2.6		AVDD_CAP	V	$I_{OH} = 4\text{ mA}$
V_{OL}	0		0.50	V	$I_{OL} = 4\text{ mA}$
I_{OH}			4	mA	Maximum source current per GPIOx pin
I_{SOURCE}			12	mA	Maximum total source for all GPIOx pins
I_{OL}			4	mA	Maximum sink current per GPIOx pin
I_{SINK}			12	mA	Maximum total sink for all GPIOx pins
Tristate Leakage Current			1	μA	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
BUFFERED VOLTAGE OUTPUT DACs					
Resolution		8		Bits	
Code 0x7F Output Voltage					
0.2 V to 0.8 V	0.501	0.506	0.516	V	
0.3 V to 0.9 V	0.603	0.607	0.618	V	
0.5 V to 1.1 V	0.804	0.809	0.820	V	
0.7 V to 1.3 V	1.005	1.011	1.021	V	
0.95 V to 1.55 V	1.256	1.264	1.273	V	
Output Voltage Range		606		mV	Same range, independent of center point
LSB Step Size		2.376		mV	
DAC Supply Currents			3	mA	Maximum total source for all DAC pins
DAC Leakage Current			1	μ A	
Maximum Load Current					
Source			0.25	mA	
Sink			0.25	mA	
Maximum Load Capacitance			50	pF	
Settling Time to 50 pF Load			2	μ s	
ADC					
Signal Range	0		V_{REF}	V	
Resolution		12		Bits	
Round Robin Time		5		ms	
SERIAL BUS DIGITAL INPUTS (SCL, SDA)					
Input High Voltage, V_{IH}	2.1			V	
Input Low Voltage, V_{IL}			0.8	V	
Output Low Voltage, V_{OL}			0.4	V	
Clock Frequency, f_{SCLK}			400	kHz	
Bus Free Time, t_{BUF}	1.3			μ s	
Start Setup Time, $t_{SU:STA}$	0.6			μ s	
Stop Setup Time, $t_{SU:STO}$	0.6			μ s	
Start Hold Time, $t_{HD:STA}$	0.6			μ s	
SCL Low Time, t_{LOW}	1.3			μ s	
SCL Low Timeout, $t_{LOW:MAX}$			35	ms	PMBus resets if this value is exceeded
SCL High Time, t_{HIGH}	0.6		50	μ s	
SCL, SDA Rise Time, t_R			300	ns	
SCL, SDA Fall Time, t_F			300	ns	
Data Setup Time, $t_{SU:DAT}$	100			ns	
Data Hold Time, $t_{HD:DAT}$	300			ns	
ADDR PIN PULL-UP CURRENT					
	45	50	55	μ A	
SYNC					
Input High Voltage, V_{IH}	2.1			V	
Input Low Voltage, V_{IL}			0.8	V	
Output High Voltage, V_{OH}	2.6		AVDD_CAP	V	
Output Low Voltage, V_{OL}			0.5	V	
Clock Frequency, f_{SCLK}		32.768		kHz	
INTERDEVICES BUS (IDB)					
Input High Voltage, V_{IH}	2.1			V	
Input Low Voltage, V_{IL}			0.8	V	
Output Low Voltage, V_{OL}			0.4	V	
Clock Frequency, f_{SCLK}			1	MHz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE OUTPUT					
Reference Output Voltage (V_{REF})	2.006	2.020	2.031	V	V_{REF} , no load
Load Regulation		-0.25		mV	Sourcing current, $I_{DACMAX} = -100 \mu A$
		0.25		mV	Sinking current, $I_{DACMAX} = 100 \mu A$
Minimum Load Capacitance	1			μF	Capacitor required for decoupling, stability
TEMPERATURE SHUTDOWN (TSD)					
TSD Rising		150		$^{\circ}C$	
TSD Hysteresis		20		$^{\circ}C$	
EEPROM RELIABILITY					
Endurance ¹	10,000			Cycles	$T_J = 85^{\circ}C$
Data Retention ²	10			Years	$T_J = 85^{\circ}C$

¹ 書換え回数は、JEDEC 規格 22 Method A117 に準拠しています。

² データ保持期間の寿命は、JEDEC 規格 22 Method A117 に準拠した $85^{\circ}C$ のジャンクション温度 (T_J) での値です。データ保持期間の寿命は、ジャンクション温度によって低下します。

絶対最大定格

表 4.

Parameter	Rating
VHx, PDIOx to GND	21 V
VPx, AVDD_CAP to GND	5.5 V
DACx to GND	3.6 V
REFOUT to GND	3.6 V
ADDR to GND	3.6 V
REFGND, EPAD to GND	-0.3 V to +0.3 V
All Other Pins to GND	3.6 V
Maximum Junction Temperature (T _J max)	150°C
Storage Temperature Range ¹	-65°C to +125°C
ESD Rating, All Pins	
Charged Device Model	750 V
Human Body Model	2000 V

¹ 加速度ファクタのセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周辺との間の熱抵抗です。表 5 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。

表 5. 熱抵抗¹

Package Type	θ_{JA} ²	θ_{JC_BOTTOM} ^{3,4}	Ψ_{JT}	Ψ_{JB}	Unit
CP-64-15	24.2	0.6	0.1	3.6	°C/W

¹ 特に指定のない限り、表 5 の値は標準 JEDEC テスト条件に基づいて計算されたものです。

² θ_{JA} は、49 個の標準 JEDEC ピアを持つ 2S2P PCB を使用してシミュレーションしたものです。

³ θ_{JC_BOTTOM} テストでは、100 μ m の TIM を使用します。TIM は 3.6W/mK と仮定しています。

⁴ θ_{JC_BOTTOM} は、49 個の標準 JEDEC ピアを持つ 1S0P PCB を使用してシミュレーションしたものです。

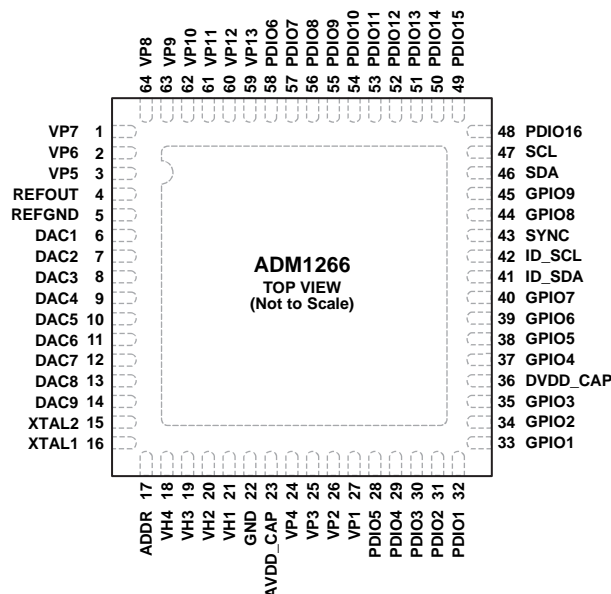
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE EXPOSED PAD MUST BE SOLDERED TO THE GROUND PLANE.

15579-002

図 3. ピン配置

表 6. ピン機能の説明

Pin No.	Mnemonic ¹	Description
1 to 3, 24 to 27, 59 to 64	VP1 to VP13	電源障害検出器への低電圧入力。これらのピンは、最大 5V の電圧を監視します。
4	REFOUT	リファレンス出力。このピンと REFGND の間に 1 個のコンデンサを接続する必要があります。これには、2.2μF のコンデンサを使用することを推奨します。
5	REFGND	内蔵リファレンス回路のグラウンド・リターン。このグラウンドは、GND ピンにスター接続します。
6 to 14	DAC1 to DAC9	電圧出力 DAC。これらの DAC は、電源レールのマーージングとトリミングに使用できます。
15	XTAL2	水晶発振器入力 2。このピンは、32.768kHz の水晶発振器入力用に設定されています。高インピーダンスに設定することもできます。
16	XTAL1	水晶発振器入力 1。このピンは、32.768kHz の水晶発振器入力用に設定されています。高インピーダンスに設定することもできます。
17	ADDR	PMBus アドレス選択用の抵抗。GND との間に接続された抵抗によって、16 個のアドレスの 1 つが選択されます。
18 to 21	VH1 to VH4	電源障害検出器への高電圧入力。これらのピンは、最大 15V の電圧を監視できます。VH1 と VH2 のうち電圧の高いほうが電源アービトラータを介して ADM1266 を駆動します。
22	GND	電源グラウンド。
23	AVDD_CAP	アナログ電源電圧。VH1 ピンおよび VH2 ピンのうち高いほうの電圧から 3.3V (代表値) にリニアに安定化されます。このピンと GND の間に 1 個のコンデンサを接続する必要があります。これには、68μF 以上のコンデンサを使用することを推奨します。
28 to 32, 48 to 58	PDIO1 to PDIO16	プログラマブルなドライバ入出力。パワーアップ時に、これらのピンはデフォルトで 20kΩ のプルダウン抵抗に接続されています。
33 to 35, 37 to 40, 44, 45	GPIO1 to GPIO9	汎用入出力。スタートアップ状態では、これらのピンはデフォルトで高インピーダンスになっています。
36	DVDD_CAP	デジタル電源電圧 (代表値 1.8V)。このピンと GND の間に 1 個のコンデンサを接続する必要があります。これには、2.2μF (またはそれ以上)、X5R/10V タイプ (またはそれ以上)、0402 サイズ (またはそれ以上) のコンデンサを使用することを推奨します。
41	ID_SDA	デバイス間通信バスのデータ信号。ID_SDA は双方向のオープンドレイン・ピンで、2.2kΩ の外付けプルアップ抵抗が必要です。プルアップ源は AVDD_CAP から取ることを推奨します。スタートアップ状態では、このピンはデフォルトで高インピーダンスになっています。
42	ID_SCL	デバイス間通信バスのクロック信号。ID_SCL は双方向のオープンドレイン・ピンで、2.2kΩ の外付けプルアップ抵抗が必要です。プルアップ源は AVDD_CAP から取ることを推奨します。スタートアップ状態では、このピンはデフォルトで高インピーダンスになっています。

Pin No.	Mnemonic ¹	Description
43	SYNC	32.768kHz クロックのタイミング同期入出力。このピンを使用して、ボード上の他の ADM1266 デバイスにクロック信号を供給することができます。また、32.768kHz の入力信号を外部クロック源から ADM1266 に供給することができます。スタートアップ状態では、このピンはデフォルトで高インピーダンスになっています。
46	SDA	PMBus データ。SDA は双方向のオープンドレイン・ピンで、2.2kΩ の外付けプルアップ抵抗が必要です。
47	SCL	PMBus クロック。SCL は双方向のオープンドレイン・ピンで、2.2kΩ の外付けプルアップ抵抗が必要です。
	EPAD	露出パッド。露出パッドはグラウンド・プレーンにハンダ付けする必要があります。

¹ 未使用ピンはすべて GND に接続してください。

代表的な性能特性

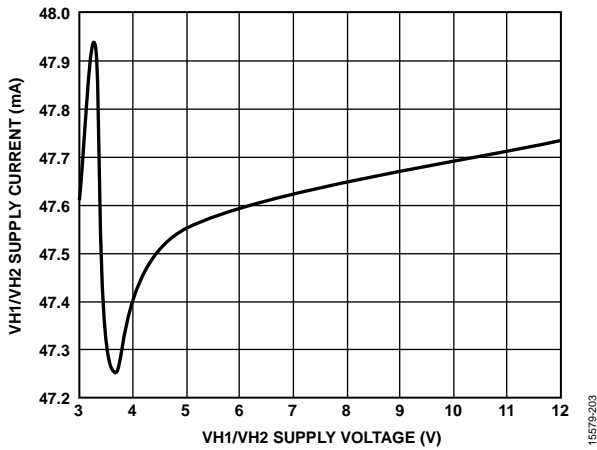


図 4. 42mA の負荷を AVDD_CAP に印加した場合の VH1/VH2 電流と VH1/VH2 電圧の関係

15579-203

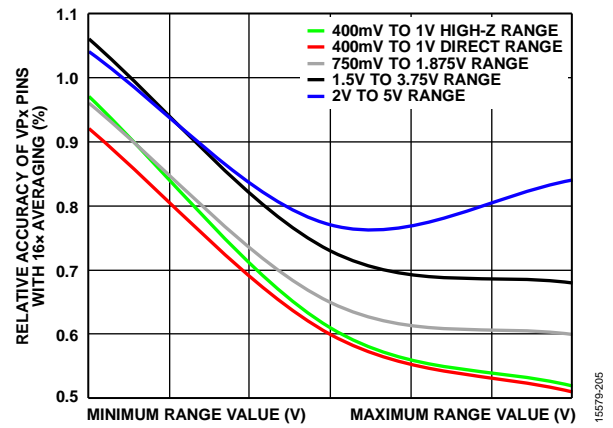


図 6. 電源障害検出器の全範囲における平均化 (16 サンプル) された VPx ピンの相対精度 (%)

15579-205

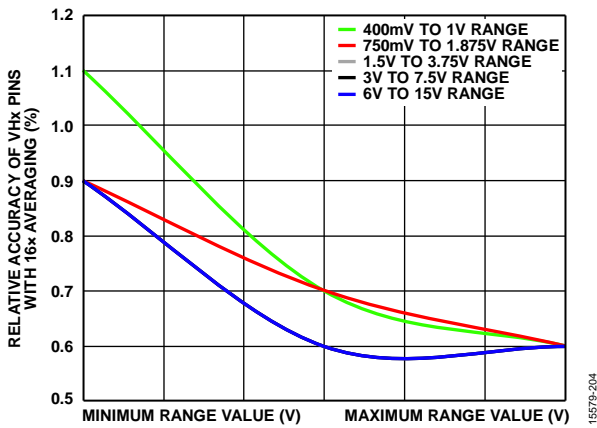


図 5. 電源障害検出器の全範囲における平均化 (16 サンプル) された VHx ピンの相対精度 (%)

15579-204

動作原理

ADM1266 の電源

ADM1266は、VH1とVH2のうち高いほうの電圧入力で駆動します。この技術は電源アービトレーションと呼ばれ、デバイスが1つの特定の電圧レールに依存することなく動作を維持できるため、冗長性が向上します。デバイスのAVDD_CAPアービトレータが、使用する電源を選択します。このアービトレータは、2個のLDOレギュレータのOR接続とみなすことができます。電源コンパレータは、最も高い入力を選択して内蔵電源に供給します。VH1とVH2を同じ電圧レベルに接続すると、2つの電圧のリプルがアービトレータ回路に絶えずトグルを発生させる可能性があるため、推奨しません。このアーキテクチャにより電圧降下を最小限に抑えられるため、わずか3Vの電源でADM1266を駆動できます。VH1とVH2ピンには、10 μ Fのバイパス・コンデンサと0.1 μ Fのデカップリング・コンデンサを接続する必要があります。また、これらのコンデンサにより、VH1からVH2、およびVH2からVH1への切替え時のアービトレーションを確実に行うことができます。複数のADM1266デバイスを使用するシステムでは、すべてのデバイスを同じ電源レールで駆動することが重要です。

ノイズから内蔵電源をデカップリングするために、AVDD_CAPとGNDの間に外付けコンデンサを接続する必要があります（図7参照）。このコンデンサは、ブラウンアウト（一時的な電源喪失）時には別の目的で使用されます。このような条件下では、すべての入力電源（VHxピン）がAVDD_CAPより低くなるため、VHxの電源がAVDD_CAPをプルダウンしないようにLDOレギュレータは直ちにオフになります。その後、AVDD_CAPのコンデンサがリザーバとして機能して、次にこれより高い電圧の電源がデバイスの駆動を引き継ぐまでの間、ADM1266の動作を維持します。このリザーバ/デカップリング機能のため、最小でも68 μ Fのコンデンサを推奨します。

すべての電源喪失時に、完全な障害記録をEEPROMに書き込む必要がある場合は、AVDD_CAPのコンデンサの値を更に大きくすることができます。

VHx入力ピンは最大15Vの電源に対応しているため、12Vのバックプレーン電源を使用してADM1266を駆動できます。この12V電源がホット・スワップに対応している場合、ADM1266をこの電源に直接接続することは推奨しません。ホット・スワップ・コントローラやRCフィルタ回路を使用するなど、適切な予防措置を講じて、ホット・スワップ時のトランジエントによる損傷からデバイスを保護してください。

2つ以上の電源のそれぞれの差が、VH1/VH2アービトレーションのヒステリシス値以内にある場合は、先にAVDD_CAPを制御している電源が制御を続けます。例えば、VH1を5.0V電源に接続した場合、AVDD_CAPはVH1を使用して最大3.3V（代表値）で駆動します。その後、VH2を別の5.0V電源に接続しても、VH2がVH1より約317mV以上高くない限り、VH1がデバイスを駆動し続けます。

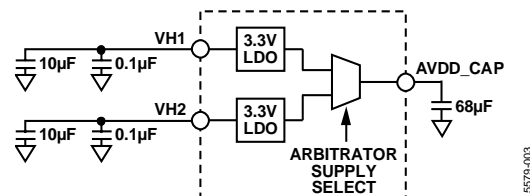


図 7. AVDD_CAP アービトレータの動作

パワーアップ中に、ADM1266 はメイン・ブート・ローダ、メイン・ファームウェア、メイン設定、およびバックアップ設定をチェックして、これらのセクション内のデータが正しいことを確認します。複数のデバイスが同じ IDB に接続されている場合は、すべてのデバイスがメインおよびバックアップ設定を個々にチェックして、この結果をマスタに送信します。そして、マスタ・デバイスは正しい設定を決定して実行します。ブート・アップ時間、すなわち VH1 または VH2 が 3V を超えてから、デバイスがステート 1 を実行する準備が整うまでの時間は設定のサイズによって変わります。GUI の右上隅に、設定メモリのサイズをパーセンテージで示すアイコンがあります。このパーセンテージを次式に使用してブート・アップ時間を計算します。

$$\text{ブート・アップ時間 (ms)} = 1.142 \times \text{パーセンテージ} + 192$$

例えば、メモリの 27% が使用されている場合、次のようになります。

$$\text{ブート・アップ時間} = 1.142 \times 27 + 192$$

$$\text{ブート・アップ時間} = 223\text{ms}$$

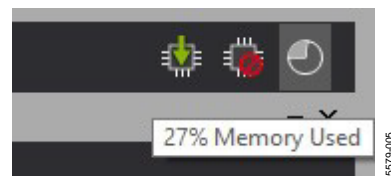


図 8. 設定メモリ・サイズを表示する GUI のアイコン

入力

電源障害検出器

ADM1266 には、プログラマブルな電源障害検出器 (SFD) を備えた 17 個の入力があります。これらの専用入力には VHx ($VH1 \sim VH4$) および VPx ($VP1 \sim VP13$) と名付けられています。また、ADM1266 は VPx ピンを使用して高精度の差動電圧測定も可能です (例外として、 $VP13$ は差動測定に使用できません)。1 つの差動測定に 2 個の VPx ピンが必要です。奇数の VPx ピン (例えば $VP1$) を常に高電圧側にしなければなりません。差動測定には、次の番号の偶数 VPx ピン (この例では $VP2$) を使用します。差動測定用の VPx ピンは、両方とも同じ入力範囲を選択する必要があります。奇数の VPx ピンの SFD が差動測定に応答します。ピンの構成を図 9 に示します。各 SFD 入力には、低電圧 (UV) 障害 (入力電圧が予め設定された値より低い電圧に降下) や、または過電圧 (OV) 障害 (入力電圧が予め設定された値より高い電圧に上昇) を検出するように設定できます。プログラマブルなグリッチ・フィルタ (最大 $100\mu s$) により、起動時の電源バウンスなどのスプリアス遷移を除去することができます。

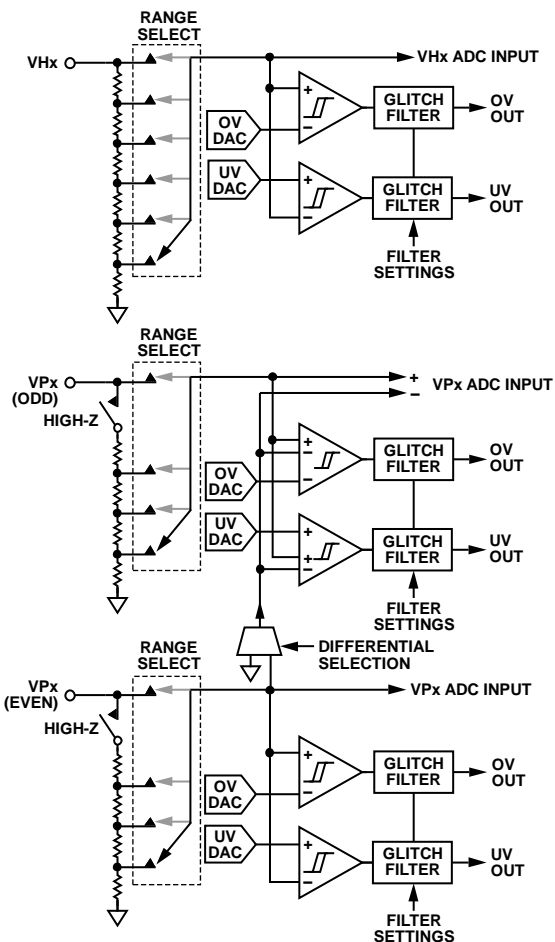


図 9. 電源障害検出器

閾値設定の電圧範囲は以下のとおりです。

- 0.4V~1.0V
- 0.75V~1.875V
- 1.5V~3.75V
- 2.0V~5.0V (VPx ピンのみ)
- 3.0V~7.5V (VHx ピンのみ)
- 6.0V~15.0V (VHx ピンのみ)

電圧源に直接接続する場合は、 VHx および VPx ピンのラッチアップを防止するため、 100Ω の直列抵抗を接続することを推奨します。 $VH1$ と $VH2$ は電源ピンのため、 100Ω の直列抵抗は不要です。

入力コンパレータのヒステリシス

図 9 に示す UV および OV コンパレータは、常時、 VHx と VPx の電圧を監視し、検出します。チャタリング (入力が設定した閾値レベルと非常に近い値の場合に生じる多数の遷移) を防ぐため、これらのコンパレータはデジタル設定可能なヒステリシスを備えています。このヒステリシスは、電源電圧が許容値を超えた後に追加されます。そのため、入力が UV の閾値を一定量上回ると UV 障害のアサートが解除されるように、その電圧量を設定できます。同様に、入力が OV の閾値を一定量下回ると OV 障害のアサートが解除されるように、その電圧量を設定できます。

グリッチ・フィルタ

ADM1266 は、各コンパレータの出力に専用のデジタル・グリッチ・フィルタを備えています。障害をトリガするため、コンパレータはグリッチ・フィルタの設定時間より長い時間でセットされなければなりません。この時間は $2\mu s \sim 100\mu s$ の間で設定でき、 VHx および VPx ピンで発生するトランジェント・ノイズのフィルタ処理に使用します。

外付け抵抗分圧器の使用

外付け抵抗分圧器を使用すると、更に高い電圧の検出や高精度化が可能です。外付け抵抗分圧器を使用する場合は、 VPx ピンで $0.4V \sim 1V$ の高インピーダンス範囲を選択します。通常の条件下では、OV および UV 設定が最大範囲をとれるように、 VPx ピンが $0.7V$ になる大きさの抵抗分圧器を使用することを推奨します。

外付け抵抗分圧器の大きさは、`VOUT_SCALE_MONITOR` コマンド (レジスタ `0x2A`) を使用してデバイスに入力することができます。

警告

UV 警告および OV 警告は、`VOUT_OV_WARN_LIMIT` (レジスタ `0x42`) と `VOUT_UV_WARN_LIMIT` (レジスタ `0x43`) を、ADC からの読出しと比較して生成されます。ADC のラウンド・ロビン時間は $5ms$ のため、警告が生成されてからデバイスがこれを検出するまでの最大遅延時間は $5ms$ です。

警告は、シーケンシング・エンジンには送られません。また、ステート・マシンのイベントをトリガするために使用することもできません。代わりに、警告はロジック・ブロックに送られ、`PDIO` と `GPIO` をアサート/アサート解除するために使用できます。

閾値の設定

UV と OV の閾値は、表 7 のコマンドを使用して設定します。

表 7. UV と OV の閾値コマンド

Command	Register	Description
VOUT_MODE	0x20	以下のコマンドで使用する、線形の PMBus 計算における指数部を設定するために使用します。
VOUT_OV_WARN_LIMIT, VOUT_UV_WARN_LIMIT	0x42, 0x43	警告の制限値を表す線形の PMBus 計算における仮数部を設定するために使用します。
VOUT_OV_FAULT_LIMIT, VOUT_UV_FAULT_LIMIT	0x40, 0x44	障害の制限値を表す線形の PMBus 計算における仮数部を設定するために使用します。
VOUT_OV_HYST_LIMIT, VOUT_UV_HYST_LIMIT	0xD0, 0xD1	ヒステリシスの制限値を表す線形の PMBus 計算における仮数部を設定するために使用します。

電圧リードバックおよびステータス

ADM1266 には 12 ビット高精度 ADC が内蔵されており、READ_VOUT コマンド (レジスタ 0x8B) を使用して PMBus 上で電圧をリードバックできます。ADC への入力、17 個の SFD 入力 (VHx および VPx ピン) で構成されています。ADC への入力は、VPx および VHx ピンの入力アッテネータの後側から接続されます (図 9 参照)。

また、単に ADC でリードバックするためだけに電源を入力ピンに接続することも可能です。この場合、入力ピンが選択した監視範囲の制限を超えても構いません (ただし、これらのピンの絶対最大定格を超えてはなりません)。例えば、最も低い範囲 (0.4V~1.0V) を選択した VPI ピンに 1.5V 電源を接続した場合でも、このピンで設定可能な監視範囲は常に超えています。ADC で正しく読み出すことができます。

電圧のトリミング

VOUT_TRIM PMBus コマンド (レジスタ 0x22) を使用して、すべての閾値設定と電圧リードバックにオフセット・トリムを追加できます。このコマンドを使用して、外付け部品によって生成される誤差を除去できます。

プログラマブルなドライバ入出力

設定可能な出力ドライバによる電源のシーケンシング

プログラマブルなドライバ入出力 (PDIOx) ピンは、通常、ロジック・イネーブル信号による外部電源の駆動、またはシーケンシング・エンジンへのデジタル入力を行うために使用します。PDIOx がアサートされる (すなわち、電源をオンにする) シーケンスは、SE のファームウェアによって制御されます。SE は、ADM1266 の入力の状態に基づいて、PDIOx ピンで行うアクションを決定します。したがって、SFD が許容範囲内で、デバイスのどの入力からも障害の送信がない場合、PDIOx ピンをアサートするように設定できます。

また、すべての SFD が許容範囲内にあるときに PDIOx ピンを使用してパワーグッド信号を出力することもできます。あるいは、SFD の中の 1 つが仕様の範囲を外れた場合には、リセット信号を出力することもできます (パワーグッド信号は、DSP、FPGA、または他のマイコン用のステータス信号として使用できます)。

PDIOx ピンのオープンドレイン特性により、ステータス表示用の LED 駆動に使用することもできます。

PDIOx ピンの出力段は、プログラマブルなプルアップおよびプルダウンのオプションを備えています。PDIOx ピンは以下のような設定が可能です。

- AVDD_CAP へのプッシュ/プル。PDIOx ピンをプッシュ/プル設定で使用するには、PDIOx ピンから流れる電流を制限するために 20kΩ の直列抵抗を接続することを推奨します。
- 20kΩ の内部プルアップ抵抗を使用した AVDD_CAP へのオープンドレイン。
- 外付けプルアップ抵抗を使用した 20V までのオープンドレイン。
- 20kΩ の内部プルダウン抵抗を使用した GND へのオープンソース。
- 外付けプルダウン抵抗を使用した GND へのオープンソース。
- 高インピーダンス。
- AVDD_CAP への 20kΩ の内部プルアップ抵抗。
- GND への 20kΩ の内部プルダウン抵抗。

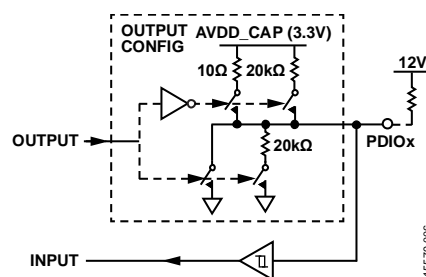


図 10. プログラマブルなドライバ入出力

デフォルトの出力設定

工場出荷時の未設定の ADM1266 デバイスでは、すべての内部レジスタが 0 にセットされています。このデフォルト設定のため、PDIOx ピンは内蔵のウィーク (20kΩ) プルダウン抵抗により GND にプルダウンされます。

ADM1266 への入力電源が VHx にランプアップされると、すべての PDIOx ピンは以下ようになります。

- 入力電源 = 0V~1.5V のとき、PDIOx ピンは高インピーダンスです。
- 入力電源 = 1.5V~2.7V のとき、PDIOx ピンは内蔵のウィーク (20kΩ) プルダウン抵抗により GND にプルダウンされます。
- 電源 > 2.7V のとき、工場出荷時の設定をされたデバイスは、内蔵のウィーク (20kΩ) プルダウン抵抗によりすべての PDIOx ピンの GND へのプルダウンを続けます。そして、プログラム済みのデバイスは、現在の EEPROM の設定データをダウンロードしてプログラム済みのセットアップをラッチします。その後、PDIOx ピンは設定に従った状態になります。この設定により、PDIOx ピンはパワーアップの間に既知の状態になります。設定をダウンロードした後で、かつシーケンスが動作する前にこのピンが出力に設定された場合、ADM1266 はこのピンの電圧を検出し、ピンの検出電圧と同じレベルでこのピンを駆動します。

内部プルダウン抵抗は、適切な値の外付けプルアップ抵抗を PDIOx ピンに接続して、必要なプルアップ電圧までオーバードライブすることができます。最適値を計算するには、20kΩ の抵抗を考慮しなければなりません。例えば、PDIOx を 3.3V までプルアップする必要があり、外部電源として 5V が得られる場合、プルアップ抵抗 (R_{UP}) の値は次式で与えられます。

$$3.3V = 5V \times 20k\Omega / (R_{UP} + 20k\Omega)$$

これより、 $R_{UP} = (100k\Omega - 66k\Omega) / 3.3V = 10k\Omega$ 。

PDIOx による入力

PDIOx ピンをシーケンシング・エンジンのトリガ入力用に設定して、ステート・マシンにイベントを発生させることができます。また、PDIOx ピンをロジック・ブロックへの入力として使用することもできます。これらのピンには専用のグリッチ・フィルタが装備されており、信号のトランジェント・ノイズを除去できます。グリッチ・フィルタの値は 500ns~100μs に設定できます。

更に、これらのピンは同時に入力と出力として設定できるため、特に、複数のデバイスで同じ信号を監視したり制御したりする場合に便利です。

汎用入出力

GPIO として機能する専用ピンが 9 個あります。各ピンは、入力、出力、または入出力として設定できます。GPIO には内部グリッチ・フィルタはありません。スタートアップ状態では、GPIO はデフォルトで高インピーダンスになっています。

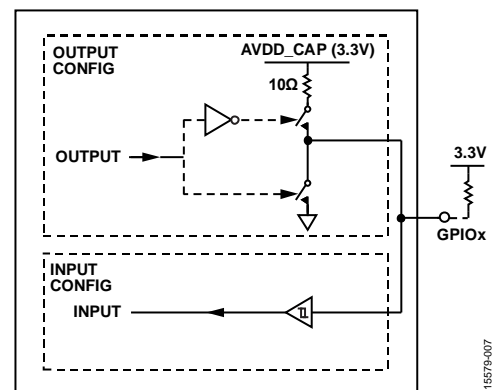


図 11. GPIO

入力みのモードでは、GPIO はシーケンシング・エンジンのアクションをトリガするため、またはロジック・ブロックへの入力として使用できます。

出力みのモードでは、GPIO はプッシュ/プル設定、または外付けプルアップ抵抗を使用したオープンドレインとして設定できます。プッシュ/プル・モードでは、GPIO は内部で 3.3V にプルアップされます。GPIOx ピンをプッシュ/プル設定で使用する場合、GPIOx ピンから流れる電流を制限するために 20kΩ の直列抵抗を接続することを推奨します。オープンドレインの設定では、GPIO は外付け抵抗を使用して最大 3.3V までプルアップされます。GPIO の出力ステータスはシーケンシング・エンジン、またはロジック・ブロックから駆動できます。

出力モードの GPIO は、パワーグッドまたは障害の信号出力として使用できます。

入出力モードでは、GPIO は外付けプルアップ抵抗を使用したオープンドレインとしてのみ設定できます。このモードでは、複数のデバイスによる複数の GPIO を OR 接続することにより、信号を生成します。

無効な場合、GPIOx ピンは高インピーダンスになります。

GPIO は、GPIO_CONFIGURATION コマンド（レジスタ 0xE1）を使用して設定します。

シーケンシング・エンジン (SE)

概要

ADM1266 の SE は、強力で柔軟性の高い制御による、複数の電源レールのシーケンシング機能を提供します。SE は、ステート・マシンによる PDIOx および GPIOx 出力の制御を実行します。ステート・マシンのステートは、VHx、VPx、PDIO、GPIO、タイマー、および変数によって駆動される入力イベントの条件に従って変化します。SE のプログラムは、パワーアップおよびパワーダウン・シーケンスの制御、障害イベントの処理、割込みの生成など、ボードの複雑な制御を行うことが可能です。

パワーアップとステート 0

EEPROM のデータをダウンロードした後、ARM コントローラがコア・シーケンサの実行を開始し、以下のタスクに遷移します（これに限定されるわけではありません）。

- 複数の ADM1266 デバイスを使用して 16 個を超える電圧レールをシーケンシングする場合、すべての ADM1266 デバイスの存在を確認するロール・コールの実行。
- すべてのデバイスのメインおよびバックアップ設定の CRC チェック。
- 複数の ADM1266 デバイス間でのブラック・ボックス ID の同期。
- ステート 1 へ進むため、IDB バス上のすべての ADM1266 デバイスからのレディ信号待機

これらのタスクのいずれかに障害がある場合、SE は停止し、直ちに終了します。GO_COMMAND (レジスタ 0xD8) を使用して電源再投入、またはソフトウェア・リセットを行うことで、シーケンシング・エンジンを再起動できます。

ステート 0 のすべての動作が成功すると、デバイスはステート 1 に進み、シーケンシングを行います。

ステート・セクション

最大限の柔軟性と使いやすさを保つため、SE はエンタ・アクションとループ・アクションの 2 つのセクションに分かれています。

エンタ・アクション

エンタ・アクションのセクションは、システムまたはステートの初期化に使用するアクションで構成されています。例えば、タイマーの起動や PDIO の設定などがあります。このサブセクションで設定されたアクションは、ループ・アクションに入る前に 1 回だけ実行されます。

ループ・アクション

ループ・アクションのセクションでは、SE は監視および調整機能を提供します。エンタ・アクションを実行した後、ADM1266 はループ・アクションのセクションに遷移して、アクションを実行します。デバイスは、goto アクションを検出するまでループ・アクションを繰り返し実行し続けます。デバイスが goto アクションを検出すると、デバイスはループ・アクションの残りのアクションをアボートして次のステートに進みます。

障害やロジックの変更により割込みが生成されると、SE はトリガされてループ・アクション・セクションの最初のアクションへ移動し、このアクションから実行し始めます。異なる順番でループ・アクションのアクションを指定することにより、優先順位をつけてアクションを実行できるため、遅延時間を最小限に抑えることが可能です。

アクション・タイプ

ユーザは複数のアクションを設定できます。アクションは、設定アクション、監視アクション、特別アクションの 3 つに大別できます。

設定アクション

設定アクションは、PDIO または GPIO の出力を設定します。また、設定アクションを使用して変数とタイマーのセット/リセットも可能です。設定アクションは、ステートのエンタ・アクションとループ・アクションのセクションで設定可能です。

監視アクション

障害監視のアクション・タイプは、VHx、VPx、PDIOx、および GPIOx ピンのステータス読出しに使用します。監視機能は、変数とタイマーのステータス監視にも使用できます。個々のステータスを閾値と比較して、アクションの結果が真か偽か判断します。結果が決まると、アクションが開始されます。

シーケンシング・エンジンの柔軟性を複数のレールに拡張するため、レール、タイマー、PDIO、GPIO を論理的に組み合わせで設定、監視を行うことにより、障害ステートを生成することができます。

特別アクション

ADM1266 では、2 つの特別アクションが利用可能です。goto アクションは、SE に予めプログラムされたステートへ進めるために使用します。ブラック・ボックス・アクション・タイプは、すべてのピンでステータスのスナップショットを取得して、EEPROM に書き込みます。詳細については、ブラック・ボックス (EEPROM) 障害記録のセクションを参照してください。

並列動作およびデバイス間バス

16 個を超える電源レールをシーケンシングする必要がある場合は、複数の ADM1266 デバイスを並列に接続して使用できます。ADM1266 デバイス間の通信は、最大 1MHz で動作し、I²C プロトコルに対応した IDB を使用して行います。IDB はプライベート・バスで、アナログ・デバイス独自のメッセージを使用します。IDB には最大 16 個の ADM1266 を接続できます。デバイスの 1 個をマスタとして設定し、他のデバイスをスレーブとして設定します。すべてのスレーブは、現在のステータスをマスタに返送します。マスタは、ユーザ設定とすべてのデバイスのステータスに基づいて、次に進むべき新しいステートをすべてのスレーブに一斉送信します。

ステート

ユーザは、必要なステート・マシンを形成するために最大 1023 ステートの設定が可能です。アナログ・デバイゼズの Power Studio™ソフトウェアを使用して、仮想ステート・マシンを生成できます。デバイスが 1 個しかない場合は、仮想ステート・マシンとデバイスで設定したステート・マシンは同一になります。複数のデバイスが接続されている場合、ソフトウェアは仮想ステート・マシンをまとめて、それぞれのデバイスごとに対応するステート・マシンと IDB メッセージを使用して設定します。この手順はユーザに対してトランスペアレントです。すなわち、ユーザは各 ADM1266 デバイスごとに個々にステート・マシンを作成する必要はありません。ソフトウェアで仮想ステート・マシンを作成すると、ソフトウェアは各デバイスに対応するステート・マシンを自動的に作成します。

例えば、ユーザが 20 ステートで構成される仮想ステート・マシンをソフトウェアで作成すると、デバイスが 1 個の場合、このデバイスに 20 ステートが生成されます。デバイスが複数の場合は、各デバイスに 20 ステートが生成されます。すべてのデバイスは、様々なステートを同期しながら進み、並列に動作します。

ブレークポイントとデバッグ・モード

開発時には、ADM1266 をデバッグ・モードに設定できます。必要に応じて、1023 ステートのそれぞれでブレークポイントを設定できます。ADM1266 があるステートに入ったとき、そのステートでブレークポイントが有効になっていると、SE はステートの開始時点で一時停止します。GO_COMMAND (レジスタ 0xD8) を使用して開始メッセージを送信することにより、SE は再開できます。再開すると、SE はそのステートのアクションを実行します。ステート・マシンの設定を変更することなく所望のブレークポイントで SE を一時停止できるので便利です。ノーマル・モードではブレークポイントは無視されます。

停止、開始、およびリセット

GO_COMMAND (レジスタ 0xD8) を使用して、任意のタイミングで SE を開始させたり停止させたりできます。また、このコマンドを使用して、ステート・マシンをステート 0 にリセットできます。パワーアップ時は、SE はデフォルトで開始モードになっているため、開始コマンドは必要ありません。複数のデバイスが接続されている場合、GO_COMMAND (レジスタ 0xD8) は、グループ・コマンド・プロトコルの一部としてすべてのデバイスに送信する必要があります。

電源のマージニング

概要

例えば、回路部品の許容誤差、入力電圧範囲、リファレンス電圧の変化、負荷変動、温度変化などが原因で、DC/DC コンバータの出力電圧は公称設定値から外れます。電源の製造、生産時には最も厳しい条件をシミュレーションしなければなりません。コーナ条件を測定することで制限範囲外の条件をチェックできます。更に、アプリケーションによっては出力電圧の精度が重要な要素となることもあり、また、出力電圧の抵抗分圧器の許容誤差が大きい場合にはこの精度を厳密に維持する必要があります（図 12 参照）。

この出力電圧の調整を行う手順をマージニング（または電圧マージニング）と呼びます。この電圧マージニングは、内蔵 DAC を使用して、電源コントローラに搭載されたエラー・アンプの帰還ノードをプルアップ/プルダウンすることによって行います。マージニングの代表的なアプリケーション回路を図 12 に示します。節点解析と基本的な回路理論を使用して、帰還ノードを調整して出力電圧を変化させます。そして通常は、DAC の出力と出力電圧の間に反比例の関係があります。

ADM1266 は 9 個の DAC を内蔵しているため、9 個の電源レールのマージニングが可能です。

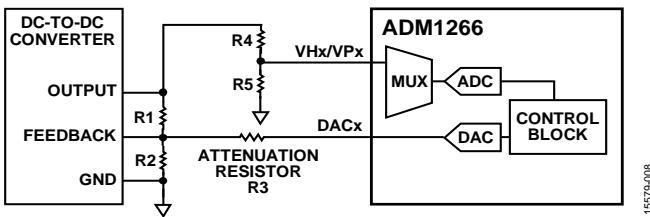


図 12. マージニングの代表的なアプリケーション回路

マージニングは、オープンループ・マージニングとクローズドループ・マージニングの 2 つの方法で実行できます。

マージニングは、電源コントローラの帰還ノードに DAC と直列抵抗を接続して作動します（図 12 参照）。出力電圧の変化分は、次式で求められます。

$$\frac{V_{DAC} - V_{FB}}{R3} + \frac{V_{FB}}{R2} = \frac{V_{OUT} - V_{FB}}{R1} \quad (1)$$

$$V_{FB} = V_{OUT} \times \frac{R2}{R1 + R2} \quad (2)$$

この 2 式の差をとると、次のようになります。

$$\Delta V_{OUT} = \frac{R1}{R3} (V_{FB} - V_{DAC})$$

表 8. DAC_CODE_CONFIGURATION [3:1]、レジスタ 0xEB の DAC 範囲

Bits[3:1]	Midcode Voltage (V)	Minimum Voltage Output (V)	Maximum Voltage Output (V)
0x00=3'b000	0.506	0.202	0.808
0x01=3'b001	0.607	0.303	0.909
0x02=3'b010	0.809	0.505	1.111
0x03=3'b011	1.011	0.707	1.313
0x04=3'b100	1.263	0.959	1.565

オープンループ・マージニング

オープンループ・マージニングでは、ユーザは内部 DAC に直接アクセスします。DAC が電源コントローラの帰還ノードの電圧を変化させることにより、出力電圧に偏差が生じます。この操作の代表値は、公称出力電圧の±1%、±2.5%、±5%、±7.5%、および±10%です。最大 16 個のプリセット値を設定し、ポインタ・コマンドを使用して DAC にロードさせる値をデバイスに指示します。プリセット値とポインタの値は、メモリに保存できます。パワーアップ時に、デバイスはこの設定値をダウンロードして DAC を自動的に設定します。

クローズドループ・マージニング

クローズドループ・マージニングのほうが、マージニングに望ましい方法です。これにより、極端なコーナ条件下でも出力を安定化できる電源の能力が決定されます。この機能に必要な抵抗やパラメータについてのあらゆる計算が用意されている Power Studio ソフトウェアの使用を推奨します。

ADM1266 では、*PMBus Power System Management Protocol Specification* (Revision 1.2, 2010 年 9 月 6 日) のコマンド・セットを使用しており、マージニング・コマンドには次のコマンドが提供されます。

- OPERATION (レジスタ 0x01)
- VOUT_MARGIN_HIGH (レジスタ 0x25)
- VOUT_MARGIN_LOW (レジスタ 0x26)
- VOUT_SCALE_LOOP (レジスタ 0x29)
- VOUT_COMMAND (レジスタ 0x21)
- VOUT_MARGIN_LOOP (レジスタ 0xDA)
- MARGIN_CONFIGURATION (レジスタ 0xDB)

これらのコマンドで、マージニングの有効化、出力電圧のハイ/ロー設定、帰還ノードの監視、および R1 と R3 の比の設定を行います。

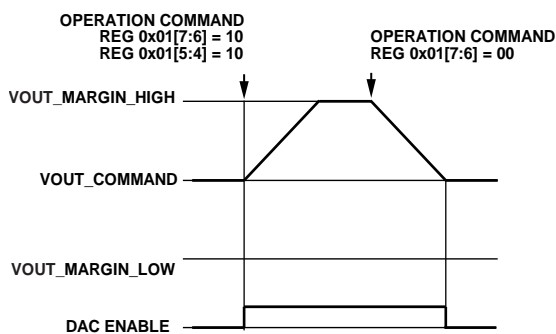


図 13. マージニングの例 1

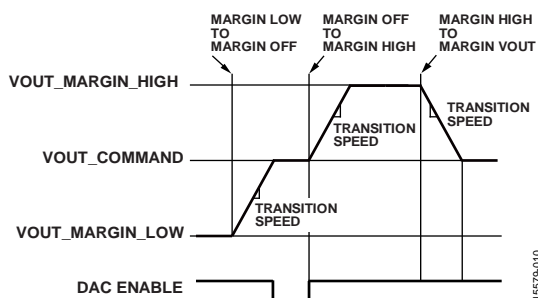


図 14. マージニングの例 2

図 13 と図 14 にマージニングの例を示します。マージニングがオフになると、DAC は遷移速度 (0xDB) で出力電圧を公称レベルまで戻して、高インピーダンス状態に入ります。

マージニング・プロセスを滑らかにスタートできるように、ADM1266 はスマート接続モードを使用します。スマート接続モードでは、抵抗 R3 に電流が流れないように、帰還ノードと等しくなる DAC コードを計算します (図 12 参照)。スマート接続モードは出力電圧に突発的なグリッチが発生しないようにします。スマート接続モードの後、マージニング・コマンドに従って DAC コードを変更します。

クローズドループ・マージニング・プロセスは、以下のような点でオープンループ・マージニングと異なります。

- DAC は、出力レールを監視している高精度 ADC の 16 個の平均が VOUT_MARGIN_x コマンドに等しい値になるまで調整を続けます。この DAC の調整により、出力電圧をコマンドの値に一致させることができます。出力電圧は、ADC を使用して 5ms ごとにサンプリングされます。そのため、16 個を平均した値の読出しに約 80ms かかります。
- マージニング・コマンドを実行すると、DAC はレジスタ 0xDB で設定された速度で出力を変化させます。そのため、電源レールの出力もこの速度で遷移します。すべての DAC は同じ速度で制御されます。

クローズドループ・マージニングの間も、UV 障害と OV 障害はアクティブになっており、設定に従い適切な動作を行います。障害が発生すると DAC は瞬時にディスエーブルされ (高インピーダンス状態)、ソフト切断処理はされません。

ワンショット・モードと連続モード

ADM1266 のクローズドループ・マージニングの動作には、ワンショット・モードと連続モードの 2 つのモードがあります。

ワンショット・モードでは、クローズドループ・マージニングのプロセス (クローズドループ・マージニングのセクション参照) が 1 回だけ発生します。すなわち、DAC がマージニング・コマンドに従って出力電圧を変化させると、その値に固定され DAC 出力をこれ以上変化させることはできません。連続モードでは、このプロセスは連続的に発生します。ワンショット・モードでは、DAC 出力を変更するには新しいマージニング・コマンドを実行する必要があります。

連続モードは、部品やリファレンス電圧レベルが持つ大きな許容誤差の影響を受けるときに、電源精度を向上させるために使用できます。この方法は、ADC の精度が外付け部品の精度より高い場合に使用します。

Power Studio ソフトウェアは、DAC 範囲の選択からマージニング・コマンドまで、非常に広範な設定が可能です。

クローズドループ・マージニング・イネーブルのタイミング

電源レールが安定な状態で、ADM1266 がマージニング・オフから VOUT_COMMAND によるサーボ状態 (マージニング・ハイまたはマージニング・ロー) に移行する動作コマンドを受信すると、ADM1266 はクローズドループ・マージニングを有効にします。ADM1266 はスマート接続も実行し、ADC の更新を読み出すために 5ms 待ってから、所定の電圧レベルに昇降し始めます。

電源レールが安定な状態で、ADM1266 が VOUT_COMMAND によるサーボ状態からマージニング・ハイ (またはマージニング・ロー、マージニング・オフ) に移行する動作コマンドを受信すると、ADM1266 は直ちに所定の電圧レベルに昇降し始めます。このプロセスは、スタート時点でマージニング・ハイまたはマージニング・ローだった場合にも実行されます。

デバイスが、起動後直ちに VOUT_COMMAND によるサーボ状態 (マージニング・ハイまたはマージニング・ロー) に入るように設定されている場合、ADM1266 は電源レールをイネーブルします。電源レールの UV 閾値がクリアされた後、ADM1266 はクローズドループ・マージニングを有効にして、20ms~25ms 後にスマート接続を実行します。その後、ADM1266 は更新された ADC を読み出すために 5ms 待機してから所定の電圧レベルまで昇降を開始します。

ブラック・ボックス (EEPROM) の障害記録

ADM1266 には設定可能なブラック・ボックス機能が搭載されています。この機能を使用して、デバイスは不揮発性フラッシュ・メモリにシステム状態の重要なデータを記録することにより、システムのブラック・ボックス書込みを実行できます。

外部電源がパワーダウンした場合のブラック・ボックス書込み

入力電源のすべてが切断された場合に、ブラック・ボックス・フラッシュへの書込みをトリガするようにステート・マシンを設定できます。メモリの書込み中に 3.0V を超える AVDD_CAP 電圧を維持することによって、障害記録のすべてを EEPROM に書き込みます。ブラック・ボックスへの書込みを確実に完了させるため、68 μ F 以上のコンデンサを AVDD_CAP ピンに接続することを推奨します。

ブラック・ボックス書込みのトリガ

ブラック・ボックス・アクションがトリガされると、ステートのループ・アクションまたはエンタ・アクションでブラック・ボックス情報を取得できます。

ループ・アクションでブラック・ボックス・アクションがトリガされると、デバイスは直ちにスナップショットを取得し、次のステートのエンタ・アクションの最後にフラッシュ・メモリに書き込みます。

エンタ・アクションでブラック・ボックス・アクションがトリガされると、デバイスは直ちにスナップショットを取得し、同じステートのエンタ・アクションの最後にフラッシュ・メモリに書き込みます。

複数の ADM1266 デバイスが IDB を介して接続されている場合、各デバイスでブラック・ボックスの書込みがトリガされると、システム全体のステータスを取得できるようにブラック・ボックス書込みを開始します。各ブラック・ボックス記録には、すべてのデバイスに同一の固有 ID が付けられており、複数のデバイスからの情報を統合することができます。

ブラック・ボックス記録モード

ブラック・ボックス記録には、シングル・モードとサイクル・モードの 2 種類のモードがあります。フラッシュ・メモリの 4 ページ分がシングル・モードのブラック・ボックス記録用に、5 ページ分がサイクル・モード用に予約されています。各ブラック・ボックス記録は 64 バイトです。ブラック・ボックスのモードは、デバイスを電源オン/オフすることなく変更できます。

シングル・モード

シングル・モードでは、ブラック・ボックスは最大 32 個の障害記録を書き込むことができます。32 個の記録が書き込まれると、ADM1266 のブラック・ボックスは記録が消去されるまで、これ以上書き込みません。シングル・モードは、初期の障害記録を保持して、上書きされないようにする場合に有用です。

サイクル・モード

サイクル・モードでは、ブラック・ボックスは繰り返し記録モードで動作します。1 ページに 8 個の記録を書き込むと自動的に次のページを消去して、ブラック・ボックス記録を続けます。サイクル・モードでは、一度に最大 32 個の記録が可能で、サイクル・モードは、最新のブラック・ボックス情報を保持したい場合に有用です。

パワーアップ・カウンタ

ADM1266 には、電源が投入された回数を記録するパワーアップ・カウンタが内蔵されています。これは不揮発性メモリに保存されます。パワーアップ・カウンタは 2 バイトで、最大 65,535 回の電源サイクルをカウントできます。カウンタは ADM1266 が電源オン/オフされるたびに自動的にインクリメントされ、ユーザがリセットすることはできません。

ブラック・ボックスの書込み時間

フラッシュ・メモリへの 4 バイト・データの書込みには 46 μ s かかり、各障害記録は 64 バイト・データです。したがって、1 つの障害記録の書込みにかかる総時間は約 736 μ s です。

ブラック・ボックスの内容

デバイスのブラック・ボックス記録の総数は、BLACKBOX_INFORMATION レジスタの記録カウント・バイトから読み出すことができます。ブラック・ボックスに書き込まれた最後の記録のインデックスが BLACKBOX_INFORMATION レジスタのロジック・インデックス・バイトに示されています。記録カウントが 0 より大きい場合にのみ、この値は有効です。

最後のブラック・ボックス記録の数値は、READ_BLACKBOX レジスタでリードバックできます。

ブラック・ボックス記録のデータは、READ_BLACKBOX で読み出すことができます。記録数と最後の記録のインデックスは BLACKBOX_INFORMATION でリードバックできます。

タイム・スタンプ

ブラック・ボックス記録には、ブラック・ボックス書込みの時刻を保存するオプションがあります。この機能は障害の発生時刻のトラッキングに役立ちます。ADM1266には、時間経過を記録するリアルタイム・カウンタ（RTC）が搭載されています。ADM1266の電源がオフになるとRTCはゼロにリセットされます。

RTCは2つの方法で使用することができます。RTCは、ADM1266の電源が最後にオンになった時刻からの時間経過の測定に使用できます。これは、電源オン後からシステムに障害が発生するまでの時間経過を決定するために利用できます。

システムでは、ホスト・コントローラからADM1266にUNIX®時刻を送信することができます。UNIX時刻を受信する場合は、UNIX時刻からカウントを開始するためのリファレンスとしてRTCを使用できます。UNIX時刻がセットされると、デバイスはこの時刻からインクリメントして、これを実時間に変換してブラック・ボックス記録に使用します。RTCはADM1266の電源オフ時にリセットされるため、UNIX時刻はADM1266の電源をオンにするたびにセットしなければなりません。

SET_RTCを使用したUNIX時刻の設定

SET_RTCレジスタは6バイトで構成され、UNIX時刻システムに基づいて1970年1月1日以降の時間設定に使用できます。各LSBは15.26 μ sを表します。複数のADM1266デバイスが接続されたシステムでは、SYNCピンを使用してすべてのADM1266デバイス間のタイム・カウンタを同期します。

内部発振器

タイム・スタンプの精度が重要でない場合には、ADM1266の内部発振器をRTCに使用できます。内部発振器をRTCとしてUNIX時刻に使用する場合は、システムのホストからADM1266にタイム・スタンプを頻繁に送信してUNIX時刻と同期させ、時刻のずれを小さくすることを推奨します。

外部発振器

高精度のタイム・スタンプが要求されるアプリケーションでは、RTCのタイム・ベースとして外付けの32,768Hz水晶発振器を使用することを推奨します。外部水晶発振器はXTAL1およびXTAL2ピンを使用してADM1266に接続します。複数のADM1266デバイスを使用するシステムに必要な水晶発振器は1個だけです。

複数のデバイスのタイム・スタンプ

複数のADM1266が接続されたシステムで外部水晶発振器を使用する場合、すべてのデバイスでRTCが同じ発振器を使用できるようにSYNCピンを接続します。このように構成することで、発振器の周波数ばらつきによって生じるデバイス間の時間のずれを最小化できると共に、必要な外部水晶発振器が1個で済みます。外部水晶発振器を接続するデバイスのSYNCピンを出力に、他のデバイスのSYNCピンを入力に設定します。SYNCピンの設定は、GPIO_SYNC_CONFIGURATION（レジスタ0xE1）を使用してセットできます。

複数のデバイスを使用するシステムでは、UNIX時刻を1個のデバイスのSET_RTCレジスタに送信するだけで実時間をセットできます。この時刻を、IDBを使用してシステムの他のデバイスに一斉送信することにより、すべてのデバイスが同じ実時刻になります。

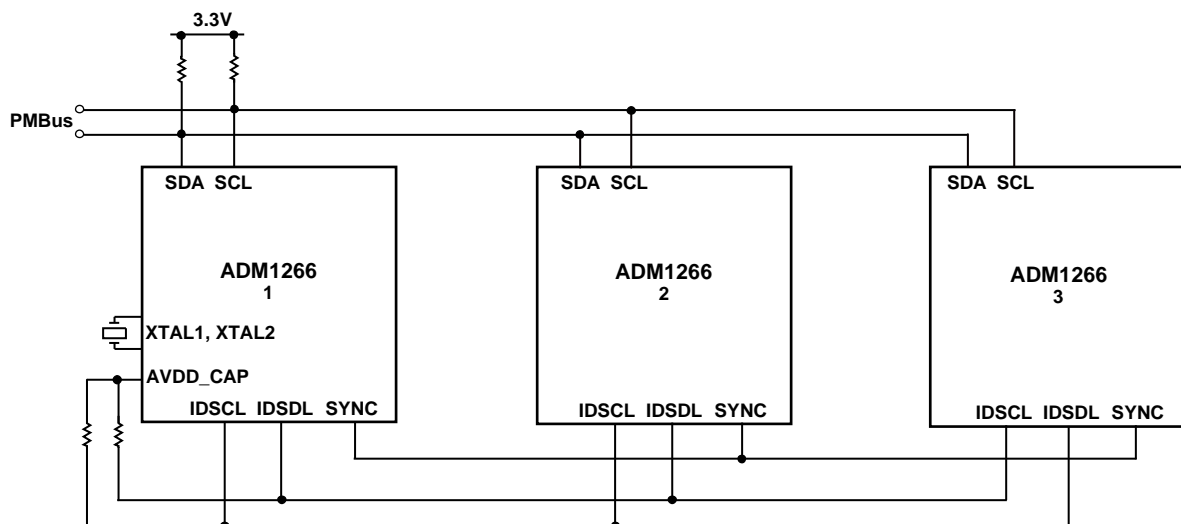


図 15. 複数のデバイス構成におけるタイム・スタンプのセットアップ

システムのロジック・ブロック

ADM1266 は、ユーザ設定可能な組み合わせロジック・ブロックを搭載しています。ロジック・ブロックの入力は、VHx、VPx、GPIO、または PDIO のステータスに、出力は PDIO または GPIO に設定できます。

ロジック・ブロックは、SE とマーキング・ブロックとは独立に動作します。ロジック・ブロックの優先度は SE より低くなっています。そのため、シーケンシング・エンジンがシーケンスの動作でビジーの場合、実行中のタスクが完了するまでロジック・ブロックの出力は遅延します。

ロジック機能は、AND、OR、NAND、NOR、NOT の 5 つのコア論理素子で構成されます。複数の論理素子をカスケード接続することで、ユーザ定義によるロジックの組み合わせを実現できます。

PDIO、GPIO、VHx/VPx の警告、VHx/VPx の障害、および他のロジック・ゲートからの出力を組み合わせ、ロジック・ゲートに入力できます。

ロジック・ゲートの出力は、GPIO、PDIO、または他のロジック・ゲートの入力を駆動するために使用できます。

ロジック機能ブロックは IDB を使用しないため、複数のデバイスを使用するシステムでは、複数のデバイスからの入出力を同じロジック・ブロックで使用することはできません。1 つの ADM1266 デバイスからのロジック機能の出力は、GPIO または PDIO を使用して他のデバイスに伝送することができます。

1 つの論理素子またはカスケードされた論理素子への入力は最大 256 個です。

ロジックは、メーカー固有の LOGIC_CONFIGURATION (レジスタ 0xE0) コマンドを使用して設定します。PowerStudio ソフトウェアを使用してユーザの仕様に合わせてロジック・ブロックをプログラムすることを推奨します。

例えば、3 つの電圧レールを使用するシステムでは、各レールの UV/OV 警告ステータスを論理的に OR 接続することで 1 つのステータス信号に設定できます。

パスワード保護

ADM1266 のファームウェア、シーケンス、およびプロジェクト設定データの意図せぬ変更を防ぐため、パスワードで保護されたコマンドがあります。これらのコマンドは、ファームウェア、シーケンス、およびプロジェクト設定データを更新する場合にのみ、ロック解除できるようにしなければなりません。表 9 に、パスワード保護が可能なコマンド・リストを示します。通常の動作でデバイスのロックを解除する必要はありません。パスワードは 16 バイトで構成され、デフォルトのパスワードはこの 16 バイトのすべてが 0xFF です。

表 9. パスワード保護が可能なコマンド

Command	Address
UPDATE_FW	0xFC
SEQUENCE_CONFIGURATION	0xD6
SYSTEM_CONFIGURATION	0xD7
LOGIC_CONFIGURATION	0xE0
USER_DATA	0xE3
STORE_USER_ALL	0x15
REFRESH_FLASH	0xF5
ERASE_MEMORY	0xFB
MEMORY_CONFIGURATION	0xF8

デバイスのロック解除

ADM1266 は、FW_PASSWORD コマンド (レジスタ 0xFD) に新しいパスワードを 2 回連続して書き込むことによってロックを解除できます。デバイスのロックを解除するブロック書き込みコマンドを図 16 に示します。

ロック解除のステータスは、STATUS_MFR_SPECIFIC コマンド (レジスタ 0x80) の PART_LOCKED ビットによって確認でき、デバイスが正しくロック解除された場合は 0 にセットされています。

デバイスのロック

デバイスは、電源の入れ直しを行うと自動的にロックされます。また、FW_PASSWORD コマンド (レジスタ 0xFD) に 17 バイトの任意のデータを 1 回書き込むことによってもロックできます。デバイスをロックするブロック書き込みコマンドを図 17 に示します。

ロックのステータスは、STATUS_MFR_SPECIFIC コマンド (レジスタ 0x80) の PART_LOCKED ビットによって確認でき、デバイスが正しくロックされた場合は 1 にセットされています。

パスワードの変更

パスワードは、16 バイトの任意の値に変更できます。パスワードが 16 バイト未満の場合、残りのバイトは 0x00 にセットされます。パスワードを更新するには、デバイスのロック解除のセクションに記載された手順に従って、デバイスのロックを解除しなければなりません。デバイスのロック解除後、FW_PASSWORD コマンド (レジスタ 0xFD) に新しいパスワードを 2 回連続して書き込む必要があります。パスワードを変更するブロック書き込みコマンドを図 18 に示します。

パスワードが更新されると、新しいパスワードは直ちにメモリに格納されます。デバイスは自動的にロックされ、ロックを解除するにはこの新しいパスワードを使用する必要があります。

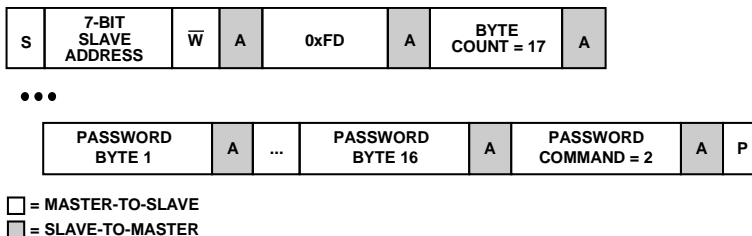


図 16. デバイスのロックを解除するブロック書き込みコマンド

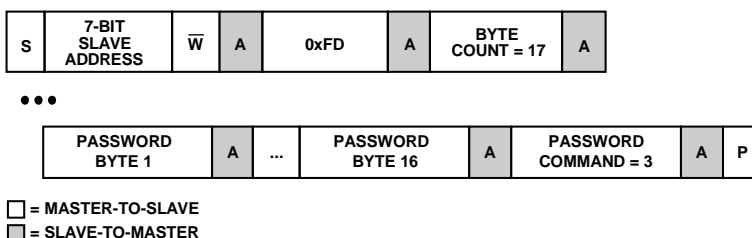


図 17. デバイスをロックするブロック書き込みコマンド

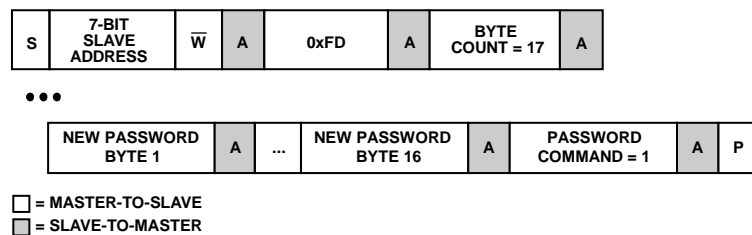


図 18. パスワードを変更するブロック書き込みコマンド

メモリ

概要

ADM1266 には EEPROM（不揮発性メモリ）が内蔵されており、ミニ・ブート・ローダ、ブート・ローダ、ファームウェア、設定値、および障害ログ情報を保存できます。ミニ・ブート・ローダ、ブート・ローダ、ファームウェア、および設定値は、メモリ内にそれぞれのメイン・コピーとバックアップ・コピーが保存されます。各セクションには、それぞれ固有の巡回冗長検査（CRC）があり、各ブラック・ボックス記録にも固有の CRC があります。

パワーアップ

パワーアップ時、メインのミニ・ブート・ローダはメイン・ブート・ローダのデータをチェックして、CRC と比較します。データが破損している場合、メインのミニ・ブート・ローダはバックアップ・ブート・ローダのデータをチェックして、CRC と比較します。バックアップ・ブート・ローダのデータが CRC と一致した場合は、このデータをメイン・ブート・ローダにコピーしてセットします（ADM1266 はバックアップ・メモリのデータをメイン・メモリにコピーして破損したデータを修正します）。そして、メイン・ブート・ローダはブート・ローダの実行を開始します。メイン・ブート・ローダはメイン・ファームウェアのデータをチェックして、CRC と比較します。データが破損している場合、メイン・ブート・ローダはバックアップ・ファームウェアのデータをチェックして、CRC と比較します。バックアップ・ファームウェアのデータが CRC と一致した場合、ADM1266 はこれをメイン・ファームウェアに上書きしてデータをセットします。そして、ADM1266 はファームウェアの実行を開始します。次に、ファームウェアはメイン設定およびバックアップ設定のデータをチェックし、それぞれの CRC と比較します。どちらのセクションでもメモリの CRC 計算値と保存されている CRC 値が一致した場合、ADM1266 はメイン設定で動作します。セクションの一方だけで CRC が一致した場合は、ADM1266 は正しいほうの設定で動作します。複数のデバイスを使用するシステムでは、すべてのデバイスがマスタ・デバイスのメインおよびバックアップ設定情報を共有します。そして、マスタ・デバイスは、設定メモリのどのセクションで動作するかを決めて、すべてのデバイスに伝達します。

メイン・セクションとバックアップ・セクションの両方で、セクションのどこかの位置が破損している場合、デバイスは次に進みません。

手動の CRC 計算

ADM1266 には、メモリの状態を検証するコマンドがいくつかあります。MEMORY_RECALCULATE_CRC（レジスタ 0xF9）を使用するとデバイスをトリガしてすべてのセクションの CRC を再計算できます。そして、STATUS_MFR_SPECIFIC_2（レジスタ 0xED）にステータスをレポートします。すべてのセクションの CRC を再計算するために必要な時間は約 500ms です。

リフレッシュ

ADM1266 は、メイン・セクションからバックアップ・セクションに、およびバックアップ・セクションからメイン・セクションにデータをコピーできます。REFRESH_FLASH（レジスタ 0xF5）を使用して、この機能をトリガできます。この機能をトリガすると、ADM1266 はメイン・セクションとバックアップ・セクションの両方の CRC をチェックして、正しい（破損していない）データ・セクションから破損しているセクションにデータを上書きしてコピーします。REFRESH_FLASH に書き込まれたデータに基づいて、ユーザはメモリ内の特定のセクションを選択してリフレッシュを実行できます。メモリの信頼性を向上させるため、30 日ごとに 1 回、このリフレッシュ機能を動作させることを推奨します。

リフレッシュ機能を動作させる場合、各ページのリフレッシュに 32ms かかります。この間、障害はすべてラッチされますが、処理はされません。それぞれのページのリフレッシュが終わったときに、シーケンスのイベントがある場合は、リフレッシュを一時的にアボートして、シーケンシングと障害処理の機能が実行されます。この処理が終了すると、ADM1266 はリフレッシュ機能を再開します。ADM1266 のすべてのセクションのリフレッシュを完了させるには約 9 秒かかります。

リフレッシュ機能が動作している間は、PMBus の書込み動作はできません。PMBus の読出し動作は、クロック・ストレッチが行われて、それぞれのページのリフレッシュが終わると処理されます。

自動リフレッシュ

ADM1266 は、自動リフレッシュを有効にしてメモリに保存することで、リフレッシュ機能を自動的に実行するように設定できます。1 日経過後、電源をオンにするたびに、デバイスはブート・ローダ、ファームウェア、および設定値のセクションのリフレッシュを自動的に開始します。1 日に 1 回、デバイスは CRC チェックを実行します。ミニ・ブート・ローダ、ブート・ローダ、ファームウェア、および設定値のセクションのいずれかが破損している場合、デバイスはミニ・ブート・ローダ、ブート・ローダ、ファームウェア、および設定値のセクションのリフレッシュを自動的に開始します。1 日経過後の最初のリフレッシュを実行した後は、N 日ごとに自動リフレッシュを開始するように ADM1266 を再設定できます。ここで、N は 1~255 日の間で設定します。デフォルトの設定値は 30 日です。

加速係数

ADM1266 には EEPROM（不揮発性メモリ）が内蔵されており、ミニ・ブート・ローダ、ブート・ローダ、ファームウェア、設定値、および障害ログ情報を保存することができます。EEPROM の書換え回数とデータ保持期間は動作ジャンクション温度範囲で仕様規定されています（絶対最大定格のセクションおよび電気仕様のセクション参照）。

$T_J = 85^\circ\text{C}$ を超える温度での非破壊動作は可能です。しかし、この場合、電気仕様は確保されず、EEPROM は劣化します。 $T_J = 85^\circ\text{C}$ を超える温度で EEPROM を動作させると、データ保持期間特性が低下する可能性があります。障害ログ機能は、高温時に発生するシステムの問題をデバッグするときに役立ちますが、EEPROM の障害ログの位置にのみ書き込まれます。 $T_J = 85^\circ\text{C}$ を超えた状態でこれらのレジスタへの書き込みが何度か発生すると、障害ログのデータ保持特性がわずかに低下する可能性があります。 $T_J > 85^\circ\text{C}$ の状態では、STORE_USER_ALL を使用した書き込みや大幅な設定変更を EEPROM で行わないことを推奨します。 $T_J > 85^\circ\text{C}$ の温度における EEPROM のデータ保持期間の低下分は、次式を使用して無次元の加速係数を計算することにより近似できます。

$$AF = e^{\left(\left(\frac{Ea}{k}\right) \times \left(\frac{1}{T_{USE} + 273} - \frac{1}{T_{STRESS} + 273}\right)\right)}$$

ここで、

AF は加速係数、

Ea は活性化エネルギーで、 0.6eV 、

$k = 8.617 \times 10^{-5}\text{eV}/^\circ\text{K}$ 、

$T_{USE} = 85^\circ\text{C}$ (仕様規定されたジャンクション温度)、

T_{STRESS} は実際のジャンクション温度です。

例えば、 125°C のジャンクション温度で 10 時間動作させると、データ保持期間への影響は次のように計算できます。

$$T_{STRESS} = 125^\circ\text{C}$$

$$AF = 7.062$$

85°C での等価動作時間は 70.62 時間になります。

したがって、 125°C のジャンクション温度で 10 時間動作させると、EEPROM の総データ保持期間は 60.62 時間だけ短くなります。 85°C の最大ジャンクション温度における EEPROM の総データ保持期間の定格は 87,600 時間なので、これと比較するとこの過負荷状態による影響は無視できます。

アプリケーション情報

概要

ADM1266 スーパー・シーケンサは、シーケンシング、マーキング、トリミング、OV および UV 条件の出力電圧監視、障害の制御、および 16 個の DC/DC コンバータの電圧リードバックが可能です。ID_SCL および ID_SDA ピンを使用して、複数の ADM1266 を同期させ、連携して動作させることができます。ADM1266 は PMBus 準拠のインターフェースとコマンド・セットを使用します。

ADM1266 の電源

ADM1266は、VH1またはVH2ピンに3V～15Vの電圧を印加することにより駆動できます。内部リニア電圧レギュレータがこの電圧を3.3Vに変換し、これにより各デバイスの内部回路のすべてが駆動されます。VH1とVH2を同じ電圧レベルに接続すると、2つの電圧のリプルがアービトラータ回路に絶えずトグルを発生させる可能性があるため、推奨しません。複数のADM1266デバイスを使用するシステムでは、すべてのデバイスを同じ電源レベルで駆動することが重要です。

推奨の PCB アセンブリおよびレイアウト

ADM1266にはコンデンサが必要です（コンデンサのセクション参照）。効率よく機能させるには、X5RやX7Rといった高品質のセラミック誘電体コンデンサを使用する必要があります、できるだけチップの近くに配置しなければなりません。PCBレイアウトは、レイアウト・ガイドラインに従ってください。専用の電源層とグラウンド層を持つ多層PCBの使用を推奨します。電源ノイズを最小化してデバイスを正しく動作させるには、電源の接続とグラウンドの接続を低抵抗かつ低インダクタンスにすることが重要です。

コンデンサ

VH1 および VH2 ピンには、10 μ F のバイパス・コンデンサと 0.1 μ F のデカップリング・コンデンサを配置します。

AVDD_CAP ピンには、68 μ F と 0.1 μ F のコンデンサを配置します。

DVDD_CAP ピンには、10 μ F と 0.1 μ F のコンデンサを配置します。

REFOUT ピンと REFGND ピンの間に、2.2 μ F と 0.1 μ F のコンデンサを配置します。

グラウンド接続

露出パッドは GND ピンに接続します。GND ピンは、REFGND ピンにスター接続します。

PMBUS/I²C

各ADM1266には固有のアドレスを設定する必要があります。このアドレスは、ADDRピンとGNDピンの間に抵抗を接続することによって設定できます。この抵抗と対応するアドレス値については表10を参照してください。バス上の他のデバイス、およびグローバル・アドレスと競合していないか、アドレスを確認してください。

PMBus ピンのプルアップ抵抗は AVDD_CAP には接続しないでください。PMBus ライン上の他のデバイスが AVDD_CAP を強かにプルダウンした場合、ADM1266 はシャットダウンするか UVLO 状態に入ります。

IDB

同じシステムの一部として、1枚の基板に複数のADM1266デバイスを搭載する場合は、いずれかのADM1266のAVDD_CAPピンに2.2k Ω の外付けプルアップ抵抗を接続し、これを使用してID_SCLとID_SDAピンを接続します。

電圧の検出

外付けの抵抗分圧器を使用する場合は、ADM1266 の VPx ピンが 0.7V を示すように抵抗の大きさを計算します。

電圧を直接検出する場合は、100 Ω の直列抵抗を使用して、ピンのラッチアップを防止します。VH1 と VH2 ピンを使用する場合、直列抵抗は不要です。

PDIO および GPIO

PDIO は、20k Ω のウィーク・プルダウン抵抗を内蔵しています。そのため、PDIO にパワーアップ時の外付けプルダウン抵抗は不要です。

電圧定格と電流定格を超えていないことを確認してください。

DAC 出力

所望のマーキング範囲を得るために、DAC 出力には適切な抵抗を選択してください。詳細については、Power Studio の GUI を参照してください。

クロック

高精度のタイプ・スタンプとクロック機能を使用するには、XTAL1 と XTAL2 の間に外部発振器とコンデンサを接続します。このような高精度の機能を使用しない場合には、外部クロック源は不要です。

複数の ADM1266 デバイスを搭載するボードに必要な外部発振器は 1 個だけです。すべての ADM1266 デバイスの SYNC ピンを接続してください。

未使用ピン

未使用ピンはすべて GND に接続してください。

PMBus デジタル通信

デバイスは、パケット・エラー・チェック（PEC）付きの PMBus スレーブを使用して、*PMBus Power System Management Protocol Specification*（Revision 1.2、2010年9月6日）で仕様化されているインターフェースで PMBus 準拠のマスタ・デバイスと接続できます。PMBus スレーブは 2 線式インターフェースで、PMBus 準拠の他のデバイスと通信できます。また、マルチマスタ、マルチスレーブのバス構成と互換性があります。PMBus スレーブは、パケット・エラー・チェック（PEC）に対応するマスタ PMBus デバイスと同様に、PEC に対応していないマスタ・デバイスとも通信できます。

PMBus ピンのプルアップ抵抗は AVDD_CAP に接続しないでください。PMBus ライン上の他のデバイスが AVDD_CAP を強的にプルダウンした場合、ADM1266 はシャットダウンするか UVLO 状態に入ります。

PMBus の機能

PMBus スレーブの機能は、マスタ・デバイスから送信されたコマンドをデコードすることと、要求に従って応答することです。通信は、I²C と似た 2 線式インターフェースとクロック・ライン（SCL）およびデータ・ライン（SDA）を使用して確立されます。PMBus スレーブは、PMBus プロトコルに準拠する 8 ビット・データ（バイト）のブロックを外部と通信できるように設計されています。PMBus プロトコルは *SMBus Specification*（Version 2.0、2000年8月）がベースとなっています。そして *SMBus specification* は、Philips の *I²C Bus Specification*（Version 2.1、2000年1月）がベースとなっています。PMBus は次のような機能を備えています。

- 複数のデバイス・システムでのスレーブ動作
- 7ビットのアドレス指定
- 100kbps と 400kbps のデータ・レート
- PEC
- グループ・コマンド・プロトコルをサポート
- アービトレーション付きアラート応答アドレスのプロトコルをサポート
- ジェネラル・コール・アドレスをサポート
- クロックのロー拡張（クロック・ストレッチング）をサポート
- 異なる複数のバイトの送受信における先入れ先出し（FIFO）
- 広範な障害監視

概要

PMBus スレーブ・モジュールは 2 線式インターフェースで、他の PMBus 準拠のデバイスとの通信に使用できます。この通信プロトコルは、Philips の I²C 転送の仕組みをベースにしています。ADM1266 は、システム全体の中で常にスレーブ・デバイスに設定されます。ADM1266 は、1 個のデータ・ピン（SDA）と 1 個のクロック・ピン（SCL）を使用してマスタ・デバイスと通信します。ADM1266 はスレーブ・デバイスのため、クロック信号を発生させることはできません。しかし、ADM1266 がマスタの要求に応答する準備ができていないときは、SCL ラインのクロックを伸長してマスタ・デバイスを待機させることができます。

通信は、マスタ・デバイスが PMBus スレーブ・デバイスにコマンドを送信すると開始されます。コマンドには、読出しコマンドまたは書込みコマンドを使用可能です。データはバイト幅フォーマットでデバイス間を転送されます。コマンドとして、送信コマンドも使用できます。スレーブ・デバイスは、ストップ・ビットを受信するとコマンドを実行します。ストップ・ビットは全データ転送の最後のビットで、PMBus/SMBus/I²C 通信プロトコルで定義されています。通信時にマスタ・デバイスとスレーブ・デバイスは、デバイス間のハンドシェイクの手段としてアクノレッジ・ビットまたはノー・アクノレッジ・ビットを送信します。

また、ADM1266 の PMBus スレーブは PEC をサポートしているので、信頼性と通信の堅牢性を向上させることができます。ADM1266 は、パケット・エラー・チェック（PEC）をサポートするマスタ PMBus と同様に、PEC をサポートしていないマスタ・デバイスとも通信できます。通信プロトコルの詳細については、*SMBus Specification*（Version 2.0）を参照してください。

マスタ・デバイスと通信する場合、PMBus スレーブ・デバイスで不正なデータや破損したデータを受信することがあります。この場合、PMBus スレーブ・デバイスは PMBus の仕様に従って無効なコマンドやデータに応答し、エラーや障害条件が発生していることをマスタ・デバイスに通知します。スレーブ・デバイスを誤って設定するとチップやシステムに損傷を与えるおそれがあるため、このハンドシェイク方法はそれを防ぐ第一段階の防御法として使用できます。

PMBus の仕様では、パワー・マネージメント・システムに推奨される一般的な PMBus のコマンド・セットを定義しています。しかし、各 PMBus デバイス・メーカーは、システムに適していると自社が考えるコマンドを選択して、実装することができます。また、PMBus デバイス・メーカーは、一般的な PMBus コマンド・セットに含まれない機能を持つ、自社独自のコマンドを実装することもできます。

転送プロトコル

PMBus スレーブは、*SMBus Specification*（Version 2.0）の転送プロトコルに従います。このプロトコルは、Philips の *I²C Bus Specification*（Version 2.1）の基本転送プロトコル・フォーマットに基づいています。データ転送はバイト幅で行われ、下位バイトから送られます。各バイトはシリアルに送信され、最上位ビット（MSB）が最初に送られます。図 19 に基本的な転送について示します。

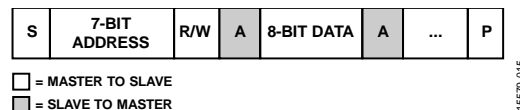


図 19. 基本的なデータ転送

転送プロトコルの詳細については、SMBus と I²C の仕様を参照してください。

データ転送コマンド

PMBus スレーブを使用するデータ転送は、PMBus コマンドを使用して確立されます。PMBus 仕様では、すべての PMBus コマンドはスレーブ・アドレスで始まり、クリア (0 に設定) された R/W ビット、コマンド・コードの順に続くことを規定しています。(ただ 1 つの例外は、アラート応答アドレス・プロトコルです。)

ADM1266 デバイスがサポートするすべての PMBus コマンドは、図 20～図 27 に示すプロトコル・タイプのいずれか 1 つに従います。(PEC に対応していない PMBus マスタ・デバイスでは、PEC バイトはありません。) 図 20～図 27 では以下の略号を使用します。

- S : 開始条件
- P : 停止条件
- Sr : 反復開始条件
- W : 書き込みビット (0)
- R : 読み出しビット (1)
- A : アクノレッジ・ビット (0)
- NA : ノー・アクノレッジ・ビット (1)



= MASTER TO SLAVE
 = SLAVE TO MASTER

図 20. PEC 付きの送信プロトコル

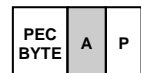
15579-016



= MASTER TO SLAVE
 = SLAVE TO MASTER

図 21. PEC 付きのバイト書き込みプロトコル

15579-017



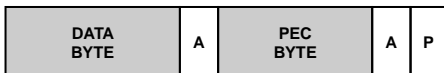
= MASTER TO SLAVE
 = SLAVE TO MASTER

図 22. PEC 付きのワード書き込みプロトコル

15579-018



...



= MASTER TO SLAVE
 = SLAVE TO MASTER

図 23. PEC 付きのバイト読み出しプロトコル

15579-019



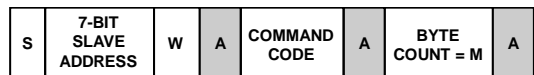
...



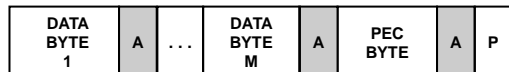
= MASTER TO SLAVE
 = SLAVE TO MASTER

図 24. PEC 付きのワード読み出しプロトコル

15579-020



...



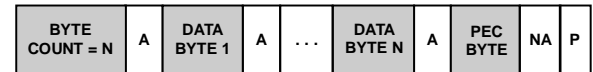
= MASTER TO SLAVE
 = SLAVE TO MASTER

図 25. PEC 付きのブロック書き込みプロトコル

15579-021



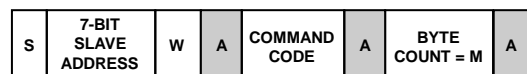
...



= MASTER TO SLAVE
 = SLAVE TO MASTER

図 26. PEC 付きのブロック読み出しプロトコル

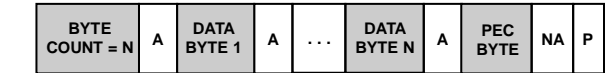
15579-022



...



...



= MASTER TO SLAVE
 = SLAVE TO MASTER

図 27. PEC 付きのブロック書き込みとブロック読み出しプロトコル

15579-023

また、ADM1266 の PMBus スレーブ・モジュールは、メーカー固有の拡張コマンドにも対応します。これらのコマンドは、標準 PMBus コマンドと同じプロトコルに従いますが、コマンド・コードは次の 2 バイトで構成されます。

- コマンド・コード拡張子 : 0xFE
- 拡張コマンド・コード : 0x00~0xFF

メーカー固有の拡張コマンドを使用すると、PMBus デバイス・メーカーは 256 個のメーカー固有コマンドを PMBus コマンド・セットに追加できます。

グループ・コマンド・プロトコル

データ転送コマンドのセクションで説明した通信プロトコルに加えて、PMBus スレーブは専用のグループ・コマンドをサポートしています。グループ・コマンドにより、1 回のシリアル伝送で複数のスレーブにコマンドを送ることができます。各スレーブに対してそれぞれ異なるコマンドを送信できます。この場合、コマンドは、各スレーブに送るアドレスとコマンドのセットを反復開始 (Sr) ビットで分割します (図 28 参照)。すべてのスレーブに対するコマンドの最後に 1 個の停止 (P) ビットを送信することで、受信したコマンドをすべてのスレーブが同時に実行し始めます。

各スレーブに伝送される PEC バイトは、個々のスレーブのアドレス、コマンド・コード、データ・バイトのみを使用して計算されます。

S	SLAVE 1 ADDRESS	W	A	COMMAND CODE 1	A	DATA 1...N	A	PEC 1	A
Sr	SLAVE 2 ADDRESS	W	A	COMMAND CODE 2	A	DATA 1...N	A	PEC 2	A

...

Sr	SLAVE M ADDRESS	W	A	COMMAND CODE M	A	DATA 1...N	A	PEC M	A	P
----	-----------------	---	---	----------------	---	------------	---	-------	---	---

= MASTER TO SLAVE
 = SLAVE TO MASTER

15579-024

図 28. PEC 付きのグループ・コマンド・プロトコル

クロック生成と伸長

ADM1266 はシステム全体の中で常に PMBus スレーブ・デバイスであるため、クロックを生成する必要がありません。クロックはシステムのマスタ・デバイスが生成します。しかし、PMBus スレーブ・デバイスはクロックを伸長して、マスタを待機状態にすることができます。スレーブ・デバイスは、ロー期間に SCL 信号を伸長することで、スレーブ・デバイスの準備ができていないためにマスタ・デバイスは待機する必要があることをマスタ・デバイスに伝えます。

PMBus スレーブ・デバイスが SCL ラインのロー期間を伸長する条件は、次のとおりです。

- マスタ・デバイスがスレーブ・デバイスより高いボー・レートで送信している。
- スレーブ・デバイスの受信 FIFO バッファが一杯で、データのオーバーフロー状態を防止するため、通信を継続する前に読み出す必要がある。
- スレーブ・デバイスで、マスタの要求したデータを送信する準備ができていない。

スレーブ・デバイスは、SCL ラインのロー期間だけを伸長できます。PC 仕様では SCL ラインを無制限に伸長できるのに対して、PMBus 仕様では SCL ラインをローに保持できる最大時間を 25ms に制限しています。その後は、ADM1266 は通信ラインを解放してステート・マシンをリセットしなければなりません。

開始および停止条件

シリアル・クロックがロジック・ハイ・レベルのときに発生するシリアル・データの遷移が、開始および停止条件となります。PMBus スレーブ・デバイスは SDA と SCL ラインを監視して開始条件および停止条件を検出し、それに応じて内部のステート・マシンを遷移させます。代表的な開始および停止条件を図 29 に示します。

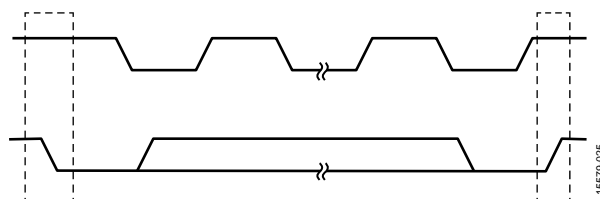


図 29. 開始および停止の遷移

反復開始条件

一般的に、反復開始 (Sr) 条件は、2 つの転送の間に停止条件がないことです。PMBus 通信プロトコルでは、読出しアクセス (バイト読出し、ワード読出し、ブロック読出し) を実行する場合にのみ、反復開始条件を使用します。他の用途に反復開始条件を使用することはできません。

ジェネラル・コールの対応

PMBus スレーブは、ジェネラル・コール・アドレスのデコードとアクノレッジが可能です。PMBus デバイスは、デバイス自身のアドレスとジェネラル・コール・アドレス (0x00) の両方に応答します。

ジェネラル・コール・アドレスを使用して PMBus スレーブ・デバイスと通信する場合、すべての PMBus コマンドは、スレーブ・アドレスから始まり、R/W ビットをクリアして (0 にセット)、その後コマンド・コードが続きます。

PMBus のアドレス選択

ADM1266 の制御は I²C インターフェースを介して実行します。ADM1266 デバイスはスレーブ・デバイスとして I²C バスに接続され、マスタ・デバイスに制御されます。ADM1266 の PMBus アドレスは、ADDR ピンと GND の間に外付け抵抗を接続して設定します。表 10 に、推奨の抵抗値とそれに対応する PMBus アドレスを示します。

表 10. PMBus アドレスの設定

PMBus Address	1% Resistor (kΩ) (E96 Series)
0x40	0.422
0x41	1.5
0x42	2.67
0x43	4.12
0x44	5.36
0x45	7.15
0x46	8.87
0x47	10.7
0x48	12.7
0x49	14.7
0x4A	16.9
0x4B	19.1
0x4C	21.5
0x4D	24.3
0x4E	27.4
0x4F	31.6

高速モード

高速モード (400kHz) は、基本的には標準の動作モードと同じ仕組みを使用します。PMBus スレーブは、標準モード (100kHz) または高速モードで動作するマスタ・デバイスと通信できます。

10 ビット・アドレス指定

PMBus スレーブ・デバイスは、I²C の仕様で規定されている 10 ビットのアドレス指定には対応していません。

パケット・エラー・チェック

PMBus コントローラは、PEC を実行して信頼性と通信の堅牢性を向上させます。パケット・エラー・チェックは転送メッセージの最後に PEC バイトを追加することにより実行されます。PEC バイトは、開始ビットから停止ビットまでの間にあるすべてのアドレス、コマンド、およびデータ・バイトに CRC-8 アルゴリズムを使用して計算されます (アクノレッジ、ノー・アクノレッジ、開始、再開、および停止ビットを除きます)。PEC バイトは、最後のデータ・バイトを供給するデバイスがメッセージの最後に追加します。PEC バイトを受信したデバイスは、内部 PEC コードを計算して、受信した PEC バイトと比較します。

ADM1266 は、PEC をサポートするマスタ PMBus と同様に、PEC をサポートしていないマスタ・デバイスとも通信できます。PEC バイトを受信すると、PMBus デバイスは PEC バイトをチェックして、PEC バイトが正しい場合にはアクノレッジを送信します。PEC バイトの比較に失敗した場合は、PMBus デバイスは この PEC バイトに対応するノー・アクノレッジを送信し、マスタから送信されたコマンドを処理しません。

PMBus デバイスは内蔵ハードウェアを使用して、CRC-8 多項式、 $C(x) = x^8 + x^2 + x^1 + 1$ により PEC コードを計算します。PEC コードは、受信した順に 1 回に 1 バイトずつ計算されます。読出しトランザクションでは、PMBus デバイスは最後のデータ・バイトの次に PEC バイトを追加します。書込みトランザクションでは、PMBus デバイスは受信した PEC バイトを内部で計算した PEC コードと比較します。

電気仕様

すべてのロジックは、*PMBus Power System Management Protocol Specification Part 1* (Revision 1.2, 2010 年 9 月 6 日) の電気仕様に準拠しています。

PMBus コマンド

ADM1266 に実装されている標準 PMBus コマンドを表 11 に示します。これらのコマンドの多くは、PMBus のコマンド・コードと同じ 16 進数の値を使用するレジスタに実装されています。

表 11. PMBus コマンド・リスト

Code	Name	Type ¹	Bytes
0x00	PAGE	R/W	1
0x01	OPERATION	R/W	1
0x03	CLEAR_FAULTS	S	0
0x15	STORE_USER_ALL	S	0
0x16	RESTORE_USER_ALL	S	0
0x19	CAPABILITY	R	1
0x20	VOUT_MODE	R/W	1
0x21	VOUT_COMMAND	R/W	2
0x22	VOUT_TRIM	R/W	2
0x25	VOUT_MARGIN_HIGH	R/W	2
0x26	VOUT_MARGIN_LOW	R/W	2
0x29	VOUT_SCALE_LOOP	R/W	2
0x2A	VOUT_SCALE_MONITOR	R/W	2
0x40	VOUT_OV_FAULT_LIMIT	R/W	2
0x42	VOUT_OV_WARN_LIMIT	R/W	2
0x43	VOUT_UV_WARN_LIMIT	R/W	2
0x44	VOUT_UV_FAULT_LIMIT	R/W	2
0x78	STATUS_BYTE	R/W	1
0x79	STATUS_WORD	R/W	2
0x7A	STATUS_VOUT	R	1
0x7E	STATUS_CML	R	1
0x80	STATUS_MFR_SPECIFIC	R	1
0x8B	READ_VOUT	R	2
0x98	PMBUS_REVISION	R	1
0x99	MFR_ID	Block WR/W	1 to 32
0x9A	MFR_MODEL	Block WR/W	1 to 32
0x9B	MFR_REVISION	Block WR/W	1 to 8
0x9C	MFR_LOCATION	Block WR/W	1 to 48
0x9D	MFR_DATE	Block WR/W	1 to 16
0x9E	MFR_SERIAL	Block WR/W	1 to 32
0xAD	IC_DEVICE_ID	Block R	3
0xAE	IC_DEVICE_REV	Block R	8
0xD0	VOUT_OV_HYST_LIMIT	R/W	2
0xD1	VOUT_UV_HYST_LIMIT	R/W	2
0xD2	Vx_CONFIGURATION	R/W	2
0xD3	BLACKBOX_CONFIGURATION	R/W	2
0xD4	PDIO_CONFIGURATION	Block WR, Block W	2 to 32, 3 to 33
0xD5	DAC_CONFIGURATION	Block WR, Block W	2 to 18, 3 to 19
0xD6	SEQUENCE_CONFIGURATION	Block WR/W	3 to 250

Code	Name	Type ¹	Bytes
0xD7	SYSTEM_CONFIGURATION	Block WR/W	3 to 250
0xD8	GO_COMMAND	R/W	2
0xD9	READ_STATE	R	2
0xDA	VOUT_MARGIN_LOOP	R/W	2
0xDB	MARGIN_CONFIGURATION	R/W	2
0xDC	BREAKPOINTS	Block WR/W	1 to 128
0xDD	ICB_CONFIGURATION	Block R/W	8
0xDE	READ_BLACKBOX	Block WR, Block W	65, 2
0xDF	SET_RTC	Block R/W	6
0xE0	LOGIC_CONFIGURATION	Block WR/W	3 to 250
0xE1	GPIO_SYNC_CONFIGURATION	Block WR	1
0xE3	USER_DATA	Block WR/W	3 to 250
0xE4	POWERUP_COUNTER	Block R	2
0xE5	VOUT_RESISTOR	Block WR/W	5 to 16
0xE6	BLACKBOX_INFORMATION	Block R	4
0xE7	ALL_STATUS_VOUT	Block R	17
0xE8	ALL_READ_VOUT_MODE	Block R	51
0xE9	PDIO_STATUS	Block R	2
0xEA	GPIO_STATUS	Block R	2
0xEB	DAC_CODE_CONFIGURATION	Block WR, Block W	3 to 19, 4 to 20
0xEC	RTS_CONFIGURATION	R/W	2
0xED	STATUS_MFR_SPECIFIC_2	R	2
0xF4	REFRESH_CONFIGURATION	Block W WR	3 to 4 2 to 9
0xF5	REFRESH_FLASH	R/W	2
0xF6	HITLESS_TIMEOUT	R/W	2
0xF7	VAR_VALUE	Block WR	2 to 5
0xF8	MEMORY_CONFIGURATION	Block R/W	3
0xF9	MEMORY_RECALCULATE_CRC	W	2
0xFA	SWITCH_MEMORY	Block W	1
0xFB	ERASE_MEMORY	Block W	1
0xFC	UPDATE_FW	W	2
0xFD	FW_PASSWORD	Block W	17

¹ S はデータなしのバイト送信コマンドです。Block WR はブロック書込みパラメータおよびブロック読出しデータです。Block W はブロック書込みコマンドです。Block R はブロック読出しコマンドです。Block WR/W は、標準のブロック書込みによる処理でコマンドへの書込みが行われますが、それをリードバックされる前に行う必要があることを表します。

標準 PMBus コマンドの説明

Block WR/W と表示されているコマンドはすべて、2回の書込みと1回の読出しで構成されます。標準のブロック書込みによる処理でコマンドへの書込みが行われますが、それをリードバックされる前に行う必要があります。

標準の PMBus コマンド

Page

Page コマンドは、1つの物理アドレスのみを使用して、設定、制御、および監視ができるようにします。

表 12. レジスタ 0x00—PAGE

Bits	Bit Name	Type	Description
[7:0]	PAGE	R/W	00000 = VH1. 00001 = VH2. 00010 = VH3. 00011 = VH4. 00100 = VP1. 00101 = VP2. 00110 = VP3. 00111 = VP4. 01000 = VP5. 01001 = VP6. 01010 = VP7. 01011 = VP8. 01100 = VP9. 01101 = VP10. 01110 = VP11. 01111 = VP12. 10000 = VP13. PAGE を 0xFF に設定すると、その後のすべてのコマンドが、すべての入力ピンに適用されることとなります。

Operation

Operation コマンドは、クローズドループ・マーキングのオンとオフ、およびマーキングする電圧の決定を行います。

表 13. レジスタ 0x01—Operation

Bits	Bit Name	R/W	Description
[7:6]	MARGIN_EN	R/W	01 はソフト・オフ、10 はマーキング・オン、その他は予備。
[5:4]	MARGIN_VOLTAGE	R/W	00 は VOUT_COMMAND (VOUT_COMMAND で設定された電圧へのクローズドループ・サーボ)、01 はマーキング・ロー、10 はマーキング・ハイ、その他は予備。
[3:2]	Fault	R/W	01 は障害無視、その他は予備。
[1:0]	Reserved	R	予備。

CLEAR_FAULTS

CLEAR_FAULTS コマンドは、データなしの送信バイトです。このコマンドは、すべての PMBus ステータス・レジスタのすべての障害ビットを同時にクリアします。

表 14. レジスタ 0x03—CLEAR_FAULTS

Bits	Bit Name	Type	Description
Not Applicable	CLEAR_FAULTS	Send	PMBus ステータス・レジスタ (レジスタ 0x78～レジスタ 0x7A) のすべてのビットを同時にクリアします。

STORE_USER_ALL

表 15. レジスタ 0x15—STORE_USER_ALL

Bits	Bit Name	Type	Description
Not Applicable	STORE_USER_ALL	Send	このコマンドは、動作メモリの内容のすべてをデバイス・メモリにコピーします。

RESTORE_USER_ALL

表 16. レジスタ 0x16—RESTORE_USER_ALL

Bits	Bit Name	Type	Description
Not Applicable	RESTORE_USER_ALL	Send	このコマンドは、デバイス・メモリに保存されたユーザ設定を動作メモリにダウンロードします。

Capability

このコマンドにより、ホスト・システムは PMBus デバイスの機能を知ることができます。

表 17. レジスタ 0x19—Capability

Bits	Bit Name	R/W	Description
7	Packet error checking	R	デバイスのパケット・エラー機能をチェックします。1 は対応していることを表します。
[6:5]	Maximum bus speed	R	デバイスの PMBus 速度の能力をチェックします。01 が対応する最大バス速度で、400kHz です。
4	SMBALRT	R	SMBus アラート・ピンおよび SMBus アラート応答アドレス・プロトコルに対応しているかチェックします。0 は対応していないことを表します。
[3:0]	Reserved	R	予備。

VOUT_MODE

VOUT_MODE コマンドを使用して、出力電圧に関するデータのデータ・フォーマットを設定します。VOUT_MODE コマンドのデータ・バイトは、3 ビットのモードと 5 ビットの指数パラメータで構成されます。3 ビットのモードは、出力電圧に関するコマンドにおいて、デバイスが線形フォーマットとダイレクト・フォーマットのどちらを使用するかを決定します。5 ビットのパラメータは、線形フォーマットの指数値をセットします。

表 18. レジスタ 0x20—VOUT_MODE

Bits	Bit Name	R/W	Description
[7:5]	Mode	R	出力電圧のデータ・フォーマットを返します。この値は 000 に固定されています。これは線形のデータ・フォーマットのみに対応していることを表しています。
[4:0]	Exponent N	R/W	出力電圧関連コマンドで使用される線形データ・フォーマット ($V = Y \times 2^N$) における 2 の補数の指数部 N、Y は仮数部。

VOUT_COMMAND

VOUT_COMMAND コマンドを使用して出力電圧を設定します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 19. レジスタ 0x21—VOUT_COMMAND

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) の 16 ビットの符号なし整数部 Y。N は VOUT_MODE [4 : 0] を使用して定義します。

VOUT_TRIM

VOUT_TRIM コマンドを使用して、VOUT_COMMAND の値に固定オフセット電圧を加えます。

表 20. レジスタ 0x22—VOUT_TRIM

Bits	Bit Name	R/W	Description
[15:0]	Offset trim	R/W	VOUT_COMMAND の値に加える固定オフセット電圧を表す、2 の補数を使用した整数。

VOUT_MARGIN_HIGH

VOUT_MARGIN_HIGH コマンドを使用して、高電圧のマージニングを設定します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 21. レジスタ 0x25—VOUT_MARGIN_HIGH

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) の 16 ビットの符号なし整数部 Y。N は VOUT_MODE [4 : 0] を使用して定義します。

VOUT_MARGIN_LOW

VOUT_MARGIN_LOW コマンドを使用して、低電圧のマージニングを設定します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 22. レジスタ 0x26—VOUT_MARGIN_LOW

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) の 16 ビットの符号なし整数部 Y。N は VOUT_MODE [4 : 0] を使用して定義します。

VOUT_SCALE_LOOP

VOUT_SCALE_LOOP コマンドを使用してゲイン (K_R) をセットします。指定された電圧 (V_{OUT}) にこのゲインを乗じることにより内部リファレンス電圧 (V_{REF}) が得られます。 $V_{REF} = V_{OUT} \times K_R$ 、ここで、 $K_R = Y \times 2^N$ 。

表 23. レジスタ 0x29—VOUT_SCALE_LOOP

Bits	Bit Name	R/W	Description
[15:11]	Exponent N	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の指数部 N。
[10:0]	Mantissa Y	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の仮数部 Y。

VOUT_SCALE_MONITOR

VOUT_SCALE_MONITOR コマンドを使用してゲイン (K_{VOUT}) をセットします。被テスト・デバイス (DUT) で検出された出力電圧 (V_{OUT_DUT}) にこのゲインを乗じることによって READ_VOUT コマンドによる読出し値が得られます。 $READ_VOUT = V_{OUT_DUT} \times K_{VOUT}$ 、ここで、 $K_{VOUT} = Y \times 2^N$ 。

表 24. レジスタ 0x2A—VOUT_SCALE_MONITOR

Bits	Bit Name	R/W	Description
[15:11]	Exponent N	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の指数部 N。
[10:0]	Mantissa Y	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の仮数部 Y。

VOUT_OV_FAULT_LIMIT

VOUT_OV_FAULT_LIMIT コマンドは、過電圧障害条件を発生させる検出／出力ピン、 V_{Hx}/V_{Px} で測定される過電圧の閾値 (単位は V) を設定します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 25. レジスタ 0x40—VOUT_OV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

VOUT_OV_WARN_LIMIT

VOUT_OV_WARN_LIMIT コマンドは、過電圧警告条件を発生させる検出／出力ピン、VHx/VPx で測定される過電圧の閾値（単位は V）を設定します。指数部 N は VOUT_MODE [4:0] を使用して設定します。

表 26. レジスタ 0x42—VOUT_OV_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

VOUT_UV_WARN_LIMIT

VOUT_UV_WARN_LIMIT コマンドは、低電圧警告条件を発生させる検出／出力ピン、VHx/VPx で測定される低電圧の閾値（単位は V）を設定します。指数部 N は VOUT_MODE [4:0] を使用して設定します。

表 27. レジスタ 0x43—VOUT_UV_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

VOUT_UV_FAULT_LIMIT

VOUT_UV_FAULT_LIMIT コマンドは、低電圧障害条件を発生させる検出／出力ピン、VHx/VPx で測定される低電圧の閾値（単位は V）を設定します。指数部 N は VOUT_MODE [4:0] を使用して設定します。

表 28. レジスタ 0x44—VOUT_UV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

STATUS_BYTE

STATUS_BYTE コマンドは、最も重要な障害の概要を 1 バイトの情報で返します。

表 29. レジスタ 0x78—STATUS_BYTE

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R	予備。
5	VOUT_OV_FAULT	R/W	V _{OUT} の OV 障害ステータス。
[4:2]	Reserved	R	予備。
1	CML	R/W	通信、メモリ、またはロジックのイベント。
0	Reserved	R	予備。

STATUS_WORD

STATUS_WORD コマンドは、ユニットの障害条件の概要を 2 バイトの情報で返します。

表 30. レジスタ 0x79—STATUS_WORD

Bits	Bit Name	R/W	Description
15	VOUT	R/W	STATUS_VOUT、ビット [7:0] のロジック OR。
[14:6]	Reserved	R	予備。
5	VOUT_OV_FAULT	R/W	V _{OUT} の OV 障害ステータス。
[4:2]	Reserved	R	予備。
1	CML	R/W	通信、メモリ、またはロジック。
0	Reserved	R	予備。

STATUS_VOUT

STATUS_VOUT コマンドを使用して、レールのコンパレータのステータスを取得します。

表 31. レジスタ 0x7A—STATUS_VOUT

Bits	Bit Name	R/W	Description
7	VOUT_OV_FAULT	R	V _{OUT} の OV 障害ステータス。
6	VOUT_OV_WARNING	R	V _{OUT} の OV 警告ステータス。
5	VOUT_UV_WARNING	R	V _{OUT} の UV 警告ステータス。
4	VOUT_UV_FAULT	R	V _{OUT} の UV 障害ステータス。
[3:0]	Reserved	R	予備。

STATUS_CML

STATUS_CML コマンドは、表 32 に示す内容の 1 つのデータ・バイトを返します。

表 32. レジスタ 0x7E—STATUS_CML

Bits	Bit Name	R/W	Description
7	INVALID_COMMAND	R	無効またはサポートされていないコマンドを受信。
6	Reserved	R	予備。
5	PEC_ERROR	R	PEC のエラー。
4	MEMORY_FAULT_DETECTED	R	メモリの障害検出。
[3:0]	Reserved	R	予備。

STATUS_MFR_SPECIFIC

STATUS_MFR_SPECIFIC コマンドは、表 33 に示す内容の 1 つのデータ・バイトを返します。

表 33. レジスタ 0x80—STATUS_MFR_SPECIFIC

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R	予備。
5	ALL_CRC_FAULT	R	0 はすべての CRC チェックに合格したことを、1 はすべての CRC チェックでエラーが発生したことを示します。
4	Reserved	R	予備。
3	RUNNING_REFRESH	R	0 はリフレッシュが完了したことを、1 はリフレッシュが動作中であることを示します。
2	PART_LOCKED	R	0 はデバイスがロック解除されていることを、1 はデバイスがロックされていることを示します。
1	PART_DATA_COMPATIBLE	R	0 は設定値とシーケンス・データに互換性があることを、1 は設定値とシーケンス・データに互換性がないことを示します。
0	SILICON_COMPATIBLE	R	0 はシリコン・バージョンのチェックに合格したことを、1 はシリコン・バージョンのチェックでエラーが発生したことを示します。

READ_VOUT

READ_VOUT コマンドは、実際の出力電圧の測定値を $V = Y \times 2^N$ の形式で返します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 34. レジスタ 0x8B—READ_VOUT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

PMBUS_REVISION

PMBUS_REVISION コマンドは、PMBus のバージョン情報を返します。ADM1266 は PMBus Revision 1.2 に準拠しています。このコマンドを読み出すと、値は 0x22 になります。

表 35. レジスタ 0x98—PMBUS_REVISION

Bits	Bit Name	R/W	Description
[7:4]	Part 1 revision	R	PMBus Part 1 仕様に準拠 : 0010 =Revision 1.2。
[3:0]	Part 2 revision	R	PMBus Part 2 仕様に準拠 : 0010 =Revision 1.2。

MFR_ID

MFR_ID コマンドを使用して、メーカーID の設定または読出しを行います。MFR_ID は通常、製造時に 1 回だけセットされます。ID の最大データ長は 32 バイトです。

表 36. レジスタ 0x99—MFR_ID (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックするメーカーID のデータ長。最大 = 32 バイト。
0	Data length	Block R	ADM1266 が返すメーカーID のデータ長。
[64:1]	Data	Block R	メーカーID データ。

表 37. レジスタ 0x99—MFR_ID (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	メーカーID の書込みデータ長。最大 = 32 バイト。
[64:1]	Data	Block W	メーカーID データ。

MFR_MODEL

MFR_MODEL コマンドを使用して、メーカーのモデル番号の設定または読出しを行います。MFR_MODEL は通常、製造時に 1 回だけセットされます。モデル番号の最大データ長は 32 バイトです。

表 38. レジスタ 0x9A—MFR_MODEL (Block W)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックするメーカーのモデル番号のデータ長。最大 = 32 バイト。
0	Data length	Block R	ADM1266 が返すメーカーのモデル番号のデータ長。
[64:1]	Data	Block R	メーカーのモデル・データ。

表 39. レジスタ 0x9A—MFR_MODEL (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	メーカーのモデル番号の書込みバイト長。最大 = 32 バイト。
[64:1]	Data	Block W	メーカーのモデル・データ。

MFR_REVISION

MFR_REVISION コマンドを使用して、メーカーのリビジョン番号の設定または読出しを行います。MFR_REVISION は通常、製造時に 1 回だけセットされます。リビジョン番号の最大データ長は 8 バイトです。

表 40. レジスタ 0x9B—MFR_REVISION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックするメーカーのリビジョン番号のデータ長。最大 = 8 バイト。
0	Data length	Block R	ADM1266 が返すメーカーのリビジョン番号のデータ長。
[64:1]	Data	Block R	メーカーのリビジョン・データ。

表 41. レジスタ 0x9B—MFR_REVISION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	メーカーのリビジョン番号の書込みデータ長。最大 = 8 バイト。
[64:1]	Data	Block W	メーカーのリビジョン・データ。

MFR_LOCATION

MFR_LOCATION コマンドを使用して、デバイスの製造場所の設定または読出しを行います。MFR_LOCATION は通常、製造時に 1 回だけセットされます。製造場所の最大データ長は 48 バイトです。

表 42. レジスタ 0x9C—MFR_LOCATION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックする製造場所のデータ長。最大 = 48 バイト。
0	Data length	Block R	ADM1266 が返す製造場所のデータ長。
[64:1]	Data	Block R	製造場所データ。

表 43. レジスタ 0x9C—MFR_LOCATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	製造場所の書込みデータ長。最大 = 48 バイト。
[64:1]	Data	Block W	製造場所データ。

MFR_DATE

MFR_DATE コマンドを使用して、デバイスの製造日の設定または読出しを行います。MFR_DATE は通常、製造時に 1 回だけセットされます。日付の最大データ長は 16 バイトです。

表 44. レジスタ 0x9D—MFR_DATE (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックする製造日のデータ長。最大 = 16 バイト。
0	Data length	Block R	ADM1266 が返す製造日のデータ長。
[64:1]	Data	Block R	製造日。

表 45. レジスタ 0x9D—MFR_DATE (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	製造日の書込みデータ長。最大 = 16 バイト。
[64:1]	Data	Block W	製造日。

MFR_SERIAL

MFR_SERIAL コマンドを使用して、デバイスのメーカー・シリアル番号の設定または読出しを行います。MFR_LOCATION は通常、製造時に 1 回だけセットされます。シリアル番号の最大データ長は 32 バイトです。

表 46. レジスタ 0x9E—MFR_SERIAL (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	ID length	Block W	リードバックするメーカー・シリアル番号のデータ長。最大 = 32 バイト。
0	Data length	Block R	ADM1266 が返すメーカー・シリアル番号のデータ長。
[64:1]	Data	Block R	メーカー・シリアル・データ。

表 47. レジスタ 0x9E—MFR_SERIAL (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	メーカー・シリアル番号の書込みデータ長。最大 = 32 バイト。
[64:1]	Data	Block W	メーカー・シリアル・データ。

IC_DEVICE

IC_DEVICE コマンドは、ADM1266 の ID およびデバイス番号を返します。デフォルト値は 0x41、0x12、および 0x66 です。

表 48. レジスタ 0xAD—IC_DEVICE_ID

Byte	Byte Name	R/W	Description
0	Data length	Block R	パラメータのデータ長、固定値 3。
[3:1]	Data	Block R	IC の ID およびデバイス番号：0x41、0x12、0x66 を返します。

IC_DEVICE_REV

IC_DEVICE_REV コマンドは、ADM1266 のファームウェア、ブート・ローダ、およびチップのバージョンを返します。

表 49. レジスタ 0xAE—IC_DEVICE_REV (ノーマル・モード)

Byte	Byte Name	R/W	Description
0	Data length	Block R	パラメータのデータ長、固定値 8。
[3:1]	Firmware revision	Block R	ADM1266 のファームウェアのバージョン。例えば、0x01、0x08、0x07 はバージョン 1.8.7 を表します。
[6:4]	Bootloader revision	Block R	ADM1266 のブート・ローダのバージョン。例えば、0x00、0x00、0x07 はバージョン 0.0.7 を表します。
[8:7]	Chip revision	Block R	ADM1266 のチップのバージョン。例えば、41 と 30 は、それぞれ ASCII コードの B と 0 です。

表 50. レジスタ 0xAE—IC_DEVICE_REV (ブート・ローダ・モード)

Byte	Byte Name	R/W	Description
0	Data length	Block R	パラメータのデータ長、固定値 8。
[3:1]	Bootloader revision	Block R	ADM1266 のファームウェアのバージョン。例えば、0x01、0x08、0x07 はバージョン 1.8.7 を表します。
[6:4]	Reserved	Block R	予備
[8:7]	Chip revision	Block R	ADM1266 のチップのバージョン。例えば、41 と 30 は、それぞれ ASCII コードの B と 0 です。

VOUT_OV_HYST_LIMIT

VOUT_OV_HYST_LIMIT コマンドは、過電圧障害条件を発生させる検出／出力ピンで測定される過電圧のヒステリシス (単位は V) の設定または読出しを行います。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 51. レジスタ 0xD0—VOUT_OV_HYST_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

VOUT_UV_HYST_LIMIT

VOUT_UV_HYST_LIMIT コマンドは、低電圧障害条件を発生させる検出／出力ピンで測定される低電圧のヒステリシス (単位は V) の設定または読出しを行います。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 52. レジスタ 0xD1—VOUT_UV_HYST_LIMIT

Bits	Bit Name	R/W	Description
[15:0]	Mantissa Y	R/W	線形データ・フォーマット ($V = Y \times 2^N$) で表される出力電圧の符号なし仮数部 Y。

Vx_CONFIGURATION

このコマンドを使用して、デバイスの VHx/VPx の設定の書き込みまたは読出しを行います。

表 53. レジスタ 0xD2—VH_CONFIGURATION (PAGE コマンド (0x00) 値が 0~3 の場合)

Bits	Bit Name	R/W	Description
[15:13]	VH_RANGE	R/W	VHx の入力範囲を選択します。 000 = 解放。 001 = 解放。 010 = 6.0V~15.0V。 011 = 3.0V~7.5V。 100 = 1.5V~3.75V。 101 = 0.75V~1.875V。 110 = 直接接続の範囲 (0.4V~1.0V)。 111 = 予備。
12	Reserved	R	予備。
[11:8]	VH_UV_FILTER	R/W	VHx の UV グリッチ・フィルタを設定します。これより短いパルスは抑制されます。サンプリング遅延に最大 400ns の遅延が加算される可能性があります。 0000 = 予備。 0001 = 予備。 0010 = 2.0 μ s。 0011 = 4.0 μ s。 0100 = 5.0 μ s。 0101 = 6.0 μ s。 0110 = 7.5 μ s。 0111 = 8.0 μ s。 1000 = 10.0 μ s。 1001 = 20.0 μ s。 1010 = 40.0 μ s。 1011 = 50.0 μ s。 1100 = 60.0 μ s。 1101 = 75.0 μ s。 1110 = 80.0 μ s。 1111 = 100.0 μ s。
7	Reserved	R/W	予備。
6	VH_UV_ENABLE	R/W	VHx の UV コンパレータをイネーブルにします。 0 = UV コンパレータ・ディスエーブル。 1 = UV コンパレータ・イネーブル。
[5:2]	VH_OV_FILTER	R/W	VHx の OV グリッチ・フィルタを設定します。これより短いパルスは抑制されます。サンプリング遅延に最大 400ns の遅延が加算される可能性があります。 0000 = 予備。 0001 = 予備。 0010 = 2.0 μ s。 0011 = 4.0 μ s。 0100 = 5.0 μ s。 0101 = 6.0 μ s。 0110 = 7.5 μ s。 0111 = 8.0 μ s。 1000 = 10.0 μ s。 1001 = 20.0 μ s。 1010 = 40.0 μ s。 1011 = 50.0 μ s。 1100 = 60.0 μ s。 1101 = 75.0 μ s。 1110 = 80.0 μ s。 1111 = 100.0 μ s。

Bits	Bit Name	R/W	Description
1	Reserved	R/W	予備。
0	VH_OV_ENABLE	R/W	VHx の OV コンパレータをイネーブルにします。 0 = OV コンパレータ・ディスエーブル。 1 = OV コンパレータ・イネーブル。

表 54. レジスタ 0xD2—VP_CONFIGURATION (PAGE コマンド (0x00) 値が 4~16 の場合)

Bits	Bit Name	R/W	Description
[15:13]	VP_RANGE	R/W	VHx の入力範囲を選択します。 000 = 解放。 001 = 解放。 010 = 解放。 011 = 2.2V~5V。 100 = 1.5V~3.75V。 101 = 0.75V~1.875V。 110 = 直接接続の範囲 (0.4V~1.0V)。 111 = 予備。
12	VP_DIFF_EN	R/W	VPx の差動モードを選択します。 0 = 差動電圧モードは無効。 1 = 差動電圧モードは有効 (偶数ピンは無視)。
[11:8]	VP_UV_FILTER	R/W	VPx の UV グリッチ・フィルタを設定します。これより短いパルスは抑制されます。サンプリング遅延に最大 400ns の遅延が加算される可能性があります。 0000 = 予備。 0001 = 予備。 0010 = 2.0 μ s。 0011 = 4.0 μ s。 0100 = 5.0 μ s。 0101 = 6.0 μ s。 0110 = 7.5 μ s。 0111 = 8.0 μ s。 1000 = 10.0 μ s。 1001 = 20.0 μ s。 1010 = 40.0 μ s。 1011 = 50.0 μ s。 1100 = 60.0 μ s。 1101 = 75.0 μ s。 1110 = 80.0 μ s。 1111 = 100.0 μ s。
7	Reserved	R/W	予備。
6	VP_UV_ENABLE	R/W	VPx の UV コンパレータをイネーブルにします。 0 = UV コンパレータ・ディスエーブル。 1 = UV コンパレータ・イネーブル。

Bits	Bit Name	R/W	Description
[5:2]	VP_OV_FILTER	R/W	VPx の OV グリッチ・フィルタを設定します。これより短いパルスは抑制されます。サンプリング遅延に最大 400ns の遅延が加算される可能性があります。 0000 = 予約済み。 0001 = 予約済み。 0010 = 2.0 μ s。 0011 = 4.0 μ s。 0100 = 5.0 μ s。 0101 = 6.0 μ s。 0110 = 7.5 μ s。 0111 = 8.0 μ s。 1000 = 10.0 μ s。 1001 = 20.0 μ s。 1010 = 40.0 μ s。 1011 = 50.0 μ s。 1100 = 60.0 μ s。 1101 = 75.0 μ s。 1110 = 80.0 μ s。 1111 = 100.0 μ s。
1	Reserved	R/W	予備
0	VP_OV_ENABLE	R/W	VPx の OV コンパレータをイネーブルにします。 0 = OV コンパレータ・ディスエーブル。 1 = OV コンパレータ・イネーブル。

BLACKBOX_CONFIGURATION

BLACKBOX_CONFIGURATION コマンドを使用して、ブラック・ボックス・サイクル記録の設定のセットまたは読出しを行います。

表 55. レジスタ 0xD3—BLACKBOX_CONFIGURATION

Bits	Bit Name	R/W	Description
[15:1]	Reserved	R	予備。
0	CYCLIC_RECORD	R/W	サイクル記録モード。 0 = 無効。 1 = 有効。

PDIO_CONFIGURATION

このコマンドを使用して、PDIOx の設定のブロック書込み／読出しを行います。

表 56. レジスタ 0xD4—PDIO_CONFIGURATION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	PDIO index parameter	Block W	00000 = PDIO1。 00001 = PDIO2。 00010 = PDIO3。 00011 = PDIO4。 00100 = PDIO5。 00101 = PDIO6。 00110 = PDIO7。 00111 = PDIO8。 01000 = PDIO9。 01001 = PDIO10。 01010 = PDIO11。 01011 = PDIO12。

Byte	Byte Name	R/W	Description
			01100 = PDIO13。 01101 = PDIO14。 01110 = PDIO15。 01111 = PDIO16。 このバイトを 0xFF にセットすると、デバイスはすべての PDIO のデータをリードバックします。
0	Data length	Block R	ADM1266 が返す PDIO 設定のデータ長。PDIO インデックスのパラメータが 16 より小さい場合は 2、PDIO インデックスのパラメータが 0xFF の場合は 32 をセットします。
[N:1]	Data	Block R	PDIO _x の設定データ。

表 57. レジスタ 0xD4—PDIO_CONFIGURATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	このブロック書込みで使用するデータのバイト数。書込みの場合、データ長は 3~33。
1	Starting index	Block W	00000 = PDIO1。 00001 = PDIO2。 00010 = PDIO3。 00011 = PDIO4。 00100 = PDIO5。 00101 = PDIO6。 00110 = PDIO7。 00111 = PDIO8。 01000 = PDIO9。 01001 = PDIO10。 01010 = PDIO11。 01011 = PDIO12。 01100 = PDIO13。 01101 = PDIO14。 01110 = PDIO15。 01111 = PDIO16。 この値とデータ長とで、どの PDIO を設定するか決定します。例えば、開始インデックスが 5、データ長が 7 の場合、PDIO6、PDIO7、PDIO8 が設定されます。
[33:2]	Data	Block W	PDIO _x の設定データ。

表 58. 各 PDIO_x 設定の 2 バイト・データ

Bits	Bit Name	R/W	Description
[15:13]	PDIO_PIN_CFG	R/W	PDIO _x ピンの動作モード。 000 = 無効化。 001 = 出力。 010 = 入力。 011 = 入出力。 100 = 無効化。 101 = 無効。 110 = 無効。 111 = 無効。
[12:9]	PDIO_GLITCH_FILT	R/W	入力グリッチ・フィルタを設定します。これより短いパルスは抑制されます。 0000 = 500ns。 0001 = 1.0μs。 0010 = 2.0μs。 0011 = 4.0μs。 0100 = 5.0μs。 0101 = 6.0μs。 0110 = 7.5μs。

Bits	Bit Name	R/W	Description
			0111 = 8.0 μ s。 1000 = 10.0 μ s。 1001 = 20.0 μ s。 1010 = 40.0 μ s。 1011 = 50.0 μ s。 1100 = 60.0 μ s。 1101 = 75.0 μ s。 1110 = 80.0 μ s。 1111 = 100.0 μ s。
[8:3]	Reserved	R/W	予備。
[2:0]	PDIO_OUTPUT_CFG	R/W	出力の設定。PDIOx 出力ドライバを設定します。 000 = 20k Ω プルダウン抵抗。この抵抗はパワーアップ時でも有効です。 001 = AVDD の 20k Ω プルアップ抵抗。この抵抗はパワーアップ時でも有効です。 010 = 20k Ω プルダウン抵抗を使用したオープンソース。 011 = AVDD の 20k Ω プルアップ抵抗を使用したオープンドレイン。 100 = オープンソース（外付けプルダウン抵抗が必要）。 101 = オープンドレイン（外付けプルアップ抵抗が必要）。 110 = プッシュ/プル出力ドライバ。 111 = 高インピーダンス。

DAC_CONFIGURATION

このコマンドを使用して、DAC 設定のブロック書込み/読出しを行います。

表 59. レジスタ 0xD5—DAC_CONFIGURATION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	DAC index parameter	Block W	00000 = DAC1。 00001 = DAC2。 00010 = DAC3。 00011 = DAC4。 00100 = DAC5。 00101 = DAC6。 00110 = DAC7。 00111 = DAC8。 01000 = DAC9。 このバイトを 0xFF にセットすると、デバイスはすべての DAC のデータをリードバックします。
0	Data length	Block R	ADM1266 が返す DAC 設定のデータ長。DAC インデックスのパラメータが 9 より小さい場合は 2、DAC インデックスのパラメータが 0xFF の場合は 18 をセットします。
[18:1]	Data	Block R	GPIO の設定データ。

表 60. レジスタ 0xD5—DAC_CONFIGURATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数。書き込みの場合、この値は3～19。
1	Starting Index	Block W	00000 = DAC1。 00001 = DAC2。 00010 = DAC3。 00011 = DAC4。 00100 = DAC5。 00101 = DAC6。 00110 = DAC7。 00111 = DAC8。 01000 = DAC9。 この値とデータ長とで、どのDACを設定するか決定します。例えば、開始インデックスが5、データ長が7の場合、DAC6、DAC7、DAC8が設定されます。
[19:2]	Data	Block W	GPIOの設定データ。

表 61. 各 DAC 設定の 2 バイト・データ

Bits	Bit Name	R/W	Description
[15:11]	Reserved	R	予備。
[10:6]	DAC_MAPPING	R/W	これらのビットは、クローズドループ・マージニングのDAC電圧をセットする入力ピンをマッピングします。 00000 = オープン。 00001 = VH1。 00010 = VH2。 00011 = VH3。 00100 = VH4。 00101 = VP1。 00110 = VP2。 00111 = VP3。 01000 = VP4。 01001 = VP5。 01010 = VP6。 01011 = VP7。 01100 = VP8。 01101 = VP9。 01110 = VP10。 01111 = VP11。 10000 = VP12。 10001 = VP13。
5	DAC_CLOSED_LOOP	R/W	2つの異なるクローズドループの動作を設定します。 0 = クローズドループは連続的に動作します。 1 = クローズドループは設定値で安定すると停止します。
[4:2]	Reserved	R/W	予備
[1:0]	MARGIN_MODE	R/W	マージニングのモード。 00 = オフ。 01 = オープン・ループ。 10 = クローズドループ。 11 = 予備。

SEQUENCE_CONFIGURATION

このコマンドを使用して、シーケンス設定のブロック書き込み／読出しを行います。

表 62. レジスタ 0xD6—SEQUENCE_CONFIGURATION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 3。
1	Data length	Block W	データ長。
2	Offset address (low)	Block W	全設定データの下位 8 ビット・オフセット・アドレス。
3	Offset address (high)	Block W	全設定データの上位 8 ビット・オフセット・アドレス。
0	Data length	Block R	リードバックするシーケンス設定のデータ長、N の最大値 = 252。N は必ず 4 の倍数にしてください。
[252:1]	Data	Block R	シーケンスの設定データ。

表 63. レジスタ 0xD6—SEQUENCE_CONFIGURATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数。
1	Offset address (low)	Block W	全設定データの下位 8 ビット・オフセット・アドレス。
2	Offset address (high)	Block W	全設定データの上位 8 ビット・オフセット・アドレス。
[250:3]	Data	Block W	シーケンス設定のデータ、N の最大値 = 250。N - 3 + 1 が必ず 4 の倍数になるようにしてください。

SYSTEM_CONFIGURATION

このコマンドを使用して、システム設定のブロック書き込み／読出しを行います。

表 64. レジスタ 0xD7—SYSTEM_CONFIGURATION (Block WR)

Byte	Bit Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 3。
1	Data length	Block W	データ長。
2	Offset address (low)	Block W	全設定データの下位 8 ビット・オフセット・アドレス。
3	Offset address (high)	Block W	全設定データの上位 8 ビット・オフセット・アドレス。
0	Data length	Block R	リードバックするシステム設定のデータ長、N の最大値 = 252。N は必ず 4 の倍数にしてください。
[252:1]	Data	Block R	システムの設定データ。

表 65. レジスタ 0xD7—SYSTEM_CONFIGURATION (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数。
1	Offset address (low)	Block W	全設定データの下位 8 ビット・オフセット・アドレス。
2	Offset address (high)	Block W	全設定データの上位 8 ビット・オフセット・アドレス。
[250:3]	Data	Block W	システム設定のデータ、N の最大値 = 250。N - 3 + 1 が必ず 4 の倍数になるようにしてください。

GO_COMMAND

このコマンドを使用して様々な機能をトリガします。

表 66. レジスタ 0xD8—GO_COMMAND

Bits	Bit Name	R/W	Description
[15:5]	Reserved	R	予備。
4	Seamless reset	W	このビットに 1 を書き込むと、PGOOD ステートにジャンプして、シーケンスのリセットをシームレスに有効にします。このビットに 0 を書き込むと、ステート 0 にジャンプして、シーケンスのリセットをシームレスに無効にします。
3	SEQUENCE_MODE	W	このビットに 1 を書き込むとシーケンスのデバッグ・モードが有効になります。このビットに 0 を書き込むとシーケンスのノーマル・モードが有効になります。
2	Hardware reset	W	このビットに 1 を書き込むと CPU がリセットされます。
1	SEQUENCE_RESET	W	このビットに 1 を書き込むとシーケンスがリセットされます。このビットに 0 を書き込むとシーケンスはリセットされません。
0	Run/stop	W	このビットに 1 を書き込むとシーケンスが停止します。このビットに 0 を書き込むとシーケンスが実行されます。

READ_STATE

READ_STATE コマンドは、シーケンサが実行中のステート・ビットの現在値を返します。

表 67. レジスタ 0xD9—READ_STATE

Bits	Bit Name	R/W	Description
[15:0]	State	R	シーケンサが実行中のステート番号。

VOUT_MARGIN_LOOP

VOUT_MARGIN_LOOP コマンドを使用して、ゲイン (R1/R3) のセットまたは読出しを行います。このゲインは、DAC 出力と V_{OUT} によって V_{FB} (帰還電圧) を計算するときを使用します。 V_{FB} 、 V_{OUT} 、と DAC 出力の関係については、図 12 を参照してください。

表 68. レジスタ 0xDA—VOUT_MARGIN_LOOP

Bits	Bit Name	R/W	Description
[15:11]	Exponent N	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の指数部 N。
[10:0]	Mantissa Y	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の仮数部 Y。

MARGIN_CONFIGURATION

MARGIN_CONFIGURATION コマンドを使用して、マーギニングの昇降ステップのセットまたは読出しを行います。

表 69. レジスタ 0xDB—MARGIN_CONFIGURATION

Bits	Bit Name	R/W	Description
[15:12]	Reserved	R	予備。
[11:8]	RAMP_INTERVAL	R/W	昇降の間隔時間、間隔：0.1ms
[7:0]	RAMP_STEP	R/W	各ステップでインクリメントする DAC コード数。

BREAKPOINTS

このコマンドを使用して、シーケンス・ステートのブレイクポイントのブロック書込み/読出しを行います。

表 70. レジスタ 0xDC—BREAKPOINTS (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータ・データのバイト数、固定値 1。
1	Data length	Block W	リードバックするブレイクポイントのデータ長。最大 = 128 バイト。
0	Data length	Block R	ADM1266 が返すブレイクポイントのデータ長。
[128:1]	Data	Block R	バイト 1 のビット 0 はステート 1 のブレイクポイントをセットします。バイト 1 のビット 1 はステート 2 のブレイクポイントをセットします。これを繰り返し、バイト 128 のビット 7 ではステート 1024 のブレイクポイントがセットされます。N の最大値 = 128。

表 71. レジスタ 0xDC—BREAKPOINTS (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	ブレイクポイントの書き込みデータ長。最大 = 64 バイト。
[128:1]	Data	Block W	バイト 1 のビット 0 はステート 1 のブレイクポイントをセットします。バイト 1 のビット 1 はステート 2 のブレイクポイントをセットします。これを繰り返し、バイト 64 のビット 7 ではステート 1024 のブレイクポイントがセットされます。N の最大値 = 128。

ICB_CONFIGURATION

このコマンドを使用して、IDB 設定の書き込み/読み出しを行います。

表 72. レジスタ 0xDD—ICB_CONFIGURATION (Block R/W)

Byte	Bit Name	R/W	Description
0	Data length	Block R/W	このブロック読み出し/書き込みで使用するデータのバイト数、固定値 8。
[8:1]	Data	Block R/W	ICB の設定データ。

READ_BLACKBOX

このコマンドを使用して、ブラック・ボックス記録のリードバック、またはブラック・ボックスのメモリの消去を行います。

表 73. レジスタ 0xDE—READ_BLACKBOX (Block WR)

Byte	Bit Name	R/W	Description
0	Parameter length	Block W	このブロック書き込みで使用するデータのバイト数、固定値 1。
1	Index	Block W	ブラック・ボックス記録のインデックス。
0	Data length	Block R	ADM1266 が返すブラック・ボックスのデータ長。
[64:1]	Data	Block R	1 つのブラック・ボックス記録のデータ。

表 74. レジスタ 0xDE—READ_BLACKBOX (Block W)

Byte	Bit Name	R/W	Description
0	Parameter data length	Block W	このブロック書き込みで使用するデータのバイト数。ブラック・ボックスのメモリを消去する場合は、このバイトを 2 にセットします。
[2:1]	Parameter	Block W	消去するには、バイト 1 を 0xFE に、バイト 2 を 0x00 にセットします。

表 75. ブラック・ボックスのデータ・フォーマット

Byte	Field	Description
[1:0]	ID	個々のブラック・ボックス記録には固有の ID が付けられていますが、この ID は、複数のデバイスにわたるすべてのブラック・ボックス記録で同一です。
2	Empty Reserved Page JUMP_TYPE	0 = 使用中、1 = 未使用。 予備。 現在の記録が保存されるページのインデックス。 ジャンプ（あるステートから他のステートへの遷移）はシーケンスのアクションにより、ジャンプ・メッセージを受信することで実行されます。
3	ACTION_INDEX	ブラック・ボックス・アクションのインデックス。
4	RULE_INDEX	ブラック・ボックス・アクション・ルールのインデックス。
5	VHx_OV_STATUS VHx_UV_STATUS	VHx ピンの過電圧ステータス。VHx ピンのマッピングを表 76 に示します。 VHx ピンの低電圧ステータス。VHx ピンのマッピングを表 76 に示します。
[7:6]	CURRENT_STATE	ブラック・ボックス書き込みがトリガされたステート。
[9:8]	LAST_STATE	ブラック・ボックス書き込みが開始されたステート。
[11:10]	VP_OV_STATUS	VPx ピンの過電圧ステータス。VPx ピンのマッピングを表 77 に示します。
[13:12]	VP_UV_STATUS	VPx ピンの低電圧ステータス。VPx ピンのマッピングを表 77 に示します。
[15:14]	GPIO_IN_STATUS	GPIOx ピンの入力ステータス。GPIOx ピンのマッピングを表 78 に示します。
[17:16]	GPIO_OUT_STATUS	GPIOx ピンの出力ステータス。GPIOx ピンのマッピングを表 78 に示します。
[19:18]	PDIO_IN_STATUS	PDIOx ピンの入力ステータス。PDIOx ピンのマッピングを表 79 に示します。
[21:20]	PDIO_OUT_STATUS	PDIOx ピンの出力ステータス。PDIOx ピンのマッピングを表 79 に示します。

Byte	Field	Description
[23:22]	POWERUP_COUNTER	デバイスの電源サイクル（電源オン/オフ）回数。
[31:24]	TIME_STAMP	ブラック・ボックス記録がトリガされた時間。
[62:32]	Reserved	予備。
63	CRC	ブラック・ボックス・データの完全性をチェックする巡回冗長検査。

表 76. VHx_OV_STATUS および VHx_UV_STATUS のマッピング

Bit	Field	Description
0	VH1_OV	VH1 の OV 障害ステータス
1	VH2_OV	VH2 の OV 障害ステータス
2	VH3_OV	VH3 の OV 障害ステータス
3	VH4_OV	VH4 の OV 障害ステータス
4	VH1_UV	VH1 の UV 障害ステータス
5	VH2_UV	VH2 の UV 障害ステータス
6	VH3_UV	VH3 の UV 障害ステータス
7	VH4_UV	VH4 の UV 障害ステータス

表 77. VPx_OV_STATUS および VPx_UV_STATUS のマッピング

Bit	Field	Description
0	VP1_OV/UV	VP1 の OV/UV 障害ステータス
1	VP2_OV/UV	VP2 の OV/UV 障害ステータス
2	VP3_OV/UV	VP3 の OV/UV 障害ステータス
3	VP4_OV/UV	VP4 の OV/UV 障害ステータス
4	VP5_OV/UV	VP5 の OV/UV 障害ステータス
5	VP6_OV/UV	VP6 の OV/UV 障害ステータス
6	VP7_OV/UV	VP7 の OV/UV 障害ステータス
7	VP8_OV/UV	VP8 の OV/UV 障害ステータス
8	VP9_OV/UV	VP9 の OV/UV 障害ステータス
9	VP10_OV/UV	VP10 の OV/UV 障害ステータス
10	VP11_OV/UV	VP11 の OV/UV 障害ステータス
11	VP12_OV/UV	VP12 の OV/UV 障害ステータス
[12:15]	Reserved	予備

表 78. GPIO_IN_STATUS および GPIO_OUT_STATUS のマッピング

Bit	Field	Description
0	GPIO1_IN/OUT_STATUS	GPIO1 の入出力ステータス
1	GPIO2_IN/OUT_STATUS	GPIO2 の入出力ステータス
2	GPIO3_IN/OUT_STATUS	GPIO3 の入出力ステータス
[3:5]	Reserved	予備
6	GPIO8_IN/OUT_STATUS	GPIO8 の入出力ステータス
7	GPIO9_IN/OUT_STATUS	GPIO9 の入出力ステータス
8	GPIO4_IN/OUT_STATUS	GPIO4 の入出力ステータス
9	GPIO5_IN/OUT_STATUS	GPIO5 の入出力ステータス
10	GPIO6_IN/OUT_STATUS	GPIO6 の入出力ステータス
11	GPIO7_IN/OUT_STATUS	GPIO7 の入出力ステータス
[12:15]	Reserved	予備

表 79. PDIO_IN_STATUS および PDIO_OUT_STATUS のマッピング

Bit	Field	Description
0	PDIO1_IN/OUT_STATUS	PDIO1 の入出力ステータス
1	PDIO2_IN/OUT_STATUS	PDIO2 の入出力ステータス
2	PDIO3_IN/OUT_STATUS	PDIO3 の入出力ステータス
3	PDIO4_IN/OUT_STATUS	PDIO4 の入出力ステータス
4	PDIO5_IN/OUT_STATUS	PDIO5 の入出力ステータス
5	PDIO6_IN/OUT_STATUS	PDIO6 の入出力ステータス
6	PDIO7_IN/OUT_STATUS	PDIO7 の入出力ステータス
7	PDIO8_IN/OUT_STATUS	PDIO8 の入出力ステータス
8	PDIO9_IN/OUT_STATUS	PDIO9 の入出力ステータス
9	PDIO10_IN/OUT_STATUS	PDIO10 の入出力ステータス
10	PDIO11_IN/OUT_STATUS	PDIO11 の入出力ステータス
11	PDIO12_IN/OUT_STATUS	PDIO12 の入出力ステータス
12	PDIO13_IN/OUT_STATUS	PDIO13 の入出力ステータス
13	PDIO14_IN/OUT_STATUS	PDIO14 の入出力ステータス
14	PDIO15_IN/OUT_STATUS	PDIO15 の入出力ステータス
15	PDIO16_IN/OUT_STATUS	PDIO16 の入出力ステータス

SET_RTC

このコマンドを使用して、GUIによるタイム・スタンプのデバイスからの読出し、およびデバイスへの書き込みを行います。

表 80. レジスタ 0xDF—SET_RTC

Byte	Bit Name	R/W	Description
0	Data length	Block R/W	このブロック読出し/書き込みで使用するデータ・サイズ、固定値 6。
[7:1]	Data	Block R/W	6バイトのタイム・スタンプ・メッセージ。

LOGIC_CONFIGURATION

このコマンドを使用して、デバイスのロジック設定のブロック読出し/書き込みを行います。

表 81. レジスタ 0xE0—LOGIC_CONFIGURATION (Block WR)

Byte	Bit Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、3に固定。
1	Data length	Block W	データ長。
2	Offset address (low)	Block W	全ロジック・データの下位 8 ビット・オフセット・アドレス。
3	Offset address (high)	Block W	全ロジック・データの上位 8 ビット・オフセット・アドレス。
0	Data length	Block R	リードバックするロジック・データ長、Nの最大値 = 252。Nは必ず 4 の倍数にしてください。
[252:1]	Data	Block R	ロジック・データ。

表 82. レジスタ 0xE0—LOGIC_CONFIGURATION (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数。
1	Offset address (low)	Block W	全ロジック・データの下位 8 ビット・オフセット・アドレス。
2	Offset address (high)	Block W	全ロジック・データの上位 8 ビット・オフセット・アドレス。
[250:3]	Data	Block W	ロジック・データのデータ、Nの最大値 = 250。N - 3 + 1 が必ず 4 の倍数になるようにしてください。

GPIO_CONFIGURATION

このコマンドを使用して、GPIO 設定のブロック読出し／書込みを行います。

表 83. レジスタ 0xE1—GPIO_CONFIGURATION (Block RW)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	GPIO index parameter	Block W	GPIO のインデックス。表 86 を参照。
0	Data length	Block R	ADM1266 が返す GPIO 設定のデータ長、固定値 2。
1	Data	Block R	GPIO の設定データ。
2	Data	Block R	予備。

表 84. レジスタ 0xE1—GPIO_SYNC_CONFIGURATION (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書込みで使用するデータのバイト数。書込みの場合は 2 に固定。
1	Index	Block W	GPIO_SYNC のインデックス。表 86 を参照。
2	Data	Block W	GPIO の設定データ。

表 85. 各 GPIO_SYNC の設定データ

Bits	Bit Name	R/W	Description
[7:4]	Reserved	R	予備。
4	Out mode	R/W	0 はプッシュ/プル、1 はオープンドレイン
3	Input enable	R/W	0 はディスエーブル、1 はイネーブル
2	Output enable	R/W	0 はディスエーブル、1 はイネーブル
[1:0]	GPIO functions	R/W	GPIO の機能、00 は高インピーダンス、11 は GPIO

表 86 に GPIO の内部インデックスと外部 GPIOx ピンとの間のマッピングを示します。

表 86. GPIO のマッピング

External GPIOx_SYNC Pin	GPIO Index
GPIO1	0
GPIO2	1
GPIO3	2
GPIO4	8
GPIO5	9
GPIO6	10
GPIO7	11
GPIO8	6
GPIO9	7
SYNC	5

USER_DATA

このコマンドを使用して、ユーザ・データのブロック読出し／書込みを行います。

表 87. レジスタ 0xE3—USER_DATA (Block WR)

Byte	Bit Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 3。
1	Data length	Block W	データ長。
2	Offset address (low)	Block W	全ユーザ・データの下位 8 ビット・オフセット・アドレス。
3	Offset address (high)	Block W	全ユーザ・データの上位 8 ビット・オフセット・アドレス。
0	Data length	Block R	リードバックするユーザ・データ長、N の最大値 = 252。N は必ず 4 の倍数にしてください。
[N:1]	Data	Block R	ユーザ・データ。

表 88. レジスタ 0xE3—USER_DATA (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書込みで使用するデータのバイト数。
1	Offset address (low)	Block W	全ユーザ・データの下位 8 ビット・オフセット・アドレス。
2	Offset address (high)	Block W	全ユーザ・データの上位 8 ビット・オフセット・アドレス。
[N:3]	Data	Block W	ユーザ・データのデータ、N の最大値 = 250。

POWERUP_COUNTER

このコマンドを使用して、GUI でデバイスからパワーアップ・カウンタを読み出します。

表 89. レジスタ 0xE4—POWERUP_COUNTER

Byte	Bit Name	R/W	Description
0	Data length	Block W	ADM1266 が返すパワーアップ・カウンタのデータ長、固定値 2。
[2:1]	Counter	Block W	カウンタ値。

VOUT_RESISTOR

このコマンドを使用して、抵抗分圧器の情報の読出し／書込みを行います。

表 90. レジスタ 0xE5—VOUT_RESISTOR (Block WR)

Byte	Bit Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 1。
1	Resistor index parameter	Block W	抵抗インデックスをセット。インデックスが 0xFF の場合、すべての抵抗の設定を読み出します。0 = R1、1 = R2、2 = R4、3 = R5、4 = R3 (図 12 参照)。
0	Data length	Block R	リードバック設定のデータ長。抵抗インデックスのパラメータが 5 より小さい場合は 3、抵抗インデックスのパラメータが 0xFF の場合は 15 をセットします。
[15:1]	Data	Block R	抵抗の情報。

表 91. レジスタ 0xE5—VOUT_RESISTOR (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書込みで使用するデータのバイト数。
1	Resistor index parameter	Block W	抵抗のインデックス。
[5:2]	Data	Block W	抵抗のデータ、N の最大値 = 5。

表 92. 各抵抗の 3 バイト・データ

Bits	Bit Name	R/W	Description
[23:16]	Exponent	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の指数部 N。
15	Reserved	R/W	予備。
[14:0]	Mantissa	R/W	線形データ・フォーマット ($X = Y \times 2^N$) で使用される 2 の補数の仮数部 Y。

BLACKBOX_INFORMATION

このコマンドを使用して、ブラック・ボックス記録のカウンタとロジック・インデックスを読み出します。

表 93. レジスタ 0xE6—BLACKBOX_INFORMATION

Byte	Byte Name	R/W	Description
0	Data length	Block R	ADM1266 が返すブラック・ボックスのデータ長、固定値 4。
[2:1]	Black box ID	Block R	最新のブラック・ボックス ID。
3	Logic index	Block R	最新のブラック・ボックス記録のロジック・インデックス。
4	Record count	Block R	ブラック・ボックスの記録カウンタ値。

ALL_STATUS_VOUT

ALL_STATUS_VOUT コマンドは、全レールのコンパレータのステータスを返します。

表 94. レジスタ 0xE7—ALL_STATUS_VOUT

Byte	Bit Name	R/W	Description
0	Data length	Block R	リードバック・ステータスのデータ長、固定値 17。
1	STATUS_VH1	Block R	VH1 ステータスの V _{OUTo} 。
2	STATUS_VH2	Block R	VH2 ステータスの V _{OUTo} 。
3	STATUS_VH3	Block R	VH3 ステータスの V _{OUTo} 。
4	STATUS_VH4	Block R	VH4 ステータスの V _{OUTo} 。
5	STATUS_VP1	Block R	VP1 ステータスの V _{OUTo} 。
6	STATUS_VP2	Block R	VP2 ステータスの V _{OUTo} 。
7	STATUS_VP3	Block R	VP3 ステータスの V _{OUTo} 。
8	STATUS_VP4	Block R	VP4 ステータスの V _{OUTo} 。
	STATUS_VP5	Block R	VP5 ステータスの V _{OUTo} 。
10	STATUS_VP6	Block R	VP6 ステータスの V _{OUTo} 。
11	STATUS_VP7	Block R	VP7 ステータスの V _{OUTo} 。
12	STATUS_VP8	Block R	VP8 ステータスの V _{OUTo} 。
13	STATUS_VP9	Block R	VP9 ステータスの V _{OUTo} 。
14	STATUS_VP10	Block R	VP10 ステータスの V _{OUTo} 。
15	STATUS_VP11	Block R	VP11 ステータスの V _{OUTo} 。
16	STATUS_VP12	Block R	VP12 ステータスの V _{OUTo} 。
17	STATUS_VP13	Block R	VP13 ステータスの V _{OUTo} 。

ALL_READ_VOUT

ALL_READ_VOUT コマンドは、線形データ・フォーマット ($V = Y \times 2^N$) のすべての出力電圧値 (V) を返します。指数部 N は VOUT_MODE [4 : 0] を使用して設定します。

表 95. レジスタ 0xE8—ALL_READ_VOUT

Byte	Bit Name	R/W	Description
0	Data Length	Block R	リードバックのデータ長、固定値 51。
[2:1]	MANTISSA_VH1	Block R	VH1 の仮数部。
[4:3]	MANTISSA_VH2	Block R	VH2 の仮数部。
[6:5]	MANTISSA_VH3	Block R	VH3 の仮数部。
[8:7]	MANTISSA_VH4	Block R	VH4 の仮数部。
[10:9]	MANTISSA_VP1	Block R	VP1 の仮数部。
[12:11]	MANTISSA_VP2	Block R	VP2 の仮数部。
[14:13]	MANTISSA_VP3	Block R	VP3 の仮数部。
[16:15]	MANTISSA_VP4	Block R	VP4 の仮数部。
[18:17]	Mantissa_VP5	Block R	VP5 の仮数部。
[20:19]	MANTISSA_VP6	Block R	VP6 の仮数部。
[22:21]	MANTISSA_VP7	Block R	VP7 の仮数部。

Byte	Bit Name	R/W	Description
[24:23]	MANTISSA_VP8	Block R	VP8 の仮数部。
[26:25]	MANTISSA_VP9	Block R	VP9 の仮数部。
[28:27]	MANTISSA_VP10	Block R	VP10 の仮数部。
[30:29]	MANTISSA_VP11	Block R	VP11 の仮数部。
[32:31]	MANTISSA_VP12	Block R	VP12 の仮数部。
[34:33]	MANTISSA_VP13	Block R	VP13 の仮数部。
35	VOUT_MODE_VH1	Block R	VH1 の VOUT_MODE。
36	VOUT_MODE_VH2	Block R	VH2 の VOUT_MODE。
37	VOUT_MODE_VH3	Block R	VH3 の VOUT_MODE。
38	VOUT_MODE_VH4	Block R	VH4 の VOUT_MODE。
39	VOUT_MODE_VP1	Block R	VP1 の VOUT_MODE。
40	VOUT_MODE_VP2	Block R	VP2 の VOUT_MODE。
41	VOUT_MODE_VP3	Block R	VP3 の VOUT_MODE。
42	VOUT_MODE_VP4	Block R	VP4 の VOUT_MODE。
43	VOUT_MODE_VP5	Block R	VP5 の VOUT_MODE。
44	VOUT_MODE_VP6	Block R	VP6 の VOUT_MODE。
45	VOUT_MODE_VP7	Block R	VP7 の VOUT_MODE。
46	VOUT_MODE_VP8	Block R	VP8 の VOUT_MODE。
47	VOUT_MODE_VP9	Block R	VP9 の VOUT_MODE。
48	VOUT_MODE_VP10	Block R	VP10 の VOUT_MODE。
49	VOUT_MODE_VP11	Block R	VP11 の VOUT_MODE。
50	VOUT_MODE_VP12	Block R	VP12 の VOUT_MODE。
51	VOUT_MODE_VP13	Block R	VP13 の VOUT_MODE。

PDIO_STATUS

このコマンドを使用して、PDIO ステータスのブロック読出しを行います。

表 96. レジスタ 0xE9—PDIO_STATUS (Block WR)

Byte	Byte Name	R/W	Description
0	Data length	Block R	このブロック読出しで使用するデータのバイト数、固定値 2。
[2:1]	PDIO status	Block R	すべての PDIO の入力または出力ステータス。表 97 を参照。

表 97. PDIO_STATUS の 2 バイト・データ

Bits	Bit Name	R/W	Description
15	PDIO16_STATUS	R	PDIO16 ピンのステータス。
14	PDIO15_STATUS	R	PDIO15 ピンのステータス。
13	PDIO14_STATUS	R	PDIO14 ピンのステータス。
12	PDIO13_STATUS	R	PDIO13 ピンのステータス。
11	PDIO12_STATUS	R	PDIO12 ピンのステータス。
10	PDIO11_STATUS	R	PDIO11 ピンのステータス。
9	PDIO10_STATUS	R	PDIO10 ピンのステータス。
8	PDIO9_STATUS	R	PDIO9 ピンのステータス。
7	PDIO8_STATUS	R	PDIO8 ピンのステータス。
6	PDIO7_STATUS	R	PDIO7 ピンのステータス。
5	PDIO6_STATUS	R	PDIO6 ピンのステータス。
4	PDIO5_STATUS	R	PDIO5 ピンのステータス。
3	PDIO4_STATUS	R	PDIO4 ピンのステータス。
2	PDIO3_STATUS	R	PDIO3 ピンのステータス。
1	PDIO2_STATUS	R	PDIO2 ピンのステータス。
0	PDIO1_STATUS	R	PDIO1 ピンのステータス。

GPIO_STATUS

このコマンドを使用して、GPIO ステータスのブロック読出しを行います。

表 98. レジスタ 0xEA—GPIO_STATUS (BLOCK R)

Byte	Byte Name	R/W	Description
0	Data length	Block R	このブロック読出しで使用するデータのバイト数、固定値 2。
[2:1]	GPIO status	Block R	すべての GPIO の入力または出力ステータス。表 99 を参照。

表 99. GPIO_STATUS の 2 バイト・データ

Bits	Bit Name	R/W	Description
13	Reserved	R	予備。
12	Reserved	R	予備。
11	GPIO7_STATUS	R	GPIO7 ピンのステータス。
10	GPIO6_STATUS	R	GPIO6 ピンのステータス。
9	GPIO5_STATUS	R	GPIO5 ピンのステータス。
8	GPIO4_STATUS	R	GPIO4 ピンのステータス。
7	GPIO9_STATUS	R	GPIO9 ピンのステータス。
6	GPIO8_STATUS	R	GPIO8 ピンのステータス。
5	Reserved	R	予備。
4	Reserved	R	予備。
3	Reserved	R	予備。
2	GPIO3_STATUS	R	GPIO3 ピンのステータス。
1	GPIO2_STATUS	R	GPIO2 ピンのステータス。
0	GPIO1_STATUS	R	GPIO1 ピンのステータス。

DAC_CODE_CONFIGURATION

このコマンドを使用して、オープンループ・マーキング設定の DAC コードのブロック読出し／書込みを行います。

表 100. レジスタ 0xEB—DAC_CODE_CONFIGURATION (Block WR)

Byte	Byte Name	R/W	Description
0	Parameter length	Block W	パラメータのデータ長、固定値 2。
1	DAC index parameter	Block W	00010 = DAC1。 00011 = DAC2。 00100 = DAC3。 00101 = DAC4。 00110 = DAC5。 00111 = DAC6。 01000 = DAC7。 01001 = DAC8。 01010 = DAC9。
2	Data length	Block W	ADM1266 からリードバックする DAC コード設定のデータ長。
0	Data length	Block R	ADM1266 が返す DAC コード設定のデータ長。
1	Code parameter	Block R	表 102 を参照。
[17:2]	DAC code	Block R	DAC コード。最大 = 16 個の DAC コード、N = 最大 17。

表 101. レジスタ 0xEB—DAC_CODE_CONFIGURATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	BLOCK W	ADM1266 に書き込むデータのバイト数。
1	DAC index	BLOCK W	00010 = DAC1。 00011 = DAC2。 00100 = DAC3。 00101 = DAC4。 00110 = DAC5。 00111 = DAC6。 01000 = DAC7。 01001 = DAC8。 01010 = DAC9。
2	Code parameter	BLOCK W	表 102 を参照。
[18:3]	DAC Code	BLOCK W	DAC コード、最大 = 16 個の DAC コード、N = 最大 18。

表 102. コード・パラメータの 1 バイト・データ

Bits	Bit Name	R/W	Description																								
[7:4]	Code index	R/W	最大 16 個の DAC コードを ADM1266 に設定できます。このインデックスは、どのコードを DAC にロードするか選択します。																								
[3:1]	Range	R/W	DAC 範囲。 <table border="1"> <thead> <tr> <th>ビット [3 : 1]</th> <th>電圧の中央値 (V)</th> <th>最小電圧出力 (V)</th> <th>最大電圧出力 (V)</th> </tr> </thead> <tbody> <tr> <td>0x00 = 3'b000</td> <td>0.506</td> <td>0.202</td> <td>0.808</td> </tr> <tr> <td>0x01 = 3'b001</td> <td>0.607</td> <td>0.303</td> <td>0.909</td> </tr> <tr> <td>0x02 = 3'b010</td> <td>0.809</td> <td>0.505</td> <td>1.111</td> </tr> <tr> <td>0x03 = 3'b011</td> <td>1.011</td> <td>0.707</td> <td>1.313</td> </tr> <tr> <td>0x04 = 3'b100</td> <td>1.263</td> <td>0.959</td> <td>1.565</td> </tr> </tbody> </table>	ビット [3 : 1]	電圧の中央値 (V)	最小電圧出力 (V)	最大電圧出力 (V)	0x00 = 3'b000	0.506	0.202	0.808	0x01 = 3'b001	0.607	0.303	0.909	0x02 = 3'b010	0.809	0.505	1.111	0x03 = 3'b011	1.011	0.707	1.313	0x04 = 3'b100	1.263	0.959	1.565
ビット [3 : 1]	電圧の中央値 (V)	最小電圧出力 (V)	最大電圧出力 (V)																								
0x00 = 3'b000	0.506	0.202	0.808																								
0x01 = 3'b001	0.607	0.303	0.909																								
0x02 = 3'b010	0.809	0.505	1.111																								
0x03 = 3'b011	1.011	0.707	1.313																								
0x04 = 3'b100	1.263	0.959	1.565																								
0	DAC enable	R/W	DAC イネーブル/ディスエーブル。																								

RTS_CONFIGURATION

RTS_CONFIGURATION コマンドは、リアル・タイム・スタンプ (RTS) の設定のセットまたは読出しを行います。

表 103. レジスタ 0xEC—RTS_CONFIGURATION

Bits	Bit Name	R/W	Description
[15:2]	Reserved	R	予備。
1	RTS enable	R/W	0 は RTS がディスエーブル、1 は RTS がイネーブルであることを示します。
0	XTAL enable	R/W	0 は外部水晶発振器がディスエーブル、1 は外部水晶発振器がイネーブルであることを示します。

STATUS_MFR_SPECIFIC_2

STATUS_MFR_SPECIFIC_2 コマンドは、表 104 に示す内容の 2 バイト・データを返します。

表 104. レジスタ 0xED—STATUS_MFR_SPECIFIC_2

Bits	Bit Name	R/W	Description
15	BKUP_PASSWORD_CRC_FAULT	R	0はバックアップ・パスワードの CRC チェックに合格したことを、1はバックアップ・パスワードの CRC チェックでエラーが発生したことを示します。
14	BKUP_FIRMWARE_CRC_FAULT	R	0はバックアップ・ファームウェアの CRC チェックに合格したことを、1はバックアップ・ファームウェアの CRC チェックでエラーが発生したことを示します。
13	BKUP_PROJECT_CRC_FAULT	R	0はバックアップ・プロジェクトの CRC チェックに合格したことを、1はバックアップ・プロジェクトの CRC チェックでエラーが発生したことを示します。
12	BKUP_ABCONFIG_CRC_FAULT	R	0はバックアップ ABConfig の CRC チェックに合格したことを、1はバックアップ ABConfig の CRC チェックでエラーが発生したことを示します。
11	MAIN_PASSWORD_CRC_FAULT	R	0はメイン・パスワードの CRC チェックに合格したことを、1はメイン・パスワードの CRC チェックでエラーが発生したことを示します。
10	MAIN_FIRMWARE_CRC_FAULT	R	0はメイン・ファームウェアの CRC チェックに合格したことを、1はメイン・ファームウェアの CRC チェックでエラーが発生したことを示します。
9	MAIN_PROJECT_CRC_FAULT	R	0はメイン・プロジェクトの CRC チェックに合格したことを、1はメイン・プロジェクトの CRC チェックでエラーが発生したことを示します。
8	MAIN_ABCONFIG_CRC_FAULT	R	0はメイン ABConfig の CRC チェックに合格したことを、1はメイン ABConfig の CRC チェックでエラーが発生したことを示します。
7	BKUP_IAP_CRC_FAULT	R	0はバックアップ IAP の CRC チェックに合格したことを、1はメイン IAP の CRC チェックでエラーが発生したことを示します。
6	BKUP_MINI_IAP_CRC_FAULT	R	0はバックアップ mini IAP の CRC チェックに合格したことを、1はメイン mini IAP の CRC チェックでエラーが発生したことを示します。
5	MAIN_IAP_CRC_FAULT	R	0はメイン IAP の CRC チェックに合格したことを、1はメイン IAP の CRC チェックでエラーが発生したことを示します。
4	MAIN_MINI_IAP_CRC_FAULT	R	0はメイン mini IAP の CRC チェックに合格したことを、1はメイン mini IAP の CRC チェックでエラーが発生したことを示します。
3	AVDD_UVLO_FAULT	R	0は AVDD の UVLO 障害がないことを、1は AVDD に UVLO 障害が発生したことを示します。
2	HARD_FAULT	R	0はハードの障害がないことを、1はハードの障害が発生したことを示します。
1	AB_SYNC_FAULT	R	0は同期に成功したことを、1は同期に失敗したことを示します。
0	RUNNING_BACKUP_PROJECT	R	0はメイン・プロジェクト、1はバックアップ・プロジェクトを示します。

REFRESH_CONFIGURATION

このコマンドを使用して、リフレッシュ設定のセットと、リフレッシュ・ステータスの取得を行います。

表 105. レジスタ 0xF4—REFRESH_CONFIGURATION (BLOCK R)

Byte	Byte Name	R/W	Description																		
0	Parameter length	Block W	パラメータのデータ長、固定値 1。																		
1	Parameter	Block W	0x00 : 自動リフレッシュの間隔を取得。 0x01 : 自動リフレッシュの有効/無効のステータスを取得。 その他 : リフレッシュの有効/無効、自動リフレッシュの有効/無効、リフレッシュ時間、CRC エラー時間の再計算、自動リフレッシュの間隔を含む、すべてのステータスを取得。																		
0	Data length	Block R	このブロック読出しで使用するデータのバイト数 (1~8)。																		
[8:1]	Data	Block R	<p>パラメータ :</p> <p>0x00 : 自動リフレッシュの間隔を取得、バイト [2:1] は自動リフレッシュの間隔。 0x01 : 自動リフレッシュの有効/無効のステータスを取得。バイト 1 が 0 の場合、自動リフレッシュは無効。 その他 : リフレッシュの有効/無効、自動リフレッシュの有効/無効、リフレッシュ時間、CRC エラー時間の再計算、自動リフレッシュの間隔を含む、すべてのステータスを取得。バイト [8:1] は以下のとおりです。</p> <table border="1"> <thead> <tr> <th>バイト</th> <th>バイト名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>リフレッシュ・ステータス</td> <td>0 : リフレッシュは完了。 1 : リフレッシュは実行中。</td> </tr> <tr> <td>2</td> <td>自動リフレッシュ</td> <td>0 : 自動リフレッシュは無効。 1 : 自動リフレッシュは有効。</td> </tr> <tr> <td>[4:3]</td> <td>リフレッシュ・カウント</td> <td>リフレッシュの回数。</td> </tr> <tr> <td>[6:5]</td> <td>エラー・カウントの再計算</td> <td>エラー回数の再計算。</td> </tr> <tr> <td>[8:7]</td> <td>自動リフレッシュの間隔</td> <td>自動リフレッシュの間隔 (単位 : 日)。</td> </tr> </tbody> </table>	バイト	バイト名	説明	1	リフレッシュ・ステータス	0 : リフレッシュは完了。 1 : リフレッシュは実行中。	2	自動リフレッシュ	0 : 自動リフレッシュは無効。 1 : 自動リフレッシュは有効。	[4:3]	リフレッシュ・カウント	リフレッシュの回数。	[6:5]	エラー・カウントの再計算	エラー回数の再計算。	[8:7]	自動リフレッシュの間隔	自動リフレッシュの間隔 (単位 : 日)。
バイト	バイト名	説明																			
1	リフレッシュ・ステータス	0 : リフレッシュは完了。 1 : リフレッシュは実行中。																			
2	自動リフレッシュ	0 : 自動リフレッシュは無効。 1 : 自動リフレッシュは有効。																			
[4:3]	リフレッシュ・カウント	リフレッシュの回数。																			
[6:5]	エラー・カウントの再計算	エラー回数の再計算。																			
[8:7]	自動リフレッシュの間隔	自動リフレッシュの間隔 (単位 : 日)。																			

表 106. レジスタ 0xF4—REFRESH_CONFIGURATION (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数。範囲は 2~3。
1	Configuration	Block W	0x00：自動リフレッシュの間隔をセット（単位：日）、バイト [3:2] は間隔。 0x01：自動リフレッシュを有効化/無効化。バイト 2 が 0 の場合、自動リフレッシュを無効化。
[3:2]	Data	Block W	Data

REFRESH_FLASH

このコマンドを使用して、リフレッシュの設定をセットします。

表 107. レジスタ 0xF5—REFRESH_FLASH (Block W)

Byte	Byte Name	R/W	Description
[0]	Data Length	Block W	このブロック書き込みで使用するデータのバイト数（固定値 1）。
[1]	Configuration	Block W	0x00：プロジェクト（Reg、Sequence、User、System、Logic、Password、AB config を含む） 0x01：プロジェクト+ファームウェア + IAP 0x02：プロジェクト+ファームウェア + IAP + mini IAP

HITLESS_TIMEOUT

このコマンドを使用して、ヒットレス・タイムアウト値の読み出しと書き込みを行います。

表 108. レジスタ 0xF6—HITLESS_TIMEOUT

Byte	Byte Name	R/W	Description
0	Data length	Block R/W	パラメータのデータ長、固定値 2。
[2:1]	Timeout value	Block W	タイムアウト値（単位は秒）。

VAR_VALUE

このコマンドを使用して、シーケンスの変数を読み出します。

表 109. レジスタ 0xF7—VAR_VALUE

Byte	Byte Name	R/W	Description
0	Data length	Block W	パラメータのデータ長、固定値 1。
1	Index	Block W	変数のインデックス、0xFF ですべての値。
0	Data length	Block R	データ・サイズ。
[N:1]	Value	Block R	データ。インデックスが 0~3 の場合、N = 1。インデックスが 0xFF の場合、N = 4。

MEMORY_CONFIGURATION

このコマンドを使用して、GUIによるメイン/バックアップ・メモリ設定の読み出し/書き込みを行います。

表 110. レジスタ v0xF8—MEMORY_CONFIGURATION

Byte	Byte Name	R/W	Description
0	Data length	Block R/W	このブロック読み出し/書き込みで使用するデータ・サイズ、固定値 3。
[2:1]	Data	Block R/W	メイン/バックアップ・メモリの設定。
3	CRC	Block R/W	メイン/バックアップ・メモリの設定データの CRC-8。

MEMORY_RECALCULATE_CRC

このコマンドを使用して、メイン・メモリとバックアップ・メモリのCRCを再計算します。

表 111. レジスタ 0xF9—MEMORY_RECALCULATE_CRC

Bits	Bit Name	R/W	Description
[15:0]	RECALCULATE_CRC	W	100 (16進数) を書き込むと、メモリのすべてのセクションのCRCを再計算します。

SWITCH_MEMORY

このコマンドを使用して、メイン・メモリの設定とバックアップ・メモリの設定を切り替えます。

表 112. レジスタ 0xFA—SWITCH_MEMORY (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数、固定値 1。
1	Memory index	Block W	メモリ・インデックス。0はメイン・メモリ、1はバックアップ・メモリ。

ERASE_MEMORY

このコマンドを使用して、メイン・メモリまたはバックアップ・メモリを消去します。

表 113. レジスタ 0xFB—ERASE_MEMORY (Block W)

Byte	Bit Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数、固定値 1。
1	Memory index	Block W	メモリ・インデックス。0はメイン・メモリ、1はバックアップ・メモリ。

UPDATE_FW

このコマンドを使用して、ファームウェアをアップデートします。

表 114. レジスタ 0xFC—UPDATE_FW

Bits	Bit Name	Type	Description
[15:0]	UPDATE_FW	W	100 (16進数) を書き込むと、ブート・ローダにジャンプしてファームウェアのアップデートを開始します。

FW_PASSWORD

このコマンドを使用して、パスワードの変更とデバイスのロック/ロック解除を行います。

表 115. レジスタ 0xFD—FW_PASSWORD (Block W)

Byte	Byte Name	R/W	Description
0	Data length	Block W	このブロック書き込みで使用するデータのバイト数、固定値 17。
[1:16]	Password	Block W	16 バイトのパスワード。
17	Command	Block W	パスワード・コマンド (10進コード) 1 = パスワード変更。 2 = デバイスのロック解除。 3 = デバイスのロック。

外形寸法

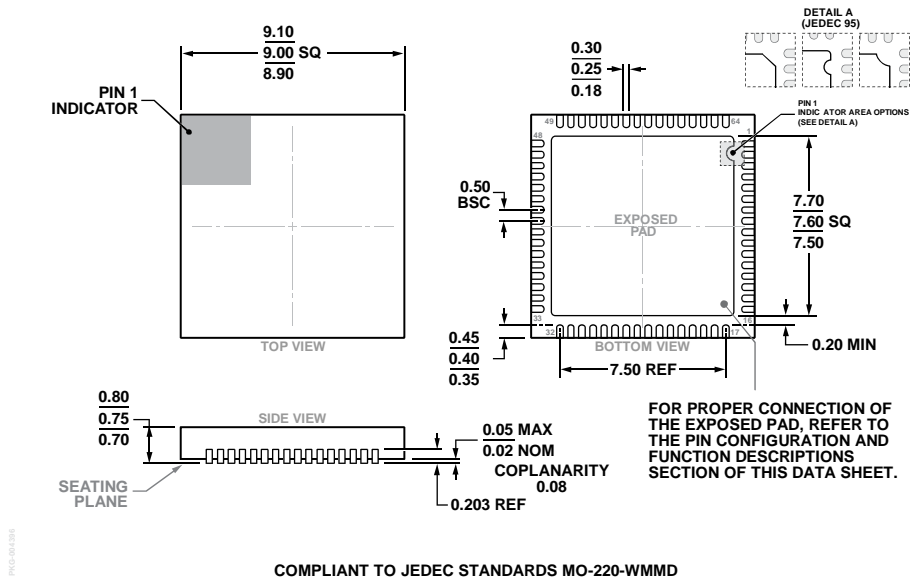


図 30. 64 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 9mm x 9mm ボディ、0.75mm パッケージ高
 (CP-64-15)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADM1266ACPZ	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
ADM1266ACPZ-R7	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
ADM1266-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品

FC は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。