

ADM1172

特長

- 2.7~16.5Vの電源レールを制御
- ライブ・バックプレーンに対して安全なボード挿抜が可能
- 外付け検出抵抗により回路ブレーカでアナログ電流制限を調整可能
- 高速応答によるピーク障害電流の制限
- 外付けN-FETスイッチ用のチャージ・ポンプ方式ゲート駆動
- パワーフェイル・コンパレータ
- 電流障害時の自動再試行またはラッチオフ
- 不足電圧ロックアウト
- 8ピン、TSOTパッケージ

アプリケーション

- ホットスワップ・ボードの挿入：ライン・カード、RAIDシステム
- 工業用ハイサイド・スイッチ/回路ブレーカ
- 電気回路ブレーカ

概要

ADM1172は、ライブ・バックプレーンに対するPCボードの挿抜を安全に行えるようにするホットスワップ・コントローラです。検出抵抗を通じて負荷電流を監視する電流制御ループを備えた外付けNチャンネル・パワーMOSFETを使用します。NチャンネルFETのゲートを拡張するために、内部チャージ・ポンプが使用されます。過電流状態が検出されると、FETのゲート電圧を減らして検出抵抗を流れる電流を制限します。過電流状態では、FETがシャットダウンされるまで電流制限動作モードにとどまる時間は、TIMERピン・コンデンサによって決まります。ON (ON-CLR)ピンは、デバイスのイネーブル入力であり、入力電源電圧の監視に使用できます。ADM1172は2.7~16.5Vの電源電圧で動作します。

ADM1172はパワーフェイル・コンパレータも備えています。PFIピンでの電圧が0.6Vの内部リファレンスと比較され、このコンパレータの出力はPFOピンに供給されます。このデバイスには2つのオプションが用意されています。つまり、過電流障害用の自動再試行機能を備えたADM1172-1と、過電流障害用のラッチオフ機能を備えたADM1172-2です。ON (ON-CLR)ピンをトグルすると、ラッチ付きフォルトがリセットされます。ADM1172は8ピンTSOTパッケージを採用しています。

機能ブロック図

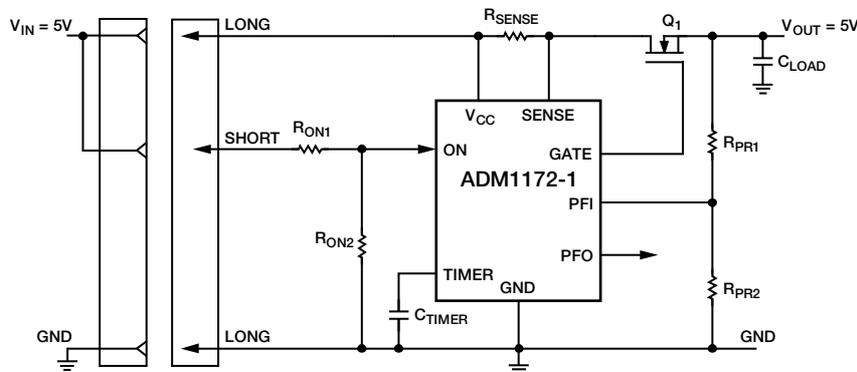


図1

051296-001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

ADM1172

目次

特長	1	UVLO	12
アプリケーション	1	ON (ON-CLR) ピン	12
概要	1	GATE	12
機能ブロック図	1	電流制限機能	12
改訂履歴	2	電流制限の計算	12
仕様	3	回路ブレーカの機能	12
絶対最大定格	4	タイマ機能	13
熱特性	4	パワーアップのタイミング・サイクル	13
ESDに関する注意	4	回路ブレーカのタイミング・サイクル	13
ピン配置と機能の説明	5	自動再試行またはラッチオフ	14
代表的な性能特性	6	パワーフェイル・コンパレータ	14
動作原理	12	外形寸法	15
概要	12	オーダー・ガイド	15

改訂履歴

7/06—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC}=2.7\sim 16.5V$ 、 $T_A=-40\sim +85^\circ C$ 、typ値は $T_A=25^\circ C$ 。

表1

Parameter	Symbol	Min	Typ	Max	Unit	Conditions
V_{CC} PIN						
Operating Voltage Range	V_{CC}	2.7		16.5	V	
Supply Current	I_{CC}		0.65	0.8	mA	
Undervoltage Lockout	V_{UVLO}	2.4	2.525	2.65	V	V_{CC} rising
Undervoltage Lockout Hysteresis	$V_{UVLOHYS}$		40		mV	
ON (ON-CLR) PIN						
Input Current	I_{INON}	-1	0	+1	μA	
Threshold	V_{ON}	1.22	1.3	1.38	V	ON rising
Threshold Hysteresis	V_{ONHYST}		50		mV	
SENSE PIN						
Hot Swap Operating Range		2.7		16.5	V	
Input Current	$I_{INSENSE}$	5	10	15	μA	
Circuit Breaker Limit Voltage	V_{CB}	44	50	56	mV	$V_{CB} = (V_{CC} - V_{SENSE})$
GATE PIN						
Drive Voltage	V_{GATE}	4.6	7.5	10	V	$V_{GATE} - V_{CC}$, $V_{CC} = 3.0 V$
		6.0	8	12	V	$V_{GATE} - V_{CC}$, $V_{CC} = 3.3 V$
		8.75	10	12	V	$V_{GATE} - V_{CC}$, $V_{CC} = 5 V$
		7.5	9	12	V	$V_{GATE} - V_{CC}$, $V_{CC} = 12 V$
		5.56	8	12	V	$V_{GATE} - V_{CC}$, $V_{CC} = 15 V$
Pull-Up Current		-6.5	-12	-14.5	μA	$V_{GATE} = 0 V$
Pull-Down Current			4		mA	$V_{GATE} = 3 V$, $V_{CC} = 5 V$, ON (ON-CLR) = low
Pull-Down Current			25		mA	$V_{GATE} = 3 V$, $V_{CC} < UVLO$
TIMER PIN						
Pull-Up Current	$I_{TIMERUP}$	-2	-5	-8.5	μA	Initial cycle, $V_{TIMER} = 1 V$
		-25	-60	-100	μA	During current fault, $V_{TIMER} = 1 V$
Pull-Down Current	$I_{TIMERDN}$		2	3.5	μA	After Cct breaker tip, $V_{TIMER} = 1 V$
				100	μA	Normal operation, $V_{TIMER} = 1 V$
Threshold High	V_{TIMERH}	1.22	1.3	1.38	V	TIMER rising
Threshold Low	V_{TIMERL}	0.15	0.2	0.25	V	TIMER falling
PFI PIN						
Threshold Rising		0.58	0.6	0.62	V	
Threshold Hysteresis			10		mV	
Input Current		-1	0	+1	μA	
PFO PIN						
Pull-Up Current			-5		μA	
Output Low Voltage				0.4	V	$I_{LOAD} = 200 \mu A$
t_{OFF}						
Turn-Off Time (TIMER Rise to GATE Fall)			2		μs	$V_{TIMER} = 0 V$ to $2 V$ step, $V_{CC} = V_{ON} = 5 V$
Turn-Off Time (ON Fall to GATE Fall)			40		μs	$V_{ON} = 5 V$ to $0 V$ step, $V_{CC} = 5 V$
Turn-Off Time (V_{CC} Fall to IC Reset)			40		μs	$V_{CC} = 5 V$ to $2 V$ step, $V_{ON} = 5 V$

ADM1172

絶対最大定格

表2

Parameter	Rating
V _{CC} Pin	-0.3 V to +20 V
SENSE Pin	-0.3 V to +20 V
V _{CC} - SENSE	±5 V
TIMER Pin	-0.3 V to (V _{CC} + 0.3 V)
ON (ON- $\overline{\text{CLR}}$) Pin	-0.3 V to +20 V
PFI Pin	-0.3 V to +20 V
PFO Pin	-0.3 V to +20 V
GATE Pin	-0.3 V to (V _{CC} + 11 V)
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (10 sec)	300°C
Junction Temperature	150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

θ_{JA} は、ワースト・ケースの条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表3. 熱抵抗

Package Type	θ_{JA}	Unit
8-Lead TSOT	152.9	°C/W

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

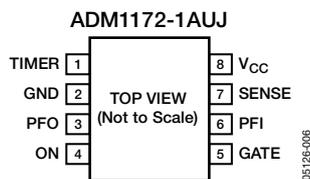


図2. ピン配置 (1AUJモデル)

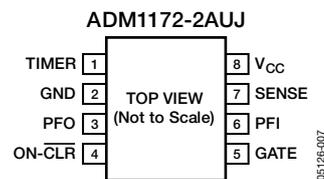


図3. ピン配置 (2AUJモデル)

表4. ピン機能の説明

ピン番号	記号	説明
1	TIMER	タイマ入力ピン。初期サイクルと回路ブレーカ・タイミング・サイクルは、この外付けコンデンサによって設定されます。初期タイミング遅延は272.9ms/μFであり、回路ブレーカ遅延は21.7ms/μFです。TIMERピンが上限スレッシュホールドを超えてプルされると、GATEがターンオフされます。
2	GND	チップ・グラウンド・ピン。
3	PFO	パワーフェイル・コンパレータ出力。パワーフェイル・コンパレータからのデジタル出力。
4	ON (ON-CLR)	入力ピン。ON (ON-CLR) ピンは、80mVのヒステリシスとグリッチ・フィルタを持つ、低から高へのスレッシュホールドが1.3Vのコンパレータへの入力です。ON (ON-CLR) ピンがローレベルのとき、ADM1172はリセットされます。ON (ON-CLR) ピンがハイレベルのとき、ADM1172はイネーブルになります。ラッチオフ・モデルであるADM1172-2では、このピンの立上がりエッジでフォルト（障害）がクリアされてデバイスが再起動されるという、付加的な機能があります。
5	GATE	ゲート出力ピン。内部チャージ・ポンプは、NチャンネルMOSFETのゲートを駆動するために12μAのプルアップ電流を供給します。過電流状態では、ADM1172は、一定の負荷電流を維持するために外付けFETを制御します。
6	PFI	パワーフェイル・コンパレータ入力。コンパレータ・スレッシュホールド=0.6V。
7	SENSE	電流制限検出入力ピン。電流制限は、V _{CC} ピンとSENSEピンとの間の検出抵抗によって設定されます。過電流状態では、FETのゲートを制御してSENSE電圧を50mVに維持します。SENSE電圧が50mVに達すると、TIMER回路ブレーカ・モードがアクティブになります。回路ブレーカの制限をディスエーブルにするには、V _{CC} ピンとSENSEピンを接続します。
8	V _{CC}	正電源入力ピン。ADM1172は2.7~16.5Vで動作します。電源電圧が仕様規定されたUVLO制限を下回ると、グリッチ・フィルタ付きの不足電圧ロックアウト（UVLO）回路がADM1172をリセットします。

代表的な性能特性

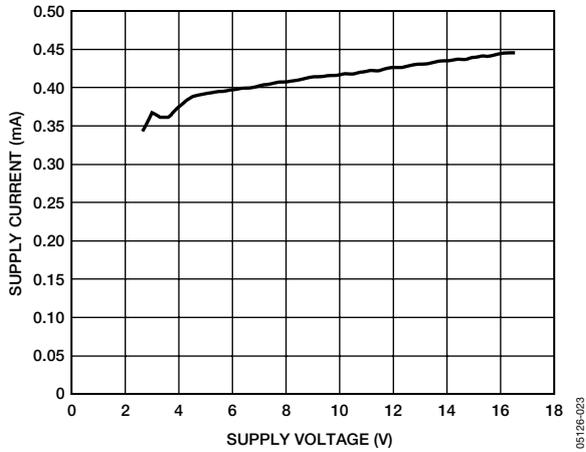


図4. 電源電圧 対 電源電流 (GATEオフ)

05126-023

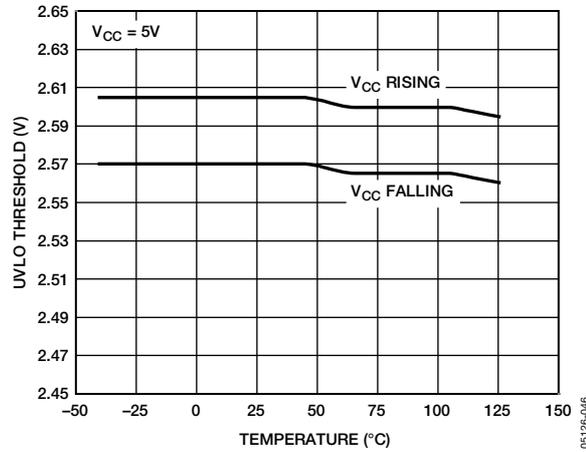


図7. UVLOスレッシュホールドの温度特性

05126-046

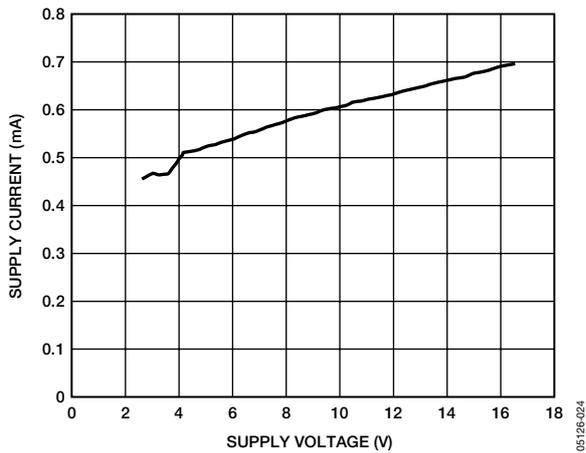


図5. 電源電圧 対 電源電流 (GATEオン)

05126-024

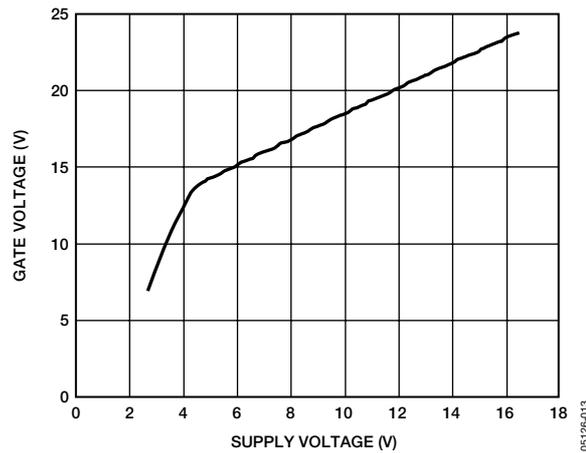


図8. 電源電圧 対 GATE電圧

05126-013

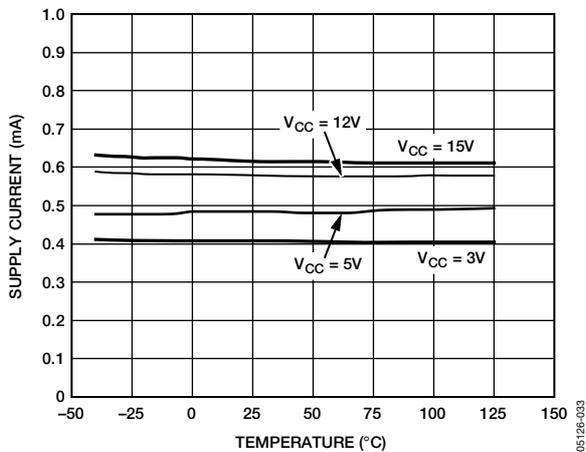


図6. 電源電流の温度特性

05126-033

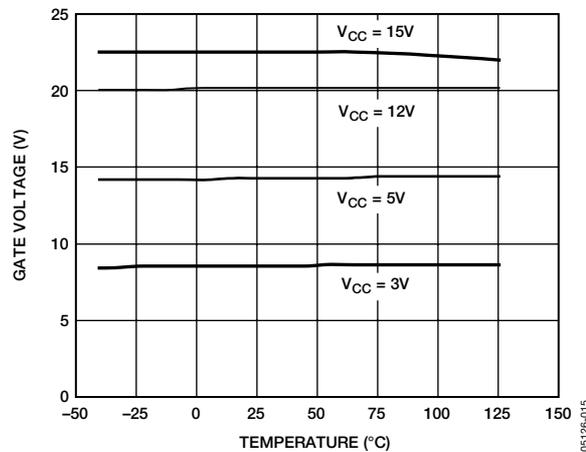


図9. GATE電圧の温度特性

05126-015

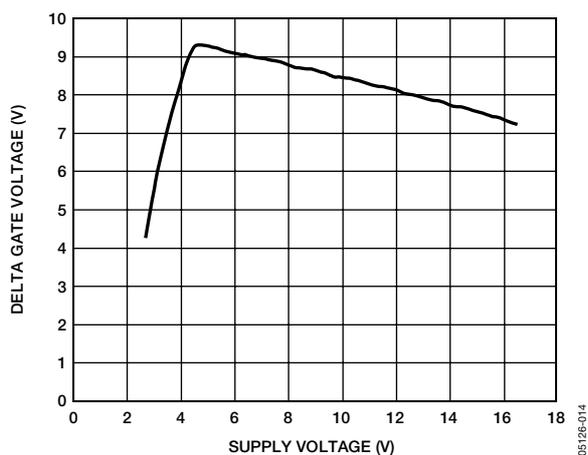


図10. デルタGATE電圧 対 電源電圧

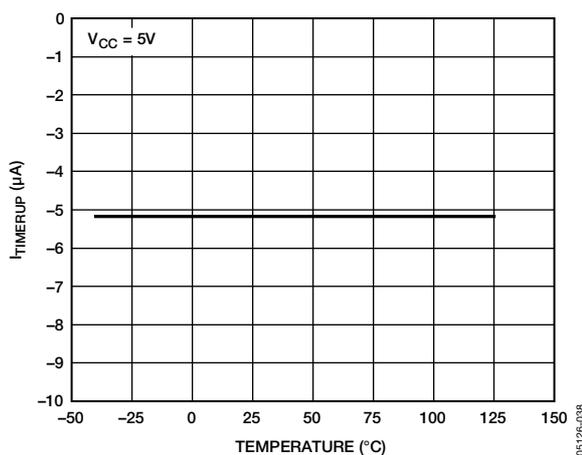


図13. I_{TIMERUP} (初期サイクル) の温度特性

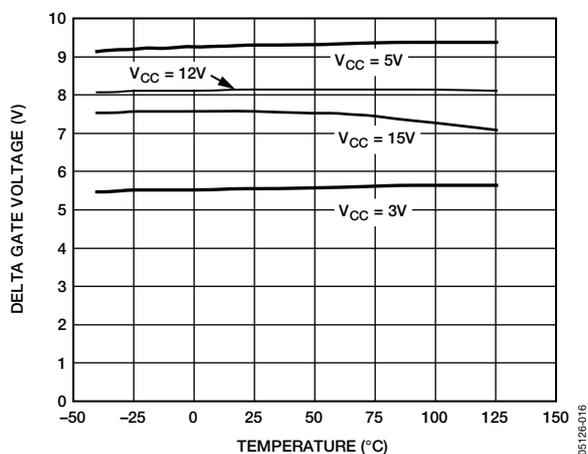


図11. デルタGATE電圧の温度特性

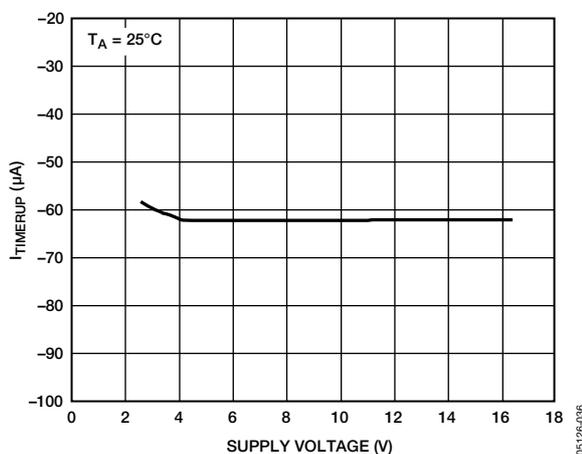


図14. 電源電圧 対 I_{TIMERUP} (Cctブレーカ遅延時)

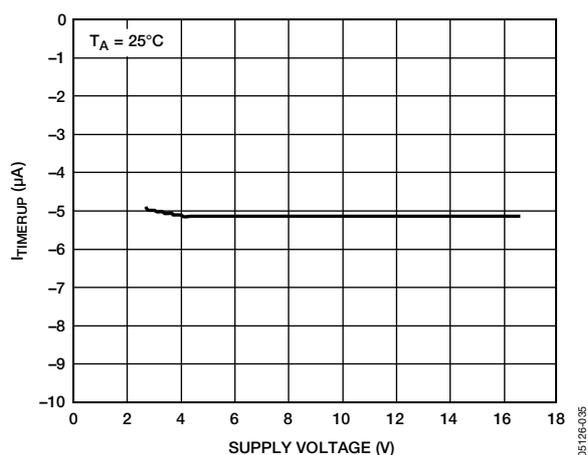


図12. 電源電圧 対 I_{TIMERUP} (初期サイクル)

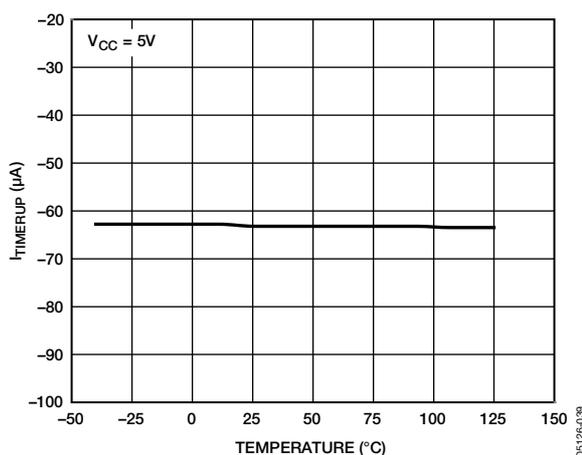


図15. I_{TIMERUP} (Cctブレーカ遅延時) の温度特性

ADM1172

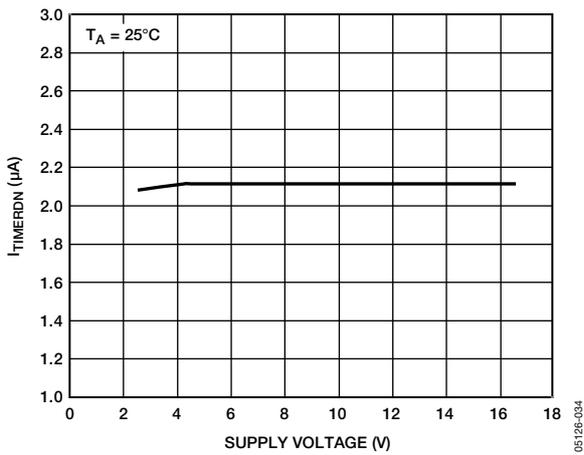


図16. 電源電圧 対 I_TIMERDN (クールオフ・サイクル)

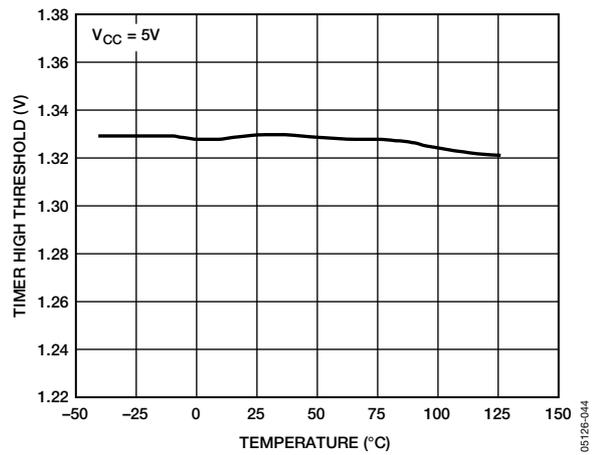


図19. TIMER高スレッシュホールドの温度特性

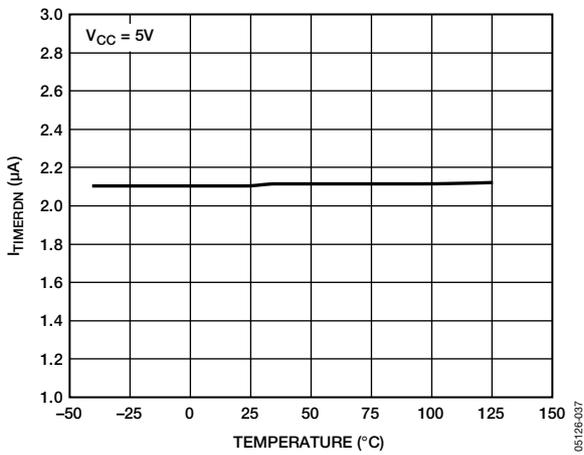


図17. I_TIMERDN (クールオフ・サイクル) の温度特性

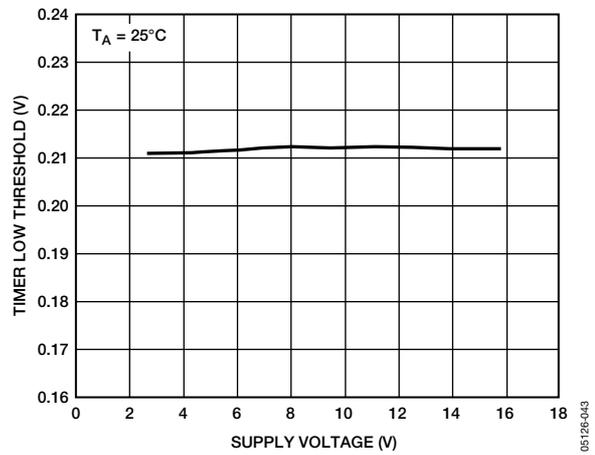


図20. 電源電圧 対 TIMER低スレッシュホールド

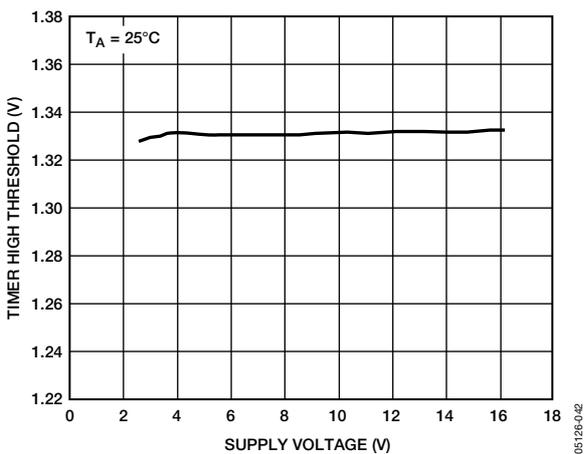


図18. 電源電圧 対 TIMER高スレッシュホールド

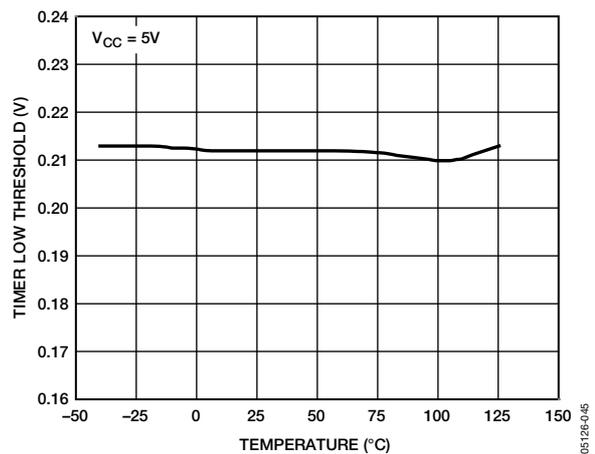


図21. TIMER低スレッシュホールドの温度特性

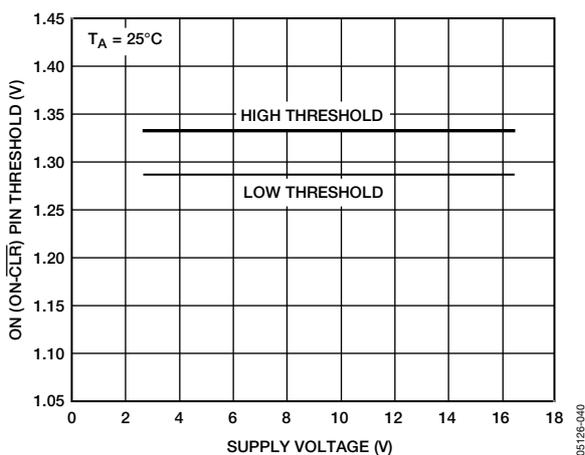


図22. 電源電圧対 ON (ON-CLR) ピン・スレッシュヨールド

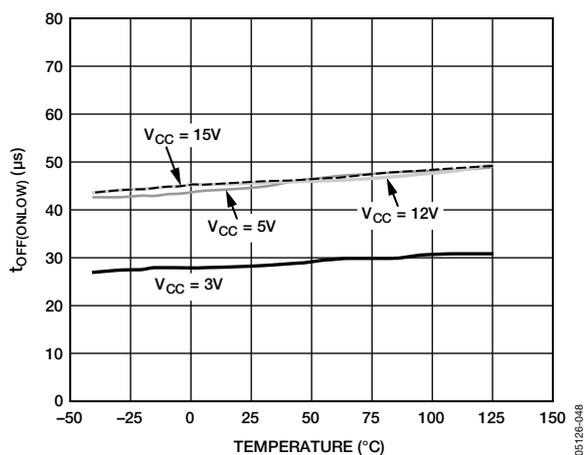


図25. $t_{OFF(ONLOW)}$ の温度特性

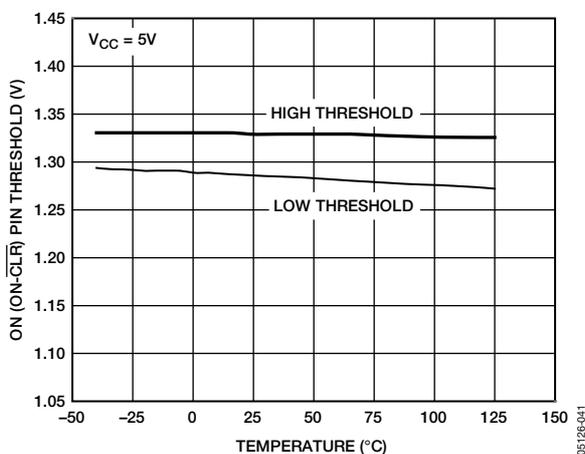


図23. ON (ON-CLR) ピン・スレッシュヨールドの温度特性

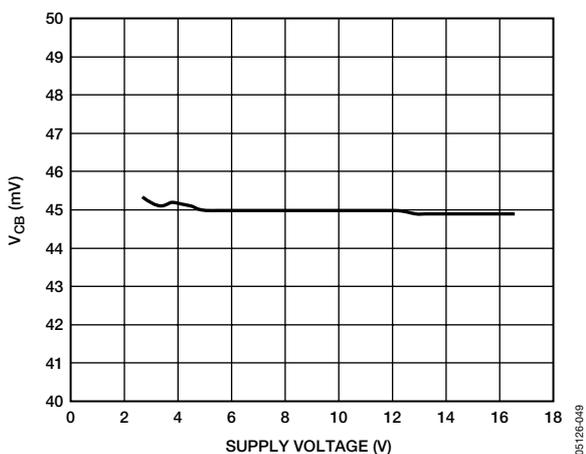


図26. 電源電圧対 Cctブレーカ電圧

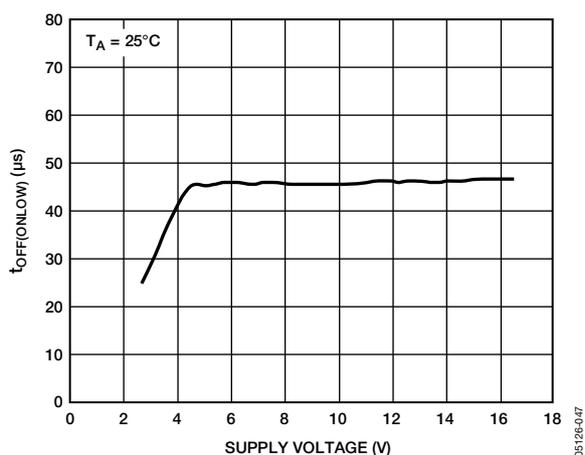


図24. 電源電圧対 $t_{OFF(ONLOW)}$

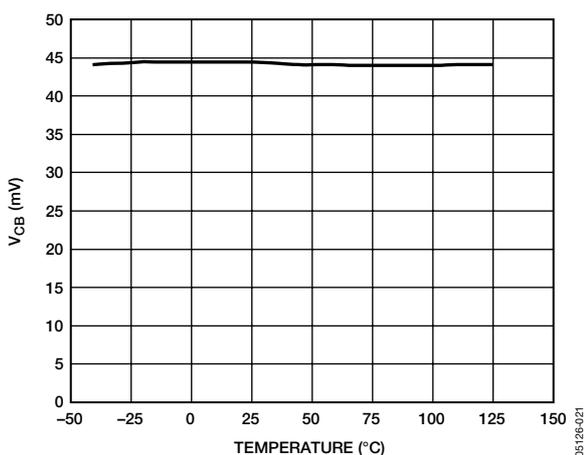


図27. Cctブレーカ電圧の温度特性

ADM1172

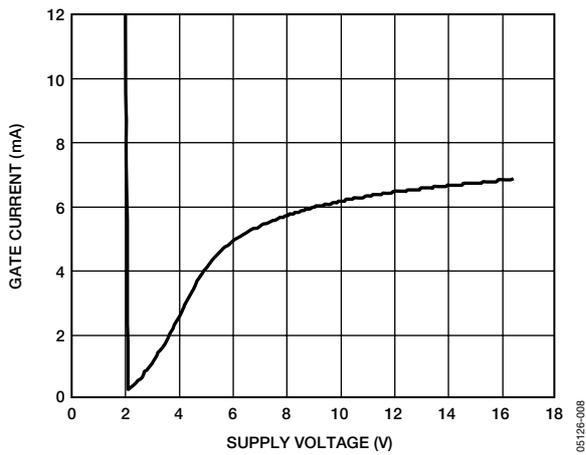


図28. 電源電圧 対 GATE電流 (ダウン)

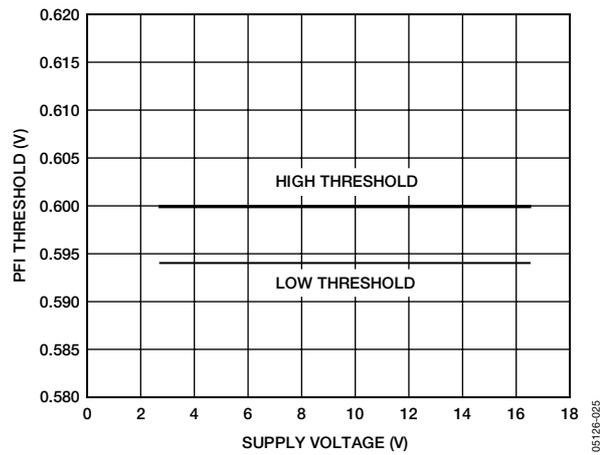


図31. 電源電圧 対 PFIスレッシュヨールド

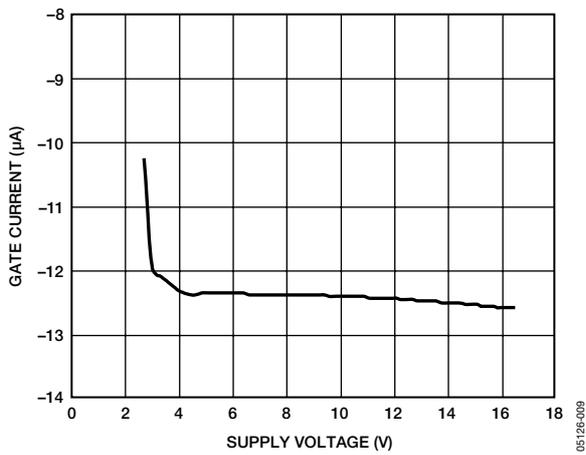


図29. 電源電圧 対 GATE電流 (アップ)

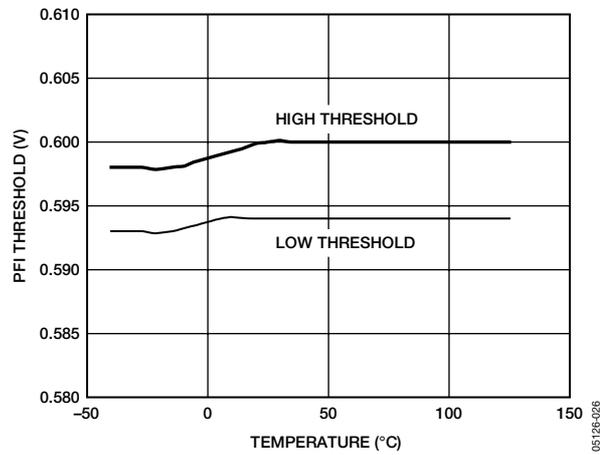


図32. PFIスレッシュヨールドの温度特性

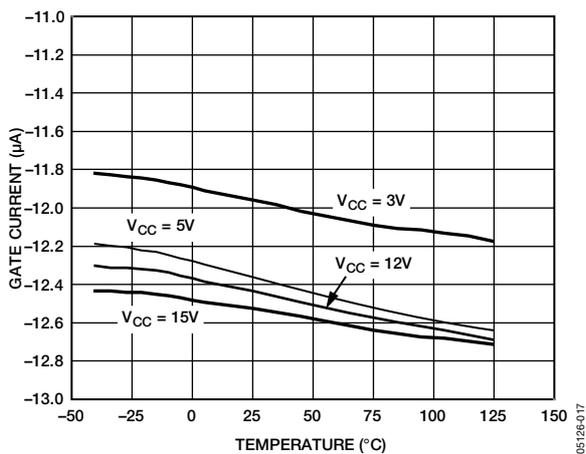


図30. GATE電流 (アップ) の温度特性

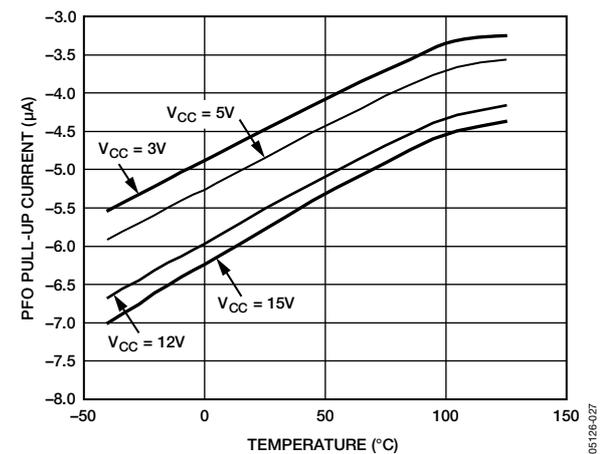


図33. PFOプルアップ電流の温度特性

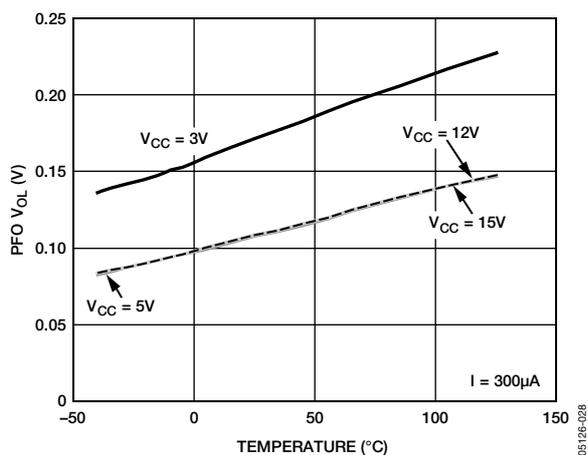


図34. PFOローレベル出力電圧の温度特性 (I=300µA)

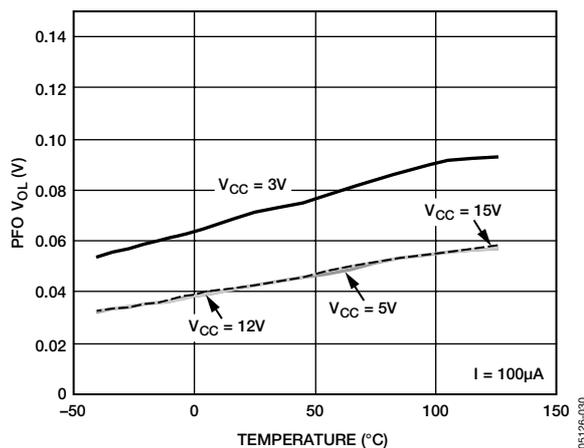


図36. PFOローレベル出力電圧の温度特性 (I=100µA)

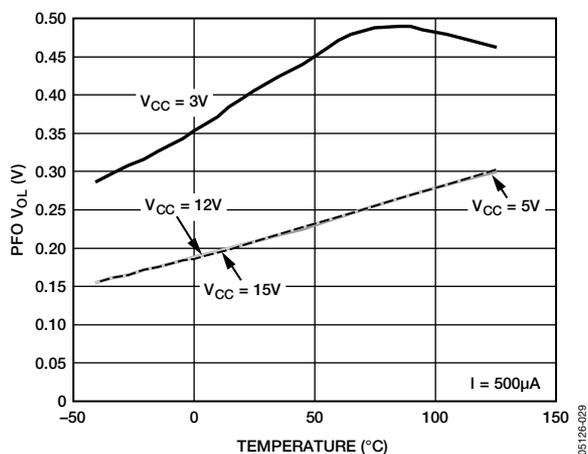


図35. PFOローレベル出力電圧の温度特性 (I=500µA)

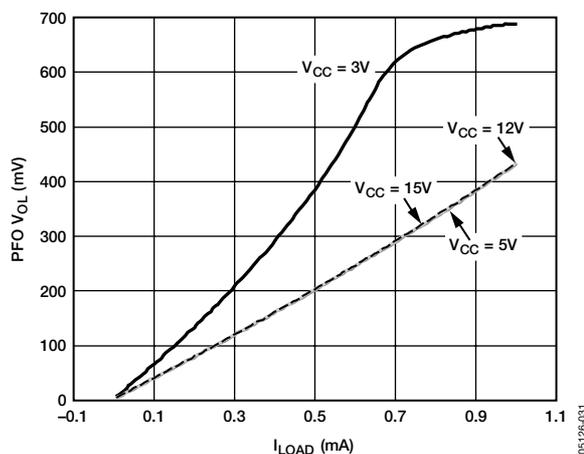


図37. 負荷電流 対 PFOローレベル出力電圧

動作原理

多くのシステムでは、ライブ・バックプレーンに対して回路基板を挿抜する必要があります。このとき、電源のバイパス・コンデンサとホールドアップ・コンデンサは、充電時にバックプレーン電源からかなりの過渡電流を必要とすることがあります。これらの電流によって、コネクタ・ピンに恒久的な損傷が生じたり、システムに望ましくないグリッチやリセットが生じることがあります。

ADM1172は、システムの電力供給（オン/オフ）を管理された方法で制御するように設計されているため、ライブ・バックプレーンに対してボードを挿抜しても過剰電流から保護することができます。ADM1172は、バックプレーン上またはリムーバブル・ボード上に置くことができます。

概要

ADM1172は、2.7~16.5Vの電源範囲で動作します。電源電圧が上昇するにつれて、不足電圧ロックアウト回路は、正常動作のために十分な電源電圧があるかどうかをチェックします。この間、GATEピンがGNDに保持されることによってFETはオフに保持されます。電源電圧がUVLOを超えるレベルに達し、ON (ON-CLR) ピンがハイレベルの場合、最初のタイミング・サイクルで、ボードがバックプレーンに完全に挿入されていることを確認してから、FETをターンオンします。TIMERピン・コンデンサでは、すべてのTIMERピン機能の周期を設定します。最初のタイミング・サイクルの後、ADM1172は、外付け検出抵抗を通じて突入電流を監視します。過電流状態は、回路ブレーカ・タイム制限の $50\text{mV}/R_{\text{SENSE}}$ にアクティブに制限されます。電流制限障害の後、ADM1172-1は自動的に再試行し、ADM1172-2はラッチオフします。ADM1172-1タイマ機能での再試行デューティ・サイクルは、FET冷却のために3.8%に制限されます。

UVLO

V_{CC} 電源が低すぎて通常動作ができない場合は、不足電圧ロックアウト回路がADM1172をリセット状態に保持します。この間、GATEピンはGNDに保持されます。電源がこのUVLO電圧に達し、ON (ON-CLR) ピン条件が満足されると、ADM1172が起動されます。

ON (ON-CLR) ピン

ON (ON-CLR) ピンはイネーブル・ピンであり、80mVのヒステリシスとグリッチ・フィルタを持つ、低から高へのスレッショールドが1.3Vのコンパレータに接続されます。ON (ON-CLR) ピンがローレベルのとき、ADM1172はリセットされます。ON (ON-CLR) ピンがハイレベルのとき、ADM1172はイネーブルになります。ラッチオフ・モデルであるADM1172-2では、このピンの立上がりエッジでフォルト（障害）がクリアされてデバイスが再起動されるという、付加的な機能があります。ON (ON-CLR) ピンにローレベルが入力されると、GATEピンをグラウンドにプルすることで外付けFETがターンオフされ、タイマがリセットされます。不足電圧ロックアウト値を内部UVLO回路よりも高く設定するには、ON (ON-CLR) ピンにおいて外付け抵抗分圧器を使用できます。立上がり時に約 $3\mu\text{s}$ のグリッチ・フィルタ遅延があるため、ON (ON-CLR) ピンにおいてRCフィルタを追加してカード挿入時の遅延時間を増やすことができます。デバイスをイネーブルにするためにショート・ピン・システムを使用している場合は、挿入の前にプルダウン抵抗を使用してデバイスを保持します。

GATE

外付けNチャンネルMOSFETのゲート駆動には、内部チャージ・ポンプを使用します。ゲート・ドライバは、内部チャージ・ポンプからの $12\mu\text{A}$ プルアップで構成されます。このピンには、さまざまなプルダウン・デバイスがあります。ホットスワップ状態においては、ボードは電源バスにホット挿入されます。この間、電源電圧の突然の出現によって外付けFETのGATE容量を充電することができます。これにより、無制御の突入電流が生じることがあります。UVLO状態にある間、内部の強力なプルダウン回路がGATEをローレベルに保持します。これにより、挿入時の電流サージが低減します。最初のタイミング・サイクルの後、GATEはハイレベルにプルされます。過電流状態では、ADM1172はGATEピンをサーボ制御して、回路ブレーカのタイムアウトが完了するまで、負荷に対して一定の電流を維持しようとします。タイムアウトが発生した場合、GATEピンは、4mAのプルダウン・デバイスを使用して突然シャットダウンします。ゲート駆動能力の低下を防ぐため、GATEピンには抵抗性負荷をかけないように注意してください。

電流制限機能

ADM1172に備えられている高速応答電流制御ループは、外付けFETのゲート電圧を減らすことによって、電流をアクティブに制限します。この電流を測定するには、外付け検出抵抗の両端での電圧降下を監視します。検出抵抗の両端で50mVの電圧降下を達成するために、ADM1172はFETのゲートを調整しようとします。

電流制限の計算

公称の障害電流制限を決定するには、 V_{CC} ピンとSENSEピンとの間に接続された検出抵抗を使用します。これは次の式によって得られます。

$$I_{\text{LIMIT}_{\text{NOM}}} = V_{\text{CB}_{\text{NOM}}}/R_{\text{SENSE}_{\text{NOM}}} \quad (1)$$

最小負荷電流は、式2によって得られます。

$$I_{\text{LIMIT}_{\text{MIN}}} = V_{\text{CB}_{\text{MIN}}}/R_{\text{SENSE}_{\text{MAX}}} \quad (2)$$

最大負荷電流は、式3によって得られます。

$$I_{\text{LIMIT}_{\text{MAX}}} = V_{\text{CB}_{\text{MAX}}}/R_{\text{SENSE}_{\text{MIN}}} \quad (3)$$

正常動作のためには、最小電流制限は、回路の最大動作負荷電流を余裕をもって超える必要があります。検出抵抗の電力定格は、次の値を超える必要があります。

$$(V_{\text{CB}_{\text{MAX}}})^2/R_{\text{SENSE}_{\text{MIN}}}$$

回路ブレーカの機能

負荷での低インピーダンス障害などの突然の電流サージが電源に発生すると、バス電源電圧が大幅に低下して隣接するカードへの電力に影響を与えることにより、システムの誤動作を招く可能性があります。ADM1172では、外付けFETのゲート電圧を減らすことによって、障害によって消費される電流を制限します。これにより、障害に起因するバス電源の電圧低下を最小限に抑えて、隣接するカードを保護します。

検出抵抗の両端での電圧が電流制限に近づくと、タイマがアクティブになります。検出電圧がこのレベル未満に戻ると、このタイマは再びリセットされます。検出電圧が44mV未満の場合、タイマは必ずオフになります。電流が増加し続けると、ADM1172はFETのゲートを調整して検出抵抗の両端で電圧を50mVに制限しようとしています。しかし、デバイスが障害電流を調整できず、検出電圧がさらに増加すると、高速な電流サージに対応するために、ミリアンペア・レベルの大きなプルダウンがイネーブルになります。検出電圧が56mVを超えると、このプルダウンは必ずオンになります。タイマが満了すると、GATEピンがシャットダウンされます。

タイマ機能

TIMERピンは、ADM1172でのいくつかの重要な機能を担当します。コンデンサは、最初のパワーオン・リセット時間と、FETがシャットダウンするまでに過電流状態が続く時間を制御します。ADM1172-1では、タイマ・ピンは、自動再試行バース間の時間も制御します。タイマ機能を制御するために、内部的に使用できるプルアップ電流とプルダウン電流があります。TIMERピンでの電圧は、COMP1 (0.2V) とCOMP2 (1.3V) という、2つのスレッシュホールド電圧と比較されます。4つのタイミング電流を表5に示します。

表5

Timing Current	Level (μA)
Pull-up	5
Pull-up	60
Pull-down	2
Pull-down	100

パワーアップのタイミング・サイクル

ON (ON-CLR) ピンがローレベルに保持されると、ADM1172はリセット状態になります。100μAのプルダウンによりGATEピンがローレベルにプルされてTIMERピンがローレベルにプルされます。図38の時間ポイント2で、ON (ON-CLR) ピンがハイレベルにプルされます。デバイスが正しくスタートアップするには、電源電圧はUVLOを上回り、ON (ON-CLR) ピンは1.3Vを上回り、TIMERピンの電圧は0.2V未満であることが必要です。これらの3つの条件が満足されると、最初のタイミング・サイクルが開始され、5μAによりTIMERピンはハイレベルにプルされます。時間ポイント3で、TIMERはCOMP2スレッシュホールドに達します。

これで初期サイクルの最初の部分が終了します。次に、時間ポイント4でTIMERピンが0.2Vに達するまで、100μAの電流源がTIMERピンをプルダウンします。最初のサイクル遅延（時間ポイント2から時間ポイント4まで）は、次の式で C_{TIMER} に関連付けられます。

$$t_{INITIAL} = 1.3 \times C_{TIMER} / 5 \mu A \quad (4)$$

初期サイクルが終了すると、起動サイクルがアクティブになり、GATEピンがハイレベルにプルされます。TIMERピンはプルダウン状態を継続します。

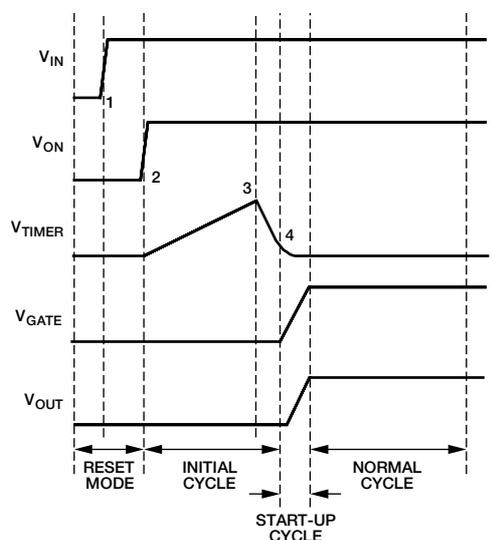


図38. パワーアップのタイミング

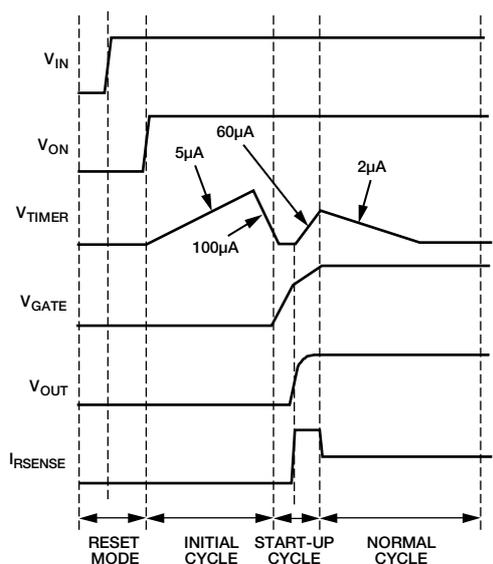


図39. コンデンサのパワーアップ

回路ブレーカのタイミング・サイクル

検出抵抗の両端の電圧が回路ブレーカのトリップ電圧を超えると、60μAのタイマ・プルアップ電流がアクティブになります。TIMERピンが1.3Vに達する前に検出電圧がこのレベルを下回ると、60μAのプルアップがデイスエーブルになり、2μAのプルダウンがイネーブルになります。過電流障害が突入電流のように過渡的である場合、この状態になることがあります。これを図39に示します。しかし、過電流状態が継続し、検出電圧が回路ブレーカのトリップ電圧を超えたままになると、60μAのプルアップはアクティブ状態にとどまります。これにより、TIMERピンは、1.3Vの高トリップ・ポイントに達し、GATEのシャットダウンを開始できます。ADM1172-2では、TIMERピンは、プルアップを継続しますが、1.3Vのスレッシュホールドに達すると5μAのプルアップにスイッチします。デバイスをリセットするには、ON-CLRピンをトグルするか、TIMERピンを手作業でローレベルにプルします。ADM1172-1では、TIMERピンは、1.3Vのスレッシュホールドに達すると2μAのプ

ADM1172

ルダウンをアクティブにし、0.2Vのスレッシュホールドに達するまでプルダウン状態を継続します。この時点で、100μAのプルダウンがアクティブになり、GATEピンがイネーブルになります。デバイスは、図40に示す方法で再試行を続けます。

この自動再試行サイクルのデューティ・サイクルは、2μA/60μAの比率に設定されます。これは3.8%オンと同程度になります。このサイクルのオンタイムは、タイマ・コンデンサの値によって決定されます。この時間は次のように計算されます。

$$t_{ON} = 1.3 \times C_{TIMER} / 60 \mu A$$

$$t_{OFF} = 1.1 \times C_{TIMER} / 2 \mu A$$

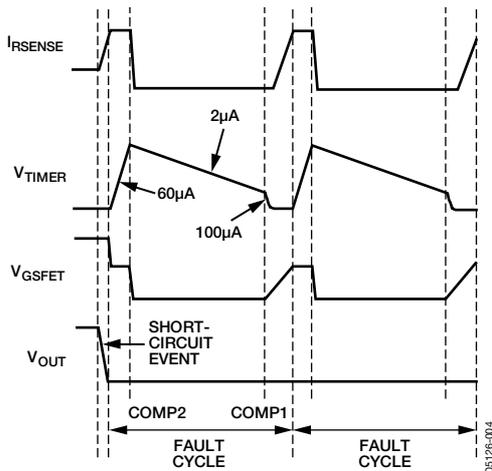


図40. 過電流障害時のADM1172-1の自動再試行

自動再試行またはラッチオフ

ADM1172には2つのモデルがあります。ADM1172-1には自動再試行システムがあり、電流障害が検出されると、タイマ・コンデンサによって決定される時間の後でFETがシャットダウンされます。そして、障害が残っているかどうかを判断するために、制御された連続サイクルにおいて再びスイッチ・オンされます（詳細については図40を参照）。このサイクルの周期は、3.8%オンと96.2%オフのデューティ・サイクルにおけるタイマ・コンデンサによって決定されます。

ADM1172-2モデルにはラッチオフ・システムがあり、電流障害が検出されると、タイマ・コンデンサによって決定される時間の後でGATEがスイッチ・オフされます（詳細については図41を参照）。この状態をリセットするには、ON-CLRピンをトグルするか、短時間だけTIMERピンをGNDにプルします。

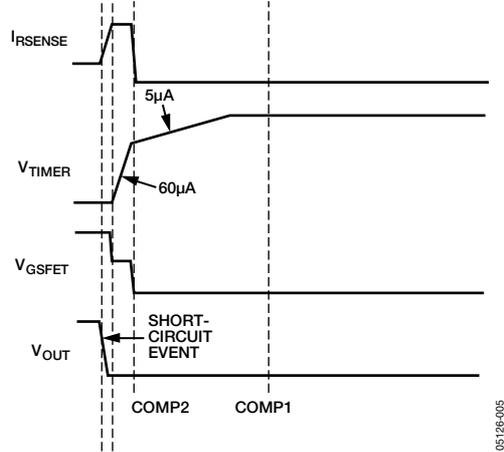
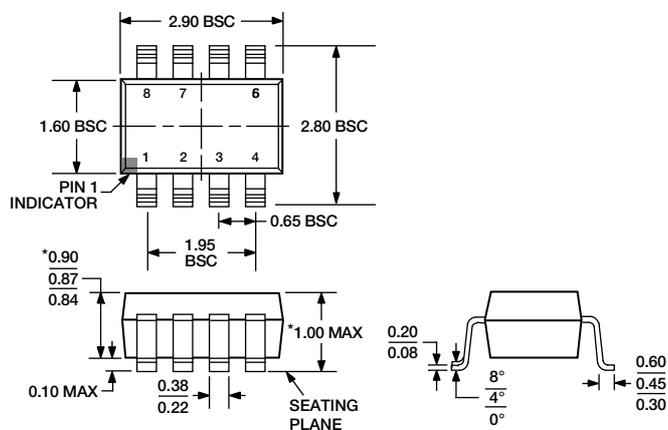


図41. 過電流障害後のADM1172-2のラッチオフ

パワフェイル・コンパレータ

ADM1172には、パワフェイル/OV/UVディテクタとして使用できる内蔵コンパレータがあります。内蔵コンパレータには0.6Vのリファレンスがあり、PFIピンでの電圧がこのスレッシュホールドを下回ったときにアクティブ・ハイになるように設計されています。PFIピンがコンパレータを作動させることによる唯一のアクションは、PFOピンでの状態変化です。PFIピンを使用すれば、抵抗分圧器ネットワークによって設定されたOVまたはUV条件に関して、FETの両側で電源を監視できます。その後、PFOを制御システムに送信して、パワグッド/パワフェイル信号として使用できます。PFO出力には、5μAの内部プルアップがあります。パワアップ時にPFOピンがプルアップ/プルダウンされることを保証するには、PFOピンに10kΩ抵抗を接続することを推奨します。PFOピンは、V_{CC} < UVLOである間は高インピーダンス状態にあり、無効なパワフェイル信号の原因になることがあります。

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-193-BA WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

図42. 8ピン薄型スモール・アウトライン・トランジスタ・パッケージ [TSOT] (UJ-8)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADM1172-1AUJZ-RL7 ¹	-40°C to +85°C	8-Lead TSOT	UJ-8	M1M
ADM1172-2AUJZ-RL7 ¹	-40°C to +85°C	8-Lead TSOT	UJ-8	M1N

¹ Z=鉛フリー製品