



SPI インターフェース、 $1\ \Omega\ R_{ON}$ 、 $\pm 5\ V$ 、 $12\ V$ 、 $5\ V$ 、 $3.3\ V$ 、マルチプレクサ構成可能、クワッド SPST スイッチ

データシート

ADGS1612

特長

- エラー検出機能付き SPI インターフェース
- CRC、無効な読出し/書込みアドレス、SCLK カウント・エラーの検出を含む
- バースト・モードとデジィー・チェーン・モードをサポート
- 業界標準の SPI モード 0 および SPI モード 3 との互換性あり
- ブレークビフォアメークのスイッチングを確保することで、スイッチの外部配線によるマルチプレクサ構成が可能
- $25\ ^\circ\text{C}$ で $1\ \Omega$ (代表値) の抵抗値
- $25\ ^\circ\text{C}$ で $0.23\ \Omega$ (代表値) のオン抵抗平坦性
- アナログ信号範囲: $V_{SS} \sim V_{DD}$
- $\pm 5\ V$ 、 $12\ V$ 、 $5\ V$ 、 $3.3\ V$ の電源で仕様規定
- 両電源動作: $3.3\ V \sim 8\ V$
- 単電源動作: $3.3\ V \sim 16\ V$
- $1.8\ V$ ロジックとの互換性 ($2.7\ V \leq V_L \leq 3.3\ V$)
- $4\ \text{mm} \times 4\ \text{mm}$ 、24 ピン LFCSP パッケージ

アプリケーション

- 通信システム
- 医療用システム
- オーディオおよびビデオ信号ルーティング
- ATE (自動試験装置)

概要

ADGS1612 は 4 個の独立した単極単投 (SPST) スイッチを内蔵しています。シリアル周辺機器インターフェース (SPI) でスイッチを制御します。SPI インターフェースは、巡回冗長検査 (CRC) エラーの検出、無効な読出し/書出しアドレスの検出、シリアル・クロック (SCLK) カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS1612 デバイスをデジィー・チェーン接続できます。デジィー・チェーン接続では、最小限のデジタル・ラインで複数のデバイスを構成できます。さらに、ADGS1612 をバースト・モードで動作させて、SPI コマンド間隔を短縮することも可能です。

各スイッチはオンのとき、両方向に均等に信号を伝達します。各スイッチの入力信号範囲は電源電圧まで達します。スイッチがオフ状態のときは、電源電圧までの信号レベルがブロックされます。

これらのスイッチではオン抵抗 (R_{ON}) が非常に低く、低い R_{ON} と低歪みが重要になるデータ・アキュイジションやゲイン・スイッチングのアプリケーションにとって理想的なソリューションになります。 R_{ON} のプロファイルが完全にアナログ入力範囲全体にわたり非常に平坦であるため、オーディオ信号をスイッチングする場合に、優れた直線性と低歪みを実現します。ADGS1612 は、プレー

- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- リレーの代替

機能ブロック図

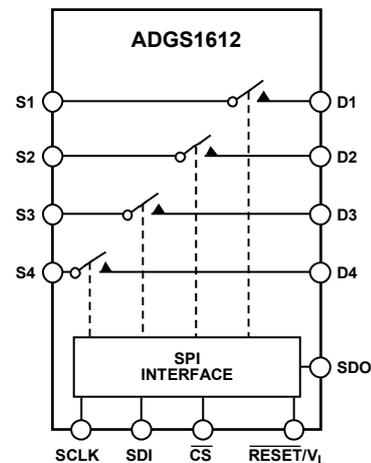


図 1.

クビフォアメークのスイッチング動作を示すので、マルチプレクサ・アプリケーションで使用できます。このデータシートでは、複数の機能を備えたピン RESET/ V_L は、全機能を表すピン名で表記するか、あるいは特定の機能のみが該当するところでは V_L のようにピンの 1 つの機能で表記しています。

製品のハイライト

- SPI インターフェースを搭載しているため、パラレル変換やロジック・トレースの必要がなく、汎用の入出力 (GPIO) チャンネル数が減ります。
- デジィー・チェーン・モードでは、複数のデバイスを使用する場合にロジック・トレースを追加する必要がありません。
- CRC、無効な読出し/書込みアドレス、SCLK カウントのエラー検出により、デジタル・インターフェースの信頼性が向上します。
- CRC エラー検出機能があるため、安全性が不可欠なシステムに ADGS1612 を使用できます。
- ブレークビフォアメークのスイッチングを確保することで、外部配線を使用したマルチプレクサ構成で ADGS1612 を使用できます。
- 最小の歪み。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	アドレス・モード.....	22
アプリケーション.....	1	エラー検出機能.....	22
機能ブロック図.....	1	エラー・フラグ・レジスタのクリア.....	23
概要.....	1	バースト・モード.....	23
製品のハイライト.....	1	ソフトウェア・リセット.....	23
改訂履歴.....	2	デイジー・チェーン・モード.....	23
仕様.....	3	パワーオン・リセット.....	24
±5 V の両電源.....	3	アプリケーション情報.....	25
12 V の単電源.....	5	ブレイクビフォアメークのスイッチング.....	25
5 V の単電源.....	7	デジタル入力バッファ.....	25
3.3 V の単電源.....	9	電源レール.....	25
チャンネルごとの連続電流 (Sx または Dx).....	11	レジスタの一覧.....	26
タイミング特性.....	11	レジスタの詳細.....	27
絶対最大定格.....	13	スイッチ・データ・レジスタ.....	27
熱抵抗.....	13	エラー設定レジスタ.....	27
ESD に関する注意.....	13	エラー・フラグ・レジスタ.....	28
ピン配置およびピン機能の説明.....	14	バースト・イネーブル・レジスタ.....	28
代表的な性能特性.....	15	ソフトウェア・リセット・レジスタ.....	28
テスト回路.....	19	外形寸法.....	29
用語の定義.....	21	オーダー・ガイド.....	29
動作原理.....	22		

改訂履歴

1/2018—Revision 0: Initial Version

仕様

±5 V の両電源

特に指定のない限り、正側（供給）電源（ V_{DD} ）= 5 V ± 10 %、負電源電圧（ V_{SS} ）= -5 V ± 10 %、正側電源（ V_L ）= 2.7 V ~ 5.5 V、GND = 0 V。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	1			Ω typ	$V_S = \pm 4.5$ V, $I_S = -10$ mA; see Figure 29
On Resistance Match Between Channels, ΔR_{ON}	1.2 0.04	1.4	1.6	Ω max Ω typ	$V_{DD} = +4.5$ V, $V_{SS} = -4.5$ V $V_S = \pm 4.5$ V, $I_S = -10$ mA
On Resistance Flatness, $R_{FLAT(ON)}$	0.08 0.23 0.28	0.09	0.1	Ω max Ω typ Ω max	$V_S = \pm 4.5$ V, $I_S = -10$ mA
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±0.1 ±0.3	±1.0	±6.0	nA typ nA max	$V_{DD} = +5.5$ V, $V_{SS} = -5.5$ V $V_S = \pm 4.5$ V, $V_D = \mp 4.5$ V; see Figure 32
Drain Off Leakage, I_D (Off)	±0.1 ±0.3	±1.0	±6.0	nA typ nA max	$V_S = \pm 4.5$ V, $V_D = \mp 4.5$ V; see Figure 32
Channel On Leakage, I_D (On), I_S (On)	±0.2 ±0.4	±1.5	±10.0	nA typ nA max	$V_S = V_D = \pm 4.5$ V; see Figure 28
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4 0.2	V max V max	$I_{SINK} = 5$ mA $I_{SINK} = 1$ mA
Output Current, Low (I_{OL}) or High (I_{OH})	0.001		±0.1	μ A typ μ A max	$V_{OUT} = V_{GND}$ or V_L
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH}			2 1.35	V min V min	3.3 V < $V_L \leq 5.5$ V 2.7 V $\leq V_L \leq 3.3$ V
Low, V_{INL}			0.8 0.8	V max V max	3.3 V < $V_L \leq 5.5$ V 2.7 V $\leq V_L \leq 3.3$ V
Input Current, Low (I_{INL}) or High (I_{INH})	0.001		±0.1	μ A typ μ A max	$V_{IN} = V_{GND}$ or V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	385 480	485	485	ns typ ns max	$R_L = 300$ Ω , $C_L = 35$ pF $V_S = 2.5$ V; see Figure 36
Off Time, t_{OFF}	250 305	335	360	ns typ ns max	$R_L = 300$ Ω , $C_L = 35$ pF $V_S = 2.5$ V; see Figure 36
Break-Before-Make Time Delay, t_D	175		115	ns typ ns min	$R_L = 300$ Ω , $C_L = 35$ pF $V_{S1} = V_{S2} = 2.5$ V, see Figure 35
Charge Injection, Q_{INJ}	120			pC typ	$V_S = 0$ V, $R_S = 0$ Ω , $C_L = 1$ nF; see Figure 37
Off Isolation	-65			dB typ	$R_L = 50$ Ω , $C_L = 5$ pF, $f = 100$ kHz; see Figure 31
Channel to Channel Crosstalk	-93			dB typ	$R_L = 50$ Ω , $C_L = 5$ pF, $f = 1$ MHz; see Figure 30

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Total Harmonic Distortion Plus Noise, THD + N	0.007			% typ	$R_L = 110 \Omega$, 5 V p-p, $f = 20 \text{ Hz to } 20 \text{ kHz}$; see Figure 33
-3 dB Bandwidth	34			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; see Figure 34
Insertion Loss	-0.08			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 34
Off Switch Source Capacitance, C_S (Off)	63			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
Off Switch Drain Capacitance, C_D (Off)	63			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
On Switch Capacitance, C_D (On), C_S (On)	154			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.01		1	$\mu\text{A typ}$	$V_{DD} = +5.5 \text{ V}$, $V_{SS} = -5.5 \text{ V}$ All switches open
	0.01		1	$\mu\text{A max}$	All switches closed, $V_L = 5.5 \text{ V}$
Digital Supply Current, I_L	130		220	$\mu\text{A typ}$	All switches closed, $V_L = 2.7 \text{ V}$
	6.3		8.0	$\mu\text{A max}$	Digital inputs = 0 V or V_L
Inactive, SCLK = 1 MHz	14			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$
	7			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$
	210			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$
Inactive, SDI = 1 MHz	15			$\mu\text{A typ}$	\overline{CS} and $SCLK = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$
	7.5			$\mu\text{A typ}$	\overline{CS} and $SCLK = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$
SDI = 25 MHz	230			$\mu\text{A typ}$	\overline{CS} and $SCLK = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$
	120			$\mu\text{A typ}$	\overline{CS} and $SCLK = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$
Active at 50 MHz	1.8		2.1	mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5 \text{ V}$
	0.7		1.0	mA max	Digital inputs toggle between 0 V and V_L , $V_L = 2.7 \text{ V}$
Negative Supply Current, I_{SS}	0.01		1	$\mu\text{A typ}$	Digital inputs = 0 V or V_L
			1	$\mu\text{A max}$	
V_{DD}/V_{SS}			± 3.3	V min	GND = 0 V
			± 8	V max	GND = 0 V

12 V の単電源

特に指定のない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	0.95			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$; see Figure 29
On Resistance Match Between Channels, ΔR_{ON}	1.1 0.03	1.25	1.45	Ω max Ω typ	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	0.06 0.2 0.23	0.07	0.08	Ω max Ω typ Ω max	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$; see Figure 32
Drain Off Leakage, I_D (Off)	± 0.3 ± 0.1	± 1.0	± 6.0	nA max nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$; see Figure 32
Channel On Leakage, I_D (On), I_S (On)	± 0.3 ± 0.2 ± 0.4	± 1.0	± 6.0	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/10\text{ V}$; see Figure 28
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$ $V_{OUT} = V_{GND}$ or V_L
Output Current, Low (I_{OL}) or High (I_{OH})	0.001		± 0.1	μA typ μA max	
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH}			2 1.35	V min V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, V_{INL}			0.8 0.8	V max V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, Low (I_{INL}) or High (I_{INH})	0.001		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	365 460			ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$; see Figure 36
Off Time, t_{OFF}	190 235	470 260	470 280	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$; see Figure 36
Break-Before-Make Time Delay, t_D	200			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
Charge Injection, Q_{INJ}	140		140	ns min pC typ	$V_{S1} = V_{S2} = 8\text{ V}$, see Figure 35 $V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 37
Off Isolation	-65			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 100\text{ kHz}$; see Figure 31
Channel to Channel Crosstalk	-93			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 30

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Total Harmonic Distortion Plus Noise, THD + N	0.012			% typ	$R_L = 110 \Omega$, 5 V p-p, $f = 20$ Hz to 20 kHz; see Figure 33
-3 dB Bandwidth	34			MHz typ	$R_L = 50 \Omega$, $C_L = 5$ pF; see Figure 34
Insertion Loss	-0.07			MHz typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz; see Figure 34
Off Switch Source Capacitance, C_S (Off)	60			dB typ	$V_S = 6$ V, $f = 1$ MHz
Off Switch Drain Capacitance, C_D (Off)	60			pF typ	$V_S = 6$ V, $f = 1$ MHz
On Switch Capacitance, C_D (On), C_S (On)	154			pF typ	$V_S = 6$ V, $f = 1$ MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.01			μ A typ	$V_{DD} = 12$ V All switches open
	320		1	μ A max	
	320		480	μ A typ	All switches closed, $V_L = 5.5$ V
	320		480	μ A max	All switches closed, $V_L = 2.7$ V
Digital Supply Current, I_L	6.3		8.0	μ A typ	Digital inputs = 0 V or V_L
				μ A max	
Inactive, SCLK = 1 MHz	14			μ A typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 5$ V
	7			μ A typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 3$ V
SCLK = 50 MHz	390			μ A typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 5$ V
	210			μ A typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 3$ V
Inactive, SDI = 1 MHz	15			μ A typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5$ V
	7.5			μ A typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3$ V
SDI = 25 MHz	230			μ A typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5$ V
	120			μ A typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3$ V
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5$ V
	0.7		2.1	mA max	Digital inputs toggle between 0 V and V_L , $V_L = 2.7$ V
V_{DD}			1.0	mA max	
			3.3	V min	GND = 0 V, $V_{SS} = 0$ V
			16	V max	GND = 0 V, $V_{SS} = 0$ V

5 V の単電源

特に指定のない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	1.7			Ω typ	$V_S = 0\text{ V}$ to 4.5 V, $I_S = -10\text{ mA}$; see Figure 29
On Resistance Match Between Channels, ΔR_{ON}	2.15 0.05	2.4	2.7	Ω max Ω typ	$V_{DD} = 4.5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V}$ to 4.5 V, $I_S = -10\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	0.09 0.4 0.53	0.12	0.15	Ω max Ω typ Ω max	$V_S = 0\text{ V}$ to 4.5 V, $I_S = -10\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}$ or 4.5 V, $V_D = 4.5\text{ V}/1\text{ V}$; see Figure 32
Drain Off Leakage, I_D (Off)	± 0.3 ± 0.1	± 1.0	± 6.0	nA max nA typ	$V_S = 1\text{ V}/4.5\text{ V}$, $V_D = 4.5\text{ V}/1\text{ V}$; see Figure 32
Channel On Leakage, I_D (On), I_S (On)	± 0.3 ± 0.2 ± 0.4	± 1.0	± 6.0	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/4.5\text{ V}$; see Figure 28
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$
Output Current, Low (I_{OL}) or High (I_{OH})	0.001		± 0.1	μA typ μA max	$V_{OUT} = V_{GND}$ or V_L
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH}			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
Low, V_{INL}			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, Low (I_{INL}) or High (I_{INH})	0.001		0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
Digital Input Capacitance, C_{IN}	4		0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
			± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_L
				pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	405 510			ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 2.5\text{ V}$; see Figure 36
Off Time, t_{OFF}	290 365	515	525	ns typ Ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 2.5\text{ V}$; see Figure 36
Break-Before-Make Time Delay, t_D	165	410	455	ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
Charge Injection, Q_{INJ}	72		95	ns min pC typ	$V_{S1} = V_{S2} = 2.5\text{ V}$, see Figure 35 $V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 37
Off Isolation	-65			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 100\text{ kHz}$; see Figure 31
Channel to Channel Crosstalk	-93			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 30

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
Total Harmonic Distortion Plus Noise, THD + N	0.093			% typ	$R_L = 110 \Omega$, $f = 20 \text{ Hz to } 20 \text{ kHz}$, $V_S = 3.5 \text{ V p-p}$; see Figure 33	
-3 dB Bandwidth	38			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; see Figure 34	
Insertion Loss	-0.15			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 34	
Off Switch Source Capacitance, C_S (Off)	72			pF typ	$V_S = 2.5 \text{ V}$, $f = 1 \text{ MHz}$	
Off Switch Drain Capacitance, C_D (Off)	72			pF typ	$V_S = 2.5 \text{ V}$, $f = 1 \text{ MHz}$	
On Switch Capacitance, C_D (On), C_S (On)	160			pF typ	$V_S = 2.5 \text{ V}$, $f = 1 \text{ MHz}$	
POWER REQUIREMENTS						
Positive Supply Current, I_{DD}	0.01			$\mu\text{A typ}$	$V_{DD} = 5.5 \text{ V}$ All switches open	
			1	$\mu\text{A max}$		
	0.01			$\mu\text{A typ}$	All switches closed, $V_L = 5.5 \text{ V}$	
			1	$\mu\text{A max}$		
Digital Supply Current, I_L	130			$\mu\text{A typ}$	All switches closed, $V_L = 2.7 \text{ V}$	
			220	$\mu\text{A max}$		
	Inactive	6.3			$\mu\text{A typ}$	Digital inputs = 0 V or V_L
				8.0	$\mu\text{A max}$	
Inactive, SCLK = 1 MHz	14			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$	
	7			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$	
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 5 \text{ V}$	
	210			$\mu\text{A typ}$	$\overline{CS} = V_L$ and $SDI = 0 \text{ V or } V_L$, $V_L = 3 \text{ V}$	
Inactive, SDI = 1 MHz	15			$\mu\text{A typ}$	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5 \text{ V}$	
	7.5			$\mu\text{A typ}$	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3 \text{ V}$	
SDI = 25 MHz	230			$\mu\text{A typ}$	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5 \text{ V}$	
	120			$\mu\text{A typ}$	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3 \text{ V}$	
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5 \text{ V}$	
	0.7		2.1	mA max	Digital inputs toggle between 0 V and V_L , $V_L = 2.7 \text{ V}$	
V_{DD}			1.0	mA max		
			3.3	V min	GND = 0 V, $V_{SS} = 0 \text{ V}$	
			16	V max	GND = 0 V, $V_{SS} = 0 \text{ V}$	

3.3 V の単電源

特に指定のない限り、 $V_{DD} = 3.3\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 3.3\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	3.2	3.4	3.6	Ω typ	$V_S = 0\text{ V}$ to V_{DD} , $I_S = -10\text{ mA}$, $V_{DD} = 3.3\text{ V}$, $V_{SS} = 0\text{ V}$; see Figure 29
On Resistance Match Between Channels, ΔR_{ON}	0.06	0.07	0.08	Ω typ	$V_S = 0\text{ V}$ to V_{DD} , $I_S = -10\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	1.2	1.3	1.4	Ω typ	$V_S = 0\text{ V}$ to V_{DD} , $I_S = -10\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = 3.3\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 0.6\text{ V}/3\text{ V}$, $V_D = 3\text{ V}/0.6\text{ V}$; see Figure 32
Drain Off Leakage, I_D (Off)	± 0.3 ± 0.1	± 1.0	± 6.0	nA max nA typ	$V_S = 0.6\text{ V}/3\text{ V}$, $V_D = 3\text{ V}/0.6\text{ V}$; see Figure 32
Channel On Leakage, I_D (On), I_S (On)	± 0.3 ± 0.2 ± 0.4	± 1.0 ± 1.5	± 6.0 ± 10.0	nA max V max	$V_S = V_D = 0.6\text{ V}/3\text{ V}$; see Figure 28
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$
Output Current, Low (I_{OL}) or High (I_{OH})	0.001		± 0.1	μA typ μA max	$V_{OUT} = V_{GND}$ or V_L
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH} Low, V_{INL}			1.35 0.8	V min V max	
Input Current, Low (I_{INL}) or High (I_{INH})	0.001		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	545 720	730	735	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 1.5\text{ V}$; see Figure 36
Off Time, t_{OFF}	470 630	695	760	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 1.5\text{ V}$; see Figure 36
Break-Before-Make Time Delay, t_D	155		50	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 1.5\text{ V}$, see Figure 35
Charge Injection, Q_{INJ}	50			pC typ	$V_S = 1.5\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 37
Off Isolation	-65			dB typ	$C_L = 5\text{ pF}$, $f = 100\text{ kHz}$; see Figure 31
Channel to Channel Crosstalk	-93			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 30
Total Harmonic Distortion Plus Noise, THD + N	0.18			% typ	$R_L = 110\ \Omega$, $f = 20\text{ Hz}$ to 20 kHz , $V_S = 2\text{ V p-p}$; see Figure 33
-3 dB Bandwidth	50			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 34
Insertion Loss	-0.27			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 34
Off Switch Source Capacitance, C_S (Off)	76			pF typ	$V_S = 1.5\text{ V}$, $f = 1\text{ MHz}$
Off Switch Drain Capacitance, C_D (Off)	76			pF typ	$V_S = 1.5\text{ V}$, $f = 1\text{ MHz}$
On Switch Capacitance, C_D (On), C_S (On)	160			pF typ	$V_S = 1.5\text{ V}$, $f = 1\text{ MHz}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.01			$\mu\text{A typ}$	$V_{DD} = 3.3\text{ V}$ All switches open
	0.01		1	$\mu\text{A max}$	All switches closed, $V_L = 3.3\text{ V}$
Digital Supply Current, I_L			1	$\mu\text{A typ}$	
			1	$\mu\text{A max}$	
Inactive	3.2			$\mu\text{A typ}$	Digital inputs = 0 V or V_L
Inactive, SCLK = 1 MHz			4.8	$\mu\text{A max}$	
	7			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V or }V_L, V_L = 3\text{ V}$
SCLK = 50 MHz	210			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V or }V_L, V_L = 3\text{ V}$
Inactive, SDI = 1 MHz				$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V or }V_L, V_L = 3\text{ V}$
	7.5			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V or }V_L, V_L = 3\text{ V}$
SDI = 25 MHz	120			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V or }V_L, V_L = 3\text{ V}$
Active at 50 MHz	0.7			mA typ	Digital inputs toggle between 0 V and $V_L, V_L = 2.7\text{ V}$
V_{DD}			1.0	mA max	
			3.3	V min	$\text{GND} = 0\text{ V}, V_{SS} = 0\text{ V}$
			16	V max	$\text{GND} = 0\text{ V}, V_{SS} = 0\text{ V}$

チャンネルごとの連続電流 (Sx または Dx)

表 5. 4 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx				
$V_{DD} = +5\text{ V}$, $V_{SS} = -5\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	315	194	106	mA max
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	330	200	108	mA max
$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	249	161	96	mA max
$V_{DD} = 3.3\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	203	137	87	mA max

表 6. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx				
$V_{DD} = +5\text{ V}$, $V_{SS} = -5\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	566	292	126	mA max
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	591	301	127	mA max
$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	450	251	120	mA max
$V_{DD} = 3.3\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 60^\circ\text{C/W}$)	366	218	113	mA max

タイミング特性

特に指定のない限り、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 、すべての仕様で $T_{MIN} \sim T_{MAX}$ 。

表 7.

Parameter	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	20	ns min	SCLK period
t_2	8	ns min	SCLK high pulse width
t_3	8	ns min	SCLK low pulse width
t_4	10	ns min	\overline{CS} falling edge to SCLK rising edge
t_5	6	ns min	Data setup time
t_6	8	ns min	Data hold time
t_7	10	ns min	SCLK active edge to \overline{CS} rising edge
t_8	20	ns max	\overline{CS} falling edge to SDO data available
t_9^1	20	ns max	SCLK falling edge to SDO data available
t_{10}	20	ns max	\overline{CS} rising edge to SDO returns to high impedance
t_{11}	20	ns min	\overline{CS} high time between SPI commands
t_{12}	8	ns min	\overline{CS} falling edge to SCLK becomes stable
t_{13}	8	ns min	\overline{CS} rising edge to SCLK becomes stable

¹ V_L および 20 pF 負荷に対して 1 k Ω プルアップ抵抗で測定。 t_9 パラメータは、SDO が使用される場合の最大 SCLK 周波数を決定します。

タイミング図

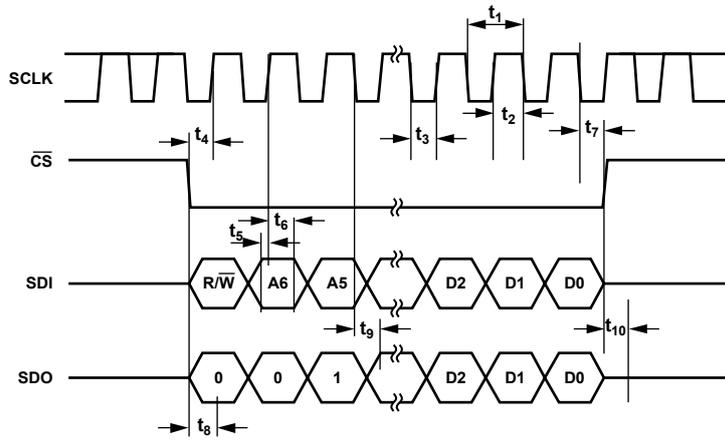


図 2. アドレス・モードのタイミング図

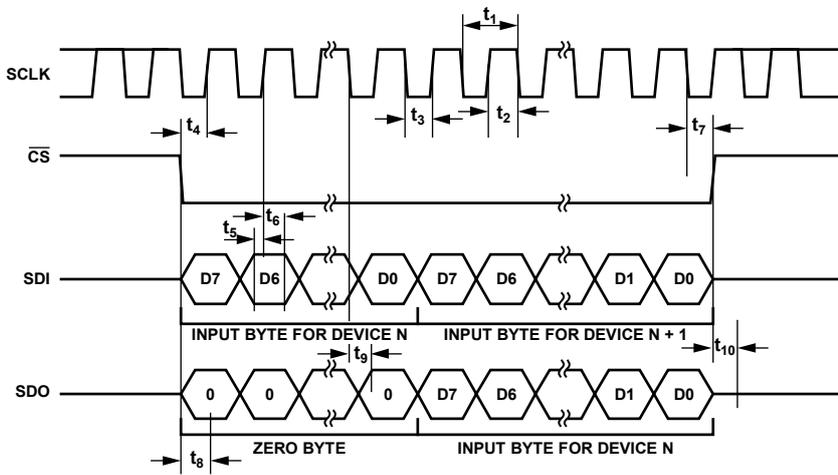


図 3. デイジー・チェーンのタイミング図

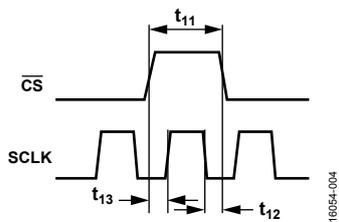


図 4. SCLK/CS のタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 8.

Parameter	Rating
V_{DD} to V_{SS}	18 V
V_{DD} to GND	-0.3 V to +18 V
V_{SS} to GND	+0.3 V to -18 V
RESET/ V_L to GND	
$V_{DD} \leq 5.5$ V	-0.3 V to $V_{DD} + 0.3$ V
$V_{DD} > 5.5$ V	-0.3 V to +6 V
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3 V to +6 V
Peak Current, Sx or Dx Pins ²	546 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx ^{2,3}	Data + 15%
Temperature Ranges	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb-Free	260°C

¹ デジタル、Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

³ 表 5 および 表 6 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定される、周囲温度とジャンクション温度の間の熱抵抗です。 θ_{JC} は、ジャンクション温度とケース温度の間の熱抵抗です。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-24-17 ¹	60	13	°C/W

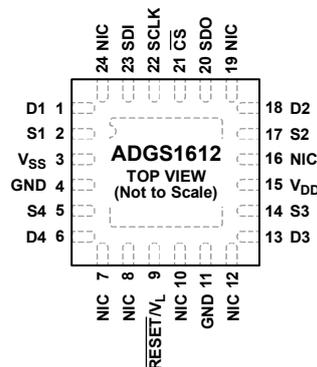
¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES**
1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V_{SS} .
 2. NIC = NOT INTERNALLY CONNECTED.

16054-0/05

図 5. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1	D1	ドレイン端子 1。このピンは、入力または出力に設定できます。
2	S1	ソース端子 1。このピンは、入力または出力に設定できます。
3	V_{SS}	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
4、11	GND	グラウンド・リファレンス (0 V)。
5	S4	ソース端子 4。このピンは、入力または出力に設定できます。
6	D4	ドレイン端子 4。このピンは、入力または出力に設定できます。
7、8、10、12、16、19、24	NIC	内部では未接続。これらピンは、内部では接続されません。
9	$\overline{\text{RESET}}/V_L$	リセット/ロジック電源入力。通常動作では、2.7 V ~ 5.5 V の電源で $\overline{\text{RESET}}/V_L$ ピンを駆動します。ハードウェア・リセットを完了するには、このピンをローにプルダウンします。すべてのスイッチが開放され、適切なレジスタがデフォルト値に設定されます。
13	D3	ドレイン端子 3。このピンは、入力または出力に設定できます。
14	S3	ソース端子 3。このピンは、入力または出力に設定できます。
15	V_{DD}	正電源の電位。
17	S2	ソース端子 2。このピンは、入力または出力に設定できます。
18	D2	ドレイン端子 2。このピンは、入力または出力に設定できます。
20	SDO	シリアル・データ出力多数のデバイスをデジタイズ・チェーン接続したり、診断のためにレジスタに保存されているデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を V_L にプルダウンします。
21	$\overline{\text{CS}}$	アクティブ・ローのコントロール入力。 $\overline{\text{CS}}$ は、入力データのフレーム同期化信号です。 $\overline{\text{CS}}$ がロー・レベルになると、SCLK バッファの電源がオンになり、入力シフト・レジスタが有効になります。データは次のクロックの立下がりエッジで転送されます。 $\overline{\text{CS}}$ がハイ・レベルになると、スイッチ条件が更新されます。
22	SCLK	シリアル・クロック入力。SCLK の立上がりエッジでデータがキャプチャされます。データは最大 50 MHz のレートで転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立上がりエッジでデータがキャプチャされます。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、このエクスポーズド・パッドを基板 V_{SS} にハンダ付けすることを推奨します。

代表的な性能特性

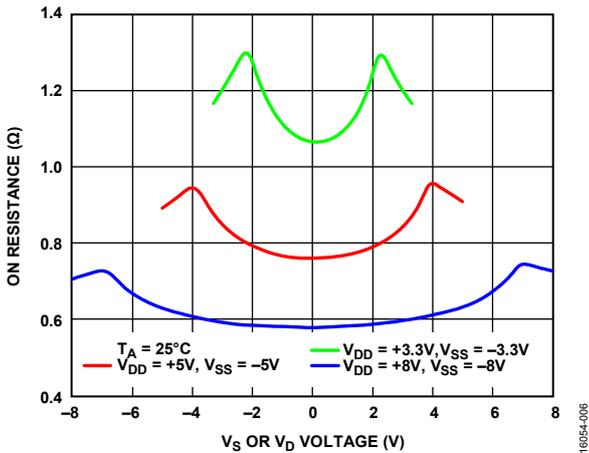


図 6. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、(両電源)

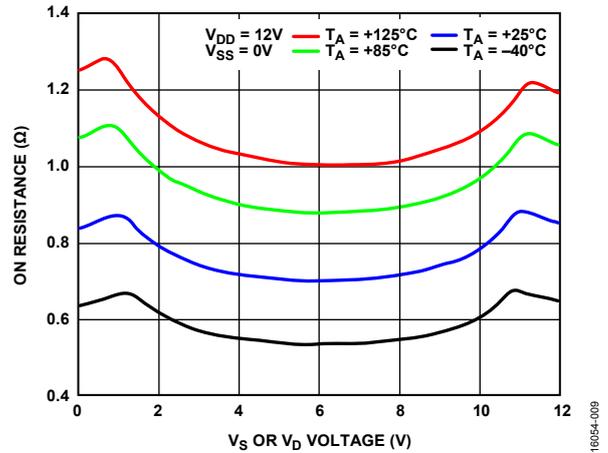


図 9. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 12 V 単電源

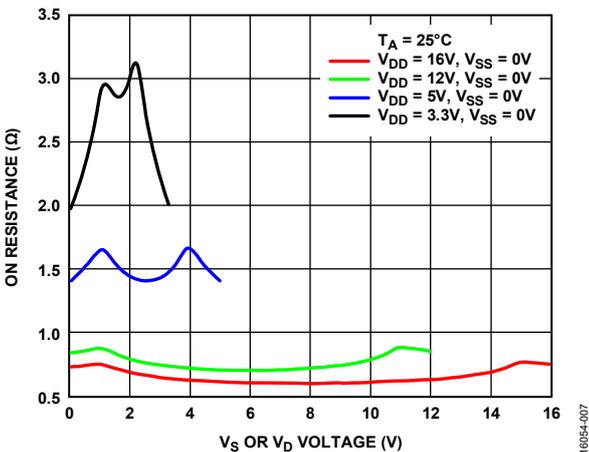


図 7. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、(単電源)

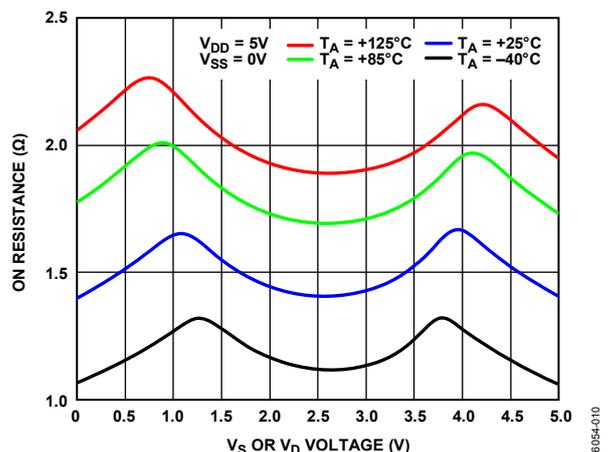


図 10. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 5 V 単電源

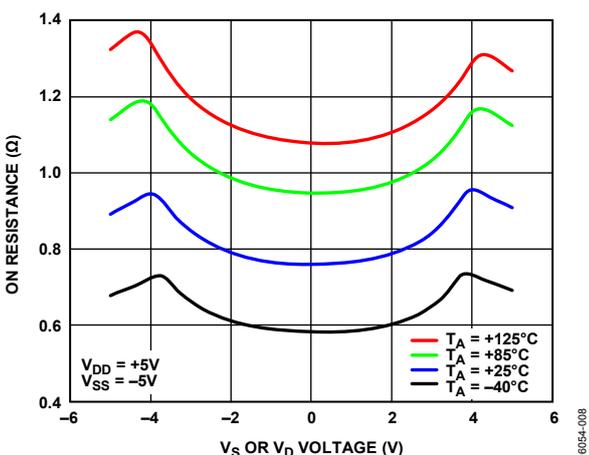


図 8. V_S (V_D) と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 5 V 両電源

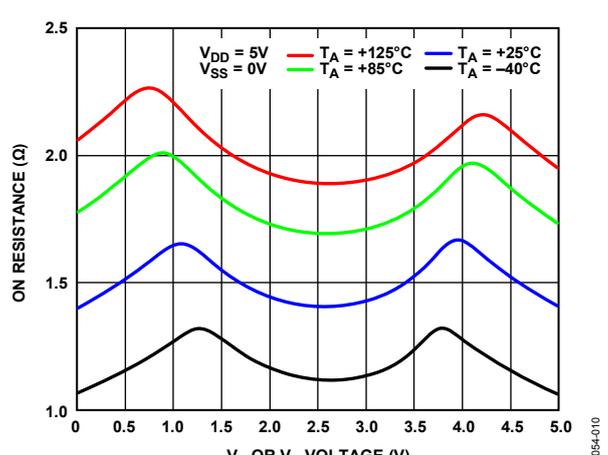


図 11. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 3.3 V 単電源

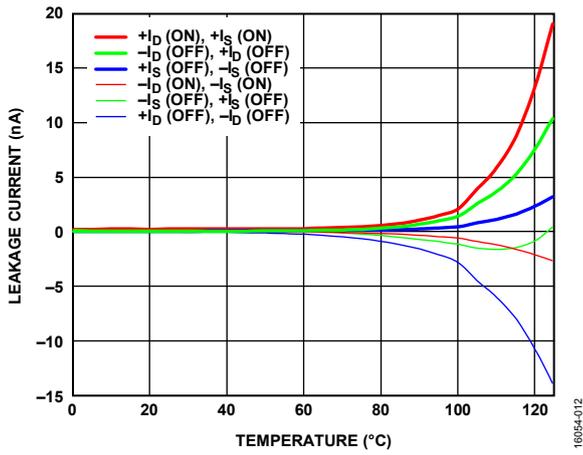


図 12. リーク電流の温度特性、±5 V 両電源

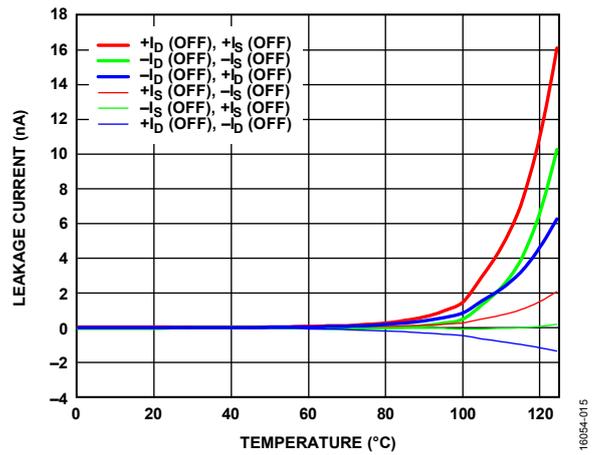


図 15. リーク電流の温度特性、3.3 V 単電源

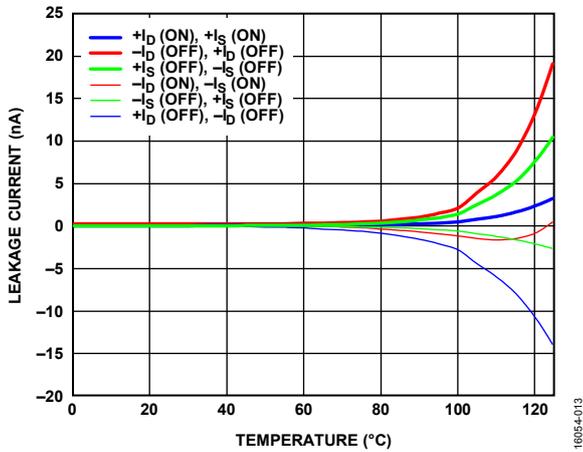


図 13. リーク電流の温度特性、12 V 単電源

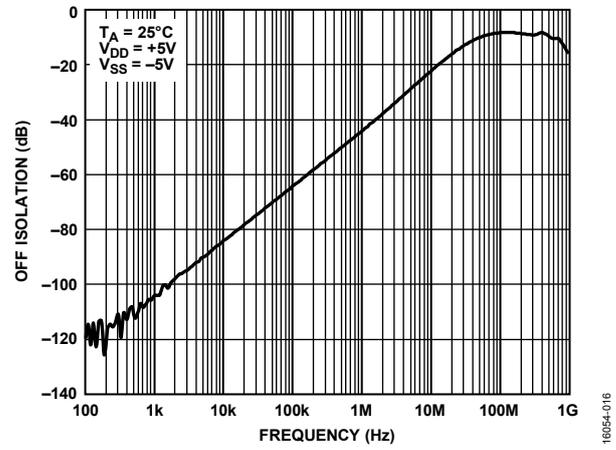


図 16. オフ・アイソレーションの周波数特性、±5 V 両電源

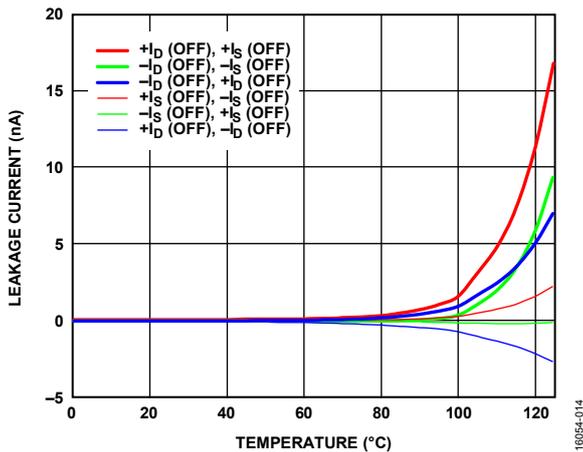


図 14. リーク電流の温度特性、5 V 単電源

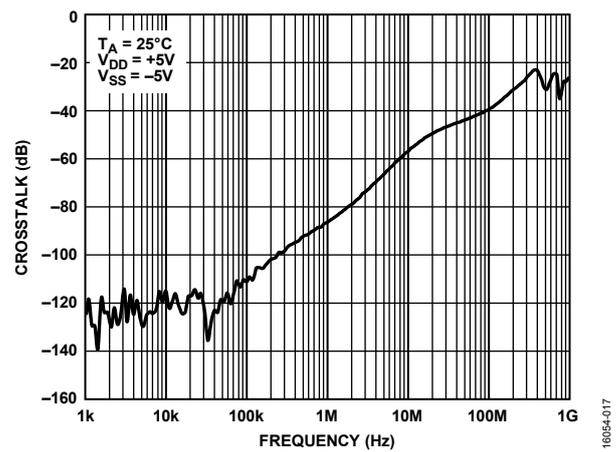


図 17. クロストークの周波数特性、±5 V 両電源

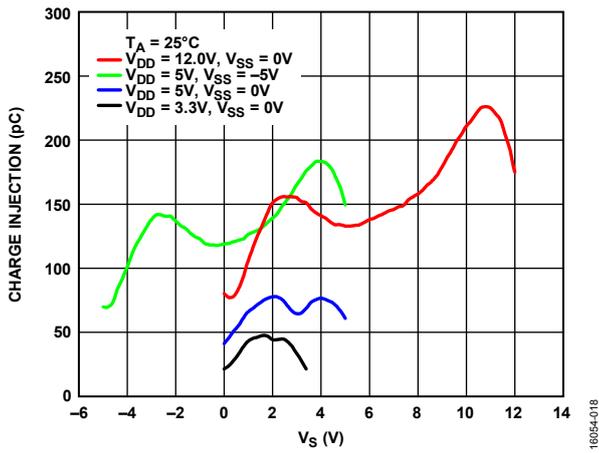


図 18. チャージ・インJECTIONとソース電圧、 V_S の関係

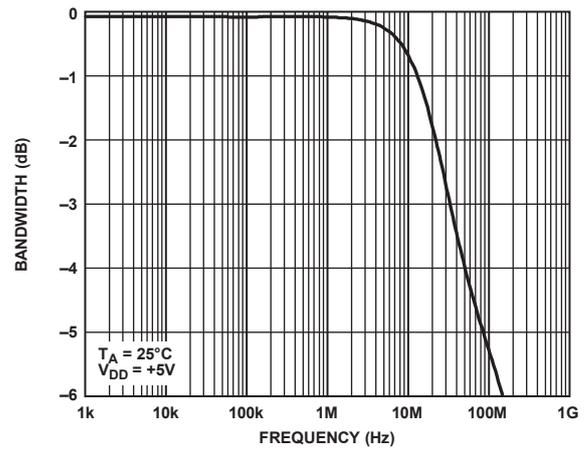


図 21. 帯域幅

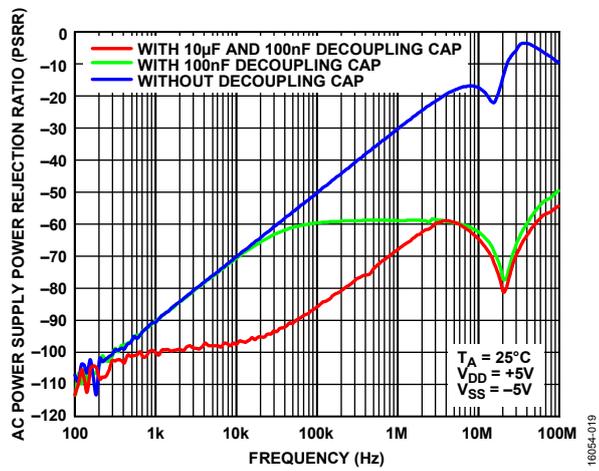


図 19. AC 電源電圧変動除去比 (AC PSRR) と周波数の関係、 $\pm 5V$ 両電源

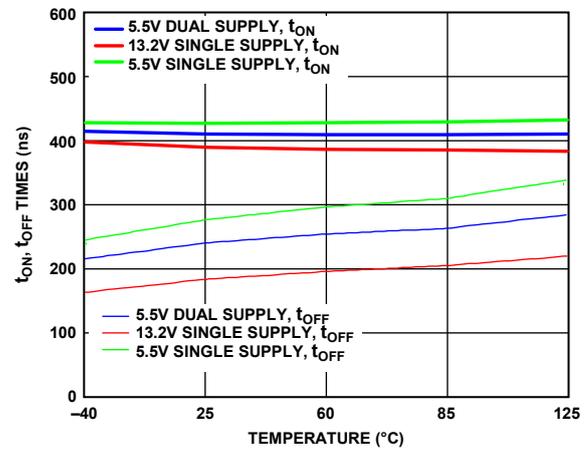


図 22. t_{ON} 、 t_{OFF} の温度特性、 $V_L = 5.5V$

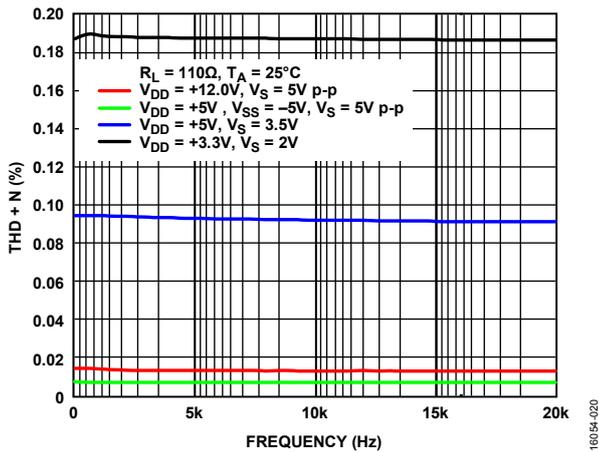


図 20. THD + N の周波数特性、 $\pm 5V$ 両電源

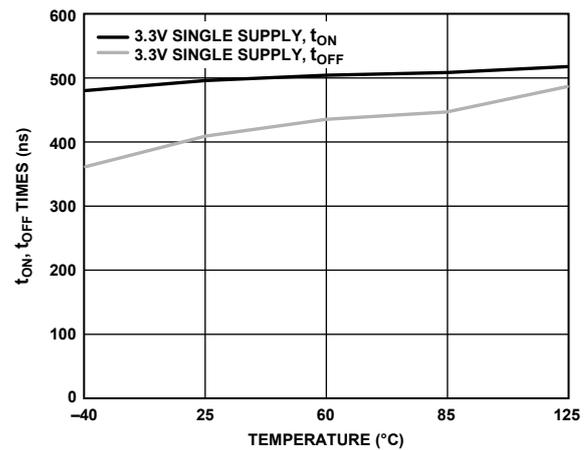


図 23. t_{ON} 、 t_{OFF} の温度特性、 $V_L = 3.3V$

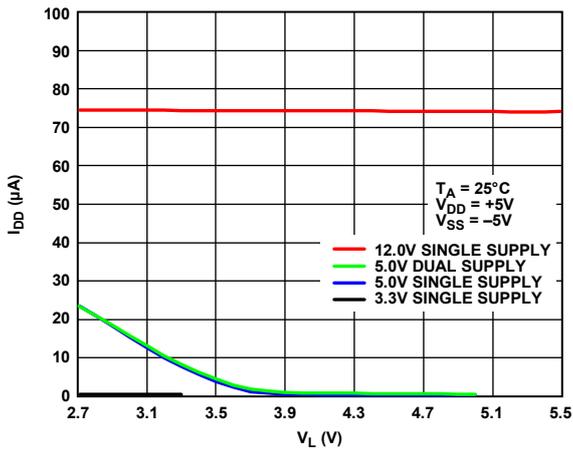


図 24. I_{DD} と V_L の関係

16054-024

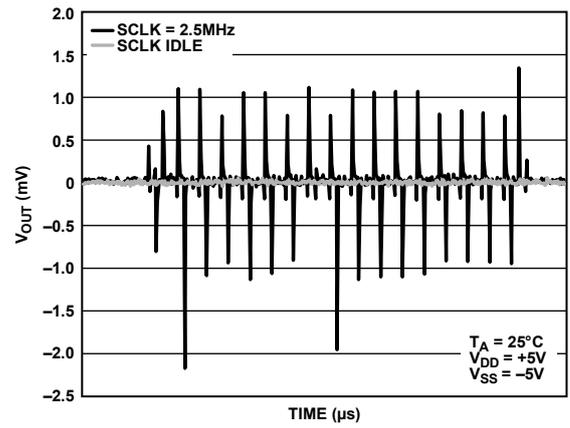


図 26. デジタル・フィードスルー

16054-026

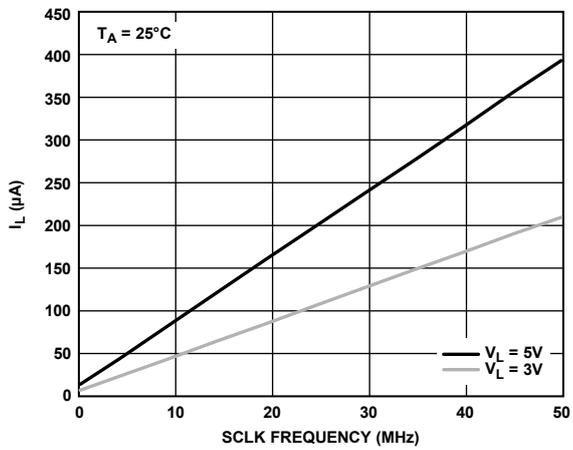


図 25. \overline{CS} がハイの場合の I_L の SCLK 周波数特性

16054-025

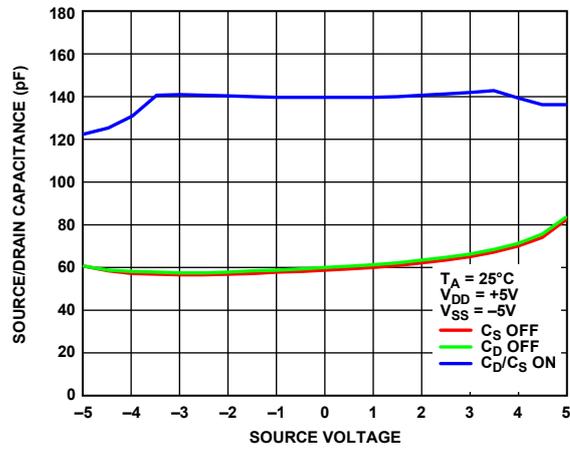


図 27. ソース/ドレイン容量とソース電圧 (V_S) の関係

16054-027

テスト回路

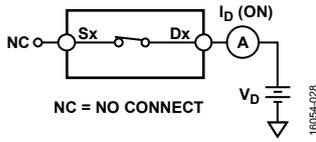


図 28. オン・リーク

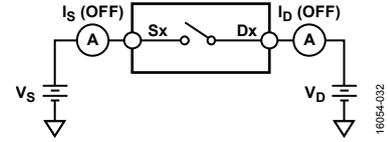


図 32. オフ・リーク

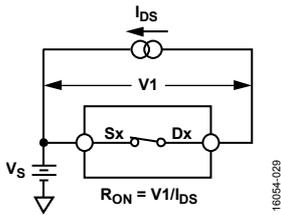


図 29. オン抵抗

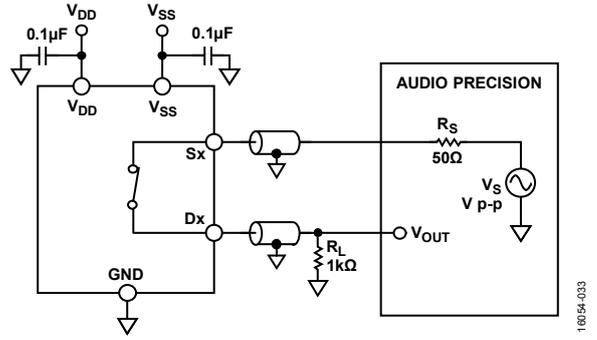


図 33. THD + N

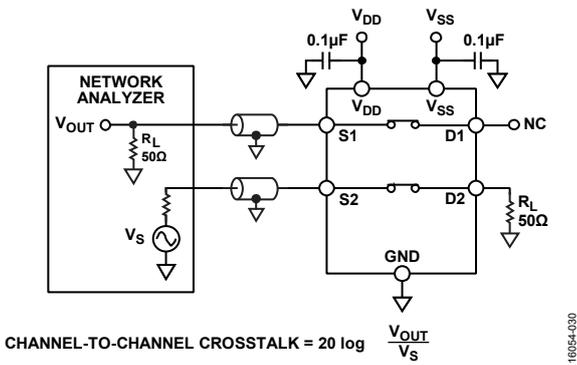


図 30. チャンネル間クロストーク

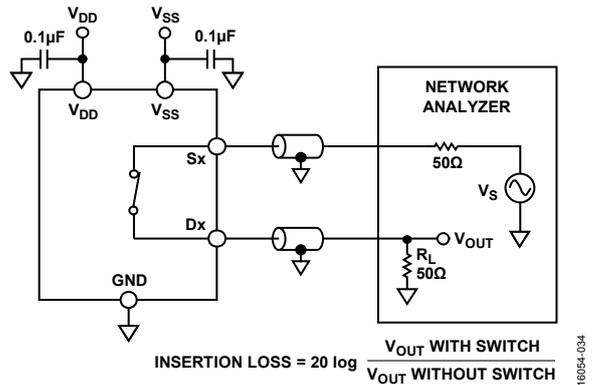


図 34. 帯域幅

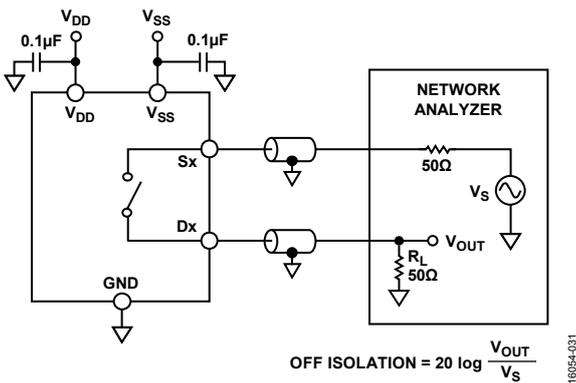


図 31. オフ・アイソレーション

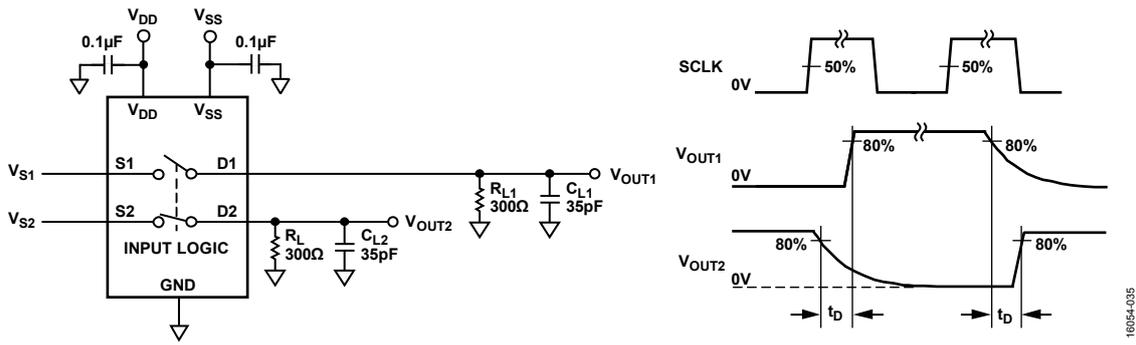


図 35. ブレークビフォアメイクの遅延時間、 t_d

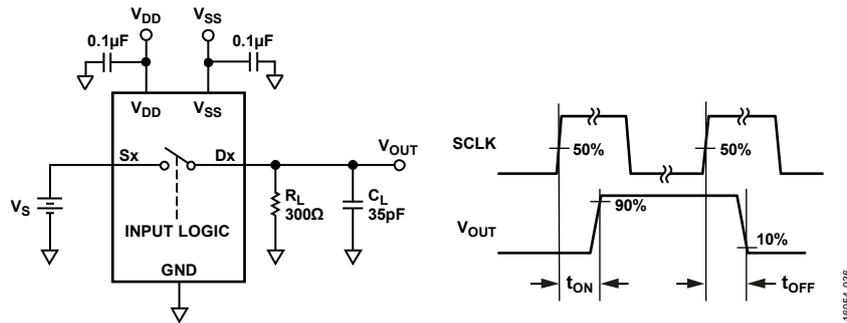


図 36. スイッチング時間

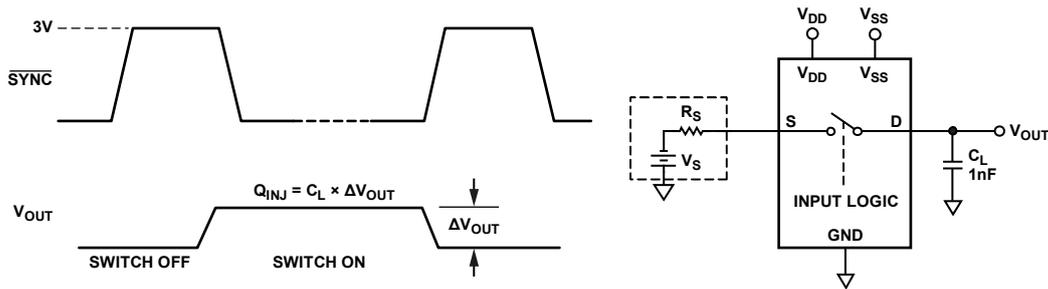
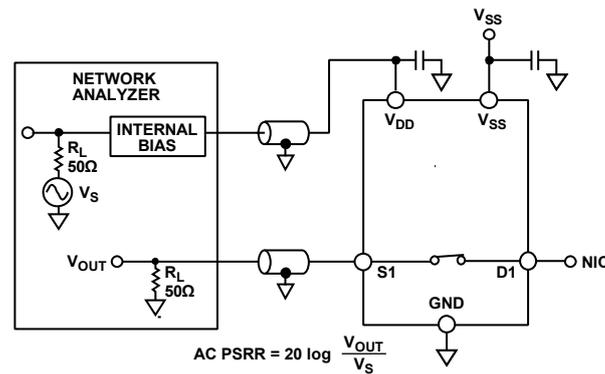


図 37. チャージ・インジェクション



NOTES
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.

図 38. AC PSRR

用語の定義

I_{DD} 正の電源電流。	C_D (On) 、 C_S (On) スイッチ・オン時の容量。グラウンドを基準として測定。
I_{SS} 負の電源電流。	C_{IN} デジタル入力容量。
V_D、 V_S 端子 D と端子 S のアナログ電圧。	t_{ON} デジタル・コントロールで入力と出力をオンにする間の遅延。
R_{ON} 端子 D と端子 S の間の抵抗。	t_{OFF} デジタル・コントロールで入力と出力をオフにする間の遅延。
ΔR_{ON} 任意の 2 チャンネル間の R _{ON} の差。	t_D あるアドレス状態から別のアドレス状態へ切り替わる時、両方のスイッチの 80 % ポイント間で測定されるオフ時間。
R_{FLAT (ON)} 仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として表現される抵抗値の平坦性。	オフ・アイソレーション オフ・スイッチから混入する不要な信号の大きさ。
I_S (Off) スイッチ・オフ時のソース・リーク電流。	チャージ・インジェクション 切り替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。
I_D (Off) スイッチ・オフ時のドレイン・リーク電流。	クロストーク 寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。
I_D (On) 、 I_S (On) スイッチ・オン時のチャンネル・リーク電流。	帯域幅 出力が 3 dB 減衰する周波数。
I_{DS} ドレイン・ソース電流。	オン応答 オン状態にあるスイッチの周波数応答。
V_I スイッチ S _x と D _x の間の電圧降下	挿入損失 スイッチのオン抵抗に起因する損失。
V_{INL} ロジック 0 の最大入力電圧。	全高調波歪み + ノイズ (THD + N) 基本波成分に対する全高調波成分 + 信号ノイズの比。
V_{INH} ロジック 1 の最小入力電圧。	AC 電源変動除去比 (AC PSRR) 変調振幅に対する出力信号の振幅の比。AC PSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が、0.62 V p-p の正弦波で変調されます。
I_{INL}、 I_{INH} デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。	
C_D (Off) スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。	
C_S (Off) スイッチ・オフ時のソース容量。グラウンドを基準として測定。	

動作原理

ADGS1612は、エラー検出機能を備えたシリアル制御、クワッドSPSTスイッチのセットです。SPIモード0およびSPIモード3をデバイスと組み合わせると、最大50MHzのSCLK周波数で動作させることができます。ADGS1612のデフォルト・モードは、アドレス・モードで、デバイスのレジスタには \overline{CS} によって分割された16ビットのSPIコマンドでアクセスします。CRCエラー検出が有効な場合、SPIコマンドは24ビットになります。その他のエラー検出機能には、SCLKカウント・エラーや無効な読出し/書込みエラーがあります。これらのSPIインターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS1612は、バースト・モードとデジィ・チェーン・モードでも動作します。

ADGS1612のインターフェース・ピンは、 \overline{CS} 、SCLK、SDI、およびSDOです。SPIインターフェースを使用する場合は、 \overline{CS} をローにします。データはSCLKの立ち上がりエッジ発生時にSDIピンでキャプチャされ、SCLKの立下がりエッジ発生時にSDOピンで伝搬されます。SDOはオープンドレイン出力を備えているので、プルアップ抵抗をこの出力に接続します。ADGS1612を使用してもローにならない場合、SDOは高インピーダンス状態になります。

アドレス・モード

アドレス・モードは、電源投入時のADGS1612のデフォルト・モードです。アドレス・モードでは、単一のSPIフレームが \overline{CS} 立下がりエッジと後続の \overline{CS} 立ち上がりエッジによって分割されます。SPIフレームは、16SCLKサイクルで構成されます。アドレス・モードのタイミング図を図39に示します。最初のSDIビットを使用して、SPIコマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが0に設定されている場合は、書込みコマンドが実行されます。最初のビットが1に設定されている場合は、読出しコマンドが実行されます。次の7ビットはターゲット・レジスタのアドレスを決定します。残りの8ビットは、指定されたレジスタへデータを提供します。読出しコマンド実行中のクロック・サイクルでは、アドレス指定されたレジスタに含まれるデータがSDOによって伝搬されるため、最後の8ビットは無視されます。

SPIコマンドのターゲット・レジスタのアドレスは、8番目のSCLK立ち上がりエッジで決定されます。このレジスタのデータは、SPIの読出し中に9～16番目のSCLK立下がりエッジでSDOに伝搬さ

れます。レジスタへの書込みは、SPI書込み中に16番目のSCLK立ち上がりエッジで発生します。

SPIコマンドの実行中、SDOは初めの8つのSCLK立下がりエッジで8つのアライメント・ビットを送信します。SDOから送信されるアライメント・ビットは、0x25です。

エラー検出機能

SPIインターフェースでは、プロトコルと通信のエラーを検出できます。不正なSCLKエラー、無効な読出し/書込みアドレスのエラー、CRCエラーの3つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するイネーブル・ビットがあります。さらに、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

巡回冗長検査 (CRC) エラーの検出

CRCエラー検出機能では、有効なSPIフレームが8つのSCLKサイクル分だけ拡張されます。8つの追加サイクルは、SPIフレームのCRCバイトを送信するために必要です。CRCバイトは、16ビットのペイロードを使用してSPIブロックによって計算されます。ペイロードは、R/Wビット、アドレス・ビット[6:0]、データ・ビット[7:0]で構成されます。SPIブロックで使用されるCRC多項式は、 $x^8 + x^2 + x^1 + 1$ 、シード値は0です。CRCを有効にした場合のタイミング図については、図40を参照してください。レジスタへの書込みは、CRCエラー・チェックを有効にした場合に24番目のSCLK立ち上がりエッジで発生します。

SPI書込み中に、マイクロコントローラ/CPUは、SDI経由でCRCバイトを出力します。SPIブロックは、24番目のSCLK立ち上がりエッジの直前にCRCバイトをチェックします。同じエッジで、SPIインターフェースから不正なCRCバイトが受信されると、レジスタへの書込みは阻止されます。CRCエラー・フラグは、不正なCRCバイトが検出された場合にエラー・フラグ・レジスタでアサートされます。

SPIの読出しを実行中、CRCバイトはSDOからマイクロコントローラに出力されます。

CRCエラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

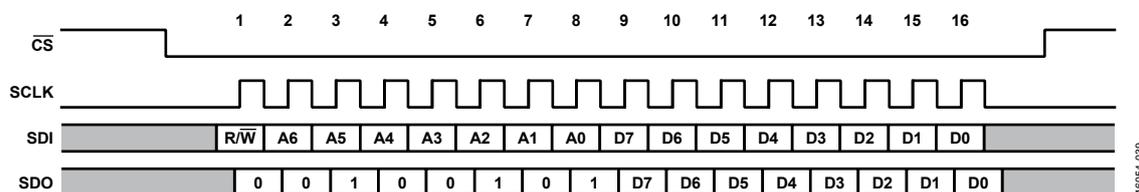


図 39. アドレス・モードのタイミング図

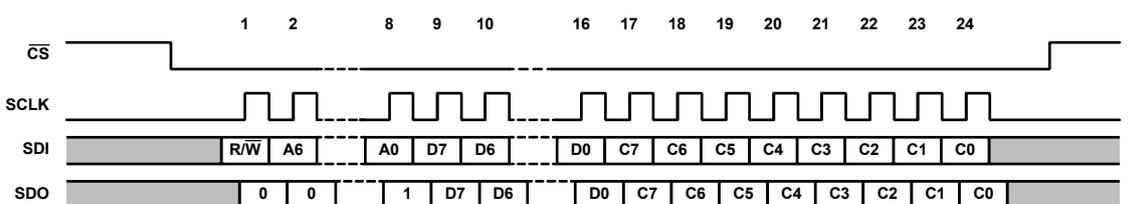


図 40. CRC が有効な場合のタイミング図

SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラまたは CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 未満の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書込みは発生しません。ADGS1612 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 です。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

無効な読出し／書込みアドレス・エラー

存在しないレジスタ・アドレスが読出しまたは書込みのターゲットになると、無効な読出し／書込みアドレス・エラーが検出されます。さらに、このエラーは、読出し専用レジスタに書出しが試行された場合にもアサートされます。無効な読出し／書込みアドレス・エラーが発生すると、エラー・フラグ・レジスタで無効な読出し／書込みアドレス・エラー・フラグがアサートされます。無効な読出し／書込みアドレス・エラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書込みは発生しません。無効な読出し／書込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

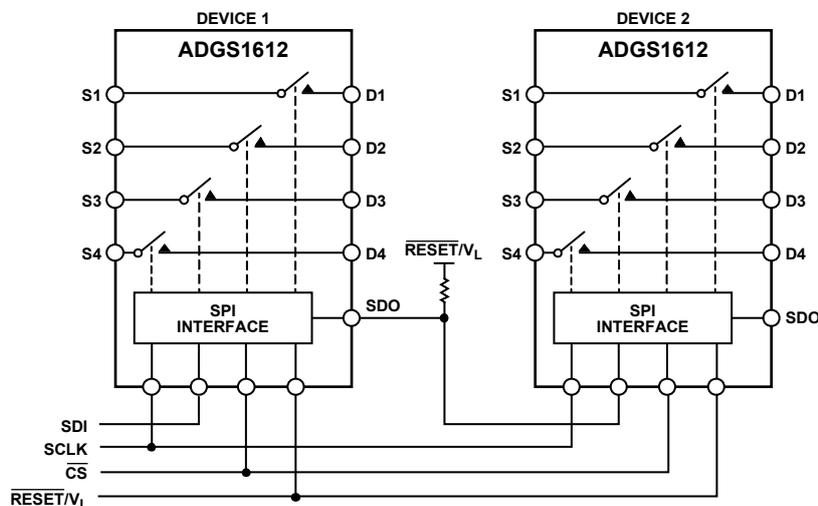


図 42. デイジー・チェーン構成で接続された 2 台の SPI 制御スイッチ

バースト・モード

SPI インターフェースでは、 \overline{CS} ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。さらに、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 41 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し／書込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の \overline{CS} フレーム内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

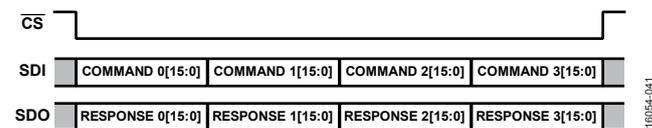


図 41. バースト・モード・フレーム

ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド（つまり 0xA3 と 0x05）の書込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

デイジー・チェーン・モード

デイジー・チェーン設定では、複数の ADGS1612 デバイスを接続できます。図 42 に、このセットアップを示します。すべてのデバイスが同じ \overline{CS} と SCLK ラインを共有し、あるデバイスの SDO ピンが次のデバイスの SDI ピンに接続され、シフト・レジスタが作成されます。デイジー・チェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デイジー・チェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デイジー・チェーン・モードでは設定を変更できません。

ADGS1612は、アドレス・モードで16ビットのSPIコマンド0x2500 (図43を参照)を送信した場合のみ、デジジー・チェーン・モードに移行できます。ADGS1612がこのコマンドを受信すると、デバイスのSDOが同じコマンドを送信します。SDOのアライメント・ビットが0x25であることが理由です。これにより、デジジー・チェーン接続された複数のデバイスを1つのSPIフレームでデジジー・チェーン・モードに移行できます。デジジー・チェーン・モードを終了するには、ハードウェア・リセットが必要です。

通常のデジジー・チェーンSPIフレームのタイミング図については、図44を参照してください。 \overline{CS} がハイになると、デバイス1はコマンド0、ビット[7:0]をスイッチ・データ・レジスタに書き込みます。デバイス2はコマンド1、ビット[7:0]をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPIブロックでは、SDIから受信した最後の8ビットを使用してスイッチが更新されます。デジジー・チェーン・モードに移行した後、チェーン内の各デバイスに搭載されたSDOから送信される最初の8ビットは0x00です。 \overline{CS} がハイになると、内部シフト・レジスタ値は0にリセットされません。

SCLKの立上がりエッジでは、SDIからデータが読み出されます。一方、SCLKの立下がりエッジでは、SDOからデータが伝搬されます。 \overline{CS} がハイになるまでSCLKサイクルが発生する回数は、8の倍数になる必要があります。そうでない場合、SPIインターフェースは受信した最後の8ビットをスイッチ・データ・レジスタに送信します。

パワーオン・リセット

ADGS1612のデジタル・セクションは、 V_L の電源投入時に初期化フェーズに移行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。 V_L の電源投入またはリセットの後、少なくとも120 μ s経過してからSPIコマンドを発行します。120 μ sの初期化フェーズでは、 V_L がドロップアウトしないよう注意してください。 V_L がドロップアウトすると、ADGS1612で異常な動作が発生する可能性があります。

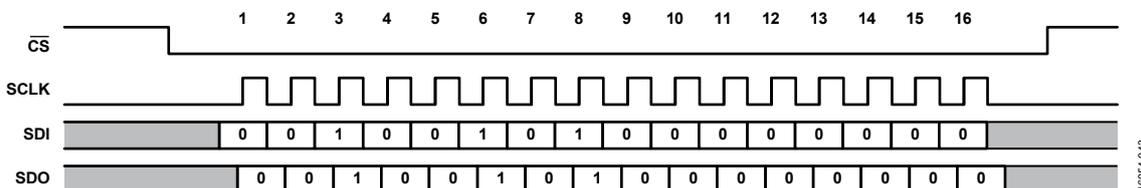


図 43. デジジー・チェーン・モードに移行する SPI コマンド

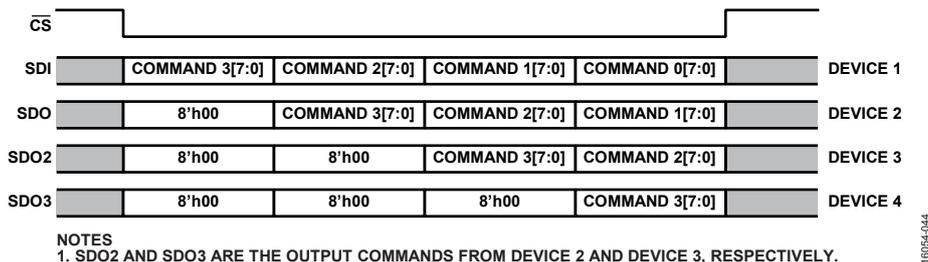


図 44. デジジー・チェーン・モードで4台のADGS1612デバイスが接続されるSPIフレームの例

アプリケーション情報

ブレークビフォアメークのスイッチング

ADGS1612はブレークビフォアメークのスイッチング動作を示すので、デバイスをマルチプレクサとして使用できます。マルチプレクサは、外部配線を使用してデバイスを目的のMUXに構成することで実現できます（図45を参照）。

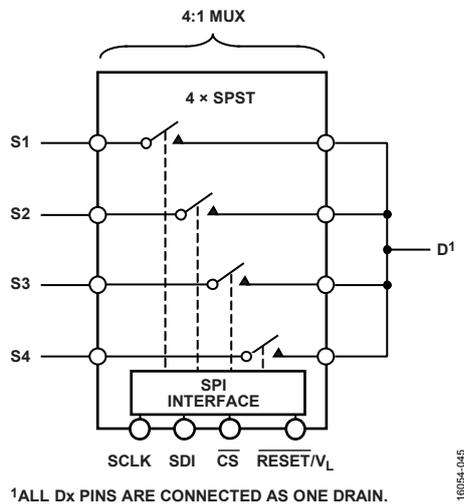


図 45. 4:1 Mux に構成された SPI 制御スイッチ

デジタル入力バッファ

デジタル入力ピン、 \overline{CS} 、SCLK、SDI には入力バッファがあります。これらのバッファは、常にアクティブです。そのため、 \overline{CS} がアクティブであるかどうかに関係なく、SCLK または SDI がトグルすると、 V_L 電源から電源が流れます。この電流引き込みの代表値については、仕様のセクションと図26のセクションを参照してください。

電源レール

ADGS1612 の正常な動作を確保するには、 $0.1 \mu\text{F}$ のデカップリング・コンデンサが必要です。

ADGS1612 は、 $\pm 3.3 \text{ V} \sim \pm 8 \text{ V}$ のバイポーラ電源で動作することができます。 V_{DD} と V_{SS} に接続した電源が対称である必要はありませんが、 V_{DD} と V_{SS} の範囲が 16 V を超えてはいけません。また、ADGS1612 は、 V_{SS} を GND に接続した $3.3 \text{ V} \sim 16 \text{ V}$ の単電源で動作することもできます。

V_L に供給できる電圧範囲は $2.7 \text{ V} \sim 5.5 \text{ V}$ です。

デバイスは $\pm 5 \text{ V}$ 、 12 V 、 5 V 、 3.3 V のアナログ電圧範囲で仕様規定されています。

レジスタの一覧

表 11. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW
0x01	SW_DATA	[7:0]	RESERVED				SW4_EN	SW3_EN	SW2_EN	SW1_EN	0x00	R/W
0x02	ERR_CONFIG	[7:0]	RESERVED				RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W	
0x03	ERR_FLAGS	[7:0]	RESERVED				RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R	
0x05	BURST_EN	[7:0]	RESERVED							BURST_MODE_EN	0x00	R/W
0x0B	SOFT_RESETB	[7:0]	SOFT_RESETB							0x00	R/W	

レジスタの詳細

スイッチ・データ・レジスタ

アドレス: 0x01、リセット: 0x00、レジスタ名: SW_DATA

スイッチ・データ・レジスタは、ADGS1612の4つのスイッチのステータスを制御します。

表 12. SW_DATA のビットの説明

Bits	Bit Name	Settings	Description	Default	Access
[7:4]	RESERVED		These bits are reserved; set these bits to 0.	0x0	R
3	SW4_EN	0 1	Enable bit for SW4. SW4 open. SW4 closed.	0x0	R/W
2	SW3_EN	0 1	Enable bit for SW3. SW3 open. SW3 closed.	0x0	R/W
1	SW2_EN	0 1	Enable bit for SW2. SW2 open. SW2 closed.	0x0	R/W
0	SW1_EN	0 1	Enable bit for SW1. SW1 open. SW1 closed.	0x0	R/W

エラー設定レジスタ

アドレス: 0x02、リセット: 0x06、レジスタ名: ERR_CONFIG

エラー設定レジスタでは、必要に応じて関連するエラー機能を有効または無効にできます。

表 13. ERR_CONFIG のビットの説明

Bits	Bit Name	Settings	Description	Default	Access
[7:3]	RESERVED		These bits are reserved; set these bits to 0.	0x0	R
2	RW_ERR_EN	0 1	Enable bit for detecting an invalid read/write address. Disabled. Enabled.	0x1	R/W
1	SCLK_ERR_EN	0 1	Enable bit for detecting the correct number of SCLK cycles in an SPI frame. When CRC is disabled and burst mode is disabled, 16 SCLK cycles are expected. When CRC is enabled and burst mode is disabled, 24 SCLK cycles are expected. A multiple of 16 SCLK cycles is expected when CRC is disabled and burst mode is enabled. A multiple of 24 SCLK cycles is expected when CRC is enabled and burst mode is enabled.	0x1	R/W
0	CRC_ERR_EN	0 1	Enable bit for CRC error detection. SPI frames must be 24 bits wide when enabled. Disabled. Enabled.	0x0	R/W

エラー・フラグ・レジスタ**アドレス: 0x03、リセット: 0x00、レジスタ名: ERR_FLAGS**

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込む必要があります。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 14. ERR_FLAGS のビットの説明

Bits	Bit Name	Settings	Description	Default	Access
[7:3]	RESERVED		These bits are reserved and are set to 0.	0x0	R
2	RW_ERR_FLAG	0 1	Error flag for invalid read/write address. The error flag asserts during an SPI read if the target address does not exist. The error flag also asserts when the target address of an SPI write does not exist or is read only. No error. Error.	0x0	R
1	SCLK_ERR_FLAG	0 1	Error flag for the detection of the correct number of SCLK cycles in an SPI frame. No error. Error.	0x0	R
0	CRC_ERR_FLAG	0 1	Error flag that determines if a CRC error occurs during a register write. No error. Error.	0x0	R

バースト・イネーブル・レジスタ**アドレス: 0x05、リセット: 0x00、レジスタ名: BURST_EN**

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 \overline{CS} をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 15. BURST_EN のビットの説明

Bits	Bit Name	Settings	Description	Default	Access
[7:1]	RESERVED		These bits are reserved; set these bits to 0.	0x0	R
0	BURST_MODE_EN	0 1	Burst mode enable bit. Disabled. Enabled.	0x0	R/W

ソフトウェア・リセット・レジスタ**アドレス: 0x0B、リセット: 0x00、レジスタ名: SOFT_RESETB**

このソフトウェア・リセット・レジスタは、ソフトウェア・リセットを実行するために使用されます。このレジスタに 0xA3 と 0x05 の順で書き込みを実行すると、デバイスのレジスタはデフォルトの状態にリセットされます。

表 16. SOFT_RESETB のビットの説明

Bits	Bit Name	Settings	Description	Default	Access
[7:0]	SOFT_RESETB		To perform a software reset, consecutively write 0xA3 followed by 0x05 to this register.	0x0	R/W

外形寸法

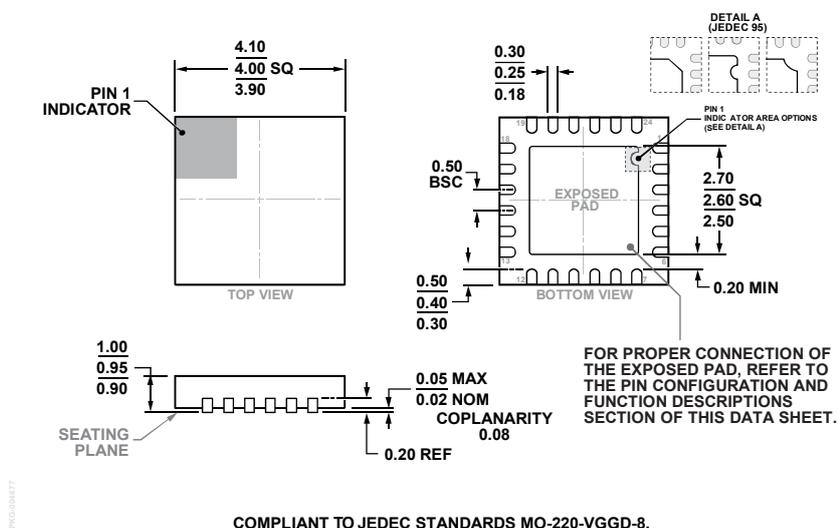


図 46. 24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディ、0.95 mm パッケージ高
 (CP-24-17)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADGS1612BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
ADGS1612BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
EVAL-ADGS1612SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品