



シリアル制御、1.5 Ω、オン抵抗、高電圧 iCMOS、クワッド SPST スイッチ

データシート

ADGS1412

特長

- エラー検出と SPI インタフェース
- CRC、無効な読出し/書込みアドレス、SCLK カウント・エラーの検出を含む
- バースト・モードとデジチェーン・モードをサポート
- 業界標準 SPI モード 0 およびモード 3 インタフェース互換
- 25 °C で 1.5 Ω (代表値) の抵抗値
- 25 °C で 0.3 Ω (代表値) のオン抵抗平坦性
- 25 °C で 0.1 Ω (代表値) のチャンネル間オン抵抗一致
- ±15 V、±5 V、+12 V の電源で仕様規定
- アナログ信号範囲: $V_{SS} \sim V_{DD}$

アプリケーション

- 自動試験装置
- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- オーディオ信号のルーティング
- ビデオ信号のルーティング
- 通信システム
- リレーからの置き換え

概要

ADGS1412 は 4 個の独立した単極双投 (SPST) スイッチを内蔵しています。シリアル周辺機器 (SPI) でスイッチを制御します。SPI インタフェースは、巡回冗長性チェック (CRC) エラーの検出、無効な読出し/書込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS1412 デバイスをデジチェーン接続できます。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。さらに、ADGS1412 をバースト・モードで動作して、SPI コマンド間の時間を削減できます。

iCMOS 構造により消費電力が極めて少ないため、携帯型の計装機器やバッテリー駆動の計装機器に最適なデバイスになっています。

各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源までの拡張された入力信号範囲を備えています。オフ状態では、電源までの信号レベルがブロックされます。

オン抵抗のプロファイルは、アナログ入力範囲全体にわたって平坦であるため、オーディオ信号をスイッチングする場合に優れた直線性と低歪みを実現します。

機能ブロック図

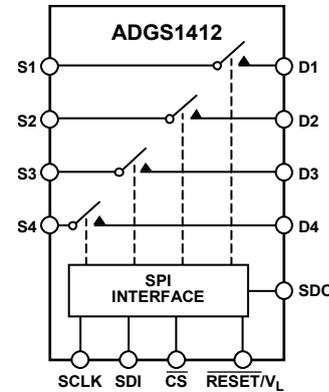


図 1.

製品のハイライト

- SPI インターフェースを搭載しているため、パラレル変換、ロジック・トレースの必要がなく、GPIO チャンネル数が減ります。
- デジチェーン・モードでは、複数のデバイスを使用する場合にロジック・トレースを追加する必要がありません。
- CRC エラーの検出、無効な読出し/書込みアドレスの検出、SCLK カウント・エラーの検出により、デジタル・インタフェースの信頼性が向上します。
- 安全度水準 (SIL) に互換。
- 最小の歪み。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	アドレス・モード	18
アプリケーション	1	エラー検出機能	18
機能ブロック図	1	エラー・フラグ・レジスタのクリア	19
概要	1	バースト・モード	19
製品のハイライト	1	ソフトウェア・リセット	19
改訂履歴	2	デイジーチェーン・モード	19
仕様	3	パワーオン・リセット	20
±15 V のデュアル電源	3	アプリケーション情報	21
±5 V のデュアル電源	4	電源レール	21
12 V の単電源	6	電源の推奨事項	21
チャンネルごとの連続電流 (Sx または Dx)	7	レジスタの一覧	22
タイミング特性	7	レジスタの詳細	23
絶対最大定格	9	スイッチ・データ・レジスタ	23
熱抵抗	9	エラー設定レジスタ	23
ESD に関する注意	9	エラー・フラグ・レジスタ	24
ピン配置およびピン機能の説明	10	バースト・イネーブル・レジスタ	24
代表的な性能特性	11	ソフトウェア・リセット・レジスタ	24
テスト回路	15	外形寸法	25
用語の定義	17	オーダー・ガイド	25
動作原理	18		

改訂履歴

10/2016—Revision 0: Initial Version

仕様

±15 V のデュアル電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	1.5			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$, see Figure 28
	1.8	2.3	2.6	Ω max	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.1			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	0.18	0.19	0.21	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.3			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	0.36	0.4	0.45	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.03			nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$
	± 0.55	± 2	± 12.5	nA max	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 31
Drain Off Leakage, I_D (Off)	± 0.03			nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 31
	± 0.55	± 2	± 12.5	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.15			nA typ	$V_S = V_D = \pm 10\text{ V}$, see Figure 27
	± 2	± 4	± 30	nA max	
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, V_{INL}			0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, I_{INL} or I_{INH}	0.001			μA typ	$V_{IN} = V_{GND}$ or V_L
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	4			pF typ	
Digital Output Capacitance, C_{OUT}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	115			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	135	150	160	ns max	$V_S = 10\text{ V}$, see Figure 34
t_{OFF}	160			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	190	210	225	ns max	$V_S = 10\text{ V}$, see Figure 34
Charge Injection, Q_{INJ}	-20			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 35
Off Isolation	-76			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 30
Channel to Channel Crosstalk	-100			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 29
Total Harmonic Distortion + Noise	0.014			% typ	$R_L = 110\ \Omega$, 15 V p-p , $f = 20\text{ Hz}$ to 20 kHz , see Figure 32
-3 dB Bandwidth	170			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 33
Insertion Loss	-0.2			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33
C_S (Off)	22			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	23			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	113			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
I _{DD}	0.001			μA typ	V _{DD} = +16.5 V, V _{SS} = -16.5 V All switches open
	220		1	μA max	
	230		380	μA typ	All switches closed, V _L = 5.5 V
I _L			380	μA max	All switches closed, V _L = 2.7 V
	Inactive	6.3		μA typ	Digital inputs = 0 V or V _L
			7	8.0	μA max
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V _L , V _L = 5.5 V
		2	2.1	mA max	
I _{SS}	0.001		1.0	mA max	Digital inputs toggle between 0 V and V _L , V _L = 2.7 V
			1.0	μA max	Digital inputs = 0 V or V _L
V _{DD} /V _{SS}			±4.5/±16.5	V min/V max	GND = 0 V

¹ 設計上の性能は確保していますが、出荷テストの対象外です。

±5 V のデュアル電源

特に指定がない限り、V_{DD} = +5 V ± 10 %、V_{SS} = -5 V ± 10 %、V_L = 2.7 V ~ 5.5 V、GND = 0 V。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			V _{DD} to V _{SS}	V	
On Resistance, R _{ON}	3.3			Ω typ	V _S = ±4.5 V, I _S = -10 mA, see Figure 28
On-Resistance Match Between Channels, ΔR _{ON}	4	4.9	5.4	Ω max	V _{DD} = +4.5 V, V _{SS} = -4.5 V
	0.13			Ω typ	V _S = ±4.5 V, I _S = -10 mA
On-Resistance Flatness, R _{FLAT(ON)}	0.22	0.23	0.25	Ω max	
	0.9			Ω typ	V _S = ±4.5 V, I _S = -10 mA
	1.1	1.24	1.31	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I _S (Off)	±0.03			nA typ	V _{DD} = +5.5V, V _{SS} = -5.5 V V _S = ±4.5 V, V _D = ∓ 4.5 V, see Figure 31
Drain Off Leakage, I _D (Off)	±0.55	±2	±12.5	nA max	
	±0.03			nA typ	V _S = ±4.5 V, V _D = ∓ 4.5 V, see Figure 31
Channel On Leakage, I _D (On), I _S (On)	±0.55	±2	±12.5	nA max	
	±0.05			nA typ	V _S = V _D = ±4.5V, see Figure 27
	±1.0	±4	±30	nA max	
DIGITAL INPUTS					
Input Voltage High, V _{INH}			2	V min	3.3 V < V _L ≤ 5.5 V
			1.35	V min	2.7 V ≤ V _L ≤ 3.3 V
Low, V _{INL}			0.8	V max	3.3 V < V _L ≤ 5.5 V
			0.8	V max	2.7 V ≤ V _L ≤ 3.3 V

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Input Current, I_{INL} or I_{INH}	0.001		±0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
Digital Output Capacitance, C_{OUT}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	265 350	390	430	ns typ ns max	$R_L = 300 \Omega$, $C_L = 35$ pF $V_S = 3$ V, see Figure 34
t_{OFF}	280 365	400	435	ns typ ns max	$R_L = 300 \Omega$, $C_L = 35$ pF $V_S = 3$ V, see Figure 34
Charge Injection, Q_{INJ}	10			pC typ	$V_S = 0$ V, $R_S = 0 \Omega$, $C_L = 1$ nF, see Figure 35
Off Isolation	-76			dB typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz, see Figure 30
Channel to Channel Crosstalk	-100			dB typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz, see Figure 29
Total Harmonic Distortion + Noise	0.03			% typ	$R_L = 110 \Omega$, 5 V p-p, $f = 20$ Hz to 20 kHz, see Figure 32
-3 dB Bandwidth	130			MHz typ	$R_L = 50 \Omega$, $C_L = 5$ pF, see Figure 33
Insertion Loss	-0.3			dB typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz, see Figure 33
C_S (Off)	32			pF typ	$V_S = 0$ V, $f = 1$ MHz
C_D (Off)	33			pF typ	$V_S = 0$ V, $f = 1$ MHz
C_D (On), C_S (On)	116			pF typ	$V_S = 0$ V, $f = 1$ MHz
POWER REQUIREMENTS					
I_{DD}	0.001			μA typ	$V_{DD} = +5.5$ V, $V_{SS} = -5.5$ V Digital inputs = 0 V or V_L , $V_L = 5.5$ V
	14		1.0 20	μA max μA typ μA max	All switches closed, $V_L = 2.7$ V
I_L					
Inactive	6.3		8.0	μA typ μA max	Digital inputs = 0 V or V_L
Active at 50 MHz	1.8		2.1	mA typ mA max	Digital inputs toggle between 0 V and V_L , $V_L = 5.5$ V
	0.7		1.0	mA max	Digital inputs toggle between 0 V and V_L , $V_L = 2.7$ V
I_{SS}	0.001		1.0	μA typ μA max	Digital inputs = 0 V or V_L
V_{DD}/V_{SS}			±4.5/±16.5	V min/V max	GND = 0 V

¹ 設計上の性能は確保していますが、出荷テストの対象外です。

12 V の単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	2.8			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$, see Figure 28
On-Resistance Match Between Channels, ΔR_{ON}	3.5 0.13	4.3	4.8	Ω max Ω typ	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.21 0.6 1.1	0.23	0.25 1.3	Ω max Ω typ Ω max	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.02			nA typ	$V_{DD} = 13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 31
Drain Off Leakage, I_D (Off)	± 0.55 ± 0.02	± 2	± 12.5	nA max nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 31
Channel On Leakage, I_D (On), I_S (On)	± 0.55 ± 0.15 ± 1.5	± 2	± 12.5 ± 30	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/10\text{ V}$, see Figure 27
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
Low, V_{INL}			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, I_{INL} or I_{INH}	0.001		0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
Digital Input Capacitance, C_{IN}	4		0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Digital Output Capacitance, C_{OUT}	4		± 0.1	μA typ μA max pF typ pF typ	$V_{IN} = V_{GND}$ or V_L
DYNAMIC CHARACTERISTICS¹					
t_{ON}	190 240	270	300	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 34
t_{OFF}	170 215	240	265	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 34
Charge Injection, Q_{INJ}	10			pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 35
Off Isolation	-76			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 30
Channel to Channel Crosstalk	-100			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 29
Total Harmonic Distortion + Noise	0.06			% typ	$R_L = 110\ \Omega$, 6 V p-p, $f = 20\text{ Hz}$ to 20 kHz, see Figure 32
-3 dB Bandwidth	130			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 33
Insertion Loss	-0.3			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33
C_S (Off)	29			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	30			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	116			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
I_{DD}	0.001			$\mu\text{A typ}$	$V_{DD} = 13.2\text{ V}$ All switches open
	220		1.0	$\mu\text{A max}$	
	250		380	$\mu\text{A typ}$	All switches closed, $V_L = 5.5\text{ V}$
I_L			430	$\mu\text{A max}$	All switches closed, $V_L = 2.7\text{ V}$
	Inactive	6.3		$\mu\text{A typ}$	Digital inputs = 0 V or V_L
				8.0	$\mu\text{A max}$
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5\text{ V}$
			2.1	mA max	
	0.7			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 2.7\text{ V}$
V_{DD}			1.0 5/20	mA max V min/V max	GND = 0 V, $V_{SS} = 0\text{ V}$

¹ 設計上の性能は確保していますが、出荷テストの対象外です。

チャンネルごとの連続電流 (SX または DX)

表 4. 4 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = 15\text{ V}$, $V_{SS} = -15\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	297	165	79	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	240	142	74	mA maximum
$V_{DD} = 5\text{ V}$, $V_{SS} = -5\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	224	135	72	mA maximum

¹ Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

表 5. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = 15\text{ V}$, $V_{SS} = -15\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	531	225	87	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	433	210	85	mA maximum
$V_{DD} = 5\text{ V}$, $V_{SS} = -5\text{ V}$ ($\theta_{JA} = 54^\circ\text{C/W}$)	404	202	84	mA maximum

¹ Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

タイミング特性

特に指定がない限り、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $\text{GND} = 0\text{ V}$ 、すべての仕様で $T_{\text{MIN}} \sim T_{\text{MAX}}$ 。設計と特性評価による性能は確保していますが、出荷テストの対象外です。

表 6.

Parameter	Limit	Unit	Test Conditions/Comments
TIMING CHARACTERISTICS			
t_1	20	ns min	SCLK period
t_2	8	ns min	SCLK high pulse width
t_3	8	ns min	SCLK low pulse width
t_4	10	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge
t_5	6	ns min	Data setup time
t_6	8	ns min	Data hold time

Parameter	Limit	Unit	Test Conditions/Comments
t_7	10	ns min	SCLK active edge to \overline{CS} rising edge
t_8	20	ns max	\overline{CS} falling edge to SDO data available
t_9^1	20	ns max	SCLK falling edge to SDO data available
t_{10}	20	ns max	\overline{CS} rising edge to SDO returns to high impedance
t_{11}	20	ns min	\overline{CS} high time between SPI commands
t_{12}	8	ns min	\overline{CS} falling edge to SCLK becomes stable
t_{13}	8	ns min	\overline{CS} rising edge to SCLK becomes stable

¹ V_L と 20 pF の負荷に接続された 1 k Ω のプルアップ抵抗で測定。SDO を使用する場合の最大 SCLK 周波数は t_9 で決定します。

タイミング図

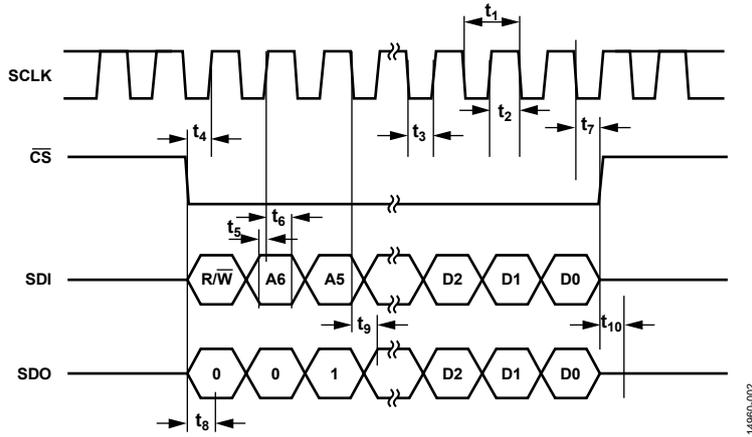


図 2. アドレス・モードのタイミング図

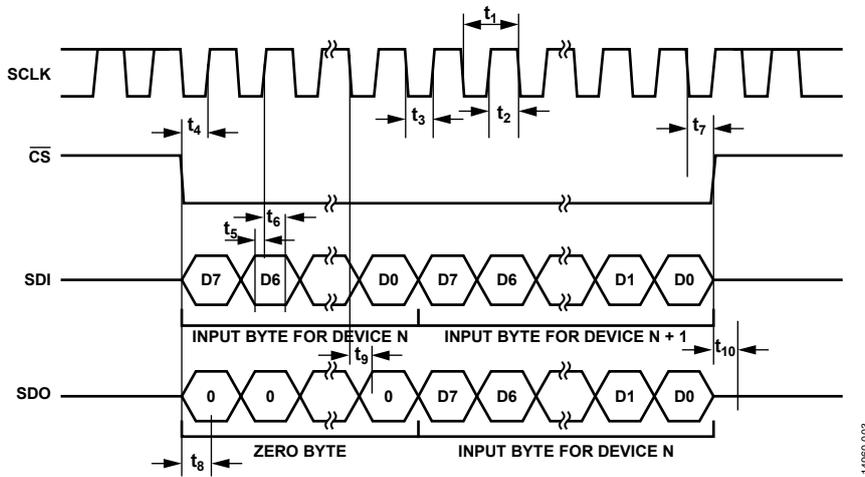


図 3. デイジーチェーンのタイミング図

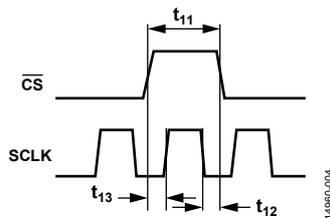


図 4. SCLK/ \overline{CS} タイミングの関係

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to V_{SS}	35 V
V_{DD} to GND	-0.3 V to +25 V
V_{SS} to GND	+0.3 V to -25 V
V_L to GND	-0.3 V to +5.75 V
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3 V to +5.75 V
Peak Current, Sx or Dx Pins ²	600 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx ^{2,3}	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

¹ デジタル Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

³ 表 4 および表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連があります。PCB の熱設計には、細心の注意を払う必要があります。

表 8. 熱抵抗

Package Type	θ_{JA}	θ_{JCB} ¹	Unit
CP-24-17 ²	54	3	°C/W

¹ θ_{JCB} は、ジャンクションとケース底部の間の値です。

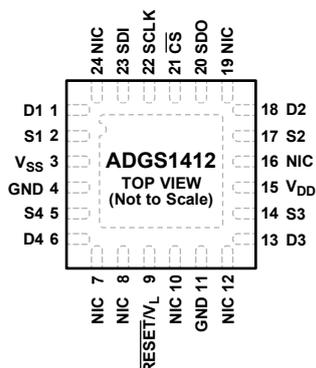
² 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています (JEDEC JESD51 を参照)。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED.
 2. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.

14-960-005

図 5. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	D1	ドレイン端子 1。このピンは、入力または出力に設定できます。
2	S1	ソース端子 1。このピンは、入力または出力に設定できます。
3	V _{SS}	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
4、11	GND	グラウンド・リファレンス (0 V)。
5	S4	ソース端子 4。このピンは、入力または出力に設定できます。
6	D4	ドレイン端子 4。このピンは、入力または出力に設定できます。
7、8、10、12、16、19、24	NIC	内部では未接続。
9	RESET/V _L	RESET/ロジック電源入力 (V _L) 通常動作では、2.7 V ~ 5.5 V の電源で RESET/V _L ピンを駆動します。ハードウェア・リセットを完了するには、RESET ピンをローにプルダウンします。リセット後、すべてのスイッチは解放になり、適切なレジスタがデフォルト値に設定されます。
13	D3	ドレイン端子 3。このピンは、入力または出力に設定できます。
14	S3	ソース端子 3。このピンは、入力または出力に設定できます。
15	V _{DD}	正電源の電位。
17	S2	ソース端子 2。このピンは、入力または出力に設定できます。
18	D2	ドレイン端子 2。このピンは、入力または出力に設定できます。
20	SDO	シリアル・データ出力。多数のデバイスをデジチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。外部抵抗を使用してこのオープンドレイン出力を V _L にプルダウンします。
21	CS	アクティブ・ローのコントロール入力。CS は、入力データに対するフレーム同期信号です。
22	SCLK	シリアル・クロック入力です。SCLK の立下がりエッジでデータがキャプチャされます。最大 50 MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立下がりエッジでデータがキャプチャされます。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。ハンダ接続の信頼性と熱能力を向上させるため、このエクスポーズド・パッドを基板 V _{SS} にハンダ付けすることを推奨します。

代表的な性能特性

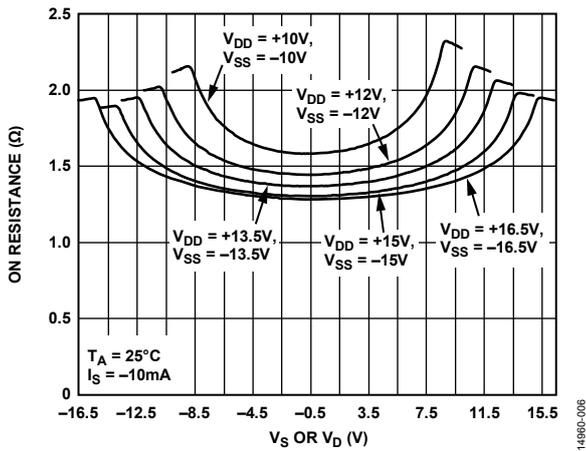


図 6. さまざまなデュアル電源でのオン抵抗と V_S または V_D の関係

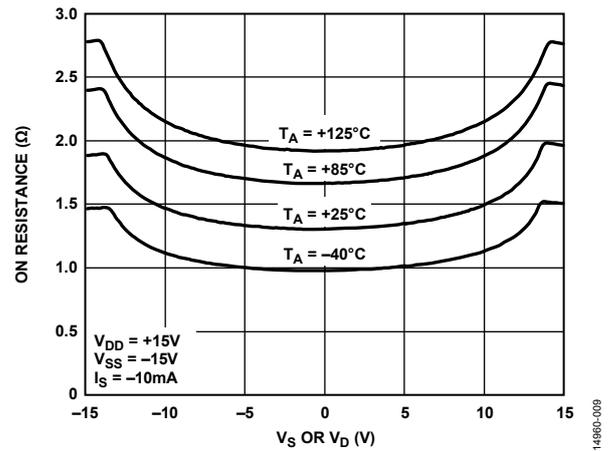


図 9. さまざまな温度でのオン抵抗と V_S または V_D の関係、 $\pm 15V$ のデュアル電源

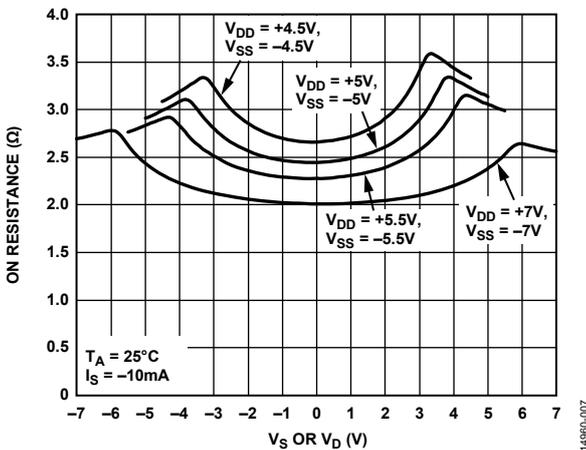


図 7. さまざまなデュアル電源でのオン抵抗と V_S または V_D の関係

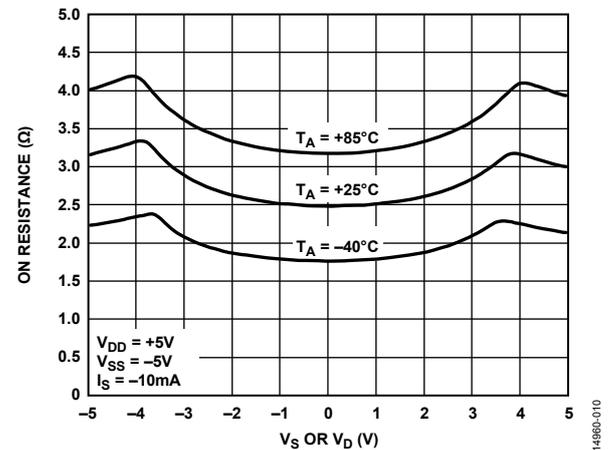


図 10. さまざまな温度でのオン抵抗と V_S または V_D の関係、 $\pm 5V$ のデュアル電源

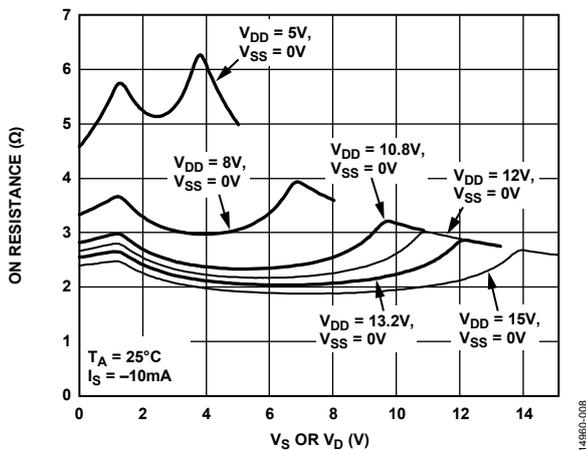


図 8. さまざまな単電源でのオン抵抗と V_S または V_D の関係

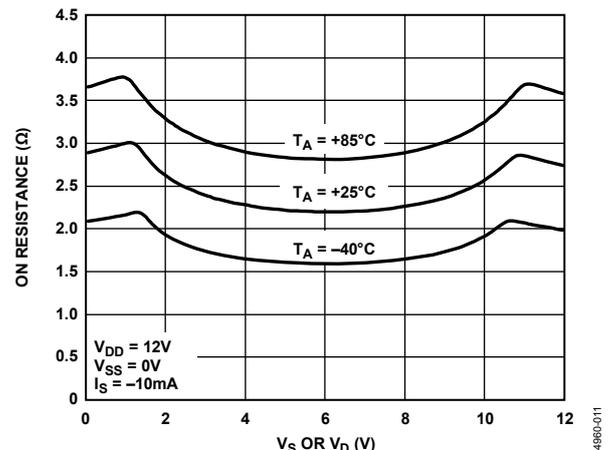


図 11. さまざまな温度でのオン抵抗と V_S または V_D の関係、 $\pm 12V$ の単電源

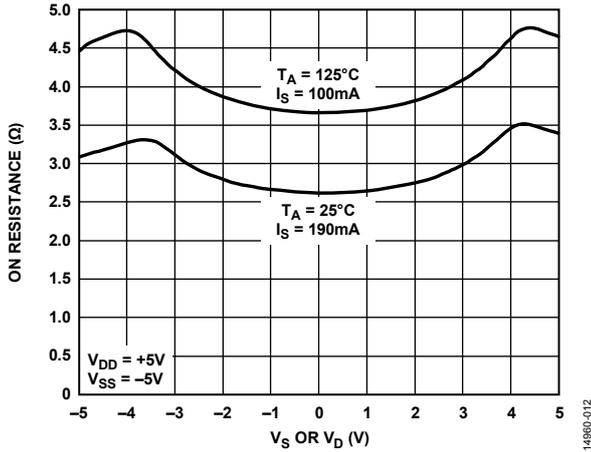


図 12. さまざまな電流レベルと温度でのオン抵抗と V_S または V_D の関係、±5 V のデュアル電源

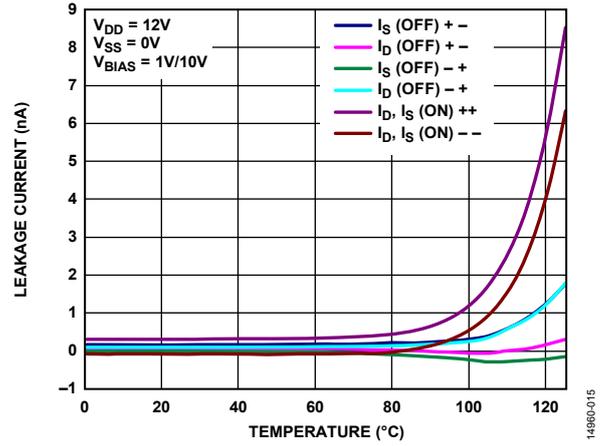


図 15. リーク電流の温度特性、12 V の単電源

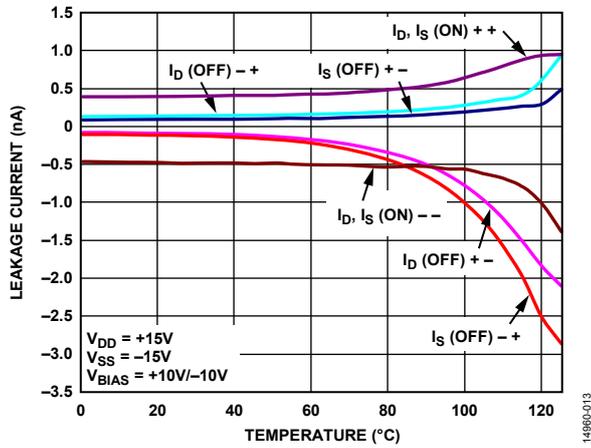


図 13. リーク電流の温度特性、±15 V のデュアル電源

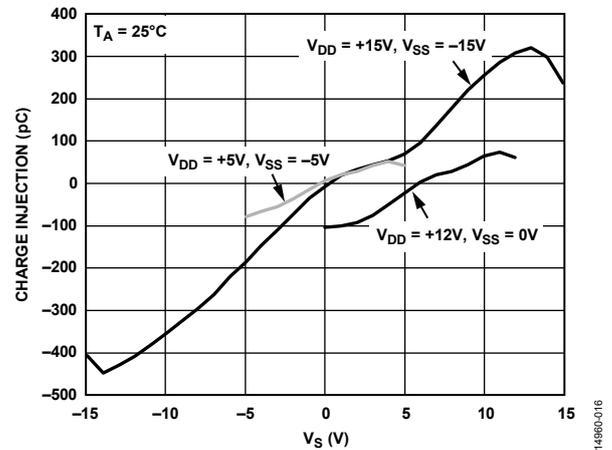


図 16. チャージ・インジェクションとソース電圧 (V_S) の関係

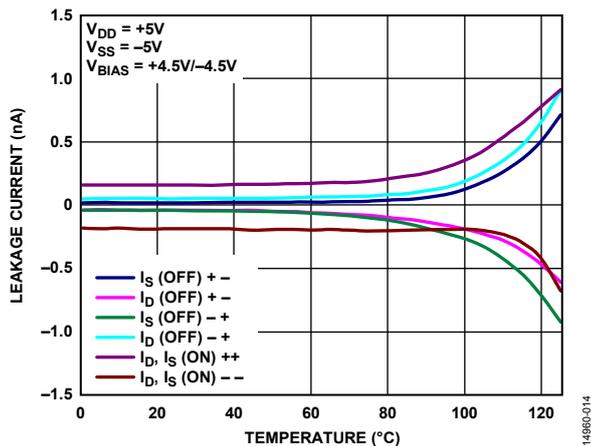


図 14. リーク電流の温度特性、±5 V のデュアル電源

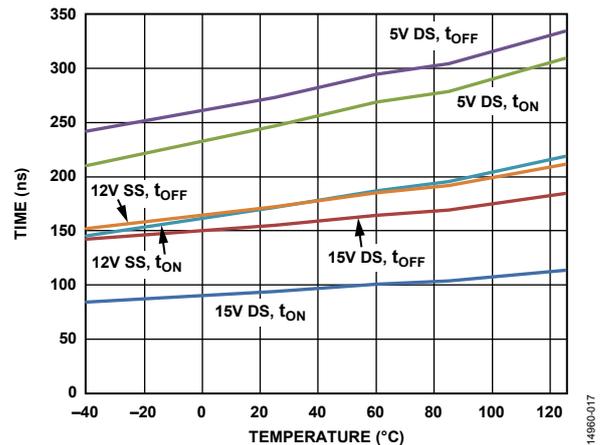


図 17. t_{ON}/t_{OFF} 時間と温度の関係、単電源 (SS) とデュアル電源 (DS)

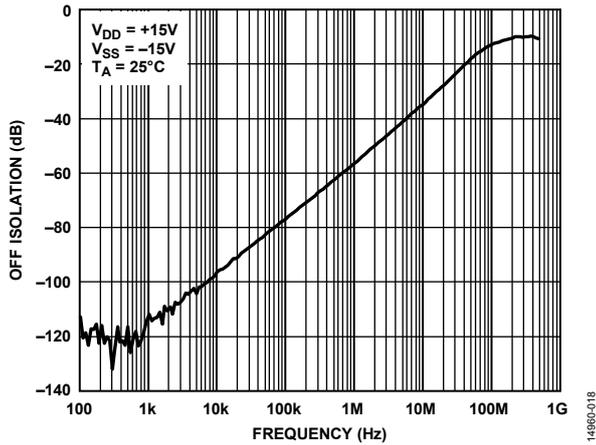


図 18. オフ・アイソレーションの周波数特性、
±15 V のデュアル電源

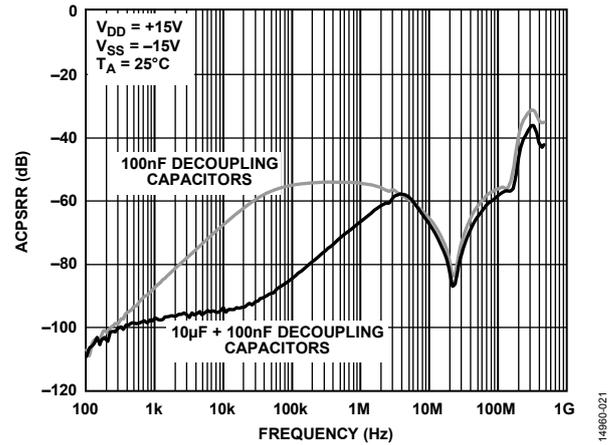


図 21. AC 電源電圧変動除去比 (ACPSRR) と周波数の関係、
±15 V のデュアル電源

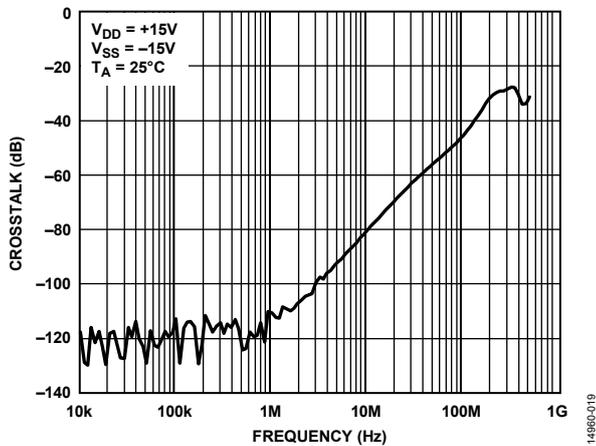


図 19. クロストークの周波数特性、±15 V のデュアル電源

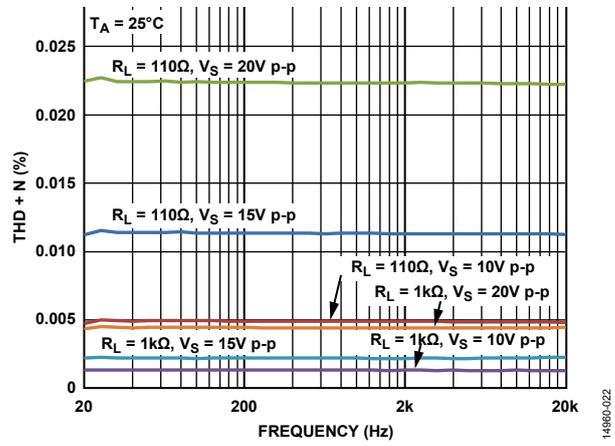


図 22. THD + N の周波数特性、±15 V のデュアル電源

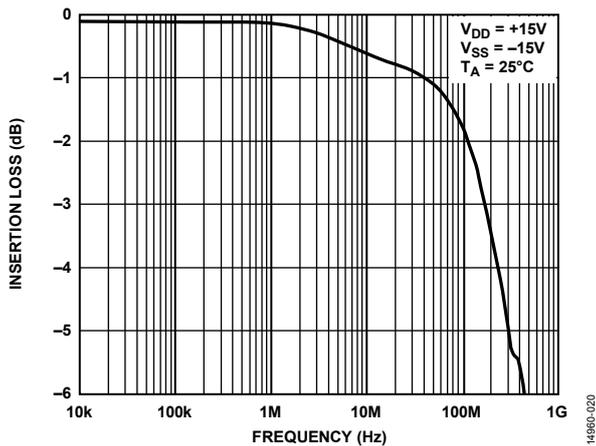


図 20. 挿入損失の周波数特性、±15 V のデュアル電源

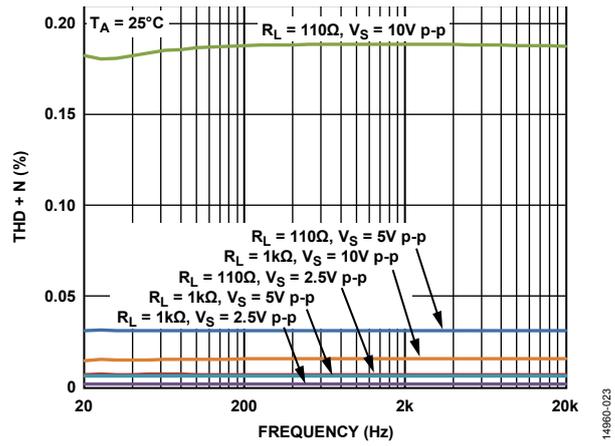


図 23. THD + N の周波数特性、±5 V のデュアル電源

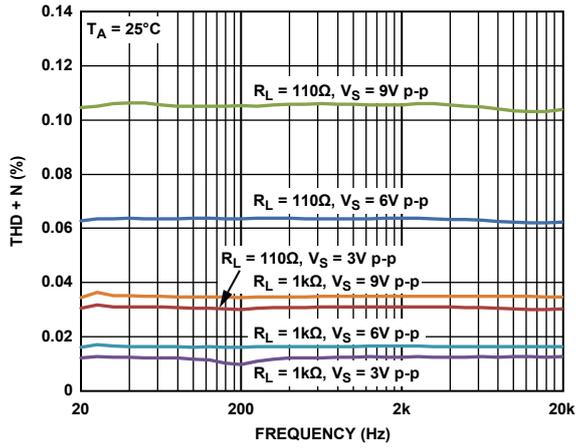


図 24. THD + N の周波数特性、±12 V の単電源

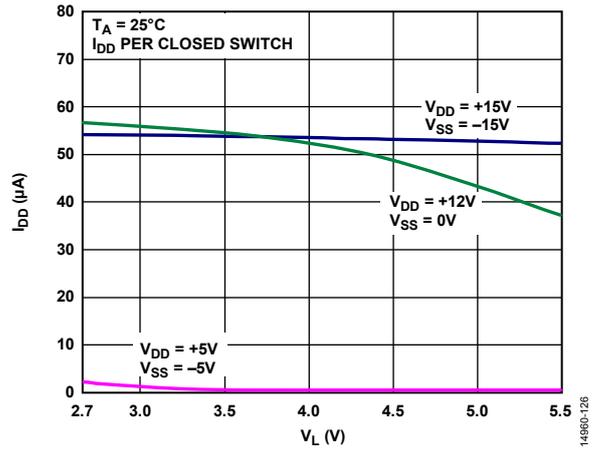


図 26. I_{DD} と V_L の関係

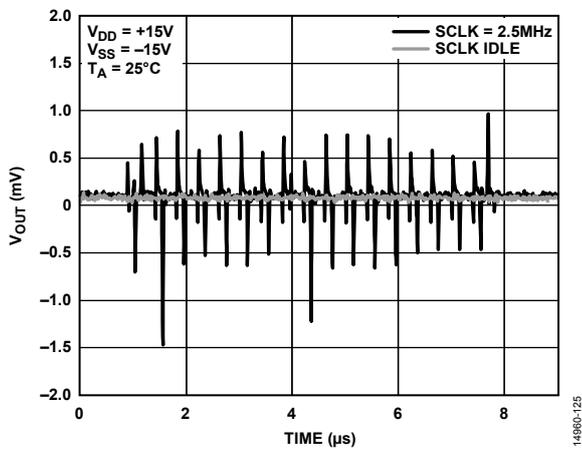


図 25. デジタル・フィードスルー

14980-124

14980-126

14980-125

テスト回路

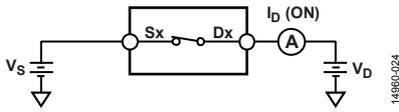


図 27. オン・リーク

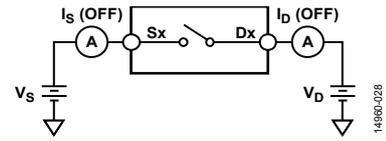


図 31. オフ・リーク

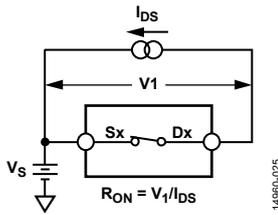


図 28. オン抵抗

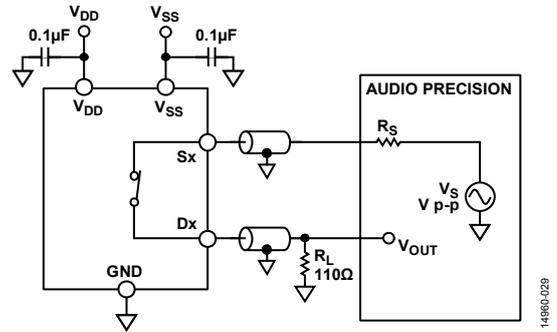


図 32. THD + ノイズ

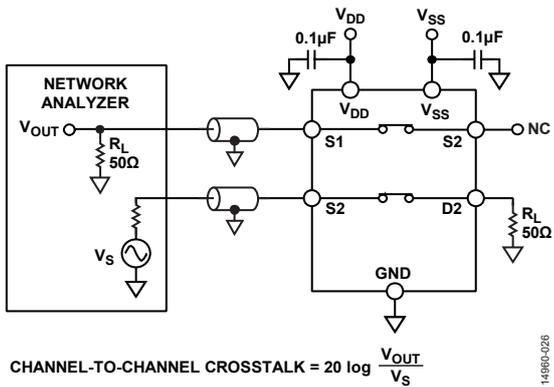


図 29. チャンネル間クロストーク

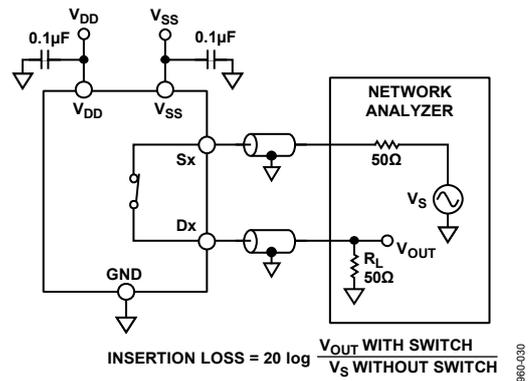


図 33. -3 dB の帯域幅

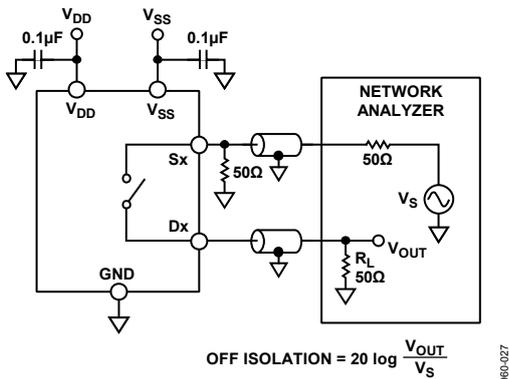


図 30. オフ・アイソレーション

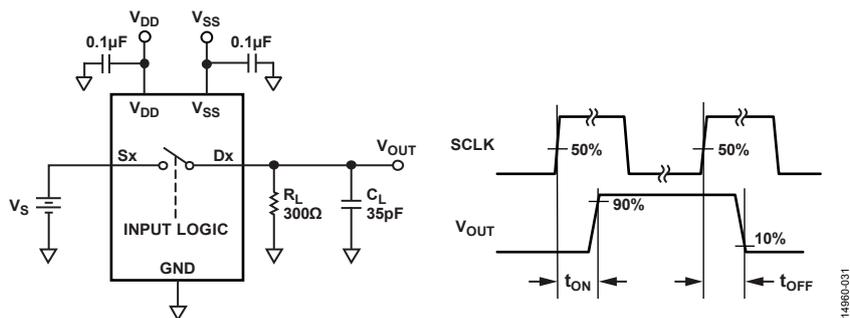


図 34. スイッチング時間、 t_{ON} および t_{OFF}

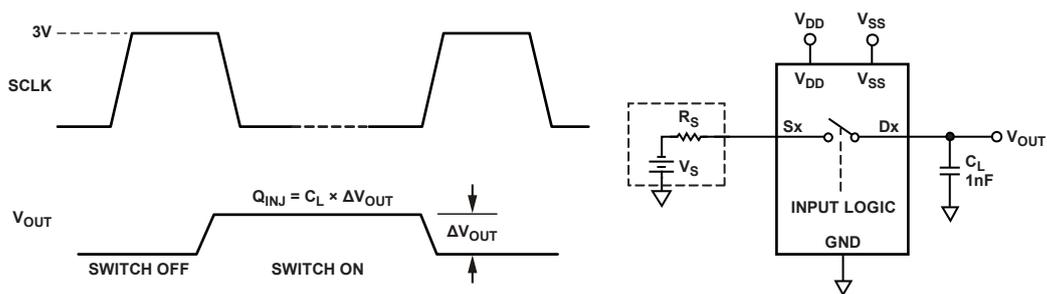


図 35. チャージ・インJECTION、 Q_{INJ}

用語の定義

I_{DD}

正側電源の電流。

I_{SS}

負側電源の電流。

V_D、V_S

端子 D_X と端子 S_X のアナログ電圧。

R_{ON}

端子 D_X と端子 S_X の間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT (ON)}

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On) 、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、 I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On) 、 C_S (On)

スイッチ・オン時の容量で、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル・コントロールで入力と出力をオンにする間の遅延。

t_{OFF}

デジタル・コントロールで入力と出力をオフにする間の遅延。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

クロストーク

寄生容量に起因して、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

-3 dB の帯域幅

帯域幅は、出力が 3 dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み + ノイズ (THD + N)

基本波に対する高調波振幅と信号ノイズの和の比は THD + N です。

AC 電源変動除去比 (ACPSRR)

変調振幅に対する出力信号振幅の比。ACPSRR は、電源電圧ピンに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源の DC 電圧が、0.62 V p-p の正弦波で変調されます。

動作原理

ADGS1412は、エラー検出機能を備えたシリアル制御、クワッドSPSTスイッチのセットです。SPIモード0またはSPIモード3をデバイスで使用可能で、最大50 MHzのSCLK周波数で動作します。ADGS1412のデフォルト・モードは、デバイスのレジスタが \overline{CS} によって分割されるアドレス・モードで、16ビットのSPIコマンドを介してアクセスできます。CRCエラー検出が有効な場合、SPIコマンドは24ビットになります。その他のエラー検出機能には、SCLKカウント・エラーや無効な読出し/書込みエラーがあります。これらのSPIインターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS1412は、バースト・モードとデジチェーン・モードでも動作します。

ADGS1412のインターフェース・ピンは、 \overline{CS} 、SCLK、SDI、およびSDOです。SPIインターフェースを使用する場合は、 \overline{CS} をローにします。データはSCLKの立ち上がりエッジ発生時にSDIでキャプチャされ、SCLKの立下がりエッジ発生時にSDOで伝搬されます。SDOはオープンドレイン出力を備えているので、プルアップ抵抗をこの出力に接続します。ADGS1412を使用してもローにならない場合、SDOは高インピーダンス状態になります。

アドレス・モード

アドレス・モードは、パワーアップ時のADGS1412のデフォルト・モードです。アドレス・モードでは、単一のSPIフレームが \overline{CS} 立下りエッジと後続の \overline{CS} 立上りエッジによって分割されます。16 SCLK サイクルで構成されます。アドレス・モードのタイミング図を図36に示します。最初のSDIビットを使用して、SPIコマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが0に設定されている場合は、書込みコマンドが実行されます。最初のビットが1に設定されている場合は、読出しコマンドが実行されます。次の7ビットはターゲット・レジスタのアドレスを決定します。残りの8ビットは、指定されたレジスタヘッダを提供します。読出しコマンド実行中のクロック・サイクルでは、SDOが指定されたレジスタに含まれるデータを伝搬するため、最後の8ビットは無視されます。

SPIコマンドのターゲット・レジスタのアドレスは、8番目のSCLK立上りエッジで決定されます。このレジスタのデータは、SPI読出し中に9～16番目のSCLK立下りエッジでSDOから伝搬されます。レジスタへの書込みは、SPI書出し中に16番目のSCLK立上りエッジで発生します。

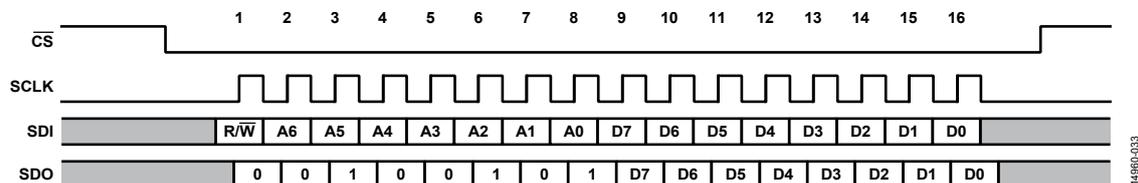


図 36. アドレス・モードのタイミング図

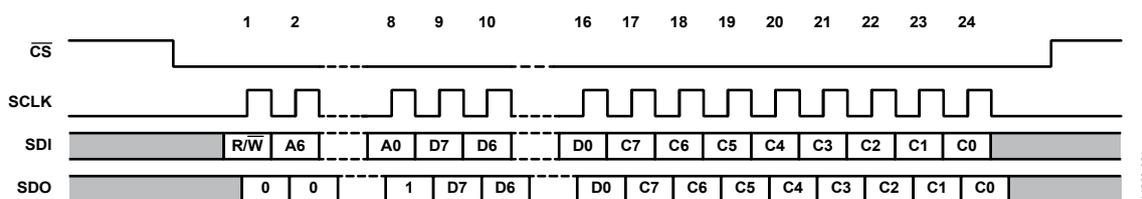


図 37. CRC が有効な場合のタイミング図

SPIコマンドの実行中、SDOは8つのSCLK立下りエッジで8つのアライメント・ビットを送信します。SDOで観察されるアライメント・ビットは、0x25です。

エラー検出機能

SPIインタフェースでは、プロトコルと通信エラーを検出できます。不正SCLKエラー検出、無効な読出しと書込みアドレス・エラー検出、CRCエラー検出の3つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するイネーブル・ビットがあります。さらに、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

巡回冗長性チェック (CRC) エラー検出

CRCエラー検出機能では、8つのSCLKサイクルで有効なSPIフレームが拡張されます。8つの追加サイクルは、SPIフレームのCRCバイトを送信するために必要です。CRCバイトは、16ビットのペイロードを使用してSPIブロックによって計算されます。ペイロードは、R/Wビット、レジスタ・アドレス・ビット [6:0]、レジスタ・データ・ビット [7:0] で構成されます。SPIブロックで使用されるCRC多項式は、 $x^8 + x^2 + x^1 + 1$ 、シード値は0です。CRCを有効にした場合のタイミング図については、図37を参照してください。レジスタ書込みは、CRCエラー・チェックを有効にした場合に24番目のSCLK立上りエッジで発生します。

SPI書込み中に、マイクロコントローラ/CPUは、SDI経由でCRCバイトを出力します。SPIブロックは、24番目の立上りエッジ直前のCRCバイトをチェックします。同じエッジで、SPIインターフェースから不正なCRCバイトが受信されると、レジスタの書込みは防止されます。CRCエラー・フラグは、不正なCRCバイトが検出された場合にエラー・フラグ・レジスタでアサートされます。

SPI読出しの実行中、CRCバイトはSDOからマイクロ・コントローラに出力されます。

CRCエラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不適切な数の SCLK サイクルがマイクロコントローラ/CPU によって送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になるはずですが、検出される SCLK サイクルの回数が 16 未満の場合、SCLK カウント・エラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書き込みは発生しません。ADGS1412 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書き込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 になるはずですが、SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

無効な読出し/書き込みアドレス・エラー

存在しないレジスタ・アドレスが読出または書き込みのターゲットになると、無効な読出し/書き込みアドレス・エラーが検出されます。さらに、このエラー・アサートは、読出し専用レジスタに書出しが試行された場合にも発生します。無効な読出し/書き込みアドレス・エラーが発生すると、エラー・フラグ・レジスタで無効な読出し/書き込みアドレス・エラー・フラグがアサートされます。無効な読出し/書き込みアドレス・エラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書き込みは発生しません。無効な読出し/書き込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要もあります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタはゼロにリセットされます。

バースト・モード

SPI インターフェースでは、CS \bar ラインをアサート解除する必要なく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用して、デバイスと通信します。さらに、SDO でデバイスの応答は対応する SPI コマンドに揃えられます。図 38 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し/書き込みアドレスおよび CRC エラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の CS フレーム内の SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

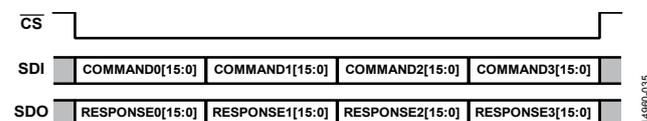


図 38. バースト・モード・フレーム

ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド (つまり 0xA3 と 0x05) の書き込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

デジチェーン・モード

デジチェーン設定では、複数の ADGS1412 デバイスを接続できます。図 39 に、このセットアップを示します。すべてのデバイスが同じ CS と SCLK ラインを共有し、デバイスの SDO が次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デジチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デジチェーン・モードでは設定を変更できません。

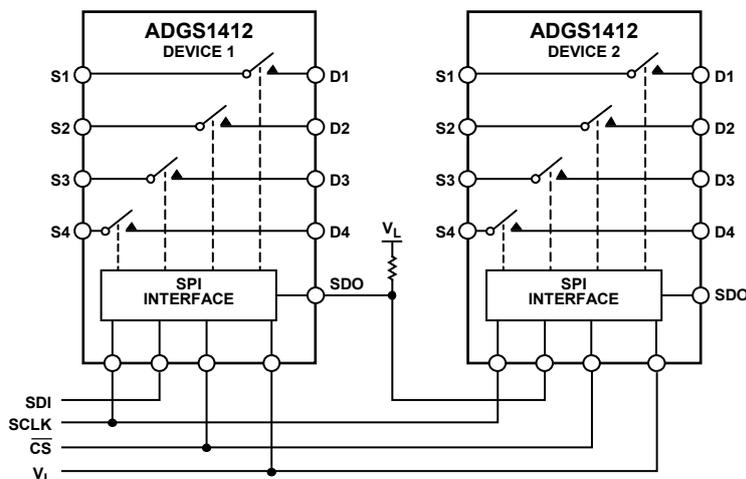


図 39. デジチェーン構成に接続された 2 台の ADGS1412 デバイス

ADGS1412は、アドレス・モードで16ビットSPIコマンド0x2500(図40を参照)を送信した場合のみ、デジチェーン・モードに移行できます。ADGS1412がこのコマンドを受信すると、デバイスのSDOが同じコマンドを送信します。SDOのアライメント・ビットが0x25であることが理由です。この場合、デジチェーン接続された複数のデバイスを1つのSPIフレームでデジチェーン・モードに移行できます。デジチェーン・モードを終了するには、ハードウェア・リセットが必要です。

通常のデジチェーンSPIフレームのタイミング図については、図41を参照してください。CSがハイになると、デバイス1はコマンド0、ビット[7:0]をスイッチ・データ・レジスタに書き込みます。デバイス2はコマンド1ビット[7:0]をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPIブロックでは、SDIから受信した最後の8ビットを使用してスイッチが更新されます。デジチェーン・モードに移行した後、チェーン内の各デバイスに搭載されたSDOによって送信される最初の8ビットは0x00です。CSがハイになると、内部シフト・レジスタ値は、ゼロにリセットされません。

SCLK 立上がりエッジでは、SDI からデータが読み取られます。一方、SCLK 立下がりエッジでは、SDO からデータが伝搬されます。SCLK サイクルが発生する回数は、CS がハイになるまで8の倍数になるはずですが、そうでない場合、SPI インターフェースは受信した最後の8ビットをスイッチ・データ・レジスタに送信します。

パワーオン・リセット

ADGS1412 のデジタル・セクションは、V_L の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。V_L の電源投入またはリセット後、少なくとも120 μs 経過してから SPI コマンドを発行します。120 μs の初期化フェーズでは、V_L がドロップアウトしないよう注意してください。V_L がドロップアウトすると、ADGS1412 の動作で異常が発生する可能性があるからです。

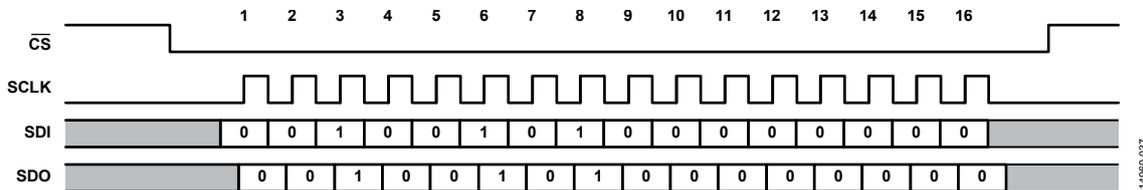


図 40. デジチェーン・モードに移行する SPI コマンド

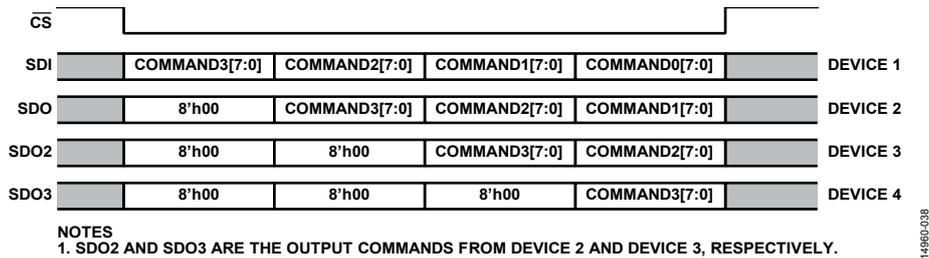


図 41. デジチェーン・モードで4台のADGS1412デバイスが接続されるSPIフレームの例

アプリケーション情報

電源レール

ADGS1412の正常動作を確保するには、0.1 μ F のデカップリング・コンデンサが必要です。

ADGS1412は、 ± 4.5 V \sim ± 16.5 V のバイポーラ電源で動作することができます。V_{DD}とV_{SS}に接続した電源が対称である必要はありませんが、V_{DD}とV_{SS}の範囲が33 Vを超えてはいけません。また、ADGS1412は、V_{SS}をGNDに接続した5 V \sim 20 Vの単電源で動作することもできます。

V_Lに供給できる電圧範囲は2.7 V \sim 5.5 Vです。

デバイスは ± 15 V、+5 V、+12 Vのアナログ電圧範囲で仕様規定されています。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの要件を満たす広範なパワー・マネジメント製品を提供しています。

バイポーラ電源ソリューションの例を図42に示します。ADP5070 (デュアル・スイッチング・レギュレータ) は、典型的なシグナル・チェーンのADGS1412、アンプ、高精度コンバータ用に、正と負の電源レールを生成します。図42に示すように、オプションで2つのLDOがあります。ADP7118とADP7182はそれぞれ正と負のLDOです。これらのLDOを使用すると、極めて低いノ

イズに敏感なアプリケーションでADP5070の出力リップルを削減できます。

ADM7160を使用すると、ADGS1412内のデジタル回路に電力を供給するのに必要なV_L電圧を生成できます。

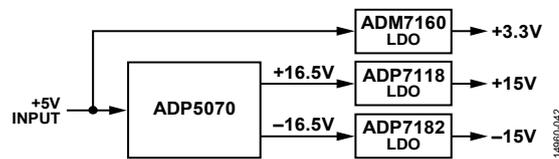


図 42. バイポーラ電源ソリューション

表 10. 推奨されるパワー・マネジメント・デバイス

Product	Description
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADM7160	5.5 V, 200 mA, ultralow noise, linear regulator
ADP7118	20 V, 200 mA, low noise, CMOS LDO linear regulator
ADP7182	-28 V, -200 mA, low noise, LDO linear regulator

レジスタの一覧

表 11. レジスタの一覧

Register (Hex)	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R/W	
0x01	SW_DATA	Reserved			SW4_EN	SW3_EN	SW2_EN	SW1_EN		0x00	R/W	
0x02	ERR_CONFIG	Reserved				RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN		0x06	R/W	
0x03	ERR_FLAGS	Reserved				RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG		0x00	R	
0x05	BURST_EN	Reserved							BURST_MODE_EN		0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB									0x00	R/W

レジスタの詳細

スイッチ・データ・レジスタ

アドレス:0x01、リセット:0x00、レジスタ名:SW_DATA

スイッチ・データ・レジスタは、ADGS1412の4つのスイッチのステータスを制御します。

表 12. SW_DATA のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:4]	Reserved		これらのビットは予約済みで、0 に設定します。	0x0	R
3	SW4_EN	0 1	SW4 のイネーブル・ビット。 SW4 オープン。 SW4 クローズ。	0x0	R/W
2	SW3_EN	0 1	SW3 のイネーブル・ビット。 SW3 オープン。 SW3 クローズ。	0x0	R/W
1	SW2_EN	0 1	SW2 のイネーブル・ビット。 SW2 オープン。 SW2 クローズ。	0x0	R/W
0	SW1_EN	0 1	SW1 のイネーブル・ビット。 SW1 オープン。 SW1 クローズ。	0x0	R/W

エラー設定レジスタ

アドレス:0x02、リセット:0x06、レジスタ名:ERR_CONFIG

エラー設定レジスタでは、必要に応じて関連する機能を有効または無効にできます。

表 13. ERR_CONFIG のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		これらのビットは予約済みで、0 に設定します。	0x0	R
2	RW_ERR_EN	0 1	無効な読出し/書込みアドレスを検出するイネーブル・ビット。 ディスエーブル。 イネーブル。	0x1	R/W
1	SCLK_ERR_EN	0 1	SPI フレームの SCLK サイクルの回数が正しいかどうかを検出するためのエラー・ビット。CRC が無効で、バースト・モードが無効の場合、SCLK サイクルの回数は 16 になるはずですが、CRC が有効で、バースト・モードが無効の場合、SCLK サイクルの回数は 24 になるはずですが、CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 になるはずですが、CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 になるはずですが。 ディスエーブル。 イネーブル。	0x1	R/W
0	CRC_ERR_EN	0 1	CRC エラー検出のイネーブル・ビット。有効な場合の SPI フレームは 24 ビットです。 ディスエーブル。 イネーブル。	0x0	R/W

エラー・フラグ・レジスタ

アドレス:0x03、リセット:0x00、レジスタ名:ERR_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリアコマンドを正常に完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 14. ERR_FLAGS のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		これらのビットは予約済みで、0 に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読出し/書き込みアドレスのエラー・フラグターゲット・アドレスが存在しない場合、SPI 読出しでエラー・フラグがアサートされます。また、SPI 書き込みのアドレスが存在しない場合、または読出し専用である場合にも、エラー・フラグがアサートされます。 0 エラーなし。 1 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのフラグ。 0 エラーなし。 1 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタ書き込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。 0 エラーなし。 1 エラー。	0x0	R

バースト・イネーブル・レジスタ

アドレス:0x05、リセット:0x00、レジスタ名:BURST_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 \overline{CS} をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 15. BURST_EN のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	Reserved		これらのビットは予約済みで、0 に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 0 ディスエーブル。 1 イネーブル。	0x0	R/W

ソフトウェア・リセット・レジスタ

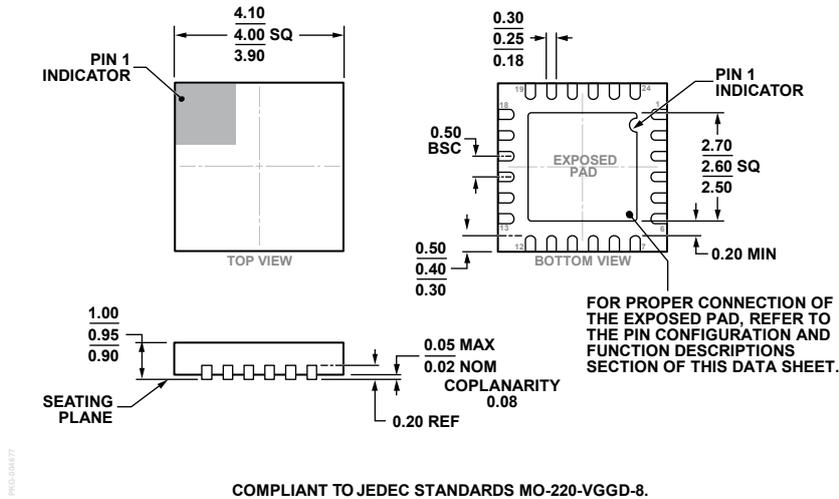
アドレス:0x0B、リセット:0x00、レジスタ名:SOFT_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに 0xA3 と 0x05 の順で書き込みを実行すると、デバイスのレジスタはデフォルトの状態にリセットされます。

表 16. SOFT_RESETB のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、このレジスタに 0xA3 と 0x05 の順で書き込みを実行します。	0x0	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8.

図 43.24 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディ、0.95 mm パッケージ高
 (CP-24-17)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADGS1412BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
ADGS1412BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17

¹ Z = RoHS 準拠製品。