



# SPI インターフェース、4Ω RON ±15V / +12V / ±5V 1.8V ロジック制御 8 : 1 / デュアル 4 : 1 マルチプレクサ

## データシート

## ADGS1408/ADGS1409

### 特長

#### エラー検出と SPI インターフェース

- CRC、無効な読出し／書込みアドレス、SCLK カウント・エラーの検出を含む
- バースト・モードとデジチェーン・モードをサポート
- 業界標準の SPI モード 0 および SPI モード 3 との互換性あり
- ラウンド・ロビン・モードでパラレル・インターフェースに匹敵するスイッチング時間が可能
- アナログ・デバイセズのパラレル・スイッチなど、他のデバイスを制御する汎用デジタル出力
- 25°C で 4Ω (代表値) の抵抗値
- 25°C で 0.5Ω (代表値) のオン抵抗平坦性
- 25°C で 0.2Ω (代表値) のチャンネル間オン抵抗一致
- アナログ信号範囲 :  $V_{SS} \sim V_{DD}$
- ±15V、±5V、+12V の電源で仕様規定
- $V_L$  およびデジタル／アナログ入力を印加する前の  $V_{DD}$ 、 $V_{SS}$ 、GND のパワーアップ・シーケンス
- 1.8V ロジックとの互換性あり、 $2.7V \leq V_L \leq 3.3V$
- 24 ピン LFCSP パッケージ

### アプリケーション

- ATE (自動試験装置)
- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- オーディオ信号のルーティング
- ビデオ信号のルーティング
- 通信システム
- リレーからの置き換え

### 概要

**ADGS1408** は 8 つの単一チャンネル、**ADGS1409** は 4 つの差動チャンネルを搭載したアナログ・マルチプレクサです。シリアル周辺機器インターフェース (SPI) でスイッチを制御します。SPI インターフェースは、巡回冗長検査 (CRC) エラーの検出、無効な読出し／書込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の **ADGS1408/ADGS1409** デバイスをデジチェーン接続できます。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。更に、**ADGS1408/ADGS1409** をバースト・モードで動作して、SPI コマンド間の時間を短縮できます。

iCMOS 構造により消費電力が極めて少ないため、携帯型の計装機器やバッテリー駆動の計測器に最適なデバイスになっています。

各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源電圧まで拡張された入力信号範囲

### 機能ブロック図

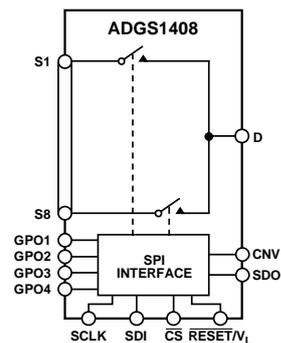


図 1. ADGS1408 の機能ブロック図

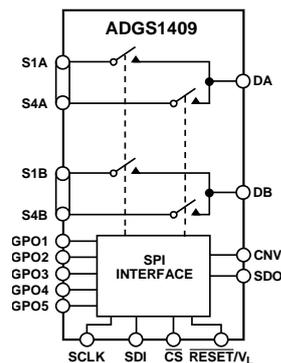


図 2. ADGS1409 の機能ブロック図

を備えています。オフ状態では、電源までの信号レベルがブロックされます。

オン抵抗のプロファイルは、アナログ入力範囲全体にわたって平坦であるため、オーディオ信号をスイッチングする場合にも直線性と低歪みが確保されます。

### 製品のハイライト

- SPI インターフェースを搭載しているため、パラレル変換やロジック・トレースの必要がなく、GPIO チャンネル数が減ります。
- デジチェーン・モードでは、複数のデバイスを使用する場合にロジック・トレースを追加する必要がありません。
- CRC エラーの検出、無効な読出し／書込みアドレスの検出と SCLK カウント・エラーの検出により、デジタル・インターフェースの信頼性が向上します。
- CRC およびエラー検出機能があるため、安全性が不可欠なシステムに **ADGS1408/ADGS1409** を使用できます。
- 最小限の歪み。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	ソフトウェア・リセット	24
アプリケーション	1	デイジーチェーン・モード	24
機能ブロック図	1	パワーオン・リセット	25
概要	1	ラウンド・ロビン・モード	26
製品のハイライト	1	汎用出力 (GPO)	27
改訂履歴	2	アプリケーション情報	28
仕様	3	デジタル入力バッファ	28
±15V の両電源	3	電源レール	28
±5V の両電源	5	電源の推奨事項	28
12V の単電源	7	電源シーケンス	28
チャンネルごとの連続電流 (Sx または Dx)	9	レジスタの概要	29
タイミング特性	10	レジスタの詳細	30
絶対最大定格	12	スイッチ・データ・レジスタ	30
熱抵抗	12	エラー設定レジスタ	31
ESD に関する注意	12	エラー・フラグ・レジスタ	31
ピン配置およびピン機能の説明	13	バースト・イネーブル・レジスタ	32
代表的な性能特性	15	ラウンド・ロビン・イネーブル・レジスタ	32
試験回路	19	ラウンド・ロビン・チャンネル設定レジスタ	32
用語の定義	22	CNV エッジ選択レジスタ	33
動作原理	23	ソフトウェア・リセット・レジスタ	33
アドレス・モード	23	外形寸法	34
エラー検出機能	23	オーダー・ガイド	34
エラー・フラグ・レジスタのクリア	24		
バースト・モード	24		

## 改訂履歴

6/2018—Revision 0: Initial Version

## 仕様

## ±15Vの両電源

特に指定のない限り、 $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	
On Resistance, $R_{ON}$	4			$\Omega$ typ	$V_S = \pm 10$ V, $I_S = -10$ mA, see Figure 32
	4.7	5.7	6.7	$\Omega$ max	$V_{DD} = +13.5$ V, $V_{SS} = -13.5$ V
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.2			$\Omega$ typ	$V_S = \pm 10$ V, $I_S = -10$ mA
	0.78	0.85	1.1	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.5			$\Omega$ typ	$V_S = \pm 10$ V, $I_S = -10$ mA
	0.72	0.77	0.92	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.04$			nA typ	$V_{DD} = +16.5$ V, $V_{SS} = -16.5$ V
	$\pm 0.2$	$\pm 0.6$	$\pm 5.0$	nA max	$V_S = \pm 10$ V, $V_D = 10$ V, see Figure 35
Drain Off Leakage, $I_D$ (Off)	$\pm 0.04$			nA typ	$V_S = \pm 10$ V, $V_D = 10$ V, see Figure 35
	$\pm 0.45$	$\pm 2.0$	$\pm 30.0$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.1$			nA typ	$V_S = V_D = \pm 10$ V, see Figure 31
	$\pm 1.5$	$\pm 3.0$	$\pm 30.0$	nA max	
<b>DIGITAL OUTPUTS</b>					
<b>SDO</b>					
Output Voltage					
Low, $V_{OL}$			0.4	V max	$I_{SINK} = 5$ mA
			0.2	V max	$I_{SINK} = 1$ mA
High Impedance Leakage Current	0.001		$\pm 0.1$	$\mu$ A typ	$V_{OUT} = V_{GND}$ or $V_L$
				$\mu$ A max	
High Impedance Output Capacitance	4			pF typ	
<b>GPOx</b>					
Output Voltage					
High, $V_{OH}$			$V_L - 0.2$ V	V min	$I_{SOURCE} = 100$ $\mu$ A
Low, $V_{OL}$			0.2	V max	$I_{SINK} = 100$ $\mu$ A
Timing					
$t_{ON}$ (GPO)	95			ns typ	$C_L = 15$ pF, see Figure 43
	115	115	115	ns max	
$t_{OFF}$ (GPO)	15			ns typ	$C_L = 15$ pF, see Figure 43
	20	25	25	ns max	
Break-Before-Make Time Delay, $t_D$	50			ns typ	$C_L = 15$ pF, see Figure 44
			35	ns min	
<b>DIGITAL INPUTS</b>					
Input Voltage					
High, $V_{INH}$			2	V min	$3.3$ V < $V_L \leq 5.5$ V
			1.35	V min	$2.7$ V $\leq V_L \leq 3.3$ V
Low, $V_{INL}$			0.8	V max	$3.3$ V < $V_L \leq 5.5$ V
			0.8	V max	$2.7$ V $\leq V_L \leq 3.3$ V
Input Current, $I_{INL}$ or $I_{INH}$	0.001			$\mu$ A typ	$V_{IN} = V_{GND}$ or $V_L$
			$\pm 0.1$	$\mu$ A max	
Digital Input Capacitance, $C_{IN}$	4			pF typ	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{\text{TRANSITION}}$	145			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	185	220	245	ns max	$V_S = 10 \text{ V}$ , see Figure 40
$t_{\text{ON}}(\text{EN})$	120			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	165	185	200	ns max	$V_S = 10 \text{ V}$ , see Figure 41
$t_{\text{OFF}}(\text{EN})$	125			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	155	175	195	ns max	$V_S = 10 \text{ V}$ , see Figure 41
Break-Before-Make Time Delay, $t_D$	40			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
			20	ns min	$V_{S1} = V_{S2} = 10 \text{ V}$ , see Figure 39
Charge Injection, $Q_{\text{INJ}}$	-50			pC typ	$V_S = 0 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 42
Off Isolation	-64			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 34
Channel to Channel Crosstalk	-70			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 33
Total Harmonic Distortion + Noise	0.025			% typ	$R_L = 110 \Omega$ , $15 \text{ V p-p}$ , $f = 20 \text{ Hz}$ to $20 \text{ kHz}$ , see Figure 36
-3 dB Bandwidth					$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37
ADGS1408	60			MHz typ	
ADGS1409	115			MHz typ	
Insertion Loss	0.24			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 26 and Figure 27
$C_S$ (Off)	14			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (Off)					$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
ADGS1408	80			pF typ	
ADGS1409	40			pF typ	
$C_D$ (On), $C_S$ (On)					$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
ADGS1408	135			pF typ	
ADGS1409	90			pF typ	
<b>POWER REQUIREMENTS</b>					
$I_{\text{DD}}$	0.002			$\mu\text{A typ}$	$V_{\text{DD}} = +16.5 \text{ V}$ , $V_{\text{SS}} = -16.5 \text{ V}$
			1	$\mu\text{A max}$	All switches open
	220			$\mu\text{A typ}$	S8/S4A closed, $V_L = 5.5 \text{ V}$
			380	$\mu\text{A max}$	
	270			$\mu\text{A typ}$	S8/S4A closed, $V_L = 2.7 \text{ V}$
			440	$\mu\text{A max}$	
$I_L$					
Inactive	6.3			$\mu\text{A typ}$	Digital inputs = $0 \text{ V}$ or $V_L$
			8.0	$\mu\text{A max}$	
Inactive, SCLK = 1 MHz	14			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	7			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	210			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
Inactive, SDI = 1 MHz	15			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	7.5			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	120			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between $0 \text{ V}$ and $V_L$ , $V_L = 5.5 \text{ V}$
			2.1	mA max	
	0.7			mA typ	Digital inputs toggle between $0 \text{ V}$ and $V_L$ , $V_L = 2.7 \text{ V}$
			1.0	mA max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
$I_{SS}$	0.002		1	$\mu\text{A typ}$	Digital inputs = 0 V or $V_L$
$V_{DD}/V_{SS}$			$\pm 4.5$ $\pm 16.5$	$\mu\text{A max}$ V min V max	GND = 0 V GND = 0 V

<sup>1</sup> 設計により性能は確保していますが、出荷テストの対象外です。

## ±5V の両電源

特に指定のない限り、 $V_{DD} = +5\text{ V} \pm 10\%$ 、 $V_{SS} = -5\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、GND = 0V。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	
On Resistance, $R_{ON}$	7.4			$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$ , see Figure 32
	9	10.5	12	$\Omega$ max	$V_{DD} = +4.5\text{ V}$ , $V_{SS} = -4.5\text{ V}$
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.3			$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.78	0.91	1.1	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.5			$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$
	2.5	2.5	2.8	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.02$			nA typ	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$
	$\pm 0.2$	$\pm 0.6$	$\pm 5.0$	nA max	$V_S = \pm 4.5\text{ V}$ , $V_D = 4.5\text{ V}$ , Figure 35
Drain Off Leakage, $I_D$ (Off)	$\pm 0.02$			nA typ	$V_S = \pm 4.5\text{ V}$ , $V_D = 4.5\text{ V}$ , see Figure 35
	$\pm 0.45$	$\pm 0.8$	$\pm 20.0$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.04$			nA typ	$V_S = V_D = \pm 4.5\text{ V}$ , see Figure 31
	$\pm 0.3$	$\pm 1.1$	$\pm 22.0$	nA max	
<b>DIGITAL OUTPUTS</b>					
<b>SDO</b>					
Output Voltage Low, $V_{OL}$			0.4	V max	$I_{SINK} = 5\text{ mA}$
			0.2	V max	$I_{SINK} = 1\text{ mA}$
High Impedance Leakage Current	0.001			$\mu\text{A typ}$	$V_{OUT} = V_{GND}$ or $V_L$
			$\pm 0.1$	$\mu\text{A max}$	
High Impedance Output Capacitance	4			pF typ	
<b>GPOx</b>					
Output Voltage High, $V_{OH}$			$V_L - 0.2\text{ V}$	V min	$I_{SOURCE} = 100\text{ }\mu\text{A}$
Low, $V_{OL}$			0.2	V max	$I_{SINK} = 100\text{ }\mu\text{A}$
<b>Timing</b>					
$t_{ON}$ (GPO)	95			ns typ	$C_L = 15\text{ pF}$ , see Figure 43
	115	115	115	ns max	
$t_{OFF}$ (GPO)	15			ns typ	$C_L = 15\text{ pF}$ , see Figure 43
	20	25	25	ns max	
Break-Before-Make Time Delay, $t_D$	50			ns typ	$C_L = 15\text{ pF}$ , see Figure 44
			35	ns min	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>DIGITAL INPUTS</b>					
Input Voltage High, $V_{INH}$			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, $V_{INL}$			0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, $I_{INL}$ or $I_{INH}$	0.001		$\pm 0.1$	$\mu\text{A typ}$ $\mu\text{A max}$	$V_{IN} = V_{GND}$ or $V_L$
Digital Input Capacitance, $C_{IN}$	4			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	320	515	570	ns typ	$R_L = 100\ \Omega$ , $C_L = 35\text{ pF}$
				ns max	$V_S = 3\text{ V}$ , see Figure 40
$t_{ON}$ (EN)	265	425	470	ns typ	$R_L = 100\ \Omega$ , $C_L = 35\text{ pF}$
				ns max	$V_S = 3\text{ V}$ , see Figure 41
$t_{OFF}$ (EN)	245	370	400	ns typ	$R_L = 100\ \Omega$ , $C_L = 35\text{ pF}$
				ns max	$V_S = 3\text{ V}$ , see Figure 41
Break-Before-Make Time Delay, $t_D$	95			ns typ	$R_L = 100\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	-10		55	ns min	$V_{S1} = V_{S2} = 3\text{ V}$ , see Figure 39
				pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 42
Off Isolation	-64			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 34
Channel to Channel Crosstalk	-70			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 33
Total Harmonic Distortion + Noise	0.06			% typ	$R_L = 110\ \Omega$ , 5 V p-p, $f = 20\text{ Hz}$ to 20 kHz, see Figure 36
-3 dB Bandwidth	40			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 37
				MHz typ	
Insertion Loss	0.5			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 26 and Figure 27
$C_S$ (Off)	20			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	130			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
				pF typ	
$C_D$ (On), $C_S$ (On)	180			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
				pF typ	
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	0.002		1	$\mu\text{A typ}$	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$
				$\mu\text{A max}$	Digital inputs = 0 V or $V_L$ , $V_L = 5.5\text{ V}$
				$\mu\text{A typ}$	S8/S4A closed, $V_L = 2.7\text{ V}$
	14		20	$\mu\text{A max}$	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
$I_L$					
Inactive	6.3		8.0	$\mu\text{A typ}$	Digital inputs = 0 V or $V_L$
Inactive, SCLK = 1 MHz	14			$\mu\text{A max}$	$\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 5\text{ V}$
	7			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 3\text{ V}$
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 5\text{ V}$
	210			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 3\text{ V}$
Inactive, SDI = 1 MHz	15			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$
	7.5			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$
SDI = 25 MHz	230			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$
	120			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$
Active at 50 MHz	1.8			$\text{mA typ}$	Digital inputs toggle between 0 V and $V_L$ , $V_L = 5.5\text{ V}$
			2.1	$\text{mA max}$	
				$\text{mA typ}$	Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7\text{ V}$
$I_{SS}$	0.002		1.0	$\mu\text{A typ}$	Digital inputs = 0 V or $V_L$
			1.0	$\mu\text{A max}$	
$V_{DD}/V_{SS}$			$\pm 4.5$	V min	GND = 0 V
			$\pm 16.5$	V max	GND = 0 V

1 設計により性能は確保していますが、出荷テストの対象外です。

## 12Vの単電源

特に指定のない限り、 $V_{DD} = 12\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $V_L = 2.7\text{V} \sim 5.5\text{V}$ 、 $\text{GND} = 0\text{V}$ 。

表 3.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 V to $V_{DD}$	V	
On Resistance, $R_{ON}$	6.7			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 10\text{ V}$ , $I_S = -10\text{ mA}$ , see Figure 32
	8.7	10.2	11.7	$\Omega\text{ max}$	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.2			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 10\text{ V}$ , $I_S = -10\text{ mA}$
	0.82	0.85	1.1	$\Omega\text{ max}$	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.5			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 10\text{ V}$ , $I_S = -10\text{ mA}$
	2.5	2.5	2.8	$\Omega\text{ max}$	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.04$			$\text{nA typ}$	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 35
	$\pm 0.2$	$\pm 0.6$	$\pm 5.0$	$\text{nA max}$	
Drain Off Leakage, $I_D$ (Off)	$\pm 0.04$			$\text{nA typ}$	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 35
	$\pm 0.45$	$\pm 1.0$	$\pm 37.0$	$\text{nA max}$	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.06$			$\text{nA typ}$	$V_S = V_D = 1\text{ V}/10\text{ V}$ , see Figure 31
	$\pm 0.44$	$\pm 1.3$	$\pm 32.0$	$\text{nA max}$	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>DIGITAL OUTPUTS</b>					
<b>SDO</b>					
Output Voltage			0.4	V max	$I_{SINK} = 5 \text{ mA}$
Low, $V_{OL}$			0.2	V max	$I_{SINK} = 1 \text{ mA}$
High Impedance Leakage Current	0.001		$\pm 0.1$	$\mu\text{A typ}$ $\mu\text{A max}$	$V_{OUT} = V_{GND} \text{ or } V_L$
High Impedance Output Capacitance	4			pF typ	
<b>GPOX</b>					
Output Voltage			$V_L - 0.2 \text{ V}$	V min	$I_{SOURCE} = 100 \mu\text{A}$
High, $V_{OH}$			0.2	V max	$I_{SINK} = 100 \mu\text{A}$
Low, $V_{OL}$					
<b>Timing</b>					
$t_{ON}$ (GPO)	95			ns typ	$C_L = 15 \text{ pF}$ , see Figure 43
	115	115	115	ns max	
$t_{OFF}$ (GPO)	15			ns typ	$C_L = 15 \text{ pF}$ , see Figure 43
	20	25	25	ns max	
Break-Before-Make Time Delay, $t_D$	50			ns typ	$C_L = 15 \text{ pF}$ , see Figure 44
			35	ns min	
<b>DIGITAL INPUTS</b>					
Input Voltage			2	V min	$3.3 \text{ V} < V_L \leq 5.5 \text{ V}$
High, $V_{INH}$			1.35	V min	$2.7 \text{ V} \leq V_L \leq 3.3 \text{ V}$
Low, $V_{INL}$			0.8	V max	$3.3 \text{ V} < V_L \leq 5.5 \text{ V}$
			0.8	V max	$2.7 \text{ V} \leq V_L \leq 3.3 \text{ V}$
Input Current, $I_{INL}$ or $I_{INH}$	0.001		$\pm 0.1$	$\mu\text{A typ}$ $\mu\text{A max}$	$V_{IN} = V_{GND} \text{ or } V_L$
Digital Input Capacitance, $C_{IN}$	4			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	210			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	280	340	385	ns max	$V_S = 8 \text{ V}$ , see Figure 40
$t_{ON}$ (EN)	195			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	250	295	325	ns max	$V_S = 8 \text{ V}$ , see Figure 41
$t_{OFF}$ (EN)	145			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
	185	215	240	ns max	$V_S = 8 \text{ V}$ , see Figure 41
Break-Before-Make Time Delay, $t_D$	90			ns typ	$R_L = 100 \Omega$ , $C_L = 35 \text{ pF}$
			50	ns min	$V_{S1} = V_{S2} = 8 \text{ V}$ , see Figure 39
Charge Injection, $Q_{INJ}$	-12			pC typ	$V_S = 6 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 42
Off Isolation	-64			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 34
Channel to Channel Crosstalk	-70			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 33
-3 dB Bandwidth					$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37
ADGS1408	36			MHz typ	
ADGS1409	72			MHz typ	
Insertion Loss	0.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 26 and Figure 27
$C_S$ (Off)	20			pF typ	$V_S = 6 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (Off)					$V_S = 6 \text{ V}$ , $f = 1 \text{ MHz}$
ADGS1408	120			pF typ	
ADGS1409	60			pF typ	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
C <sub>D</sub> (On), C <sub>S</sub> (On)					V <sub>S</sub> = 6 V, f = 1 MHz
ADGS1408	170			pF typ	
ADGS1409	110			pF typ	
<b>POWER REQUIREMENTS</b>					
I <sub>DD</sub>	0.002			μA typ	V <sub>DD</sub> = 13.2 V All switches open
			1	μA max	
	220			μA typ	S8/S4A closed, V <sub>L</sub> = 5.5 V
			380	μA max	
	270			μA typ	S8/S4A closed, V <sub>L</sub> = 2.7 V
			440	μA max	
I <sub>L</sub>					
Inactive	6.3			μA typ	Digital inputs = 0 V or V <sub>L</sub>
			8.0	μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{\text{CS}} = V_L$ and SDI = 0 V or V <sub>L</sub> , V <sub>L</sub> = 5 V
	7			μA typ	$\overline{\text{CS}} = V_L$ and SDI = 0 V or V <sub>L</sub> , V <sub>L</sub> = 3 V
SCLK = 50 MHz	390			μA typ	$\overline{\text{CS}} = V_L$ and SDI = 0 V or V <sub>L</sub> , V <sub>L</sub> = 5 V
	210			μA typ	$\overline{\text{CS}} = V_L$ and SDI = 0 V or V <sub>L</sub> , V <sub>L</sub> = 3 V
Inactive, SDI = 1 MHz	15			μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V <sub>L</sub> , V <sub>L</sub> = 5 V
	7.5			μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V <sub>L</sub> , V <sub>L</sub> = 3 V
SDI = 25 MHz	230			μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V <sub>L</sub> , V <sub>L</sub> = 5 V
	120			μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V <sub>L</sub> , V <sub>L</sub> = 3 V
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V <sub>L</sub> , V <sub>L</sub> = 5.5 V
			2.1	mA max	
	0.7			mA typ	Digital inputs toggle between 0 V and V <sub>L</sub> , V <sub>L</sub> = 2.7 V
			1.0	mA max	
V <sub>DD</sub>			5	V min	GND = 0 V, V <sub>SS</sub> = 0 V
			20	V max	GND = 0 V, V <sub>SS</sub> = 0 V

<sup>1</sup> 設計により性能は確保していますが、出荷テストの対象外です。

## チャンネルごとの連続電流 (Sx または Dx)

表 4. ADGS1408、1 チャンネルをオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR D <sup>1</sup>				
V <sub>DD</sub> = 15 V, V <sub>SS</sub> = -15 V (θ <sub>JA</sub> = 58.4°C/W)	304.9	133.6	48.9	mA max
V <sub>DD</sub> = 12 V, V <sub>SS</sub> = 0 V (θ <sub>JA</sub> = 58.4°C/W)	259.7	122.7	48	mA max
V <sub>DD</sub> = 5 V, V <sub>SS</sub> = -5 V (θ <sub>JA</sub> = 58.4°C/W)	247.2	119.3	47.6	mA max

<sup>1</sup> Sx は S1~S8 ピンを表します。

表 5. ADGS1409、2 チャンネルをオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx <sup>1</sup>				
V <sub>DD</sub> = 15 V, V <sub>SS</sub> = -15 V (θ <sub>JA</sub> = 58.4°C/W)	229.6	114.3	47.2	mA max
V <sub>DD</sub> = 12 V, V <sub>SS</sub> = 0 V (θ <sub>JA</sub> = 58.4°C/W)	194.7	103	45.7	mA max
V <sub>DD</sub> = 5 V, V <sub>SS</sub> = -5 V (θ <sub>JA</sub> = 58.4°C/W)	185.2	99.6	45.2	mA max

<sup>1</sup> Sx は S1A~S4A および S1B~S4B ピン、Dx は DA および DB ピンを表します。

## タイミング特性

特に指定のない限り、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 、すべての仕様で  $T_{MIN} \sim T_{MAX}$ 。設計と特性評価により性能は確保していますが、出荷テストの対象外です。

表 6.

Parameter	Limit	Unit	Test Conditions/Comments
TIMING CHARACTERISTICS			
$t_1$	20	ns min	SCLK or CNV period
$t_2$	8	ns min	SCLK or CNV high pulse width
$t_3$	8	ns min	SCLK or CNV low pulse width
$t_4$	10	ns min	$\overline{CS}$ falling edge to SCLK or CNV active edge
$t_5$	6	ns min	Data setup time
$t_6$	8	ns min	Data hold time
$t_7$	10	ns min	SCLK or CNV active edge to $\overline{CS}$ rising edge
$t_8$	20	ns max	$\overline{CS}$ falling edge to SDO data available
$t_9^1$	20	ns max	SCLK falling edge to SDO data available
$t_{10}$	20	ns max	$\overline{CS}$ rising edge to SDO returns to high impedance
$t_{11}$	20	ns min	$\overline{CS}$ high time between SPI commands
$t_{12}$	8	ns min	$\overline{CS}$ falling edge to SCLK/CNV becomes stable
$t_{13}$	8	ns min	$\overline{CS}$ rising edge to SCLK/CNV becomes stable

<sup>1</sup>  $V_L$  と 20pF の負荷に接続された 1k $\Omega$  のプルアップ抵抗で測定。SDO を使用する場合の最大 SCLK 周波数は  $t_9$  で決定します。

## タイミング図

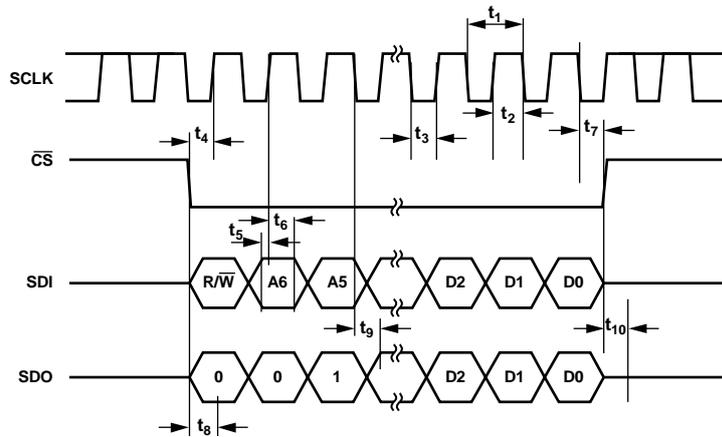


図 3. アドレス・モードのタイミング図

16791-102

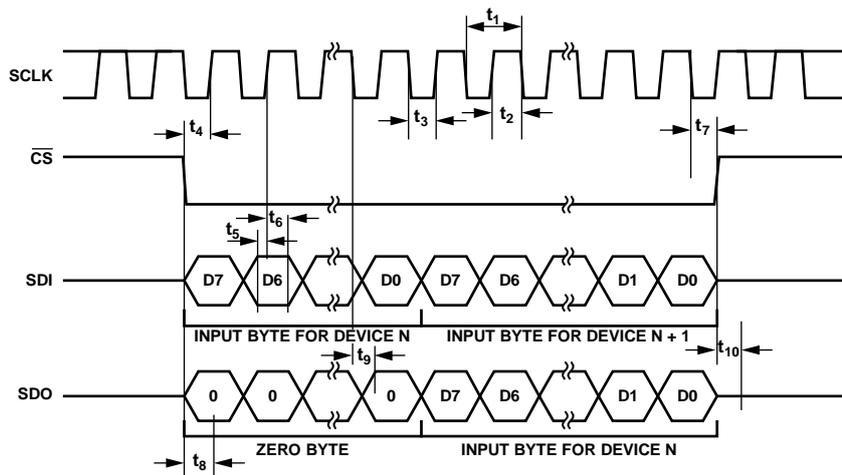


図 4. デイジーチェーンのタイミング図

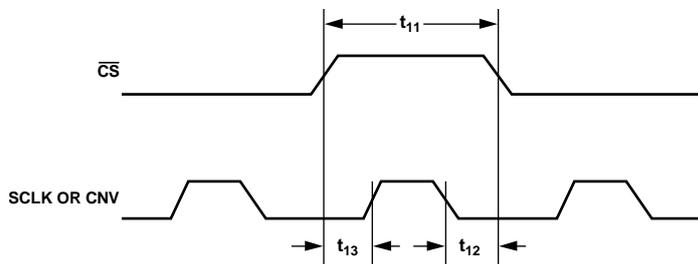


図 5. SCLK または CNV と  $\overline{CS}$  のタイミング関係

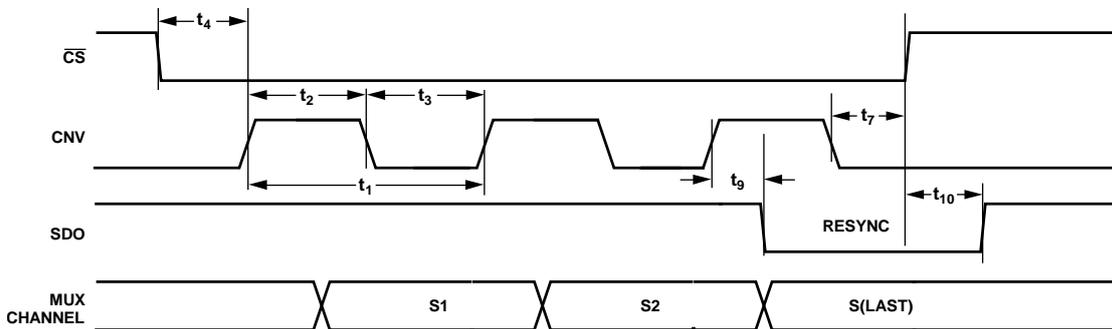


図 6. ラウンド・ロビンのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	35 V
$V_{DD}$ to GND	-0.3 V to +25 V
$V_{SS}$ to GND	+0.3 V to -25 V
$V_L$ to GND	
For $V_{DD} \leq 5.5\text{V}$	-0.3 V to $V_{DD} + 0.3\text{ V}$
For $V_{DD} > 5.5\text{V}$	-0.3 V to +6 V
SDO	-0.3 V to +6 V
GPOx	-0.3 V to $V_L + 0.3\text{ V}$
Analog Inputs <sup>1</sup>	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs <sup>1</sup>	-0.3 V to +6 V
Peak Current, Sx or Dx Pins <sup>2</sup>	497 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx <sup>2,3</sup>	Data + 15%
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb-Free	260(+0/-5)°C

<sup>1</sup> デジタル Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup> Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

<sup>3</sup> 表 4 および表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 8. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JCB}$ <sup>1</sup>	$\Psi_{JT}$	Unit
CP-24-17 <sup>2</sup>	58.4	17.2	2.2	°C/W

<sup>1</sup>  $\theta_{JCB}$  は、ジャンクションとケース底部の間の値です。

<sup>2</sup> 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

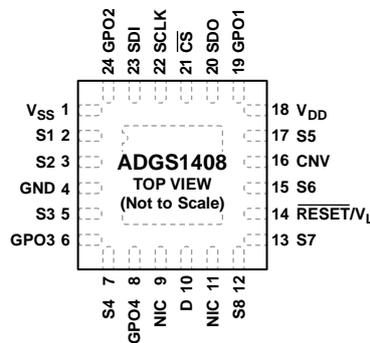
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



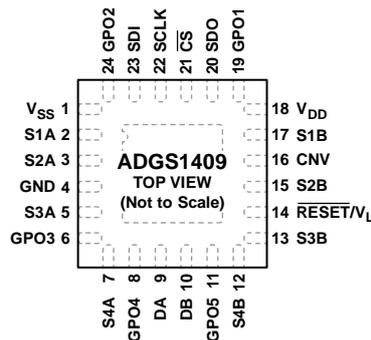
- NOTES**
1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE,  $V_{SS}$ .
  2. NIC = NOT INTERNALLY CONNECTED.

16791-007

図 7. ADGS1408 のピン配置

表 9. ADGS1408 のピン機能の説明

Pin No.	Mnemonic	説明
1	$V_{SS}$	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
2	S1	ソース端子 1。このピンは、入力または出力に設定できます。
3	S2	ソース端子 2。このピンは、入力または出力に設定できます。
4	GND	グラウンド (0V) リファレンス。
5	S3	ソース端子 3。このピンは、入力または出力に設定できます。
6	GPO3	汎用出力 3。このピンはデジタル出力です。
7	S4	ソース端子 4。このピンは、入力または出力に設定できます。
8	GPO4	汎用出力 4。このピンはデジタル出力です。
9, 11	NIC	内部では未接続。
10	D	ドレイン端子。このピンは、入力または出力に設定できます。
12	S8	ソース端子 8。このピンは、入力または出力に設定できます。
13	S7	ソース端子 7。このピンは、入力または出力に設定できます。
14	RESET/ $V_L$	RESET/ロジック電源入力 ( $V_L$ )。通常動作では、2.7V~5.5V の電源で RESET/ $V_L$ ピンを駆動します。ハードウェア・リセットを完了するには、RESET/ $V_L$ ピンをローにプルダウンします。リセット後、すべてのスイッチは解放になり、該当するレジスタがデフォルト値に設定されます。
15	S6	ソース端子 6。このピンは、入力または出力に設定できます。
16	CNV	変換デジタル入力。ラウンド・ロビン・モードでは、CNV ピンを使用して選択したチャンネルを循環します。
17	S5	ソース端子 5。このピンは、入力または出力に設定できます。
18	$V_{DD}$	正電源の電位。
19	GPO1	汎用出力 1。このピンはデジタル出力です。
20	SDO	シリアル・データ出力。多数のデバイスをデジチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックしたりするには、このピンを使用します。シリアル・データは SCLK の立上がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を $V_L$ にプルダウンします。
21	$\overline{CS}$	アクティブ・ローのコントロール入力。 $\overline{CS}$ は、入力データのフレーム同期信号です。
22	SCLK	シリアル・クロック入力。SCLK の立上がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立上がりエッジでデータがキャプチャされます。
24	GPO2	汎用出力 2。このピンはデジタル出力です。
	EPAD	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、この露出パッドを基板 $V_{SS}$ にハンダ付けすることを推奨します。



NOTES

1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE,  $V_{SS}$ .

16791-008

図 8. ADGS1409 のピン配置

表 10. ADGS1409 のピン機能の説明

Pin No.	Mnemonic	説明
1	$V_{SS}$	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
2	S1A	ソース端子 1A。このピンは、入力または出力に設定できます。
3	S2A	ソース端子 2A。このピンは、入力または出力に設定できます。
4	GND	グラウンド (0V) リファレンス。
5	S3A	ソース端子 3A。このピンは、入力または出力に設定できます。
6	GPO3	汎用出力 3。このピンはデジタル出力です。
7	S4A	ソース端子 4A。このピンは、入力または出力に設定できます。
8	GPO4	汎用出力 4。このピンはデジタル出力です。
9	DA	ドレイン端子 A。このピンは、入力または出力に設定できます。
10	DB	ドレイン端子 B。このピンは、入力または出力に設定できます。
11	GPO5	汎用出力 5。このピンはデジタル出力です。
12	S4B	ソース端子 4B。このピンは、入力または出力に設定できます。
13	S3B	ソース端子 3B。このピンは、入力または出力に設定できます。
14	RESET/ $V_L$	RESET/ロジック電源入力 ( $V_L$ )。通常動作では、2.7V~5.5V の電源で RESET/ $V_L$ ピンを駆動します。ハードウェア・リセットを完了するには、RESET/ $V_L$ ピンをローにプルダウンします。リセット後、すべてのスイッチは解放になり、該当するレジスタがデフォルト値に設定されます。
15	S2B	ソース端子 2B。このピンは、入力または出力に設定できます。
16	CNV	変換デジタル入力。ラウンド・ロビン・モードでは、CNV ピンを使用して選択したチャンネルを循環します。
17	S1B	ソース端子 1B。このピンは、入力または出力に設定できます。
18	$V_{DD}$	正電源の電位。
19	GPO1	汎用出力 1。このピンはデジタル出力です。
20	SDO	シリアル・データ出力。多数のデバイスをデイズチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックしたりするには、このピンを使用します。シリアル・データは SCLK の立上がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を $V_L$ にプルダウンします。
21	$\overline{CS}$	アクティブ・ローのコントロール入力。 $\overline{CS}$ は、入力データのフレーム同期信号です。
22	SCLK	シリアル・クロック入力。SCLK の立上がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立上がりエッジでデータがキャプチャされます。
24	GPO2 EPAD	汎用出力 2。このピンはデジタル出力です。 露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、この露出パッドを基板 $V_{SS}$ にハンダ付けすることを推奨します。

代表的な性能特性

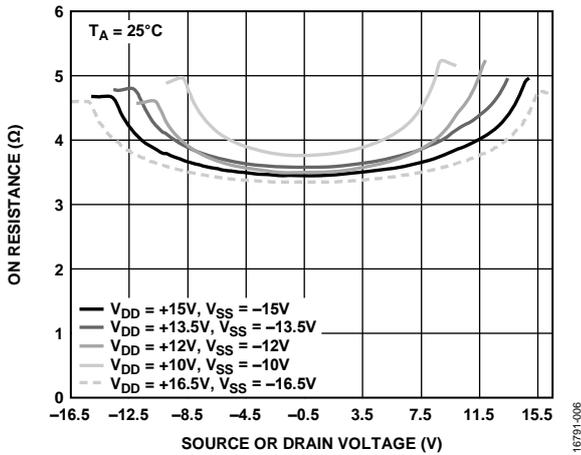


図 9. 様々な両電源でのオン抵抗と  $V_S$  または  $V_D$  の関係

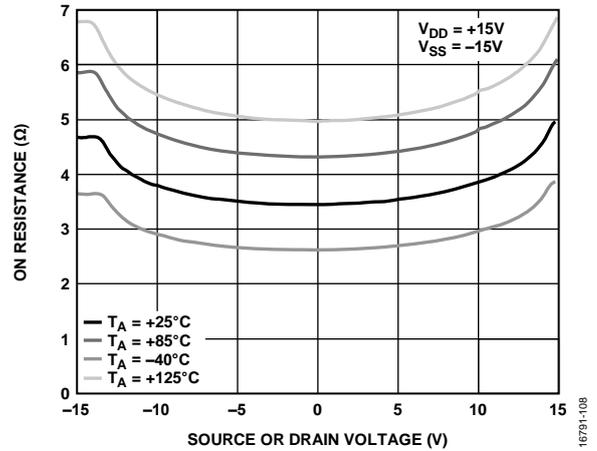


図 12. 様々な温度でのオン抵抗と  $V_S$  または  $V_D$  の関係、 $\pm 15V$  の両電源

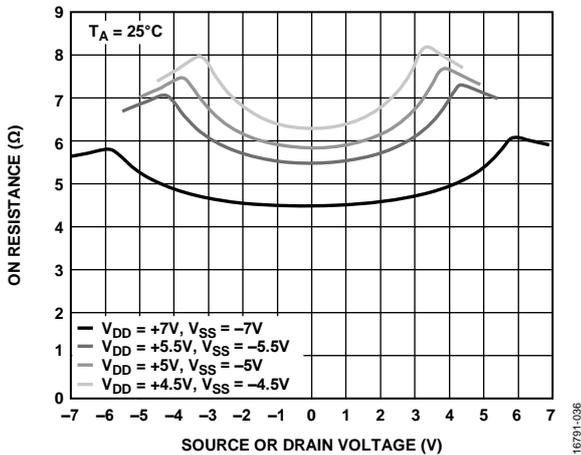


図 10. 様々な両電源でのオン抵抗と  $V_S$  または  $V_D$  の関係

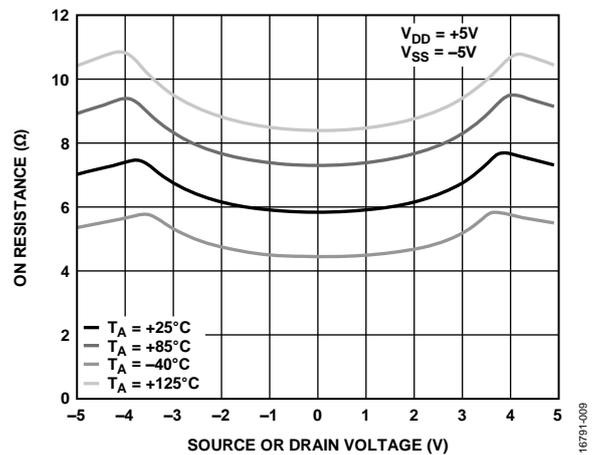


図 13. 様々な温度でのオン抵抗と  $V_S$  または  $V_D$  の関係、 $\pm 5V$  の両電源

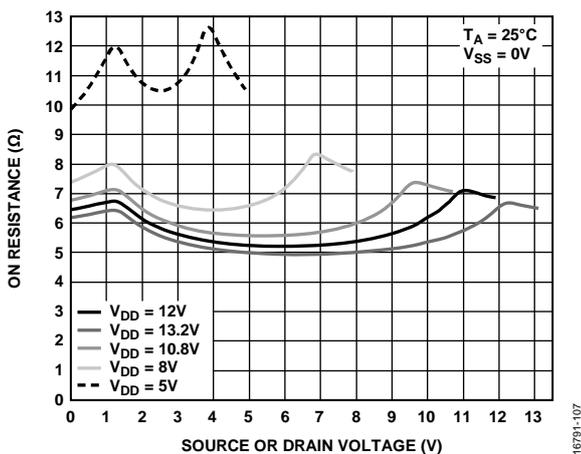


図 11. 様々な単電源でのオン抵抗と  $V_S$  または  $V_D$  の関係

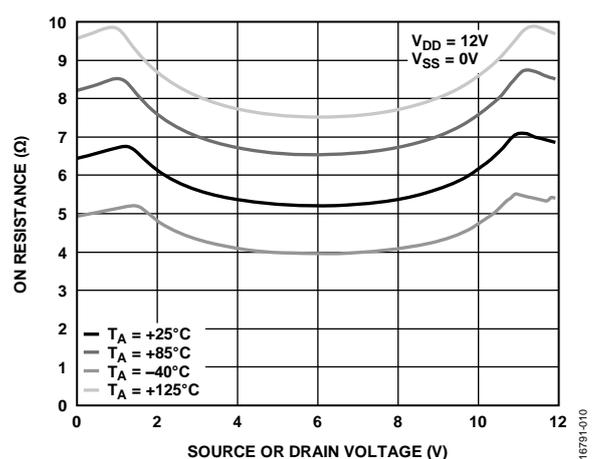


図 14. 様々な温度でのオン抵抗と  $V_S$  または  $V_D$  の関係、 $\pm 12V$  の単電源

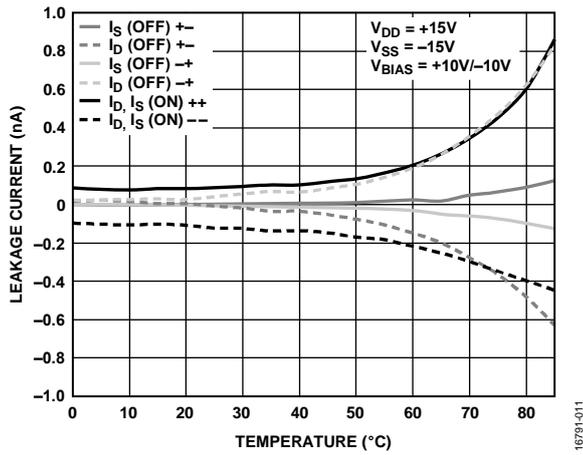


図 15. リーク電流の温度特性、±15V の両電源

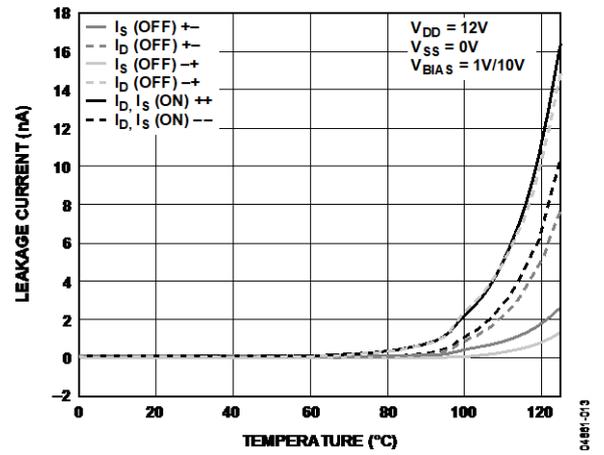


図 18. リーク電流の温度特性、12V の単電源

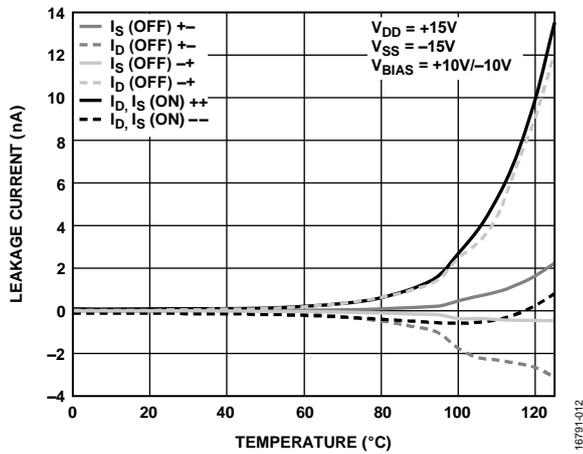


図 16. リーク電流の温度特性、±15V の両電源

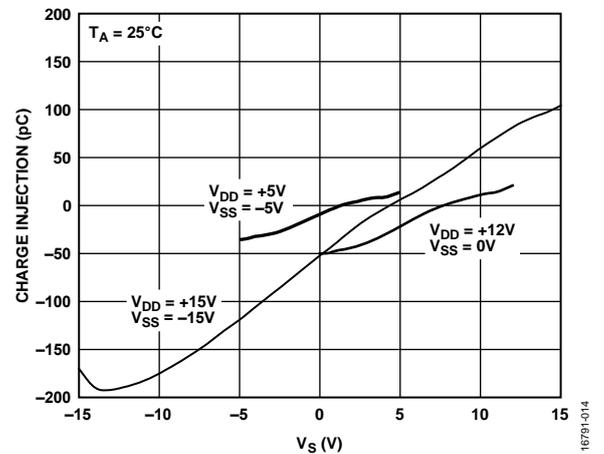


図 19. チャージ・インJECTIONとソース電圧 ( $V_S$ ) の関係

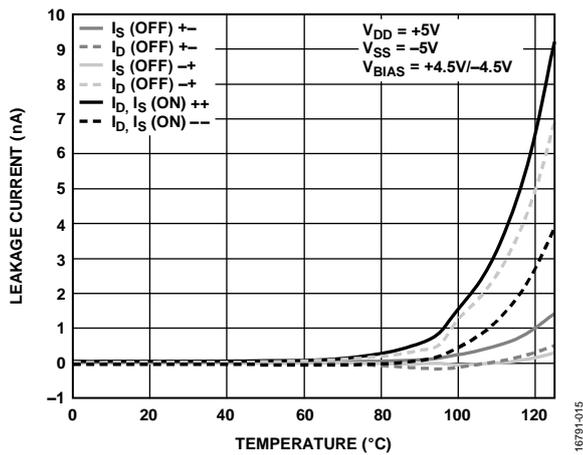


図 17. リーク電流の温度特性、±5V の両電源

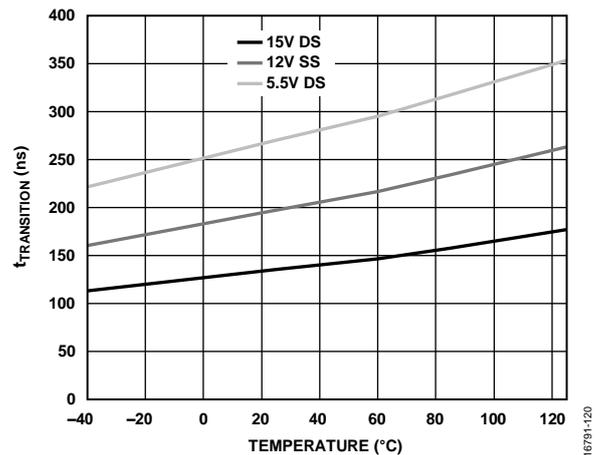


図 20. 遷移時間と温度の関係、単電源 (SS) と両電源 (DS)

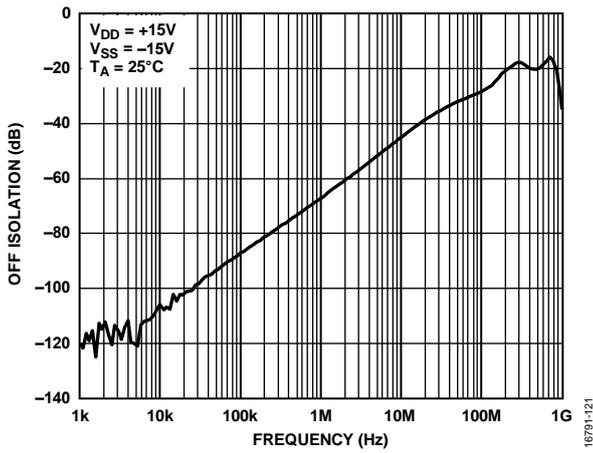


図 21. オフ・アイソレーションの周波数特性、±15V の両電源

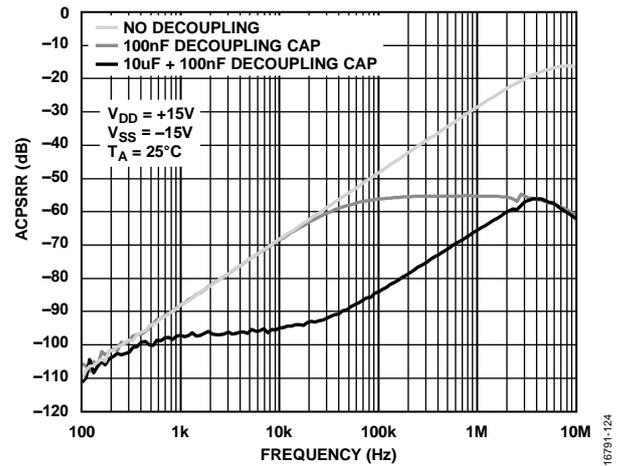


図 24. AC 電源電圧変動除去比 (ACPSRR) の周波数特性、±15V の両電源

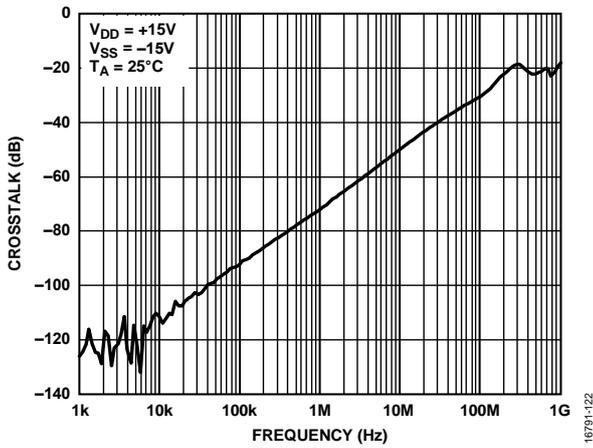


図 22. ADGS1408 のクロストークの周波数特性、±15V の両電源

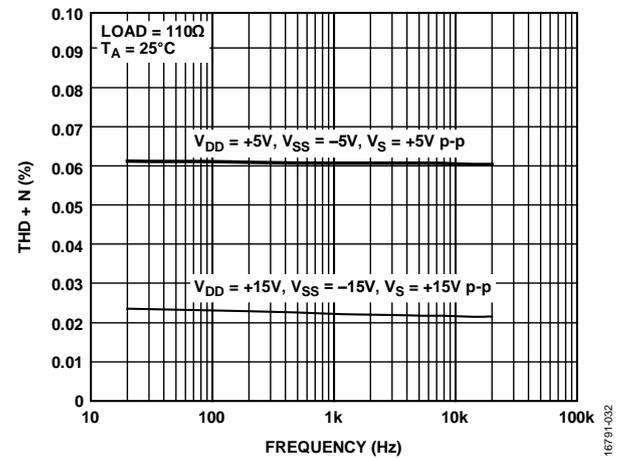


図 25. THD + N の周波数特性

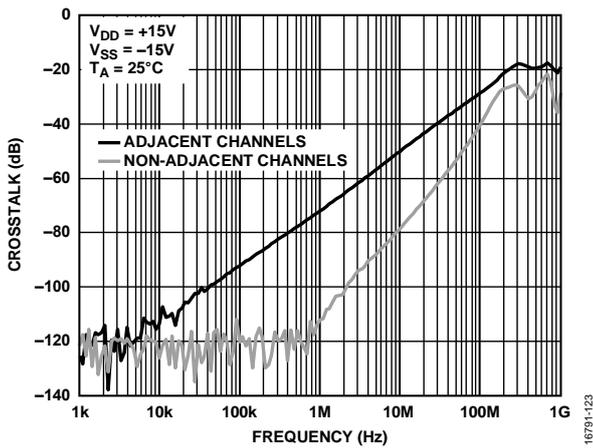


図 23. ADGS1409 のクロストークの周波数特性、±15V の両電源

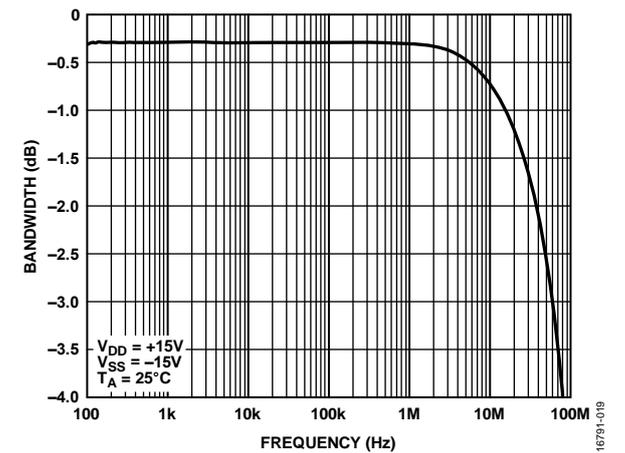


図 26. ADGS1408 の挿入損失の周波数特性、±15V の両電源

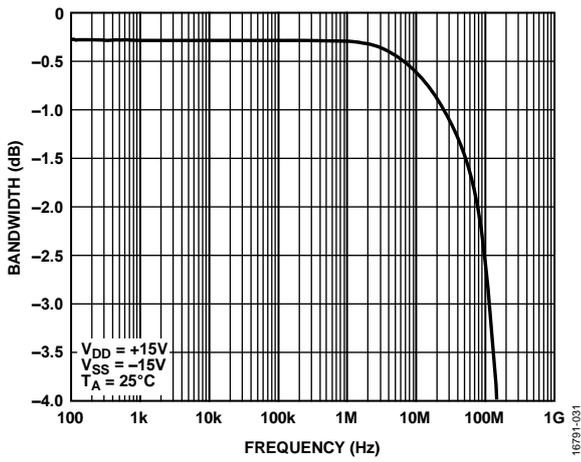


図 27. ADGS1409 の挿入損失の周波数特性、±15V の両電源

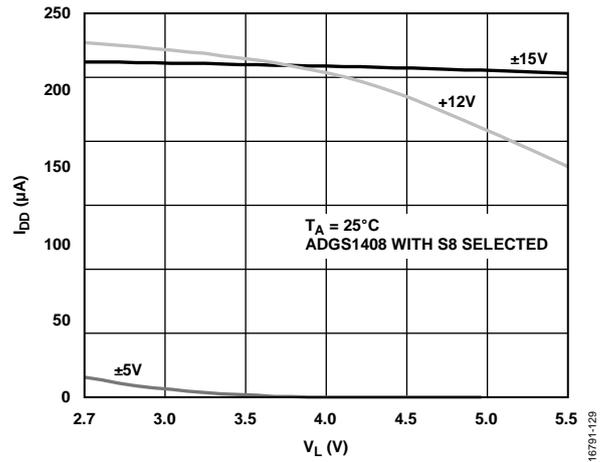


図 29.  $I_{DD}$  と  $V_L$  の関係

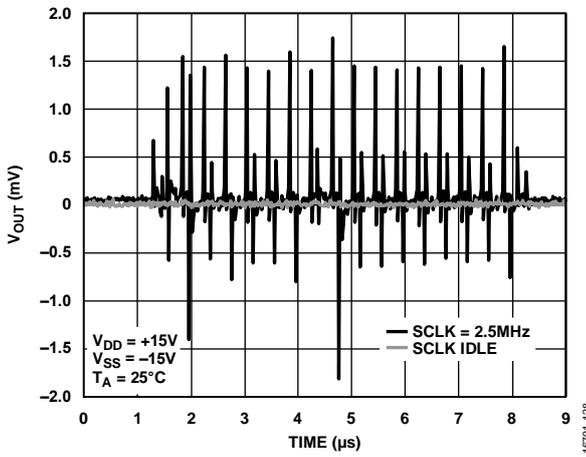


図 28. デジタル・フィードスルー

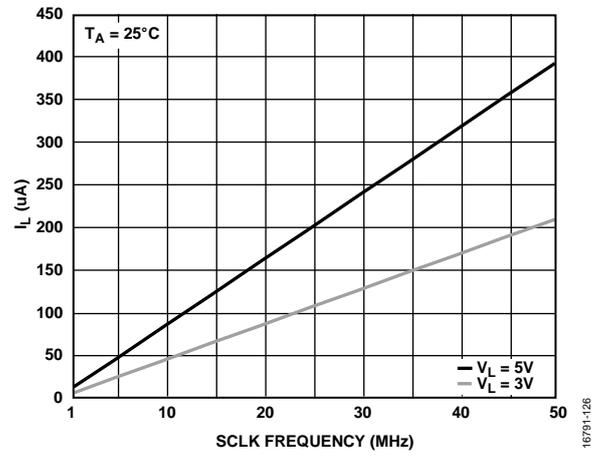


図 30.  $\overline{CS}$  がハイの場合の  $I_L$  の SCLK 周波数特性

## 試験回路

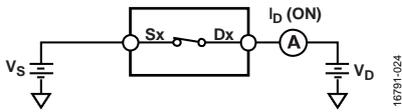


図 31. オン・リーク

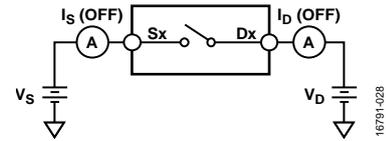


図 35. オフ・リーク

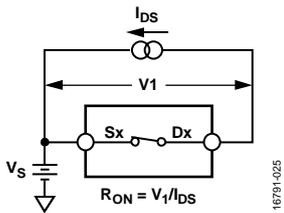


図 32. オン抵抗

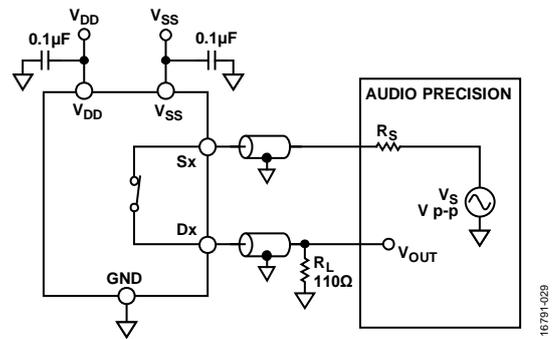
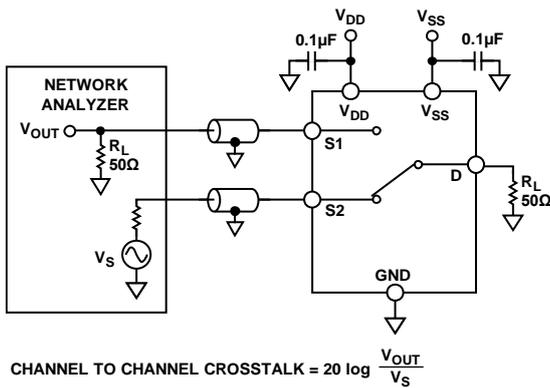
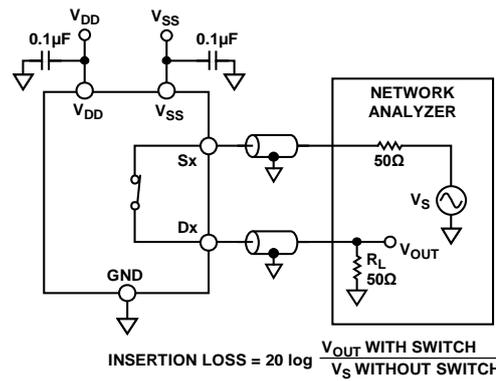


図 36. THD + ノイズ



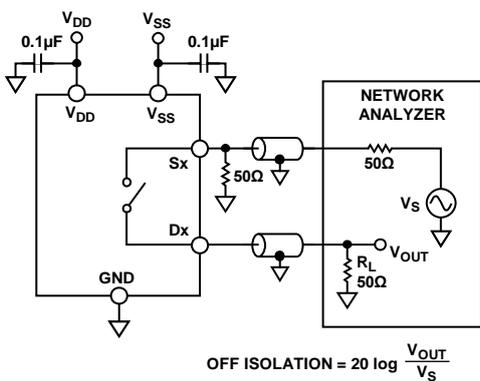
$$\text{CHANNEL TO CHANNEL CROSSTALK} = 20 \log \frac{V_{OUT}}{V_S}$$

図 33. チャンネル間クロストーク



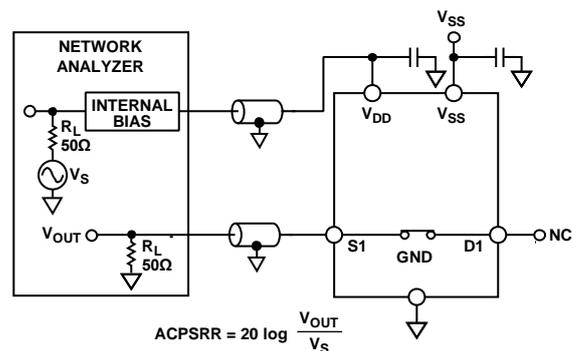
$$\text{INSERTION LOSS} = 20 \log \frac{V_{OUT \text{ WITH SWITCH}}}{V_S \text{ WITHOUT SWITCH}}$$

図 37. -3dB 帯域幅



$$\text{OFF ISOLATION} = 20 \log \frac{V_{OUT}}{V_S}$$

図 34. オフ・アイソレーション



$$\text{ACPSRR} = 20 \log \frac{V_{OUT}}{V_S}$$

図 38. ACPSRR

NOTES  
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE ACPSRR MEASUREMENT.

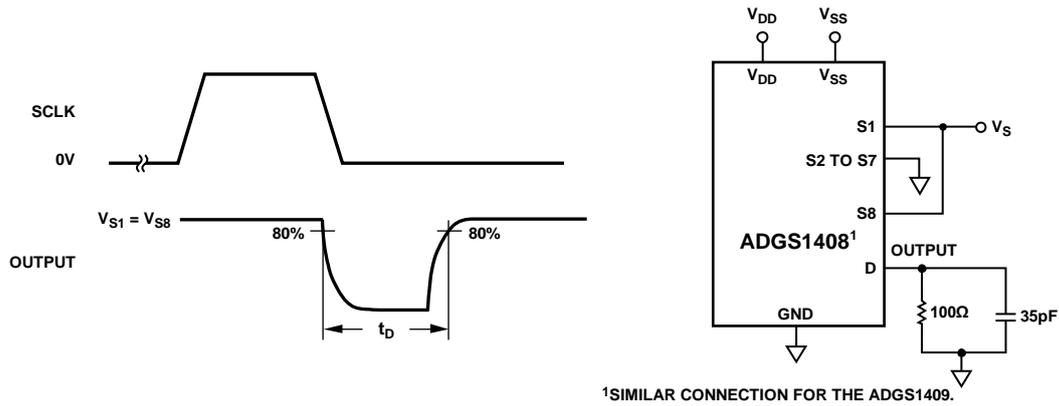


図 39. ブレークビフォアメークの遅延時間、 $t_d$

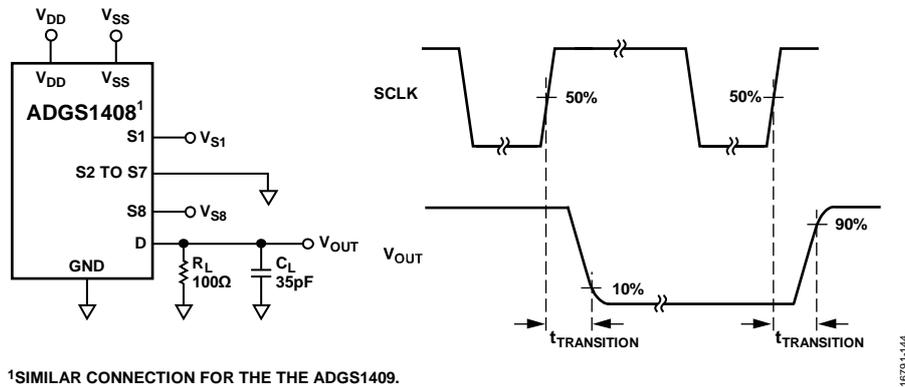


図 40. 遷移時間、 $t_{\text{TRANSITION}}$

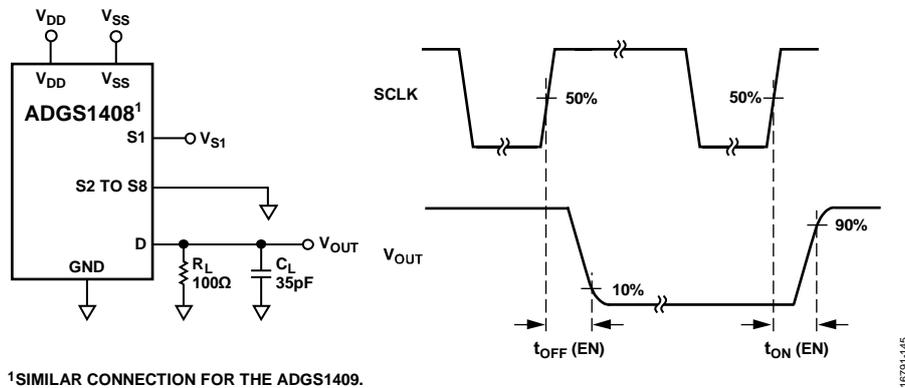
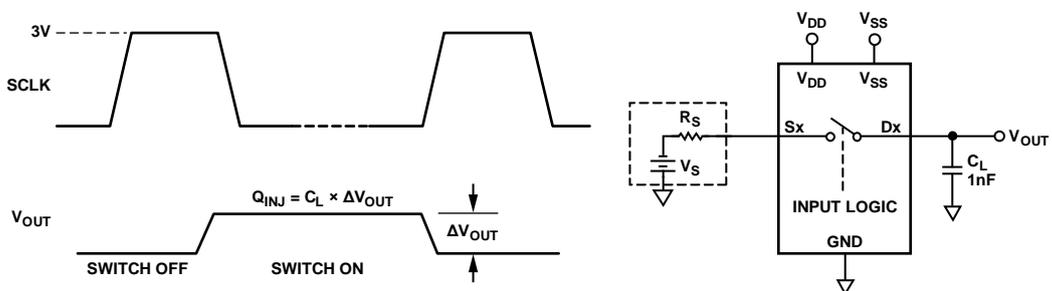
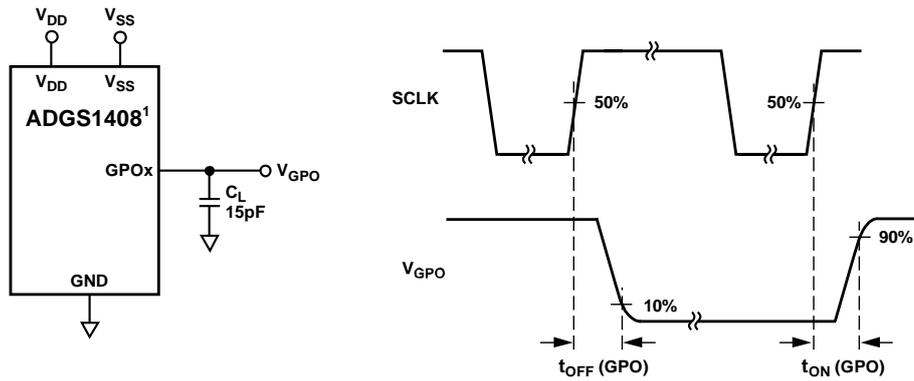


図 41. スイッチング時間、 $t_{\text{ON}}(\text{EN})$  および  $t_{\text{OFF}}(\text{EN})$

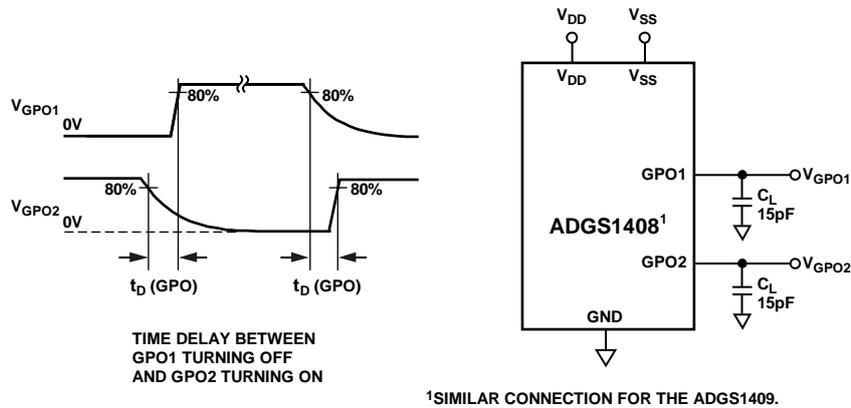




<sup>1</sup>SIMILAR CONNECTION FOR THE ADGS1409.

図 43. GPOx タイミング、 $t_{ON}$  (GPO) および  $t_{OFF}$  (GPO)

16791-146



TIME DELAY BETWEEN  
GPO1 TURNING OFF  
AND GPO2 TURNING ON

<sup>1</sup>SIMILAR CONNECTION FOR THE ADGS1409.

図 44. GPOx ブレークビフォアメーカーの遅延時間、 $t_D$  (GPO)

16791-147

## 用語の定義

**I<sub>DD</sub>**

正の電源電流。

**I<sub>SS</sub>**

負の電源電流。

**V<sub>D</sub>、V<sub>S</sub>**

V<sub>D</sub>は端子 D<sub>X</sub>のアナログ電圧、V<sub>S</sub>は端子 S<sub>X</sub>のアナログ電圧。

**R<sub>ON</sub>**

端子 D<sub>X</sub>と端子 S<sub>X</sub>の間のオーミック抵抗。

**ΔR<sub>ON</sub>**

任意の2チャンネル間の R<sub>ON</sub>の差。

**R<sub>FLAT (ON)</sub>**

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として定義される、抵抗値の平坦性。

**I<sub>S (Off)</sub>**

スイッチ・オフ時のソース・リーク電流。

**I<sub>D (Off)</sub>**

スイッチ・オフ時のドレイン・リーク電流。

**I<sub>S (On)</sub>、I<sub>D (On)</sub>**

スイッチ・オン時のチャンネル・リーク電流。

**V<sub>INL</sub>**

ロジック 0 の最大入力電圧。

**V<sub>INH</sub>**

ロジック 1 の最小入力電圧。

**I<sub>INL</sub>、I<sub>INH</sub>**

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

**C<sub>D (Off)</sub>**

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

**C<sub>S (Off)</sub>**

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

**C<sub>D (On)</sub>、C<sub>S (On)</sub>**

スイッチ・オン時の容量。グラウンドを基準として測定。

**C<sub>IN</sub>**

デジタル入力容量。

**t<sub>ON</sub>**

デジタル・コントロールで入力と出力をオンにする間の遅延。

**t<sub>OFF</sub>**

デジタル・コントロールで入力と出力をオフにする間の遅延。

**オフ・アイソレーション**

オフ・スイッチから混入する不要な信号の大きさ。

**チャージ・インジェクション**

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

**クロストーク**

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

**-3dB 帯域幅**

出力が 3dB 減衰する周波数。

**オン応答**

オン状態にあるスイッチの周波数応答。

**挿入損失**

スイッチのオン抵抗に起因する損失。

**全高調波歪み+ノイズ (THD+N)**

基本波成分に対する全高調波成分+信号ノイズの比。

**AC 電源変動除去比 (ACPSRR)**

変調振幅に対する出力信号振幅の比。ACPSRR は、電源電圧ピクに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源の DC 電圧が、0.62V<sub>p-p</sub> のサイン波で変調されます。

## 動作原理

ADGS1408/ADGS1409 はエラー検出機能を備えたシリアル制御アナログ・マルチプレクサのセットであり、ADGS1408 は 8 つの単一チャンネルを、ADGS1409 は 4 つの差動チャンネルを備えています。SPI モード 0 および SPI モード 3 をこれらのデバイスで使用できます。これらのデバイスは、最大 50MHz の SCLK 周波数で動作します。ADGS1408/ADGS1409 のデフォルト・モードはアドレス・モードです。このモードでは、 $\overline{CS}$ によって束ねられた 16 ビットの SPI コマンドで、デバイスのレジスタにアクセスできます。CRC エラー検出が有効な場合、SPI コマンドは 24 ビットになります。その他のエラー検出機能には、SCLK カウント・エラーや無効な読出し/書込みエラーがあります。これらの SPI インターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS1408/ADGS1409 は、バースト・モードとデジタイズチェーン・モードでも動作します。

ADGS1408/ADGS1409 のインターフェース・ピンは、 $\overline{CS}$ 、SCLK、SDI、および SDO です。SPI インターフェースを使用する場合は、 $\overline{CS}$ をローにします。データは SCLK の立上がりエッジ発生時に SDI でキャプチャされ、SCLK の立下がりエッジ発生時に SDO に伝搬されます。SDO にはオープンドレイン出力があり、プルアップをこの出力に接続します。ADGS1408/ADGS1409 がこれをローにプルダウンしていない場合、SDO は高インピーダンス状態になります。

### アドレス・モード

アドレス・モードは、パワーアップ時の ADGS1408/ADGS1409 のデフォルト・モードです。アドレス・モードでは、単一の SPI フレームが  $\overline{CS}$ 立下がりエッジと後続の  $\overline{CS}$ 立上がりエッジによって束ねられています。SPI フレームは、16SCLK サイクルで構成されます。アドレス・モードのタイミング図を図 45 に示します。最初の SDI ビットを使用して、SPI コマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが 0 に設定されている場合は、書込みコマンドが実行されます。最初のビットが 1 に設定されている場合は、読出しコマンドが実行されます。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、指定されたレジスタへデータを提供します。読出しコマンド実行中のクロック・サイクルでは、アドレス指定されたレジスタに含まれるデータが SDO によって伝搬されるため、最後の 8 ビットは無視されます。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI 読出し中に 9~16 番目の SCLK 立下がりエッジで SDO から伝搬されます。レジスタへの書込みは、SPI の書込み中に 16 番目の SCLK 立上がりエッジで発生します。

SPI コマンドの実行中、SDO は初めの 8 つの SCLK 立下がりエッジで 8 つのアライメント・ビットを送信します。SDO から送信されるアライメント・ビットは、0x25 です。

### エラー検出機能

SPI インターフェースでは、プロトコルと通信のエラーを検出できます。不正な SCLK エラー、無効な読出し/書込みアドレスのエラー、CRC エラーの 3 つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するイネーブル・ビットがあります。更に、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

### CRC エラー検出

CRC エラー検出機能では、有効な SPI フレームが 8 つの SCLK サイクル分だけ拡張されます。8 つの追加サイクルは、SPI フレームの CRC バイトを送信するために必要です。CRC バイトは、16 ビットのペイロードを使用して SPI ブロックによって計算されます。ペイロードは、R/W ビット、レジスタ・アドレス・ビット [6:0]、レジスタ・データ・ビット [7:0] で構成されます。SPI ブロックで使用される CRC 多項式は、 $x^8 + x^2 + x^1 + 1$ 、シード値は 0 です。CRC を有効にした場合のタイミング図については、図 46 を参照してください。レジスタへの書込みは、CRC エラー・チェックを有効にした場合に 24 番目の SCLK 立上がりエッジで発生します。

SPI 書込み中に、マイクロコントローラ/CPU は、SDI 経由で CRC バイトを出力します。SPI ブロックは、24 番目の SCLK 立上がりエッジの直前に CRC バイトをチェックします。同じエッジで、SPI インターフェースから不正な CRC バイトが受信されると、レジスタへの書込みは阻止されます。不正な CRC バイトが検出された場合、CRC エラー・フラグがエラー・フラグ・レジスタにアサートされます。

SPI の読出しを実行中、CRC バイトは SDO からマイクロコントローラに出力されます。

CRC エラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

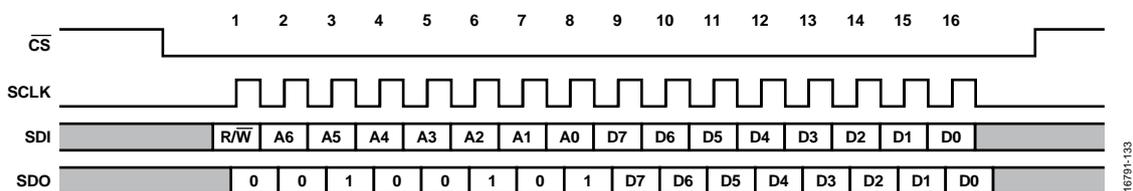


図 45. アドレス・モードのタイミング図

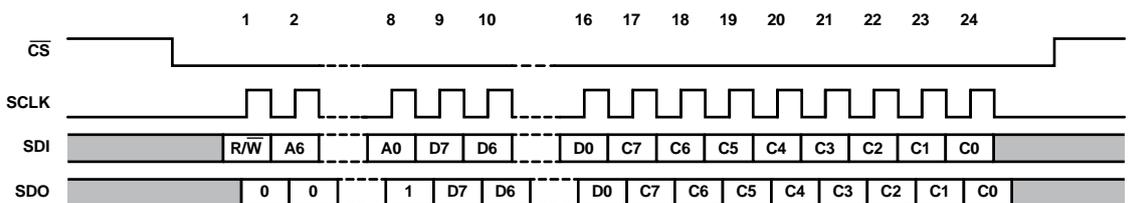


図 46. CRC が有効な場合のタイミング図

## SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラ/CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 以外の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書込みは発生しません。ADGS1408/ADGS1409 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にした場合は、発生する SCLK サイクルの回数は 24 です。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

## 無効な読出し/書込みアドレス・エラーの検出

存在しないレジスタ・アドレスが読出または書込みのターゲットになると、無効な読出し/書込みアドレス・エラーが検出されます。更に、このエラーは、読出し専用レジスタに書出しが試行された場合にもアサートされます。無効な読出し/書込みアドレス・エラーが発生すると、エラー・フラグ・レジスタで無効な読出し/書込みアドレス・エラー・フラグがアサートされます。無効な読出し/書込みアドレス・エラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書込みは発生しません。無効な読出し/書込みアドレスのエラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

## エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な読出し/書込みアドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

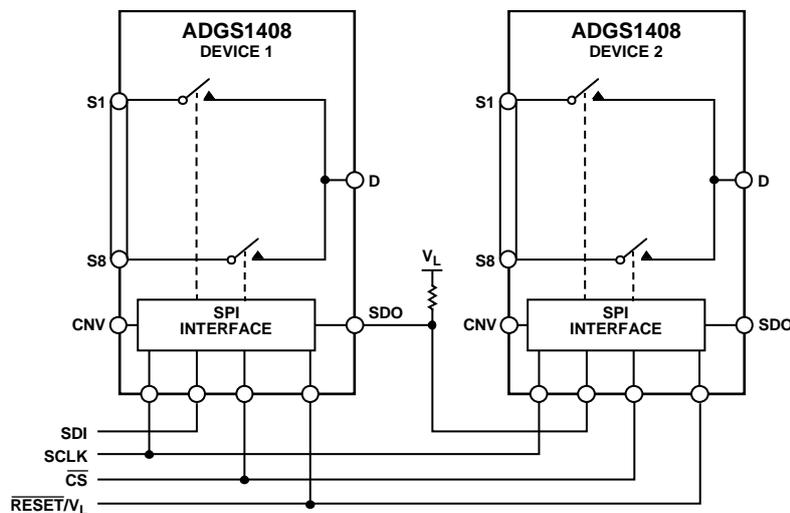


図 48. デイジーチェーン構成で接続された 2 台の ADGS1408 デバイス

## バースト・モード

SPI インターフェースでは、 $\overline{CS}$  ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。更に、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 47 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し/書込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の CS フレーム内の SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

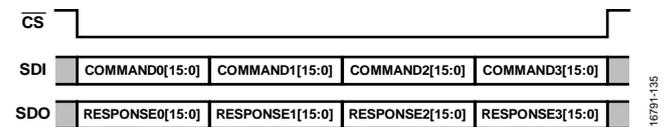


図 47. バースト・モード・フレーム

## ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド（つまり 0xA3 と 0x05）の書込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

## デイジーチェーン・モード

デイジーチェーン設定では、複数の ADGS1408/ADGS1409 デバイスを接続できます。図 48 に、このセットアップを示します。すべてのデバイスが同じ CS と SCLK ラインを共有し、デバイスの SDO が次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デイジーチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デイジーチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デイジーチェーン・モードでは設定を変更できません。

ADGS1408/ADGS1409 は、アドレス・モードで 16 ビットの SPI コマンド 0x2500 (図 49 参照) を送信した場合のみ、デイジーチェーン・モードに移行できます。ADGS1408/ADGS1409 がこのコマンドを受信すると、デバイスの SDO が同じコマンドを送信します。SDO のアライメント・ビットが 0x25 であることが理由です。これにより、デイジーチェーン接続された複数のデバイスを 1 つの SPI フレームでデイジーチェーン・モードに移行できます。デイジーチェーン・モードを終了するには、ハードウェア・リセットが必要です。

代表的なデイジーチェーン SPI フレームのタイミング図については、図 50 を参照してください。CS がハイになると、デバイス 1 はコマンド 0、ビット [7:0] をスイッチ・データ・レジスタに書き込みます。デバイス 2 はコマンド 1、ビット [7:0] をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デイジーチェーン・モードに移行した後、チェーン内の各デバイスに搭載された SDO によって送信される最初の 8 ビットは 0x00 です。CS がハイになると、内部シフト・レジスタ値は 0 にリセットされません。

SCLK の立上がりエッジでは、SDI からデータが読み出されます。一方、SCLK の立下がりエッジでは、SDO からデータが伝搬されます。CS がハイになるまで SCLK サイクルが発生する回数は、8 の倍数になるはずですが、そうでない場合、SPI インターフェースは受信した最後の 8 ビットをスイッチ・データ・レジスタに送信します。

## パワーオン・リセット

ADGS1408/ADGS1409 のデジタル・セクションは、V<sub>L</sub> の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。V<sub>L</sub> の電源投入またはリセットの後、少なくとも 120μs 経過してから SPI コマンドを発行するようにしてください。120μs の初期化フェーズでは、V<sub>L</sub> がドロップアウトしないよう注意してください。V<sub>L</sub> がドロップアウトすると、ADGS1408/ADGS1409 の動作で異常が発生する可能性があるからです。

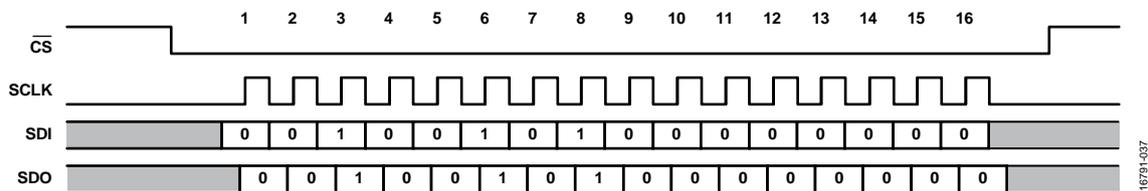


図 49. デイジーチェーン・モードに移行する SPI コマンド

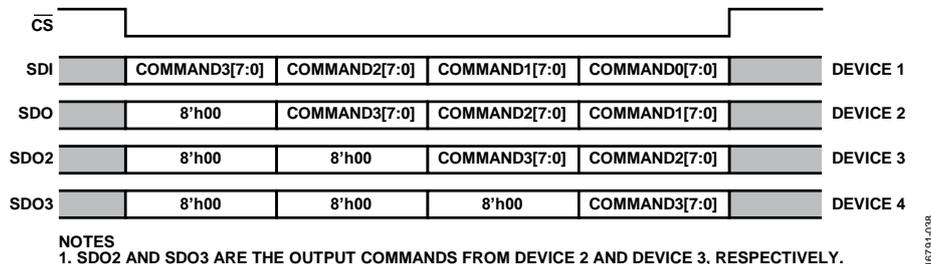


図 50. デイジーチェーン・モードで 4 台の ADGS1408/ADGS1409 デバイスが接続される SPI フレームの例

## ラウンド・ロビン・モード

ラウンド・ロビン・モードの場合、ADGS1408/ADGS1409 はデジタル・インターフェースにおいて 1 つのチャンネルから次のチャンネルへの切替えに必要なオーバーヘッドを低減することで、チャンネルの循環を高速化できます。ラウンド・ロビン設定レジスタは、1 サイクルに含めるチャンネルを選択し、CNV エッジ選択レジスタは、ADGS1408/ADGS1409 がシーケンス内の次のチャンネルに切り替える際の CNV のエッジを選択します。チャンネル・サイクルの終了時に、SDO に再同期パルスが現れ、現在のサイクルが終了したことをユーザに知らせます。次に、SDO はチャンネルのシーケンスの先頭にループバックします。図 51 に、ラウンド・ロビン・モードのインターフェースの例を示し、図 52 に、ラウンド・ロビン・モードの ADGS1408 と共に使用される A/D コンバータ (ADC) の CNV 信号を示します。

設定が完了すると、ラウンド・ロビン・イネーブル・レジスタにより ADGS1408/ADGS1409 はラウンド・ロビン・モードに入ることができます。ラウンド・ロビン・モードでは、SPI はチャンネル間の切替えに使用されません。代わりに、1 つのチャンネルから別のチャンネルに切り替えるには、CS がローの間に CNV ピンにデジタル信号を与えます。

ラウンド・ロビン・モードを終了するには、ハードウェア・リセットを実行するか、2 つの 16 ビット・アドレス・モード SPI フレーム (0xA318 の次に 0xE3B4) を送信します。これらのフレームは、ラウンド・ロビン・モードの間に SPI インターフェースによって認識される唯一の SPI コマンドです。

ラウンド・ロビン・モードは、入力チャンネルの変更に必要な 16 ビットのオーバーヘッドが除去されるため、チャンネルの循環がアドレス・モードよりも大幅に高速化されます。更に、ラウンド・ロビン・モードでは SCLK が動作する必要がないため、デジタル消費電流  $I_L$  が減少します。最大 CNV 周波数は、デバイスの遷移時間、およびアプリケーションに必要なセトリング時間によって制限されます。

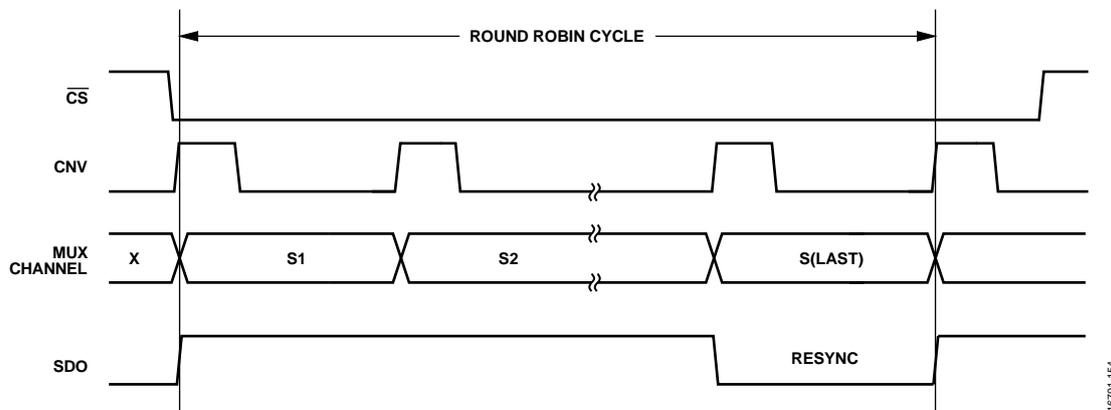


図 51. ラウンド・ロビン・モードのインターフェースの例

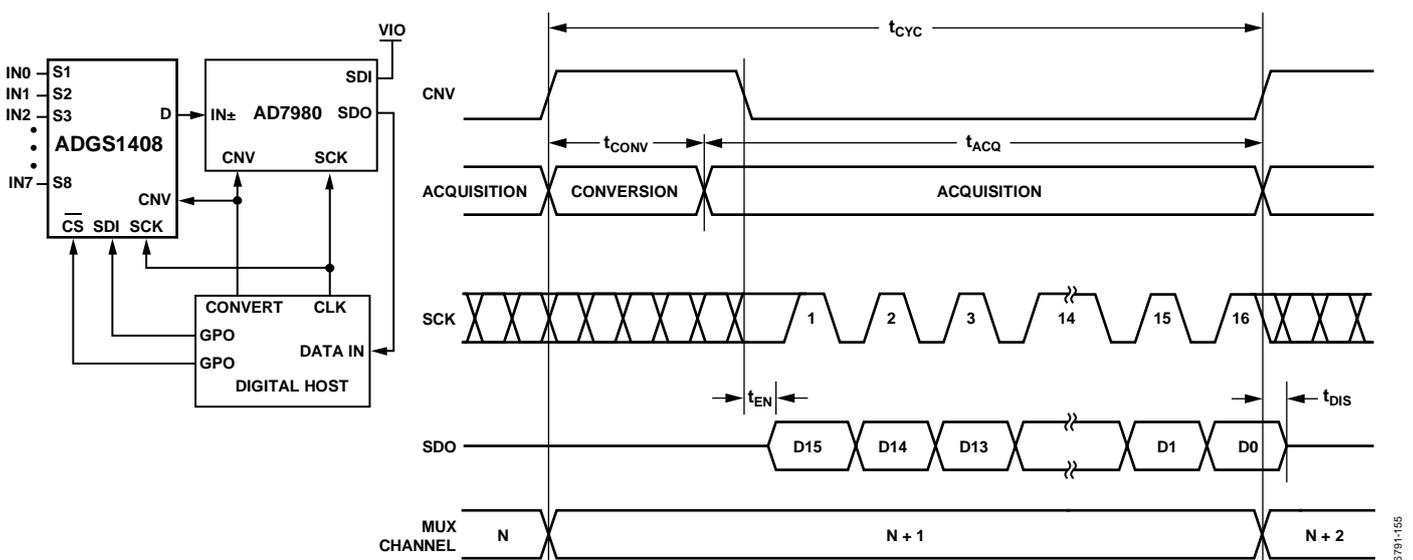


図 52. ADGS1408 での ADC チャンネル循環の CNV 信号の例

## 汎用出力 (GPO)

ADGS1408には4つのGPOが、ADGS1409には5つのGPOがあります。これらのデジタル出力により、ADGS1408/ADGS1409を使用して他のデバイスを制御できます。GPOはSW\_DATAレジスタから制御され、ハイまたはローに設定できます。デバイ

スがラウンド・ロビン・モードになると、GPOはローに駆動されます。ロジック・ロー・レベルはGNDであり、V<sub>L</sub>はロジック・ハイ・レベルに設定されます。図53に、ADGS1408を使用して他のデバイス、この例ではADG758を制御する方法を示します。

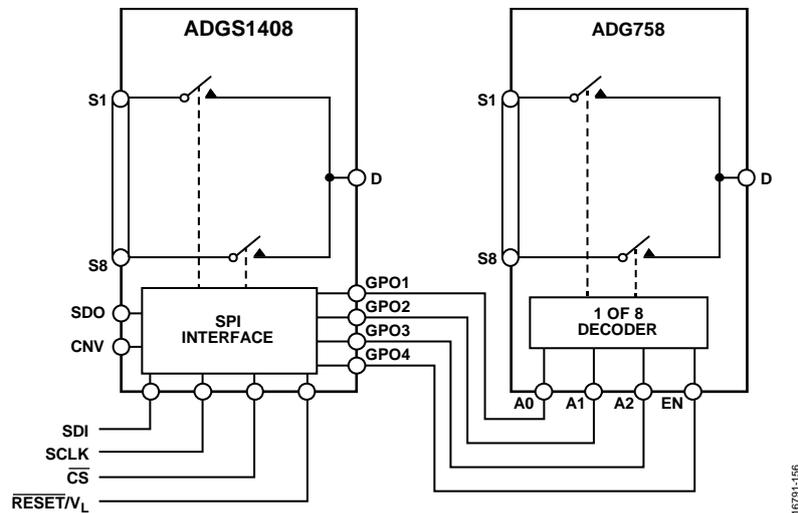


図 53. ADGS1408 によるデバイス ADG758 の制御

16791-156

## アプリケーション情報

### デジタル入力バッファ

デジタル入力ピン ( $\overline{\text{CS}}$ 、 $\text{SCLK}$ 、 $\text{SDI}$ ) には入力バッファがあります。これらのバッファは常にアクティブです。そのため、 $\overline{\text{CS}}$  がアクティブであるかどうかに関係なく、 $\text{SCLK}$  または  $\text{SDI}$  がトグルすると、 $V_L$  電源から電源が流れます。この電流引き込みの代表値については、仕様のセクションと図 30 を参照してください。

### 電源レール

ADGS1408/ADGS1409 の正常な動作を確保するには、 $0.1\mu\text{F}$  のデカップリング・コンデンサが必要です。

ADGS1408/ADGS1409 は、 $\pm 4.5\text{V} \sim \pm 16.5\text{V}$  のバイポーラ電源で動作することができます。 $V_{DD}$  と  $V_{SS}$  に接続した電源が対称である必要はありませんが、 $V_{DD}$  と  $V_{SS}$  の範囲が  $33\text{V}$  を超えてはいけません。また、ADGS1408/ADGS1409 は、 $V_{SS}$  を  $\text{GND}$  に接続した  $5\text{V} \sim 20\text{V}$  の単電源で動作することもできます。

$V_L$  に供給できる電圧範囲は  $2.7\text{V} \sim 5.5\text{V}$  です。

デバイスは  $\pm 15\text{V}$ 、 $\pm 5\text{V}$ 、 $+12\text{V}$  のアナログ電圧範囲で仕様規定されています。

### 電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範囲なパワー・マネージメント製品を提供しています。

バイポーラ電源ソリューションの例を図 54 に示します。デュアル・スイッチング・レギュレータの **ADP5070** は、典型的なシグナル・チェーンの ADGS1408/ADGS1409、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。図 54 に示すよう

に、オプションで 2 つの低ドロップアウト・レギュレータ (LDO) があります。**ADP7118** と **ADP7182** はそれぞれ正と負の LDO です。これらの LDO を使用すると、極めて小さなノイズにも敏感なアプリケーションで **ADP5070** の出力リップルを削減できます。

**ADM7160** を使用すると、ADGS1408/ADGS1409 内のデジタル回路に電力を供給するのに必要な  $V_L$  電圧を生成できます。

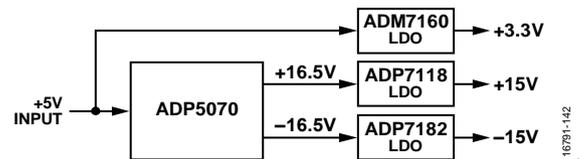


図 54. バイポーラ電源のソリューション

表 11. 推奨されるパワー・マネージメント・デバイス

Product	Description
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADM7160	5.5 V, 200 mA, ultralow noise, linear regulator
ADP7118	20 V, 200 mA, low noise, CMOS LDO linear regulator
ADP7182	-28 V, -200 mA, low noise, LDO linear regulator

### 電源シーケンス

正しい電源シーケンスに従ってください。誤った電源シーケンスを実行すると、表 7 に記載されている最大定格を超えるストレスがデバイスにかかるおそれがあります。 $V_L$ 、デジタル入力、アナログ入力を印加する前に、アナログ電源 ( $V_{DD}$  と  $V_{SS}$ ) およびグラウンド ( $\text{GND}$ ) が接続されていることを確認してください。この手順を遵守しないと、デバイスが損傷するおそれがあります。

## レジスタの概要

表 12. ADGS1408 のレジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW	
0x01	SW_DATA	GPO4	GPO3	GPO2	GPO1	A2	A1	A0	EN	0x00	R/W	
0x02	ERR_CONFIG	Reserved						RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W
0x03	ERR_FLAGS	Reserved						RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R
0x05	BURST_EN	Reserved						BURST_MODE_EN			0x00	R/W
0x06	ROUND_ROBIN_EN	Reserved						ROUND_ROBIN_EN			0x00	R/W
0x07	RROBIN_CHANNEL_CONFIG	S8_EN	S7_EN	S6_EN	S5_EN	S4_EN	S3_EN	S2_EN	S1_EN	0xFF	R/W	
0x09	CNV_EDGE_SEL	Reserved						CNV_EDGE_SEL			0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB									0x00	R/W

表 13. ADGS1409 のレジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW	
0x01	SW_DATA	GPO5	GPO4	GPO3	GPO2	GPO1	A1	A0	EN	0x00	R/W	
0x02	ERR_CONFIG	Reserved						RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W
0x03	ERR_FLAGS	Reserved						RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R
0x05	BURST_EN	Reserved						BURST_MODE_EN			0x00	R/W
0x06	ROUND_ROBIN_EN	Reserved						ROUND_ROBIN_EN			0x00	R/W
0x07	RROBIN_CHANNEL_CONFIG	Reserved				S4_EN	S3_EN	S2_EN	S1_EN	0x0F	R/W	
0x09	CNV_EDGE_SEL	Reserved						CNV_EDGE_SEL			0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB									0x00	R/W

## レジスタの詳細

## スイッチ・データ・レジスタ

アドレス：0x01、リセット：0x00、レジスタ名：SW\_DATA

スイッチ・データ・レジスタは、ADGS1408/ADGS1409の8つのスイッチと汎用デジタル出力の状態を制御します。ADGS1408/ADGS1409の真理値表をビットの説明と併せて使用してください。

表 14. SW\_DATA のビットの説明、ADGS1408

Bit(s)	Bit Name	Settings	説明	Default	Access
7	GPO4		GPO4 のイネーブル・ビット。	0x0	R/W
6	GPO3		GPO3 のイネーブル・ビット。	0x0	R/W
5	GPO2		GPO2 のイネーブル・ビット。	0x0	R/W
4	GPO1		GPO1 のイネーブル・ビット。	0x0	R/W
3	A2		A2 のイネーブル・ビット。	0x0	R/W
2	A1		A1 のイネーブル・ビット。	0x0	R/W
1	A0		A0 のイネーブル・ビット。	0x0	R/W
0	EN	0 1	ADGS1408 のイネーブル・ビット。 ADGS1408 ディスエーブル。 ADGS1408 イネーブル。	0x0	R/W

表 15. SW\_DATA のビットの説明、ADGS1409

Bit(s)	Bit Name	Settings	説明	Default	Access
7	GPO5		GPO5 のイネーブル・ビット。	0x0	R/W
6	GPO4		GPO4 のイネーブル・ビット。	0x0	R/W
5	GPO3		GPO3 のイネーブル・ビット。	0x0	R/W
4	GPO2		GPO2 のイネーブル・ビット。	0x0	R/W
3	GPO1		GPO1 のイネーブル・ビット。	0x0	R/W
2	A1		A1 のイネーブル・ビット。	0x0	R/W
1	A0		A0 のイネーブル・ビット。	0x0	R/W
0	EN	0 1	ADGS1409 のイネーブル・ビット。 ADGS1409 ディスエーブル。 ADGS1409 イネーブル。	0x0	R/W

表 16. ADGS1408 の真理値表<sup>1</sup>

A2	A1	A0	EN	On Switch
X	X	X	0	None
0	0	0	1	S1
0	0	1	1	S2
0	1	0	1	S3
0	1	1	1	S4
1	0	0	1	S5
1	0	1	1	S6
1	1	0	1	S7
1	1	1	1	S8

<sup>1</sup> X はドント・ケア。

表 17. ADGS1409 の真理値表<sup>1</sup>

A1	A0	EN	On Switch Pair
X	X	0	None
0	0	1	S1
0	1	1	S2
1	0	1	S3
1	1	1	S4

<sup>1</sup> X はドント・ケア。

## エラー設定レジスタ

アドレス：0x02、リセット：0x06、レジスタ名：ERR\_CONFIG

エラー設定レジスタでは、必要に応じて関連する機能を有効または無効にできます。

表 18. ERR\_CONFIG のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:3]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
2	RW_ERR_EN	0 1	無効な読出し/書込みアドレスを検出するイネーブル・ビット。 ディスエーブル。 イネーブル。	0x1	R/W
1	SCLK_ERR_EN	0 1	SPI フレームの SCLK サイクルの回数が正しいかどうかを検出するためのイネーブル・ビット。CRC が無効で、バースト・モードが無効の場合、SCLK サイクルの回数は 16 になります。CRC が有効で、バースト・モードが無効の場合、SCLK サイクルの回数は 24 になります。CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 の倍数になります。CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 の倍数になります。 ディスエーブル。 イネーブル。	0x1	R/W
0	CRC_ERR_EN	0 1	CRC エラー検出のイネーブル・ビット。有効な場合の SPI フレームは 24 ビットです。 ディスエーブル。 イネーブル。	0x0	R/W

## エラー・フラグ・レジスタ

アドレス：0x03、リセット：0x00、レジスタ名：ERR\_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16 ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPI の書込みで正しい CRC バイトを挿入する必要があります。

表 19. ERR\_FLAGS のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:3]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読出し/書込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI 読出しでエラー・フラグがアサートされます。また、SPI 書込みのアドレスが存在しない場合、または読出し専用である場合にも、エラー・フラグがアサートされます。 エラーなし。 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのエラー・フラグ。 エラーなし。 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタへの書込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。 エラーなし。 エラー。	0x0	R

## バースト・イネーブル・レジスタ

アドレス：0x05、リセット：0x00、レジスタ名：BURST\_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 $\overline{CS}$ をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 20. BURST\_EN のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:1]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 ディスエーブル。 イネーブル。	0x0	R/W

## ラウンド・ロビン・イネーブル・レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：ROUND\_ROBIN\_EN

ラウンド・ロビン・レジスタを使用すると、ラウンド・ロビン・モードを有効または無効にできます。有効にすると、ラウンド・ロビン設定レジスタで有効にしたチャンネルを、該当するエッジを CNV ピンに与えることによって循環できます。

表 21. ROUND\_ROBIN\_EN のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:1]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
0	ROUND_ROBIN_EN	0 1	ラウンド・ロビン・モードのイネーブル・ビット。 ディスエーブル。 イネーブル。	0x0	R/W

## ラウンド・ロビン・チャンネル設定レジスタ

アドレス：0x07、リセット：0xFF (ADGS1408)、0x0F (ADGS1409)、レジスタ名：RROBIN\_CHANNEL\_CONFIG

ラウンド・ロビン・チャンネル設定レジスタは、ラウンド・ロビン・モード時に 1 サイクルに含めるチャンネルを制御します。ラウンド・ロビン・モード時、チャンネルは昇順に循環します。

表 22. RROBIN\_CHANNEL\_CONFIG のビットの説明、ADGS1408

Bit(s)	Bit Name	Settings	説明	Default	Access
7	S8_EN	0 1	S8 のイネーブル・ビット。 ラウンド・ロビン・モード時に S8 をディスエーブル。 ラウンド・ロビン・モード時に S8 をイネーブル。	0x1	R/W
6	S7_EN	0 1	S7 のイネーブル・ビット。 ラウンド・ロビン・モード時に S7 をディスエーブル。 ラウンド・ロビン・モード時に S7 をイネーブル。	0x1	R/W
5	S6_EN	0 1	S6 のイネーブル・ビット。 ラウンド・ロビン・モード時に S6 をディスエーブル。 ラウンド・ロビン・モード時に S6 をイネーブル。	0x1	R/W
4	S5_EN	0 1	S5 のイネーブル・ビット。 ラウンド・ロビン・モード時に S5 をディスエーブル。 ラウンド・ロビン・モード時に S5 をイネーブル。	0x1	R/W
3	S4_EN	0 1	S4 のイネーブル・ビット。 ラウンド・ロビン・モード時に S4 をディスエーブル。 ラウンド・ロビン・モード時に S4 をイネーブル。	0x1	R/W
2	S3_EN	0 1	S3 のイネーブル・ビット。 ラウンド・ロビン・モード時に S3 をディスエーブル。 ラウンド・ロビン・モード時に S3 をイネーブル。	0x1	R/W

Bit(s)	Bit Name	Settings	説明	Default	Access
1	S2_EN	0 1	S2 のイネーブル・ビット。 ラウンド・ロビン・モード時に S2 をディスエーブル。 ラウンド・ロビン・モード時に S2 をイネーブル。	0x1	R/W
0	S1_EN	0 1	S1 のイネーブル・ビット。 ラウンド・ロビン・モード時に S1 をディスエーブル。 ラウンド・ロビン・モード時に S1 をイネーブル。	0x1	R/W

表 23. RROBIN\_CHANNEL\_CONFIG のビットの説明、ADGS1409

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:4]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
3	S4_EN	0 1	S4 のイネーブル・ビット。 ラウンド・ロビン・モード時に S4 をディスエーブル。 ラウンド・ロビン・モード時に S4 をイネーブル。	0x1	R/W
2	S3_EN	0 1	S3 のイネーブル・ビット。 ラウンド・ロビン・モード時に S3 をディスエーブル。 ラウンド・ロビン・モード時に S3 をイネーブル。	0x1	R/W
1	S2_EN	0 1	S2 のイネーブル・ビット。 ラウンド・ロビン・モード時に S2 をディスエーブル。 ラウンド・ロビン・モード時に S2 をイネーブル。	0x1	R/W
0	S1_EN	0 1	S1 のイネーブル・ビット。 ラウンド・ロビン・モード時に S1 をディスエーブル。 ラウンド・ロビン・モード時に S1 をイネーブル。	0x1	R/W

## CNV エッジ選択レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：CNV\_EDGE\_SEL

デバイスがラウンド・ロビン・モードのときに、CNV エッジ選択レジスタにより、CNV ピンのアクティブ・エッジを選択できます。

表 24. CNV\_EDGE\_SEL のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:1]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
0	CNV_EDGE_SEL	0 1	CNV アクティブ・エッジ選択ビット。 CNV の立下がりエッジがアクティブ・エッジ。 CNV の立上がりエッジがアクティブ・エッジ。	0x0	R/W

## ソフトウェア・リセット・レジスタ

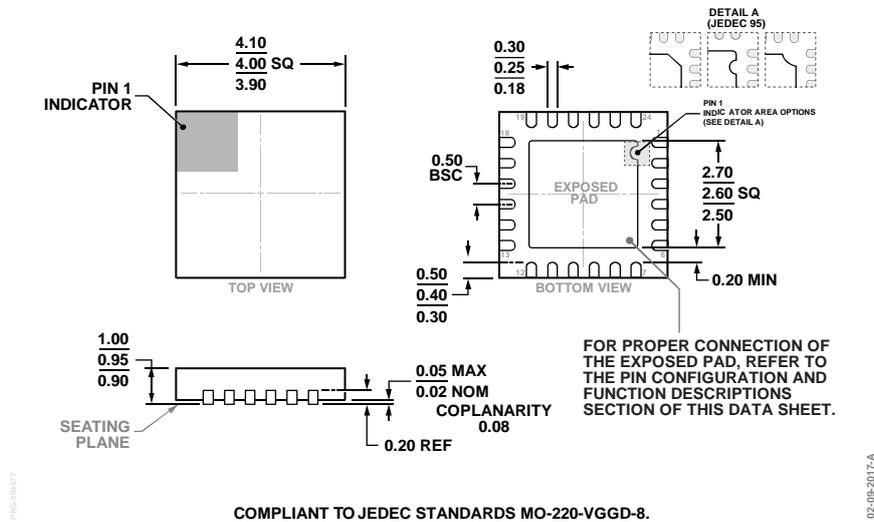
アドレス：0x0B、リセット：0x00、レジスタ名：SOFT\_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに 0xA3、0x05 の順に書込みを実行すると、デバイスのレジスタはデフォルト状態にリセットされます。

表 25. SOFT\_RESETB のビットの説明

Bit(s)	Bit Name	Settings	説明	Default	Access
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、このレジスタに 0xA3、0x05 の順に書込みを実行します。	0x0	R

外形寸法



オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADGS1408BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
ADGS1408BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
ADGS1409BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
ADGS1409BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17
EVAL-ADGS1408SDZ		ADGS1408 Evaluation Board	
EVAL-ADGS1409SDZ		ADGS1409 Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。