



ユーザー定義の故障保護および検出機能付きの 10 Ω R_{ON}、クワッド・チャンネル・プロテクタ

データシート

ADG5462F

特長

ユーザー定義のセカンダリ電源で過電圧レベルを設定

過電圧保護: -55 V~+55 V まで

パワーオフ保護: -55 V~+55 V まで

ソース・ピンでの過電圧検出

最小セカンダリ電源レベル: 4.5 V 単電源

割込みフラグで故障検知ステータスを表示

小さいオン抵抗: 10 Ω (typ)

オン抵抗平坦性: 最大 0.5 Ω

ESD 定格: 人体モデル (HBM) 4 kV

ラッチアップなし

アナログ信号範囲: V_{SS}~V_{DD}

両電源動作: ±5 V~±22 V

単電源動作: 8 V~44 V

仕様を±15 V、±20 V、+12 V、+36 V 電源で規定

アプリケーション

アナログ入力/出力モジュール

プロセス制御システム/分散型制御システム

データ・アキュイジション

計装機器

航空電子機器

自動テスト装置

通信システム

概要

ADG5462Fは、過電圧保護された4つの信号チャンネルを内蔵しています。このチャンネル・プロテクタは信号経路に直列に接続され、その経路内で過電圧から敏感な部品を保護します。チャンネル・プロテクタは、電源オン時とオフ時に過電圧を防止するための正しい電源シーケンシングが、常には保証できないアプリケーションでの使用に最適です。プライマリ電源電圧がオン抵抗のプロフィールを決定し、セカンダリ電源電圧が過電圧保護の開始される電圧レベルを決定します。

電源入力がないとき、チャンネルはオフ状態を維持し、チャンネル入力は高インピーダンスになります。通常動作状態では、いずれかの S_x ピンのアナログ入力信号レベルが正側故障検知電圧 (POSFV) または負側故障検知電圧 (NEGFV) を閾値電圧 (V_T) だけ上回ると、チャンネルがオフして、その S_x ピンは高インピーダンスになります。DR ピンがロー・レベルの場合は、ドレイン・ピン (D_x) は過電圧が超えたセカンダリ電源電圧に駆動されます。各 DR 電圧レベルの出力プロフィールについては、表 7 および本文中のスイッチ・アーキテクチャの項をご覧ください。電源ありの状態および電源なしの状態、グラウンドに対して+55 V または-55 V までの入力信号レベルが阻止されます。

機能ブロック図

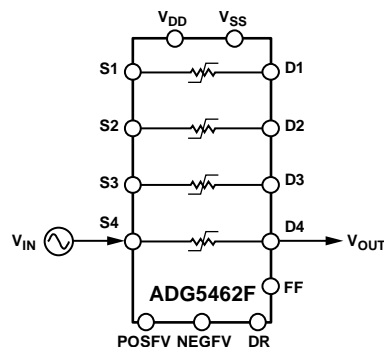


図 1.

これらのスイッチは、小さいオン抵抗と大部分の信号範囲で平坦なオン抵抗を持つため、優れた直線性と小さい歪が必須のデータ・アキュイジションと計装アプリケーションに最適なソリューションとなっています。

製品のハイライト

- セカンダリ電源レール (POSFV と NEGFV) より高い最大-55 V および+55 V までの電圧に対してソース・ピン (S_x) を保護します。
- 電源オフの状態、-55 V~+55 V の電圧に対してソース・ピン (S_x) を保護しています。
- デジタル出力付きの過電圧検出機能により、チャンネルの動作状態を表示します。
- トレンチ・アイソレーションによりチャンネルをラッチアップから保護します。
- 低いオン抵抗とオン抵抗平坦性について最適化されています。
- ADG5462F は、±5 V~±22 V の両電源または 8 V~44 V の単電源で動作させることができます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	用語.....	23
アプリケーション.....	1	動作原理.....	24
機能ブロック図.....	1	スイッチ・アーキテクチャ.....	24
概要.....	1	ユーザー定義の故障保護機能.....	25
製品のハイライト.....	1	アプリケーション情報.....	27
改訂履歴.....	2	電源レール.....	27
仕様.....	3	電源シーケンシング保護.....	27
±15 V 両電源.....	3	電源の推奨事項.....	27
±20 V 両電源.....	5	ユーザー定義の信号範囲.....	27
12 V 単電源.....	7	低インピーダンス・チャンネル保護.....	27
36 V 単電源.....	9	高電圧サージ除去.....	27
チャンネルあたりの連続電流、Sx または Dx.....	10	インテリジェントな故障検出.....	28
絶対最大定格.....	11	高電圧、高周波の信号.....	28
ESD の注意.....	11	外形寸法.....	29
ピン配置およびピン機能説明.....	12	オーダー・ガイド.....	29
代表的な性能特性.....	13		
テスト回路.....	19		

改訂履歴

1/15—Revision 0: Initial Version

仕様

±15 V 両電源

特に指定がない限り、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$, see Figure 34
On Resistance, R_{ON}	10			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	11.2	14	16.5	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	9.5			Ω typ	$V_S = \pm 9\text{ V}$, $I_S = -10\text{ mA}$
	10.7	13.5	16	Ω max	
	0.05			Ω typ	
	0.5	0.6	0.7	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.05			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	0.35	0.5	0.5	Ω max	
	0.6			Ω typ	
	0.9	1.1	1.1	Ω max	
Threshold Voltage, V_T	0.1			Ω typ	$V_S = \pm 9\text{ V}$, $I_S = -10\text{ mA}$
	0.4	0.5	0.5	Ω max	
	0.7			V typ	
LEAKAGE CURRENTS					
Channel On Leakage, I_D (On), I_S (On)	± 0.3 ± 1.0	± 1.4	± 4	nA typ nA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = V_D = \pm 10\text{ V}$, see Figure 35
FAULT					
Source Leakage Current, I_S With Overvoltage			± 78	μA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
Power Supplies Grounded or Floating			± 40	μA typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
Drain Leakage Current, I_D With Overvoltage	± 1.2			nA typ	DR = floating or V_{DD} $V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
Power Supplies Grounded	± 4.0 ± 10	± 11	± 45	nA max nA typ	$V_{DD} = 0\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
Power Supplies Floating	± 30 ± 10	± 50 ± 10	± 100 ± 10	nA max μA typ	$V_{DD} = \text{floating}$, $V_{SS} = \text{floating}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
DIGITAL INPUTS/OUTPUTS (DR/FF)					
Input Voltage High, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Voltage Low, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	± 0.7			μA typ	
			± 1.2	μA max	
Digital Input Capacitance, C_{IN}	5.0			pF typ	
Output Voltage High, V_{OH}	2.0			V min	
Output Voltage Low, V_{OL}	0.8			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
DYNAMIC CHARACTERISTICS¹						
Overvoltage Response Time, t_{RESPONSE}	460	615	630	ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 41	
	585			ns max		
Overvoltage Recovery Time, t_{RECOVERY}	720	1050	1100	ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 42	
	930			ns max		
Drain Pull-Up/Pull-Down Time Following Overvoltage, $t_{\text{RESPONSE (DR)}}$	4			$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 46	
Interrupt Flag Response Time, t_{DIGRESP}	85		115	ns typ	$C_L = 12 \text{ pF}$, see Figure 43	
Interrupt Flag Recovery Time, t_{DIGREC}	60		85	$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 44	
Channel-to-Channel Crosstalk	600			ns typ	$C_L = 12 \text{ pF}$, $R_{\text{PULLUP}} = 1 \text{ k}\Omega$, see Figure 45	
	-90			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 38	
Total Harmonic Distortion Plus Noise, THD + N	0.0015			% typ	$R_L = 10 \text{ k}\Omega$, $V_S = 15 \text{ V p-p}$, $f = 20 \text{ Hz to } 20 \text{ kHz}$, see Figure 40	
-3 dB Bandwidth	318			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 39	
Insertion Loss	-0.8			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 39	
C_D (On), C_S (On)	24			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$	
POWER REQUIREMENTS						
Normal Mode						
I_{DD}	0.9			mA typ	$V_{\text{DD}} = \text{POSFV} = +16.5 \text{ V}$, $V_{\text{SS}} = \text{NEGFV} = -16.5 \text{ V}$, $\text{GND} = 0 \text{ V}$	
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.2		1.3	mA max		
I_{GND}	0.4			mA typ		
	0.55		0.6	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.65		0.7	mA max		
Fault Mode						
I_{DD}	1.2			mA typ		$V_S = \pm 55 \text{ V}$
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.6		1.8	mA max		
I_{GND}	0.8			mA typ		
	1.0		1.1	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.8	mA max		
$V_{\text{DD}}/V_{\text{SS}}$			± 5	V min	$\text{GND} = 0 \text{ V}$	
			± 22	V max	$\text{GND} = 0 \text{ V}$	

¹ 設計上保証しますが、出荷テストは行いません。

±20 V 両電源

特に指定がない限り、 $V_{DD} = 20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$, see Figure 34
On Resistance, R_{ON}	10			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	11.5	14.5	16.5	Ω max	
	9.5			Ω typ	$V_S = \pm 13.5\text{ V}$, $I_S = -10\text{ mA}$
	11	14	16.5	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.05			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	0.35	0.5	0.5	Ω max	
	0.05			Ω typ	$V_S = \pm 13.5\text{ V}$, $I_S = -10\text{ mA}$
	0.35	0.5	0.5	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.0			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	1.4	1.5	1.5	Ω max	
	0.1			Ω typ	$V_S = \pm 13.5\text{ V}$, $I_S = -10\text{ mA}$
	0.4	0.5	0.5	Ω max	
Threshold Voltage, V_T	0.7			V typ	See Figure 22
LEAKAGE CURRENTS					
Channel On Leakage, I_D (On), I_S (On)	± 0.3			nA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	± 1.0	± 1.4	± 4.0	nA max	$V_S = V_D = \pm 15\text{ V}$, see Figure 35
FAULT					
Source Leakage Current, I_S					
With Overvoltage			± 78	μA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
Power Supplies Grounded or Floating			± 40	μA typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
Drain Leakage Current, I_D					
With Overvoltage	± 5.0			nA typ	$DR = \text{floating or } V_{DD}$ $V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
Power Supplies Grounded	± 1.0	± 1.0	± 1.0	μA max	
	± 10			nA typ	$V_{DD} = 0\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
Power Supplies Floating	± 30	± 50	± 100	nA max	
	± 10	± 10	± 10	μA typ	$V_{DD} = \text{floating}$, $V_{SS} = \text{floating}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
DIGITAL INPUTS/OUTPUTS					
Input Voltage High, V_{INH}			2.0	V min	
Input Voltage Low, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.7			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			1.2	μA max	
Digital Input Capacitance, C_{IN}	5.0			pF typ	
Output Voltage High, V_{OH}	2.0			V min	
Output Voltage Low, V_{OL}	0.8			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
DYNAMIC CHARACTERISTICS¹						
Overvoltage Response Time, t_{RESPONSE}	370	500	515	ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 41	
	480			ns max		
Overvoltage Recovery Time, t_{RECOVERY}	840	1400	1700	ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 42	
	1200			ns max		
Drain Pull-Up/Pull-Down Time Following Overvoltage, $t_{\text{RESPONSE (DR)}}$	4			$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 46	
Interrupt Flag Response Time, t_{DIGRESP}	85		115	ns typ	$C_L = 12 \text{ pF}$, see Figure 43	
Interrupt Flag Recovery Time, t_{DIGREC}	60		85	$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 44	
	600			ns typ	$C_L = 12 \text{ pF}$, $R_{\text{PULLUP}} = 1 \text{ k}\Omega$, see Figure 45	
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 38	
Total Harmonic Distortion Plus Noise, THD + N	0.001			% typ	$R_L = 10 \text{ k}\Omega$, $V_S = 20 \text{ V p-p}$, $f = 20 \text{ Hz to } 20 \text{ kHz}$, see Figure 40	
-3 dB Bandwidth	310			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 39	
Insertion Loss	-0.8			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 39	
C_D (On), C_S (On)	23			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$	
POWER REQUIREMENTS						
Normal Mode						
I_{DD}	0.9			mA typ	$V_{\text{DD}} = \text{POSFV} = +22 \text{ V}$, $V_{\text{SS}} = \text{NEGFV} = -22 \text{ V}$	
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.2		1.3	mA max		
I_{GND}	0.4			mA typ		
	0.55		0.6	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.65		0.7	mA max		
Fault Mode						
I_{DD}	1.2			mA typ		$V_S = \pm 55 \text{ V}$
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.6		1.8	mA max		
I_{GND}	0.8			mA typ		
	1.0		1.1	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.8	mA max		
$V_{\text{DD}}/V_{\text{SS}}$			± 5	V min	GND = 0 V	
			± 22	V max	GND = 0 V	

¹ 設計上保証しますが、出荷テストは行いません。

12 V 単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 3.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	$V_{DD} = +10.8\text{ V}$, $V_{SS} = 0\text{ V}$, see Figure 34
On Resistance, R_{ON}	22			Ω typ	$V_S = 0\text{ V to } +10\text{ V}$, $I_S = -10\text{ mA}$
	24.5	31	37	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	10			Ω typ	$V_S = +3.5\text{ V to } +8.5\text{ V}$, $I_S = -10\text{ mA}$
	11.2	14	16.5	Ω max	
	0.05			Ω typ	
	0.5	0.6	0.7	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.05			Ω typ	$V_S = +3.5\text{ V to } +8.5\text{ V}$, $I_S = -10\text{ mA}$
	0.5	0.6	0.7	Ω max	
	12.5			Ω typ	
	14.5	19	23	Ω max	
Threshold Voltage, V_T	0.6			Ω typ	$V_S = 0\text{ V to } +10\text{ V}$, $I_S = -10\text{ mA}$
	0.9	1.1	1.3	Ω max	
	0.7			V typ	
LEAKAGE CURRENTS					
Channel On Leakage, I_D (On), I_S (On)	± 0.3			nA typ	$V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = V_D = 1\text{ V}/10\text{ V}$, see Figure 35
	± 1.0	± 1.4	± 4.0	nA max	
FAULT					
Source Leakage Current, I_S With Overvoltage			± 78	μA typ	$V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
			± 40	μA typ	
Drain Leakage Current, I_D With Overvoltage	± 1.2			nA typ	DR = floating or V_{DD} $V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 36
	± 4.0	± 11	± 45	nA max	
Power Supplies Grounded	± 10			nA typ	$V_{DD} = 0\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
	± 30	± 50	± 100	nA max	
Power Supplies Floating	± 10	± 10	± 10	μA typ	$V_{DD} = \text{floating}$, $V_{SS} = \text{floating}$, $GND = 0\text{ V}$, $V_S = \pm 55\text{ V}$, see Figure 37
DIGITAL INPUTS/OUTPUTS					
Input Voltage High, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Voltage Low, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.7			μA typ	
				μA max	
Digital Input Capacitance, C_{IN}	5.0			pF typ	
Output Voltage High, V_{OH}	2.0			V min	
Output Voltage Low, V_{OL}	0.8			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
DYNAMIC CHARACTERISTICS¹						
Overvoltage Response Time, t_{RESPONSE}	560			ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 41	
	660	700	720	ns max		
Overvoltage Recovery Time, t_{RECOVERY}	640			ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 42	
	800	865	960	ns max		
Drain Pull-Up/Pull-Down Time Following Overvoltage, $t_{\text{RESPONSE (DR)}}$	4			$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 46	
Interrupt Flag Response Time, t_{DIGRESP}	85		115	ns typ	$C_L = 12 \text{ pF}$, see Figure 43	
Interrupt Flag Recovery Time, t_{DIGREC}	60		85	$\mu\text{s typ}$	$C_L = 12 \text{ pF}$, see Figure 44	
	600			ns typ	$C_L = 12 \text{ pF}$, $R_{\text{PULLUP}} = 1 \text{ k}\Omega$, see Figure 45	
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 38	
Total Harmonic Distortion Plus Noise, THD + N	0.007			% typ	$R_L = 10 \text{ k}\Omega$, $V_S = 6 \text{ V p-p}$, $f = 20 \text{ Hz to } 20 \text{ kHz}$, see Figure 40	
-3 dB Bandwidth	284			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 39	
Insertion Loss	-0.9			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 39	
C_D (On), C_S (On)	25			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$	
POWER REQUIREMENTS						
Normal Mode						
I_{DD}	0.9			mA typ	$V_{\text{DD}} = +13.2 \text{ V}$, $V_{\text{SS}} = 0 \text{ V}$, digital inputs = 0 V, 5 V, or V_{DD}	
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.2		1.3	mA max		
I_{GND}	0.4			mA typ		
	0.55		0.6	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.65		0.7	mA max		
Fault Mode						
I_{DD}	1.2			mA typ		$V_S = \pm 55 \text{ V}$
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.6		1.8	mA max		
I_{GND}	0.8			mA typ		
	1.0		1.1	mA max		
I_{SS}	0.5			mA typ	Digital inputs = 5 V	
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.8	mA max	$V_S = \pm 55 \text{ V}$, $V_D = 0 \text{ V}$	
V_{DD}			8	V min	GND = 0 V	
			44	V max	GND = 0 V	

¹ 設計上保証しますが、出荷テストは行いません。

36 V 単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 4.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	$V_{DD} = +32.4\text{ V}$, $V_{SS} = 0\text{ V}$, see Figure 34
On Resistance, R_{ON}	22			Ω typ	$V_S = 0\text{ V to } +30\text{ V}$, $I_S = -10\text{ mA}$
	24.5	31	37	Ω max	
	10			Ω typ	$V_S = +4.5\text{ V to } +28\text{ V}$, $I_S = -10\text{ mA}$
	11	14	16.5	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.05			Ω typ	$V_S = 0\text{ V to } +30\text{ V}$, $I_S = -10\text{ mA}$
	0.5	0.6	0.7	Ω max	
	0.05			Ω typ	$V_S = +4.5\text{ V to } +28\text{ V}$, $I_S = -10\text{ mA}$
	0.35	0.5	0.5	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	12.5			Ω typ	$V_S = 0\text{ V to } +30\text{ V}$, $I_S = -10\text{ mA}$
	14.5	19	23	Ω max	
	0.1			Ω typ	$V_S = +4.5\text{ V to } +28\text{ V}$, $I_S = -10\text{ mA}$
	0.4	0.5	0.5	Ω max	
Threshold Voltage, V_T	0.7			V typ	See Figure 22
LEAKAGE CURRENTS					
Channel On Leakage, I_D (On), I_S (On)	± 0.3			nA typ	$V_{DD} = +39.6\text{ V}$, $V_{SS} = 0\text{ V}$
	± 1.0	± 1.4	± 4.0	nA max	$V_S = V_D = 1\text{ V}/30\text{ V}$, see Figure 35
FAULT					
Source Leakage Current, I_S With Overvoltage			± 78	μA typ	$V_{DD} = +39.6\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = -40\text{ V to } +55\text{ V}$, see Figure 36
Power Supplies Grounded or Floating			± 40	μA typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$, $V_S = +55\text{ V}$, -40 V , see Figure 37
Drain Leakage Current, I_D With Overvoltage	± 1.2			nA typ	DR = floating or V_{DD} $V_{DD} = +39.6\text{ V}$, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$, $V_S = -40\text{ V to } +55\text{ V}$, see Figure 36
	± 4.0	± 11	± 45	nA max	
Power Supplies Grounded	± 10			nA typ	$V_{DD} = 0\text{ V}$, $V_{SS} = 0\text{ V}$, $GND = 0\text{ V}$, $V_S = -40\text{ V to } +55\text{ V}$, see Figure 37
	± 30	± 50	± 100	nA max	
Power Supplies Floating	± 10	± 10	± 10	μA typ	$V_{DD} = \text{floating}$, $V_{SS} = \text{floating}$, $GND = 0\text{ V}$, $V_S = -40\text{ V to } +55\text{ V}$, see Figure 37
DIGITAL INPUTS/OUTPUTS					
Input Voltage High, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Voltage Low, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.7			μA typ	
			1.2	μA max	
Digital Input Capacitance, C_{IN}	5.0			pF typ	
Output Voltage High, V_{OH}	2.0			V min	
Output Voltage Low, V_{OL}	0.8			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
DYNAMIC CHARACTERISTICS¹						
Overvoltage Response Time, t_{RESPONSE}	250			ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 41	
	350	360	375	ns max		
Overvoltage Recovery Time, t_{RECOVERY}	1500			ns typ	$R_L = 1 \text{ k}\Omega$, $C_L = 2 \text{ pF}$, see Figure 42	
	2000	2300	2700	ns max		
Drain Pull-Up/Pull-Down Time Following Overvoltage, $t_{\text{RESPONSE (DR)}}$	4			μs typ	$C_L = 12 \text{ pF}$, see Figure 46	
Interrupt Flag Response Time, t_{DIGRESP}	85		115	ns typ	$C_L = 12 \text{ pF}$, see Figure 43	
Interrupt Flag Recovery Time, t_{DIGREC}	60		85	μs typ	$C_L = 12 \text{ pF}$, see Figure 44	
	600			ns typ	$C_L = 12 \text{ pF}$, $R_{\text{PULLUP}} = 1 \text{ k}\Omega$, see Figure 45	
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 38	
Total Harmonic Distortion Plus Noise, THD + N	0.001			% typ	$R_L = 10 \text{ k}\Omega$, $V_S = 18 \text{ V p-p}$, $f = 20 \text{ Hz to } 20 \text{ kHz}$, see Figure 40	
-3 dB Bandwidth	321			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 39	
Insertion Loss	-0.8			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 39	
C_D (On), C_S (On)	23			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$	
POWER REQUIREMENTS						
Normal Mode						
I_{DD}	0.9			mA typ	$V_{\text{DD}} = 39.6 \text{ V}$, $V_{\text{SS}} = 0 \text{ V}$, digital inputs = 0 V, 5 V, or V_{DD} $V_S = -40 \text{ V to } +55 \text{ V}$	
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.2		1.3	mA max		
I_{GND}	0.4			mA typ		
	0.55		0.6	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.65		0.7	mA max		
Fault Mode						
I_{DD}	1.2			mA typ		
I_{POSFV}	0.1			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	1.6		1.8	mA max		
I_{GND}	0.8			mA typ		
	1.0		1.1	mA max		
I_{SS}	0.5			mA typ		
I_{NEGFV}	0.1			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.8	mA max		
V_{DD}			8	V min	GND = 0 V	
			44	V max	GND = 0 V	

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、Sx または Dx

表 5.

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
$\theta_{\text{JA}} = 112.6^\circ\text{C/W}$	83	59	39	mA max	$V_S = V_{\text{SS}} + 4.5 \text{ V to } V_{\text{DD}} - 4.5 \text{ V}$
	64	48	29	mA max	$V_S = V_{\text{SS}} \text{ to } V_{\text{DD}}$

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	-48 V to +0.3 V
POSFV to GND	-0.3 V to $V_{DD} + 0.3$ V
NEGFV to GND	$V_{SS} - 0.3$ V to +0.3 V
Sx Pins to GND	-55 V to +55 V
Sx to V_{DD} or V_{SS}	80 V
V_S to V_D	80 V
Dx Pins ^{1,2} to GND	NEGFV - 0.7 V to POSFV + 0.7 V or 30 mA, whichever occurs first
Digital Input (DR pin) to GND	GND - 0.7 V to 48 V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins	288 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx Pins	Data ³ + 15%
Digital Output (FF pin)	GND - 0.7 V to 6 V or 30 mA, whichever occurs first
Dx Pins, Overvoltage State, DR = GND, Load Current	1 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA} (4-Layer Board)	112.6°C/W
Reflow Soldering Peak Temperature, Pb-Free	JEDEC J-STD-020 に従います
ESD (HBM: ESDA/JEDEC JS-001-2011)	
Input/Output Port to Supplies	4 kV
Input/Output Port to Input/Output Port	4 kV
All Other Pins	4 kV

¹ Dx ピンの過電圧は、内蔵ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² POSFV と NEGFV は、それぞれ V_{DD} と V_{SS} を超えることはできません。

³ 表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くことと製品の信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

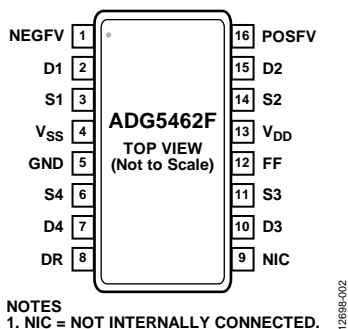


図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	NEG FV	負の故障検出電圧レベル。このピンから過電圧保護レベルを設定する負電源電圧（セカンダリ電圧源）を供給します。セカンダリ電圧源を使用しない場合は、このピンを V_{SS} に接続してください。
2	D1	ドレイン・ピン 1。入力または出力に設定することができます。
3	S1	過電圧保護されたソース・ピン 1。このピンは、入力または出力に設定することができます。
4	V_{SS}	負電源電圧（負プライマリ電源）。
5	GND	グラウンド・リファレンス(0 V)。
6	S4	過電圧保護されたソース・ピン 4。このピンは、入力または出力に設定することができます。
7	D4	ドレイン・ピン 4。入力または出力に設定することができます。
8	DR	ドレイン応答設定デジタル入力。このピンを GND に接続すると、過電圧故障状態中にドレインを POS FV または NEG FV へ駆動します。ピンがフローティング、または V_{DD} に接続されている場合、ドレインのデフォルト状態はオープンです。
9	NIC	内部で未接続。
10	D3	ドレイン・ピン 3。入力または出力に設定することができます。
11	S3	過電圧保護されたソース・ピン 3。このピンは、入力または出力に設定することができます。
12	FF	故障フラグ・デジタル出力。このピンは、デバイスの通常動作ではハイ・レベル(公称 3 V)を出力し、いずれかの S_x 入力で故障状態が発生するとロー・レベルを出力します。FF ピンは内部で軽くプルアップされているため、複数のデバイスを含む大きなモジュールに対して複数の信号を 1 本の割込みにまとめる（ワイアード OR）ことができます。
13	V_{DD}	正電源電位（正プライマリ電源）。
14	S2	過電圧保護されたソース・ピン 2。このピンは、入力または出力に設定することができます。
15	D2	ドレイン・ピン 2。入力または出力に設定することができます。
16	POS FV	正の故障検出電圧レベル。このピンから過電圧保護レベルを決定する正電源電圧（セカンダリ電圧源）を供給します。セカンダリ電圧源を使用しない場合は、このピンを V_{DD} に接続してください。

代表的な性能特性

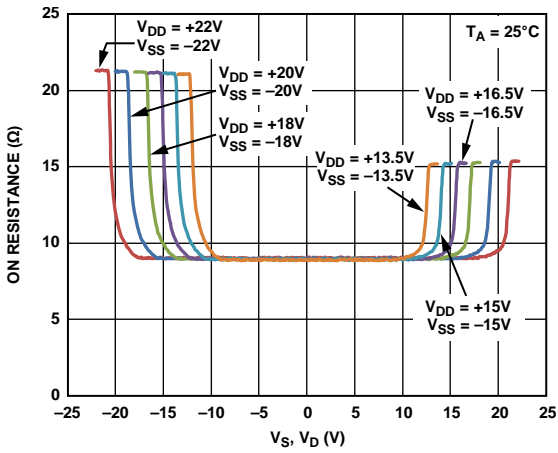


図 3. V_S と V_D 対 オン抵抗(R_{ON})、
両電源

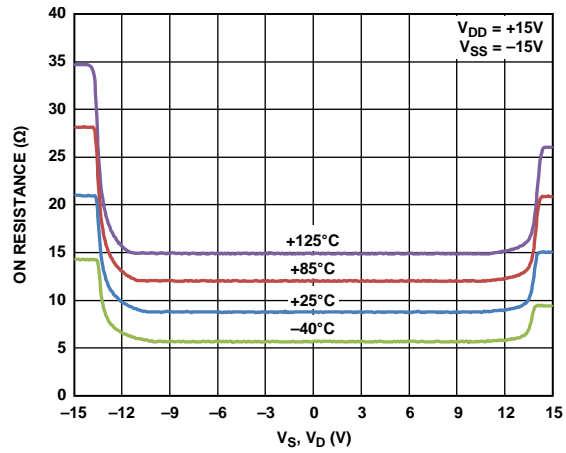


図 6. V_S と V_D 対 様々な温度でのオン抵抗(R_{ON})、
 ± 15 V 両電源

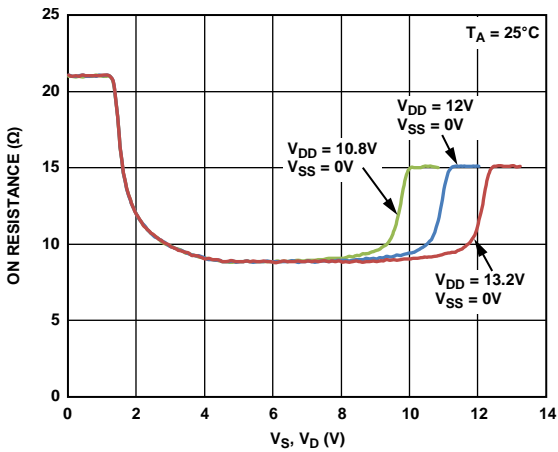


図 4. V_S と V_D 対 オン抵抗(R_{ON})、
12 V 単電源

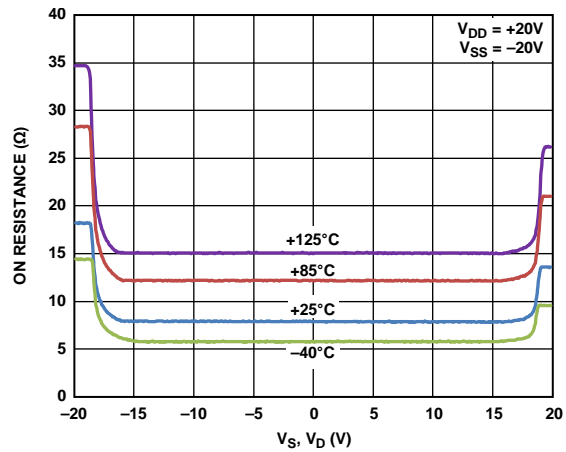


図 7. V_S と V_D 対 様々な温度でのオン抵抗(R_{ON})、
 ± 20 V 両電源

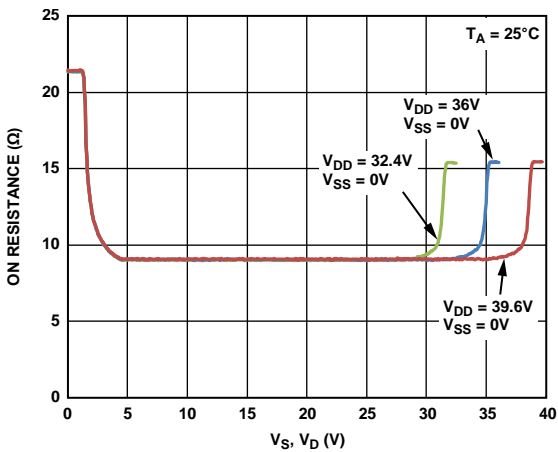


図 5. V_S と V_D 対 オン抵抗(R_{ON})、
36 V 単電源

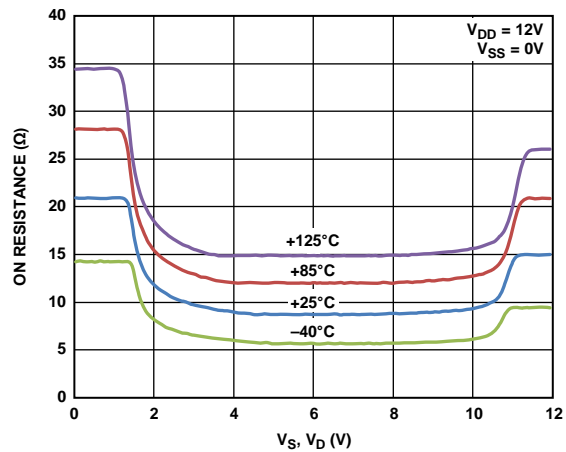


図 8. V_S と V_D 対 様々な温度でのオン抵抗(R_{ON})、
12 V 単電源

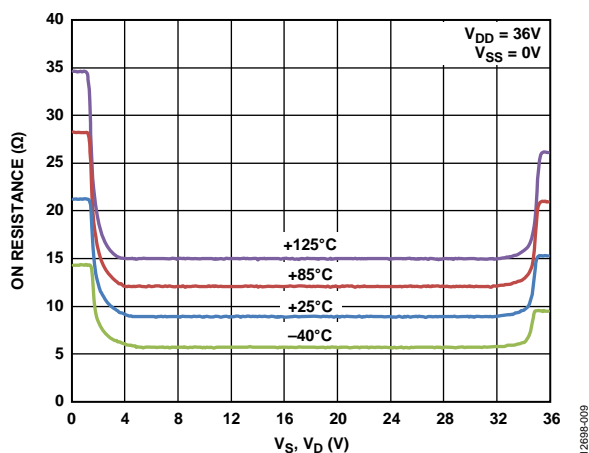


図 9. V_S と V_D 対 様々な温度でのオン抵抗(R_{ON})、36 V 単電源

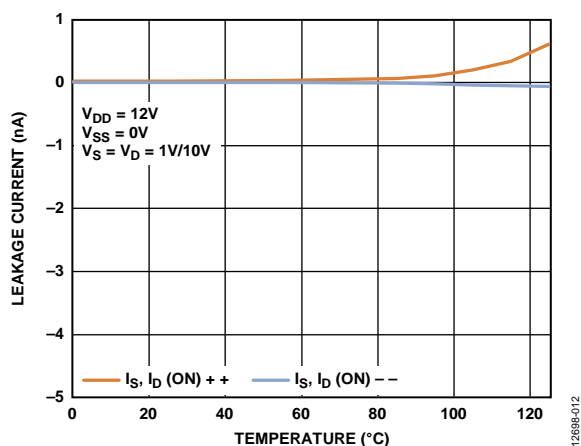


図 12. リーク電流の温度特性、12 V 単電源

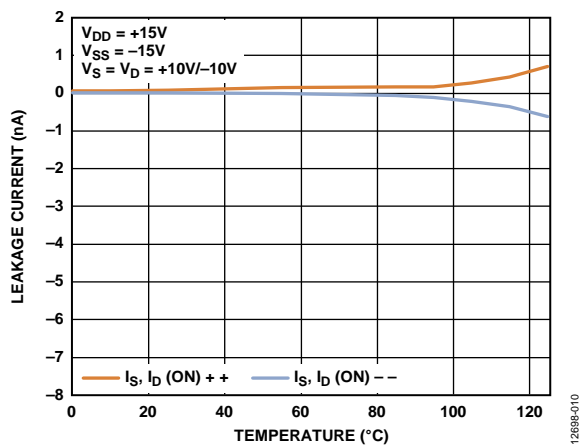


図 10. リーク電流の温度特性、±15 V 両電源

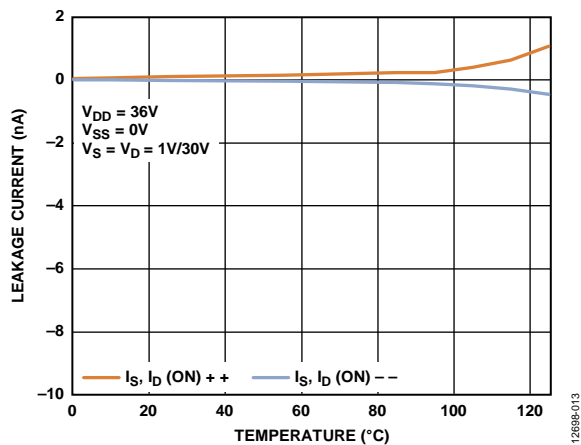


図 13. リーク電流の温度特性、36 V 単電源

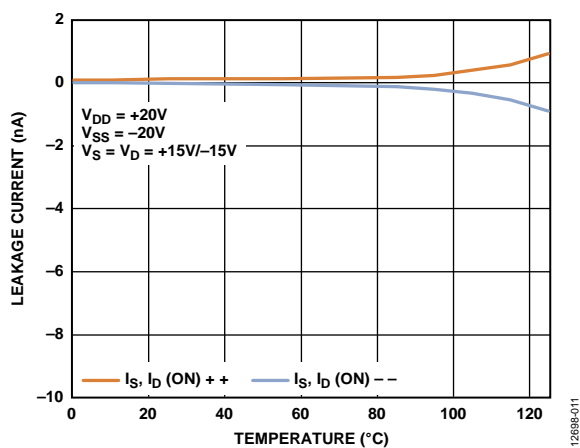


図 11. リーク電流の温度特性、±20 V 両電源

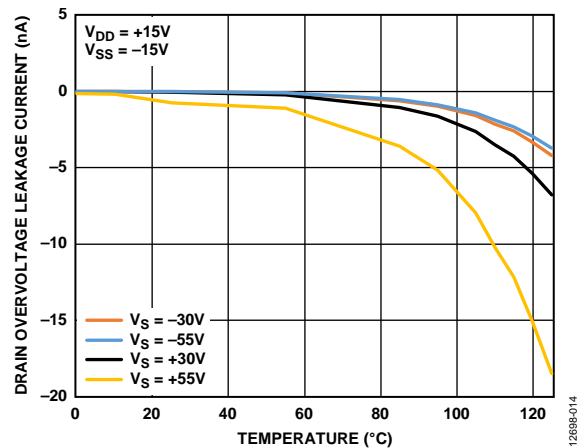


図 14. ドレイン過電圧リーク電流の温度特性、±15 V 両電源

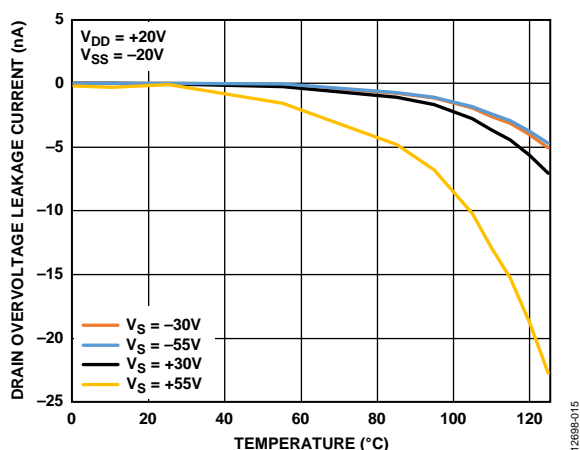


図 15. ドレイン過電圧リーク電流の温度特性、
±20 V 両電源

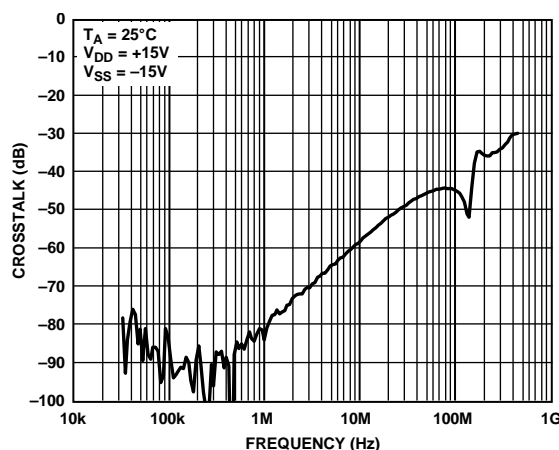


図 18. クロストークの周波数特性、
±15 V 両電源

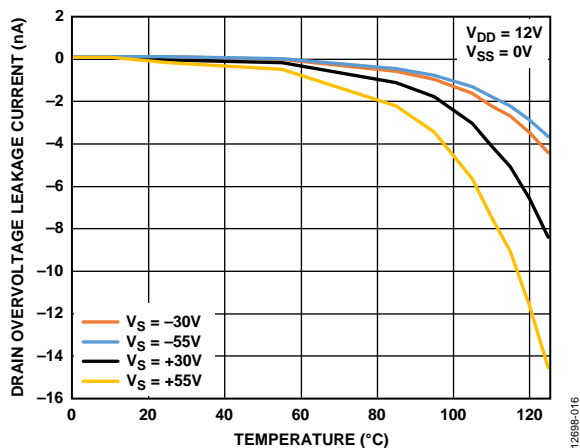


図 16. ドレイン過電圧リーク電流の温度特性、
12 V 単電源

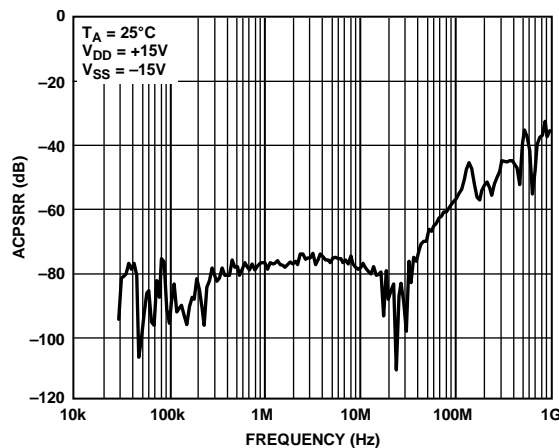


図 19. AC 電源変動除去比 (ACPSRR) の周波数特性、
±15 V 両電源

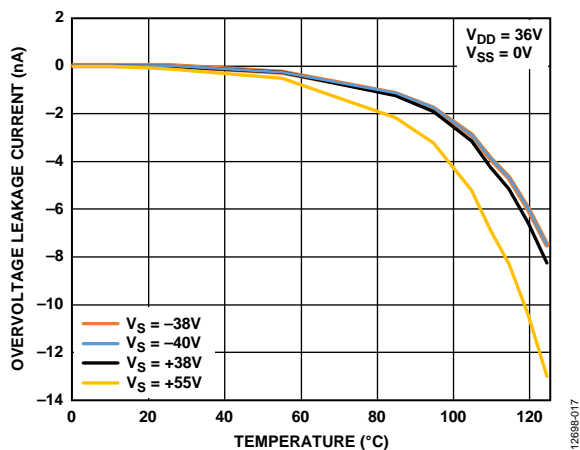


図 17. 過電圧リーク電流の温度特性、
36 V 単電源

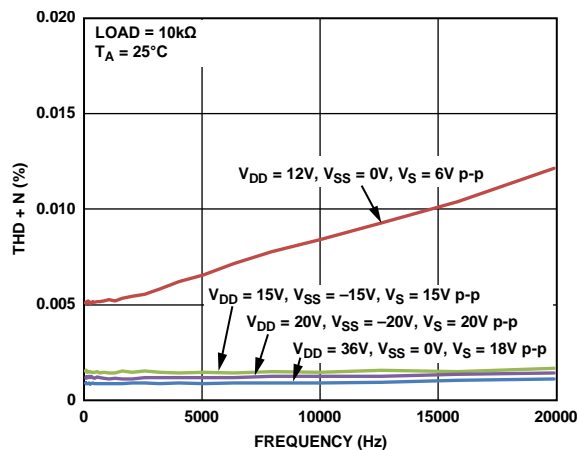


図 20. THD + N の周波数特性、
±15 V 両電源

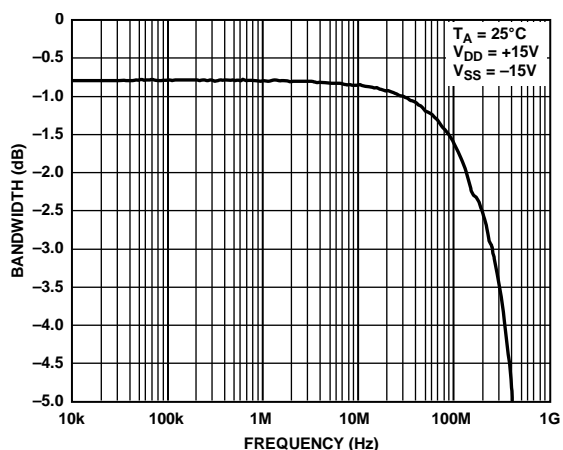


図 21.周波数 対 振幅

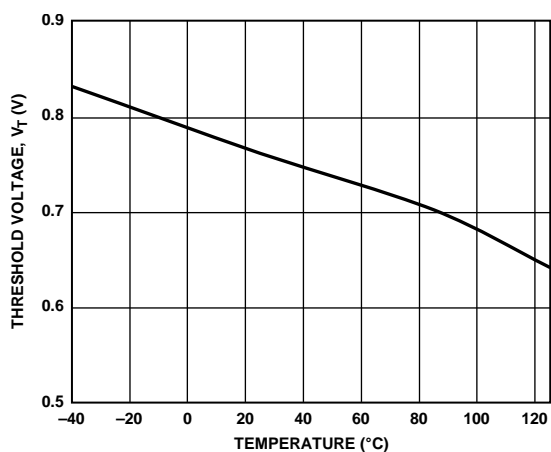


図 22.閾値電圧 (V_T)の温度特性

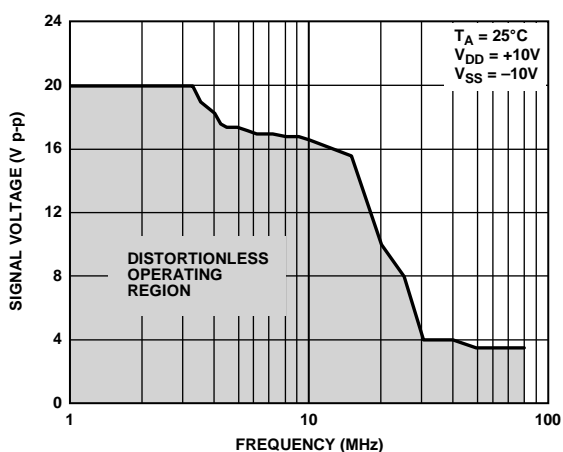


図 23.大電圧信号トラッキングの周波数特性

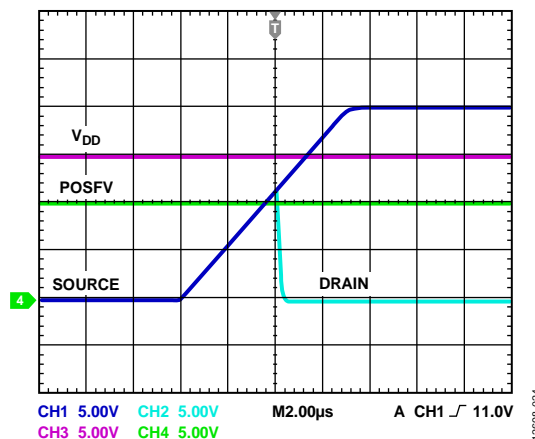


図 24.正の過電圧に対するドレイン出力応答 (DR ピン = フローティングまたはハイ・レベル)

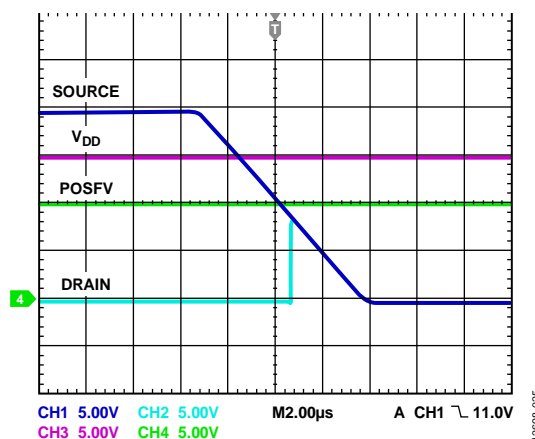


図 25.正の過電圧からのドレイン出力回復 (DR ピン = フローティングまたはハイ・レベル)

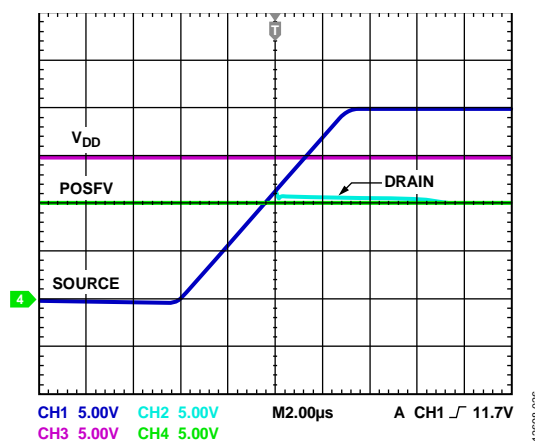


図 26.正の過電圧に対するドレイン出力応答 (DR = GND)

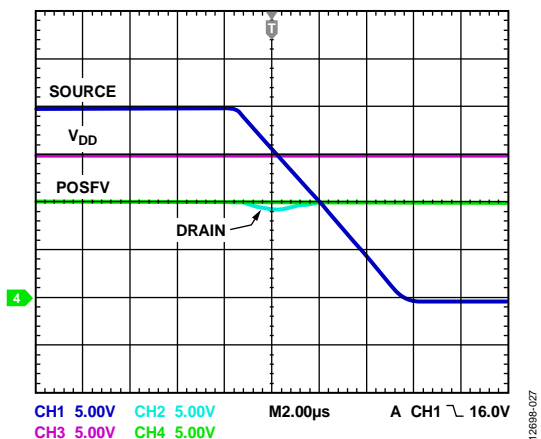


図 27. 正の過電圧からのドレイン出力回復 (DR = GND)

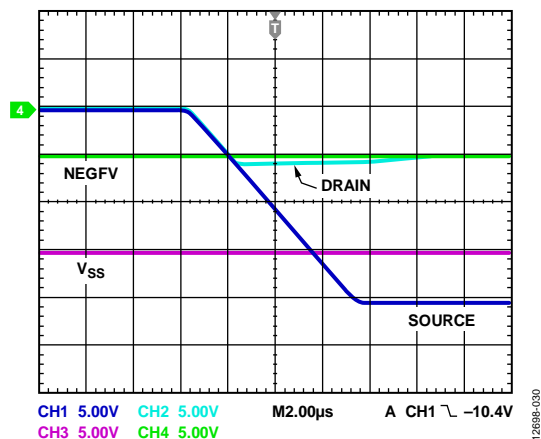


図 30. 負の過電圧に対するドレイン出力応答 (DR = GND)

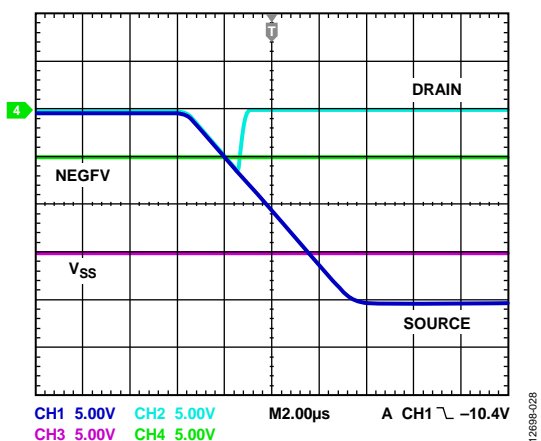


図 28. 負の過電圧に対するドレイン出力応答 (DR ピン = フローティングまたはハイ・レベル)

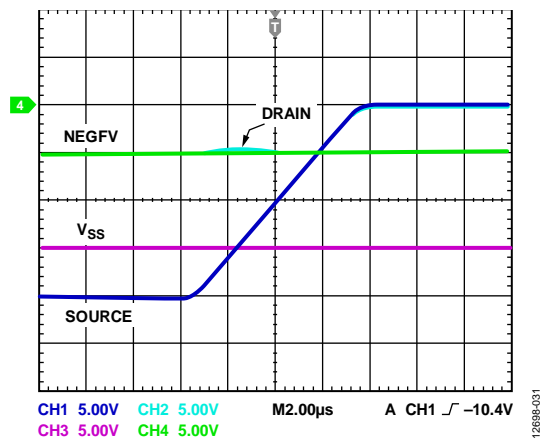


図 31. 負の過電圧からのドレイン出力回復 (DR = GND)

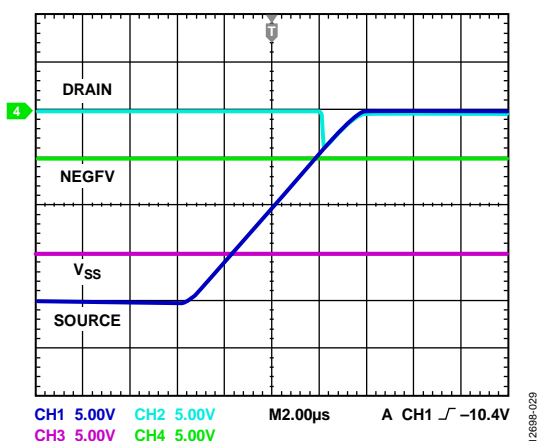


図 29. 負の過電圧からのドレイン出力回復 (DR ピン = フローティングまたはハイ・レベル)

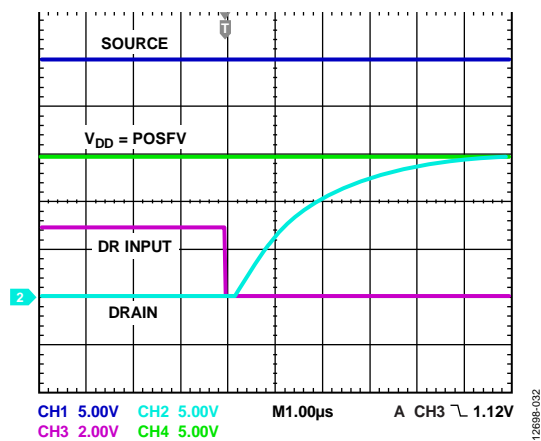


図 32. 正の過電圧に対するドレイン出力応答 (DR ピン = ハイ・レベルからロー・レベル)

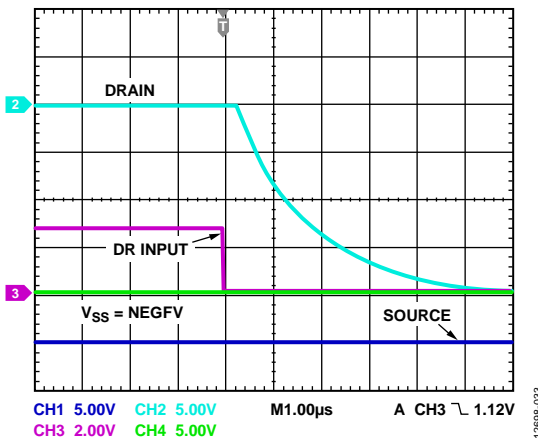


図 33. 負の過電圧に対するドレイン出力応答
 (DR ピン = ハイ・レベルからロー・レベル)

テスト回路

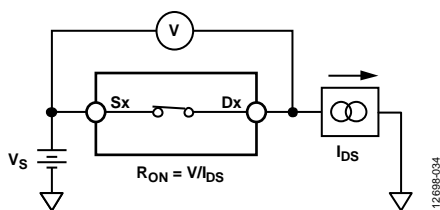


図 34. オン抵抗

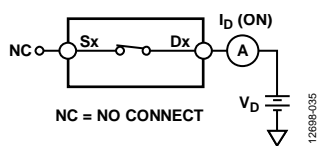


図 35. オン・リーク

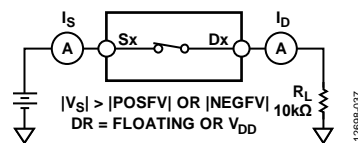


図 36. スイッチ過電圧リーク

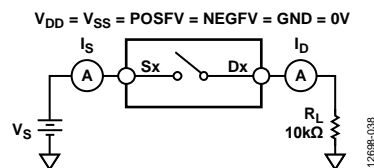


図 37. 電源なしのスイッチ・リーク

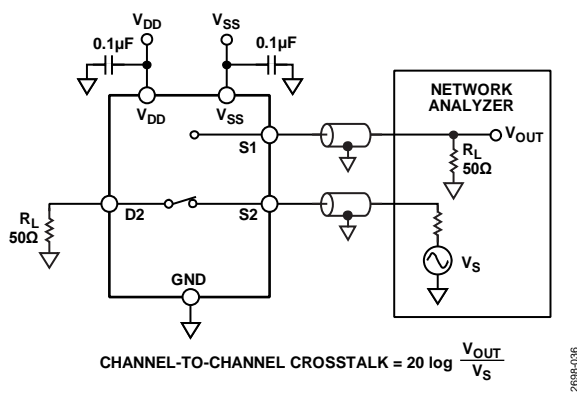


図 38. チャンネル間クロストーク

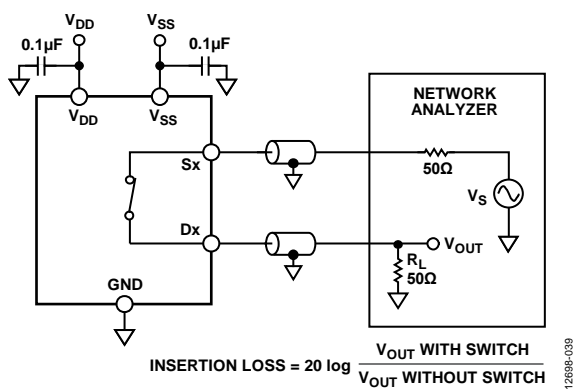


図 39. 帯域幅

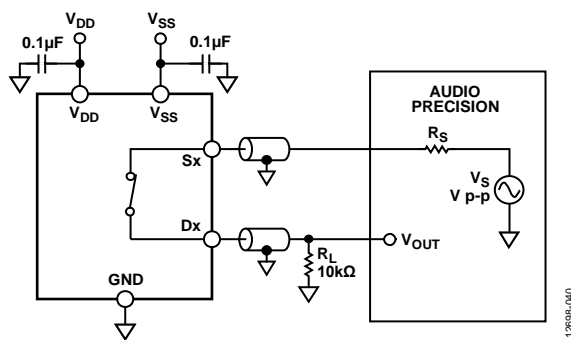


図 40. THD + N

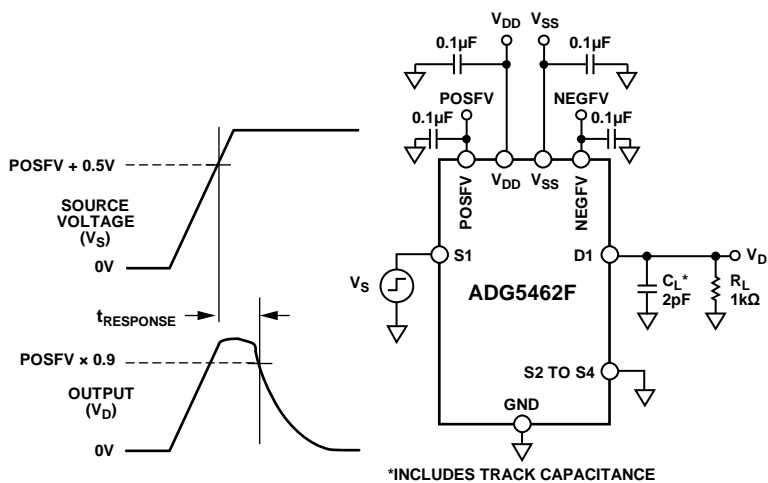


図 41. 過電圧応答時間 $t_{RESPONSE}$

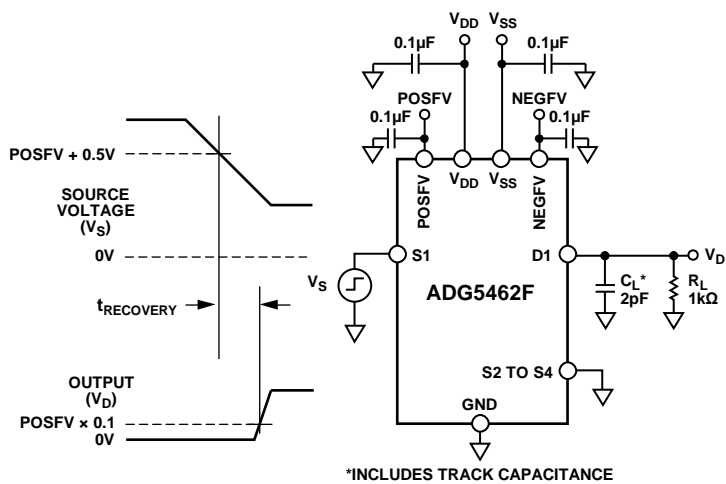


図 42. 過電圧回復時間 $t_{RECOVERY}$

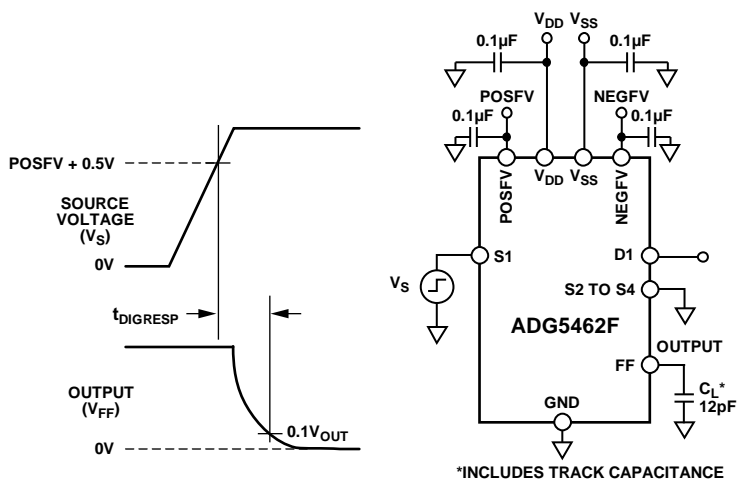


図 43. 割込みフラグ応答時間 $t_{DIGRESP}$

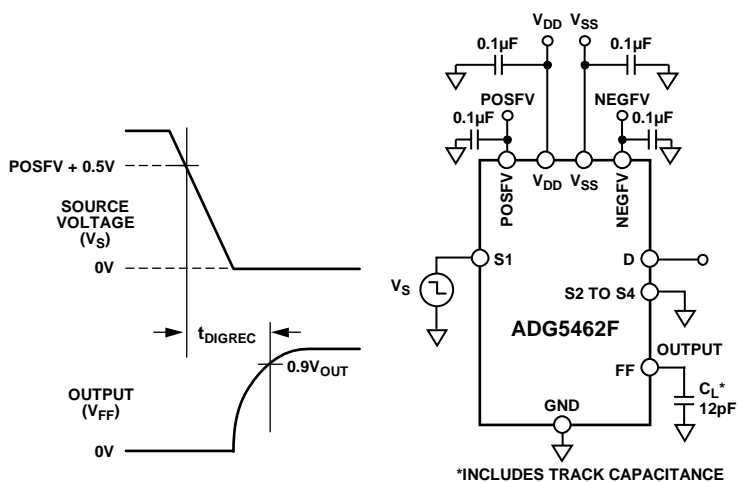


図 44. 割込みフラグ回復時間 t_{DIGREC}

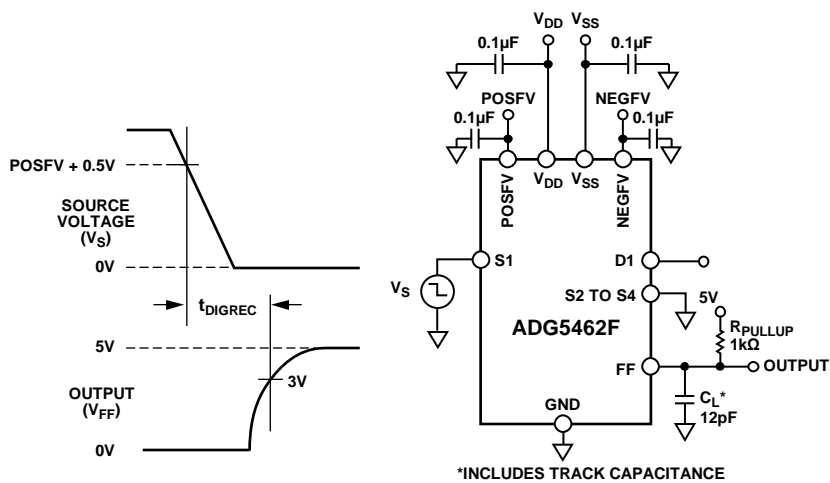
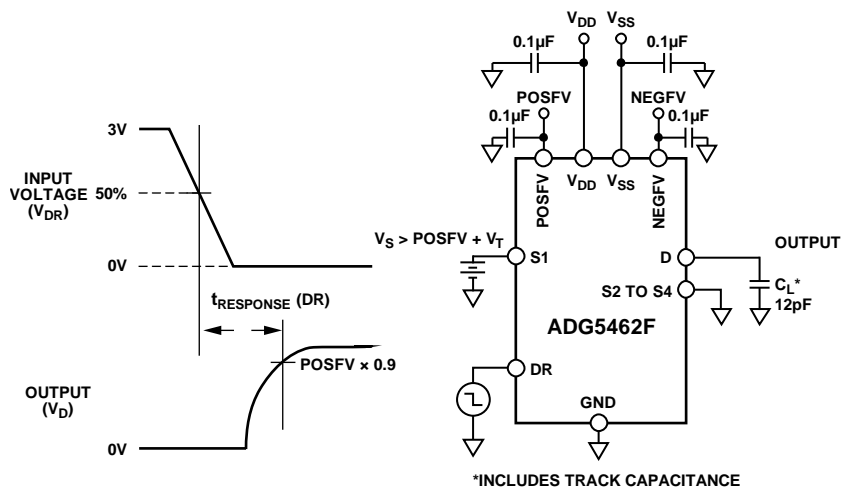


図 45. 割込みフラグ回復時間 t_{DIGREC} 、1 kΩ プルアップ抵抗



12698E-046

図 46.過電圧でのドレイン・イネーブル時間 $t_{\text{RESPONSE (DR)}}$

用語

I_{DD}

I_{DD}は正のプライマリ電源 (V_{DD}) 電流を表します。

I_{SS}

I_{SS}は負のプライマリ電源 (V_{SS}) 電流を表します。

I_{POSFV}

I_{POSFV}は正のセカンダリ電源電流を表します。

I_{NEGFV}

I_{NEGFV}は負のセカンダリ電源電流を表します。

V_D、V_S

V_DとV_Sは、それぞれ Dx ピンと Sx ピンのアナログ電圧を表します。

R_{ON}

R_{ON}は、Dx ピンと Sx ピンの間の抵抗を表します。

ΔR_{ON}

任意の2チャンネル間のR_{ON}の差。

R_{FLAT(ON)}

仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性です。

I_D (On)、I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (On)、C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{DIGRESP}

t_{DIGRESP}はFFピンがロー・レベル(0.3V)になるために要する時間で、ソース・ピン電圧が電源電圧を0.5V上回るポイントより測定されます。

t_{DIGREC}

t_{DIGREC}はFFピンがハイ・レベルに戻るために要する時間で、Sxピン電圧が電源電圧 + 0.5Vを下回るポイントより測定されず。

t_{RESPONSE}

t_{RESPONSE}は、ソース電圧が電源電圧を0.5V上回ってから、ドレイン電圧が電源電圧の90%を下回るまでの遅延を表します。

t_{RECOVERY}

t_{RECOVERY}は、Sxピンの過電圧が電源電圧 + 0.5Vを下回ってから、ドレイン電圧が0Vから電源電圧の10%を上回るまでの遅延を表します。

t_{RESPONSE (DR)}

t_{RESPONSE (DR)}は、DRピンがハイ信号からロー信号へ立下がる電圧から、ドレイン・ピン出力がPOSFVまたはNEGFVの90%へ達するまでの遅延を表します。

チャンネル間クロストーク

寄生容量に起因して1つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

-3 dB 帯域幅

帯域幅は、出力が3dB減衰する周波数です。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み + ノイズ (THD + N)

高調波振幅と信号ノイズの和の基本波に対する比。

AC 電源変動除去比(ACPSRR)

出力信号振幅の変調振幅に対する比。ACPSRRは、電源電圧ピンに現れるACノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源のDC電圧が、0.62V p-pの正弦波で変調され測定されます。

V_T

V_Tは過電圧保護回路が機能を開始する電圧閾値。図22を参照してください。

動作原理

スイッチ・アーキテクチャ

ADG5462F の各チャンネルは、NDMOS トランジスタと PDMOS トランジスタの並列対から構成されています。この構造は、通常使用する信号範囲で優れた性能を提供します。POSFV~NEGfV の電圧を持つ入力信号を ADG5462F に入力したときのチャンネルのインピーダンスは小さく 10 Ω (typ) です。

付加された内部回路を使うと、ソース・ピン(Sx)の電圧を POSFV および NEGfV と比較することにより、過電圧入力をスイッチに検出させることができます。信号がセカンダリ電源電圧を電圧閾値 (V_T)だけ超えたとき、その信号は過電圧と見なされます。閾値電圧は 0.7 V (typ) ですが、-40°C での 0.8 V から +125°C での 0.6 V までの範囲を取り得ます。動作温度に対する V_T の変化については図 22 を参照してください。

すべてのソース入力に加えることができる最大電圧は-55 V または +55 V です。25 V より高い単電源からデバイス電源を供給する場合、負側の最大信号レベルは減少します。例えば 80 V 最大定格を満たすためには、V_{DD} = +25 V での耐圧は-55 V ですが、V_{DD} = +40 V とした場合は、-40 V へ減少します。製造プロセス上の構造により、チャンネルはオープン時のスイッチ間電圧 80 V に耐えることができます。これらの過電圧制限は、電源の有無によらず適用されます。

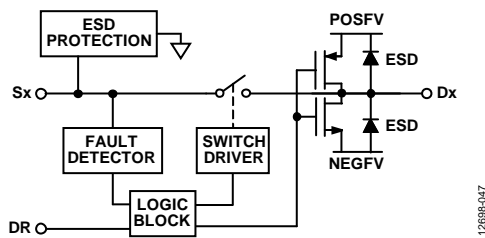


図 47.スイッチ・チャンネルと制御機能

ソース・ピン (Sx) で過電圧状態が検出されると、スイッチが自動的に開き、ソース・ピン (Sx) は高インピーダンスになって、スイッチを流れる電流をゼロにします。DR ピンがロー・レベルの場合は、ドレイン・ピン(Dx)は信号が超えた電源電圧に引きとどめられます。例えば、ソース電圧が POSFV を超えた場合、ドレイン出力は POSFV 電圧に駆動されます。NEGfV についても同様です。図 26 では、ソース電圧が POSFV を V_T だけ超えたとき、ドレイン・ピン (Dx) の電圧が POSFV 電圧にクランプされています。DR ピンがフローティングまたはハイ・レベルへ駆動される場合、ドレイン・ピン(Dx) もオープンになります。図 24 では、スイッチが完全にオフし、ドレイン電圧が負荷を通して放電するまで、ドレイン・ピン電圧がソース・ピン電圧に追従します。各ドレイン・ピンの出力応答を図 48 に示します。ドレインの最大電圧は内蔵 ESD ダイオードにより制限され、出力電圧が放電するレートは、ピンの負荷に依存します。

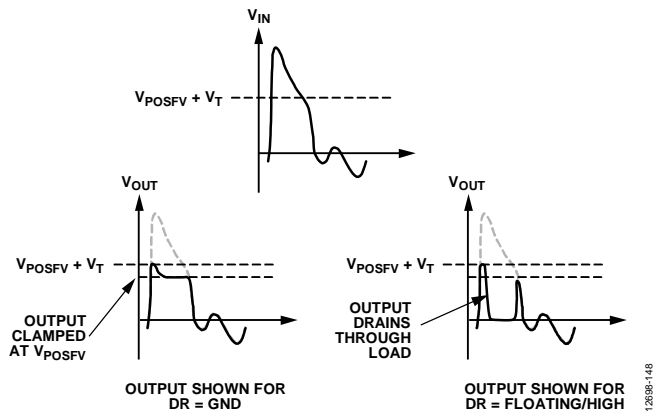


図 48.過電圧時のドレイン出力応答

過電圧状態では、ソース・ピン(Sx)を流れるリーク電流は数十 μA に制限されます。DR ピンがフローティングまたはハイ・レベルの場合、ドレイン・ピン (Dx) を流れるリーク電流は数 nA になります。DR ピンがロー・レベルの場合は、ドレイン・ピン (Dx) は電源レールに駆動されます。ドレイン・ピンを電源レールに駆動するデバイスは、約 40 kΩ のインピーダンスを持ちます。このため Dx ピン電流は、負荷短絡状態で約 1 mA に制限されま す。また、この内部インピーダンスは、故障時に必要とされる電圧レベルへドレイン・ピンを駆動するために必要な最小外付け負荷抵抗も決定します。

過電圧イベントが発生した場合、過電圧入力の影響を受けないチャンネルは、クロストークの増加なく通常動作を続けます。

ESD 性能

ADG5462F の ESD 定格は、人体モデルに対して 4 kV です。

ドレイン・ピン(Dx)には両セカンダリ電源レールに接続された ESD 保護ダイオードが内蔵されており、これらのドレイン・ピンの電圧は、セカンダリ電源電圧を超えることはできません。

ソース・ピン (Sx) には特別な ESD 保護ダイオードが内蔵されているため、信号電圧は±22 V の両電源の場合は±55 V に達することができます。スイッチ・チャンネルの概要については、図 47 を参照してください。いずれかのソース入力が±55 V を超えると、デバイスの ESD 保護回路が損傷を受けることがあります。

トレンチ・アイソレーション

ADG5462F では、各チャンネルの NDMOS トランジスタと PDMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。絶縁ジャンクションによりスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、いかなる場合でもラッチアップのないスイッチが得られます。このデバイスは、仕様の中で最も厳しい±500 mA、1 sec 間の JESD78D ラッチアップ・テストに合格しています。

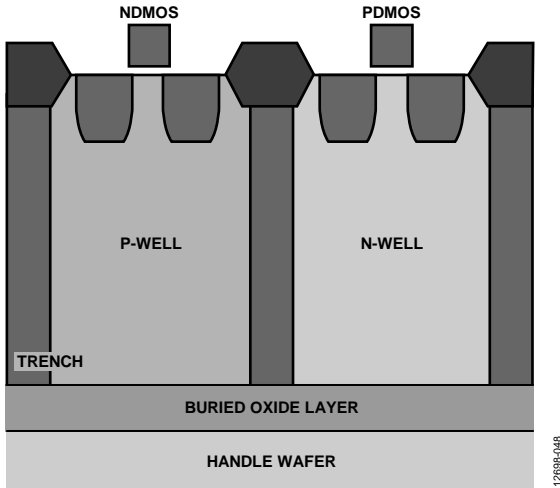


図 49. トレンチ・アイソレーション

ユーザー定義の故障保護機能

POSFV と NEGfV は保護に必要なセカンダリ電源であり、過電圧保護機能が起動されるレベルを設定します。POSFV には 4.5 V ~ V_{DD} の電源を、NEGfV には V_{SS} ~ 0 V の電源を、それぞれ供給することができます。個別のセカンダリ電源を使用しない場合は、これらのピン(POSFV と NEGfV)を V_{DD} (POSFV)と V_{SS} (NEGfV)に接続する必要があります。過電圧保護機能は、プライマリ電源電圧により起動されます。ソース入力の電圧が POSFV または NEGfV を V_T だけ上回ると、チャンネルがオフします。デバイスに電源が加わっていない場合は、チャンネルはオフ状態を維持します。ソース入力は高インピーダンスを維持し、DR ピンがロー・レベルになっていると、ドレインは POSFV または NEGfV に駆動されます。ソース・ピンと電源ピンとの間の 80 V 制限を満たすかぎり、電源ありおよび電源なしの状態、-55 V および +55 V までの信号レベルが阻止されます。

パワーオン保護機能

チャンネルがオン状態であるためには、次の3つの条件を満たす必要があります。

- プライマリ電源 (V_{DD} と V_{SS}) の差は ≥ 8 V である必要があります。
- セカンダリ電源 POSFV は、4.5 V ~ V_{DD} である必要があります、セカンダリ電源 NEGfV は、V_{SS} ~ 0 V である必要があります。
- NEGfV - V_T < 入力信号 < POSFV + V_T

チャンネルがオンすると、セカンダリ電源レールまでの信号レベルが通過します。

チャンネルは、POSFV または NEGfV を閾値電圧(V_T)だけ上回るアナログ入力にตอบสนองしてオフします。絶対入力電圧制限値は -55 V および +55 V で、ソース・ピン(Sx) と電源レール間の 80 V 制限を守らなければなりません。スイッチは、ソース・ピンの電圧が POSFV ~ NEGfV の範囲に戻るまでオフを維持します。±15 V の両電源を使う場合の故障検知応答時間 (t_{RESPONSE})は 460 ns (typ)で、故障からの回復時間 (t_{RECOVERY}) は 720 ns です。これらの値は、電源電圧と出力負荷条件により変わります。

チャンネル間およびソース・ピン(Sx)と任意の電源ピンとの間の最大ストレス耐量は 80 V です。このため、デバイスを単電源構成で使用し、負の過電圧がこのデバイスに加えられるときは、この制限に注意する必要があります。

例えば、デバイスが図 50 に示す単電源構成にあるケースを考えます。

- V_{DD} = POSFV = 36 V、V_{SS} = NEGfV = GND = 0 V
- S1 = +36 V、S2 = +5 V、S3 = -40 V
- S1 と V_{DD}/POSFV の電圧差は 0 V、S1 と V_{SS}/NEGfV の電圧差は 36 V
- S2 と V_{DD}/POSFV の電圧差は 31 V、S2 と V_{SS}/NEGfV の電圧差は 5 V
- S3 と V_{DD}/POSFV の電圧差は 76 V、S3 と V_{SS}/NEGfV の電圧差は 40 V

これらの計算では、すべてデバイスの仕様を満たしています。すなわち、オン・ソース入力では 55 V 最大故障電圧、チャンネル間または電源ピンまでは最大 80 V の範囲内です。ソース・ピン (Sx) の電圧は、最大+80 V を満たすためには-44 V を下回ることとはできません。

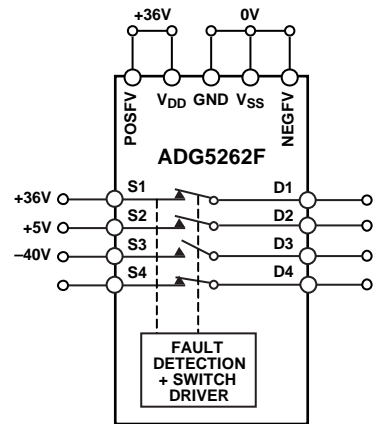


図 50. 過電圧状態での単電源構成 ADG5462F

パワーオフ保護機能

電源入力がないとき、チャンネルはオフ状態を維持し、スイッチ入力は高インピーダンスになります。この状態は、電流が流れないようにして、スイッチまたは接続する後段回路に対する損傷を防止します。スイッチ出力は、仮想的な断線として機能します。

プライマリ電源 (V_{DD} と V_{SS}) とセカンダリ電源 (POSFV と NEGFV) が 0 V であるかフローティングであるかにかかわらず、スイッチはオフ状態を維持します。ただしこの動作のためには、常に GND リファレンスが存在する必要があります。(グランド接続は常に必要です) 電源がない状態で、 ± 55 V までの信号レベルが阻止されます。

デジタル入力保護機能

ADG5462F は、電源なしでデバイスへ入力されるデジタル信号に耐えることができます。デジタル入力は、最大 44 V の正側故障電圧に対して保護されていますが、負側過電圧に対して保護されていません。GND に接続された ESD 保護ダイオードが、デジタル入力に入っています。

過電圧検知割込みフラグ

ADG5462F のソース入力電圧が連続的にモニタされて、スイッチ状態がアクティブ・ローのデジタル出力ピン (FF) で表示されます。

FF ピン電圧は、ソース入力ピンが故障状態にあるか否かを表示します。FF ピン出力は、すべてのソース・ピン (Sx) が通常動作範囲内にある場合、公称 3 V です。いずれかのソース・ピン (Sx) 電圧が、電源電圧を $\pm V_T$ だけ超えると、FF 出力は 0.8 V より低くなります。

アプリケーション情報

スイッチとマルチプレクサの過電圧保護ファミリーは、計装用、工業用、車載用、航空宇宙用、さらに過電圧信号が存在し、かつその過電圧信号以後もシステムが動作を維持しなければならないその他の厳しい環境に対して、強固なソリューションを提供します。

電源レール

デバイスの正常動作を保証するためには、プライマリ電源 (V_{DD} と V_{SS}) とセカンダリ電源に $0.1 \mu\text{F}$ のデカップリング・コンデンサが必要です。これらを同じ電源から駆動する場合は、1セットの $0.1 \mu\text{F}$ デカップリング・コンデンサで十分です。

セカンダリ電源 (POSFV と NEGfV) は、故障保護機能を動作させるために必要な電流を供給するため、低出力インピーダンス電源である必要があります。したがって、抵抗分圧器とバッファを使ってプライマリ電源から発生させることが一般的です。

セカンダリ電源レール (POSFV と NEGfV) はプライマリ電源レール (V_{DD} と V_{SS}) を超えることはできません。これは信号がスイッチを意図せず通過してしまうことを防止するためです。

ADG5462F は、 $\pm 5 \text{ V} \sim \pm 22 \text{ V}$ の両電源で動作させることができます。 V_{DD} と V_{SS} の電源は対称である必要はありませんが、 V_{DD} と V_{SS} の範囲は 44 V を超えることはできません。また、ADG5462F は V_{SS} を GND に接続した $8 \text{ V} \sim 44 \text{ V}$ の単電源で動作することもできます。

ADG5462F は $\pm 15 \text{ V}$ 、 $\pm 20 \text{ V}$ 、 $+12 \text{ V}$ 、 $+36 \text{ V}$ の各電源範囲で仕様が規定されています。

電源シーケンシング保護

デバイスの電源がないとき、チャンネルはオープンを維持します。デバイスに損傷を与えることなく、 $-55 \text{ V} \sim +55 \text{ V}$ の信号を加えることができます。電源が接続され、かつ信号が通常動作範囲内の場合にのみ、チャンネルが閉じます。外部コネクタと過電圧に敏感な部品の間には ADG5462F を配置すると、電源電圧が使用可能になる前に信号をソース・ピンに接続されるシステムで保護機能を提供します。

電源の推奨事項

アナログ・デバイゼスは、大部分の高性能シグナル・チェーンの条件を満たす広範囲なパワー・マネジメント製品を提供しています。

両電源ソリューションの例を図 51 に示します。ADP7118 と ADP7182 を使って、デュアル・スイッチング・レギュレータ出力からクリーンな正電源と負電源を発生させることができます。これらの電源を使って、一般的なシグナル・チェーン内で ADG5462F、アンプ、および/または高精度コンバータに電源を供給することができます。

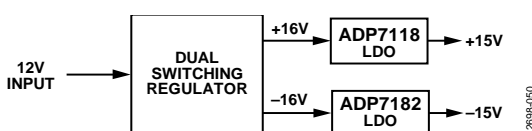


図 51. 両電源ソリューション

表 8. 推奨パワー・マネジメント・デバイス

Product	Description
ADP7118	20 V, 200 mA, low noise, CMOS low dropout regulator (LDO)
ADP7142	40 V, 200 mA, low noise, CMOS LDO
ADP7182	-28 V, -200 mA, low noise, linear regulator

ユーザー定義の信号範囲

プライマリ電源 (V_{DD} と V_{SS}) がチャンネルのオン抵抗プロファイルを決定し、セカンダリ電源 (POSFV と NEGfV) が信号範囲を決定します。 V_{DD} と V_{SS} より狭い POSFV と NEGfV の電圧を使うと、必要とされる信号はデバイスのフル信号能力の中央の平坦なオン抵抗を利用することができます。

低インピーダンス・チャンネル保護

ADG5462F は、チャンネル・インピーダンスと過電圧信号に対して脆弱なシグナル・チェーン内で保護エレメントとして使うことができます。これまで直列抵抗を使って脆弱な部品を保護するため過電圧状態の電流を制限していました。

これらの直列抵抗はシグナル・チェーンの性能に影響を与えて、実現可能な精度を低下させていました。弱い部品を保護するためには十分大きい直列抵抗値が必要ですが、同時にシグナル・チェーンの精度性能を損なわないように十分小さい直列抵抗値にする必要もありました。

ADG5462F を使うと、これらの抵抗を省略して、回路保護を犠牲にすることなく精度性能を維持することができます。

高電圧サージ除去

ADG5462F は、非常に高い電圧でのアプリケーションを対象にしていません。トランジスタの最大動作電圧は 80 V です。入力にこのブレークダウン電圧を超える過電圧が加わりそうなアプリケーションでは、過渡電圧サプレッサ (TVS) または同等品を使用してください。

インテリジェントな故障検出

ADG5462F のデジタル出力ピン(FF)は、マイクロプロセッサまたは制御システムとインターフェースすることができ、割込みフラグとして使用することができます。この機能は、デバイス状態とそれに接続されるシステム状態のリアルタイム診断情報を提供します。

制御システムはデジタル割込みを使って、次のような動作を実行することができます。

- 過電圧故障源に対するチェックを開始します
- 過電圧に対する応答としてクリティカル・システムをシャットダウンさせます
- これらイベント時のデータは信頼度が低い、または仕様外としてマーキングすることをデータ・レコーダに通知します

起動シーケンスに敏感なシステムの場合、フラグのアクティブ・ロー動作により、ADG5462F がパワーオンし、かつ動作開始前にすべての入力電圧が通常動作範囲内にあることをシステムが保証できるようになります。

FF ピンは軽くプルアップされているため、複数のデバイスを含

む大きなモジュールに対して複数の信号を 1 本の割込みにまとめる (ワイヤード OR) ことができます。

1 k Ω の外付けプルアップ抵抗を使うと、割込みフラグ回復時間 t_{DIGREC} を 60 μ s (typ) から 600 ns へ短縮することができます。

また、DR ピンは診断目的にも使用することができます。FF ピンは、4 チャンネルの内の 1 つが故障したことを表示する割込みを発生します。この時 DR ピンにロー・レベルを入力して、故障中のチャンネルと故障の極性を見つけることができます。例えば、ダウンストリームの ADC がチャンネルをモニタする場合、フルスケール読出しは正の過電圧故障を、ゼロスケール読出しが負の過電圧故障を、それぞれ表します。

高電圧、高周波の信号

図 23 に、ADG5462F が対応できる電圧範囲と周波数を示します。 $V_{SS} \sim V_{DD}$ のフル信号範囲を持つ信号に対しては、周波数を 3 MHz より低く維持してください。所望周波数が 3 MHz を超える場合は、信号インテグリティを維持するため信号範囲を適切に小さくしてください。

外形寸法

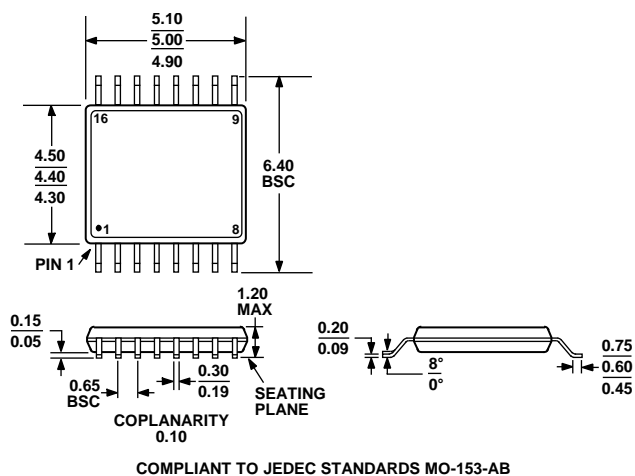


図 52.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5462FBRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5462FBRUZ-RL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16

¹ Z = RoHS 準拠製品。