

特長

ラッチアップなし
ESD 定格: 人体モデル (HBM) 8 kV
低オン抵抗: 6.5 Ω
両電源動作: ±9 V ~ ±22 V
単電源動作: 9 V ~ 40 V
最大電源電圧定格: 48 V
仕様を ±15 V、±20 V、+12 V、+36 V 電源で規定
アナログ信号範囲: $V_{DD} \sim V_{SS}$

アプリケーション

高電圧信号のルーティング
自動テスト装置
アナログ・フロントエンド回路
高精度データ・アキュイジション
アンプ・ゲインの選択
工業用計装機器
リレーの置き換え

概要

ADG5401 は、ラッチアップなしの単極単投 (SPST) スイッチを内蔵する工業用モノリシック CMOS アナログ・スイッチです。このスイッチはオンの時に両方向に等しく導通し、電源電圧までの入力信号範囲を持っています。オフ状態では、電源電圧までの信号レベルを阻止します。

これらのスイッチは、極めて小さいオン抵抗とオン抵抗平坦性を持つため、小さい歪が必須のデータ・アキュイジションとゲイン・スイッチング・アプリケーションに最適なソリューションとなっています。これらのスイッチは、ラッチアップが生じない構造と高い ESD 定格を持つため、厳しい環境にも適しています。

機能ブロック図

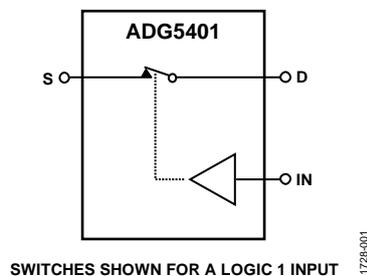


図 1.

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離し、厳しい過電圧状態でもラッチアップを防止します。
2. 低オン抵抗 R_{ON} : 6.5 Ω
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対しては、ADG5401 は ±22 V までの両電源で動作することができます。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対しては、ADG5401 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換デジタル入力: $V_{INH} = 2.0 V$ 、 $V_{INL} = 0.8 V$ 。
6. ロジック電源 V_L が不要。
7. 8 ピン MSOP パッケージを採用

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	チャンネルあたりの連続電流、S または D.....	7
アプリケーション.....	1	絶対最大定格.....	8
機能ブロック図.....	1	ESD の注意.....	8
概要.....	1	ピン配置およびピン機能説明.....	9
製品のハイライト.....	1	代表的な性能特性.....	10
改訂履歴.....	2	テスト回路.....	13
仕様.....	3	用語.....	15
±15 V 両電源.....	3	アプリケーション情報.....	16
±20 V 両電源.....	4	トレンチ・アイソレーション.....	16
12 V 単電源.....	5	外形寸法.....	17
36 V 単電源.....	6	オーダー・ガイド.....	17

改訂履歴

9/13—Revision 0: Initial Version

仕様

±15 V 両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	6.5			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$; see Figure 19
	8	10	12	Ω max	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Flatness, $R_{FLAT(ON)}$	1			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	1.4	1.7	2	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$
	± 0.5	± 2	± 20	nA max	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 18
Drain Off Leakage, I_D (Off)	± 0.1			nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 18
	± 0.5	± 2	± 20	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.2			nA typ	$V_S = V_D = \pm 10\text{ V}$; see Figure 21
	± 1	± 8	± 40	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	160			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	193	230	253	ns max	$V_S = 10\text{ V}$; see Figure 24
t_{OFF}	175			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	207	230	242	ns max	$V_S = 10\text{ V}$; see Figure 24
Charge Injection, Q_{INJ}	220			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 25
Off Isolation	-50			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 20
Total Harmonic Distortion + Noise (THD + N)	0.01			% typ	$R_L = 1\text{ k}\Omega$, 15 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 22
-3 dB Bandwidth	170			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 23
Insertion Loss	-0.4			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
C_S (Off)	22			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	24			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	75			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	45			μA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$
	55		70	μA max	Digital inputs = 0 V or V_{DD}
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
			1	μA max	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

±20 V 両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	6			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$; see Figure 19
On-Resistance Flatness, $R_{FLAT(ON)}$	7	9	11	Ω max	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$
	1.2			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	1.7	2.1	2.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 18
Drain Off Leakage, I_D (Off)	± 0.5	± 2	± 20	nA max	
	± 0.1			nA typ	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 18
Channel On Leakage, I_D (On), I_S (On)	± 0.5	± 2	± 20	nA max	
	± 0.2			nA typ	$V_S = V_D = \pm 15\text{ V}$; see Figure 21
	± 1	± 8	± 40	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	150			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	175	207	219	ns max	$V_S = 10\text{ V}$; see Figure 24
t_{OFF}	170			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	196	214	223	ns max	$V_S = 10\text{ V}$; see Figure 24
Charge Injection, Q_{INJ}	275			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 25
Off Isolation	-50			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 20
Total Harmonic Distortion + Noise (THD + N)	0.01			% typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 22
-3 dB Bandwidth	170			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 23
Insertion Loss	-0.5			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
C_S (Off)	21			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	23			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	75			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	50			μA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	70		110	μA max	Digital inputs = 0 V or V_{DD}
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
			1	μA max	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

12 V 単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	14			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$; see Figure 19
On-Resistance Flatness, $R_{FLAT(ON)}$	16	19	22	Ω max	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$
	2.8			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
	4	5.5	7	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}$ to 10 V, $V_D = 10\text{ V}$ to 1 V; see Figure 18
Drain Off Leakage, I_D (Off)	± 0.5	± 2	± 20	nA max	$V_S = 1\text{ V}$ to 10 V, $V_D = 10\text{ V}$ to 1 V; see Figure 18
	± 0.1			nA typ	
Channel On Leakage, I_D (On), I_S (On)	± 0.5	± 2	± 20	nA max	$V_S = V_D = 1\text{ V}$ to 10 V; see Figure 21
	± 0.2			nA typ	
	± 1	± 8	± 40	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	
Digital Input Capacitance, C_{IN}	6		± 0.1	μA max pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	260			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	327	406	454	ns max	$V_S = 8\text{ V}$; see Figure 24
t_{OFF}	200			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	244	280	300	ns max	$V_S = 8\text{ V}$; see Figure 24
Charge Injection, Q_{INJ}	95			pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 25
Off Isolation	-50			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 20
Total Harmonic Distortion + Noise (THD + N)	0.02			% typ	$R_L = 1\text{ k}\Omega$, 6 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 22
-3 dB Bandwidth	190			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 23
Insertion Loss	-0.9			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
C_S (Off)	28			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	30			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	60			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	40			μA typ	$V_{DD} = 13.2\text{ V}$
	50		65	μA max	Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/V max	$GND = 0\text{ V}$, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V 単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	7			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -10\text{ mA}$; see Figure 19
On-Resistance Flatness, $R_{FLAT(ON)}$	9	11	13	Ω max	$V_{DD} = 32.4\text{ V}$, $V_{SS} = 0\text{ V}$
	1.8			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -10\text{ mA}$
	2.6	3	3.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +39.6\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V to }30\text{ V}$, $V_D = 30\text{ V to }1\text{ V}$; see Figure 18
Drain Off Leakage, I_D (Off)	± 0.5	± 2	± 20	nA max	$V_S = 1\text{ V to }30\text{ V}$, $V_D = 30\text{ V to }1\text{ V}$; see Figure 18
	± 0.1			nA typ	
Channel On Leakage, I_D (On), I_S (On)	± 0.5	± 2	± 20	nA max	$V_S = V_D = 1\text{ V to }30\text{ V}$; see Figure 21
	± 0.2			nA typ	
	± 1	± 8	± 40	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	160			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	187	212	230	ns max	$V_S = 18\text{ V}$; see Figure 24
t_{OFF}	180			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	213	221	225	ns max	$V_S = 18\text{ V}$; see Figure 24
Charge Injection, Q_{INJ}	255			pC typ	$V_S = 18\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 25
Off Isolation	-50			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 20
Total Harmonic Distortion + Noise (THD + N)	0.01			% typ	$R_L = 1\text{ k}\Omega$, 18 V p-p, $f = 20\text{ Hz to }20\text{ kHz}$; see Figure 22
-3 dB Bandwidth	170			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 23
Insertion Loss	-0.55			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
C_S (Off)	26			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	28			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	65			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	80			μA typ	$V_{DD} = 39.6\text{ V}$
	100		130	μA max	Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/V max	$GND = 0\text{ V}$, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、S または D

表 5.

Parameter	25°C	85°C	125°C	Unit	Test Condition/Comments
CONTINUOUS CURRENT, S OR D					MSOP ($\theta_{JA} = 133.1^{\circ}\text{C/W}$)
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$	171	116	79	mA maximum	
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$	177	120.5	81	mA maximum	
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$	139	99	70	mA maximum	
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$	174	118	81	mA maximum	

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, S or D Pin	630 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, S or D ²	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
8-Lead MSOP (4-Layer Board)	133.1°C/W
Reflow Soldering Peak Temperature, Pb Free	As per JEDEC J-STD-020
Human Body Model (HBM) ESD	8 kV

¹IN、S、Dの各ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

²表 5を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. NC = NO CONNECT. NOT INTERNALLY CONNECTED.

11728-002

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	S	ソース・ピン。このピンは、入力または出力に設定することができます。
2	NC	未接続。内部で接続されていません。
3	GND	グラウンド・リファレンス(0 V)。
4	V _{DD}	正電源電位。
5	NC	未接続。内部で接続されていません。
6	IN	ロジック・コントロール入力。
7	V _{SS}	負電源電位。
8	D	ドレイン・ピン。このピンは、入力または出力に設定することができます。

表 8. 真理値表

IN	Switch Condition
1	On
0	Off

代表的な性能特性

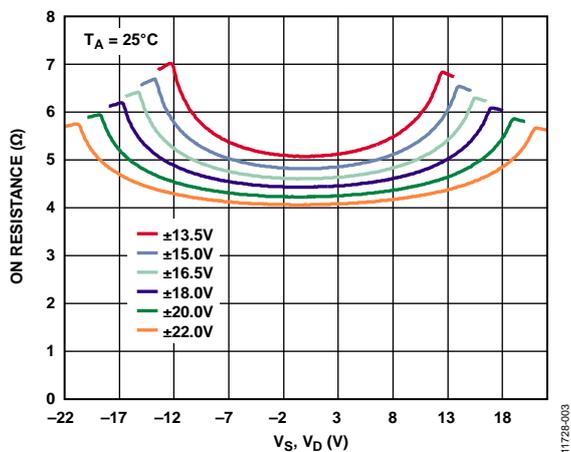


図 3. V_S 、 V_D の関数としてのオン抵抗、両電源

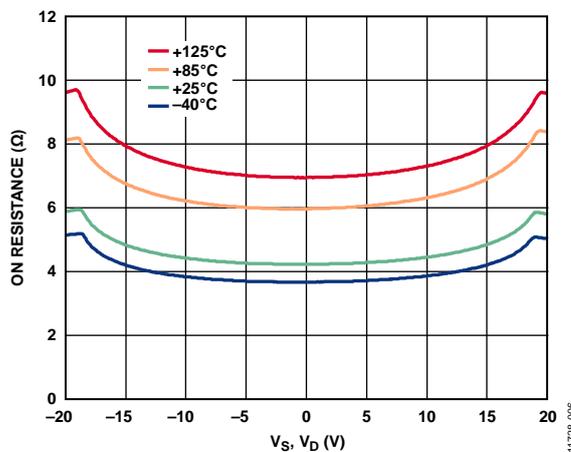


図 6. V_S (V_D) の関数としての様々な温度でのオン抵抗
±20 V 両電源

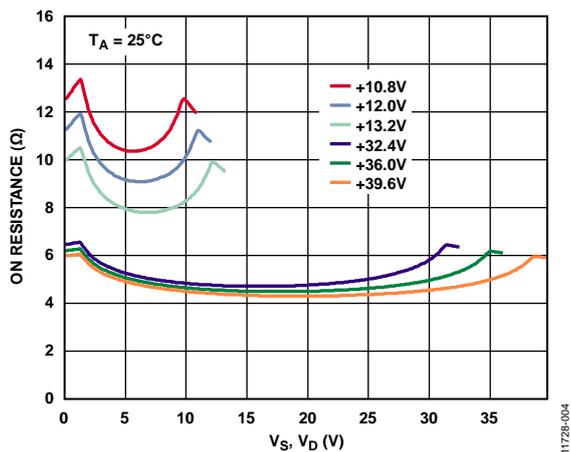


図 4. V_S 、 V_D の関数としてのオン抵抗、単電源

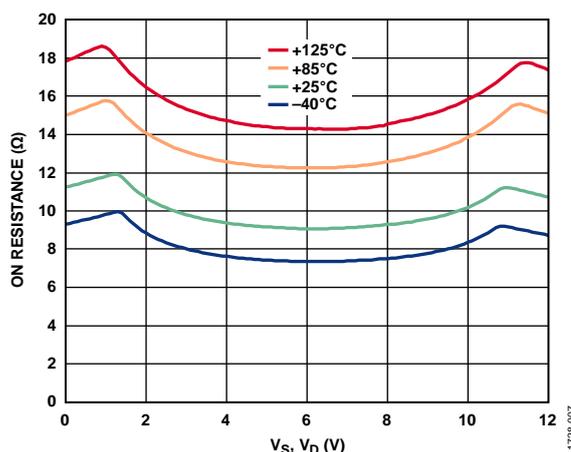


図 7. V_S (V_D) の関数としての様々な温度でのオン抵抗
12 V 単電源

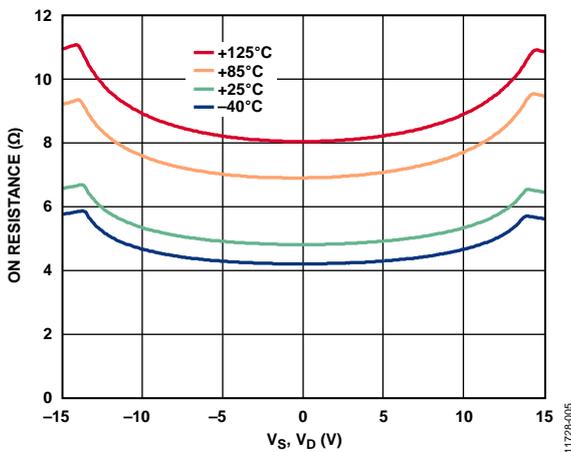


図 5. V_S (V_D) の関数としての様々な温度でのオン抵抗
±15 V 両電源

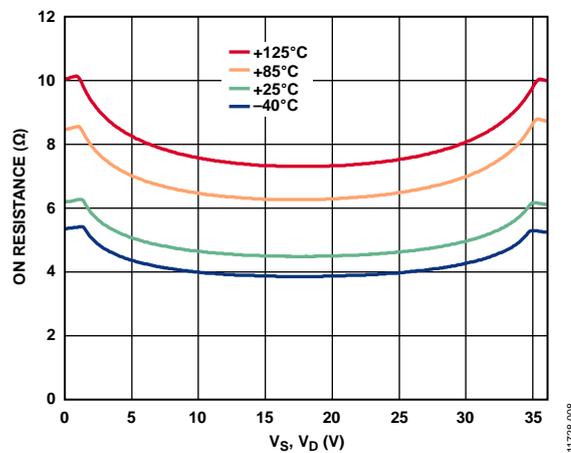


図 8. V_S (V_D) の関数としての様々な温度でのオン抵抗
36 V 単電源

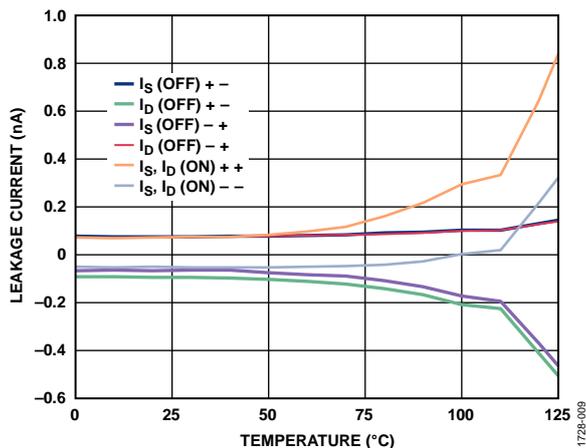


図 9.温度の関数としてのリーク電流
±15 V 両電源

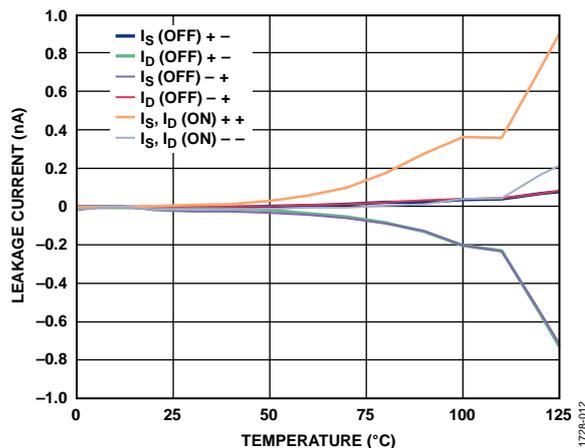


図 12.温度の関数としてのリーク電流
36 V 単電源

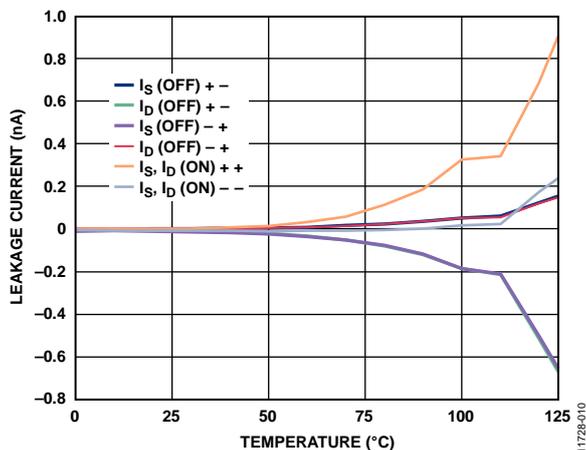


図 10.温度の関数としてのリーク電流
±20 V 両電源

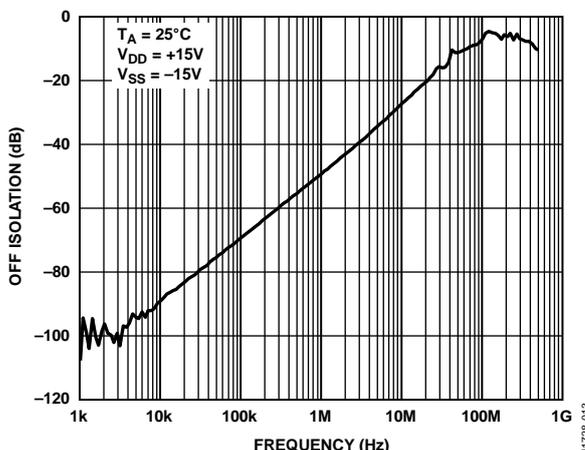


図 13.オフ・アイソレーションの周波数特性

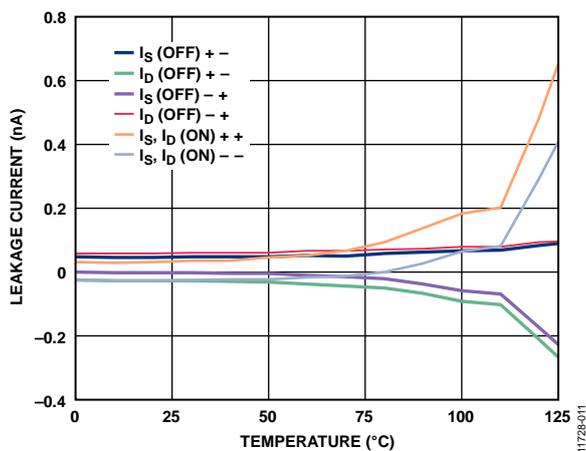


図 11.温度の関数としてのリーク電流
12 V 単電源

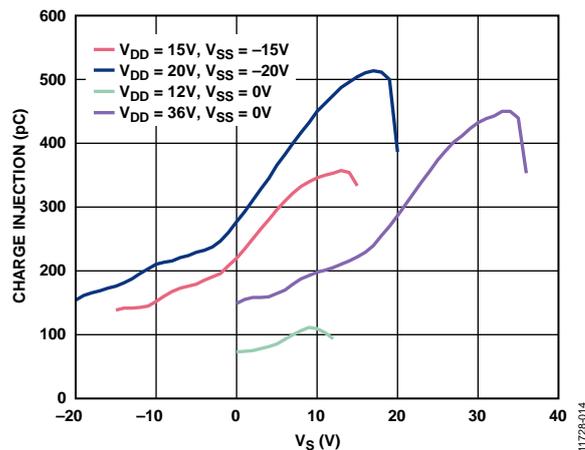


図 14.電源電圧(V_S)に対するチャージ・インJECTION

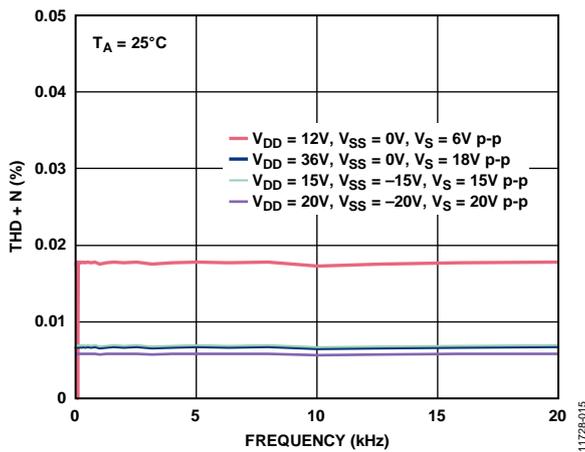


図 15. THD + N の周波数特性

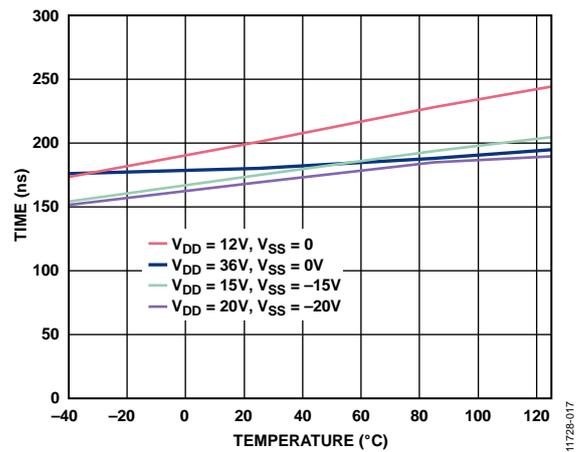


図 17. 時間 $t_{\text{TRANSITION}}$ の温度特性

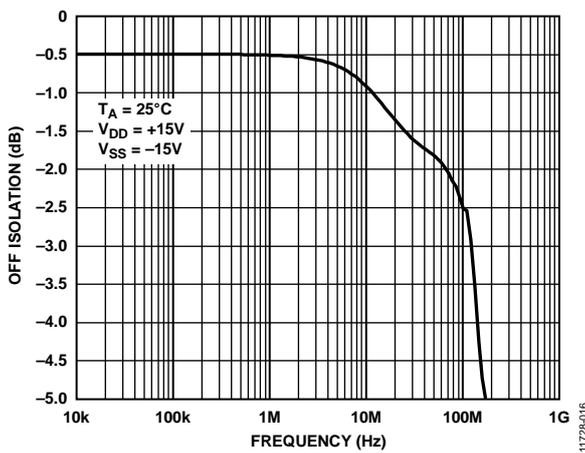


図 16. 帯域幅

テスト回路

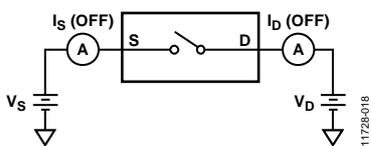


図 18.オフリーク

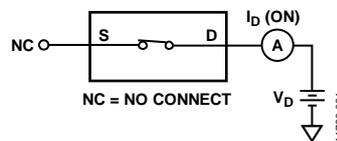


図 21.オンリーク

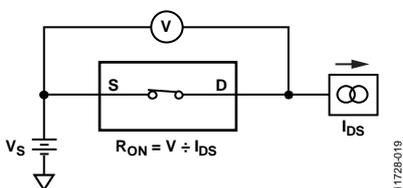


図 19.オン抵抗

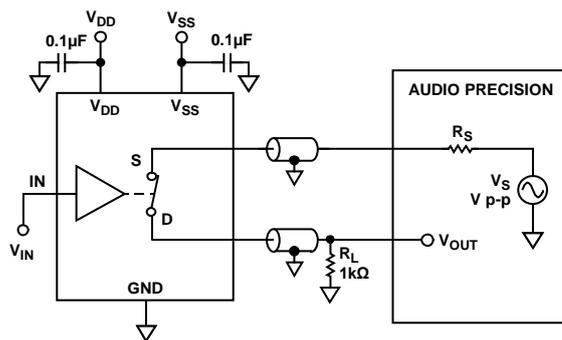


図 22.THD + N

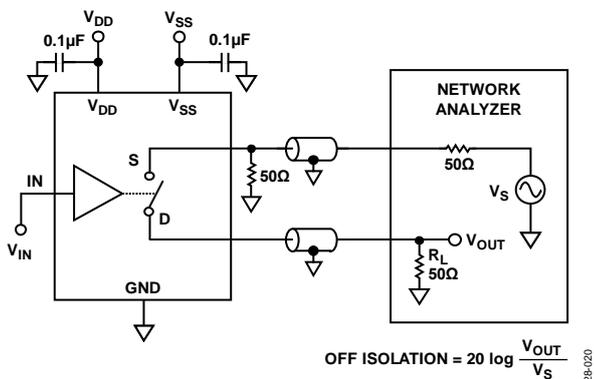


図 20.オフ・アイソレーション

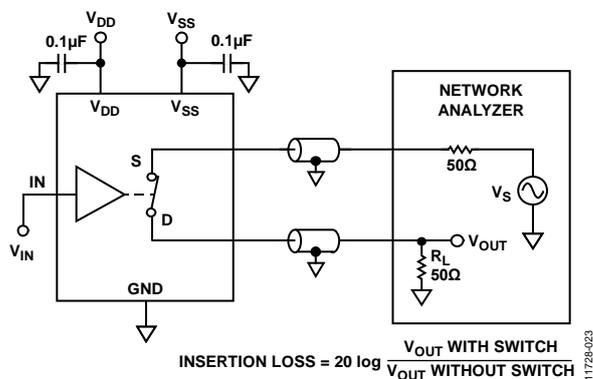


図 23.帯域幅

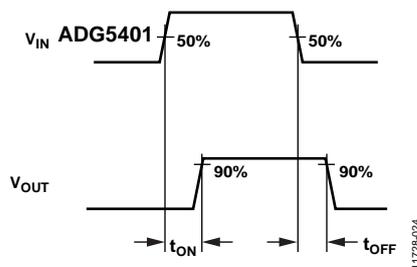
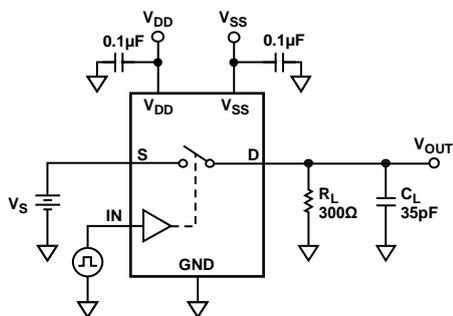


図 24.スイッチング時間、 t_{ON} および t_{OFF}

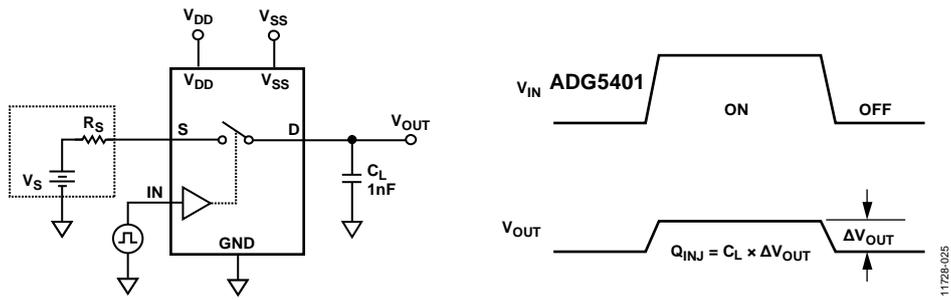


図 25.チャージ・インジェクション

11728-025

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D、V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

R_{FLAT(ON)}

仕様が規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF}

デジタル入力の 50%/90%ポイントとスイッチ・オフ状態との間の遅延時間。

オフ・アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

帯域幅

出力が DC 値から 3 dB 減衰する周波数の範囲。

全高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比。

アプリケーション情報

ADG54xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、航空宇宙、その他の厳しい環境に対して頑丈なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで続きます。ADG5401 高電圧スイッチでは、9 V ~ 40 V の単電源動作と ± 9 V ~ ± 22 V の両電源動作が可能です。ADG5401 (および同じファミリーから選択した他のデバイス) は、8 kV の人体モデル ESD 定格を実現しているため、アプリケーションによっては、外付けの保護回路が不要な強固なソリューションを実現することができます。

トレンチ・アイソレーション

ADG5401 では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。ジャンクションで絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、ラッチアップのないスイッチが得られます。

ジャンクション・アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

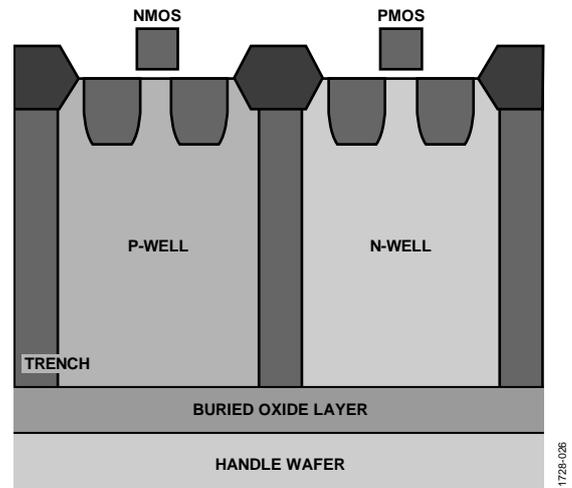


図 26. トレンチ・アイソレーション

