

特長

ラッチアップ保護機能を内蔵

オフ時ソース容量: 3.5 pF

オフ時ドレイン容量

ADG5206: 64 pF

ADG5207: 33 pF

チャージ・インジェクション: 0.35 pC (typ)

オン・チャンネル・リーク: ± 0.01 nA

小さいオン抵抗: 155 Ω (typ)

両電源動作: ± 9 V \sim ± 22 V

単電源動作: 9 V \sim 40 V

アナログ信号範囲: $V_{SS} \sim V_{DD}$

人体モデル (HBM)ESD 定格

I/O ポート—電源間: 8 kV

I/O ポート—I/O ポート間: 2 kV

その他の全ピン: 8 kV

アプリケーション

自動テスト装置

データ・アキュイジション

計装機器

航空電子機器

バッテリーのモニタリング

通信システム

概要

ADG5206/ADG5207 は、それぞれシングル 16 チャンネルと差動 8 チャンネルで構成されたモノリシック CMOS アナログ・マルチプレクサです。ADG5206 は、4 ビットのバイナリ・アドレス・ライン A0、A1、A2、A3 の指定に基づき、16 入力の中の 1 つを共通出力に接続します。ADG5207 は、3 ビットのバイナリ・アドレス・ライン A0、A1、A2 の指定に基づき、8 チャンネル差動入力の中の 1 つを共通差動出力に接続します。

両デバイスの EN 入力は、デバイスをイネーブルまたはディスエーブルするときに使います。EN がロー・レベルのとき、デバイスはディスエーブルされて、すべてのチャンネルがスイッチ・オフされます。これらのスイッチは、極めて小さい容量とチャージ・インジェクションを持つため、低グリッチと高速なセットリングを必要とするデータ・アキュイジションとサンプル・アンド・ホールドのアプリケーションに最適なソリューションになっています。これらのデバイスは、高速なスイッチング速度と広い信号帯域幅の組み合わせにより、ビデオ信号スイッチングにも適しています。

各スイッチはオンのとき等しく両方向に導通し、入力信号範囲

は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。

ADG5206/ADG5207 には V_L ピンがなく、代わりにロジック電源は内蔵の電圧ジェネレータで発生されます。

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
2. 低チャージ・インジェクション、低スイッチ容量、低リーク電流を実現する最適なスイッチ・デザイン。
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対しては、ADG5206/ADG5207 は ± 22 V までの両電源で動作することができます。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対しては、ADG5206/ADG5207 は 40 V までの単電源で動作することができます。

機能ブロック図

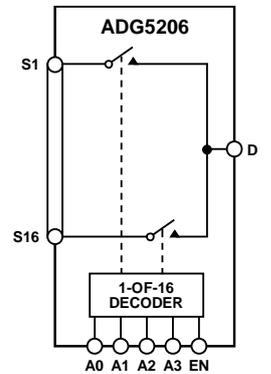


図 1.

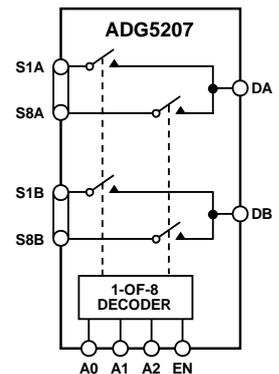


図 2.

目次

特長.....	1	絶対最大定格.....	10
アプリケーション.....	1	ESDの注意.....	10
機能ブロック図.....	1	ピン配置およびピン機能説明.....	11
概要.....	1	代表的な性能特性.....	15
製品のハイライト.....	1	テスト回路.....	20
改訂履歴.....	2	用語.....	22
仕様.....	3	アプリケーション情報.....	23
±15 V 両電源.....	3	Trench アイソレーション.....	23
±20 V 両電源.....	4	外形寸法.....	24
12 V 単電源.....	6	オーダー・ガイド.....	24
36 V 単電源.....	8		
チャンネルあたりの連続電流、Sx、DまたはDx.....	9		

改訂履歴

7/12—Revision 0: Initial Version

仕様

±15 V 両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH						
Analog Signal Range				V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	155				Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$; see Figure 30
On Resistance Match Between Channels, ΔR_{ON}	200	225	250	285	Ω max	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$ $V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	4				Ω typ	
	12	13	14	15	Ω max	
	48				Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
	65	73	80	90	Ω max	
LEAKAGE CURRENTS						
Source Off Leakage, I_S (Off)	± 0.005				nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 31
Match Between Channels, Δ Leakage, I_S (Off) ¹	± 0.1	± 0.15	± 0.2	± 0.4	nA max	
Drain Off Leakage, I_D (Off)	0.01			0.015	nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$
						$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 31
ADG5206	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
ADG5207	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.4	± 1.7	nA max	
Match Between Channels, Δ Leakage, I_D (Off), ADG5207 Only	0.015			0.015	nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$
Channel On Leakage, I_D (On), I_S (On)						$V_S = V_D = \pm 10\text{ V}$; see Figure 32
ADG5206	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
ADG5207	± 0.02				nA typ	
	± 0.1	± 0.2	± 0.4	± 1.7	nA max	
Match Between Channels, Δ Leakage, I_D (On), I_S (On) ²	0.01			0.03	nA typ	$V_S = V_D = \pm 10\text{ V}$
DIGITAL INPUTS						
Input High Voltage, V_{INH}				2.0	V min	
Input Low Voltage, V_{INL}				0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002				μA typ	$V_{IN} = V_{GND}$ or V_{DD}
				± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3				pF typ	
DYNAMIC CHARACTERISTICS³						
Transition Time, $t_{TRANSITION}$	200				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	260	300	320	360	ns max	$V_S = 10\text{ V}$; see Figure 33
t_{ON} (EN)	180				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	245	260	270	285	ns max	$V_S = 10\text{ V}$; see Figure 34
t_{OFF} (EN)	140				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	200	220	240	270	ns max	$V_S = 10\text{ V}$; see Figure 34
Break-Before-Make Time Delay, t_D	85				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
				27	ns min	$V_{S1} = V_{S2} = 10\text{ V}$; see Figure 35
Charge Injection, Q_{INJ}	0.35				pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 36
	± 1.8			± 2	pC typ	$V_S = \pm 10\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$
Off Isolation	-90				dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 37

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Channel-to-Channel Crosstalk	-76				dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 38
-3 dB Bandwidth						$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; see Figure 39
ADG5206	60				MHz typ	
ADG5207	140				MHz typ	
Insertion Loss	6.4				dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 39
C_S (Off)	3.5				pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)						
ADG5206	64				pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADG5207	33				pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)						
ADG5206	68				pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADG5207	36				pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS						$V_{DD} = +16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$
I_{DD}	45				μA typ	Digital inputs = 0 V or V_{DD}
	55			70	μA max	
I_{SS}	0.001				μA typ	Digital inputs = 0 V or V_{DD}
				1	μA max	
V_{DD}/V_{SS}				$\pm 9/\pm 22$	V min/V max	GND = 0 V

¹ オフ時チャンネル・リークの違いは、 $V_S = +10 \text{ V}$ と $V_D = -10 \text{ V}$ または $V_S = -10 \text{ V}$ と $V_D = +10 \text{ V}$ の最大値を使って計算します。

² オン・チャンネル・リークの違いは、 $V_S = V_D = +10 \text{ V}$ または $V_S = V_D = -10 \text{ V}$ の最大値を使って計算します。

³ 設計上保証しますが、出荷テストは行いません。

±20 V 両電源

特に指定がない限り、 $V_{DD} = +20 \text{ V} \pm 10\%$ 、 $V_{SS} = -20 \text{ V} \pm 10\%$ 、GND = 0 V。

表 2.

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH						
Analog Signal Range				V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	130				Ω typ	$V_S = \pm 15 \text{ V}$, $I_S = -1 \text{ mA}$; see Figure 30
On-Resistance Match Between Channels, ΔR_{ON}	160	180	200	230	Ω max	$V_{DD} = +18 \text{ V}$, $V_{SS} = -18 \text{ V}$
	4				Ω typ	$V_S = \pm 15 \text{ V}$, $I_S = -1 \text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	12	13	14	15	Ω max	
	35				Ω typ	$V_S = \pm 15 \text{ V}$, $I_S = -1 \text{ mA}$
	50	58	65	75	Ω max	
LEAKAGE CURRENTS						
Source Off Leakage, I_S (Off)	± 0.005				nA typ	$V_{DD} = +22 \text{ V}$, $V_{SS} = -22 \text{ V}$
	± 0.1	± 0.15	± 0.2	± 0.4	nA max	$V_S = \pm 15 \text{ V}$, $V_D = \mp 15 \text{ V}$; see Figure 31
Match Between Channels, Δ Leakage, I_S (Off) ¹	0.01			0.015	nA typ	
Drain Off Leakage, I_D (Off)						$V_S = \pm 15 \text{ V}$, $V_D = \mp 15 \text{ V}$; see Figure 31
ADG5206	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
ADG5207	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.4	± 1.7	nA max	
Match Between Channels, Δ Leakage, I_D (Off), ADG5207 Only	0.015			0.015	nA typ	
Channel On Leakage, I_D (On), I_S (On)						$V_S = V_D = \pm 15 \text{ V}$;

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ADG5206	±0.02				nA typ	see Figure 32
	±0.1	±0.25	±0.6	±3.3	nA max	
ADG5207	±0.02				nA typ	
	±0.1	±0.2	±0.4	±1.7	nA max	
Match Between Channels, Δ Leakage, I_D (On), I_S (On) ²	0.01			0.03	nA typ	
DIGITAL INPUTS						
Input High Voltage, V_{INH}				2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Low Voltage, V_{INL}				0.8	V max	
Input Current, I_{INL} or I_{INH}	±0.002				μA typ	
				±0.1	μA max	
Digital Input Capacitance, C_{IN}	3				pF typ	
DYNAMIC CHARACTERISTICS³						
Transition Time, $t_{TRANSITION}$	185				ns typ	$R_L = 300 \Omega$, $C_L = 35$ pF $V_S = 10$ V; see Figure 33
	240	270	290	320	ns max	
t_{ON} (EN)	175				ns typ	$R_L = 300 \Omega$, $C_L = 35$ pF $V_S = 10$ V; see Figure 34
	230	245	255	270	ns max	
t_{OFF} (EN)	135				ns typ	$R_L = 300 \Omega$, $C_L = 35$ pF $V_S = 10$ V; see Figure 34
	185	205	220	245	ns max	
Break-Before-Make Time Delay, t_D	75				ns typ	$R_L = 300 \Omega$, $C_L = 35$ pF $V_{S1} = V_{S2} = 10$ V; see Figure 35
				27	ns min	
Charge Injection, Q_{INJ}	0.45				pC typ	$V_S = 0$ V, $R_S = 0 \Omega$, $C_L = 1$ nF; see Figure 36
Off Isolation	±4			±4	pC typ	$V_S = \pm 10$ V, $R_S = 0 \Omega$, $C_L = 1$ nF $R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz; see Figure 37
	-90				dB typ	
Channel-to-Channel Crosstalk	-76				dB typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz; see Figure 38
-3 dB Bandwidth						
ADG5206	65				MHz typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz; see Figure 39
ADG5207	145				MHz typ	
Insertion Loss	5.6				dB typ	$R_L = 50 \Omega$, $C_L = 5$ pF, $f = 1$ MHz
C_S (Off)	3.3				pF typ	$V_S = 0$ V, $f = 1$ MHz
C_D (Off)						
ADG5206	62				pF typ	$V_S = 0$ V, $f = 1$ MHz
ADG5207	32				pF typ	
C_D (On), C_S (On)						
ADG5206	67				pF typ	$V_S = 0$ V, $f = 1$ MHz
ADG5207	35				pF typ	
POWER REQUIREMENTS						
I_{DD}	50				μA typ	$V_{DD} = +22$ V, $V_{SS} = -22$ V Digital inputs = 0 V or V_{DD}
	70			110	μA max	
I_{SS}	0.001				μA typ	Digital inputs = 0 V or V_{DD}
				1	μA max	
V_{DD}/V_{SS}				±9/±22	V min/V max	GND = 0 V

¹ オフ時チャンネル・リークの違いは、 $V_S = +15$ V と $V_D = -15$ V または $V_S = -15$ V と $V_D = +15$ V の最大値を使って計算します。

² オン・チャンネル・リークの違いは、 $V_S = V_D = +15$ V または $V_S = V_D = -15$ V の最大値を使って計算します。

³ 設計上保証しますが、出荷テストは行いません。

12 V 単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH						
Analog Signal Range				0 V to V_{DD}	V	
On Resistance, R_{ON}	350				Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$; see Figure 30
On-Resistance Match Between Channels, ΔR_{ON}	500	560	610	700	Ω max	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$
	5				Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	20	21	22	24	Ω max	
	170				Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
	280	310	335	370	Ω max	
LEAKAGE CURRENTS						
Source Off Leakage, I_S (Off)	± 0.005				nA typ	$V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$; see Figure 31
Match Between Channels, Δ Leakage, I_S (Off) ¹	± 0.1	± 0.15	± 0.2	± 0.4	nA max	
	0.01			0.015	nA typ	
Drain Off Leakage, I_D (Off)						$V_S = 1\text{ V}/10\text{ V}$, $V_D = 1\text{ V}/10\text{ V}$; see Figure 31
ADG5206	± 0.02				nA typ	
ADG5207	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
Match Between Channels, Δ Leakage, I_D (Off), ADG5207 Only	± 0.02				nA typ	
	± 0.1	± 0.25	± 0.4	± 1.7	nA max	
Channel On Leakage, I_D (On), I_S (On)	0.015			0.015	nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$; see Figure 32
ADG5206	± 0.02				nA typ	
ADG5207	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
Match Between Channels, Δ Leakage, I_D (On), I_S (On) ²	± 0.02				nA typ	
	± 0.1	± 0.2	± 0.4	± 1.7	nA max	
	0.01			0.03	nA typ	
DIGITAL INPUTS						
Input High Voltage, V_{INH}				2.0	V min	
Input Low Voltage, V_{INL}				0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002				μA typ	$V_{IN} = V_{GND}$ or V_{DD}
				± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3				pF typ	
DYNAMIC CHARACTERISTICS³						
Transition Time, $t_{TRANSITION}$	290				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	290	440	480	550	ns max	$V_S = 8\text{ V}$; see Figure 33
t_{ON} (EN)	230				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	290	320	340	370	ns max	$V_S = 8\text{ V}$; see Figure 34
t_{OFF} (EN)	230				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	315	360	390	450	ns max	$V_S = 8\text{ V}$; see Figure 34
Break-Before-Make Time Delay, t_D	170				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
				45	ns min	$V_{S1} = V_{S2} = 8\text{ V}$; see Figure 35
Charge Injection, Q_{INJ}	0.25				pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 36
	± 0.6			± 0.7	pC typ	$V_S = 0\text{ V}$ to 10 V, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$
Off Isolation	-90				dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 37
Channel-to-Channel Crosstalk	-76				dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 38
-3 dB Bandwidth						$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 39

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
ADG5206	50				MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 39 $V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$	
ADG5207	105				MHz typ		
Insertion Loss	8.55				dB typ		
C_S (Off)	3.6				pF typ		
C_D (Off)							
ADG5206	71				pF typ		
ADG5207	36				pF typ		
C_D (On), C_S (On)							
ADG5206	75				pF typ		
ADG5207	40				pF typ		
POWER REQUIREMENTS							$V_{DD} = 13.2 \text{ V}$
I_{DD}	40				$\mu\text{A typ}$	Digital inputs = 0 V or V_{DD}	
	50			65	$\mu\text{A max}$		
V_{DD}				9/40	V min/V max	GND = 0 V, $V_{SS} = 0 \text{ V}$	

¹ オフ時チャンネル・リークの差分は、 $V_S = 1 \text{ V}$ と $V_D = 10 \text{ V}$ または $V_S = 10 \text{ V}$ と $V_D = 1 \text{ V}$ の最大値を使って計算します。

² オン・チャンネル・リークの差分は、 $V_S = V_D = 1 \text{ V}$ または $V_S = V_D = 10 \text{ V}$ の最大値を使って計算します。

³ 設計上保証しますが、出荷テストは行いません。

36 V 単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH						
Analog Signal Range				0 V to V_{DD}	V	
On Resistance, R_{ON}	140				Ω typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$; see Figure 30
On-Resistance Match Between Channels, ΔR_{ON}	170	195	215	245	Ω max	$V_{DD} = 32.4\text{ V}$, $V_{SS} = 0\text{ V}$
	4				Ω typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$
	12	13	14	15	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	40				Ω typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$
	55	63	70	80	Ω max	
LEAKAGE CURRENTS						
Source Off Leakage, I_S (Off)	± 0.005				nA typ	$V_{DD} = 39.6\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$; see Figure 31
Match Between Channels, Δ Leakage, I_S (Off) ¹	± 0.1	± 0.15	± 0.2	± 0.4	nA max	
Drain Off Leakage, I_D (Off)	0.01			0.015	nA typ	$V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$; see Figure 31
ADG5206	± 0.02				nA typ	
ADG5207	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
ADG5207	± 0.02				nA typ	
Match Between Channels, Δ Leakage, I_D (Off), ADG5207 Only	± 0.1	± 0.25	± 0.4	± 1.7	nA max	
Channel On Leakage, I_D (On), I_S (On)	0.015			0.015	nA typ	$V_S = V_D = 1\text{ V}/30\text{ V}$; see Figure 32
ADG5206	± 0.02				nA typ	
ADG5207	± 0.1	± 0.25	± 0.6	± 3.3	nA max	
ADG5207	± 0.02				nA typ	
Match Between Channels, Δ Leakage, I_D (On), I_S (On) ²	± 0.1	± 0.2	± 0.4	± 1.7	nA max	
	0.01			0.03	nA typ	
DIGITAL INPUTS						
Input High Voltage, V_{INH}				2.0	V min	
Input Low Voltage, V_{INL}				0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002				μA typ	$V_{IN} = V_{GND}$ or V_{DD}
				± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3				pF typ	
DYNAMIC CHARACTERISTICS³						
Transition Time, $t_{TRANSITION}$	225				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	290	310	320	350	ns max	$V_S = 18\text{ V}$; see Figure 33
t_{ON} (EN)	215				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	265	285	285	295	ns max	$V_S = 18\text{ V}$; see Figure 34
t_{OFF} (EN)	170				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	215	230	245	270	ns max	$V_S = 18\text{ V}$; see Figure 34
Break-Before-Make Time Delay, t_D	90				ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
				28	ns min	$V_{S1} = V_{S2} = 18\text{ V}$; see Figure 35
Charge Injection, Q_{INJ}	0.7				pC typ	$V_S = 18\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 36
	± 3			± 3	pC typ	$V_S = 0\text{ V}$ to 30 V, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$
Off Isolation	-90				dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 37
Channel-to-Channel Crosstalk	-76				dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 38
-3 dB Bandwidth						$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$;

Parameter	25°C	-40°C to +60°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ADG5206	55				MHz typ	see Figure 39
ADG5207	115				MHz typ	
Insertion Loss	5.65				dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 39
C_S (Off)	3.4				pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)						
ADG5206	62				pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
ADG5207	32				pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)						
ADG5206	66				pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
ADG5207	35				pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS						$V_{DD} = 39.6 \text{ V}$
I_{DD}	80				μA typ	Digital inputs = 0 V or V_{DD}
	100			130	μA max	
V_{DD}				9/40	V min/V max	$GND = 0 \text{ V}$, $V_{SS} = 0 \text{ V}$

¹ オフ時チャンネル・リークの差分は、 $V_S = 1 \text{ V}$ と $V_D = 30 \text{ V}$ または $V_S = 30 \text{ V}$ と $V_D = 1 \text{ V}$ の最大値を使って計算します。

² オン・チャンネル・リークの差分は、 $V_S = V_D = 1 \text{ V}$ または $V_S = V_D = 30 \text{ V}$ の最大値を使って計算します。

³ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、 S_x 、 D または D_x

表 5.ADG5206

Parameter	25°C	60°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S_x OR D					
$V_{DD} = +15 \text{ V}$, $V_{SS} = -15 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	44	32	23	12	mA maximum
$V_{DD} = +20 \text{ V}$, $V_{SS} = -20 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	47	33	24	12	mA maximum
$V_{DD} = 12 \text{ V}$, $V_{SS} = 0 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	31	24	19	11	mA maximum
$V_{DD} = 36 \text{ V}$, $V_{SS} = 0 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	46	33	24	12	mA maximum

表 6.ADG5207

Parameter	25°C	60°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S_x OR D_x					
$V_{DD} = +15 \text{ V}$, $V_{SS} = -15 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	33	25	19	11	mA maximum
$V_{DD} = +20 \text{ V}$, $V_{SS} = -20 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	35	27	20	11	mA maximum
$V_{DD} = 12 \text{ V}$, $V_{SS} = 0 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	23	19	15	10	mA maximum
$V_{DD} = 36 \text{ V}$, $V_{SS} = 0 \text{ V}$ TSSOP ($\theta_{JA} = 67.7^\circ\text{C/W}$)	34	26	20	11	mA maximum

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, S_x , D, or Dx Pins ADG5206 ADG5207	140 mA (pulsed at 1 ms, 10% duty cycle maximum) 105 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, S_x , D, or Dx Pins ²	Data + 15%
Temperature Range	
Operating	-40°C to $+125^\circ\text{C}$
Storage	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
32-Lead TSSOP (4-Layer Board)	$67.7^\circ\text{C}/\text{W}$
Reflow Soldering Peak Temperature, Pb Free	$260(+0/-5)^\circ\text{C}$
HBM ESD	
I/O Port to Supplies	8 kV
I/O Port to I/O Port	2 kV
All Other Pins	8 kV

¹Ax、EN、 S_x 、D、Dx ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

²表 5 と表 6 を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

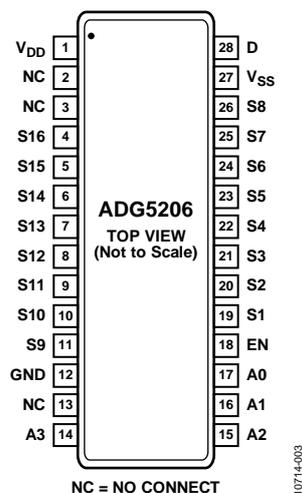


図 3. ADG5206 のピン配置

表 8. ADG5206 のピン機能説明

ピン番号	記号	説明
1	V _{DD}	正電源電位。
2、3、13	NC	未接続。内部で接続されていません。
4	S16	ソース・ピン 16。入力または出力に設定することができます。
5	S15	ソース・ピン 15。入力または出力に設定することができます。
6	S14	ソース・ピン 14。入力または出力に設定することができます。
7	S13	ソース・ピン 13。入力または出力に設定することができます。
8	S12	ソース・ピン 12。入力または出力に設定することができます。
9	S11	ソース・ピン 11。入力または出力に設定することができます。
10	S10	ソース・ピン 10。入力または出力に設定することができます。
11	S9	ソース・ピン 9。入力または出力に設定することができます。
12	GND	グラウンド・リファレンス(0 V)。
14	A3	ロジック・コントロール入力。
15	A2	ロジック・コントロール入力。
16	A1	ロジック・コントロール入力。
17	A0	ロジック・コントロール入力。
18	EN	アクティブ・ハイのデジタル入力。このピンがロー・レベルのとき、デバイスはディスエーブルされるため、すべてのスイッチがターンオフします。このピンがハイ・レベルのとき、Ax ロジック入力によりターンオンするスイッチが指定されます。
19	S1	ソース・ピン 1。入力または出力に設定することができます。
20	S2	ソース・ピン 2。入力または出力に設定することができます。
21	S3	ソース・ピン 3。入力または出力に設定することができます。
22	S4	ソース・ピン 4。入力または出力に設定することができます。
23	S5	ソース・ピン 5。入力または出力に設定することができます。
24	S6	ソース・ピン 6。入力または出力に設定することができます。
25	S7	ソース・ピン 7。入力または出力に設定することができます。
26	S8	ソース・ピン 8。入力または出力に設定することができます。
27	V _{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
28	D	ドレイン・ピン。このピンは、入力または出力に設定することができます。

表 9. ADG5206 の真理値表

A3	A2	A1	A0	EN	On Switch
X	X	X	X	0	None
0	0	0	0	1	1
0	0	0	1	1	2
0	0	1	0	1	3
0	0	1	1	1	4
0	1	0	0	1	5
0	1	0	1	1	6
0	1	1	0	1	7
0	1	1	1	1	8
1	0	0	0	1	9
1	0	0	1	1	10
1	0	1	0	1	11
1	0	1	1	1	12
1	1	0	0	1	13
1	1	0	1	1	14
1	1	1	0	1	15
1	1	1	1	1	16

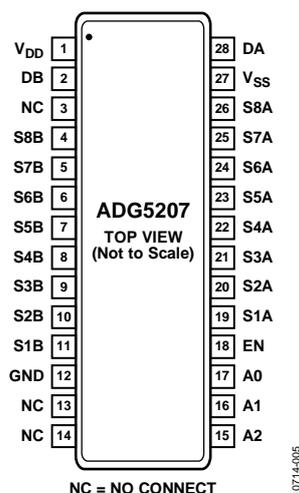


図 4.ADG5207 のピン配置

表 10.ADG5207 のピン機能説明

ピン番号	記号	説明
1	V _{DD}	正電源電位。
2	DB	ドレイン・ピン B。入力または出力に設定することができます。
3、13、14	NC	未接続。内部で接続されていません。
4	S8B	ソース・ピン 8B。このピンは、入力または出力に設定することができます。
5	S7B	ソース・ピン 7B。このピンは、入力または出力に設定することができます。
6	S6B	ソース・ピン 6B。このピンは、入力または出力に設定することができます。
7	S5B	ソース・ピン 5B。このピンは、入力または出力に設定することができます。
8	S4B	ソース・ピン 4B。このピンは、入力または出力に設定することができます。
9	S3B	ソース・ピン 3B。このピンは、入力または出力に設定することができます。
10	S2B	ソース・ピン 2B。このピンは、入力または出力に設定することができます。
11	S1B	ソース・ピン 1B。このピンは、入力または出力に設定することができます。
12	GND	グラウンド・リファレンス(0 V)。
15	A2	ロジック・コントロール入力。
16	A1	ロジック・コントロール入力。
17	A0	ロジック・コントロール入力。
18	EN	アクティブ・ハイのデジタル入力。このピンがロー・レベルのとき、デバイスはディスエーブルされるため、すべてのスイッチがターンオフします。このピンがハイ・レベルのとき、Ax ロジック入力によりターンオンするスイッチが指定されます。
19	S1A	ソース・ピン 1A。このピンは、入力または出力に設定することができます。
20	S2A	ソース・ピン 2A。このピンは、入力または出力に設定することができます。
21	S3A	ソース・ピン 3A。このピンは、入力または出力に設定することができます。
22	S4A	ソース・ピン 4A。このピンは、入力または出力に設定することができます。
23	S5A	ソース・ピン 5A。このピンは、入力または出力に設定することができます。
24	S6A	ソース・ピン 6A。このピンは、入力または出力に設定することができます。
25	S7A	ソース・ピン 7A。このピンは、入力または出力に設定することができます。
26	S8A	ソース・ピン 8A。このピンは、入力または出力に設定することができます。
27	V _{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
28	DA	ドレイン・ピン A。入力または出力に設定することができます。

表 11. ADG5207 の真理値表

A2	A1	A0	EN	On Switch Pair
X	X	X	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

代表的な性能特性

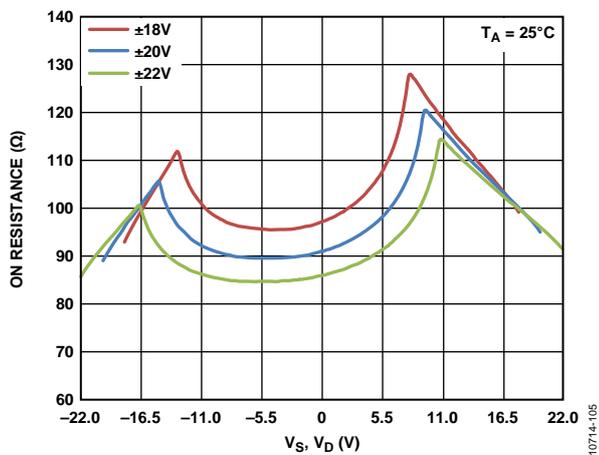


図 5. V_S 、 V_D の関数としての R_{ON} 、 ± 20 V 両電源

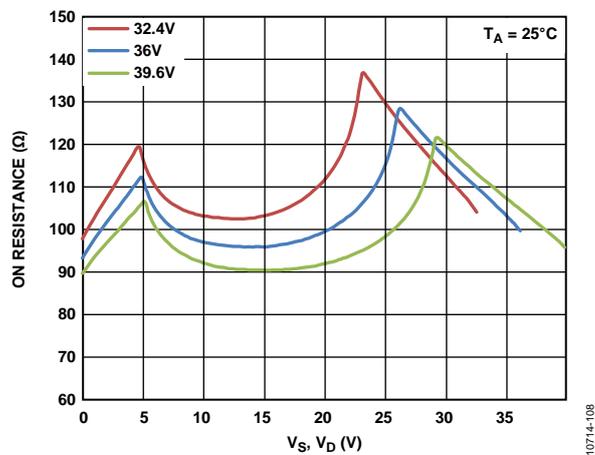


図 8. V_S 、 V_D の関数としての R_{ON} 、36 V 単電源

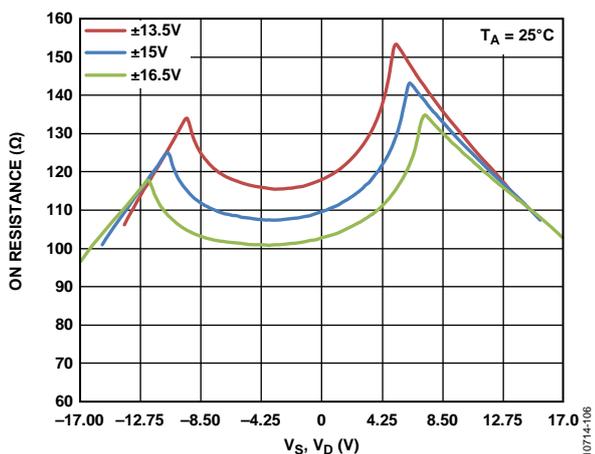


図 6. V_S 、 V_D の関数としての R_{ON} 、 ± 15 V 両電源

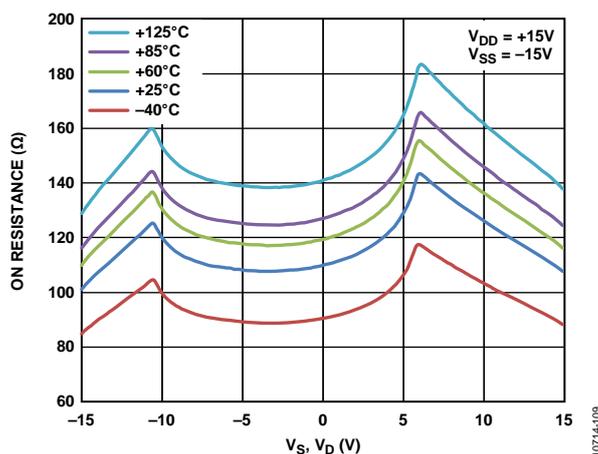


図 9. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 15 V 両電源

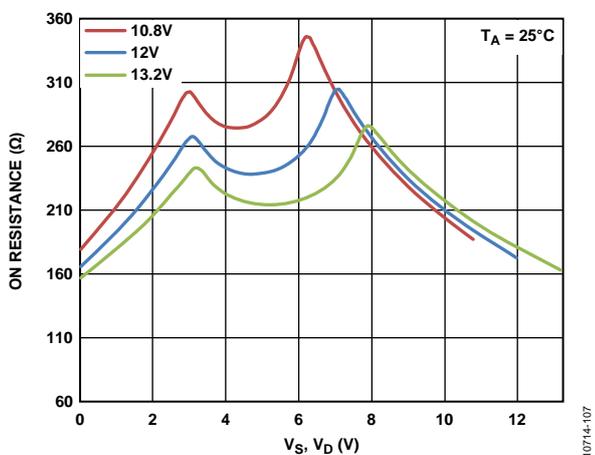


図 7. V_S 、 V_D の関数としての R_{ON} 、12 V 単電源

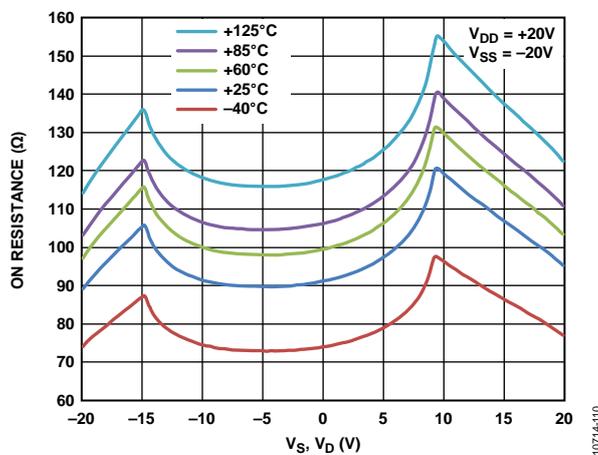
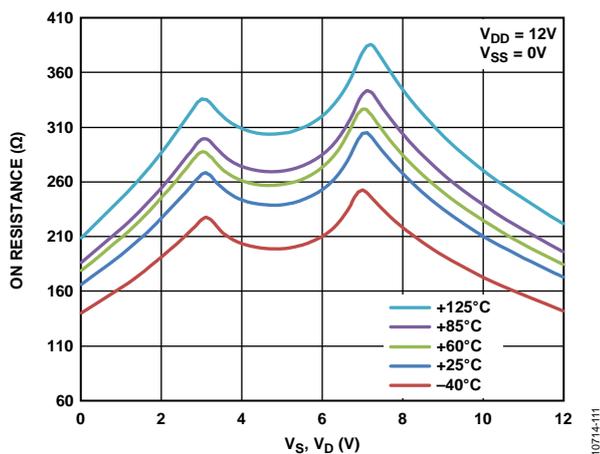
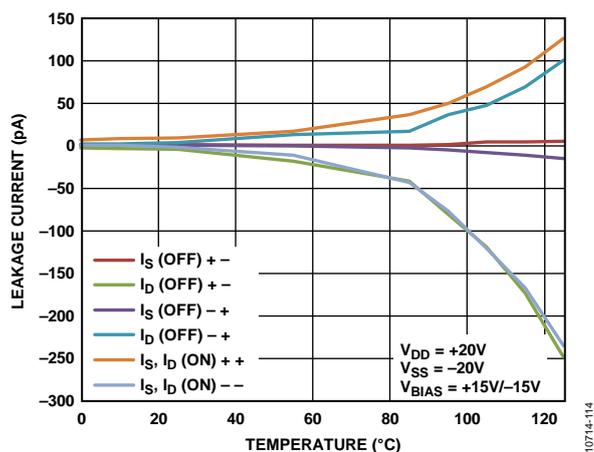


図 10. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 20 V 両電源



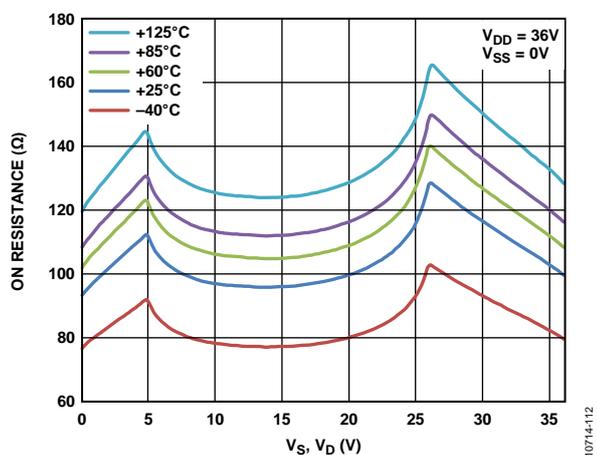
10714-111

図 11. V_S (V_D) の関数としての様々な温度での R_{ON} 、12 V 単電源



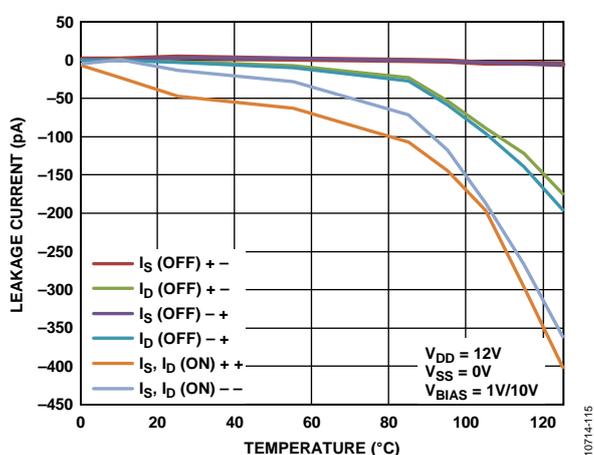
10714-114

図 14. リーク電流の温度特性、±20 V 両電源



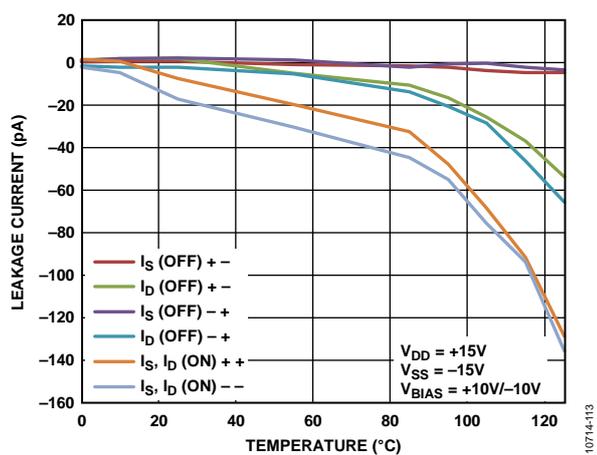
10714-112

図 12. V_S (V_D) の関数としての様々な温度での R_{ON} 、36 V 単電源



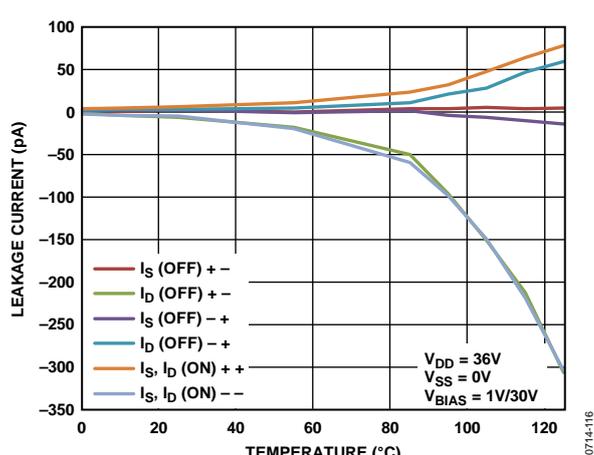
10714-115

図 15. リーク電流の温度特性、12 V 単電源



10714-113

図 13. リーク電流の温度特性、±15 V 両電源



10714-116

図 16. リーク電流の温度特性、36 V 単電源

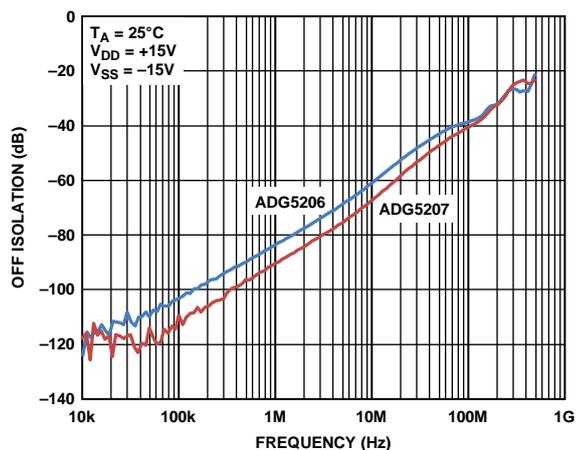


図 17. オフ時アイソレーションの周波数特性、±15 V 両電源

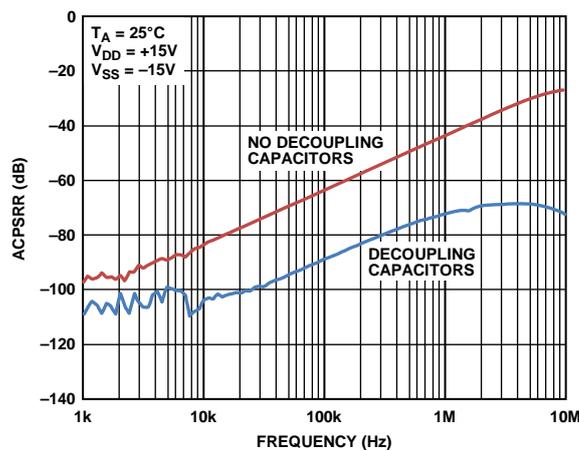


図 20. ACPSRR の周波数特性、±15 V 両電源

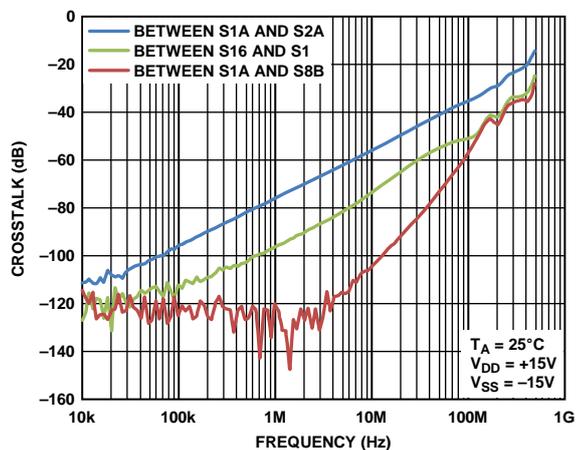


図 18. クロストークの周波数特性、±15 V 両電源

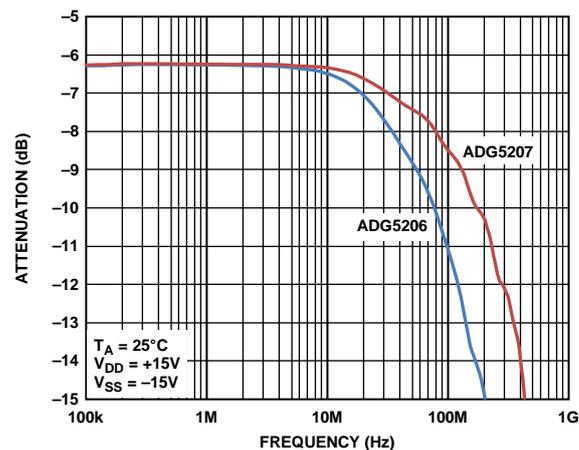


図 21. 帯域幅

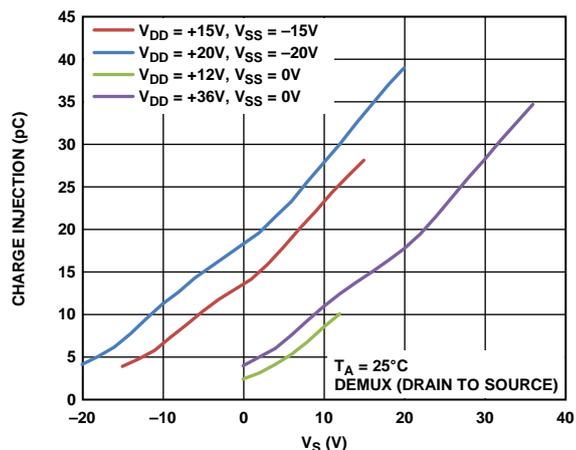


図 19. ソース電圧対チャージ・インジェクション (ドレイン→ソース)

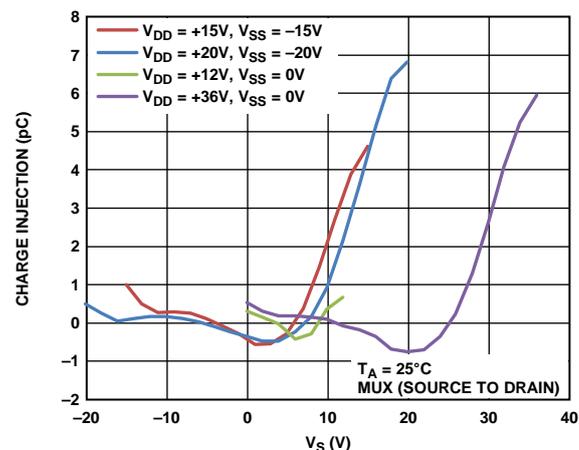


図 22. ソース電圧対チャージ・インジェクション (ソース→ドレイン)

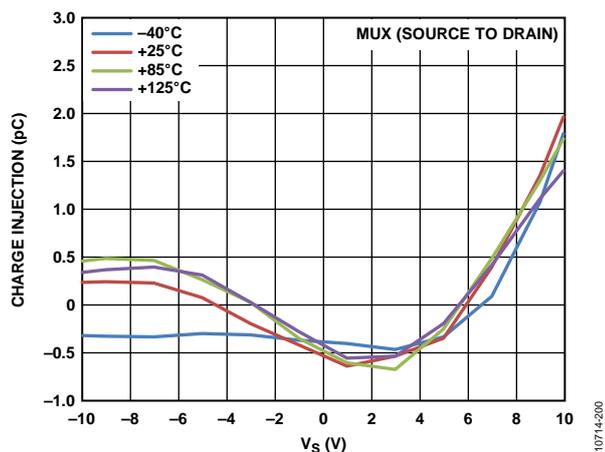


図 23. 様々な温度での V_S の関数としての Q_{INJ} 、 ± 15 V 両電源

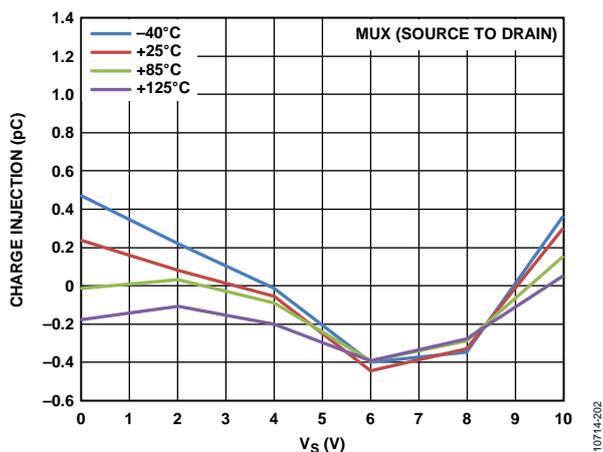


図 26. 様々な温度での V_S の関数としての Q_{INJ} 、12 V 単電源

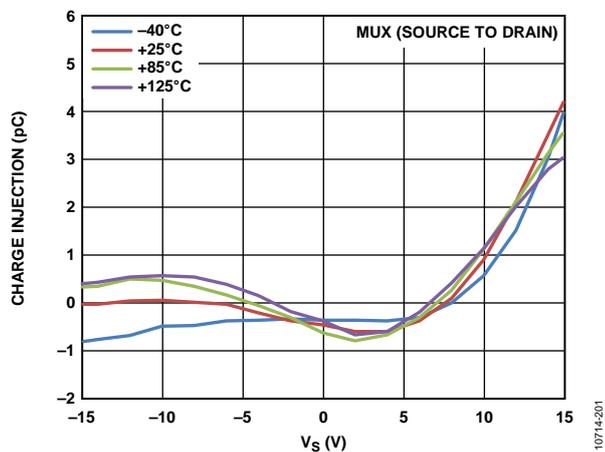


図 24. 様々な温度での V_S の関数としての Q_{INJ} 、 ± 20 V 両電源

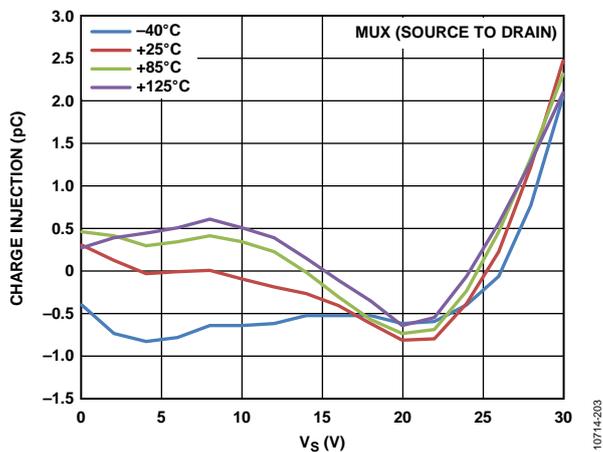


図 27. 様々な温度での V_S の関数としての Q_{INJ} 、36 V 単電源

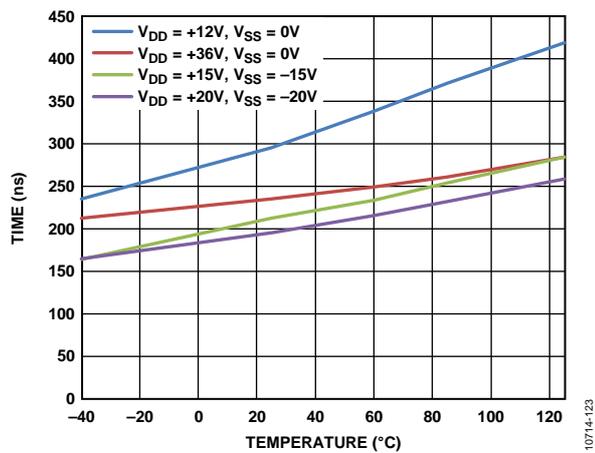


図 25. $t_{TRANSITION}$ 時間の温度特性

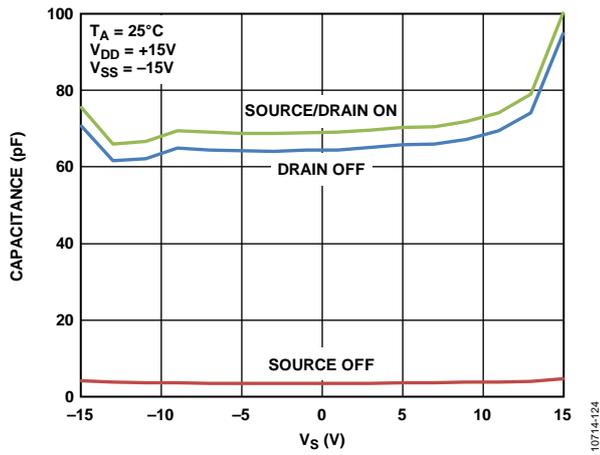


図 28. ADG5206 のソース電圧対容量、±15 V 両電源

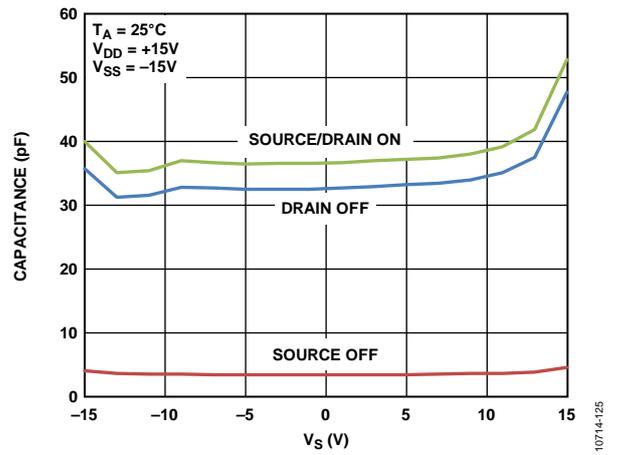


図 29. ADG5207 のソース電圧対容量、±15 V 両電源

テスト回路

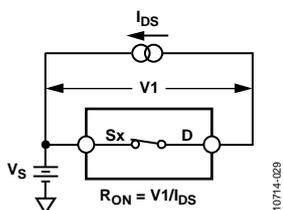


図 30. オン抵抗

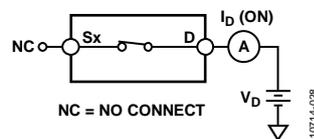


図 32. オン時リーク

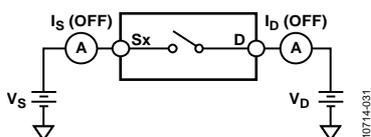
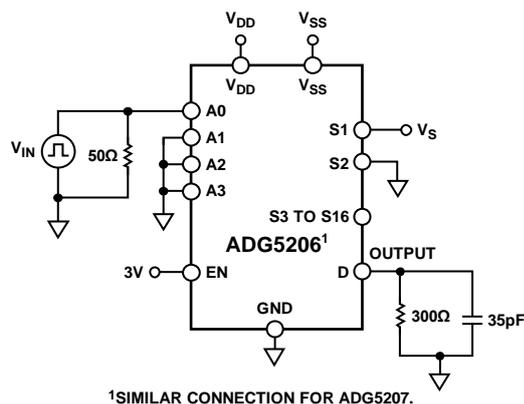
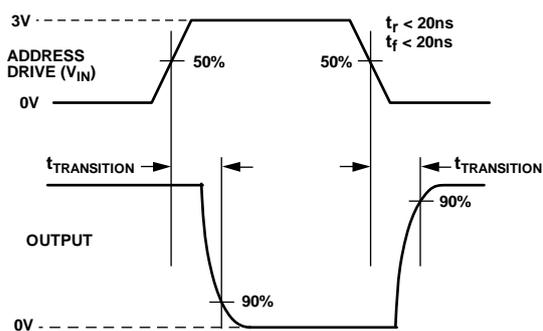
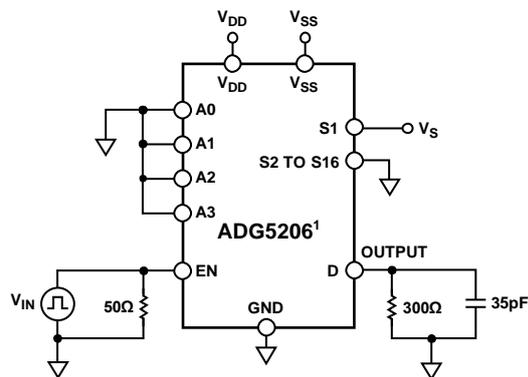
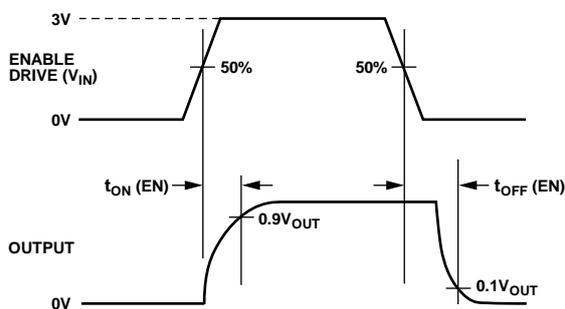


図 31. オフ時リーク



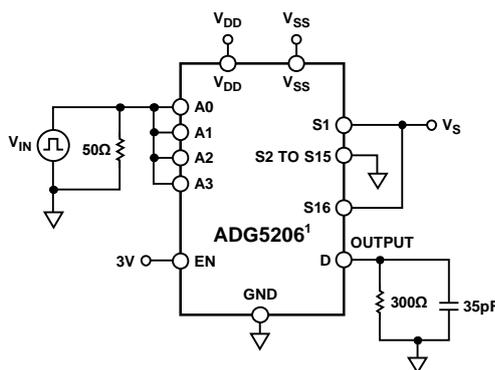
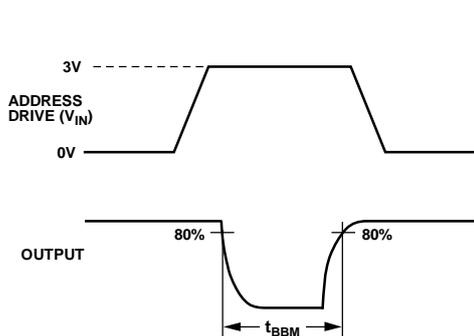
¹SIMILAR CONNECTION FOR ADG5207.

図 33. アドレス—出力間のスイッチング時間、 $t_{\text{TRANSITION}}$



¹SIMILAR CONNECTION FOR ADG5207.

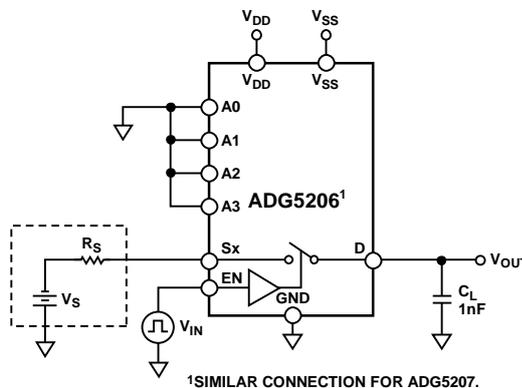
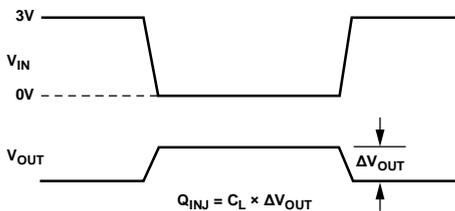
図 34. イネーブル遅延、 $t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$



¹SIMILAR CONNECTION FOR ADG5207.

10714-035

図 35. ブレーク・ビフォア・メイク時間遅延、 t_{BBM}



¹SIMILAR CONNECTION FOR ADG5207.

10714-037

図 36. チャージ・インJECTION

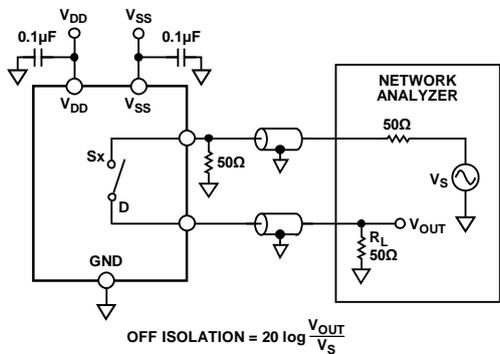


図 37. オフ時アイソレーション

10714-032

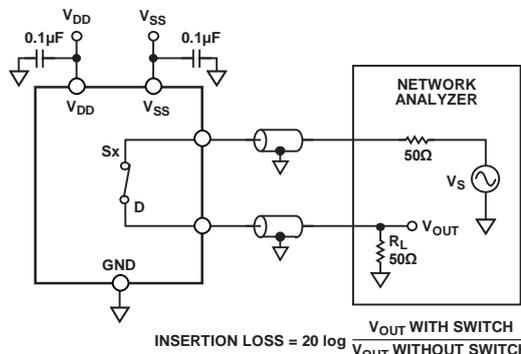


図 39. 帯域幅

10714-033

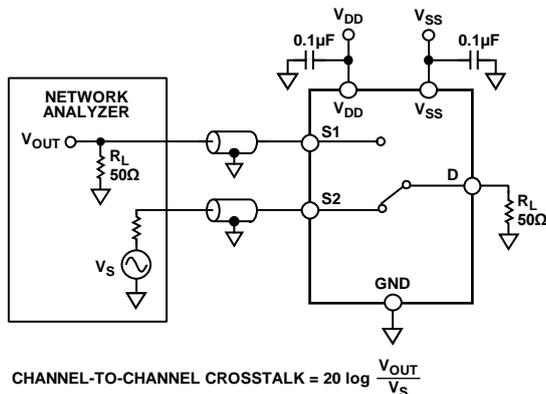


図 38. チャンネル間クロストーク

10714-030

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D、V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT(ON)}

仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される平坦性です。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の 50%/90% ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF} (EN)

デジタル入力の 50%/90% ポイントとスイッチ・オフ状態との間の遅延時間。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50%/90% ポイントとスイッチ・オン状態との間の遅延時間。

ブレーク・ビフォア・メーク時間遅延 (t_b)

あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの 80% ポイント間で測定したオフ時間。

オフ時アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

電荷注入は、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさを表します。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

オン応答

オン状態にあるスイッチの周波数応答。

AC 電源変動除去比 (ACPSRR)

ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が 0.62 V p-p の正弦波で変調されます。出力の信号振幅の、変調振幅に対する比が ACPSRR です。

アプリケーション情報

ADG52xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで続きます。ADG5206/ADG5207 高電圧スイッチは、9 V~40 V の単電源動作と ± 9 V~ ± 22 V の両電源動作が可能です。

Trench アイソレーション

ADG5206/ADG5207 では、各 CMOS スwitch の NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。ジャンクションで絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、ラッチアップを完全に防止したスイッチが得られます。

ジャンクション・アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

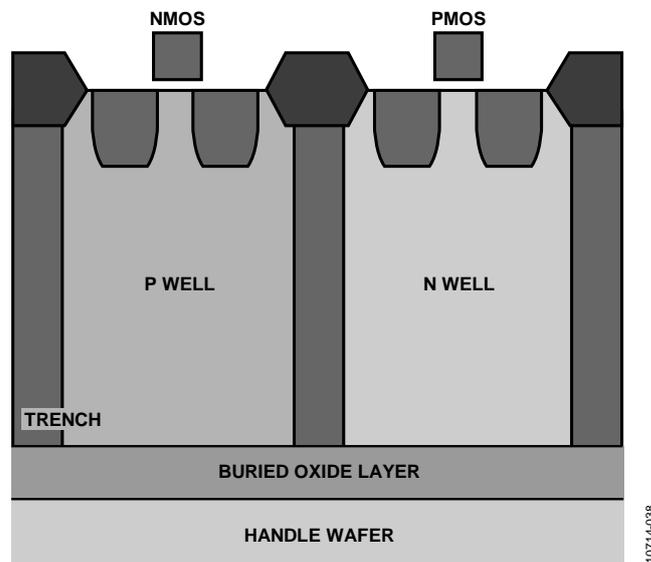


図 40. トレンチ・アイソレーション

外形寸法

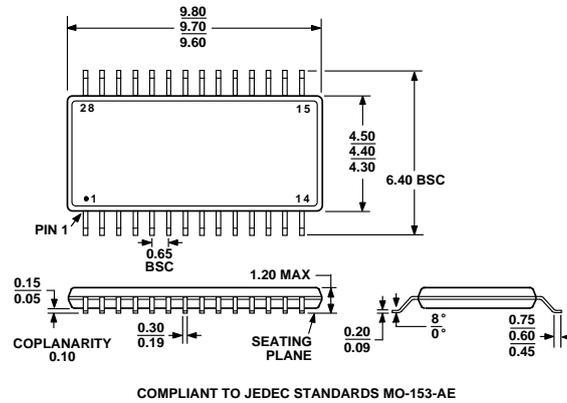


図 41.28 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-28)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5206BRUZ	-40°C to +125°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
ADG5206BRUZ-RL7	-40°C to +125°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
ADG5207BRUZ	-40°C to +125°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
ADG5207BRUZ-RL7	-40°C to +125°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28

¹ Z = RoHS 準拠製品。