

この製品の和文データシートと英語版との間にて、スペックに関連する箇所に差分が発生しましたので訂正いたします。

この正誤表は、2015年9月18日現在、アナログ・デバイセズ株式会社で確認した差分を記したものです。本資料には、原文のデータシートのコピーを使用しております。文字が見えにくいなど弊害があるかと存じますが、その場合は原文をご参照下さい。

正誤表作成年月日：2015年9月18日

製品名：ADG3308/ADG3308-1

対象となる和文データシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.1 概要

ADG3308-1 と WLCSP パッケージと EN ピンに関する説明が追記されます。

ADG3308-1 については、20 ボール WLCSP パッケージが採用され、EN ピンは V_{CCA} を基準としています。

P.3 仕様

ロジック入出力の入力ハイレベル電圧と入力容量が A 側 Y 側両方で変更されております。また、イネーブル (EN) に関しても、入力ハイレベル電圧、入力ローレベル電圧、入力容量ともに変更されております。修正箇所は、黄色にてハイライトしてあります。

LOGIC INPUTS/OUTPUTS					
A Side					
Input High Voltage ²	V_{BHA}	$V_{CCA} = 1.15\text{ V}$ $V_{CCA} = 1.2\text{ V to } 5.5\text{ V}$	$V_{CCA} - 0.3$ $0.65 \times V_{CCA}$	V	V
Input Low Voltage ³	V_{ELA}		$0.35 \times V_{CCA}$	V	V
Output High Voltage	V_{OHA}	$V_Y = V_{CCY}, I_{OH} = 20\ \mu\text{A}$, see Figure 29	$V_{CCA} - 0.4$	V	V
Output Low Voltage	V_{OLA}	$V_Y = 0\text{ V}, I_{OL} = 20\ \mu\text{A}$, see Figure 29	0.4	V	V
Capacitance ³	CA	$f = 1\text{ MHz}, EN = 0$, see Figure 34	10	pF	pF
Leakage Current	$I_{LA, HIGH-Z}$	$V_A = 0\text{ V or } V_{CCA}, EN = 0$, see Figure 31	± 1	μA	μA
Y Side					
Input High Voltage ³	V_{BHY}		$0.65 \times V_{CCY}$	V	V
Input Low Voltage ³	V_{ELY}		$0.35 \times V_{CCY}$	V	V
Output High Voltage	V_{OHY}	$V_A = V_{CCA}, I_{OH} = 20\ \mu\text{A}$, see Figure 30	$V_{CCY} - 0.4$	V	V
Output Low Voltage	V_{OLY}	$V_A = 0\text{ V}, I_{OL} = 20\ \mu\text{A}$, see Figure 30	0.4	V	V
Capacitance ³	CY	$f = 1\text{ MHz}, EN = 0$, see Figure 35	6.8	pF	pF
Leakage Current	$I_{LY, HIGH-Z}$	$V_Y = 0\text{ V or } V_{CCY}, EN = 0$, see Figure 32	± 1	μA	μA
Enable (EN)					
Input High Voltage ³	V_{HEN}		$0.65 \times V_{CCY}$	V	V
ADG3308 (TSSOP, LFCSP)		$V_{CCA} = 1.15\text{ V}$	$V_{CCA} - 0.3$	V	V
ADG3308-1 (WLCSP)		$V_{CCA} = 1.2\text{ V to } 5.5\text{ V}$	$0.65 \times V_{CCA}$	V	V
Input Low Voltage ³	V_{LEN}		$0.35 \times V_{CCY}$	V	V
ADG3308 (TSSOP, LFCSP)			$0.35 \times V_{CCA}$	V	V
ADG3308-1 (WLCSP)				V	V
Leakage Current	I_{LEN}	$V_{EN} = 0\text{ V or } V_{CCY}, V_A = 0\text{ V}$, see Figure 33	± 1	μA	μA
Capacitance ³	C_{EN}		4.5	pF	pF
Enable Time ³	t_{EN}	$R_B = R_T = 50\ \Omega, V_A = 0\text{ V or } V_{CCA} (A \rightarrow Y), V_Y = 0\text{ V or } V_{CCY} (Y \rightarrow A)$, see Figure 36	1	μs	μs

P.6 絶対最大定格

θ_{JA} 熱抵抗に関して、20 ボール WLCSP が追加されました。

追加) 20 ボール WLCSP 100°C/W

P.7 ピン配置および機能説明

WLCSP に関して追加されました。また、ピン機能の説明も表が改版されました。

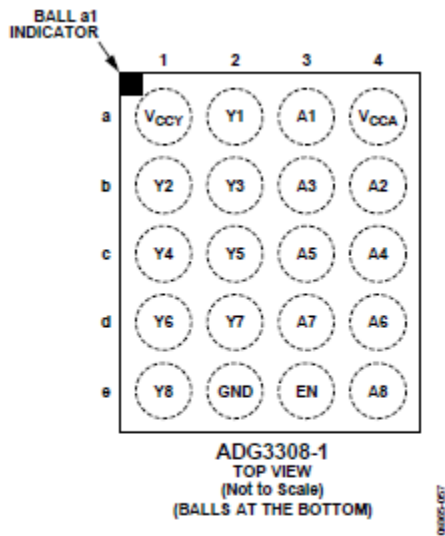


Figure 4. 20-Ball WLCSP

Table 3. Pin Function Descriptions

TSSOP	Pin/Ball No.		Mnemonic	Description
	LFCSOP	WLCSP		
1	19	a4	V _{CCA}	Power Supply. Power supply voltage input for the A1 I/O pin to the A8 I/O pin (1.15 V ≤ V _{CCA} < V _{CCY}).
2	20	a3	A1	Input/Output A1. Referenced to V _{CCA} .
3	1	b4	A2	Input/Output A2. Referenced to V _{CCA} .
4	2	b3	A3	Input/Output A3. Referenced to V _{CCA} .
5	3	c4	A4	Input/Output A4. Referenced to V _{CCA} .
6	4	c3	A5	Input/Output A5. Referenced to V _{CCA} .
7	5	d4	A6	Input/Output A6. Referenced to V _{CCA} .
8	6	d3	A7	Input/Output A7. Referenced to V _{CCA} .
9	7	e4	A8	Input/Output A8. Referenced to V _{CCA} .
10	8	e3	EN	Active High Enable Input.
11	9	e2	GND	Ground.
12	10	e1	Y8	Input/Output Y8. Referenced to V _{CCY} .
13	11	d2	Y7	Input/Output Y7. Referenced to V _{CCY} .
14	12	d1	Y6	Input/Output Y6. Referenced to V _{CCY} .
15	13	c2	Y5	Input/Output Y5. Referenced to V _{CCY} .
16	14	c1	Y4	Input/Output Y4. Referenced to V _{CCY} .
17	15	b2	Y3	Input/Output Y3. Referenced to V _{CCY} .
18	16	b1	Y2	Input/Output Y2. Referenced to V _{CCY} .
19	17	a2	Y1	Input/Output Y1. Referenced to V _{CCY} .
20	18	a1	V _{CCY}	Power Supply. Power supply voltage input for the Y1 I/O pin to the Y8 I/O pin (1.65 V ≤ V _{CCY} ≤ 5.5 V).

P.16 入力駆動条件

記述が以下のように修正されます。

ADG3308/ADG3308-1 を正常に動作させるためには、チャンネル入力を駆動する回路は 3nS 以下の立上り／立下り時間を守る必要があり、また抵抗 6kΩ と入力容量との並列インピーダンスを十分に駆動できる必要があります。

P.19 外形寸法とオーダー・ガイド

WLCSP の追加により外形寸法とオーダー・ガイドに追記されました。

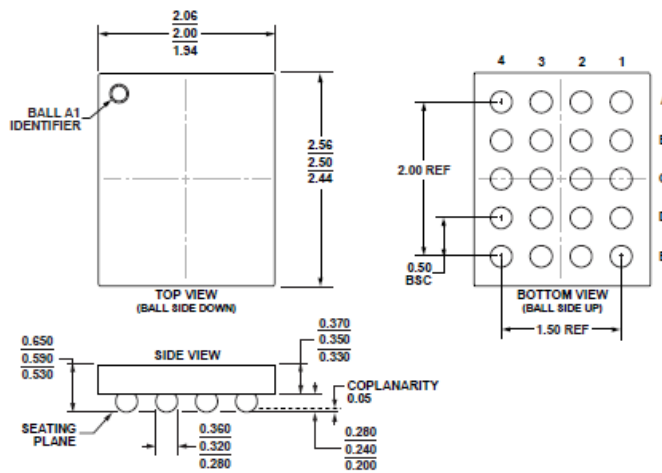


Figure 44. 20-Ball Wafer Level Chip Scale Package [WLCSP]
(CB-20-2)
Dimensions shown in millimeters

ORDERING GUIDE

Model ¹	Temperature Range	Package Description	Package Option
ADG3308BRUZ	-40°C to +85°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
ADG3308BRUZ-REEL	-40°C to +85°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
ADG3308BRUZ-REEL7	-40°C to +85°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
ADG3308BCPZ-REEL	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADG3308BCPZ-REEL7	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADG3308BCBZ-1-RL7	-40°C to +85°C	20-Ball Wafer Level Chip Scale Package [WLCSP]	CB-20-2
ADG3308BCBZ-1-REEL	-40°C to +85°C	20-Ball Wafer Level Chip Scale Package [WLCSP]	CB-20-2

特長

双方向のレベル変換
動作電圧:1.15~5.5V
低静止電流:1 μ A未満
方向切替えピンなし

アプリケーション

低電圧ASICのレベル変換
スマート・カード・リーダー
携帯電話機とクレードル
携帯通信端末
通信装置
ネットワーク・スイッチおよびルータ
ストレージ・システム(SAN/NAS)
コンピューティング/サーバ・アプリケーション
GPS
携帯POSシステム
低価格シリアル・インターフェース

概要

ADG3308は8チャンネルの双方向ロジック・レベル変換器です。本製品は、低電圧DSPコントローラと高電圧デバイスとの間のデータ転送など、多電圧デジタル・システム・アプリケーションで使用できます。内部アーキテクチャにより、変換方向を設定するための信号を追加しなくても、双方向のロジック・レベル変換を実行できます。

V_{CCA} に入力された電圧がデバイスのA側のロジック・レベルを設定し、 V_{CCY} の電圧がY側のレベルを設定します。正常動作のためには、 V_{CCA} は常に V_{CCY} より低くする必要があります($V_{CCA} < V_{CCY}$)。デバイスのA側に入力された V_{CCA} 互換のロジック信号は、Y側に V_{CCY} 互換のレベルとして出力されます。同様に、デバイスのY側に入力された V_{CCY} 互換のロジック・レベルは、A側に V_{CCA} 互換のロジック・レベルとして出力されます。

機能ブロック図

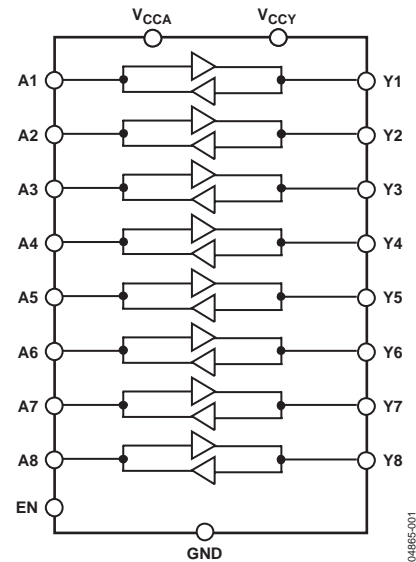


図1

イネーブル・ピン(EN)は、A側ピンとY側ピンの両方でスリーステート動作を提供します。ENピンをローレベルにすると、デバイスの両側のピンが高インピーダンス状態になります。ENピンは V_{CCY} 電源電圧を基準とし、通常動作ではハイレベルに駆動されます。

ADG3308は小型の20ピンTSSOPパッケージまたは20ピンLFCSPパッケージを採用しています。電源電圧範囲1.15~5.5V、拡張温度範囲-40~+85°Cでの動作が保証されています。

製品のハイライト

1. 双方向レベル変換
2. 1.15~5.5Vの電源電圧範囲で完全動作保証
3. 方向切替えピンなし
4. 20ピンTSSOPパッケージまたは20ピンLFCSPパッケージを採用

ADG3308

目次

仕様	3	入力駆動条件	16
絶対最大定格	6	出力負荷条件	16
ESDに関する注意	6	イネーブル動作	16
ピン配置および機能の説明	7	電源	16
代表的な性能特性	8	データレート	17
テスト回路	12	アプリケーション	18
記号の説明	15	レイアウトのガイドライン	18
動作原理	16	外形寸法	19
レベル変換器のアーキテクチャ	16	オーダー・ガイド	19

改訂履歴

1/05—Revision 0: Initial Version

仕様

$V_{CCY}=1.65\sim 5.5V$ 、 $V_{CCA}=1.15V\sim V_{CCY}$ 、 $GND=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表1

パラメータ	記号	条件	Min	Typ ²	Max	単位
ロジック入出力						
A側						
入力ハイレベル電圧 ³	V_{IHA}	$V_{CCA}=1.15V$	$V_{CCA}-0.3$			V
入力ローレベル電圧 ³	V_{ILA}	$V_{CCA}=1.2V$ to $5.5V$	$V_{CCA}-0.4$			V
出力ハイレベル電圧	V_{OHA}	$V_Y = V_{CCY}$, $I_{OH} = 20\mu A$, 図28	$V_{CCA}-0.4$		0.4	V
出力ローレベル電圧	V_{OLA}	$V_Y = 0V$, $I_{OL} = 20\mu A$, 図28			0.4	V
容量 ³	C_A	$f = 1MHz$, $EN = 0$, 図33		9		pF
リーク電流	$I_{LA, HIZ}$	$V_A = 0V/V_{CCA}$, $EN = 0$, 図30			± 1	μA
Y側						
入力ハイレベル電圧 ³	V_{IHY}		$V_{CCY}-0.4$			V
入力ローレベル電圧 ³	V_{ILY}				0.4	V
出力ハイレベル電圧	V_{OHY}	$V_A = V_{CCA}$, $I_{OH} = 20\mu A$, 図29	$V_{CCY}-0.4$			V
出力ローレベル電圧	V_{OLY}	$V_A = 0V$, $I_{OL} = 20\mu A$, 図29			0.4	V
容量 ³	C_Y	$f = 1MHz$, $EN = 0$, 図34		6		pF
リーク電流	$I_{LY, HIZ}$	$V_Y = 0V/V_{CCY}$, $EN = 0$, 図31			± 1	μA
イネーブル (EN)						
入力ハイレベル電圧 ³	V_{IHEN}		$V_{CCY}-0.4$			V
入力ローレベル電圧 ³	V_{ILEN}				0.4	V
リーク電流	I_{LEN}	$V_{EN} = 0V/V_{CCY}$, $V_A = 0V$, 図32			± 1	μA
容量 ³	C_{EN}			3		pF
イネーブル時間 ³	t_{EN}	$R_S = R_T = 50\Omega$, $V_A = 0V/V_{CCA}(A\rightarrow Y)$, $V_Y = 0V/V_{CCY}(Y\rightarrow A)$, 図35		1	1.8	μs
スイッチング特性 ³						
$3.3V \pm 0.3V \leq V_{CCA} \leq V_{CCY}$, $V_{CCY} = 5V \pm 0.5V$						
A→Yレベル変換		$R_S = R_T = 50\Omega$, $C_L = 50pF$, 図36				
伝搬遅延	$t_{P, A-Y}$			6	10	ns
立上がり時間	$t_{R, A-Y}$			2	3.5	ns
立下がり時間	$t_{F, A-Y}$			2	3.5	ns
最大データレート	$D_{MAX, A-Y}$		50			Mbps
チャンネル間スキュー	$t_{SKEW, A-Y}$			2	4	ns
デバイス間スキュー	$t_{PPSKEW, A-Y}$				3	ns
Y→Aレベル変換		$R_S = R_T = 50\Omega$, $C_L = 15pF$, 図37				
伝搬遅延	$t_{P, Y-A}$			4	7	ns
立上がり時間	$t_{R, Y-A}$			1	3	ns
立下がり時間	$t_{F, Y-A}$			3	7	ns
最大データレート	$D_{MAX, Y-A}$		50			Mbps
チャンネル間スキュー	$t_{SKEW, Y-A}$			2	3.5	ns
デバイス間スキュー	$t_{PPSKEW, Y-A}$				2	ns
$1.8V \pm 0.15V \leq V_{CCA} \leq V_{CCY}$, $V_{CCY} = 3.3V \pm 0.3V$						
A→Y変換		$R_S = R_T = 50\Omega$, $C_L = 50pF$, 図36				
伝搬遅延	$t_{P, A-Y}$			8	11	ns
立上がり時間	$t_{R, A-Y}$			2	5	ns
立下がり時間	$t_{F, A-Y}$			2	5	ns
最大データレート	$D_{MAX, A-Y}$		50			Mbps
チャンネル間スキュー	$t_{SKEW, A-Y}$			2	4	ns
デバイス間スキュー	$t_{PPSKEW, A-Y}$				4	ns

ADG3308

パラメータ	記号	条件	Min	Typ ²	Max	単位
Y→A変換		$R_S=R_T=50\Omega, C_L=15\text{pF}$, 図37				
伝搬遅延	$t_{P, Y-A}$			5	8	ns
立上がり時間	$t_{R, Y-A}$			2	3.5	ns
立下がり時間	$t_{F, Y-A}$			2	3.5	ns
最大データレート	$D_{MAX, Y-A}$		50			Mbps
チャンネル間スキュー	$t_{SKEW, Y-A}$			2	3	ns
デバイス間スキュー	$t_{PPSKEW, Y-A}$				3	ns
1.15~1.3V $\leq V_{CCA}\leq V_{CCY}, V_{CCY}=3.3V\pm 0.3V$						
A→Y変換		$R_S=R_T=50\Omega, C_L=50\text{pF}$, 図36				
伝搬遅延	$t_{P, A-Y}$			9	18	ns
立上がり時間	$t_{R, A-Y}$			3	5	ns
立下がり時間	$t_{F, A-Y}$			2	5	ns
最大データレート	$D_{MAX, A-Y}$		40			Mbps
チャンネル間スキュー	$t_{SKEW, A-Y}$			2	5	ns
デバイス間スキュー	$t_{PPSKEW, A-Y}$				10	ns
Y→A変換		$R_S=R_T=50\Omega, C_L=15\text{pF}$, 図37				
伝搬遅延	$t_{P, Y-A}$			5	9	ns
立上がり時間	$t_{R, Y-A}$			2	4	ns
立下がり時間	$t_{F, Y-A}$			2	4	ns
最大データレート	$D_{MAX, Y-A}$		40			Mbps
チャンネル間スキュー	$t_{SKEW, Y-A}$			2	4	ns
デバイス間スキュー	$t_{PPSKEW, Y-A}$				4	ns
1.15~1.3V $\leq V_{CCA}\leq V_{CCY}, V_{CCY}=1.8V\pm 0.3V$						
A→Y変換		$R_S=R_T=50\Omega, C_L=50\text{pF}$, 図36				
伝搬遅延	$t_{P, A-Y}$			12	25	ns
立上がり時間	$t_{R, A-Y}$			7	12	ns
立下がり時間	$t_{F, A-Y}$			3	5	ns
最大データレート	$D_{MAX, A-Y}$		25			Mbps
チャンネル間スキュー	$t_{SKEW, A-Y}$			2	5	ns
デバイス間スキュー	$t_{PPSKEW, A-Y}$				15	ns
Y→A変換		$R_S=R_T=50\Omega, C_L=15\text{pF}$, 図37				
伝搬遅延	$t_{P, Y-A}$			14	35	ns
立上がり時間	$t_{R, Y-A}$			5	16	ns
立下がり時間	$t_{F, Y-A}$			2.5	6.5	ns
最大データレート	$D_{MAX, Y-A}$		25			Mbps
チャンネル間スキュー	$t_{SKEW, Y-A}$			3	6.5	ns
デバイス間スキュー	$t_{PPSKEW, Y-A}$				23.5	ns
2.5V $\pm 0.2V\leq V_{CCA}\leq V_{CCY}, V_{CCY}=3.3V\pm 0.3V$						
A→Y変換		$R_S=R_T=50\Omega, C_L=50\text{pF}$, 図36				
伝搬遅延	$t_{P, A-Y}$			7	10	ns
立上がり時間	$t_{R, A-Y}$			2.5	4	ns
立下がり時間	$t_{F, A-Y}$			2	5	ns
最大データレート	$D_{MAX, A-Y}$		60			Mbps
チャンネル間スキュー	$t_{SKEW, A-Y}$			1.5	2	ns
デバイス間スキュー	$t_{PPSKEW, A-Y}$				4	ns
Y→A変換		$R_S=R_T=50\Omega, C_L=15\text{pF}$, 図37				
伝搬遅延	$t_{P, Y-A}$			5	8	ns
立上がり時間	$t_{R, Y-A}$			1	4	ns
立下がり時間	$t_{F, Y-A}$			3	5	ns
最大データレート	$D_{MAX, Y-A}$		60			Mbps
チャンネル間スキュー	$t_{SKEW, Y-A}$			2	3	ns
デバイス間スキュー	$t_{PPSKEW, Y-A}$				3	ns

パラメータ	記号	条件	Min	Typ ²	Max	単位
電源条件 電源電圧	V _{CCA}	V _{CCA} ≤ V _{CCY}	1.15		5.5	V
	V _{CCY}		1.65		5.5	V
静止時電源電流	I _{CCA}	V _A = 0 V/V _{CCA} , V _Y = 0 V/V _{CCY} , V _{CCA} = V _{CCY} = 5.5 V, EN = V _{CCY}		0.17	1	μA
	I _{CCY}	V _A = 0 V/V _{CCA} , V _Y = 0 V/V _{CCY} , V _{CCA} = V _{CCY} = 5.5 V, EN = V _{CCY}		0.27	1	μA
スリープステート・モード時電源電流	I _{HIZA}	V _{CCA} = V _{CCY} = 5.5 V, EN = 0		0.1	1	μA
	I _{HIZY}	V _{CCA} = V _{CCY} = 5.5 V, EN = 0		0.1	1	μA

¹ Bバージョンの温度範囲: -40~+85°C

² 特に指定がない限り、代表値 (typ) は T_A = 25°Cでの値。

³ 設計により保証。出荷テストは実施していません。

ADG3308

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表2

パラメータ	定格
GNDに対する V_{CCA}	$-0.3\sim+7\text{V}$
GNDに対する V_{CCY}	$V_{CCA}\sim+7\text{V}$
デジタル入力(A)	$-0.3\sim V_{CCA}+0.3\text{V}$
デジタル入力(Y)	$-0.3\sim V_{CCY}+0.3\text{V}$
GNDに対するEN	$-0.3\sim+7\text{V}$
動作温度範囲	
工業用(Bバージョン)	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度	150°C
θ_{JA} 熱抵抗	
20ピンTSSOP	$78^{\circ}\text{C}/\text{W}$
20ピンLFCSP	$30.4^{\circ}\text{C}/\text{W}$
リード温度(ハンダ処理、10秒)	300°C
赤外線リフロー時のピーク温度(<20秒)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つのパラメータでも絶対最大定格を超えるとデバイスに影響を与えます。

注意

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置および機能説明

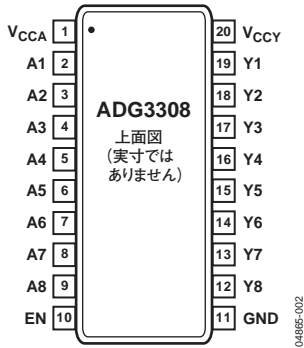


図2. 20ピンTSSOP

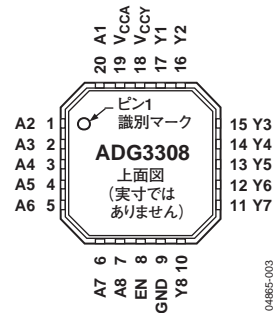


図3. 20ピンLFCSP

露出パッドはGNDに接続するか、フローティングのままにしてください。
このパッドをV_{CCA}またはV_{CCY}に接続することはできません。

表3. ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	V _{CCA}	A1～A8のI/Oピンに対する電源電圧入力 ($1.15V \leq V_{CCA} < V_{CCY}$)
2	20	A1	V _{CCA} を基準とするA1入出力
3	1	A2	V _{CCA} を基準とするA2入出力
4	2	A3	V _{CCA} を基準とするA3入出力
5	3	A4	V _{CCA} を基準とするA4入出力
6	4	A5	V _{CCA} を基準とするA5入出力
7	5	A6	V _{CCA} を基準とするA6入出力
8	6	A7	V _{CCA} を基準とするA7入出力
9	7	A8	V _{CCA} を基準とするA8入出力
10	8	EN	アクティブ・ハイのイネーブル入力
11	9	GND	グラウンド
12	10	Y8	V _{CCY} を基準とするY8入出力
13	11	Y7	V _{CCY} を基準とするY7入出力
14	12	Y6	V _{CCY} を基準とするY6入出力
15	13	Y5	V _{CCY} を基準とするY5入出力
16	14	Y4	V _{CCY} を基準とするY4入出力
17	15	Y3	V _{CCY} を基準とするY3入出力
18	16	Y2	V _{CCY} を基準とするY2入出力
19	17	Y1	V _{CCY} を基準とするY1入出力
20	18	V _{CCY}	Y1～Y8のI/Oピンに対する電源電圧入力 ($1.65V \leq V_{CCY} \leq 5.5V$)

代表的な性能特性

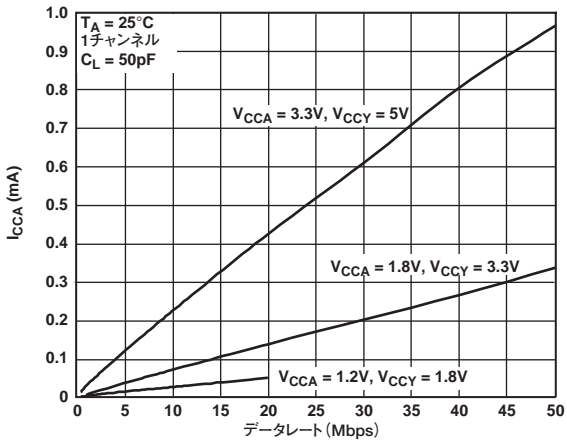


図4. データレート対 I_{CCA} (A Yレベル変換)

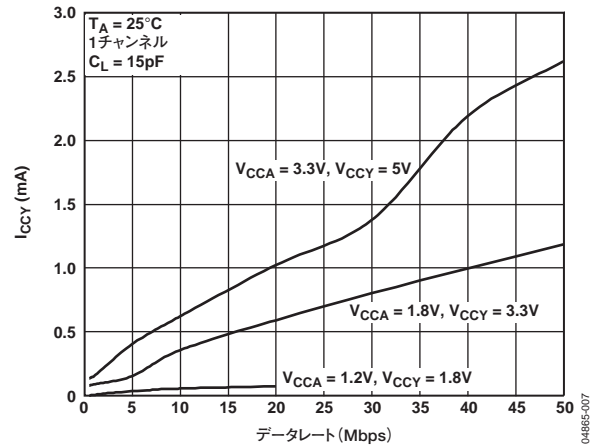


図7. データレート対 I_{CCY} (Y Aレベル変換)

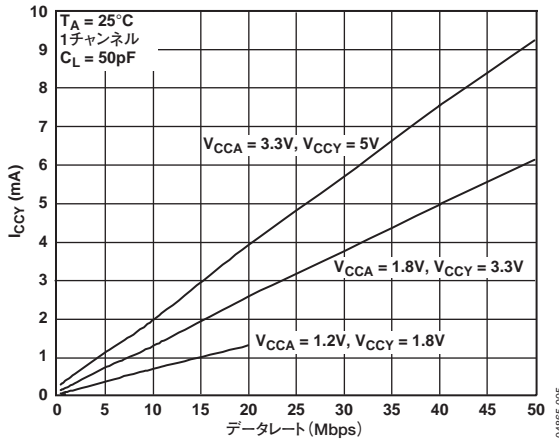


図5. データレート対 I_{CCY} (A Yレベル変換)

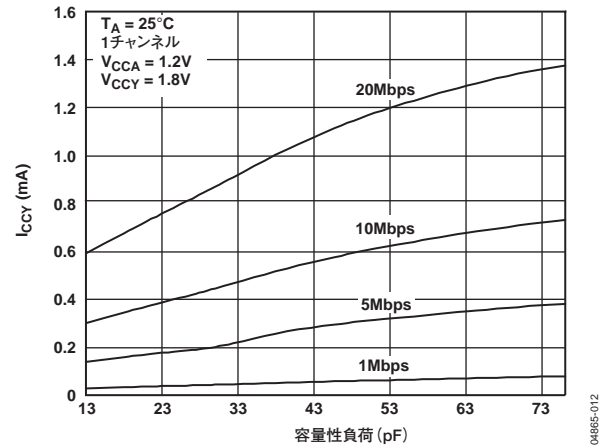


図8. Yピンの容量性負荷対 I_{CCY}
A Y (1.2V 1.8V)レベル変換

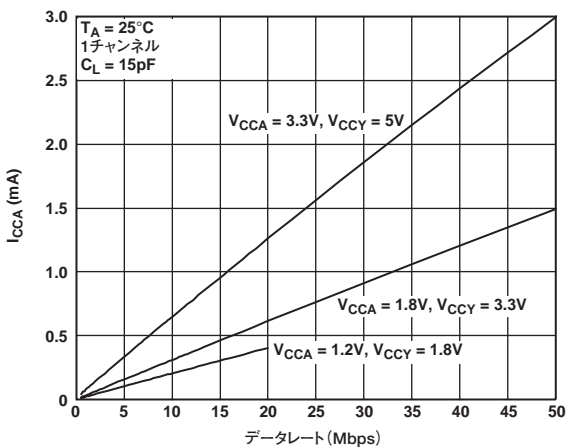


図6. データレート対 I_{CCA} (Y Aレベル変換)

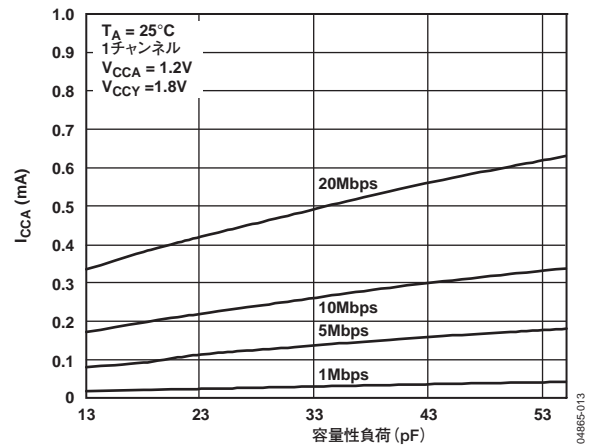


図9. Aピンの容量性負荷対 I_{CCA}
Y A (1.8V 1.2V)レベル変換

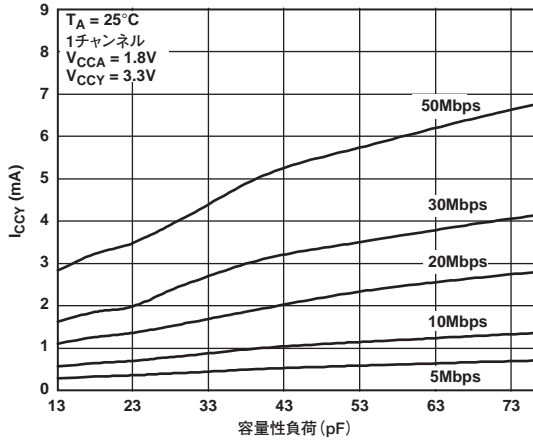


図10. Yピンの容量性負荷対 I_{CCY}
A Y(1.8V 3.3V)レベル変換

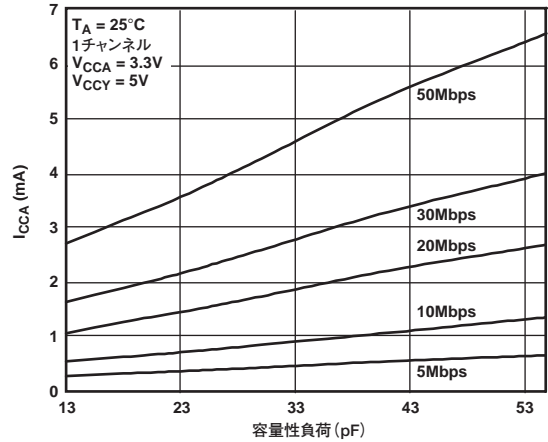


図13. Aピンの容量性負荷対 I_{CCA}
Y A(5V 3.3V)レベル変換

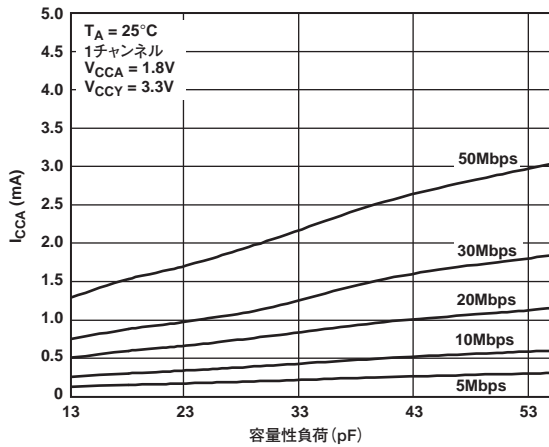


図11. Aピンの容量性負荷対 I_{CCA}
Y A(3.3V 1.8V)レベル変換

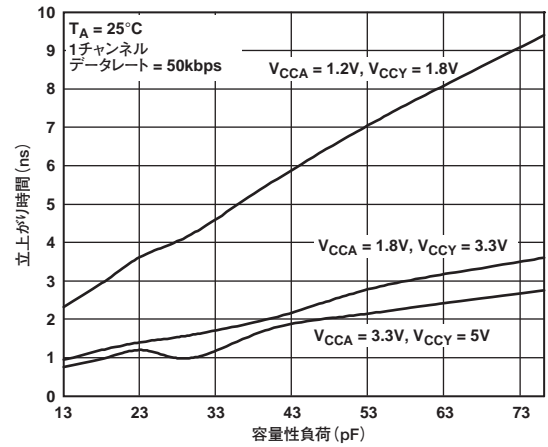


図14. Yピンの容量性負荷対 立上がり時間(A Yレベル変換)

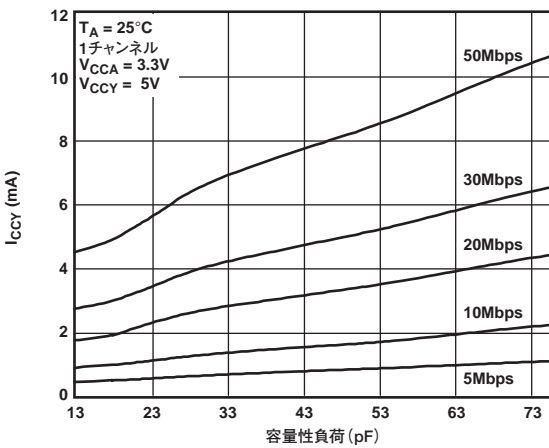


図12. Yピンの容量性負荷対 I_{CCY}
A Y(3.3V 5V)レベル変換

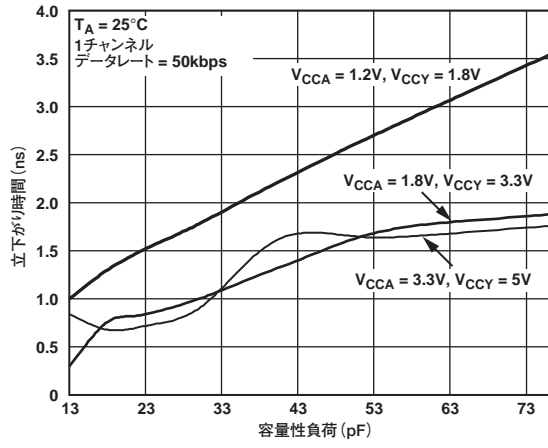


図15. Yピンの容量性負荷対 立下がり時間(A Yレベル変換)

ADG3308

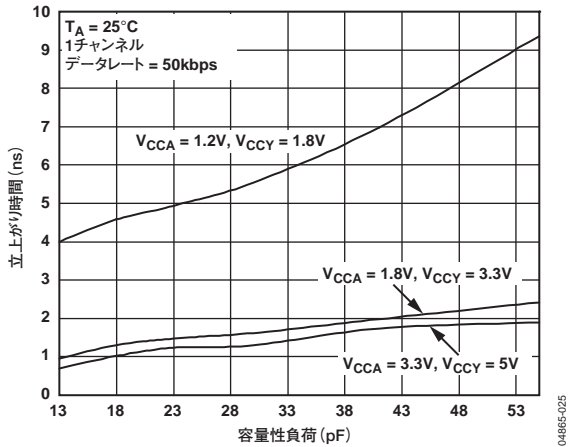


図16. Aピンの容量性負荷 対 立ち上がり時間 (Y ALレベル変換)

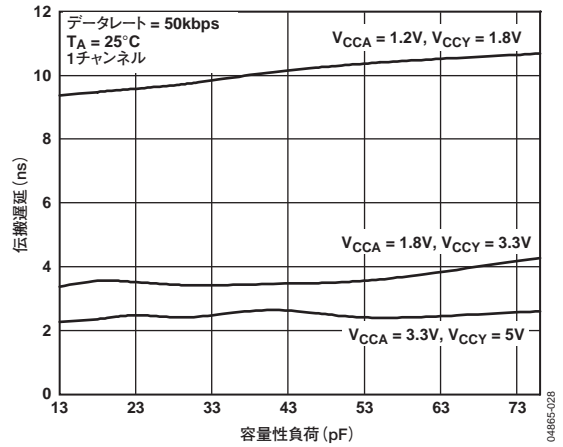


図19. Yピンの容量性負荷 対 伝搬遅延(t_{PHL}) (A Yレベル変換)

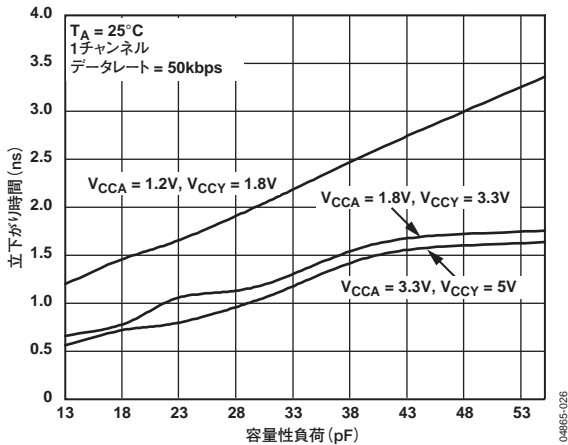


図17. Aピンの容量性負荷 対 立下がり時間 (Y ALレベル変換)

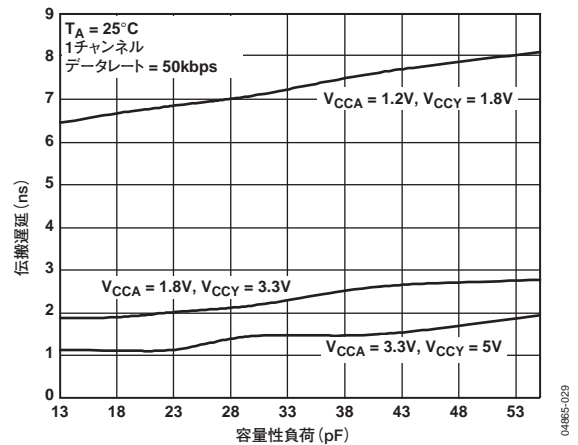


図20. Aピンの容量性負荷 対 伝搬遅延(t_{PLH}) (Y ALレベル変換)

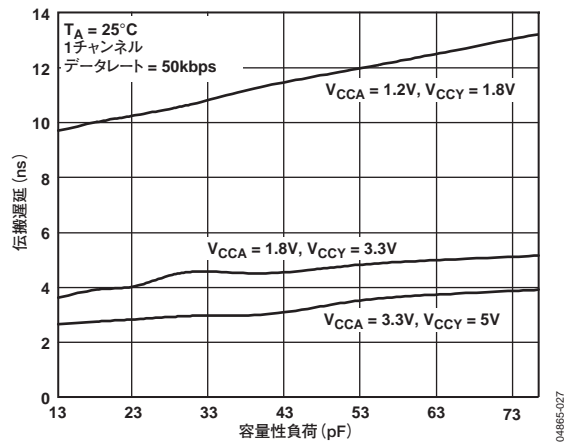


図18. Yピンの容量性負荷 対 伝搬遅延(t_{PLH}) (A Yレベル変換)

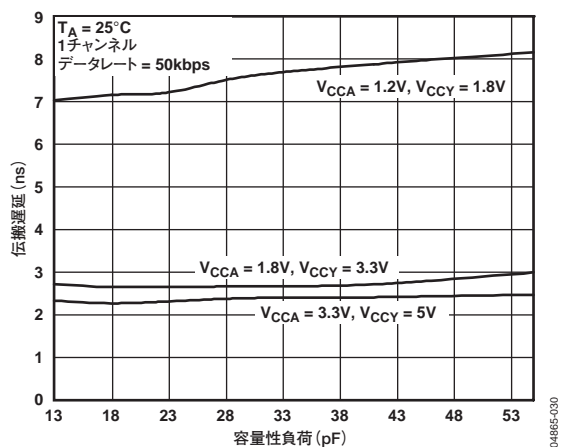


図21. Aピンの容量性負荷 対 伝搬遅延(t_{PHL}) (Y ALレベル変換)

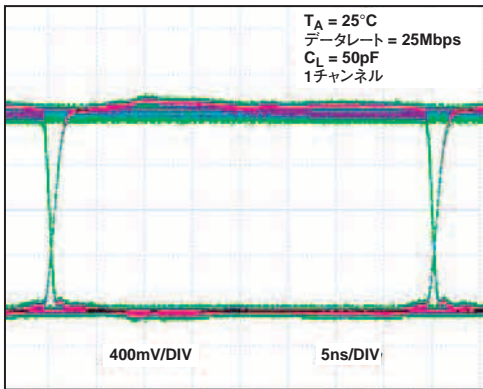


図22. Y出力のアイダイアグラム(1.2 1.8Vレベル変換、25Mbps)

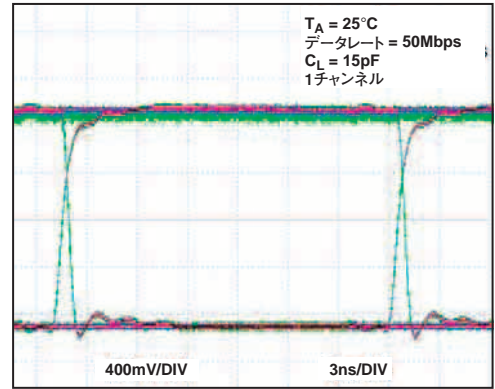


図25. A出力のアイダイアグラム(3.3 1.8Vレベル変換、50Mbps)

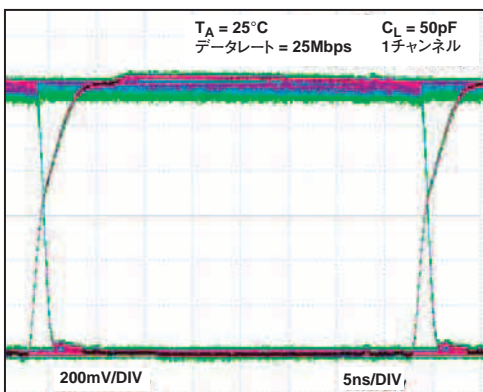


図23. A出力のアイダイアグラム(1.8 1.2Vレベル変換、25Mbps)

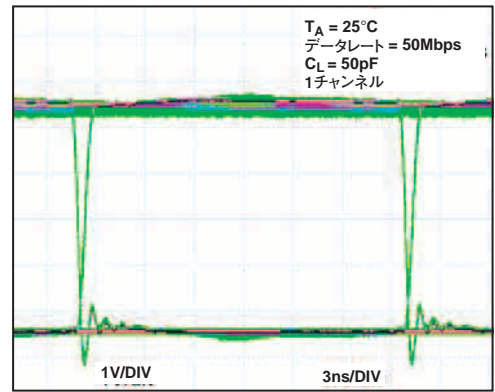


図26. Y出力のアイダイアグラム(3.3 5Vレベル変換、50Mbps)

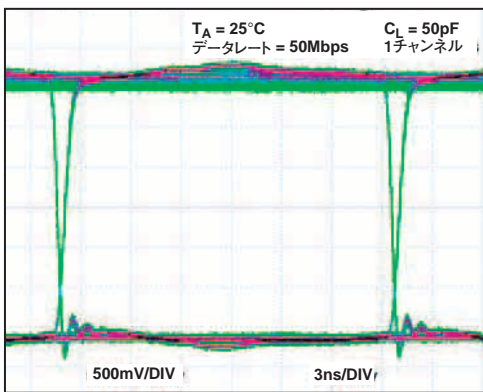


図24. Y出力のアイダイアグラム(1.8 3.3Vレベル変換、50Mbps)

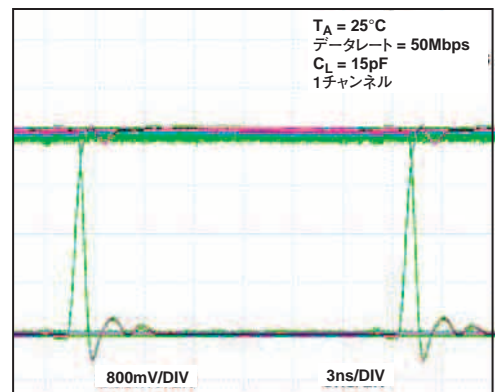


図27. A出力のアイダイアグラム、(5 3.3Vレベル変換、50Mbps)

ADG3308

テスト回路

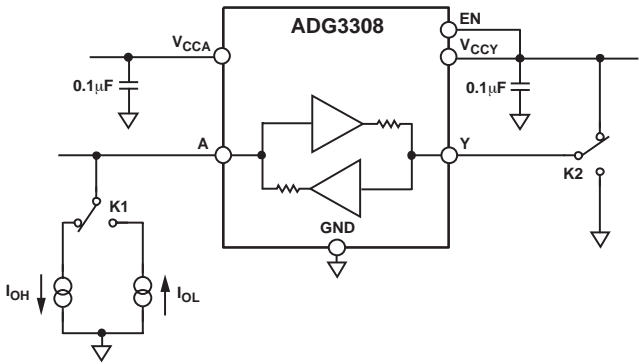


図28. Aピンの V_{OH}/V_{OL} 電圧

04885-043

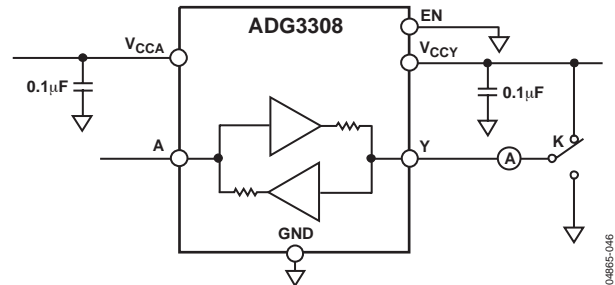


図31. Yピンのスリーステート・リーク電流

04885-046

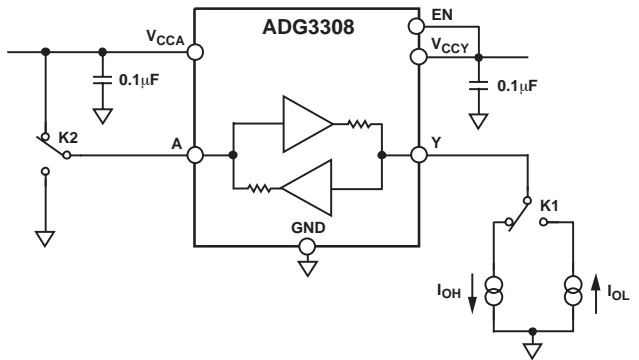


図29. Yピンの V_{OH}/V_{OL} 電圧

04885-044

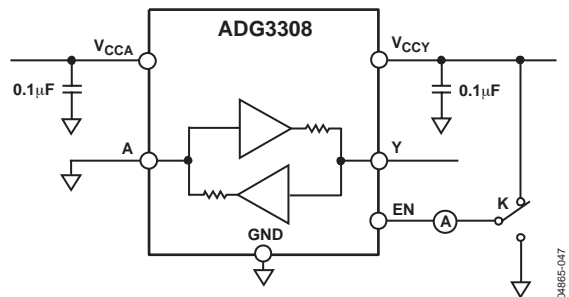


図32. ENピンのリーク電流

04885-047

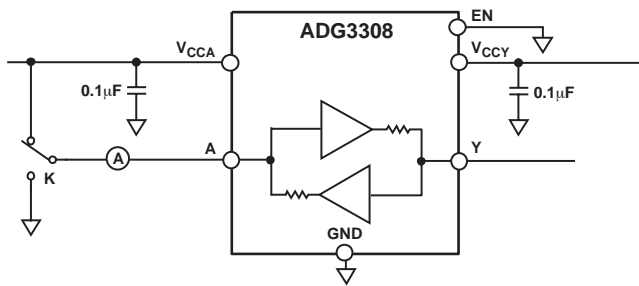


図30. Aピンのスリーステート・リーク電流

04885-045

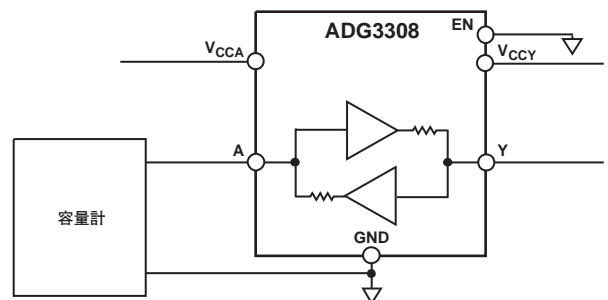


図33. Aピンの容量

04885-048

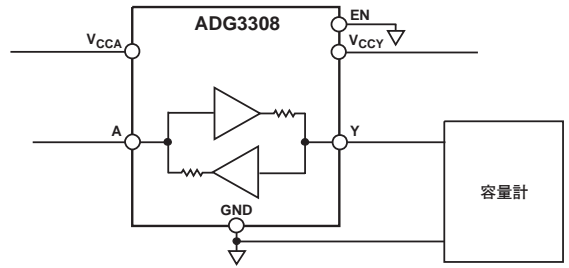
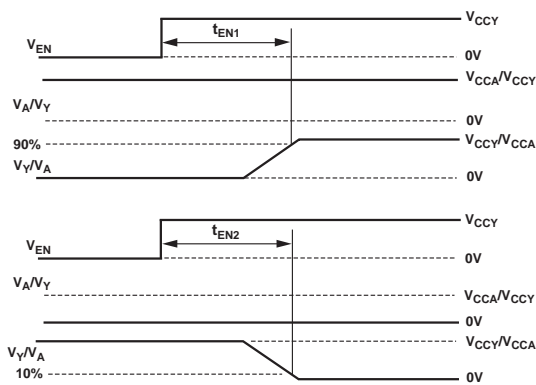
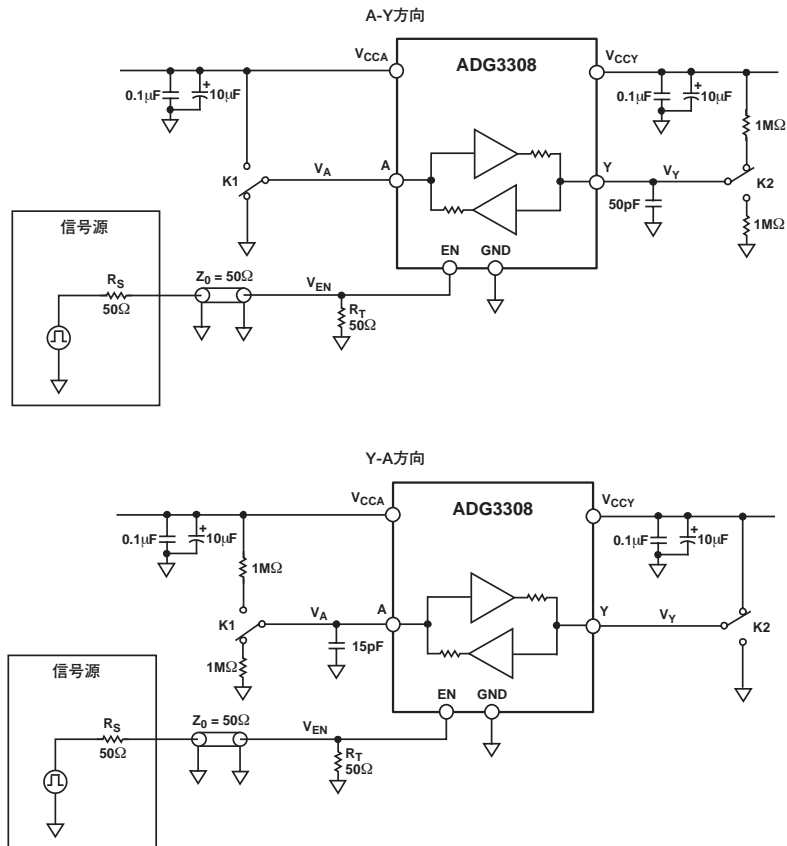


図34. Yピンの容量



注
1. t_{EN} は、A-Y方向およびY-A方向の両方向で t_{EN1} と t_{EN2} のうちのいずれか大きい方。

図35. イネーブル時間

ADG3308

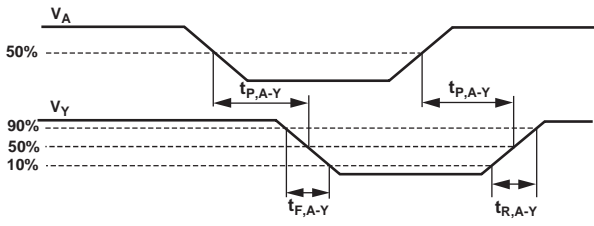
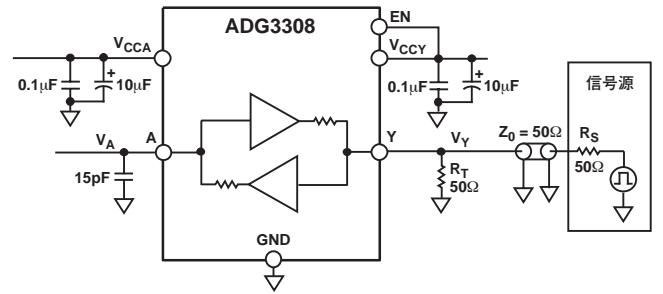
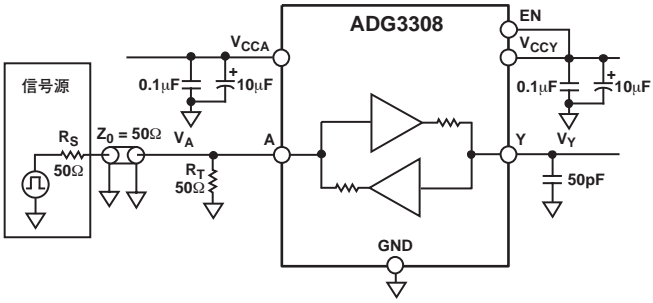


図36. スイッチング特性(A → Yレベル変換)

04865-051

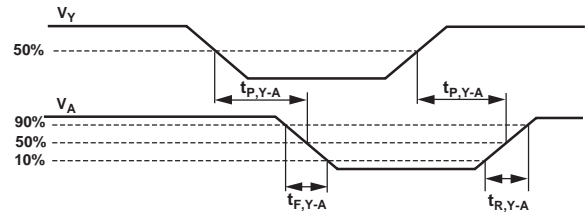


図37. スイッチング特性(Y → Aレベル変換)

04865-052

記号の説明

表4

記号	説明
V _{IHA}	ロジック入力ハイレベル電圧、ピンA1～A8
V _{ILA}	ロジック入力ローレベル電圧、ピンA1～A8
V _{OHA}	ロジック出力ハイレベル電圧、ピンA1～A8
V _{OLA}	ロジック出力ローレベル電圧、ピンA1～A8
C _A	ピンA1～A8で測定した容量 (EN=0)
I _{LA, HIZ}	EN=0 (ピンA1～A8が高インピーダンス状態) のときのピンA1～A8のリーク電流
V _{IHY}	ロジック入力ハイレベル電圧、ピンY1～Y8
V _{ILY}	ロジック入力ローレベル電圧、ピンY1～Y8
V _{OHY}	ロジック出力ハイレベル電圧、ピンY1～Y8
V _{OLY}	ロジック出力ローレベル電圧、ピンY1～Y8
C _Y	ピンY1～Y8で測定した容量 (EN=0)
I _{LY, HIZ}	EN=0 (ピンY1～Y8が高インピーダンス状態) のときのピンY1～Y8のリーク電流
V _{IHEN}	ENピンのロジック入力ハイレベル電圧
V _{ILEN}	ENピンのロジック入力ローレベル電圧
C _{EN}	ENピンで測定した容量
I _{LEN}	イネーブル (EN) ピンのリーク電流
t _{EN}	ピンA1～A8/Y1～Y8のスリーステート・イネーブル時間
t _{P, A-Y}	伝搬遅延、A→Y方向ロジック・レベル変換時
t _{R, A-Y}	立上がり時間、A→Y方向ロジック・レベル変換時
t _{F, A-Y}	立下がり時間、A→Y方向ロジック・レベル変換時
D _{MAX, A-Y}	表1に規定した駆動条件および負荷条件における、A→Y方向ロジック・レベル変換時の保証データレート
t _{SKEW, A-Y}	A→Y方向ロジック・レベル変換時の、任意の2チャンネル間の伝搬遅延差
t _{PPSKEW, A-Y}	A→Y方向変換時の、異なるデバイスの同じチャンネル間 (同じ駆動/負荷条件) の伝搬遅延差
t _{P, Y-A}	伝搬遅延、Y→A方向ロジック・レベル変換時
t _{R, Y-A}	立上がり時間、Y→A方向ロジック・レベル変換時
t _{F, Y-A}	立下がり時間、Y→A方向ロジック・レベル変換時
D _{MAX, Y-A}	表1に規定した駆動条件および負荷条件における、Y→A方向ロジック・レベル変換時の保証データレート
t _{SKEW, Y-A}	Y→A方向ロジック・レベル変換時の任意の2チャンネル間の伝搬遅延差
t _{PPSKEW, Y-A}	Y→A方向変換時の、異なるデバイスの同じチャンネル間 (同じ駆動/負荷条件) の伝搬遅延差
V _{CCA}	V _{CCA} 電源電圧
V _{CCY}	V _{CCY} 電源電圧
I _{CCA}	V _{CCA} 電源電流
I _{CCY}	V _{CCY} 電源電流
I _{HIZA}	スリーステート・モード (EN=0) 時のV _{CCA} 電源電流
I _{HIZY}	スリーステート・モード (EN=0) 時のV _{CCY} 電源電流

ADG3308

動作原理

ADG3308レベル変換器は、多電源電圧を使用したシステムでデータ転送を行う際に必要となるレベル・シフトを可能にします。このデバイスは2種類の電源 V_{CCA} と V_{CCY} ($V_{CCA} \leq V_{CCY}$)を必要とします。これらの電源は、デバイスの両側のロジック・レベルを設定します。A側ピンを駆動すると、デバイスは V_{CCA} 互換のロジック・レベルを V_{CCY} 互換のロジック・レベルに変換してY側ピンに出力します。デバイスは双方向変換が可能のため、同様にY側ピンを駆動すると、 V_{CCY} 互換のロジック・レベルが V_{CCA} 互換のロジック・レベルに変換されてA側ピンに出力されます。EN=0のとき、A1~A8およびY1~Y8の各ピンはスリーステートになります。ENをハイレベルにすると、ADG3308は通常動作モードになり、レベル変換を実行します。

レベル変換器のアーキテクチャ

ADG3308は双方向の8チャンネルから構成され、各チャンネルでA→Y方向またはY→A方向のロジック・レベル変換を行うことができます。このデバイスは、優れたスイッチング特性を保证するワンショット・アクセラレータ・アーキテクチャを採用しています。図38に、双方向チャンネルの簡略ブロック図を示します。

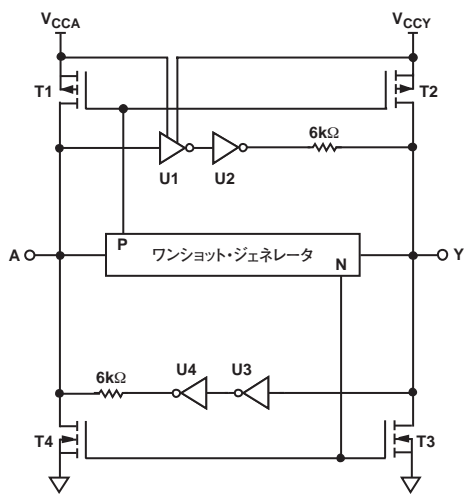


図38. 1チャンネルの簡略ブロック図

A→Y方向のロジック・レベル変換はレベル変換器(U1)とインバータ(U2)を使って実行し、Y→A方向の変換はインバータU3とU4を使って実行します。ワンショット・ジェネレータは、チャンネルのA側またはY側で発生する立ち上がりまたは立下がりエッジを検出し、狭いパルスを出力します。このパルスは、立ち上がりエッジに対してはPMOSTランジスタ(T1とT2)を、立下がりエッジに対してはNMOSTランジスタ(T3とT4)を、それぞれターンオンさせます。これにより、容量性負荷の充電/放電が速くなり、その結果立ち上がり時間と立下がり時間が高速化します。

未使用チャンネル(AまたはY)の入力は、対応する V_{CC} レール(V_{CCA} または V_{CCY})またはGNDに接続します。

入力駆動条件

ADG3308を正常に動作させるためには、チャンネル入力を駆動する回路の出力インピーダンスを 150Ω 以下、かつ最小電流駆動能力を 36mA にする必要があります。

出力負荷条件

ADG3308レベル変換器は、CMOS互換負荷を駆動するように設計されています。電流駆動能力を必要とする場合は、出力と負荷の間にバッファを挿入することを推奨します。

イネーブル動作

ADG3308はイネーブル(EN)ピンを使用することによって、A側とY側のI/Oピンでスリーステートにすることができます(表5)。

表5. 真理値表

EN	Y I/Oピン	A I/Oピン
0	Hi-Z ¹	Hi-Z ¹
1	通常動作 ²	通常動作 ²

¹ ハイ・インピーダンス状態

² 通常動作でADG3308がレベル変換を実行

EN=0のとき、ADG3308はスリーステート・モードになります。このモードでは、 V_{CCA} 電源と V_{CCY} 電源の消費電流が減少し、省電力が可能になります。これは特に、バッテリー駆動のシステムでは重要です。EN入力ピンは、 V_{CCY} 互換のロジック・レベルでのみ駆動可能です。

電源

ADG3308が正常に動作するためには、 V_{CCA} に印加される電圧が常に V_{CCY} に印加される電圧に等しいか、それよりも低くする必要があります。この条件を満たすためのパワーアップ・シーケンスとして、 V_{CCY} を先に立ち上げ、その後に V_{CCA} を立ち上げることを推奨します。ADG3308は、両電源電圧が公称値に到達しなければ正常に動作しません。パワーアップ時に、 V_{CCA} 電源からの電流が大幅に増加するために V_{CCA} が V_{CCY} より高くなってしまようなシステムで、このデバイスを使用することは推奨できません。最適性能を得るためには、デバイスのできるだけ近くで V_{CCA} ピンと V_{CCY} ピンをGNDにデカップリングする必要があります。

データレート

デバイスの動作を保証する最大データレートは、 V_{CCA} および V_{CCY} の電源電圧の組合わせと負荷容量の関数になります。この最大データレートはデバイスに入力できる方形波の最大周波数から求められます。最大周波数は出力で V_{OH} レベルと V_{OL} レベルを満たし、かつ最大ジャンクション温度を超えないように考慮されています（「絶対最大定格」を参照）。表6に、 V_{CCA} 電源と V_{CCY} 電源の各組合わせに対して、両方向で（A→YまたはY→Aのレベル変換）ADG3308が動作できる保証データレートを示します。

表6. 保証データレート (Mbps)¹

V_{CCA}	V_{CCY}			
	1.8V (1.65~1.95V)	2.5V (2.3~2.7V)	3.3V (3.0~3.6V)	5V (4.5~5.5V)
1.2V (1.15~1.3V)	25	30	40	40
1.8V (1.65~1.95V)	—	45	50	50
2.5V (2.3~2.7V)	—	—	60	50
3.3V (3.0~3.6V)	—	—	—	50
5V (4.5~5.5V)	—	—	—	—

¹ A→Y方向の変換の場合は負荷容量として50pF、Y→A方向の場合は15pFを使用。

ADG3308

アプリケーション

ADG3308は、異なる電源電圧で動作するためにロジック・レベル変換が必要となるデジタル回路向けに設計されています。電圧の低いロジック信号はA側ピンに、電圧の高いロジック信号はY側ピンにそれぞれ接続します。ADG3308は8チャンネルすべてでA→YまたはY→Aの両方向のレベル変換が可能となるので、各方向のレベル変換用ICが不要になります。内部アーキテクチャにより、ADG3308は変換方向を設定するための信号を追加しなくても、双方向のレベル変換を実行できます。また、同じデバイス上で双方向のデータフローを同時に行うこともできます。たとえば、2つのチャンネルでA→Y方向の変換を行うと同時に、他の2つのチャンネルでY→A方向の変換を行うことができます。このために、方向信号に対するタイミングが不要になることから設計が簡素化され、レベル変換に使用するICの数も削減されます。

図39に、3.3Vのマイクロプロセッサと1.8Vのペリフェラル・デバイスとの間で8ビット・バスを使ってデータの読み出し／書き込みが可能となるアプリケーションを示します。

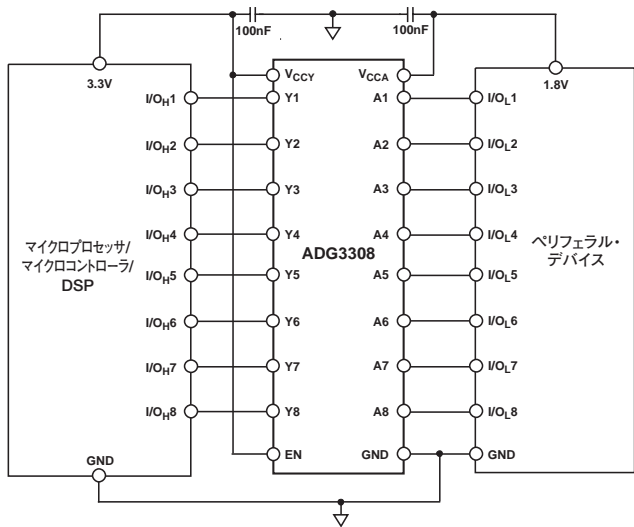


図39. 1.8Vと3.3Vとの間の8ビット・レベル変換回路

マイクロプロセッサと複数のペリフェラル・デバイスとの間でレベル変換が必要なアプリケーションの場合、EN=0に設定することでADG3308のI/Oピンをスリーステートにすることができます。この機能により、ADG3308

はデータバスを他のデバイスと競合することなく共用できます。図40に、3.3Vのマイクロプロセッサと1.8Vのペリフェラル・デバイスをこのスリーステート機能を使って接続するアプリケーションを示します。

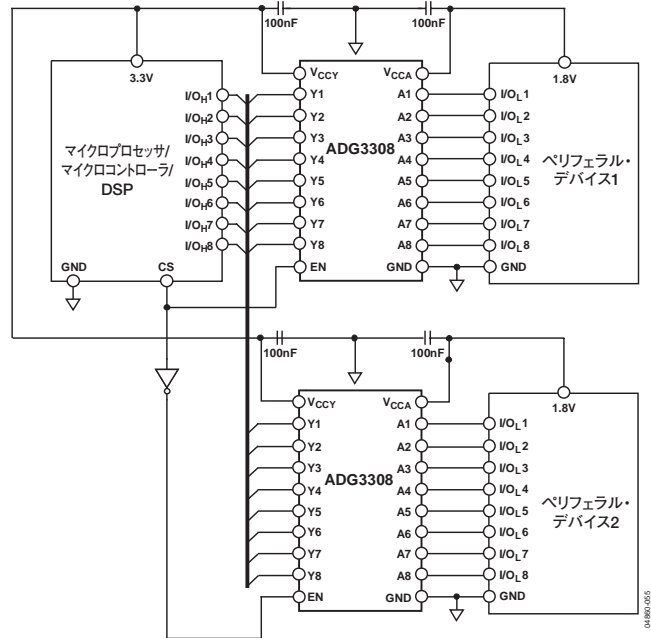
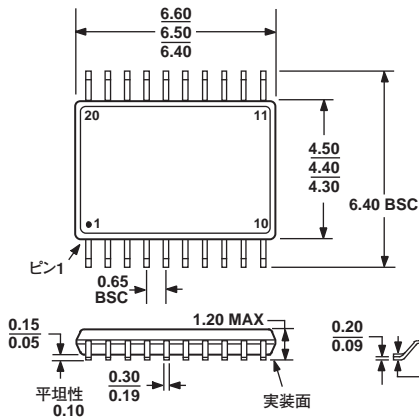


図40. スリーステート機能を使用した1.8Vと3.3Vとの間のレベル変換回路

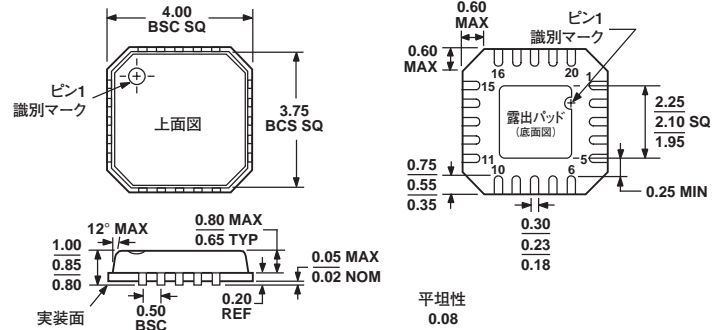
レイアウトのガイドライン

すべての高速デジタルICの場合と同様に、回路全体の性能においてPCボードのレイアウトがきわめて重要となります。高速信号の場合、適切な電源バイパスとリターン・パスが得られるように注意が必要です。各V_{CC}ピン(V_{CCA}とV_{CCY})は、等価直列抵抗(ESR)と等価直列インダクタンス(ESL)が小さいコンデンサをV_{CCA}ピンとV_{CCY}ピンのできるだけ近くに配置してバイパスする必要があります。高速信号パターンの寄生インダクタンスは、大きなオーバーシュートを発生させることがあります。この影響は、パターンを短くすることにより軽減できます。できるだけ広い面積をもつグラウンド・プレーンをリターン・パス(GND)として使用することを推奨します。

外形寸法



JEDEC規格MO-153ACに準拠



JEDEC規格MO-220-VGGD-1に準拠

図41. 20ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-20)
寸法単位:mm

図42. 20ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-20)
寸法単位:mm

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
ADG3308BRUZ ¹	-40~+85℃	20ピン薄型シュリンク・スモール・アウトライン・パッケージ	RU-20
ADG3308BRUZ-REEL ¹	-40~+85℃	20ピン薄型シュリンク・スモール・アウトライン・パッケージ	RU-20
ADG3308BRUZ-REEL7 ¹	-40~+85℃	20ピン薄型シュリンク・スモール・アウトライン・パッケージ	RU-20
ADG3308BCPZ ¹	-40~+85℃	20ピン・リード・フレーム・チップ・スケール・パッケージ	CP-20
ADG3308BCPZ-REEL ¹	-40~+85℃	20ピン・リード・フレーム・チップ・スケール・パッケージ	CP-20
ADG3308BCPZ-REEL7 ¹	-40~+85℃	20ピン・リード・フレーム・チップ・スケール・パッケージ	CP-20

¹ Zは鉛フリー製品