



# 高性能、低消費電力、ISMバンドの FSK/GFSK/MSK/GMSK トランシーバーIC

## データシート

## ADF7023-J

### 特長

超低消費電力の高性能トランシーバー  
周波数帯域：902MHz～958MHz  
サポートするデータ・レート：1kbps～300kbps  
電源電圧：2.2V～3.6V  
シングルエンドおよび差動パワー・アンプ (PA)  
IF 帯域を 100kHz、150kHz、200kHz、300kHz に設定可能な  
低 IF レシーバー  
レシーバー感度 (BER)  
1.0kbps で-116dBm (2FSK、GFSK)  
38.4kbps で-107.5dBm (2FSK、GFSK)  
50kbps で-106.5dBm (2FSK、GFSK)  
100kbps で-105dBm (2FSK、GFSK)  
150kbps で-104dBm (GFSK、GMSK)  
200kbps で-103dBm (GFSK、GMSK)  
300kbps で-100.5dBm (GFSK、GMSK)  
超低消費電力  
PHY\_RX モードで 12.8mA (最大フロントエンド・ゲイン)  
PHY\_RX モードで 11.9mA (AGC オフ、ADC オフ)  
PHY\_TX モードで 24.1mA  
(10dBm 出力、シングルエンド PA)  
PHY\_SLEEP モードで 0.75μA (32kHz RC 発振器使用)  
PHY\_SLEEP モードで 1.28μA (32kHz XTAL 発振器使用)  
PHY\_SLEEP モードで 0.33μA  
(ディープ・スリープ・モード 1)  
RF 出力電力：-20dBm～+13.5dBm (シングルエンド PA)  
RF 出力電力：-20dBm～+10dBm (差動 PA)  
特許取得の高速セトリング自動周波数制御 (AFC)  
デジタル受信信号強度表示 (RSSI)  
内蔵 PLL ループ・フィルタと Tx/Rx スイッチ  
電圧制御発振器 (VCO) の高速自動キャリブレーション  
シンセサイザ帯域幅の自動最適化  
オンチップ低消費電力カスタム 8 ビット・プロセッサ  
無線制御  
パケット管理  
スマート・ウェイク・モード

SPORT モードをサポート  
Tx および Rx データへの高速同期シリアル・  
インターフェース (プロセッサおよび DSP との  
直接インターフェース用)  
パケット管理をサポート  
広範なパケット・フォーマットに対応できる高い柔軟性  
プリアンプル/同期ワード/CRC/アドレスの挿入と検出  
マンチェスタ方式および 8b/10b 方式によるデータ・  
エンコーディングとデコーディング  
データ・ホワイトニング  
スマート・ウェイク・モード  
自律式レシーバー・ウェイクアップ、キャリア検出、  
パケット受信による省電流の低消費電力モード  
ダウンロード可能なファームウェア・モジュール  
完全自動イメージ除去キャリブレーション (特許申請中)  
ハードウェア・アクセラレータと 128 ビット、192 ビット、  
256 ビットの鍵サイズを使用する 128 ビット AES 暗号化  
/復号  
ハードウェア・アクセラレータ使用のリードソロン誤り訂正  
Tx/Rx データ用 240 バイト・パケット・バッファ  
ブロック読み出し/書き込みアクセスによる効率的な SPI 制御  
インターフェース  
バッテリー・アラームと温度センサーを内蔵  
RC 発振器と 32.768kHz 水晶発振器を内蔵  
オンチップ 8 ビット ADC  
5mmx5mm、32 ピン LFCSP パッケージ

### アプリケーション

スマート・メータリング  
IEEE 802.15.4g  
ホーム・オートメーション  
プロセス制御およびビル管理  
ワイヤレス・センサー・ネットワーク (WSN)  
ワイヤレス・ヘルスケア

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

特長	1	SPORT モードの割込み	48
アプリケーション	1	ADF7023-J のメモリ・マップ	49
改訂履歴	3	BBRAM	49
機能ブロック図	4	モデム設定 RAM (MCR)	49
概要	4	プログラム ROM	49
仕様	6	プログラム RAM	49
RF およびシンセサイザの仕様	6	パケット RAM	50
トランスミッタ仕様	7	SPI インターフェース	51
レシーバーの仕様	9	一般的な特性	51
タイミング仕様とデジタル仕様	12	コマンド・アクセス	51
補助ブロック仕様	13	ステータス・ワード	51
一般仕様	14	コマンド・キュー	52
タイミング仕様	15	メモリ・アクセス	53
絶対最大定格	16	低消費電力モード	56
ESD に関する注意	16	低消費電力モードの例	59
ピン配置およびピン機能の説明	17	低消費電力モードのタイミング図	61
代表的な性能特性	19	WUC のセットアップ	62
用語の定義	26	ファームウェア・タイマーのセットアップ	63
無線制御	27	RC 発振器のキャリブレーション	63
無線ステート	27	ダウンロード可能なファームウェア・モジュール	65
初期化	29	プログラム RAM へのモジュールの書込み	65
コマンド	30	イメージ除去キャリブレーション・モジュール	65
自動ステート遷移	32	AES 暗号化および復号モジュール	65
状態遷移とコマンド・タイミング	33	リードソロモン・コーディング・モジュール	65
SPORT モード	37	無線ブロック	67
SPORT モードでのパケット構造	37	周波数シンセサイザ	67
送信時の SPORT モード	37	水晶発振器	68
受信時の SPORT モード	37	変調	68
SPORT モードでの送信ビット遅延	37	RF 出力段	69
パケット・モード	40	PA/LNA インターフェース	69
プリアンブル	40	受信チャンネル・フィルタ	69
同期ワード	41	イメージ・チャンネル除去	69
ペイロード	42	自動ゲイン制御 (AGC)	70
CRC	43	RSSI	70
ポストアンブル	44	2FSK/GFSK/MSK/GMSK 復調	72
送信パケット・タイミング	44	クロック再生	73
データ・ホワイトニング	45	2FSK/GFSK/MSK/GMSK 用の推奨レシーバー設定	73
マンチェスタ・エンコーディング	45	周辺機能	76
8b/10b エンコーディング	45	A/D コンバータ	76
割込み生成	46		

温度センサー.....	76
テスト DAC.....	76
送信テスト・モード.....	76
シリコン・リビジョン・リードバック.....	76
アプリケーション情報.....	77
アプリケーション回路.....	77
ホスト・プロセッサ・インターフェース.....	77
PA/LNA マッチング.....	78

コマンド・リファレンス.....	80
レジスタ・マップ.....	81
BBRAM レジスタの説明.....	83
MCR レジスタの説明.....	94
パケット RAM レジスタの説明.....	101
外形寸法.....	102
オーダー・ガイド.....	102

## 改訂履歴

### 3/14—Rev. C to Rev. D

Changes to Figure 54.....	42
Changes to Transmit Packet Timing Section and Figure 56.....	44
Changes to Figure 69.....	58
Changes to Figure 72.....	61
Change to Power Amplifier (PA) Section.....	69
Changes to Table 88 and Table 89.....	91
Change to Table 94.....	92
Change to Table 99.....	94
Change to Table 107.....	95
Change to Table 114.....	98

### 5/13—Rev. B to Rev. C

Added $t_{15}$ to Table 7 and Figure 3.....	15
Changed Register 0x018 200 kbps Data Rate from 0x18 to 0x22; Table 31.....	67

### 1/13—Rev. A to Rev. B

Change to Accuracy of Temperature Readback Parameter, Table 5.....	13
Changes to Table 9.....	17
Change to PHY_TX Section.....	27
Changes to Table 12.....	36
Changes to Figure 56.....	44
Changes to Interrupts in Sport Mode Section.....	48
Changes to Table 26.....	52
Changes to Table 28.....	57
Changes to Table 29.....	62
Changes to Crystal Oscillator Section and Table 32.....	73
Change to Power Amplifier (PA) Section.....	74
Changes to Figure 84.....	77
Changes to Table 44.....	79
Changes to Table 95.....	93
Change to Table 99.....	94
Change to Table 137.....	100
Updated Outline Dimensions.....	102

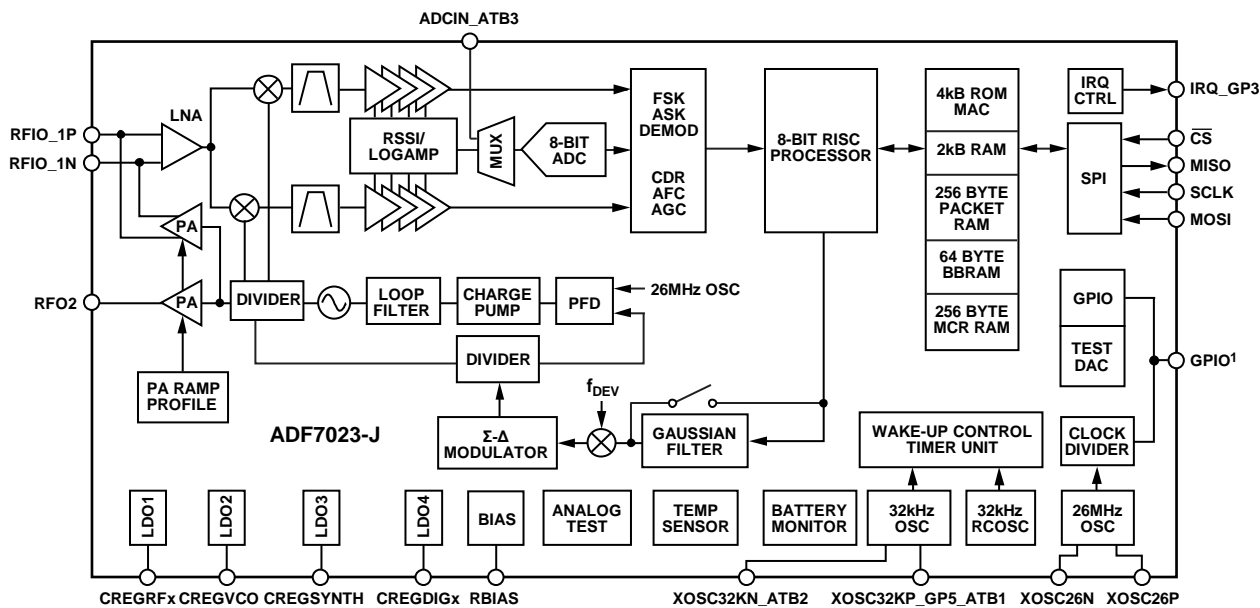
### 6/12—Rev. 0 to Rev. A

Changes to General Descriptions Section.....	4
Changes to Calibration Time and to ADC Parameter in Table 5.....	13

Changes to Table 7 and to table summary statement and changes to Figure 2 and Figure 3.....	15
Changes to Figure 5 and Figure 7.....	19
Changes to Figure 43.....	25
Changes to PHY_SLEEP Section.....	27
Changes to State Transition and Command Timing Section and changes to Table 11.....	33
Changes to Table 12.....	34
Changes to Figure 49 and Figure 50.....	38
Changes to Figure 51 and Figure 52.....	39
Changes to Figure 53.....	41
Changes to Addressing Section.....	42
Changes to Table 20 and changes to CRC Section.....	43
Changes to Figure 56.....	44
Changes to Command Access Section.....	51
Changes to Table 28.....	57
Changes to Figure 69.....	58
Changes to Table 29.....	62
Added Calibrating the RC Oscillator Section.....	63
Added Figure 75; Renumbered Sequentially.....	64
Changes to Automatic PA Ramp Section and changes to Image Channel Rejection Section.....	69
Changes to Temperature Sensor Section and changes to Table 42.....	76
Changes to Support for External PA and LNA Control Section and changes to Table 44.....	79
Changes to Table 47.....	81
Changes to Table 48.....	82
Changes to Table 69.....	86
Changes to Table 70.....	86
Changes to Table 76.....	88
Changes to Table 77 and to Table 78.....	89
Changes to Table 83 and to Table 85.....	91
Changes to Table 93 and added Table 94; Renumbered Sequentially.....	92
Added Table 95 and Table 96.....	93
Changes to Table 100.....	94
Changes to Table 110.....	96
Added Table 123 and Table 124.....	98
Changes to Table 144.....	101

### 5/11—Revision 0: Initial Version

## 機能ブロック図



<sup>1</sup>GPIO REFERS TO PINS 17, 18, 19, 20, 25, AND 27.

09555-001

図 1.

## 概要

ADF7023-J は、902MHz~958MHz 周波数帯用に設計された超低消費電力の高性能、高集積 2FSK/GFSK/MSK/GMSK トランシーバーです。950MHz の ARIB 規格の T96 帯域をカバーし、データ・レート 1kbps~300kbps をサポートしています。

送信 RF シンセサイザは VCO と低ノイズのフラクショナル N フェーズ・ロック・ループ (PLL) を内蔵しており、出力チャンネルの周波数分解能は 400Hz です。VCO は、スプリアス放射を減らすために基本周波数の 2 倍の周波数で動作します。受信および送信シンセサイザの帯域幅は、位相ノイズ、変調品質、セトリング時間を最適化できるように、自動的かつ個別に設定されます。トランスミッタの出力電力は -20dBm から +13.5dBm までプログラム可能で、トランジェントのスプリアスの仕様を満たすために自動 PA ランピング機能を備えています。このデバイスはシングルエンド PA と差動 PA の両方を処理することで、Tx アンテナ・ダイバーシティを実現しています。

レシーバーは極めて高い直線性を有しており、最大ゲインで -12.2dBm、最小ゲインで -11.5dBm の IP3 仕様と、最大ゲインで 18.5dBm、最小ゲインで 27dBm の IP2 仕様を実現しています。レシーバーは、±2MHz オフセットで 66dB、±10MHz オフセットで 74dB の干渉ブロッキング仕様を実現しています。したがってこのデバイスは、スペクトル・ノイズの多い環境で非常に優れた耐干渉性を発揮します。レシーバーは新設計の高速 AFC ループを備えており、復元したパケット内のあらゆる RF 周波数エラーを PLL により検出し、訂正することが可能です。イメージ除去キャリブレーション・ファームウェア・モジュールをダウンロードして RAM をプログラムすれば、特許申請中のイメージ除去キャリブレーション方式を利用することができます。このアルゴリズムは外部の RF ソースを必要とせず、一度開始すればユーザが介入する必要がありません。キャリブレーションの結果は不揮発性メモリに保存して、その後のトランシーバーのパワーアップ時に使用することができます。

ADF7023-J は 2.2V~3.6V の電源電圧範囲で動作し、Tx モードでも Rx モードでも消費電力が極めて小さいので、優れた RF 性能を維持しながら、バッテリー駆動システムを長時間にわたって動作させることができます。このデバイスは、低消費電力のスリ

ープ・モードになった場合でも、バッテリー・バックアップ・ランダム・アクセス・メモリ (BBRAM) に構成設定を保存しておくことができます。

ADF7023-J は超低消費電力が特長のオンチップ通信プロセッサです。8 ビット RISC プロセッサである通信プロセッサが、無線制御、パケット管理、およびスマート・ウェイク・モード (SWM) 機能を実行します。この通信プロセッサは、代表的な通信プロトコル・スタックの下層側を組み込んでいるため、コンパニオン・プロセッサの処理負荷が軽減されます。また、ファームウェア・モジュールをダウンロードして実行することも可能で、使用可能なモジュールには、イメージ除去 (IR) キャリブレーション、高度暗号化規格 (AES) による暗号化、およびリードソロモン・コーディング用のものがあります。これらのファームウェア・モジュールは、<ftp://ftp.analog.com/pub/RFL/FirmwareModules> からオンラインでダウンロードできます。

通信プロセッサは、ホスト・プロセッサ用のシンプルなコマンドベースの無線制御インターフェースを備えています。1 バイトのコマンドによって、無線の状態遷移を行ったり無線機能を実行したりします。

通信プロセッサは、一般的なパケット・フォーマットをサポートしています。パケット・フォーマットに関しては非常に柔軟性が高く、完全にプログラム可能なので、独自のプロファイルを持つパケットにも対応可能です。送信モードでは、パケット RAM に保存されたペイロード・データにプリアンブル、同期ワード、CRC を追加するように通信プロセッサを設定することができます。また、受信モードでは、プリアンブル、同期ワード、アドレス、および CRC の受信時に、ホスト・プロセッサを検出して割込みをかけ、受信ペイロードをポケット RAM に保存することができます。ADF7023-J は、それぞれ個別に設定可能な MAC レベル割込みと PHY レベル割込みからなる効率的な割込みシステムを使用しています。ペイロード・データと 16 ビットの CRC は、マンチェスタ・エンコーディングまたは 8b/10b エンコーディングを使ってエンコード/デコードすることができます。また、データのホワイトニングとデホワイトニングを行うことも可能です。

SWM は、内蔵のウェイクアップ・タイマーを使用して、ホスト・プロセッサを介在させることなく、ADF7023-J を自律的にスリープ・モードからウェイクアップさせることができます。ウェイクアップ後の ADF7023-J は、通信プロセッサによって制御されます。この機能により、ホスト・プロセッサがスリープ状態でも、キャリア検出、パケット・スニффイング、パケット受信を自律的に行うことが可能になるので、システム全体の消費電流が減少します。スマート・ウェイク・モードでは、割込み条件に基づいてホスト・プロセッサをウェイクアップさせることができます。これらの割込み条件は、有効なプリアンブル、同期ワード、CRC、またはアドレス・マッチの受信を含むように設定することができます。スリープ・モードからのウェイクアップは、ホスト・プロセッサによってトリガすることもできます。極めて正確なウェイクアップ・タイミングを必要とするシステムでは、32kHz 発振器を使用してウェイクアップ・タイマーを駆動することができます。あるいは内部 RC 発振器を使用することも可能で、この場合はスリープ時の消費電流が更に小さくなります。

ADF7023-J はハードウェア・アクセラレータ付きの AES エンジンを用意しており、128 ビット、192 ビット、256 ビットの鍵サイズで 128 ビット・ブロック暗号の生成と復号を行うことが可能で、電子コード・ブロック (ECB) と暗号ブロック・チェーン・モード 1 (CBC モード 1) の両方をサポートしています。AES エンジンは、パケット・データの暗号化と復号に使用することができる他、ホスト・プロセッサによる暗号化/復号用のスタンドアロン・エンジンとして使用することもできます。ADF7023-J の AES エンジンは、AES ファームウェア・モジュールをダウンロードして RAM をプログラムすることによってイネーブルします。

オンチップの 8 ビット ADC は、外部アナログ入力、RSSI 信号、または内蔵温度センサーのリードバック機能を備えています。内蔵のバッテリー電圧モニタは、バッテリー電圧がユーザ定義の閾値を下回ると、ホスト・プロセッサに対して割込みフラグをセットします。

## 仕様

特に指定のない限り、 $V_{DD} = V_{DDBAT1} = V_{DDBAT2} = 2.2V \sim 3.6V$ 、 $GND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。代表的な仕様は、 $V_{DD} = 3V$ 、 $T_A = 25^\circ C$ で規定された値です。

## RF およびシンセサイザの仕様

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>RF CHARACTERISTICS</b>					
Frequency Range	902		958	MHz	
<b>PHASE-LOCKED LOOP</b>					
Channel Frequency Resolution		396.7		Hz	PA 出力電力 = 10dBm、RF 周波数 = 950MHz
Phase Noise at Offset of					
600 kHz		-116.3		dBc/Hz	130kHz クローズドループ帯域幅 <sup>1</sup>
800 kHz		-119.4		dBc/Hz	130kHz クローズドループ帯域幅
600 kHz		-113.8		dBc/Hz	223 kHz クローズドループ帯域幅 <sup>2</sup>
800 kHz		-117.2		dBc/Hz	223 kHz クローズドループ帯域幅
1 MHz		-126		dBc/Hz	
2 MHz		-131		dBc/Hz	
10 MHz		-142		dBc/Hz	
VCO Calibration Time		142		$\mu s$	
Synthesizer Settling Time		56		$\mu s$	周波数シンセサイザは、VCO キャリブレーション、送信、および受信の後、この時間内にターゲット周波数の $\pm 5ppm$ 以内にセトリングします (2FSK/GFSK/MSK/GMSK)
Integer Boundary Spurious <sup>3</sup>					N = 35 または 36
$(26 \text{ MHz} \times N) + 0.1 \text{ MHz}$		-39		dBc	130kHz のシンセサイザ帯域幅、910MHz (26MHz $\times$ 35) の整数境界スプリアスを使用、シンセサイザ・ループ帯域幅内
$(26 \text{ MHz} \times N) + 1.0 \text{ MHz}$		-79		dBc	130kHz のシンセサイザ帯域幅、910MHz (26MHz $\times$ 35) の整数境界スプリアスを使用、シンセサイザ・ループ帯域幅外
<b>CRYSTAL OSCILLATOR</b>					
Crystal Frequency		26		MHz	並列負荷共振発振器
Recommended Load Capacitance	7		18	pF	
Maximum Crystal ESR		1800		$\Omega$	18pF の負荷容量を備えた 26MHz 水晶発振器
Pin Capacitance		2.1		pF	XOSC26P および XOSC26N 用の容量
Start-Up Time		310		$\mu s$	7pF の負荷容量を備えた 26MHz 水晶発振器
		388		$\mu s$	18pF の負荷容量を備えた 26MHz 水晶発振器

<sup>1</sup> T96/15.4g の 50kbps および 100kbps データ・レートには、130kHz クローズドループ帯域幅を推奨します (表 31 を参照)。

<sup>2</sup> T96/15.4g の 200kbps データ・レートには、223kHz クローズドループ帯域幅を推奨します (表 31 を参照)。

<sup>3</sup> 26MHz XTAL は固定なので、整数境界スプリアスは 910MHz と 936MHz (N = 35 と N = 36) で発生します。

## トランスミッタ仕様

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DATA RATE					
2FSK/GFSK/MSK/GMSK	1		300	kbps	
Data Rate Resolution		100		bps	
MODULATION ERROR RATIO (MER) <sup>1</sup>					RF 周波数 = 957.2MHz、GFSK
10 kbps to 49.5 kbps		25.4		dB	変調指数 = 1
49.6 kbps to 129.5 kbps		25.3		dB	変調指数 = 1
129.6 kbps to 179.1 kbps		23.9		dB	変調指数 = 0.5
179.2 kbps to 239.9 kbps		23.3		dB	変調指数 = 0.5
240 kbps to 300 kbps		23		dB	変調指数 = 0.5
MODULATION ERROR RATIO 15.4 g DATA RATES					T96 ルックアップ・テーブル (LUT) による <sup>2</sup>
50 kbps		25.4		dB	変調指数 = 1
100 kbps		28.9		dB	変調指数 = 1
200 kbps		25.9		dB	変調指数 = 1
100 kbps		24.3		dB	変調指数 = 0.5
MODULATION					
2FSK/GFSK/MSK/GMSK Frequency Deviation	0.1		409.5	kHz	
Deviation Frequency Resolution		100		Hz	
Gaussian Filter Bandwidth-Time (BT) Product		0.5			
SINGLE-ENDED PA					
Maximum Power <sup>3</sup>		13.5		dBm	プログラム可能な分離 PA/LNA マッチ <sup>4</sup>
Minimum Power		-20		dBm	
Transmit Power Variation vs. Temperature		±0.5		dB	-40°C~+85°C、RF 周波数 = 958.0MHz
Transmit Power Variation vs. V <sub>DD</sub>		±1		dB	2.2V~3.6V、RF 周波数 = 958.0MHz
Transmit Power Flatness		±1		dB	902MHz~928MHz、および 950MHz~958MHz
Programmable Step Size					
-20 dBm to +13.5 dBm		0.5		dB	63 ステップでプログラム可能
DIFFERENTIAL PA					
Maximum Power <sup>3</sup>		10		dBm	プログラム可能
Minimum Power		-20		dBm	
Transmit Power Variation vs. Temperature		±1		dB	-40°C~+85°C、RF 周波数 = 958.0MHz
Transmit Power Variation vs. V <sub>DD</sub>		±2		dB	2.2V~3.6V、RF 周波数 = 958.0MHz
Transmit Power Flatness		±1		dB	902MHz~928MHz、および 950MHz~958MHz
Programmable Step Size					
-20 dBm to +10 dBm		0.5		dB	63 ステップでプログラム可能

パラメータ	Min	Typ	Max	単位	テスト条件/コメント	
<b>SPURIOUS EMISSIONS</b>						
30 MHz to 710 MHz		-65		dBm/100 kHz	TELEC T-245 に従い T96 への適合性を測定、950MHz~958MHz 帯、結合出力のシングルエンド PA。1.8845GHz~1.9196GHz 周波数帯のスプリアス放射に関する適合性については、7次 PA 高調波フィルタを使用。このフィルタの挿入損失は最大 1.5dB です。  DR = 100kbps、MI = 1、n = 2、f <sub>c</sub> = 957.3MHz	
710 MHz to 945 MHz		-63		dBm/1 MHz		
945 MHz to 950 MHz		-66		dBm/100 kHz		
958 MHz to 960 MHz		-60.7		dBm/100 kHz		
960 MHz to 1 GHz		-64		dBm/100 kHz		
1 GHz to 1.215 GHz		-72		dBm/1 MHz		
1.215 GHz to 1.8845 GHz		-76		dBm/1 MHz		
1.8845 GHz to 1.9196 GHz <sup>5</sup>		-69		dBm/1 MHz		
1.9196 GHz to 3 GHz		-66		dBm/1 MHz		
3 GHz to 5 GHz		-69		dBm/1 MHz		
<b>OPTIMUM PA LOAD IMPEDANCE</b>						
Single-Ended PA in Transmit Mode						
f <sub>RF</sub> = 915 MHz		50.8 + j10.2		Ω	Rx モードの PA インピーダンス	
f <sub>RF</sub> = 954MHz		38.5 + j5.9		Ω		
Single-Ended PA in Receive Mode						
f <sub>RF</sub> = 915 MHz		9.4 - j124		Ω		
f <sub>RF</sub> = 954 MHz		8.8 - j118.5		Ω	最大出力電力を確保するための RFIO_1P と RFIO_1N の間の負荷インピーダンス	
Differential PA in Transmit Mode						
f <sub>RF</sub> = 915 MHz		20.5 + j36.4		Ω		
f <sub>RF</sub> = 954 MHz		28.1 + j17.3		Ω		

<sup>1</sup> MER は最適アイ・サンプリング・ポイントにおける S/N 比の程度を表す値。

<sup>2</sup> 表 31 に定義されたデータ・レートに対し最適化された PLL 帯域幅設定。

<sup>3</sup> 最大未変調電力として測定。

<sup>4</sup> 結合シングルエンド PA/LNA マッチの場合は、実現可能な最大出力電力が最大で 1dB 低下する可能性があります。

<sup>5</sup> これには 2 次高調波が含まれます。



## レシーバーの仕様

表 3.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
2FSK/MSK INPUT SENSITIVITY, BIT ERROR RATE (BER)					BER = 1e-3 で RF 周波数 = 915MHz、LNA と PA を個別にマッチング <sup>1</sup>
1.0 kbps		-116		dBm	周波数偏差 = 4.8kHz、IF フィルタ帯域幅 = 100kHz
10 kbps		-111		dBm	周波数偏差 = 9.6kHz、IF フィルタ帯域幅 = 100kHz
38.4 kbps		-107.5		dBm	周波数偏差 = 20kHz、IF フィルタ帯域幅 = 100kHz
50 kbps		-106.5		dBm	周波数偏差 = 12.5kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-105		dBm	周波数偏差 = 25kHz、IF フィルタ帯域幅 = 100kHz
150 kbps		-104		dBm	周波数偏差 = 37.5kHz、IF フィルタ帯域幅 = 150kHz
200 kbps		-103		dBm	周波数偏差 = 50kHz、IF フィルタ帯域幅 = 200kHz
300 kbps		-100.5		dBm	周波数偏差 = 75kHz、IF フィルタ帯域幅 = 300kHz
GFSK/GMSK INPUT SENSITIVITY, BER					BER = 1e-3 で RF 周波数 = 954MHz、LNA と PA を個別にマッチング <sup>1</sup>
50 kbps		-107.4		dBm	周波数偏差 = 25kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-105		dBm	周波数偏差 = 50kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-106		dBm	周波数偏差 = 40kHz、IF フィルタ帯域幅 = 100kHz
200 kbps		-102		dBm	周波数偏差 = 100kHz、IF フィルタ帯域幅 = 200kHz
200 kbps		-103.3		dBm	周波数偏差 = 80kHz、IF フィルタ帯域幅 = 200kHz
2FSK/MSK INPUT SENSITIVITY, PACKET ERROR RATE (PER)					PER = 1% で RF 周波数 = 915MHz、LNA と PA を個別にマッチング <sup>1</sup> 、パケット長 = 128 ビット、パケット・モード
1.0 kbps		-115.5		dBm	周波数偏差 = 4.8kHz、IF フィルタ帯域幅 = 100kHz
9.6 kbps		-110.6		dBm	周波数偏差 = 9.6kHz、IF フィルタ帯域幅 = 100kHz
38.4 kbps		-106		dBm	周波数偏差 = 20kHz、IF フィルタ帯域幅 = 100kHz
50 kbps		-104.3		dBm	周波数偏差 = 12.5kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-102.6		dBm	周波数偏差 = 25kHz、IF フィルタ帯域幅 = 100kHz
150 kbps		-101		dBm	周波数偏差 = 37.5kHz、IF フィルタ帯域幅 = 150kHz
200 kbps		-99.1		dBm	周波数偏差 = 50kHz、IF フィルタ帯域幅 = 200kHz
300 kbps		-97.9		dBm	周波数偏差 = 75kHz、IF フィルタ帯域幅 = 300kHz

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
GFSK/GMSK INPUT SENSITIVITY, PER					PER = 1%で RF 周波数 = 954MHz、LNA と PA を個別にマッチング、パケット長 = 20 ビット、パケット・モード
50 kbps		-104.1		dBm	周波数偏差 = 25kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-101.1		dBm	周波数偏差 = 50kHz、IF フィルタ帯域幅 = 100kHz
100 kbps		-102.2		dBm	周波数偏差 = 40kHz、IF フィルタ帯域幅 = 100kHz
200 kbps		-98.5		dBm	周波数偏差 = 100kHz、IF フィルタ帯域幅 = 200kHz
200 kbps		-99.5		dBm	周波数偏差 = 80kHz、IF フィルタ帯域幅 = 200kHz
LNA AND MIXER, INPUT IP3					レシーバーLO 周波数 ( $f_{LO}$ ) = 914.8MHz、 $f_{SOURCE1} = f_{LO} + 0.4MHz$ 、 $f_{SOURCE2} = f_{LO} + 0.7MHz$
Minimum LNA Gain		-11.5		dBm	
Maximum LNA Gain		-12.2		dBm	
LNA AND MIXER, INPUT IP2					レシーバーLO 周波数 ( $f_{LO}$ ) = 920.8MHz、 $f_{SOURCE1} = f_{LO} + 1.1MHz$ 、 $f_{SOURCE2} = f_{LO} + 1.3MHz$
Maximum LNA Gain, Maximum Mixer Gain		18.5		dBm	
Minimum LNA Gain, Minimum Mixer Gain		27		dBm	
LNA AND MIXER, 1 dB COMPRESSION POINT					RF 周波数 = 915MHz
Maximum LNA Gain, Maximum Mixer Gain		-21.9		dBm	
Minimum LNA Gain, Minimum Mixer Gain		-21		dBm	
ADJACENT CHANNEL REJECTION					
CW Interferer					-87dBm での必要信号、CW 干渉源の電力レベルを BER = $62^{-6}$ まで増加、イメージ補正
±200 kHz Offset		38		dB	IF BW = 100kHz、必要信号： $f_{DEV} = 25kHz$ 、DR = 50kbps
+400 kHz Offset		51		dB	
-400 kHz Offset		33/39		dB	未キャリブレーション/内部キャリブレーション (200kHzのIFを使用、-400kHzはイメージ周波数)
CO-CHANNEL REJECTION		-6		dB	-87dBm における必要信号、データ・レート = 50kbps、周波数偏差 = 25kHz、RF 周波数 = 954MHz
BLOCKING					
RF Frequency = 954 MHz					入力感度レベルより 3dB 高い必要信号 データ・レート = 50kbps、 CW 干渉源の電力レベルを BER = $10^{-3}$ まで増加 (他のオフセットおよびIF帯域幅でのブロックングについては、代表的な性能特性のセクションを参照)、イメージ補正
±2 MHz		65		dB	
±10 MHz		72		dB	
±60 MHz		76		dB	
IMAGE CHANNEL ATTENUATION					IF フィルタ出力におけるイメージ減衰として測定、チャンネル周波数より 400kHz 下でのキャリア (CW) 干渉源、100kHz IF フィルタ帯域幅
954 MHz		36/43.8		dB	未キャリブレーション/キャリブレーション

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
AFC					
Accuracy		1		kHz	弁別器の帯域幅と変調に応じた実現可能なブ ルイン・レンジ
Maximum Pull-In Range					
300 kHz IF Filter Bandwidth		±150		kHz	
200 kHz IF Filter Bandwidth		±100		kHz	
150 kHz IF Filter Bandwidth		±75		kHz	
100 kHz IF Filter Bandwidth		±50		kHz	
PREAMBLE LENGTH					全入力電力範囲を通じて最小 PER を確保する ためのプリアンプル・ビットの最小数 (表 41 を参照)
AFC Off, AGC Lock on Sync Word Detection					同期ワード長 24 ビット
38.4 kbps		8		Bits	同期ワードのエラー許容値 = 0
300 kbps		24		Bits	同期ワードのエラー許容値 = 1
AFC On, AFC and AGC Lock on Preamble Detection					
9.6 kbps		46		Bits	
38.4 kbps		44		Bits	
50 kbps		50		Bits	
100 kbps		52		Bits	
150 kbps		54		Bits	
200 kbps		58		Bits	
300 kbps		64		Bits	
AFC On, AFC and AGC Lock on Sync Word Detection					同期ワード長 24 ビット
38.4 kbps		14		Bits	同期ワードのエラー許容値 = 0
300 kbps		32		Bits	同期ワードのエラー許容値 = 1
RSSI					
Range at Input		-97 to -26		dBm	
Linearity		±2		dB	
Absolute Accuracy		±3		dB	
SATURATION (MAXIMUM INPUT LEVEL)					
2FSK/GFSK/MSK/GMSK		12		dBm	
LNA INPUT IMPEDANCE					
Receive Mode					
$f_{RF} = 915 \text{ MHz}$		75.9 - j32.3		$\Omega$	
$f_{RF} = 954 \text{ MHz}$		74.6 - j32.5		$\Omega$	
Transmit Mode					
$f_{RF} = 915 \text{ MHz}$		7.7 + j8.6		$\Omega$	
$f_{RF} = 954 \text{ MHz}$		7.7 + j8.9		$\Omega$	
Rx SPURIOUS EMISSIONS <sup>2</sup>					
Maximum < 1 GHz		-66		dBm	アンテナ入力位置、フィルタなしの伝導スプ リアス
Maximum > 1 GHz		-62		dBm	アンテナ入力位置、フィルタなしの伝導スプ リアス

<sup>1</sup> 結合マッチング回路の感度は、通常、分離マッチング回路の場合より 1dB 低くなります。

<sup>2</sup> 関連する ARIB-T96/TELEC T-245 仕様を満たすには、マッチングおよびレイアウトのガイドラインに従ってください。

## タイミング仕様とデジタル仕様

表 4.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント	
Rx AND Tx TIMING PARAMETERS						
PHY_ON to PHY_RX (on CMD_PHY_RX)		300		μs	詳細については、状態遷移とコマンド・タイミングのセクションを参照してください VCO キャリブレーションとシンセサイザ・セトリングを含みます VCO キャリブレーションとシンセサイザ・セトリングを含み、PA ランプ・アップを含みません	
PHY_ON to PHY_TX (on CMD_PHY_TX)		296		μs		
LOGIC INPUTS						
Input High Voltage, $V_{INH}$	$0.7 \times V_{DD}$			V		
Input Low Voltage, $V_{INL}$			$0.2 \times V_{DD}$	V		
Input Current, $I_{INH}/I_{INL}$			$\pm 1$	μA		
Input Capacitance, $C_{IN}$			10	pF		
LOGIC OUTPUTS						
Output High Voltage, $V_{OH}$	$V_{DD} - 0.4$			V	$I_{OH} = 500\mu A$ $I_{OL} = 500\mu A$	
Output Low Voltage, $V_{OL}$			0.4	V		
GPIO Rise/Fall			5	ns		
GPIO Load			10	pF		
Maximum Output Current		5		mA		
ATB OUTPUTS						
ADCIN_ATB3 and ATB4						
Output High Voltage, $V_{OH}$		1.8		V	外部 PA および LNA の制御に使用	
Output Low Voltage, $V_{OL}$		0.1		V		
Maximum Output Current		0.5		mA		
XOSC32KP_GP5_ATB1 and XOSC32KN_ATB2						
Output High Voltage, $V_{OH}$		$V_{DD}$		V		
Output Low Voltage, $V_{OL}$		0.1		V		
Maximum Output Current		5		mA		

## 補助ブロック仕様

表 5.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
32 kHz RC OSCILLATOR					
Frequency		32.768		kHz	キャリブレーション後 25°Cでのキャリブレーション後
Frequency Accuracy		1.5		%	
Frequency Drift					
Temperature Coefficient		0.14		%/°C	
Voltage Coefficient		4		%/V	
Calibration Time		1.25		ms	
32 kHz XTAL OSCILLATOR					
Frequency		32.768		kHz	7pFの負荷容量を備えた 32.768 kHz 水晶発振器
Start-Up Time		630		ms	
WAKE UP CONTROLLER (WUC)					
Hardware Timer					ファームウェア・カウンタがカウントしたハードウェア・ウェイクアップの回数、分解能 16 ビット
Wake-Up Period	$61 \times 10^{-6}$		$1.31 \times 10^5$	sec	
Firmware Timer					
Wake-Up Period	1		$2^{16}$	Hardware periods	
ADC					ADCIN_ATB3 における最大入力電圧は 1.8V
Resolution		8		Bits	$V_{DD} = 2.2V \sim 3.6V$ 、 $T_A = 25^\circ C$ $V_{DD} = 2.2V \sim 3.6V$ 、 $T_A = 25^\circ C$
DNL		$\pm 1$		LSB	
INL		$\pm 1$		LSB	
Conversion Time		1		$\mu s$	
Input Capacitance		12.4		pF	
BATTERY MONITOR					
Absolute Accuracy		$\pm 45$		mV	5 ビット分解能 イネーブル時
Alarm Voltage Setpoint	1.7		2.7	V	
Alarm Voltage Step Size		62		mV	
Start-Up Time			100	$\mu s$	
Current Consumption		30		$\mu A$	
TEMPERATURE SENSOR					
Range	-40		+85	°C	平均算出時
Resolution		0.3		°C	
Accuracy of Temperature Readback		$+7/-4$		°C	
		$\pm 4$		°C	温度範囲は-36°C~+84°C (+25°Cでキャリブレーション)
		$\pm 3$		°C	温度範囲は-12°C~+79°C (+25°Cでキャリブレーション)

## 一般仕様

表 6.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
TEMPERATURE RANGE, T <sub>A</sub>	-40		+85	°C	
VOLTAGE SUPPLY V <sub>DD</sub>	2.2		3.6	V	VDDBAT1 と VDDBAT2 に印加
TRANSMIT CURRENT CONSUMPTION					PHY_TX ステートでは、シングルエンド PA は 50Ω にマッチングされ、差動 PA は 100Ω にマッチングされます (分離シングルエンド PA/LNA マッチ、結合差動 PA/LNA マッチ)
Single-Ended PA, 915 MHz					
-10 dBm		10.3		mA	
0 dBm		13.3		mA	
10 dBm		24.1		mA	
13.5 dBm		32.1		mA	
Differential PA, 915 MHz					
-10 dBm		9.3		mA	
0 dBm		12		mA	
5 dBm		16.7		mA	
10 dBm		28		mA	
POWER MODES					
PHY_SLEEP (Deep Sleep Mode 2)		0.18		μA	スリープ・モード、ウェイクアップ設定値 (BBRAM) を保持しない
PHY_SLEEP (Deep Sleep Mode 1)		0.33		μA	スリープ・モード、ウェイクアップ設定値 (BBRAM) を保持
PHY_SLEEP (RCO Wake Mode)		0.75		μA	WUC アクティブ、RC 発振器作動、ウェイクアップ設定値を保持 (BBRAM)
PHY_SLEEP (XTO Wake Mode)		1.28		μA	WUC アクティブ、32kHz 水晶発振器作動、ウェイクアップ設定を保持 (BBRAM)
PHY_OFF		1		mA	PHY_OFF ステートのデバイス、26MHz 発振器作動、デジタルおよびシンセサイザ・レギュレータがアクティブ、すべてのレジスタ値を保持
PHY_ON		1		mA	PHY_ON ステートのデバイス、26MHz 発振器作動、デジタル/シンセサイザ/VCO/RF レギュレータがアクティブ、ベースバンド・フィルタのキャリブレーション実行、すべてのレジスタ値を保持
PHY_RX (ADC, AGC Off)		11.9		mA	PHY_Rx ステートのデバイス、ADC オフ、マニュアル AGC ゲイン
PHY_RX (ADC, AGC On)		12.8		mA	PHY_RX ステートのデバイス
SMART WAKE MODE					平均電流消費量
		21.78		μA	1 秒ごとに自律受信、受信ドウェル時間 1.25ms、RC 発振器を使用、データ・レート = 38.4kbps
		11.75		μA	1 秒ごとに自律受信、受信ドウェル時間 0.5ms、RC 発振器を使用、データ・レート = 300kbps

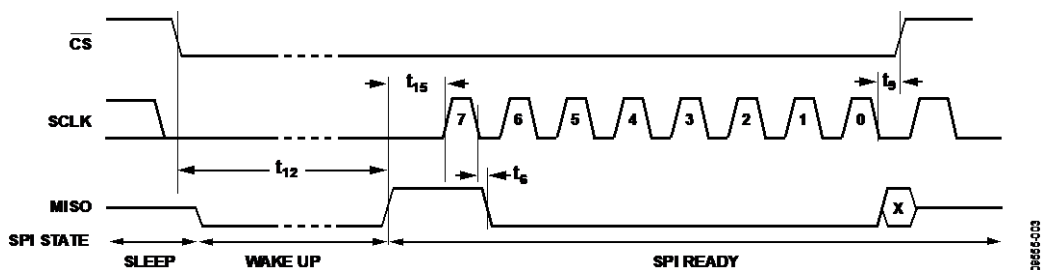
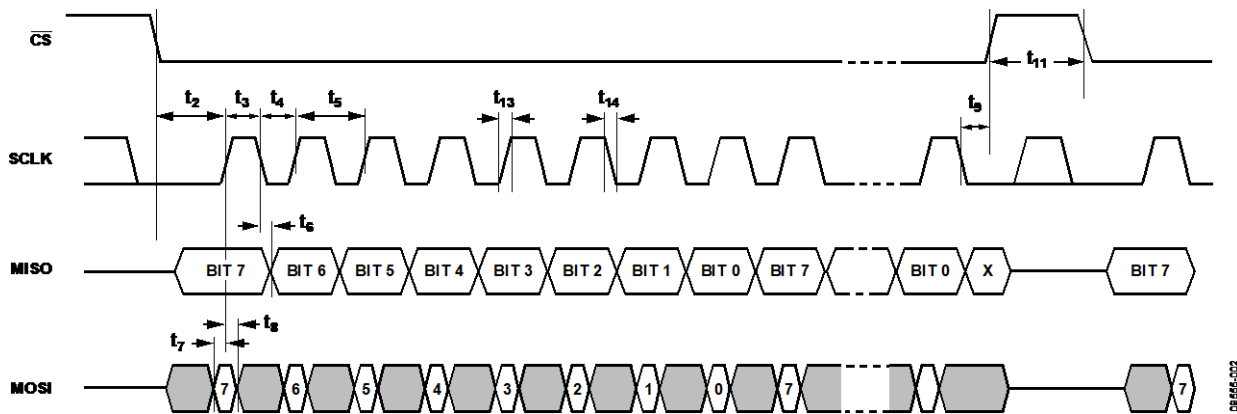
## タイミング仕様

特に指定のない限り、 $V_{DD} = V_{DDBAT1} = V_{DDBAT2} = 2.2V \sim 3.6V$ 、 $V_{GND} = GND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 7. SPI インターフェースのタイミング

パラメータ	限界値	単位	テスト条件/コメント
$t_2$	85	ns min	$\overline{CS}$ から SCLK までのセットアップ時間
$t_3$	85	ns min	SCLK ハイ時間
$t_4$	85	ns min	SCLK ロー時間
$t_5$	170	ns min	SCLK 周期
$t_6$	10	ns max	SCLK 立下がりエッジから MISO 遅延まで
$t_7$	5	ns min	MOSI から SCLK 立上がりエッジ・セットアップまでの時間
$t_8$	5	ns min	MOSI から SCLK 立上がりエッジ・ホールドまでの時間
$t_9$	85	ns min	SCLK 立下がりエッジから $\overline{CS}$ ホールドまでの時間
$t_{11}$	270	ns min	$\overline{CS}$ 時間
$t_{12}$	310	$\mu s$ typ	$\overline{CS}$ から MISO ハイ・ウェイクアップまでの時間、7pF の負荷コンデンサを使用する 26MHz 水晶発振器、 $T_A = 25^\circ C$
$t_{13}$	20	ns max	SCLK 立上がり時間
$t_{14}$	20	ns max	SCLK 立下がり時間
$t_{15}$	25	$\mu s$ max	通信プロセッサ初期化時間。この時間内はコマンドを発行しないでください。あるいはステータス・ワードをポーリングして、CMD_READY ビットがハイになるまで待ってください。

## タイミング図



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。LFCSP パッケージの露出パドルをグラウンドに接続。

表 8.

Parameter	Rating
VDDBAT1, VDDBAT2 to GND	-0.3 V to +3.96 V
Operating Temperature Range	
Industrial	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
LFCSP $\theta_{JA}$ Thermal Impedance	26°C/W
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは ESD 定格が 2kV 未満の高性能 RF 集積回路で、ESD に対して敏感です。取扱いおよび組立て時には十分に注意してください。

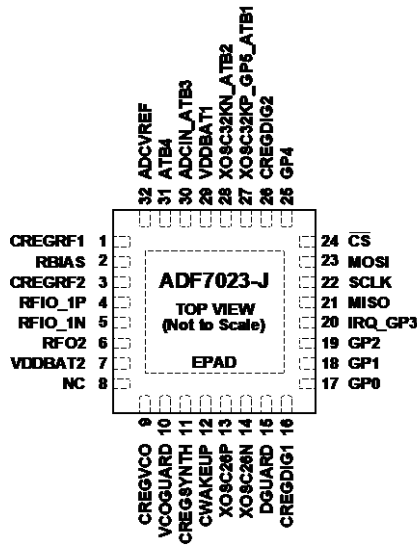
## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能の説明



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. CONNECT EXPOSED PAD TO GND.

図 4. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	CREGRF1	RF用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には220nFのコンデンサを接続してください。
2	RBIAS	外部バイアス抵抗。誤差2%の36kΩ抵抗を使用してください。
3	CREGRF2	RF用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には220nFのコンデンサを接続してください。
4	RFIO_1P	受信モードのLNA正入力。差動PAを使用する送信モードのPA正入力。
5	RFIO_1N	受信モードのLNA負入力。差動PAを使用する送信モードのPA負入力。
6	RFO2	シングルエンドPA出力。
7	VDDBAT2	電源ピン2。グラウンド・プレーンに接続するデカップリング・コンデンサは、できるだけこのピンの近くに配置してください。
8	NC	接続なし。
9	CREGVCO	VCO用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には220nFのコンデンサを接続してください。
10	VCOGUARD	VCO用のガード/スクリーン。このピンはピン9に接続する必要があります。
11	CREGSYNTH	シンセサイザ用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には220nFのコンデンサを接続してください。
12	CWAKEUP	ウェイクアップ制御用の外部コンデンサ。このピンとグラウンドの間には150nFのコンデンサを1個接続する必要があります。
13	XOSC26P	このピンとXOSC26Nの間には26MHzのリファレンス水晶発振器を接続します。XOSC26Nに外部リファレンスを接続する場合、このピンはオープン・サーキットのままにしてください。
14	XOSC26N	このピンとXOSC26Pの間には26MHzのリファレンス水晶発振器を接続します。もしくは、外部26MHzリファレンス信号をこのピンにACカップリングすることもできます。
15	DGUARD	デジタル回路用の内部ガード/スクリーン。このピンとグラウンドの間には220nFのコンデンサを1個接続する必要があります。
16	CREGDIG1	チップのデジタル・セクション用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には220nFのコンデンサを接続してください。これは、このピンをピン15に短絡させ、グラウンドとの間にあるコンデンサを共有することによって実現できます。
17	GP0	デジタルGPIOピン0。
18	GP1	デジタルGPIOピン1。
19	GP2	デジタルGPIOピン2。
20	IRQ_GP3	デジタルGPIOテスト・ピン3の割込み要求。このピンとホスト・プロセッサの間にはRCフィルタを接続する必要があります。推奨値はR = 1.1kΩ、C = 1.5nFです。

ピン番号	記号	説明
21	MISO	シリアル・ポート、マスタ入力/スレーブ出力。
22	SCLK	シリアル・ポート・クロック。
23	MOSI	シリアル・ポート・マスタ出力/スレーブ入力。
24	$\overline{\text{CS}}$	チップ・セレクト (アクティブ・ロー)。ホスト・プロセッサが意図せずに ADF7023-J をスリープ状態からウェイクアップしてしまうのを防ぐために、 $V_{DD}$ に 100k $\Omega$ のプルアップ抵抗を接続することを推奨します。
25	GP4	デジタル GPIO テスト・ピン 4。
26	CREGDIG2	チップのデジタル・セクション用レギュレータ電圧。レギュレータを安定させてノイズを除去するために、このピンとグラウンドの間には 220nF のコンデンサを接続してください。
27	XOSC32KP_GP5_ATB1	デジタル GPIO テスト・ピン 5。このピンと XOSC32KN_ATB2 の間には、32kHz の計時用水晶発振器を接続することができます。アナログ・テスト・ピン 1。
28	XOSC32KN_ATB2	このピンと XOSC32KP_GP5_ATB1 の間には、32kHz の計時用水晶発振器を接続することができます。アナログ・テスト・ピン 2。
29	VDDBAT1	デジタル電源ピン 1。グラウンド・プレーンに接続するデカップリング・コンデンサは、できるだけこのピンの近くに配置してください。
30	ADCIN_ATB3	A/D コンバータ入力。外部 PA イネーブル信号として設定できます。アナログ・テスト・ピン 3。
31	ATB4	アナログ・テスト・ピン 4。外部 LNA イネーブル信号として設定できます。
32	ADCVREF	ADC リファレンス出力。十分なノイズ除去を実現するには、このピンとグラウンドの間に 220nF のコンデンサを接続する必要があります。
	EPAD	パッケージの露出パドルは GND に接続する必要があります。

代表的な性能特性

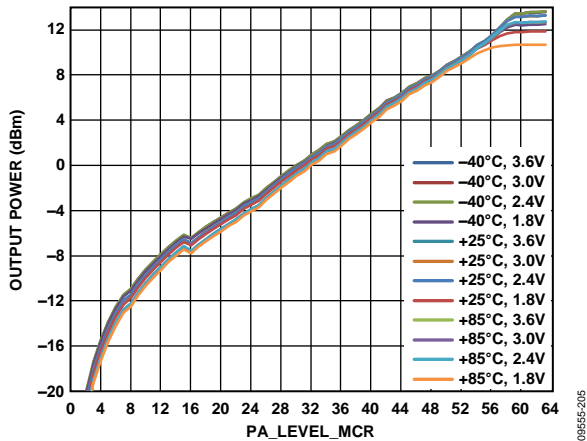


図 5. 915MHz でのシングルエンド PA :  
出力電力と PA\_LEVEL\_MCR 設定、温度、V<sub>DD</sub> の関係  
(最小推奨 V<sub>DD</sub> = 2.2V、1.8V 動作は信頼性確認のため表示)

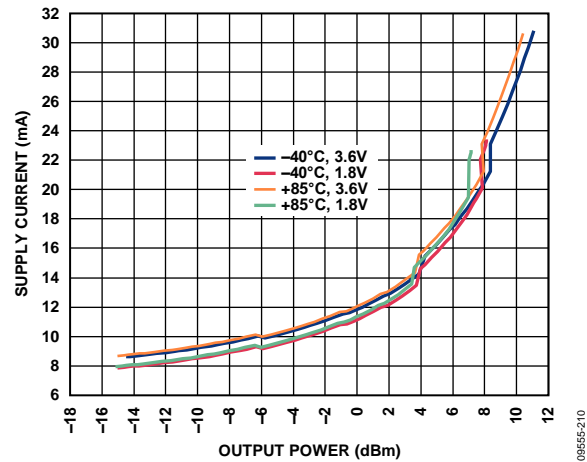


図 8. 915MHz での差動 PA :  
電源電流と出力電力、温度、V<sub>DD</sub> の関係  
(最小推奨 V<sub>DD</sub> = 2.2V、1.8V 動作は信頼性確認のため表示)

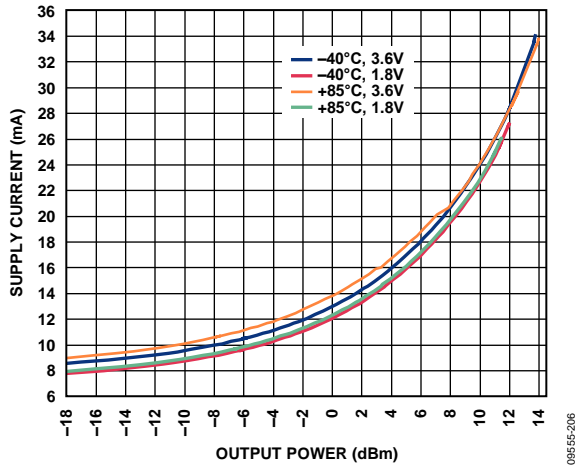


図 6. 915MHz でのシングルエンド PA :  
電源電流と出力電力、温度、V<sub>DD</sub> の関係  
(最小推奨 V<sub>DD</sub> = 2.2V、1.8V 動作は信頼性確認のため表示)

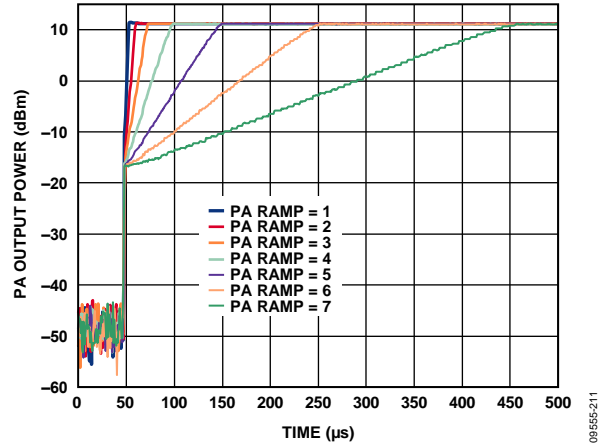


図 9. データ・レート = 38.4kbps での PA ランプ・アップ  
(各種 PA\_RAMP 設定時の値、差動 PA)

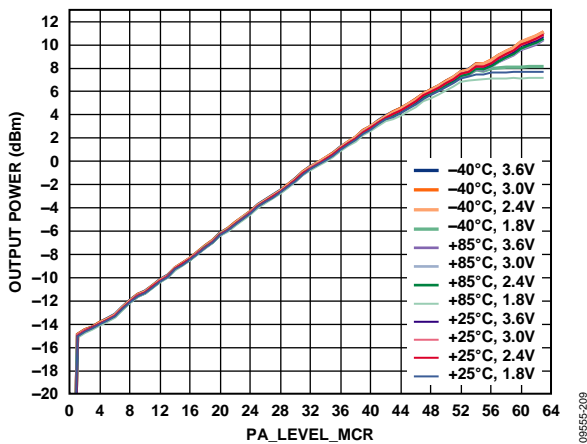


図 7. 915MHz での差動 PA :  
出力電力と PA\_LEVEL\_MCR 設定、温度、V<sub>DD</sub> の関係  
(最小推奨 V<sub>DD</sub> = 2.2V、1.8V 動作は信頼性確認のため表示)

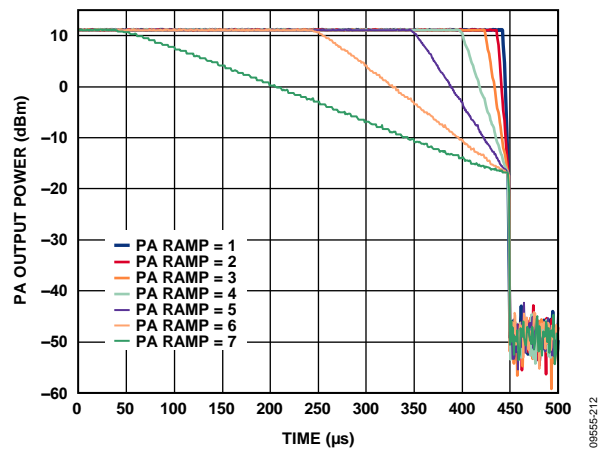


図 10. データ・レート = 38.4kbps での PA ランプ・ダウン  
(各種 PA\_RAMP 設定時の値、差動 PA)

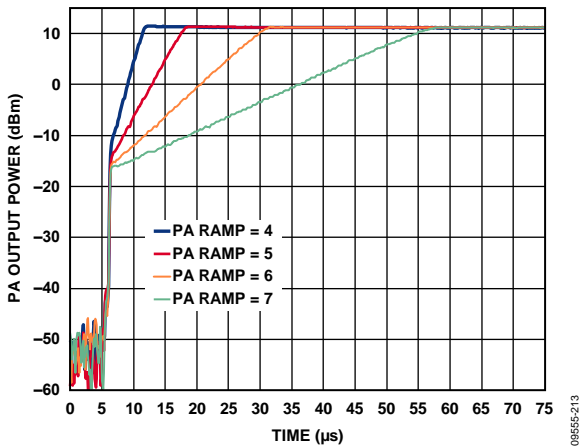


図 11. データ・レート = 300kbps での PA ランプ・アップ (各種 PA\_RAMP 設定時の値、差動 PA)

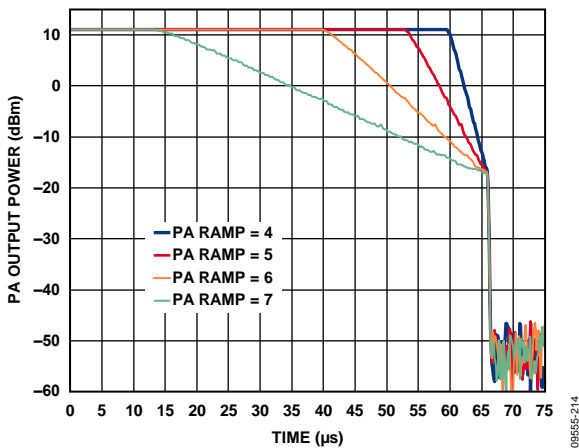


図 12. データ・レート = 300kbps での PA ランプ・ダウン (各種 PA\_RAMP 設定時の値、差動 PA)

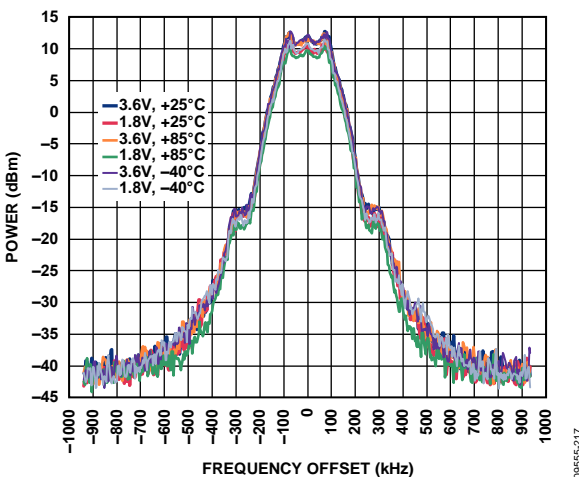


図 13. 928MHz、GFSK、データ・レート = 300kbps、周波数偏差 = 75kHz での送信スペクトラム (最小推奨  $V_{DD} = 2.2V$ 、1.8V 動作は信頼性確認のため表示)

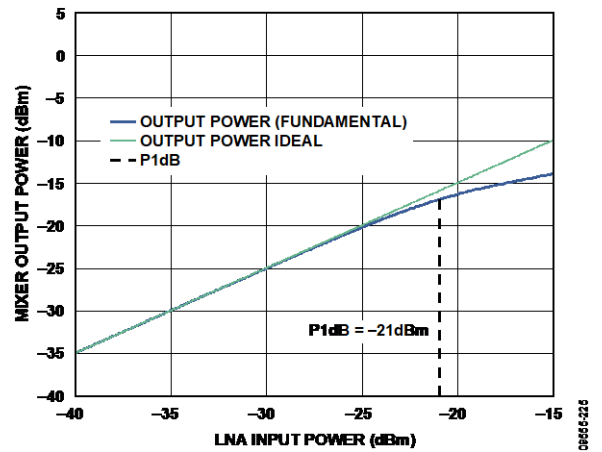


図 14. LNA/ミキサの 1dB 圧縮ポイント ( $V_{DD} = 3.0V$ 、温度 = 25°C、RF 周波数 = 915MHz、LNA ゲイン = ロー、ミキサ・ゲイン = ロー)

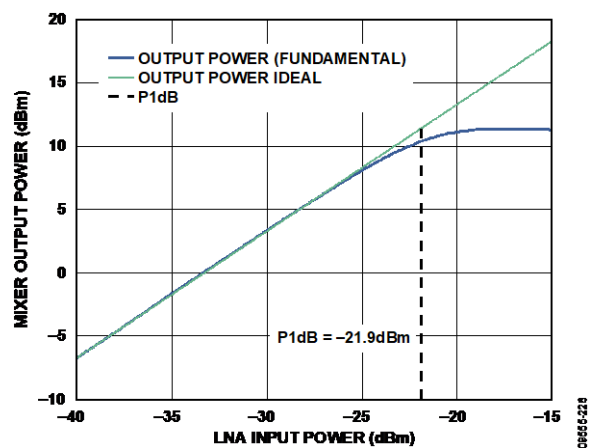


図 15. LNA/ミキサの 1dB 圧縮ポイント ( $V_{DD} = 3.0V$ 、温度 = 25°C、RF 周波数 = 915MHz、LNA ゲイン = ハイ、ミキサ・ゲイン = ハイ)

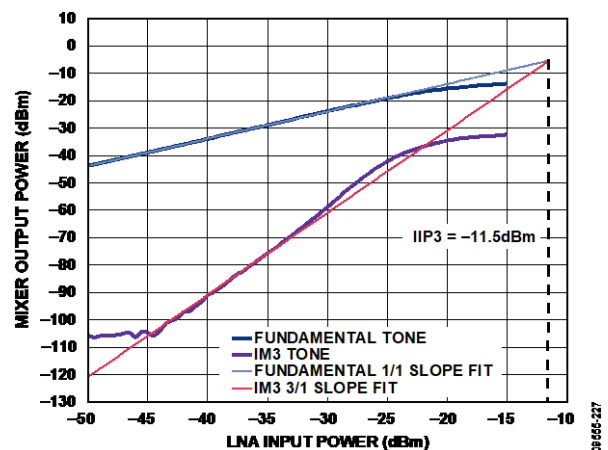


図 16. LNA/ミキサ-I の IP3 ( $V_{DD} = 3.0V$ 、温度 = 25°C、RF 周波数 = 915MHz、LNA ゲイン = ロー、ミキサ・ゲイン = ロー、ソース 1 周波数 = (915 + 0.4) MHz、ソース 2 周波数 = (915 + 0.7) MHz)

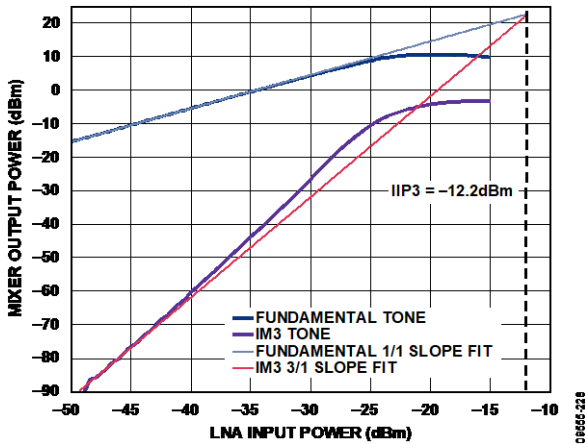


図 17. LNA/ミキサーの IIP3 ( $V_{DD} = 3.0V$ 、温度 = 25°C、RF 周波数 = 915MHz、LNA ゲイン = ハイ、ミキサー・ゲイン = ハイ、ソース 1 周波数 = (915 + 0.4) MHz、ソース 2 周波数 = (915 + 0.7) MHz)

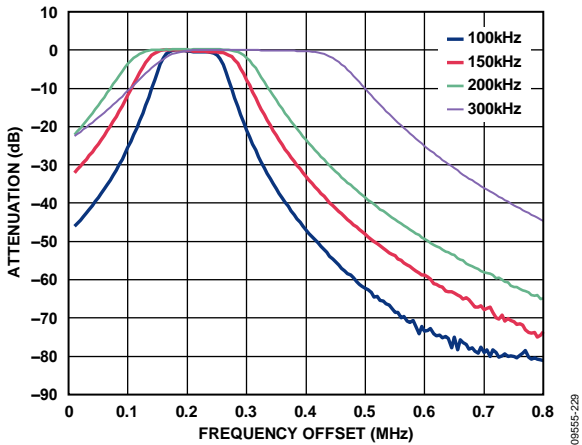


図 18. IF フィルタ・プロファイルと IF 帯域幅の関係 ( $V_{DD} = 3.0V$ 、温度 = 25°C)

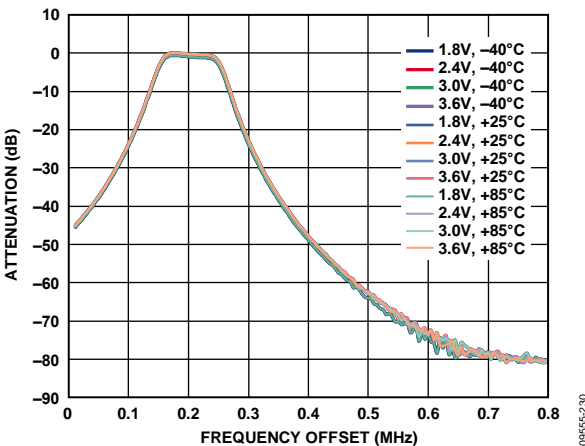


図 19. IF フィルタ・プロファイルと  $V_{DD}$  および温度の関係：  
IF フィルタ帯域幅 100kHz  
(最小推奨  $V_{DD} = 2.2V$ 、1.8V 動作は信頼性確認のため表示)

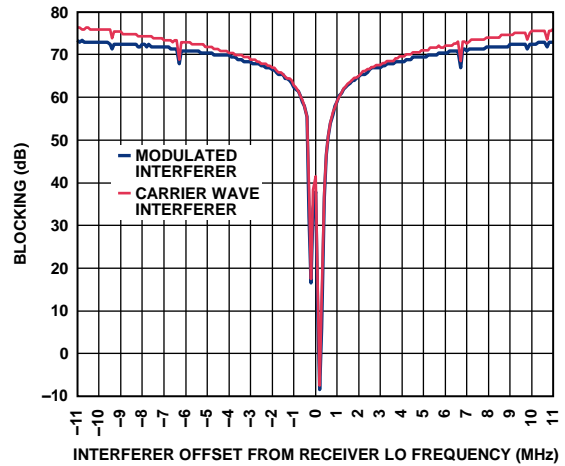


図 20. 915MHz でのレーザ広帯域ブロッキング (データ・レート = 38.4kbps)

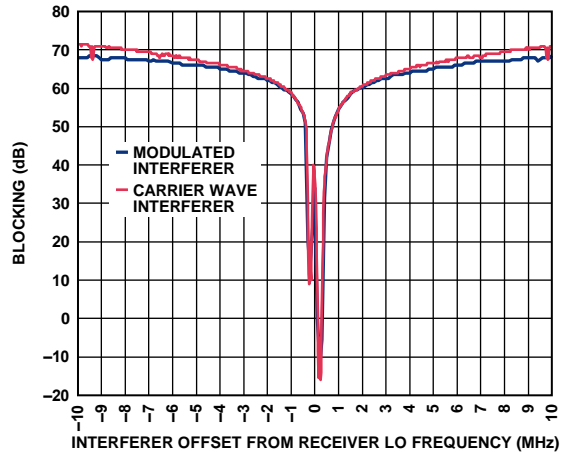


図 21. 915MHz でのレーザ広帯域ブロッキング (データ・レート = 100kbps)

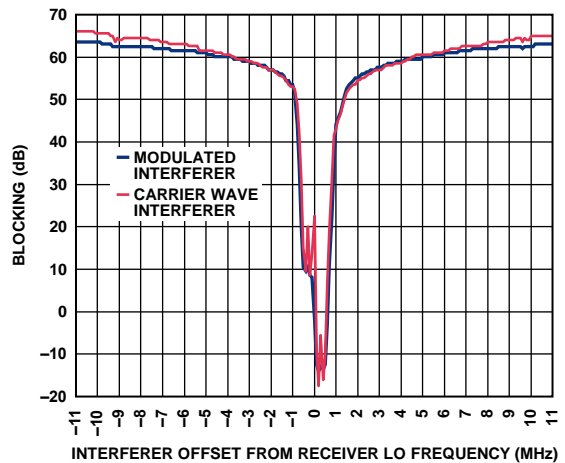
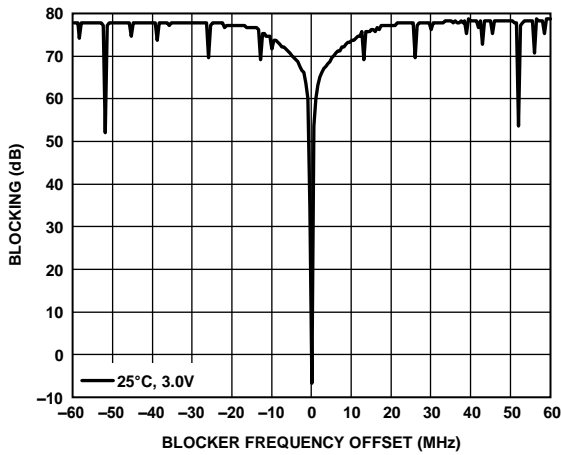
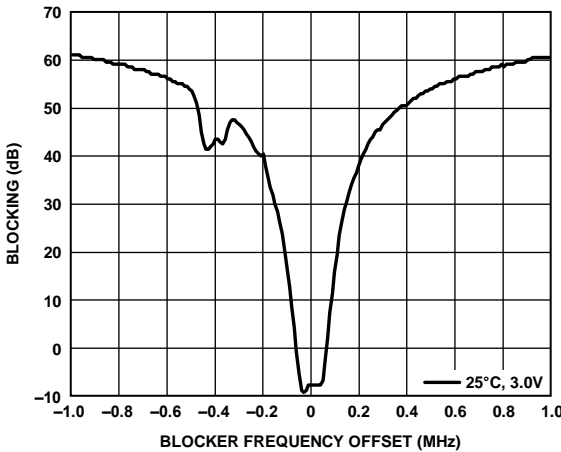


図 22. 915MHz でのレーザ広帯域ブロッキング (データ・レート = 300kbps)



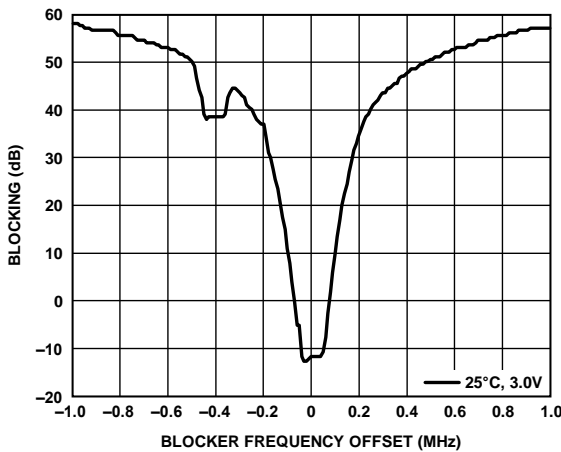
09B55-240

図 23. 954MHz でのレーザー広帯域ブロッキング  
(データ・レート = 50kbps、周波数偏差 = 25kHz、  
キャリア波 (CW) 干渉源、 $P_{WANTED} = P_{SENS} + 3dB$ )



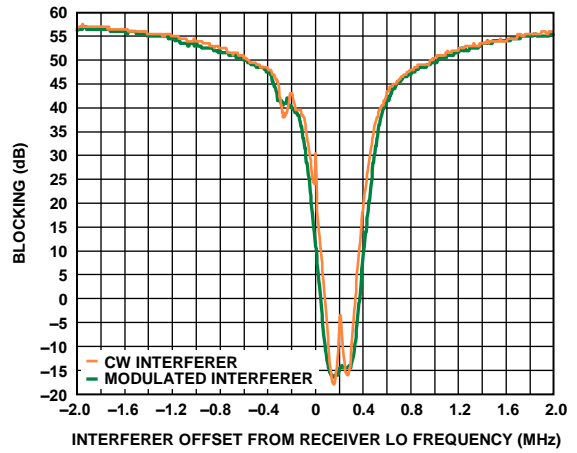
09B55-242

図 24. 954MHz でのレーザー近接ブロッキング  
(データ・レート = 50kbps、IF フィルタ帯域幅 = 100kHz、  
イメージ補正、CW 干渉源、 $P_{WANTED} = P_{SENS} + 3dB$ )



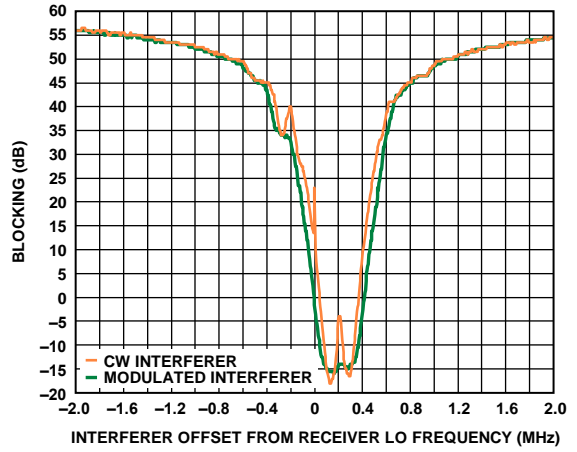
09B55-243

図 25. 954MHz でのレーザー近接ブロッキング  
(データ・レート = 100kbps、IF フィルタ帯域幅 = 100kHz、  
イメージ補正、CW 干渉源、 $P_{WANTED} = P_{SENS} + 3dB$ )



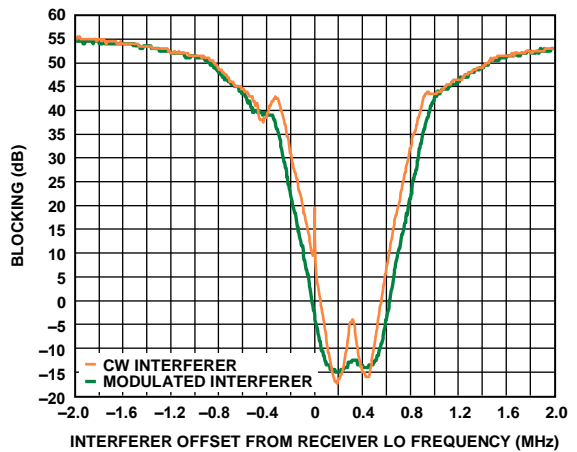
09B55-244

図 26. 915MHz でのレーザー近接ブロッキング  
(データ・レート = 150kbps、IF フィルタ帯域幅 = 150kHz、  
イメージ補正)



09B55-245

図 27. 915 MHz でのレーザー近接ブロッキング  
(データ・レート = 200kbps、IF フィルタ帯域幅 = 200kHz、  
イメージ補正)



09B55-246

図 28. 915MHz でのレーザー近接ブロッキング  
(データ・レート = 300kbps、IF フィルタ帯域幅 = 300kHz、  
イメージ補正)

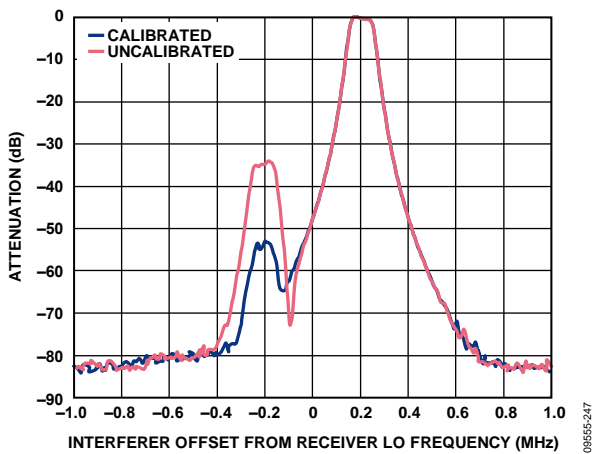


図 29. イメージ未補正時と補正時のイメージ減衰 (915MHz、IF フィルタ帯域幅 = 100kHz、 $V_{DD}$  = 3.0V、温度 = 25°C)

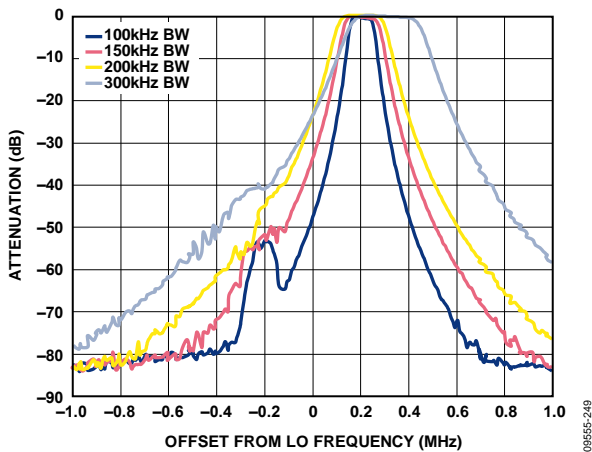


図 30. イメージ補正時の IF フィルタ・プロファイルと IF フィルタ帯域の関係 (921MHz、 $V_{DD}$  = 3.0V、温度 = 25°C)

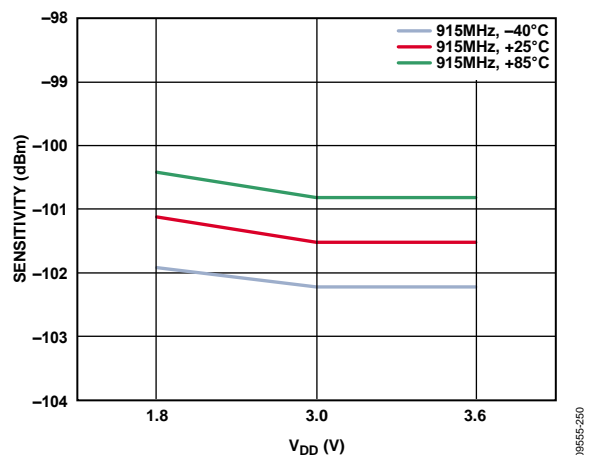


図 31. レシーバー感度 (ビット・エラー・レート 1e-3) と  $V_{DD}$ 、温度、RF 周波数の関係 (データ・レート = 300kbps、GFSK、周波数偏差 = 75kHz、IF 帯域幅 = 300kHz)

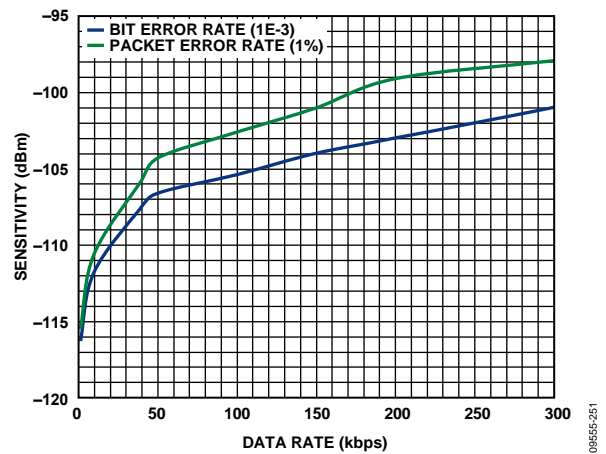


図 32. ビット・エラー・レート感度 (BER = 1e-3) のおよび パケット・エラー・レート感度 (PER = 1%) と データ・レートの関係 (GFSK、 $V_{DD}$  = 3.0V、温度 = 25°C)

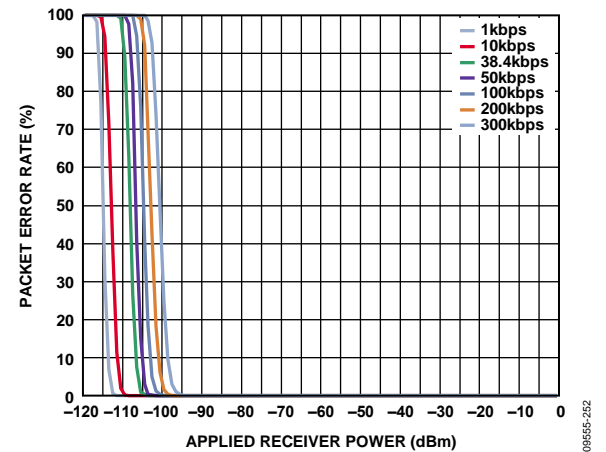


図 33. パケット・エラー・レートと RF 入力および データ・レートの関係 (FSK/GFSK、928MHz、プリアンブル長 = 64 ビット、 $V_{DD}$  = 3.0V、温度 = 25°C)

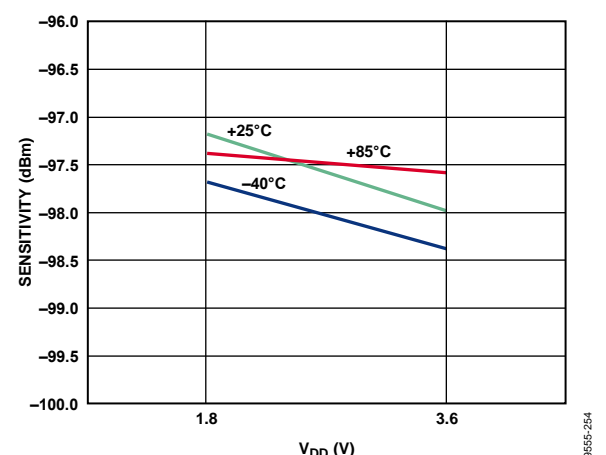


図 34. レシーバー感度 (ビット・エラー・レート 1%) と  $V_{DD}$ 、温度、RF 周波数の関係 (データ・レート = 300kbps、GFSK、周波数偏差 = 75kHz、IF 帯域幅 = 300kHz)

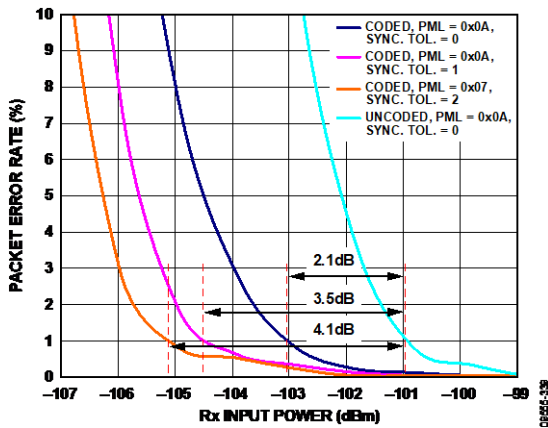


図 35. リードソロモン (RS) ・コーディングを使用したレシーバPER: RF 周波数 = 928MHz、GFSK、データ・レート = 100kbps、周波数偏差 = 50kHz、パケット長 = 28 バイト (未コーディング)。リードソロモン設定は n = 38、k = 28、t = 5、PML = プリアンブル・マッチ・レベル・レジスタ

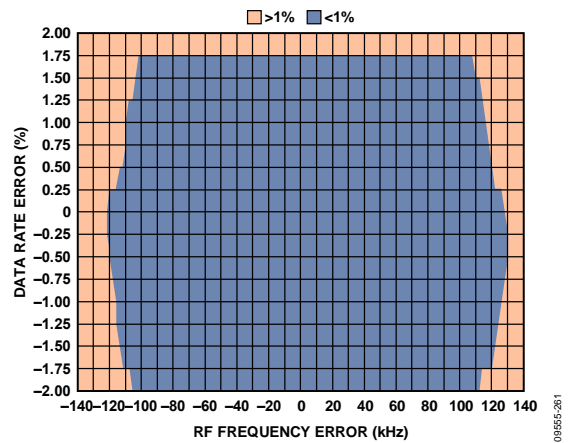


図 38. AFC オン: パケット・エラー・レートと RF 周波数誤差およびデータ・レート・エラーの関係 (AFC オン、データ・レート = 300kbps、周波数偏差 = 75kHz、GFSK、AGC\_LOCK\_MODE = Lock After Preamble (プリアンブル後にロック))

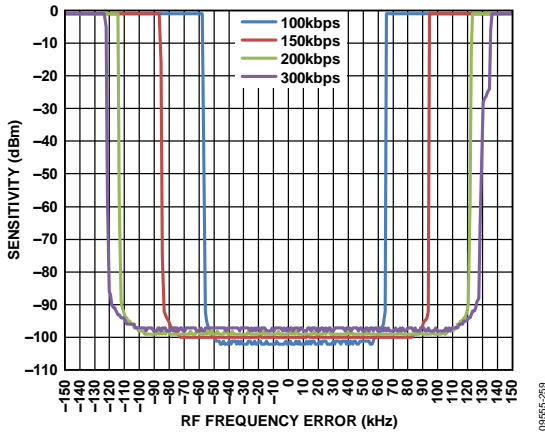


図 36. AFC オン: レシーバ感度 (PER = 1%) と RF 周波数誤差の関係 (GFSK、915MHz、AFC イネーブル (Ki = 7、Kp = 3)、AFC モード = Lock After Preamble (プリアンブル後にロック)、IF 帯域幅 = 100kHz (100kbps)、150kHz (150kbps)、200kHz (200kbps)、および 300kHz (300kbps)、プリアンブル長 = 64 ビット)

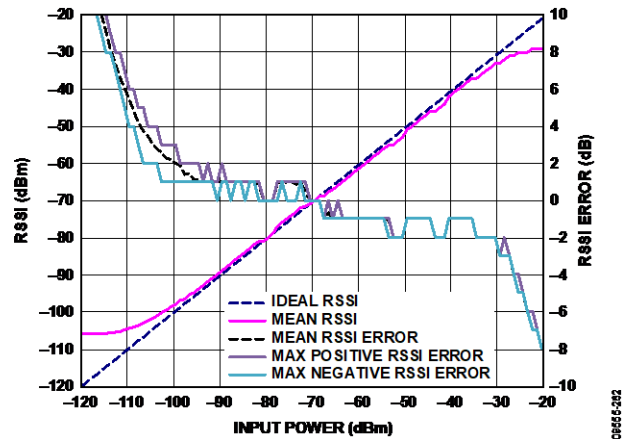


図 39. RSSI (CMD\_GET\_RSSI による値) と RF 入力の関係 (950 MHz、GFSK、データ・レート = 38.4kbps、周波数偏差 = 20kHz、IF 帯域幅 = 100kHz、各入力レベルで 100 個の RSSI を測定)

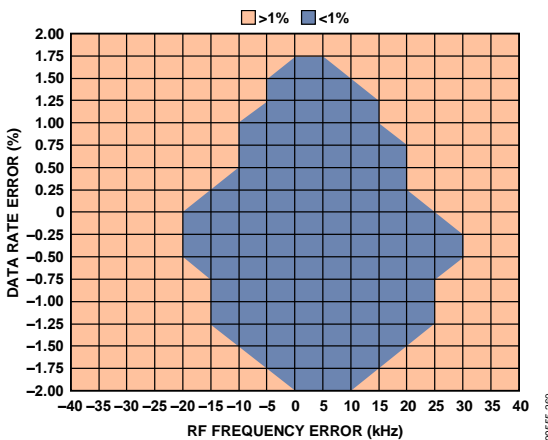


図 37. AFC オフ: パケット・エラー・レートと RF 周波数誤差およびデータ・レート・エラーの関係 (AFC オフ、データ・レート = 300kbps、周波数偏差 = 75kHz、GFSK、AGC\_LOCK\_MODE = Lock After Preamble (プリアンブル後にロック))

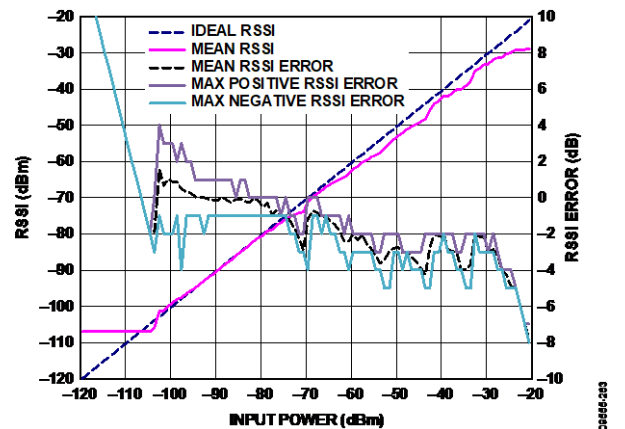


図 40. RSSI (パケット RSSI 測定の自動終了による値) と RF 入力の関係 (950 MHz、GFSK、データ・レート = 300kbps、周波数偏差 = 75kHz、IF 帯域幅 = 300kHz、AGC\_CLOCK\_DIVIDE = 15、各入力レベルで 100 個の RSSI を測定)



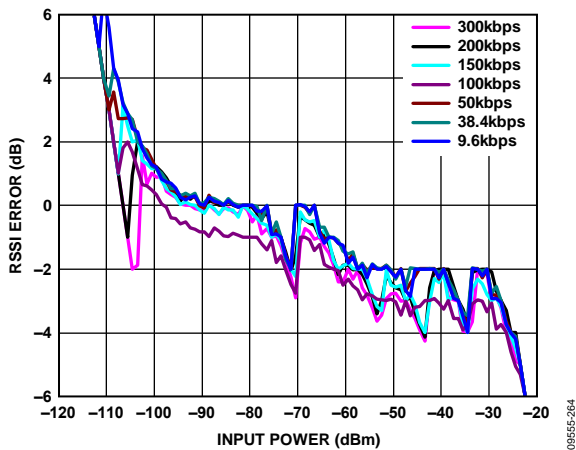


図 41. 平均 RSSI 誤差 (パケット RSSI 測定 of 自動終了による値) と RF 入力およびデータ・レートの関係 (RF 周波数 = 950MHz、GFSK、各入力レベルで 100 個の RSSI を測定)

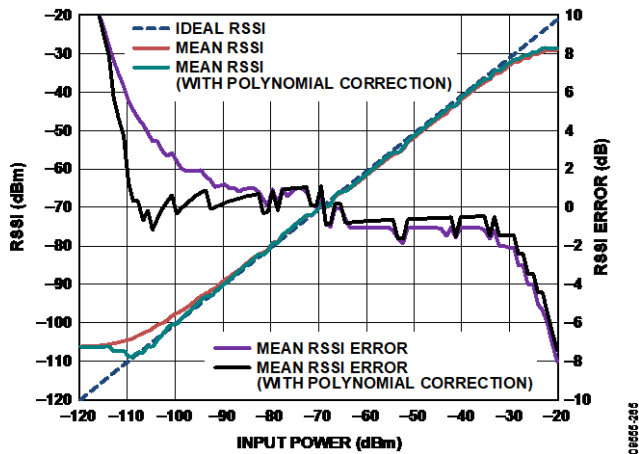


図 42. 余弦多項式補正ありの場合となしの場合の RSSI (パケット RSSI 測定 of 自動終了による値) (各入力レベルで 100 個の RSSI を測定)

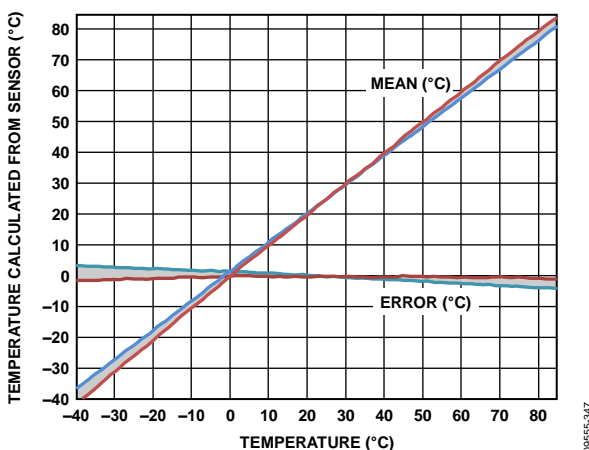


図 43. 温度センサーのリードバックとダイ温度の関係 (リードバック値は温度センサーのセクションに示す数式を使って °C に変換)

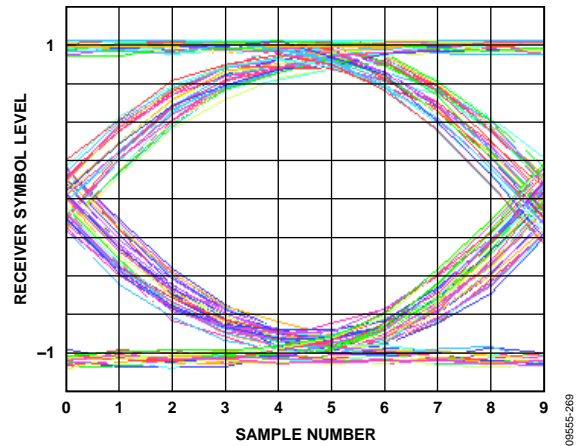


図 44. テスト DAC を使用して測定したレーザー・アイ・ダイアグラム (RF 周波数 = 915MHz、RF 入力 = -80dBm、データ・レート = 100kbps、周波数偏差 = 50kHz)

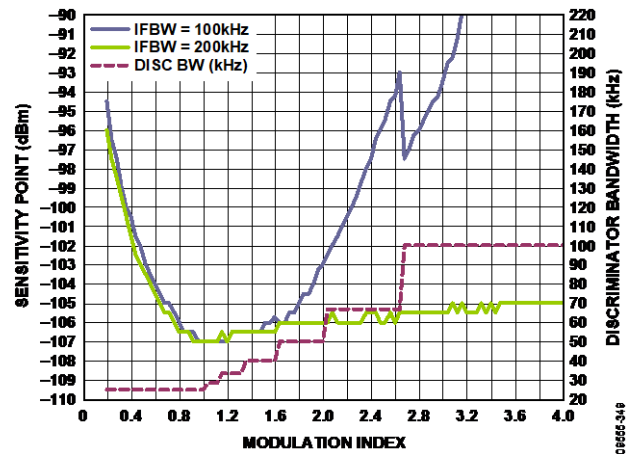


図 45. Rx 感度と変調指数の関係 (データ・レート = 50kbps、MOD = GFSK、 $F_{DEV} = \pm (MI \times 25kHz)$ 、データ = PRBS9、BER =  $1e-3$ 、ビット =  $1e+6$ 、 $V_{BAT} = 3.0V$ 、温度 =  $25^{\circ}C$ )

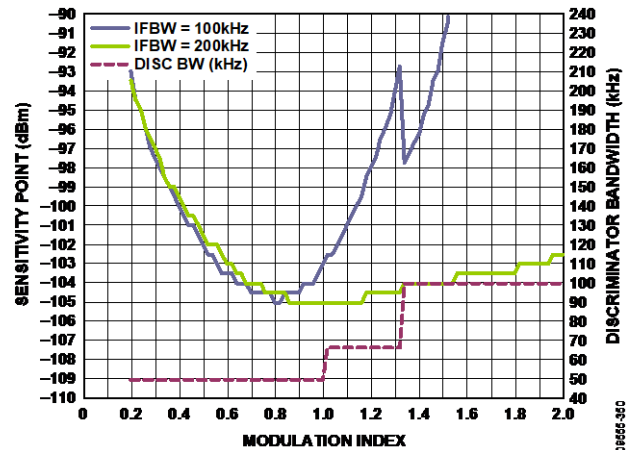


図 46. Rx 感度と変調指数の関係 (データ・レート = 100kbps、MOD = GFSK (0.5)、 $F_{DEV} = \pm (MI \times 50kHz)$ 、データ = PRBS9、BER =  $1e-3$ 、ビット =  $2e+5$ 、 $V_{BAT} = 3.0V$ 、温度 =  $25^{\circ}C$ )

## 用語の定義

<b>ADC</b> Analog-to-digital converter (A/D コンバータ)	<b>MSK</b> Minimum shift keying (最小シフト・キーイング、変調指数が 0.5 の 2FSK)
<b>AGC</b> Automatic gain control (自動ゲイン制御)	<b>NOP</b> No operation (無操作)
<b>AFC</b> Automatic frequency control (自動周波数制御)	<b>PA</b> Power amplifier (パワー・アンプ)
<b>Battmon</b> Battery monitor (バッテリー・モニタ)	<b>PFD</b> Phase frequency detector (位相検出器)
<b>BBRAM</b> Battery backup random access memory (バッテリー・バックアップ・ランダム・アクセス・メモリ)	<b>PHY</b> Physical layer (物理層)
<b>CBC</b> Cipher block chaining (暗号ブロック連鎖)	<b>RCO</b> RC oscillator (RC 発振器)
<b>CRC</b> Cyclic redundancy check (巡回冗長検査)	<b>RISC</b> Reduced instruction set computer (縮小命令セットコンピュータ)
<b>DR</b> Data rate (データ・レート)	<b>RSSI</b> Receive signal strength indicator (受信信号強度インジケータ)
<b>ECB</b> Electronic code book (電子コード・ブロック)	<b>Rx</b> Receive (受信)
<b>ECC</b> Error checking code (誤り検出符号)	<b>SAR</b> Successive approximation register (逐次比較レジスタ)
<b>2FSK</b> Two-level frequency shift keying (2 レベル周波数シフト・キーイング)	<b>SWM</b> Smart wake mode (スマート・ウェイク・モード)
<b>GFSK</b> Two-level Gaussian frequency shift keying (2 レベル・ガウス型周波数シフト・キーイング)	<b>Tx</b> Transmit (送信)
<b>GMSK</b> Gaussian minimum shift keying (ガウス型最小シフト・キーイング、変調指数が 0.5 の GFSK)	<b>VCO</b> Voltage controlled oscillator (電圧制御発振器)
<b>LO</b> Local oscillator (ローカル発振器)	<b>WUC</b> Wake-up controller (ウェイクアップ・コントローラ)
<b>MAC</b> Media access control (メディア・アクセス制御)	<b>XOSC</b> Crystal oscillator (水晶発振器)
<b>MCR</b> Modem configuration random access memory (モデム設定ランダム・アクセス・メモリ)	
<b>MER</b> Modulation error ratio (変調誤差比)	

## 無線制御

ADF7023-Jには、PHY\_SLEEP、PHY\_OFF、PHY\_ON、PHY\_TX、PHY\_RX という 5 つの無線ステート（状態）があります。ホスト・プロセッサは、SPI インターフェースを介して 1 バイト・コマンドを実行することにより、これら 5 つのステートに ADF7023-J を遷移させることができます。図 47 に各種のコマンドとステートを示します。通信プロセッサは、様々な無線回路と重要なタイミング機能のシーケンシングを行って無線操作を簡単にし、ホスト・プロセッサの負荷を軽減します。

### 無線ステート

#### PHY\_SLEEP

このステートでは、デバイスは低消費電力のスリープ・モードになります。このステートにするには、PHY\_OFF ステートまたは PHY\_ON ステートから CMD\_PHY\_SLEEP コマンドを発行します。このステートから無線をウェイクするには、CS ピンをローに設定するか、ウェイクアップ・コントローラ (32.768kHz RC または 32.768kHz 水晶発振器) を使用します。PHY\_SLEEP ステートにする場合は、予めウェイクアップ・タイマーをセットアップしておく必要があります。BBRAM の内容を保持する必要がない場合は、ディープ・スリープ・モード 2 を使い、PHY\_SLEEP ステートの消費電流を更に少なくすることができます。ディープ・スリープ・モード 2 にするには、CMD\_HW\_RESET コマンドを実行します。PHY\_SLEEP ステートのオプションの詳細を表 10 に示します。PHY\_SLEEP ステートのときは IRQ\_GP3 割込みピンがロジック・ローに維持され、他の GPIO ピンは高インピーダンス状態に維持されます。

#### PHY\_OFF

PHY\_OFF ステートでは、26MHz 水晶発振器、デジタル・レギュレータ、およびシンセサイザ・レギュレータがパワーアップされ、すべてのメモリがアクセス可能な状態になります。このステートを終了する場合は、BBRAM レジスタを有効にしておく必要があります。

#### PHY\_ON

PHY\_ON ステートでは、水晶発振器、デジタル・レギュレータ、シンセサイザ・レギュレータに加えて、VCO と RF レギュレータ

がパワーアップされます。MODE\_CONTROL レジスタ（アドレス 0x11A）の BB\_CAL ビットがセットされている場合は、PHY\_OFF ステートからこのステートになった時点で、ベースバンド・フィルタのキャリブレーションが行われます。デバイスは操作可能な状態になり、PHY\_TX および PHY\_RX ステートへの遷移が可能になります。

#### PHY\_TX

PHY\_TX ステートでは、シンセサイザがイネーブルされてキャリブレーションが行われます。更にパワー・アンプがイネーブルされて、CHANNEL\_FREQ [23:0]（アドレス 0x109～アドレス 0x10B）の設定によって定義されるチャンネル周波数で、デバイスが送信を行います。このステートへの遷移は、CMD\_PHY\_TX コマンドを発行することによって行います。デバイスは、パケット RAM に保存されている送信パケットを自動的に送信します。パケットの送信後は PA がディスエーブルされ、デバイスは自動的に PHY\_ON ステートに戻ります。また、オプションで割込みを生成することもできます。

SPORT モードのセクションに示すように、SPORT モードでは、デバイスは GPI ピンのデータを送信します。SPORT モードで PHY\_TX ステートを終了するには、ホスト・プロセッサが CMD\_PHY\_ON コマンドを発行する必要があります。

#### PHY\_RX

PHY\_RX ステートでは、シンセサイザがイネーブルされてキャリブレーションが行われ、ADC、RSSI、IF フィルタ、ミキサー、および LNA がイネーブルされます。無線は、CHANNEL\_FREQ [23:0]（アドレス 0x109～アドレス 0x10B）の設定によって定義されるチャンネル周波数で受信モードになります。

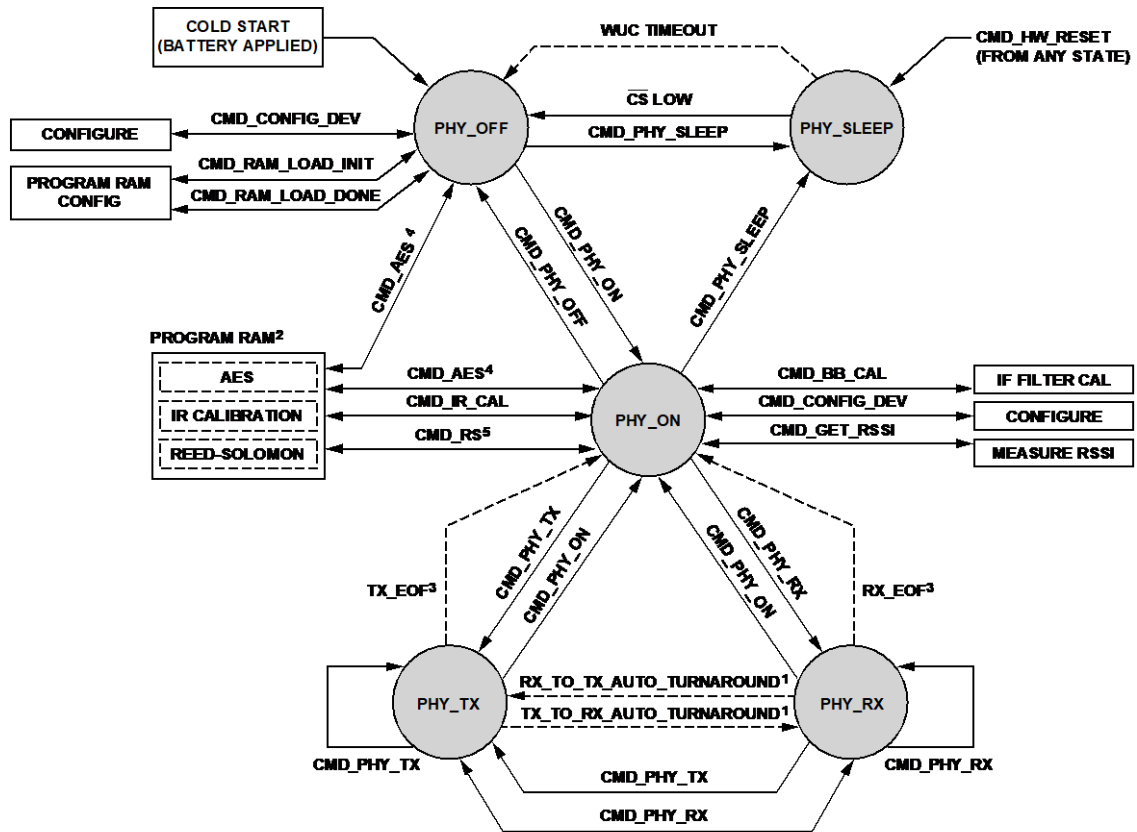
有効なパケットを受信すると、デバイスは PHY\_ON ステートに戻ります。また、オプションで割込みを生成することもできます。SPORT モードでは、CMD\_PHY\_ON コマンドが発行されるまで、デバイスは PHY\_RX ステートのままになります。

### 消費電流

各ステートにおける電流消費量の代表値を表 10 に示します。

表 10. ADF7023-J の各無線ステートにおける電流消費量

ステート	電流（代表値）	条件
PHY_SLEEP (Deep Sleep Mode 2)	0.18 $\mu$ A	ウェイクアップ・タイマーをオフ、BBRAM の内容を保持しない、CMD_HW_RESET コマンドにより遷移
PHY_SLEEP (Deep Sleep Mode 1)	0.33 $\mu$ A	ウェイクアップ・タイマーをオフ、BBRAM の内容を保持
PHY_SLEEP (RCO Mode)	0.75 $\mu$ A	32kHz RC 発振器を使ってウェイクアップ・タイマーをオン、BBRAM の内容を保持
PHY_SLEEP (XTO Mode)	1.28 $\mu$ A	32kHz XTAL 発振器を使ってウェイクアップ・タイマーをオン、BBRAM の内容を保持
PHY_OFF	1.0 mA	
PHY_ON	1.0 mA	
PHY_TX	24.1 mA	10dBm、シングルエンド PA、950MHz
PHY_RX	12.8 mA	



<sup>1</sup> TRANSMIT AND RECEIVE AUTOMATIC TURNAROUND MUST BE ENABLED BY BITS RX\_TO\_TX\_AUTO\_TURNAROUND AND TX\_TO\_RX\_AUTO\_TURNAROUND (0x11A: MODE\_CONTROL).  
<sup>2</sup> AES ENCRYPTION/DECRYPTION, IMAGE REJECTION CALIBRATION, AND REED SOLOMON CODING ARE AVAILABLE ONLY IF THE NECESSARY FIRMWARE MODULE HAS BEEN DOWNLOADED TO THE PROGRAM RAM.  
<sup>3</sup> THE END OF FRAME (EOF) AUTOMATIC TRANSITIONS ARE DISABLED IN SPORT MODE.  
<sup>4</sup> CMD\_AES REFERS TO THE THREE AVAILABLE AES COMMANDS: CMD\_AES\_ENCRYPT, CMD\_AES\_DECRYPT, AND CMD\_AES\_DECRYPT\_INIT.  
<sup>5</sup> CMD\_RS REFERS TO THE THREE AVAILABLE REED SOLOMON COMMANDS: CMD\_RS\_ENCODE\_INIT, CMD\_RS\_ENCODE, AND CMD\_RS\_DECODE.

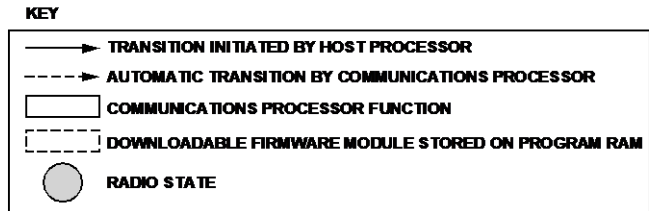


図 47. 無線ステート図

09665-121

## 初期化

### 電源投入後の初期化

ADF7023-Jの電源を投入すると（VDDBAT1/VDDBAT2ピンを使用）、デバイスはパワーオン・リセット（POR）イベントをレジスタに保存してPHY\_OFFステートへ遷移します。BBRAMの内容は不明で、パケットRAMメモリはクリアされて0x00になり、MCRメモリはデフォルト値にリセットされます。初期化シーケンスを完了するには、ホスト・プロセッサが以下の手順に従う必要があります。

1. SPIのCSピンをローにして、MISO出力がハイになるまで待ちます。
2. CMD\_SYNC コマンドを発行します。
3. ステータス・ワードのCMD\_READY ビットがハイになるのを待ちます。
4. BBRAM レジスタの64バイトすべてに書き込みを行って、デバイスの設定を行います。
5. BBRAM の値を使って無線設定が更新されるように、CMD\_CONFIG\_DEV コマンドを発行します。

以上で、ADF7023-JはPHY\_OFFステートに設定されます。

### CMD\_HW\_RESET コマンド実行後の初期化

CMD\_HW\_RESET コマンドは、すべてのハードウェアを完全にパワーダウンして、デバイスをPHY\_SLEEPステートにします。ハードウェア・リセットを完了させるには、ホスト・プロセッサが以下の手順を完了させる必要があります。

1. 1ms 待機します。
2. SPIのCSピンをローにして、MISO出力がハイになるまで待ちます。ADF7023-Jは、PORをレジスタに保存してPHY\_OFFステートになります。
3. CMD\_SYNC コマンドを発行します。
4. ステータス・ワードのCMD\_READY ビットがハイになるのを待ちます。
5. BBRAM レジスタの64バイトすべてに書き込みを行って、デバイスの設定を行います。
6. BBRAM の値を使って無線設定が更新されるように、CMD\_CONFIG\_DEV コマンドを発行します。

以上で、ADF7023-JはPHY\_OFFステートに設定されます。

### PHY\_SLEEP からの送信時の初期化 (CSがローになった後)

ホスト・プロセッサは、いつでもCSをローにしてADF7023-JをPHY\_SLEEPステートからウェイクさせることができます。BBRAMの内容が有効なので、このイベントがPORイベントとしてレジスタに保存されることはありません。ホスト・プロセッサは以下に示す手順に従う必要があります。

1. SPIのCSラインをローにして、MISO出力がハイになるまで待ちます。ADF7023-JがPHY\_OFFステートになります。
2. CMD\_SYNC コマンドを発行します。
3. ステータス・ワードのCMD\_READY ビットがハイになるのを待ちます。
4. BBRAM の値を使って無線設定が更新されるように、CMD\_CONFIG\_DEV コマンドを発行します。

以上でADF7023-Jの設定が完了し、PHY\_ONステートへ遷移できる状態になります。

### WUC タイムアウト後の初期化

ADF7023-Jは、ウェイクアップ・コントローラを使ってPHY\_SLEEPステートから自律的にウェイクすることができます。ADF7023-Jがスマート・ウェイク・モード（SWM）でWUCタイムアウト後にウェイクする場合、デバイスは、BBRAM内のスマート・ウェイク・モード設定に基づき、SWMルーチンに従います（低消費電力モードのセクションを参照）。SWMとファームウェア・タイマーをディスエーブルした状態でADF7023-JをWUCタイムアウト後にウェイクさせる場合は、PHY\_OFFステートでウェイクします。また、ホスト・プロセッサは以下の手順に従う必要があります。

1. CMD\_SYNC コマンドを発行します。
2. ステータス・ワードのCMD\_READY ビットがハイになるのを待ちます。
3. BBRAM の値を使って無線設定が更新されるように、CMD\_CONFIG\_DEV コマンドを発行します。

以上で、ADF7023-JはPHY\_OFFステートに設定されます。

## コマンド

このセクションでは、無線コントローラがサポートしているコマンドについて詳しく説明します。これらのコマンドは、図 47 に示すように、各無線ステート間の遷移を実行したり各種のタスクを実行したりします。すべての無線ステート遷移の実行時間については、表 11 と表 12 に詳細を示します。

### CMD\_PHY\_OFF (0xB0)

このコマンドは、ADF7023-J を PHY\_OFF ステートにします。このコマンドは PHY\_ON ステートで発行でき、RF レギュレータと VCO レギュレータをパワーダウンします。

### CMD\_PHY\_ON (0xB1)

このコマンドは、ADF7023-J を PHY\_ON ステートにします。

PHY\_OFF モードでこのコマンドを発行すると、RF レギュレータと VCO レギュレータがパワーアップされ、MODE\_CONTROL レジスタ (アドレス 0x11A) の BB\_CAL ビットがセットされている場合、IF フィルタのキャリブレーションが実行されます。

PHY\_TX ステートからコマンドを発行すると、ホスト・プロセッサが以下の手順を実行します。

1. PA をランプ・ダウン。
2. 外部 PA 信号をローに設定 (イネーブルされている場合)。
3. デジタル送信クロックをオフ。
4. シンセサイザをパワーダウン。
5. FW\_STATE を PHY\_ON に設定。

PHY\_RX ステートからコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. 測定した RSSI を RSSI\_READBACK レジスタへコピー。
2. 外部 LNA 信号をローに設定 (イネーブルされている場合)。
3. デジタル受信クロックをオフ。
4. シンセサイザおよび受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーダウン。
5. FW\_STATE を PHY\_ON に設定。

### CMD\_PHY\_SLEEP (0xBA)

このコマンドは ADF7023-J を超低消費電力の PHY\_SLEEP ステートにします。このステートでは WUC を使用可能で (イネーブルされている場合)、BBRAM の内容も保持されます。このコマンドは PHY\_OFF または PHY\_ON ステートで発行できます。

### CMD\_PHY\_RX (0xB2)

このコマンドは、PHY\_ON、PHY\_RX、または PHY\_TX ステートで発行できます。PHY\_ON ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. シンセサイザをパワーアップ。
2. 受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーアップ。
3. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
4. シンセサイザの帯域幅を設定。
5. VCO キャリブレーションを実行。
6. シンセサイザのセトリングまで待機。
7. デジタル・レシーバー・ブロックをイネーブル。
8. 外部 LNA イネーブル信号をハイに設定 (イネーブルされている場合)。
9. FW\_STATE を PHY\_RX に設定。

PHY\_RX ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. 外部 LNA 信号をローに設定 (イネーブルされている場合)。
2. AFC と AGC のロックを解除。
3. 受信クロックをオフ。
4. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
5. シンセサイザの帯域幅を設定。
6. VCO キャリブレーションを実行。
7. シンセサイザのセトリングまで待機。
8. デジタル・レシーバー・ブロックをイネーブル。
9. 外部 LNA イネーブル信号をハイに設定 (イネーブルされている場合)。
10. FW\_STATE を PHY\_RX に設定。

PHY\_TX ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. PA をランプ・ダウン。
2. 外部 PA 信号をローに設定 (イネーブルされている場合)。
3. デジタル送信ブロックをオフ。
4. 受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーアップ。
5. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
6. シンセサイザの帯域幅を設定。
7. VCO キャリブレーションを実行。
8. シンセサイザのセトリングまで待機。
9. デジタル・レシーバー・ブロックをイネーブル。
10. 外部 LNA イネーブル信号をハイに設定 (イネーブルされている場合)。
11. FW\_STATE を PHY\_RX に設定。

### CMD\_PHY\_TX (0xB5)

このコマンドは、PHY\_ON、PHY\_TX、または PHY\_RX ステートで発行できます。PHY\_ON ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. シンセサイザをパワーアップ。
2. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
3. シンセサイザの帯域幅を設定。
4. VCO キャリブレーションを実行。
5. シンセサイザのセトリングまで待機。
6. デジタル送信ブロックをイネーブル。
7. 外部 PA イネーブル信号をハイに設定 (イネーブルされている場合)。
8. PA をランプ・アップ。
9. FW\_STATE を PHY\_TX に設定。
10. データを送信。

PHY\_TX ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. PA をランプ・ダウン。
2. 外部 PA イネーブル信号をローに設定（イネーブルされている場合）。
3. デジタル送信ブロックをオフ。
4. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
5. シンセサイザの帯域幅を設定。
6. VCO キャリブレーションを実行。
7. シンセサイザのセトリングまで待機。
8. デジタル送信ブロックをイネーブル。
9. 外部 PA イネーブル信号をハイに設定（イネーブルされている場合）。
10. PA をランプ・アップ。
11. FW\_STATE を PHY\_TX に設定。
12. データを送信。

PHY\_RX ステートでコマンドを発行すると、通信プロセッサが以下の手順を実行します。

1. 外部 LNA 信号をローに設定（イネーブルされている場合）。
2. AFC と AGC のロックを解除。
3. 受信クロックをオフ。
4. 受信回路（ADC、RSSI、IF フィルタ、ミキサ、LNA）をパワーダウン。
5. BBRAM の CHANNEL\_FREQ [23:0] の設定に基づいて RF チャンネルを設定。
6. シンセサイザの帯域幅を設定。
7. シンセサイザのセトリングまで待機。
8. デジタル送信ブロックをイネーブル。
9. 外部 PA イネーブル信号をハイに設定（イネーブルされている場合）。
10. PA をランプ・アップ。
11. FW\_STATE を PHY\_TX に設定。
12. データを送信。

### CMD\_CONFIG\_DEV (0xBB)

このコマンドは BBRAM の内容を解釈し、それらの内容に基づいてそれぞれの無線パラメータを設定します。このコマンドは PHY\_OFF または PHY\_ON ステートで発行できます。このコマンドで設定されない唯一のパラメータが CHANNEL\_FREQ [23:0] 設定で、このパラメータの設定は CMD\_PHY\_TX コマンドまたは CMD\_PHY\_RX コマンドの一部として行われます。

CMD\_CONFIG\_DEV コマンドは、BBRAM を構成する 64 バイトすべてに書き込みを行ってから発行する必要があります。このコマンドは PHY\_OFF または PHY\_ON ステートで発行できます。

### CMD\_GET\_RSSI (0xBC)

このコマンドはレシーバーをオンにし、現在のチャンネル上で RSSI の測定を行って、ADF7023-J を PHY\_ON ステートに戻します。このコマンドは PHY\_ON ステートで発行できます。RSSI 測定の結果は、RSSI\_READBACK レジスタ（アドレス 0x312）に保存されます。このコマンドは PHY\_ON ステートからのみ発行可能です。

### CMD\_BB\_CAL (0xBE)

このコマンドは IF フィルタのキャリブレーションを行い、PHY\_ON ステートでのみ発行可能です。MODE\_CONTROL レジスタ（アドレス 0x11A）が BB\_CAL=1 に設定されている場合、IF フィルタのキャリブレーションは PHY\_OFF から PHY\_ON への遷移時に自動的に行われるので、このコマンドを使用する必要はほとんどありません。

### CMD\_SYNC (0xA2)

このコマンドは、ホスト・プロセッサと通信プロセッサが通信を確立できるようにするために使われます。このコマンドを使用するには、以下に示す各シナリオにおいて CMD\_SYNC コマンドを発行する必要があります。

- 電源投入後
- WUC ウェイクアップ時
- CMD\_HW\_RESET の後
- CMD\_RAM\_LOAD\_DONE コマンド発行後

CMD\_SYNC コマンド発行後、ホスト・プロセッサは、CMD\_READY ステータス・ビットがハイになるまで待機する必要があります（初期化のセクションを参照）。このプロセスにより、ホスト・プロセッサの発行する次のコマンドが通信プロセッサによって処理されるようになります。CMD\_SYNC コマンドの詳細については、初期化のセクションを参照してください。

### CMD\_HW\_RESET (0xC8)

CMD\_HW\_RESET コマンドは、すべてのハードウェアを完全にパワーダウンして、デバイスを PHY\_SLEEP ステートにします。このコマンドはどのステートでも発行可能で、通信プロセッサのステートに関係なく使用できます。CMD\_HW\_RESET コマンドの後にデバイスを初期化する詳しい手順については、初期化のセクションを参照してください。

### CMD\_RAM\_LOAD\_INIT (0xBF)

このコマンドは、RAM をプログラムするために行うソフトウェア・モジュールのダウンロードに備えて、通信プロセッサを準備します。このコマンドは、ホスト・プロセッサが書き込みを行う RAM をプログラムする前のみ使用します。

### CMD\_RAM\_LOAD\_DONE (0xC7)

このコマンドが必要になるのは、RAM をプログラムするためのソフトウェア・モジュールをダウンロードした後に限られます。このコマンドは、RAM をプログラムするためのソフトウェア・モジュールがロードされたことを通信プロセッサに示します。CMD\_RAM\_LOAD\_DONE コマンドは、PHY\_OFF ステートでのみ発行可能です。このコマンドは、通信プロセッサとパケット RAM をリセットします。このコマンドの発行後は、CMD\_SYNC コマンドを発行する必要があります。

### CMD\_IR\_CAL (0xBD)

このコマンドは、ADF7023-J のレシーバー上で完全自動のイメージ除去キャリブレーションを実行します。

このコマンドを使用するには、ADF7023-J のプログラム RAM に IR キャリブレーション・ファームウェア・モジュールをロードしておく必要があります。ファームウェア・モジュールはアナログ・デバイセズから入手できます。詳細については、ダウンロード可能なファームウェア・モジュールのセクションを参照してください。

### CMD\_AES\_ENCRYPT (0xD0) 、 CMD\_AES\_DECRYPT (0xD2) 、 CMD\_AES\_DECRYPT\_INIT (0xD1)

これらのコマンドは、128 ビット、192 ビット、256 ビットの鍵サイズを使用して、送信データと受信データに対し AES 128 ビット・ブロックの暗号化/復号が行えるようにします。

AES コマンドを使用するには、ADF7023-J のプログラム RAM に AES ファームウェア・モジュールをロードしておく必要があります。AES ファームウェア・モジュールはアナログ・デバイスから入手できます。AES 暗号化および復号モジュールの詳細については、ダウンロード可能なファームウェア・モジュールのセクションを参照してください。

### CMD\_RS\_ENCODE\_INIT (0xD1) 、 CMD\_RS\_ENCODE (0xD0) 、 CMD\_RS\_DECODE (0xD2)

これらのコマンドは、送信データと受信データをリードソロモン方式によってエンコードまたはデコードし、それによって受信パケットのエラーの検出と訂正ができるようにします。

これらのコマンドを使用するには、ADF7023-J のプログラム RAM にリードソロモン・ファームウェア・モジュールをロードしておく必要があります。リードソロモン・ファームウェア・モジュールはアナログ・デバイスから入手できます。このモジュールの詳細については、ダウンロード可能なファームウェア・モジュールのセクションを参照してください。

### 自動ステート遷移

特定イベントの発生時は、通信プロセッサによって ADF7023-J の状態 (ステート) を自動的に遷移させることができます。これらの自動遷移は図 47 に破線で示されています。以下ではこれらの遷移について説明します。

#### TX\_EOF

通信プロセッサは、パケット送信終了時に、デバイスを PHY\_TX ステートから PHY\_ON ステートに自動的に遷移させます。遷移時、通信プロセッサは以下の動作を実行します。

1. PA をランプ・ダウン。
2. 外部 PA 信号をローに設定。
3. デジタル・トランスミッタ・ブロックをディスエーブル。
4. シンセサイザをパワーダウン。
5. FW\_STATE を PHY\_ON に設定。

#### RX\_EOF

通信プロセッサは、パケット受信終了時に、デバイスを PHY\_RX ステートから PHY\_ON ステートに自動的に遷移させます。遷移時、通信プロセッサは以下の動作を実行します。

1. 測定した RSSI を RSSI\_READBACK レジスタ (アドレス 0x312) へコピー。
2. 外部 LNA 信号をローに設定。
3. デジタル・レシーバー・ブロックをディスエーブル。
4. シンセサイザおよび受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーダウン。
5. FW\_STATE を PHY\_ON に設定。

#### RX\_TO\_TX\_AUTO\_TURNAROUND

MODE\_CONTROL レジスタ (アドレス 0x11A) の RX\_TO\_TX\_AUTO\_TURNAROUND ビットがイネーブルされている場合、デバイスは、同じ RF チャンネル周波数で有効パケットの受信を終了すると、自動的に PHY\_TX ステートへ遷移します。遷移時、通信プロセッサは以下の動作を実行します。

1. 外部 LNA 信号をローに設定。
2. AGC と AFC のロックを解除 (有効になっている場合)。
3. デジタル・レシーバー・ブロックをディスエーブル。
4. 受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーダウン。
5. RF チャンネル周波数を設定 (前の受信チャンネル周波数と同じ)。
6. シンセサイザの帯域幅を設定。
7. VCO キャリブレーションを実行。
8. シンセサイザのセトリングまで待機。
9. デジタル・トランスミッタ・ブロックをイネーブル。
10. 外部 PA 信号をハイに設定 (イネーブルされている場合)。
11. PA をランプ・アップ。
12. FW\_STATE を PHY\_TX に設定。
13. データを送信。

SPORT モードでは、RX\_TO\_TX\_AUTO\_TURNAROUND 遷移は無効になります。

#### TX\_TO\_RX\_AUTO\_TURNAROUND

MODE\_CONTROL レジスタ (アドレス 0x11A) の TX\_TO\_RX\_AUTO\_TURNAROUND ビットがイネーブルされている場合、デバイスは、同じ RF チャンネル周波数でパケット送信を終了すると、自動的に PHY\_RX ステートへ遷移します。遷移時、通信プロセッサは以下の動作を実行します。

1. PA をランプ・ダウン。
2. 外部 PA 信号をローに設定。
3. デジタル・トランスミッタ・ブロックをディスエーブル。
4. 受信回路 (ADC、RSSI、IF フィルタ、ミキサー、LNA) をパワーアップ。
5. RF チャンネルを設定 (前の送信チャンネル周波数と同じ)。
6. シンセサイザの帯域幅を設定。
7. VCO キャリブレーションを実行。
8. シンセサイザのセトリングまで待機。
9. AGC と AFC をオン (有効になっている場合)。
10. デジタル・レシーバー・ブロックをイネーブル。
11. 外部 LNA 信号をハイに設定 (イネーブルされている場合)。
12. FW\_STATE を PHY\_RX に設定。

SPORT モードでは、TX\_TO\_RX\_AUTO\_TURNAROUND 遷移は無効になります。

#### WUC タイムアウト

ADF7023-J は、WUC を使用してハードウェア・タイマーのタイムアウト時にスリープからウェイクアップさせることができます。デバイスは、ウェイクすると PHY\_OFF ステートになります。詳細については WUC モードのセクションを参照してください。



## 状態遷移とコマンド・タイミング

すべての無線ステート遷移の実行時間について、表 11 と表 12 に詳細を示します。これらの時間は代表値であり、BBRAM の設定に応じて変わることがあります。通常遷移時間とするには TRANSITION\_CLOCK\_DIV (アドレス 0x13A) を 0x04 に設定し、高速遷移時間とするには TRANSITION\_CLOCK\_DIV を 0x01 に設定します。

SPI インターフェースのセクションで説明するように、コマンドは、そのコマンドの SCLK の最後の立上がりエッジで実行されます。表 11 と表 12 に示す測定値では、SCLK の最後の立上がりエッジと CS の立上がりエッジの間に 200ns の差があります。

表 11. PHY\_TX や PHY\_RX に関係しない ADF7023-J のコマンド実行時間と状態遷移時間

コマンド/ビット	コマンド発行元	現在のステート	次のステート	通常遷移時間 (μs)、代表値	高速遷移時間 (μs)、代表値	条件
CMD_HW_RESET	Host	Any	PHY_SLEEP	1	1	
CMD_PHY_SLEEP	Host	PHY_OFF	PHY_SLEEP	22.3	22.3	
CMD_PHY_SLEEP	Host	PHY_ON	PHY_SLEEP	24.1	24.1	
CMD_PHY_OFF	Host	PHY_ON	PHY_OFF	24	11	CS の立上がりエッジから CMD_FINISHED 割込みまで。
CMD_PHY_ON	Host	PHY_OFF	PHY_ON	258/73	213/28	CS の立上がりエッジから CMD_FINISHED 割込みまで。IF フィルタ・キャリブレーションを有効化/無効化。
CMD_GET_RSSI	Host	PHY_ON	PHY_ON	631/450	523/353	RSSI_WAIT_TIME (アドレス 0x138) = 0xA7/0x37。
CMD_CONFIG_DEV	Host	PHY_OFF	PHY_OFF	72	23	CS の立上がりエッジから CMD_FINISHED 割込みまで。
CMD_CONFIG_DEV	Host	PHY_ON	PHY_ON	75.4	24.5	CS の立上がりエッジから CMD_FINISHED 割込みまで。
CMD_BB_CAL	Host	PHY_ON	PHY_ON	221	204	CS の立上がりエッジから CMD_FINISHED 割込みまで。
Wake-Up from PHY_SLEEP, (WUC Timeout)	Automatic	PHY_SLEEP	PHY_OFF	304	304	7pF 負荷容量、T <sub>A</sub> = 25°C。
Wake-Up from PHY_SLEEP, (CS Low)	Host	PHY_SLEEP	PHY_OFF	304	304	7pF 負荷容量、T <sub>A</sub> = 25°C。
Cold Start	Application of power	Not applicable	PHY_OFF	304	304	7pF 負荷容量、T <sub>A</sub> = 25°C。

表 12. PHY\_TX と PHY\_RX に関する ADF7023-J の状態遷移時間

モード	コマンド/ ビット/ 自動遷移	現在の ステート	次の ステート	通常遷移時間 ( $\mu\text{s}$ ) <sup>1,2</sup> 代表値	高速遷移時間 ( $\mu\text{s}$ ) <sup>1,2</sup> 代表値	条件
Packet	CMD_PHY_ON	PHY_TX	PHY_ON	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 43$	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 15$	CSの立上がりエッジから CMD_FINISHED 割込みまで。
Packet	CMD_PHY_ON	PHY_RX	PHY_ON	$T_{BYTE} + 48$	$T_{BYTE} + 21$	CSの立上がりエッジから CMD_FINISHED 割込みまで。プリアンプ検出時に CMD_PHY_ON を発行。
				50.5	23	CSの立上がりエッジから CMD_FINISHED 割込みまで。プリアンプの評価時に CMD_PHY_ON を発行。
				50.5	23	CSの立上がりエッジから CMD_FINISHED 割込みまで。同期ワードの評価時に CMD_PHY_ON を発行。
				$T_{EOP} + 62.5$	$T_{EOP} + 18$	CSの立上がりエッジから CMD_FINISHED 割込みまで。データ受信時に CMD_PHY_ON を発行 (同期ワード後)。
Packet	CMD_PHY_TX	PHY_ON	PHY_TX	306	237	CSの立上がりエッジから CMD_FINISHED 割込みまで。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
Packet	CMD_PHY_TX	PHY_RX	PHY_TX	$T_{BYTE} + 324.5$	$T_{BYTE} + 248$	CSの立上がりエッジから CMD_FINISHED 割込みまで。プリアンプ検出時に CMD_PHY_TX を発行。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
				322.5	245.5	CSの立上がりエッジから CMD_FINISHED 割込みまで。プリアンプの評価時に CMD_PHY_TX を発行。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
				322.5	245.5	CSの立上がりエッジから CMD_FINISHED 割込みまで。同期ワードの評価時に CMD_PHY_TX を発行。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
				$T_{EOP} + 281$	$T_{EOP} + 263$	CSの立上がりエッジから CMD_FINISHED 割込みまで。データ受信時に CMD_PHY_TX を発行 (同期ワード後)。 割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
Packet	CMD_PHY_TX	PHY_TX	PHY_TX	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 310$	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 236$	CSの立上がりエッジから CMD_FINISHED 割込みまで。パケット送信時に CMD_PHY_TX を発行。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
Packet	RX_TO_TX_AUTO_TURNAROUND	PHY_RX	PHY_TX	322	234.2	INTERRUPT_CRC_CORRECT から CMD_FINISHED 割込みまで。割込みの 3.4 $\mu\text{s}$ 後に PA がランプ・アップを開始。割込み後 (1.5 $\times$ $T_{BIT} + 2.3$ ) $\mu\text{s}$ でユーザ・データの最初のビットを送信。
Packet	CMD_PHY_RX	PHY_ON	PHY_RX	327	241	CSの立上がりエッジから CMD_FINISHED 割込みまで。
Packet	CMD_PHY_RX	PHY_TX	PHY_RX	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 336$	$T_{EOP} + T_{PARAM\_DOWN} + T_{BYTE} + 241$	CSの立上がりエッジから CMD_FINISHED 割込みまで。パケット送信時に CMD_PHY_RX を発行。

モード	コマンド/ ビット/ 自動遷移	現在の ステート	次の ステート	通常遷移時間 ( $\mu$ s) <sup>1,2</sup> 代表値	高速遷移時間 ( $\mu$ s) <sup>1,2</sup> 代表値	条件
Packet	CMD_PHY_RX	PHY_RX	PHY_RX	$T_{\text{BYTE}} + 341.5$  339.5  339.5  $T_{\text{EOP}} + 354$	$T_{\text{BYTE}} + 249.5$  249  249  $T_{\text{EOP}} + 246$	CSの立上がりエッジから CMD_FINISHED 割込みまで。 プリアンブル検出時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで。 プリアンブルの評価時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで。 同期ワードの評価時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで。 データ受信時に CMD_PHY_RX を発行 (同期ワード後)。
Packet	TX_TO_RX_AUTO_TURNAROUND	PHY_TX	PHY_RX	$T_{\text{PARAM\_DOWN}} + T_{\text{BYTE}} + 322$	$T_{\text{PARAM\_DOWN}} + T_{\text{BYTE}} + 232$	TX_EOF 割込みから CMD_FINISHED 割込みまで。
Packet	TX_EOF	PHY_TX	PHY_ON	$T_{\text{PARAM\_DOWN}} + T_{\text{BYTE}} + 25$	$T_{\text{PARAM\_DOWN}} + T_{\text{BYTE}} + 5$	TX_EOF 割込みから CMD_FINISHED 割込みまで。
Packet	RX_EOF	PHY_RX	PHY_ON	46	10	INTERRUPT_CRC_CORRECT から CMD_FINISHED 割込みまで。
Sport	CMD_PHY_ON	PHY_TX	PHY_ON	$T_{\text{PARAM\_DOWN}} + 51$	$T_{\text{PARAM\_DOWN}} + 22$	CSの立上がりエッジから CMD_FINISHED 割込みまで。
Sport	CMD_PHY_ON	PHY_RX	PHY_ON	$T_{\text{BYTE}} + 54$  50.5  50.5  56	$T_{\text{BYTE}} + 28$  23  23  26	CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブル検出時に CMD_PHY_ON を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブルの評価時に CMD_PHY_ON を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、同期ワードの評価時に CMD_PHY_ON を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、データ受信時に CMD_PHY_ON を発行 (同期ワード後)。
Sport	CMD_PHY_TX	PHY_ON	PHY_TX	306	237	CSの立上がりエッジから CMD_FINISHED 割込みまで。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。
Sport	CMD_PHY_TX	PHY_RX	PHY_TX	$T_{\text{BYTE}} + 325$  320  320  326	$T_{\text{BYTE}} + 250$  245  245  249	CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブル検出時に CMD_PHY_TX を発行。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。 CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブルの評価時に CMD_PHY_TX を発行。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。 CSの立上がりエッジから CMD_FINISHED 割込みまで、同期ワードの評価時に CMD_PHY_TX を発行。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。 CSの立上がりエッジから CMD_FINISHED 割込みまで、データ受信時に CMD_PHY_TX を発行。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。
Sport	CMD_PHY_TX	PHY_TX	PHY_TX	$T_{\text{PARAM\_DOWN}} + 315$	$T_{\text{PARAM\_DOWN}} + 243$	CSの立上がりエッジから CMD_FINISHED 割込みまで。割込みの 3.4 $\mu$ s 後に PA がランプ・アップを開始。
Sport	CMD_PHY_RX	PHY_ON	PHY_RX	327	241	CSの立上がりエッジから CMD_FINISHED 割込みまで。
Sport	CMD_PHY_RX	PHY_TX	PHY_RX	$T_{\text{PARAM\_DOWN}} + 345$	$T_{\text{PARAM\_DOWN}} + 250$	CSの立上がりエッジから CMD_FINISHED 割込みまで。

モード	コマンド/ ビット/ 自動遷移	現在の ステート	次の ステート	通常遷移時間 ( $\mu$ s) <sup>1,2</sup> 代表値	高速遷移時間 ( $\mu$ s) <sup>1,2</sup> 代表値	条件
Sport	CMD_PHY_ RX	PHY_RX	PHY_RX	$T_{\text{BYTE}} + 342$  339.5  339.5  346	$T_{\text{BYTE}} + 249.5$  249  249  252	CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブル検出時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、プリアンブルの評価時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、同期ワードの評価時に CMD_PHY_RX を発行。 CSの立上がりエッジから CMD_FINISHED 割込みまで、データ受信時に CMD_PHY_RX を発行（同期ワード後）。

<sup>1</sup>  $T_{\text{PARAMP\_UP}} = T_{\text{PARAMP\_DOWN}} = \frac{PA\_LEVEL\_MCR}{2^{(9 - PA\_RAMP)} \times DATA\_RATE \times 100}$ 。ここで、PA\_LEVEL\_MCR は最大 PA 出力電力を設定し（PA\_LEVEL\_MCR レジスタ、アドレス

0x307）、PA\_RAMP は PA ランプ・レートを（RADIO\_CFG\_8 レジスタ、アドレス 0x114）、DATA\_RATE は送信データ・レートを設定します（アドレス 0x10C の RADIO\_CFG\_0 レジスタと、アドレス 0x10D の RADIO\_CFG\_1 レジスタ）。

<sup>2</sup>  $T_{\text{BYTE}} = 1$  バイト分の時間（ $\mu$ s）、 $T_{\text{EOP}} =$  パケット終了までの時間（ $\mu$ s）。

## SPORT モード

ADF7023-J のパケット管理機能をすべてバイパスし、SPORT インターフェースを使ってデータの送受信を行うことも可能です。SPORT インターフェースは高速同期シリアル・インターフェースで、プロセッサおよび DSP と直接インターフェースを取ることができます。SPORT モードは、表 13 に示すように、PACKET\_LENGTH\_CONTROL レジスタ（アドレス 0x126）の DATA\_MODE 設定を使って有効化できます。SPORT モード・インターフェースは GPIO ピン上にあります（GP0、GP1、GP2、GP4、および XOSC32KP\_GP5\_ATB1）。これらの GPIO ピンの設定は、表 14 に示すように GPIO\_CONFIGURE の設定（アドレス 0x3FA）を使って行うことができます。

SPORT モードでは、GP4 を受信割込みソースとして使用します。この割込みソースは、プリアンプル検出時または同期ワード検出時に割込みまたはストロブ信号を出力するように設定できます。割込みのタイプは GPIO\_CONFIGURE 設定を使って設定します。

### SPORT モードでのパケット構造

SPORT モードでは、ホスト・プロセッサがすべてのパケット構造の制御を行います。しかし、レシーバーのセトリング（AGC、AFC、CDR）のために十分なビットを確保できるようにするには、やはりプリアンプル・フレームが必要です。SPORT モードでは、ADF7023-J で必ずしも同期ワード検出を行う必要はありませんが、GP4 での同期ワード検出割込みやストロブを介してホスト・プロセッサ用にバイト・レベルの同期を行うために、これを有効化する場合もあります。SPORT モード・パケットの一般的なフォーマットを図 48 に示します。

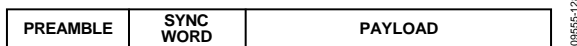


図 48. 一般的な SPORT モード・パケット

### 送信時の SPORT モード

送信時の SPORT インターフェースの動作を図 49 に示します。SPORT モードを有効化した状態で PHY\_TX ステートになると、トランスミッタのデータ入力はすべて SPORT インターフェース（GP1 ピン）によって制御されます。送信クロックは GP2 ピンに出力されます。ホスト・プロセッサからの送信データは、こ

表 13. SPORT モードのセットアップ

PACKET_LENGTH_CONTROL レジスタ (0x126) の DATA_MODE ビット	説明	GPIO 構成
DATA_MODE = 0	パケット・モードを有効化。パケット管理はすべて通信プロセッサが制御。	
DATA_MODE = 1	SPORT モードを有効化。Rx データと Rx クロックを PHY_RX ステートでイネーブル（GPIO_CONFIGURE = 0xA0、0xA3、0xA6）。Rx クロックを PHY_RX ステートでイネーブルし、Rx データをプリアンプル検出時にイネーブル（GPIO_CONFIGURE = 0xA1、0xA2、0xA4、0xA5、0xA7、0xA8）。	GP0 : Rx データ GP1 : Tx データ GP2 : Tx/Rx クロック GP4 : プリアンプル検出時に割込みまたはストロブをイネーブル（GPIO_CONFIGURE に依存） XOSC32KP_GP5_ATB1 : GPIO_CONFIGURE に依存
DATA_MODE = 2	SPORT モードを有効化。GPIO_CONFIGURE = 0xA0、0xA3、0xA6 の場合は PHY_RX ステートで Rx データと Rx クロックをイネーブル。GPIO_CONFIGURE = 0xA1、0xA2、0xA4、0xA5、0xA7、0xA8 の場合は PHY_RX ステートで Rx クロックをイネーブルし、プリアンプル検出時に Rx データをイネーブル。	GP0 : Rx データ GP1 : Tx データ GP2 : Tx/Rx クロック GP4 : 同期ワード検出時に割込みまたはストロブをイネーブル（GPIO_CONFIGURE に依存） XOSC32KP_GP5_ATB1 : GPIO_CONFIGURE に依存

のクロックに同期する必要があります。ADF7023-J が PHY\_TX ステートになってデータ送信を開始する準備ができたかどうかは、ステータス・ワード内の FW\_STATE 変数（ステータス・ワードのセクションを参照）または CMD\_FINISHED 割込み（SPORT モードの割込みのセクションを参照）を使って示すことができます。ADF7023-J は、PHY\_TX ステートを終了するコマンドをホスト・プロセッサが発行するまで、GP1 入力に供給されるシリアル・データの送信を続けます。

### 受信時の SPORT モード

SPORT インターフェースは、特定の信号要件に対応できるように、複数モードでの受信動作をサポートしています。受信データは GP0 ピンに出力され、受信同期クロックは GP2 ピンに出力されます。GP4 ピンは、表 13 および表 14 に示すように、プリアンプルまたは同期ワードの検出時に専用の SPORT モード割込みまたはストロブ信号を提供します。割込み信号とストロブ信号をイネーブルすると、これらの信号は PHY\_RX ステートにある間、使用可能な状態のままになります。ストロブ信号の場合は、8 ビットごとに幅 1 ビットのハイ・パルスが 1 個生成されます。ストロブ信号は同期ワードに同期されて各バイトの最初に生成されるので、同期ワード検出と共に使用する場合はストロブ信号が最も有効です。

SPORT モードでは、IRQ\_GP3 は INTERRUPT\_SOURCE\_1 用とその通常割込み機能を維持しますが、INTERRUPT\_PREAMBLE\_DETECT と INTERRUPT\_SYNC\_DETECT だけは、INTERRUPT\_SOURCE\_0 から使用できます。詳細については、割込み生成のセクションを参照してください。

### SPORT モードでの送信ビット遅延

送信ビット遅延は、GP2 の送信データ・クロックによるビットのサンプリングから、そのビットが RF 出力に現れるまでの時間です。2FSK/MSK 変調使用時は、送信ビット遅延はありません。GFSK/GMSK 変調使用時の遅延は 2 ビットです。GMSK/GFSK 変調を使用する場合、この遅延を考慮するために、データ・クロックによる最終データ・ビットのサンプリング後に、ホスト・プロセッサが 2 ビット分の時間だけ ADF7023-J を PHY\_TX ステートに維持します。

表 14. SPORT モードでの GPIO 機能

GPIO_CONFIGURE	GP0	GP1	GP2	IRQ_GP3	GP4	XOSC32KP_GP5_ATB1
0xA0	Rx data	Tx data	Tx/Rx clock	INTERRUPT_SOURCE_1	未使用	未使用
0xA1	Rx data	Tx data	Tx/Rx clock	からの通常割り込み生成。	割り込み	未使用
0xA2	Rx data	Tx data	Tx/Rx clock	INTERRUPT_SOURCE_0	ストロープ	未使用
0xA3	Rx data	Tx data	Tx/Rx clock	からの縮小セット。	未使用	32.768kHz XTAL 入力
0xA4	Rx data	Tx data	Tx/Rx clock	SPORT モードの割り込み	割り込み	32.768kHz XTAL 入力
0xA5	Rx data	Tx data	Tx/Rx clock	のセクションを参照。	ストロープ	32.768kHz XTAL 入力
0xA6	Rx data	Tx data	Tx/Rx clock		未使用	EXT_UC_CLK 出力
0xA7	Rx data	Tx data	Tx/Rx clock		割り込み	EXT_UC_CLK 出力
0xA8	Rx data	Tx data	Tx/Rx clock		ストロープ	EXT_UC_CLK 出力

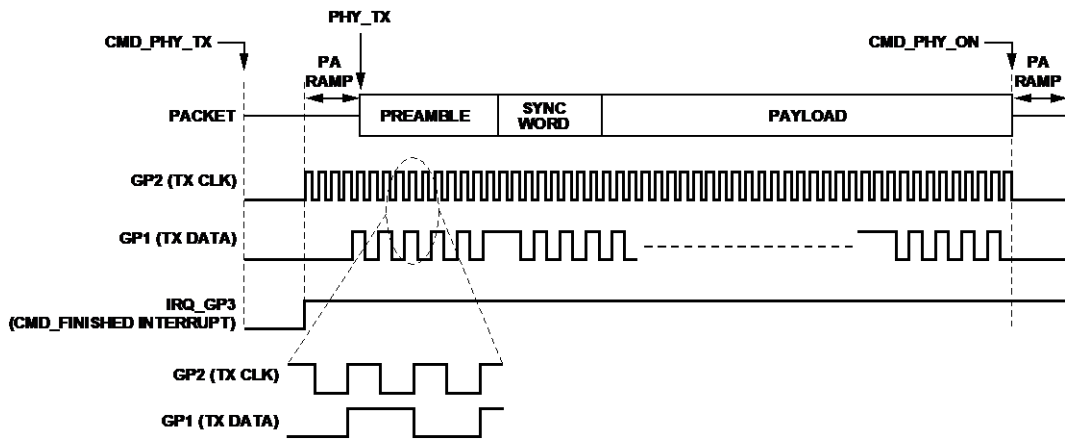


図 49. SPORT モード送信

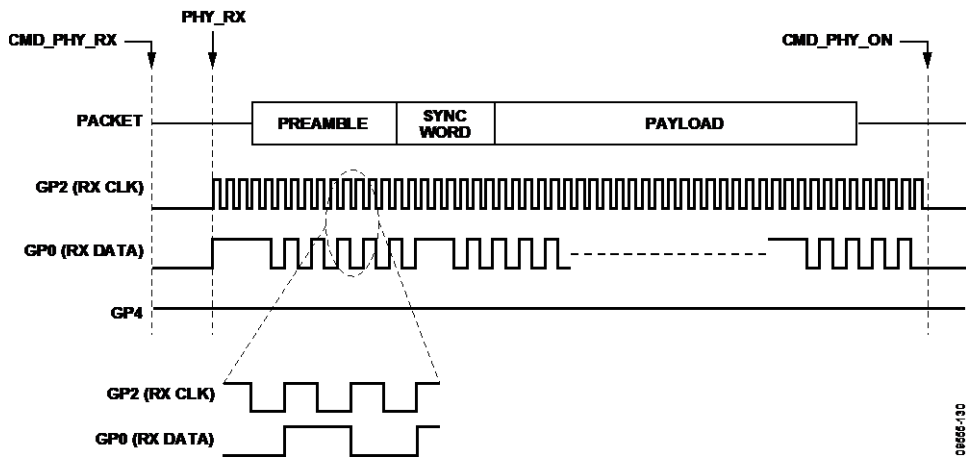


図 50. SPORT モード受信 (DATA\_MODE = 1、2、および GPIO\_CONFIGURE = 0xA0、0xA3、または 0xA6)

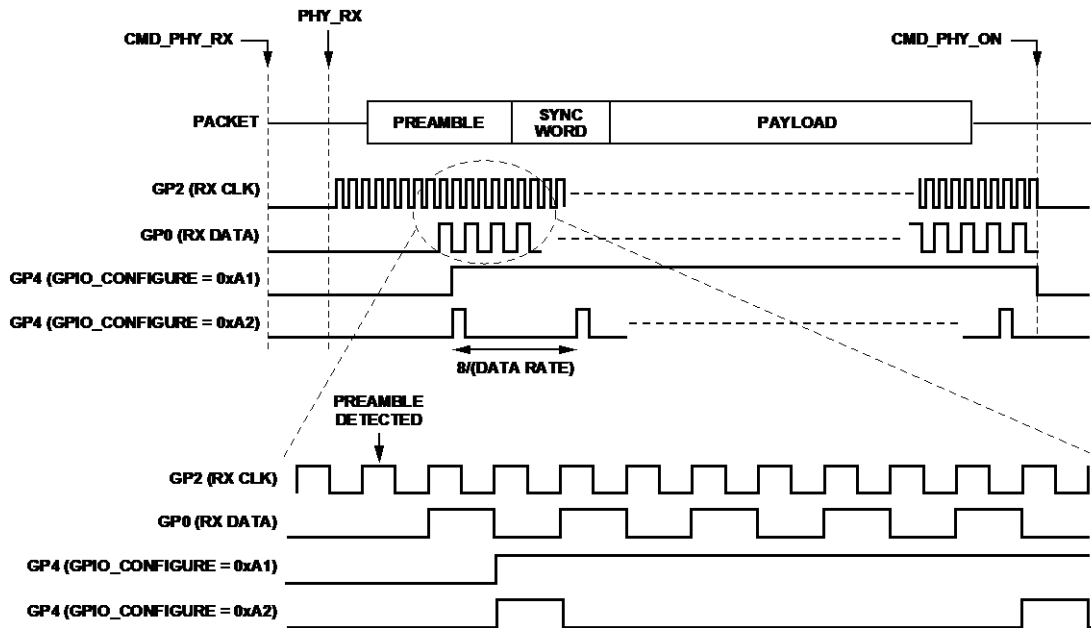


図 51. SPORT モード受信 (DATA\_MODE = 1, GPIO\_CONFIGURE = 0xA1, 0xA2, 0xA4, 0xA5, 0xA7, 0xA8)

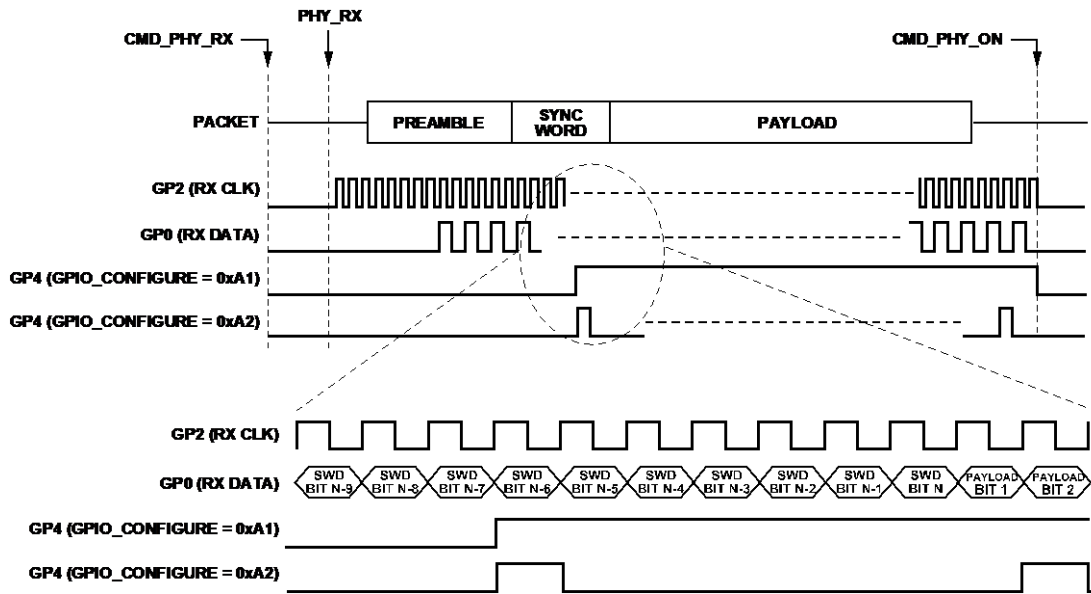


図 52. SPORT モード受信 (DATA\_MODE = 2, GPIO\_CONFIGURE = 0xA1, 0xA2, 0xA4, 0xA5, 0xA7, 0xA8)

## パケット・モード

オンチップ通信プロセッサは、2FSK/GFSK/MSK/GMSK 変調を使用する広範なパケットベースの無線プロトコルに使用できるよう設定することができます。通信プロセッサのパケット管理機能を使用する際の一般的なパケット・フォーマットを表 16 に示します。パケット管理機能を使用するには、PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) の DATA\_MODE 設定をパケット・モードにする必要があります。この場合、240 バイトの専用パケット RAM を使用してパケットの保存、送信、および受信を行うことができます。送信モードでは、送信のためパケット RAM に保存されたデータに、通信プロセッサによってプリアンブル、同期ワード、および CRC を追加することができます。更にオプションで、同期ワード後のすべてのパケット・データを送信時にホワイトニング、マンチェスタ・エンコーディング、または 8b/10b エンコーディングし、受信時にデコーディングすることができます。

受信モードでは、通信プロセッサを使い、プリアンブル検出、同期ワード検出、CRC 検出、またはアドレス・マッチングに基づいて受信パケットの評価を行い、IRQ\_GP3 ピンに割込みを生成することができます。有効なパケットを受信すると、その受信ペイロード・データがパケット RAM にロードされます。割込みに関する詳細は、割込み生成のセクションに記載されています。

### プリアンブル

プリアンブルはパケットの必須部分で、パケット送信時に通信プロセッサによって自動的に追加され、パケット受信後に除去されます。プリアンブルは 0x55 のシーケンスで、長さは 1 バイトから 256 バイトの範囲でプログラム可能です。長さは PREAMBLE\_LEN レジスタ (アドレス 0x11D) に設定されます。プリアンブルは、レシーバーの AGC、AFC、ならびにクロックおよびデータ復元回路のセトリングを同期ワード開始前に完了

させることができるように、パケットの最初の部分に置く必要があります。必要なプリアンブル長は無線の構成設定によって異なります。詳細については、無線ブロックのセクションを参照してください。

受信モードでは、ADF7023-J はプリアンブル評価回路を使ってプリアンブルを検出し、ホスト・プロセッサに割込みをかけることができます。プリアンブル評価回路は、スライディング・ウィンドウとして受信フレームを追跡します。ウィンドウの長さは 3 バイトで、プリアンブル・パターンは 0x55 に固定されています。プリアンブル・ビットの確認は 01 のペアで行われます。どちらかのビットまたは両方のビットがエラーの場合、そのペアはエラーと見なされます。想定されるエラー・ペアは 00、11、および 10 です。プリアンブル内で許容されるエラー・ペアは、表 15 に示す PREAMBLE\_MATCH レジスタの値 (アドレス 0x11B) を使って設定できます。

表 15. プリアンブルエラー検出許容値 (PREAMBLE\_MATCH、アドレス 0x11B)

値	説明
0x0C	エラーは許容されない。
0x0B	12 個のビットペア中に 1 個のエラー・ビットペアが許容される。
0x0A	12 個のビットペア中に 2 個のエラー・ビットペアが許容される。
0x09	12 個のビットペア中に 3 個のエラー・ビットペアが許容される。
0x08	12 個のビットペア中に 4 個のエラー・ビットペアが許容される。
0x00	プリアンブル検出をディスエーブル。

表 16. ADF7023-J のパケット構造の説明

パケット・フォーマット・オプション	パケット構造 <sup>1</sup>						
	プリアンブル	同期	ペイロード			CRC	ポストアンブル
			長さ	アドレス	ペイロード・データ		
フィールド長	1 byte to 256 bytes	1 bit to 24 bits	1 byte	1 byte to 9 bytes	0 bytes to 240 bytes	2 bytes	2 bytes
パケット構造内のオプション・フィールド	X	X	Yes	Yes	Yes	Yes	X
通信プロセッサが Tx 時に追加、Rx 時に除去	Yes	Yes	X	X	X	Yes	Yes
ホストがこれらのフィールドをパケット RAM に書込み	X	X	Yes	Yes	Yes	X	X
ホワイトニング/デホワイトニング (オプション)	X	X	Yes	Yes	Yes	Yes	X
マンチェスタ・エンコーディング/デコーディング (オプション)	X	X	Yes	Yes	Yes	Yes	X
8b/10b エンコーディング/デコーディング (オプション)	X	X	Yes	Yes	Yes	Yes	X
パラメータの設定が可能	Yes	Yes	Yes	Yes	Yes	Yes	X
有効フィールド検出時に割込みを受信	Yes	Yes	X	Yes	X	Yes	X
フィールド・エラー許容値をプログラム可能	Yes	Yes	X	X	X	X	X
フィールド・オフセットをプログラム可能 (図 55 を参照)	X	X	X	Yes	X	X	X

<sup>1</sup> 「Yes」は、そのパケット・フォーマット・オプションがサポートされていることを示し、「X」はパケット・フォーマット・オプションがサポートされていないことを示します。



PREAMBLE\_MATCH が 0x0C に設定されている場合、有効なプリアンブルが検出されたことを確認するには、ADF7023-J が 01 ペアを 12 個 (3 バイト) 連続して受け取る必要があります。ユーザは、有効なプリアンブルが検出された時点で、AFC または AGC、もしくはその両方を自動的にロックするオプションを選択することができます。プリアンブル検出時の AFC ロックは、RADIO\_CFG\_10 レジスタ (アドレス 0x116) の AFC\_LOCK\_MODE を 3 に設定することによって有効にできます。プリアンブル検出時の AGC ロックは、RADIO\_CFG\_7 レジスタ (アドレス 0x113) の AGC\_LOCK\_MODE を 3 に設定することによってイネーブルできます。

プリアンブル検出後にそのプリアンブルの最後に達すると、通信プロセッサは同期ワードを探します。同期ワードの検出は、プログラムされた同期ワードのビット数とプリアンブル・マッチング許容値 (ビット数) の合計に、更に 16 ビットを加えた値に等しい時間だけ続きます。この時間内に同期ワード・ルーチンが検出されると、通信プロセッサが受信ペイロードをパケット RAM にロードして、CRC を計算します (CRC が有効化されている場合)。この時間内に同期ワード・ルーチンが検出されない場合、通信プロセッサはプリアンブルの検出を続けます。

プリアンブルの検出は、PREAMBLE\_MATCH レジスタを 0x00 に設定することによってディスエーブルできます。プリアンブル検出時の割込みをイネーブルするには、INTERRUPT\_MASK\_0 レジスタ (アドレス 0x100) の INTERRUPT\_PREAMBLE\_DETECT を 1 に設定する必要があります。

## 同期ワード

同期ワードは、バイト・レベルで同期を取ると共にオプションの検出時割込みを生成するために、レシーバが使用します。これは、送信モードにおいて通信プロセッサにより自動的にパケットに追加され、パケット受信時に除去されます。

同期ワードの値は、SYNC\_BYTE\_0、SYNC\_BYTE\_1、および SYNC\_BYTE\_2 レジスタ (それぞれアドレス 0x121、アドレス 0x122、アドレス 0x123) に設定されます。同期ワードは、SYNC\_BYTE\_0 から始まって最上位ビット側から順に送信されます。同期ワードのマッチング長は、SYNC\_CONTROL レジスタ (アドレス 0x120) の SYNC\_WORD\_LENGTH を使って設定し、長さは 1 ビットから 24 ビットまでの範囲とすることができます。送信される同期ワードは 8 ビットの倍数です。したがって、バイト長になっていない同期ワードは、図 53 と表 18 に示すようにプリアンブル・パターンを送信同期パターンに追加する必要があります。

受信モードでは、ADF7023-J は、SYNC\_BYTE\_0、SYNC\_BYTE\_1、および SYNC\_BYTE\_2 レジスタにプログラムされた同期ワード・シーケンス受信時に、割込みを生成することができます。この機能は、有効な同期ワードが検出されたことを知らせるアラートをホスト・プロセッサに送信するために使用できます。同期ワード・シーケンスに誤ったビットが含まれていても、それが 3 ビット以内であれば有効なマッチングと見なすようなエラー許容値パラメータをプログラムすることも可能です。エラー許容値は、表 17 に示すように、SYNC\_CONTROL レジスタ (アドレス 0x120) の SYNC\_ERROR\_TOL 設定を使って設定します。

表 17. 同期ワード検出エラー許容値 (SYNC\_ERROR\_TOL、アドレス 0x120 のビット [7:6] )

値	説明
00	ビット・エラーを許容しない。
01	1 ビットまでエラーを許容。
10	2 ビットまでエラーを許容。
11	3 ビットまでエラーを許容。

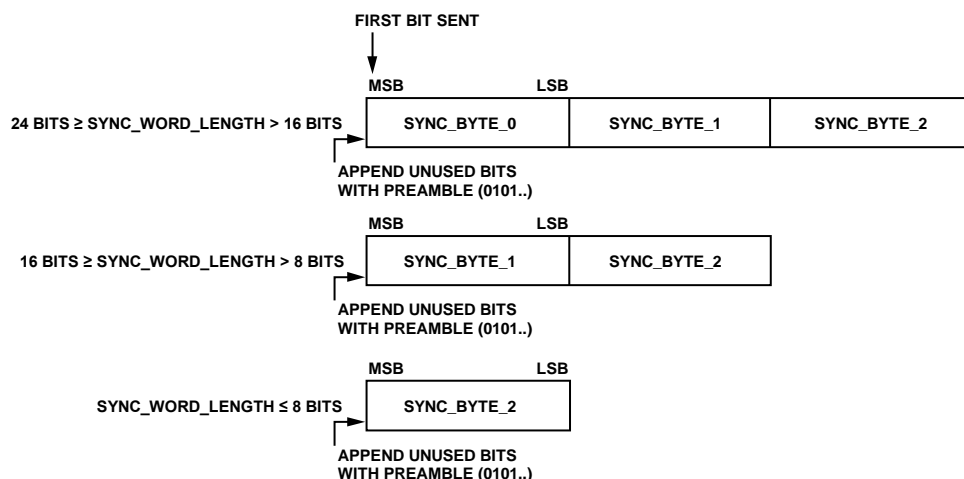


図 53. 送信同期ワードの構成

09555-008

表 18. 同期ワードのプログラム例

Required Sync Word (Binary, First Bit Being First in Time)	SYNC_WORD_LENGTH Bits in SYNC_CONTROL Register (0x120)	SYNC_BYTE_0 <sup>1</sup>	SYNC_BYTE_1 <sup>1</sup>	SYNC_BYTE_2	Transmitted Sync Word (Binary, First Bit Being First in Time)	Receiver Sync Word Match Length (Bits)
000100100011010001010110	24	0x12	0x34	0x56	0001_0010_0011_0100_0101_0110	24
111010011100101000100	21	0x5D	0x39	0x44	0101_1101_0011_1001_0100_0100	21
0001001000110100	16	0xXX	0x12	0x34	0001_0010_0011_0100	16
011100001110	12	0xXX	0x57	0x0E	0101_0111_0000_1110	12
00010010	8	0xXX	0xXX	0x12	0001_0010	8
011100	6	0xXX	0xXX	0x5C	0101_1100	6

<sup>1</sup>X = ドント・ケア。

## 同期ワードの選択

同期ワードは、プリアンプルとの関連性が低く、良好な自己相関特性を有するものを選ぶ必要があります。同期ワード検出時にロックされるように AFC が設定されている場合 (AFC\_LOCK\_MODE=3、PREAMBLE\_MATCH=0)、同期ワードは DC フリーで (DC 成分が含まれていない)、ラン・レングスの上限が 4 ビット以下のものを選ぶ必要があります。

## ペイロード

送信データ・ペイロードは、ホスト・プロセッサによってパケット RAM に書き込まれます。パケット RAM 内の送信データ位置は、TX\_BASE\_ADR レジスタ (アドレス 0x124) の値によって決定されます。TX\_BASE\_ADR の値は、パケット RAM 内の送信ペイロード・データの第 1 バイトの位置です。有効な同期ワードを受け取ると、通信プロセッサが自動的に受信ペイロードをパケット RAM にロードします。RX\_BASE\_ADR レジスタ (アドレス 0x125) の値は、パケット RAM 内の受信ペイロードの第 1 バイトの位置を設定します。パケット RAM の詳細については、ADF7023-J のメモリ・マップのセクションを参照してください。

## エンディアン

パケット RAM 内にある各送信バイトの送信時配列は、PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) の DATA\_BYTE 設定を使って、MSB ファーストまたは LSB ファーストに設定することができます。エンディアン設定は、RF リンクの送信側と受信側で同じ設定とする必要があります。

## パケット長モード

ADF7023-J は、固定長パケット・システムと可変長パケット・システムの両方で使用できます。固定長および可変長パケット・モードは、PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) 内の PACKET\_LEN 変数を使って設定します。

固定パケット長システムでは、PACKET\_LENGTH\_MAX レジスタ (アドレス 0x127) によって送信および受信ペイロードの長さを設定します。ペイロード長は、同期ワードの終了位置から CRC の開始位置までのバイト数として定義されます。

可変長パケット・モードでは、通信プロセッサが受信ペイロード・データから長さフィールドを取り出します。送信モードでは、長さフィールドが送信ペイロードの第 1 バイトになっている必要があります。

通信プロセッサは、実際の受信ペイロード長を次式によって計算します。

$$RxPayload\ Length = Length + LENGTH\_OFFSET - 4$$

ここで、

Length は長さフィールド (受信ペイロードの第 1 バイト)、LENGTH\_OFFSET はプログラマブル・オフセットです

(PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) で設定)。

LENGTH\_OFFSET 値によって、固有フォーマットを持つパケットの長さフィールドに CRC や同期ワードの長さも含まれるようなシステムとの互換性を確保できます。ADF7023-J では、同期ワード終了位置から CRC 開始位置までのバイト数をペイロード長として定義します。可変パケット長モードでは、図 54 に示すように、PACKET\_LENGTH\_MAX の値によって受信可能な最大パケット長を定義します。

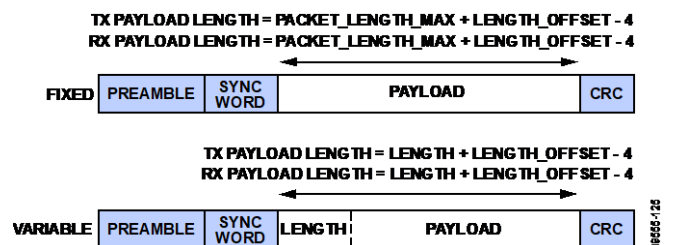


図 54. 固定長および可変長パケット・モードでのペイロード長

## アドレス指定

ADF7023-J は、極めて柔軟なアドレス・マッチング方式を採用しており、単一アドレス、複数アドレス、およびブロードキャスト・アドレスなどのマッチングを行うことができ、最長 32 ビットまでのアドレスに対応可能です。アドレス情報は、送信ペイロードの任意のセクションに含めることができます。

受信ペイロード内のアドレス・データの開始バイト位置は、図 55 に示すように、ADDRESS\_MATCH\_OFFSET レジスタ (アドレス 0x129) で設定されます。第 1 アドレス・フィールド内のバイト数は、ADDRESS\_LENGTH レジスタ (アドレス 0x12A) で設定します。これらの設定によって、通信プロセッサが受信パケットからアドレス情報を取り出すことが可能になります。

更にこのアドレス・データは、BBRAM (アドレス 0x12B~アドレス 0x137) に保存されている既知のアドレスのリストと比較されます。保存されているそれぞれのアドレス・バイトにはマスク・バイトが関連付けられており、それによってアドレス・バイトの部分的なマッチングを行うことができます。これは、ブロードキャスト・アドレスや、アドレス・シーケンスに固有識別子を含む一連のアドレスをチェックする際に便利です。ペイロード・データ内のアドレス情報のフォーマットと配置は、正確なアドレスの検出と評価を行うことができるように、レシーバーのアドレス・チェック設定と一致している必要があります。表 19 に、アドレス・チェックのセットアップに使用する BBRAM 内のレジスタ位置を示します。レジスタ 0x12A (第 1 アドレス・フィールドのバイト数) を 0x00 に設定すると、アドレス・チェックは無効になります。静的レジスタ固定を使用すると (表 90 参照)、アドレス・マッチングのためのスペースが減ります。

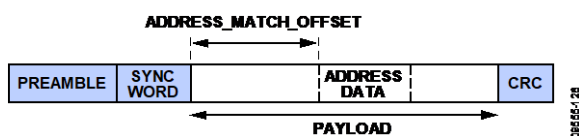


図 55. アドレス・マッチ・オフセット

表 19. アドレス・チェック・レジスタのセットアップ

アドレス (BBRAM)	説明 <sup>1</sup>
0x129, ADDRESS_MATCH_OFFSET	受信パケット内の第 1 アドレス・バイトの位置 (同期ワード後の最初のバイト = 0)
0x12A, ADDRESS_LENGTH	第 1 アドレス・フィールド内のバイト数 (N <sub>ADR_1</sub> )
0x12B	アドレス 1 マッチ・バイト 0
0x12C	アドレス 1 マスク・バイト 0
0x12D	アドレス 1 マッチ・バイト 1
0x12E	アドレス 1 マスク・バイト 1
...	...
	アドレス 1 マッチ・バイト N <sub>ADR_1</sub> - 1
	アドレス 1 マスク・バイト N <sub>ADR_1</sub> - 1
	別のアドレス・チェック・シーケンスについては、0x00 から終了位置または N <sub>ADR_2</sub> まで

<sup>1</sup> N<sub>ADR\_1</sub> = 第 1 アドレス・フィールド内のバイト数、N<sub>ADR\_2</sub> = 第 2 アドレス・フィールド内のバイト数。

IRQ\_GP3 ピンに割込みが必要な場合は、ホスト・プロセッサによって INTERRUPT\_SOURCE\_0 レジスタ (アドレス 0x336) 内の INTERRUPT\_ADDRESS\_MATCH ビットをセットする必要があります。割込みに関する詳細は、割込み生成のセクションに記載されています。

表 21. CRC セットアップ

PACKET_LENGTH CONTROL レジスタの CRC_EN ビット	SYMBOL_MODE レジスタの PROG_CRC_EN ビット	説明
0	X <sup>1</sup>	送信時に CRC が無効化され、受信時に CRC 検出が無効化されます。
1	0	送信時に CRC が有効化され、受信時に CRC 検出が有効化されます。デフォルト CRC 多項式を使用します。
1	1	送信時に CRC が有効化され、受信時に CRC 検出が有効化されます。CRC_POLY_0 と CRC_POLY_1 によって定義される CRC 多項式を使用します。

<sup>1</sup> X = ドント・ケア。

## アドレス・チェックの例

アドレス長が 16 ビットで、その第 1 バイトが受信ペイロード・データの 10 番目のバイトに置かれているシステムを考えます。このシステムはブロードキャスト・アドレスも使用しており、その第 1 バイトは 0xAA に固定されています。0xABCD という形式のアドレス、または 0xAAXX という形式のブロードキャスト・アドレスについて正確なアドレス・マッチングを行うには、ADF7023-J を表 20 に示すように設定する必要があります。

表 20. アドレス・チェック設定例

BBRAM アドレス	値	説明
0x129	0x09	第 1 アドレス・バイトのペイロード内位置
0x12A	0x02	第 1 アドレス・フィールド内のバイト数、N <sub>ADR_1</sub> = 2
0x12B	0xAB	アドレス 1 マッチ・バイト 0
0x12C	0xFF	アドレス 1 マスク・バイト 0
0x12D	0xCD	アドレス 1 マッチ・バイト 1
0x12E	0xFF	アドレス 1 マスク・バイト 1
0x12F	0x02	第 2 アドレス・フィールド内のバイト数、N <sub>ADR_2</sub> = 2
0x130	0xAA	アドレス 2 マッチ・バイト 0
0x131	0xFF	アドレス 2 マスク・バイト 0
0x132	0x00	アドレス 2 マッチ・バイト 1
0x133	0x00	アドレス 2 マスク・バイト 1
0x134	0x00	アドレスの終了 (0x00 で示す)
0x135	0XX	ドント・ケア
0x136	0XX	ドント・ケア
0x137	0XX	ドント・ケア

## CRC

PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) の CRC\_EN を 1 に設定することによって、オプションの CRC-16 を追加することができます。受信モードでは、このビットが受信パケットの CRC 検出を有効にします。SYMBOL\_MODE レジスタ (アドレス 0x11C) の PROG\_CRC\_EN が 0 の場合は、デフォルトの多項式が使われます。デフォルトの CRC 多項式は次のとおりです。

$$g(x) = x^{16} + x^{12} + x^5 + 1$$

PROG\_CRC\_EN = 1 の場合は他の任意の 16 ビット多項式を使用でき、その多項式は CRC\_POLY\_0 (アドレス 0x11E) と CRC\_POLY\_1 (アドレス 0x11F) に設定されます。CRC のセットアップを表 21 に示します。CRC は 0x0000 に初期化されます。

ユーザ定義多項式を 2 バイト値に変換するには、多項式をバイナリ形式で書き込む必要があります。係数  $x^{16}$  は 1 に等しいと見なされるので、消去されます。残りの 16 ビットが CRC\_POLY\_0 (上位バイト) と CRC\_POLY\_1 (下位バイト) を構成します。一般的な 2 つの 16 ビット CRC 設定例を表 22 に示します。

表 22. CRC\_POLY\_0 と CRC\_POLY\_1 の設定例

Polynomial	Binary Format	CRC_POLY_0	CRC_POLY_1
$x^{16} + x^{15} + x^2 + 1$ (CRC-16-IBM)	1_1000_0000_0000_0101	0x80	0x05
$x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ (CRC-16-DNP)	1_0011_1101_0110_0101	0x3D	0x65

デフォルトの CRC またはユーザ定義の 16 ビット CRC を使ってレシーバーの CRC 検出を有効にするには、PACKET\_LENGTH\_CONTROL レジスタ (アドレス 0x126) の CRC\_EN を 1 に設定します。検証済み CRC パケットの受信時には、割込みを生成できます (割込み生成のセクションを参照)。

## ポストアンブル

通信プロセッサは、トランスミッタ・パケットの末尾に 2 バイトのポストアンブルを自動的に追加します。このポストアンブルの各バイトは 0x55 です。第 1 バイトは CRC の直後に送信され、最初のポストアンブル・バイトの直後に PA のランプ・ダウンが始まります。第 2 バイトは PA のランプ・ダウン中に送信されます。

レシーバーでは、受信パケットが有効な場合は最初のポストアンブル・バイトで RSSI が自動的に測定され、その結果が RSSI\_READBACK レジスタ (アドレス 0x312) に保存されます。RSSI は、通信プロセッサにより最終 CRC ビットの 17 $\mu$ s 後に測定されます。

## 送信パケット・タイミング

送信パケット・データに関する PA ランプ・タイミングを図 56 に示します。CMD\_PHY\_TX コマンドの発行後に VCO キャリブレーションが行われ、その後にシンセサイザ・セトリングのための遅延が続きます。更に、シンセサイザのセトリング後に PA ランプが続きます。プログラムされたレートで PA がランプ・アップを開始してから変調が開始されるまでには、1 バイトの遅延があります (プリアンブル)。ポストアンブルの第 2 バイト開始時には、PA がランプ・ダウンします。その後、通信プロセッサは PHY\_ON ステートまたは PHY\_RX ステートに遷移します (TX\_TO\_RX\_AUTO\_TURNAROUND がイネーブルされるか、CMD\_PHY\_RX コマンドが発行された場合)。

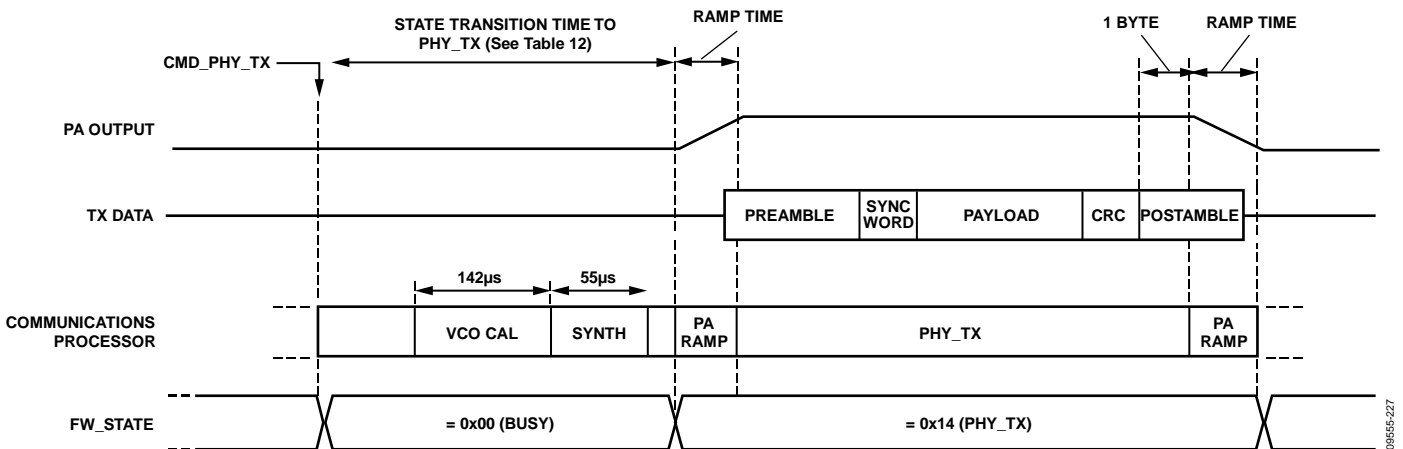


図 56. 送信パケット・タイミング

09555-227

## データ・ホワイトニング

送信データ・ストリーム内で 1 または 0 が長く連続するのを避けるために、データ・ホワイトニングを行うことができます。この場合はエンコーディングによって送信パケット内の 1 や 0 の長い連続が分割されるので、パケット内の十分なビット遷移が確保され、更にそれによってレシーバーのクロック & データ再生が容易になります。プリアンプルと同期ワードを除くデータは、8 ビット疑似ランダム・シーケンスとの XOR を取ることによって、送信前に自動的にホワイトニングされます。レシーバーでは、このデータと同じ疑似ランダム・シーケンスの XOR を取って、デホワイトニングを行います。使用する線形帰還シフト・レジスタの多項式は  $x^7 + x^1 + 1$  です。データのホワイトニングとデホワイトニングは、SYMBOL\_MODE レジスタ（アドレス 0x11C）の DATA\_WHITENING を 1 に設定することによって有効にします。

## マンチェスタ・エンコーディング

マンチェスタ・エンコーディングは、DC フリー（ゼロ平均）送信を実現するために使用できます。エンコードされた送信ビット・レート（チップ・レート）は、DATA\_RATE 変数（アドレ

ス 0x10C とアドレス 0x10D）によって設定されるレートの 2 倍です。バイナリ 0 は 10 にマップされ、バイナリ 1 は 01 にマップされます。マンチェスタ・エンコーディングとデコーディングはペイロード・データと CRC に適用され、SYMBOL\_MODE レジスタ（アドレス 0x11C）の MANCHESTER\_ENC を 1 に設定することによって有効にします。

## 8b/10b エンコーディング

8b/10b エンコーディングはバイト指向のエンコーディング方式で、8 ビットのバイトを 10 ビットのデータ・ブロックにマップします。これは、送信された任意の 10 ビット・シンボル内の連続する 1 または 0 の最大数（つまりラン・レングス）が 5 になるようにするものです。このエンコーディング方式の利点は、DC バランシングが採用されていて、マンチェスタ・エンコーディングの効率低下がないことです。8b/10b エンコーディングのレート損失は 0.8 ですが、マンチェスタ・エンコーディングの場合は 0.5 です。8b/10b エンコーディングとデコーディングはペイロード・データと CRC に適用され、SYMBOL\_MODE レジスタ（アドレス 0x11C）の EIGHT\_TEN\_ENC を 1 に設定することによって有効にします。

## 割込み生成

ADF7023-J は柔軟性の高い強力な割込みシステムを使用しており、MAC レベル割込みと PHY レベル割込みをサポートしています。割込みソースをイネーブルするには、対応するマスク・ビットを設定する必要があります。イネーブルされた割込みが発生すると、IRQ\_GP3 ピンがハイになって、ステータス・ワードの割込みビットがロジック 1 に設定されます。ホスト・プロセッサは、IRQ\_GP3 ピンかステータス・ワードのどちらかを使って割込みをチェックすることができます。ホスト・プロセッサによって特別な命令が出されない限り、割込みのアサート後も ADF7023-J は影響を受けることなく動作を続けます。割込みソースとマスク・システムの概要を表 23 に示します。

MAC 割込みは INTERRUPT\_MASK\_0 レジスタ (アドレス 0x100) の該当ビットにロジック 1 を書き込むことによってイネーブルでき、PHY レベル割込みは INTERRUPT\_MASK\_1 レジスタ (アドレス 0x101) の該当ビットにロジック 1 を書き込むことによってイネーブルできます。これらのメモリ位置の構造を表 23 に示します。

割込み条件の場合、割込みソースは INTERRUPT\_SOURCE\_0 レジスタ (アドレス 0x336) と INTERRUPT\_SOURCE\_1 レジスタ (アドレス 0x337) を読み出すことによって決定できます。該当割込み条件に対応するビットはハイです。これらのレジスタの構成を表 24 に示します。

割込み条件に続いて、ホスト・プロセッサは、その後の割込みが IRQ\_GP3 ピンをアサートできるように、関連割込みフラグをクリアする必要があります。これは、INTERRUPT\_SOURCE\_0 レジスタまたは INTERRUPT\_SOURCE\_1 レジスタ内のハイになっているビットに、ロジック 1 を書き込むことによって行います。割込みソース・レジスタ内の複数のビットがハイになっている場合は、それらのビットにロジック 1 を書き込むことによって、個別に、あるいは一度にクリアすることができます。すべての割込みソース・ビットをクリアすると、IRQ\_GP3 ピンがローになります。

一例として、(INTERRUPT\_SOURCE\_1 レジスタ内で) バッテリ・アラーム割込みが発生する場合を考えます。ホスト・プロセッサは以下の処理を行う必要があります。

1. 割込みソース・レジスタを読み出します。この例では、INTERRUPT\_SOURCE\_0 内の割込みフラグがイネーブルされていない場合は INTERRUPT\_SOURCE\_1 だけを読み出します。
2. INTERRUPT\_SOURCE\_1 に 0x80 (または 0xFF) を書き込んで割込みをクリアします。
3. 割込み条件に応答します。

表 23. 割込みマスク・レジスタの構造

レジスタ	ビット	ビット名	説明
INTERRUPT_MASK_0, Address 0x100	7	INTERRUPT_NUM_WAKEUPS	WUC ウェイクアップの回数 (NUMBER_OF_WAKEUPS [15:0]) が閾値 (NUMBER_OF_WAKEUPS_IRQ_THRESHOLD [15:0]) に達したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	6	INTERRUPT_SWM_RSSI_DET	スマート・ウェイク・モード中に測定した RSSI が、RSSI 閾値 (SWM_RSSI_THRESH、アドレス 0x108) を超えたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	5	INTERRUPT_AES_DONE	AES 暗号化コマンドまたは復号コマンドが完了したときに割込み。AES ファームウェア・モジュールが ADF7023-J のプログラム RAM にダウンロードされている場合のみ使用可能 1: 割込みイネーブル、0: 割込みディスエーブル
	4	INTERRUPT_TX_EOF	パケットの送信が完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	3	INTERRUPT_ADDRESS_MATCH	受信パケットのアドレス・マッチが有効なものであるときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	2	INTERRUPT_CRC_CORRECT	受信パケットの CRC が正しいものであるときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	1	INTERRUPT_SYNC_DETECT	受信パケット内に有効な同期ワードが検出されたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	0	INTERRUPT_PREAMBLE_DETECT	受信パケット内に有効なプリアンブルが検出されたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル

レジスタ	ビット	ビット名	説明
INTERRUPT_MASK_1, Address 0x101	7	BATTERY_ALARM	バッテリー電圧が閾値 (BATTERY_MONITOR_THRESHOLD_VOLTAGE、アドレス 0x32D) を下回ったときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	6	CMD_READY	通信プロセッサが新しいコマンドをロードできる状態になったときに割込み。ステータス・ワードの CMD_READY ビットをミラー 1: 割込みイネーブル、0: 割込みディスエーブル
	5	Reserved	
	4	WUC_TIMEOUT	WUC がタイムアウトしたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	3	Reserved	
	2	Reserved	
	1	SPI_READY	SPI がアクセス準備を完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
	0	CMD_FINISHED	通信プロセッサがコマンドの実行を完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル

表 24. 割込みソース・レジスタの構造

レジスタ	ビット	ビット名	割込みの説明
INTERRUPT_SOURCE_0, Address: 0x336	7	INTERRUPT_NUM_WAKEUPS	WUC ウェイクアップの回数 (NUMBER_OF_WAKEUPS [15:0]) が閾値 (NUMBER_OF_WAKEUPS_IRQ_THRESHOLD [15:0]) に達したときにアサート
	6	INTERRUPT_SWM_RSSI_DET	スマート・ウェイク・モード中の測定 RSSI が、RSSI 閾値 (SWM_RSSI_THRESH、アドレス 0x108) を超えたときにアサート
	5	INTERRUPT_AES_DONE	AES 暗号化コマンドまたは復号コマンドが完了したときにアサート。AES ファームウェア・モジュールが ADF7023-J のプログラム RAM にダウンロードされている場合のみ使用可能
	4	INTERRUPT_TX_EOF	パケットの送信を完了したときにアサート (パケット・モードのみ)
	3	INTERRUPT_ADDRESS_MISMATCH	受信パケットのアドレス・マッチが有効なものであるときにアサート (パケット・モードのみ)
	2	INTERRUPT_CRC_CORRECT	受信パケットの CRC が正しいものであるときにアサート (パケット・モードのみ)
	1	INTERRUPT_SYNC_DETECT	受信パケット内に有効な同期ワードが検出されたときにアサート
	0	INTERRUPT_PREAMBLE_DETECT	受信パケット内に有効なプリアンプルが検出されたときにアサート
INTERRUPT_SOURCE_1, Address: 0x337	7	BATTERY_ALARM	バッテリー電圧が閾値 (BATTERY_MONITOR_THRESHOLD_VOLTAGE、アドレス 0x32D) を下回ったときにアサート
	6	CMD_READY	通信プロセッサが新しいコマンドをロードできる状態になったときにアサート。ステータス・ワードの CMD_READY ビットをミラー
	5	Reserved	
	4	WUC_TIMEOUT	WUC がタイムアウトしたときにアサート
	3	Reserved	
	2	Reserved	
	1	SPI_READY	SPI がアクセス準備を完了したときにアサート
	0	CMD_FINISHED	通信プロセッサがコマンドの実行を完了したときにアサート

### SPORT モードの割込み

SPORT モードでは、INTERRUPT\_SOURCE\_1 からの割込みをすべて使用できます。ただし、INTERRUPT\_NUM\_WAKEUPS、INTERRUPT\_SWM\_RSSI\_DET、INTERRUPT\_PREAMBLE\_DETECT、および INTERRUPT\_SYNC\_DETECT だけは INTERRUPT\_SOURCE\_0 から使用できます。GP4 は 2 番目の割込みピンとして使用でき、プリアンブルまたは同期ワードの検

出時に SPORT モード割込み専用割り当てることができます。詳細については、SPORT モードのセクションを参照してください。

SPORT モードでパケットを受信した後は、次のパケットの割込みを再びイネーブルするために PHY\_RX コマンドを再発行してください。



## ADF7023-J のメモリ・マップ

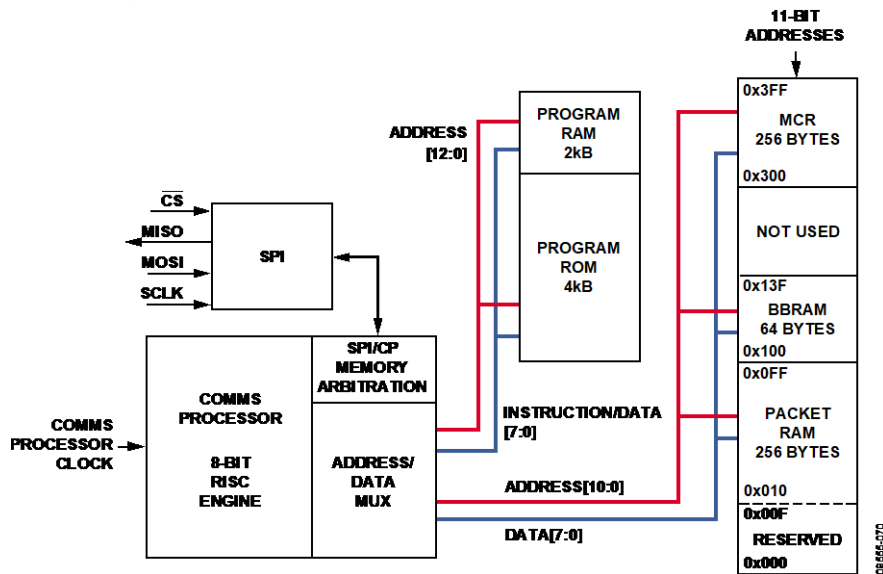


図 57. ADF7023-J のメモリ・マップ

ここでは、ADF7023-J が使用する様々なメモリ位置について説明します。このデバイスの無線制御、パケット管理、およびスマート・ウェイク・モードの各機能は、組み込みプログラム ROM に保存された命令を実行する内蔵 RISC プロセッサを使って実現されています。更に、3 つのセクションに分割されているローカル RAM があり、これは送受信両方のデータ用のデータ・パケット・バッファとして使われる他（パケット RAM）、無線およびパケット管理設定の保存用に使われます（BBRAM と MCR）。これらのメモリ・バンクの RAM アドレスの長さは 11 ビットです。

### BBRAM

バッテリー・バックアップ RAM には、無線を設定するために使われるメイン無線およびパケット管理用のレジスタが含まれています。ADF7023-J に初めてバッテリー電源を供給するにあたっては、ホスト・プロセッサにより、適切な設定で BBRAM 全体を初期化する必要があります。また、BBRAM への書き込み後は、CMD\_CONFIG\_DEV コマンドを発行して、最新の BBRAM 設定で無線と通信プロセッサを更新する必要があります。CMD\_CONFIG\_DEV コマンドは、PHY\_OFF ステートまたは PHY\_ON ステートでのみ発行できます。

BBRAM は、ウェイクアップ・コントローラによるスリープ・モードからのウェイクアップ時に、必要な設定を維持するために使われます。スマート・ウェイク・モードでスリープからウェイクアップするときは、オンチップ・プロセッサが BBRAM の内容を読み出して、パケット管理パラメータと無線パラメータを復元します。

### モデム設定 RAM (MCR)

256 バイトのモデム設定 RAM (MCR) には、ADF7023-J の物理層無線ブロックの直接制御や監視に使われる様々なレジスタが含まれています。PHY\_SLEEP ステートでは MCR の内容は保持されません。

### プログラム ROM

プログラム ROM は 4kB の不揮発性メモリで構成されており、無線制御、パケット管理、およびスマート・ウェイク・モード用のファームウェア・コードが格納されています。

### プログラム RAM

プログラム RAM は 2kB の揮発性メモリで構成されています。このメモリ・スペースは、アナログ・デバイセズから入手できる AES 暗号化、IR キャリブレーション、リードソロモン・エンコーディングなどのソフトウェア・モジュール用に使われます。ソフトウェア・モジュールは、ホスト・プロセッサにより、SPI を介してプログラム RAM のメモリ・スペースにダウンロードされます。プログラム RAM へのファームウェア・モジュールのロードについての詳細は、ダウンロード可能なファームウェア・モジュールのセクションを参照してください。

## パケット RAM

パケット RAM は 256 バイトのメモリ・スペースで構成されています。このメモリ・スペースの最初の 16 バイトは、オンチップ・プロセッサ用に割り当てられています。残りの 240 バイトは、有効な受信パケットのデータと送信パケット・データの保存用に割り当てられています。通信プロセッサは、受信したペイロード・データを、受信アドレス・ポインタである RX\_BASE\_ADR レジスタ (アドレス 0x125) の値によって示されたメモリ位置に保存します。送信アドレス・ポインタである TX\_BASE\_ADR

レジスタ (アドレス 0x124) の値は、通信プロセッサが送信するデータの開始アドレスを決定します。このメモリは、1 つまたは複数の送信または受信パケットを保存するために任意に割り当てることができます。オーバーラップはあってもなくても構いません。RX\_BASE\_ADR の値は、最大受信ペイロード長に見合う十分なパケット RAM スペースを割り当てられるように選ぶ必要があります。

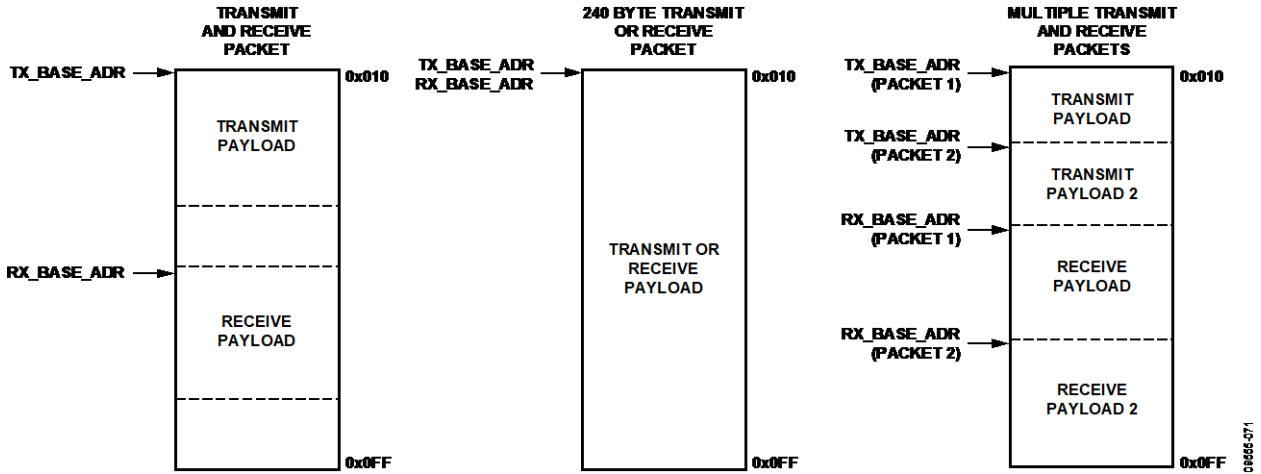


図 58. Tx パケット・アドレス・ポインタと Rx パケット・アドレス・ポインタを使用したパケット RAM 構成の例

## SPI インターフェース

### 一般的な特性

ADF7023-Jには、SCLK、MISO、MOSI、および $\overline{CS}$ ピンを使用する4線式SPIインターフェースがあります。ADF7023-Jは、ホスト・プロセッサに対して常にスレーブとして動作します。プロセッサとADF7023-Jの接続例を図59に示します。この図には、各ピンの信号フローの方向も示されています。SPIインターフェースがアクティブになってMISO出力がインエーブルされるのは、 $\overline{CS}$ 入力がローの場合に限られます。このインターフェースは8ビットのワード長を使用しますが、これはほとんどのプロセッサのSPIハードウェアと互換性があります。SPIインターフェースを介したデータ転送は、MSBファーストで行われます。MOSI入力はSCLKの立上がりエッジでサンプリングされます。コマンドまたはデータはMOSI入力からSCLKの立上がりエッジでシフト・インされるので、ステータス・ワードまたはデータは、SCLKクロックの立下がりエッジに同期してMISOピンでシフト・アウトされます。 $\overline{CS}$ がローになると、ステータス・ワードの最上位ビットがMISO出力に出力されます。SCLK入力にクロックの立上がりエッジを加える必要はありません。

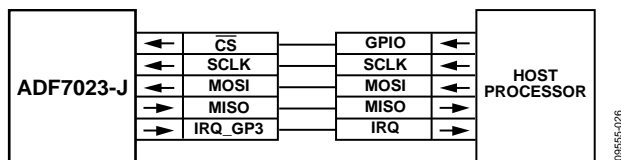


図 59. SPI インターフェースの接続

### コマンド・アクセス

ADF7023-Jはコマンドを通じて制御されます。コマンド・ワードは、通信プロセッサの状態遷移と、レジスタおよびパケットRAMへのアクセスを制御するシングル・オクテット命令です。有効なすべてのコマンドを網羅したリストは、コマンド・リファレンスのセクションに記載されています。CMDプレフィックスを持つコマンドは、通信プロセッサによって処理されます。メモリ・アクセス・コマンドにはSPIプレフィックスがあり、これは独立したコントローラによって処理されます。したがって、SPIコマンドは通信プロセッサのステートに関係なく発行できます。

図60に示すように、コマンドは、 $\overline{CS}$ をローにし、SPI経由でコマンド・ワードをシフト・インすることによって開始されます。すべてのコマンドは、SCLK入力の最後の立上がりエッジで実行されます。 $\overline{CS}$ 入力は、後に続くコマンド・ワードを認識できるようにするために、コマンドをADF7023-J内にシフトした後で再びハイにする必要があります。これは、 $\overline{CS}$ がローになっている間しかシングル・コマンドを発行できないからです（ダブルNOPコマンドを除く）。

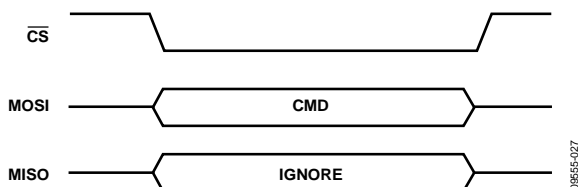


図 60. コマンド書込み（パラメータなし）

### ステータス・ワード

ADF7023-Jのステータス・ワードは、MOSIを介して1バイトが転送されるごとにMISO経由で自動的に返されます。ダブルSPI\_NOPコマンド（表27参照）をシフト・インすると、図61に示すようにステータス・ワードがシフト・アウトされます。様々なビット・フィールドの意味を表25に示します。FW\_STATE変数は、通信プロセッサの現在のステートを読み出すために使用できます。表26を参照してください。何らかの動作や状態遷移でビジーの場合は、FW\_STATEがビジーになります。FW\_STATE変数は無線の現在の状態も示します。

SPI\_READY変数は、SPIのアクセス準備が整ったことを示すために使われます。CMD\_READY変数は、通信プロセッサが新しいコマンドを受け取れる状態になったことを示すために使われます。コマンドを発行する前に、通信プロセッサが新しいコマンドを受け取れる状態であることを確認するために、ステータス・ワードに対してポーリングを行い、CMD\_READYビットを調べる必要があります。SPIメモリ・アクセス・コマンドの発行前にCMD\_READYビットをチェックする必要はありません。通信プロセッサがビジーの場合は、1つのコマンドをキューに入れることができます。これについては、コマンド・キューのセクションで説明します。

ADF7023-Jの割り込みハンドラは、通信プロセッサが新しいコマンドを受け取れる状態になったときや（INTERRUPT\_SOURCE\_1レジスタ [アドレス 0x337]のCMD\_READY）、コマンドの処理を終了したときに（INTERRUPT\_SOURCE\_1レジスタ [アドレス 0x337]のCMD\_FINISHED）、IRQ\_GP3に割り込み信号を生成するように設定することもできます。

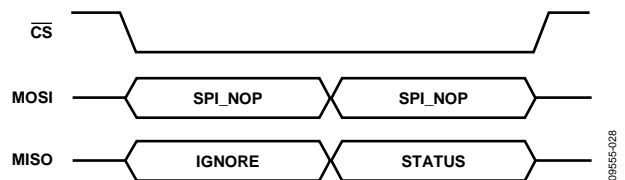


図 61. ダブル SPI\_NOP コマンドによるステータス・ワードの読出し

表 25. ステータス・ワード

ビット	ビット名	説明
[7]	SPI_READY	0: SPIはアクセスの準備ができていません。 1: SPIはアクセスの準備ができています。
[6]	IRQ_STATUS	0: 保留中の割り込みはありません。 1: 割り込みを保留中（IRQ_GP3ピンをミラー）。
[5]	CMD_READY	0: 無線コントローラは無線コントローラ・コマンドを受け取る準備ができていません。 1: 無線コントローラは無線コントローラ・コマンドを受け取る準備ができています。
[4:0]	FW_STATE	ADF7023-Jのステートを示します（表26）。

表 26. FW\_STATE の説明

Value	State
0x0F	Initializing
0x00	Busy, performing a state transition
0x11	PHY_OFF
0x12	PHY_ON
0x13	PHY_RX
0x14	PHY_TX
0x06	PHY_SLEEP
0x05	Performing CMD_GET_RSSI
0x08	Performing CMD_AES_DECRYPT_INIT
0x09	Performing CMD_AES_DECRYPT
0x0A	Performing CMD_AES_ENCRYPT

## コマンド・キュー

CMD\_READY ステータス・ビットは、通信プロセッサの使用されるコマンド・キューが空であることを示すために使用します。キューに入れられるコマンドは 1 つです。FW\_STATE ビットは、通信プロセッサのステータスを示すために使われます。図 62 に、PHY\_OFF ステータスで CMD\_PHY\_ON コマンドを発行したときのステータス・ワードと、これらのビットの動作を示します。

PHY\_OFF ステータスで CMD\_PHY\_ON コマンドを発行し、その直後に CMD\_PHY\_RX コマンドを発行したときに、コマンドがキューに入れられた場合のステータス・ワードの動作を図 63 に示します。CMD\_PHY\_RX コマンドは、FW\_STATE がビジー（つまり PHY\_OFF ステータスから PHY\_ON ステータス、またはその逆の遷移中）でも、CMD\_READY ビットがハイである（コマンド・キューが空であることを示す）ときには発行されます。CMD\_PHY\_RX コマンドの発行後は CMD\_READY ビットがロジック・ローに遷移し、コマンド・キューがふさがっていることを示します。PHY\_OFF から PHY\_ON への遷移が完了すると、通信プロセッサによって直ちに PHY\_RX コマンドが処理されて CMD\_READY ビットがハイになり、コマンド・キューが空いて別のコマンドを発行できるようになったことを示します。

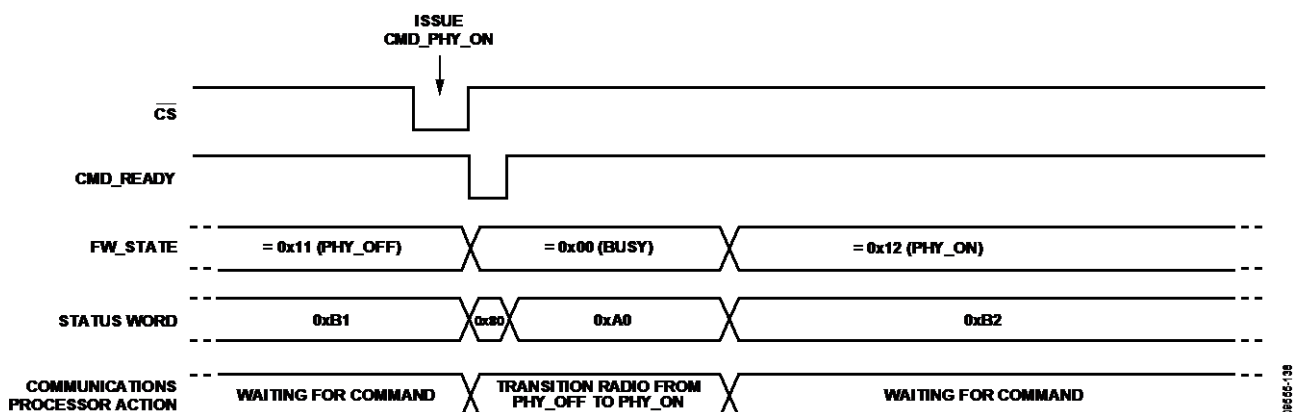


図 62. ADF7023-J が PHY\_OFF ステータスから PHY\_ON ステータスへ遷移する際の CMD\_READY ビットと FW\_STATE ビットの動作

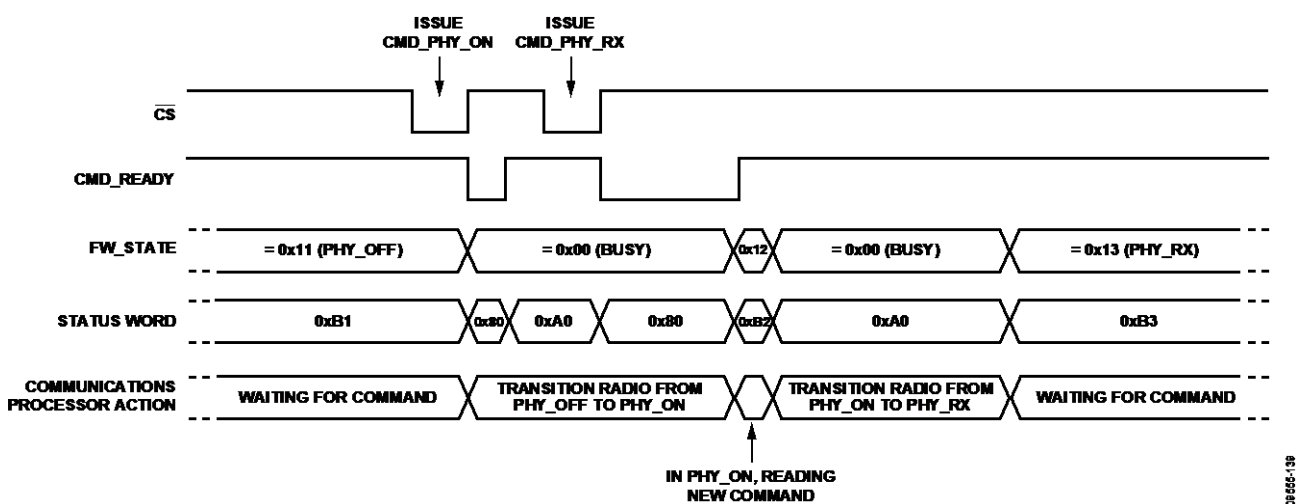


図 63. ADF7023-J が PHY\_OFF ステータスから PHY\_ON ステータス、更に PHY\_RX ステータスへ遷移する際のコマンド・キューと CMD\_READY ビットおよび FW\_STATE ビットの動作

## メモリ・アクセス

各メモリ位置へのアクセスは、関連する SPI コマンドを呼び出すことによって行われます。メモリ・スペース内のレジスタや位置の識別には、11 ビットのアドレスを使用します。このアドレスの最上位3ビットが SPI コマンドに組み込まれますが、これは、この3ビットをコマンド・ワードの LSB として末尾に追加することによって行います。コマンド、アドレス、およびデータのパーティショニングを図 64 に示します。SPI メモリ・アクセス・コマンドには様々なものがあり、これらはアクセスするメモリ位置によって異なります（表 27 を参照）。

SPI コマンドを発行できるのは、ステータス・ワードの、INTERRUPT\_SOURCE\_1 レジスタ（アドレス 0x337）内にある SPI\_READY ビットがハイの場合に限られます。ADF7023-J の割込みハンドラは、SPI\_READY ビットがハイになったときに IRQ\_GP3 に割込み信号を生成するよう設定することもできます。

通信プロセッサの初期化中は（FW\_STATE = 0x0F）、SPI コマンドを発行しないようにする必要があります。それ以外であれば、SPI コマンドは、通信プロセッサがビジー・ステート（FW\_STATE = 0x00）を含むどのステートにあっても発行できます。つまり、無線が状態遷移中であっても ADF7023-J のメモリへはアクセス可能です。

## ブロック書き込み

MCR、BBRAM、およびパケット RAM のメモリ位置へは、SPI\_MEM\_WR コマンドを使ってブロック形式で書き込みを行うことができます。SPI\_MEM\_WR コマンドのコードは 00011xxx で、xxx は最初の 11 ビット・アドレスのビット [10:8] を表します。1 データ・バイト以上の書き込みを行う場合の書き込みアドレスは、CS がハイにセットされるまで、1 バイト送信されるごとに自動的にインクリメントされます。これがハイになると、メモリ・アクセス・コマンドは終了します（詳細については図 65 を参照）。最大ブロック書き込み長は、MCR が 256 バイト、パケット RAM が 256 バイト、BBRAM が 64 バイトです。これらの最大ブロック書き込み長を超えないようにしてください。

## 例

ADC\_CONFIG\_HIGH レジスタ（アドレス 0x35A）に 0x00 を書き込みます。

- SPI\_MEM\_WR コマンドの最初の 5 ビットは 00011 です。
- ADC\_CONFIG\_HIGH の 11 ビット・アドレスは 01101011010 です。
- 最初に送られるバイトは 00011011、つまり 0x1B です。
- 2 番目に送られるバイトは 01011010、つまり 0x5A です。
- 3 番目に送られるバイトは 0x00 です。

したがって、デバイスには 0x1B、0x5A、0x00 が書き込まれます。

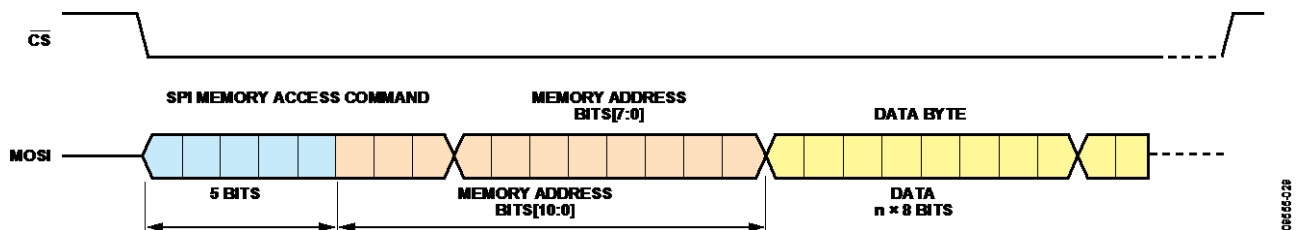


図 64. SPI メモリ・アクセス・コマンド/アドレス形式

表 27. SPI メモリ・アクセス・コマンドの概要

SPI コマンド	コマンド値	説明
SPI_MEM_WR	0x18 (packet RAM), 0x19 (BBRAM), 0x1B (MCR), 0x1E (program RAM)	BBRAM、MCR、またはパケット RAM へシーケンシャルにデータを書き込みます。メモリ位置の識別には 11 ビットのアドレスが使われます。コマンドには、このアドレスの最上位 3 ビットが組み込まれます (xxx)。このコマンドの後にはアドレスの残り 8 ビットが続きます。
SPI_MEM_RD	0x38 (packet RAM), 0x39 (BBRAM), 0x3B (MCR)	BBRAM、MCR、またはパケット RAM からシーケンシャルにデータを読み出します。メモリ位置の識別には 11 ビットのアドレスが使われます。コマンドには、このアドレスの最上位 3 ビットが組み込まれます (xxx)。このコマンドの後にはアドレスの残り 8 ビットが続き、更にその後には必要数の SPI_NOP コマンドが続きます。
SPI_MEMR_WR	0x08 (packet RAM), 0x09 (BBRAM), 0x0B (MCR)	BBRAM、MCR、またはパケット RAM へ非シーケンシャルにデータを書き込みます。
SPI_MEMR_RD	0x28 (packet RAM), 0x29 (BBRAM), 0x2B (MCR)	BBRAM、MCR、またはパケット RAM から非シーケンシャルにデータを読み出します。
SPI_NOP	0xFF	無操作。ステータス・ワードにポーリングを行う際のダミー書き込みに使用します。メモリ読み出し時の MOSI ラインのダミー・データとしても使用します。

### ランダム・アドレス書き込み

MCR、BBRAM、およびパケット RAM の各メモリ位置への書き込みは、SPI\_MEMR\_WR コマンドを使って非シーケンシャルに行うことができます。SPI\_MEMR\_WR コマンドのコードは 00001xxx $b$  で、xxx $b$  は 11 ビット・アドレスのビット [10:8] を表します。このコマンドの後にはアドレスの下位 8 ビットを続け、その後には、そのアドレスに書き込むデータ・バイトを続けます。更に、図 66 に示すように次のアドレスの下位 8 ビットを入力してその後にアドレスに書き込むデータを続け、そのブロック内のすべての必要アドレスへの書き込みが完了するまでこれを繰り返します。

### プログラム RAM への書き込み

プログラム RAM への書き込みは、図 65 に示すように、メモリ・ブロック書き込みを使用することによってのみ行うことができます。SPI\_MEM\_WR は 0x1E に設定する必要があります。プログラム RAM へのファームウェア・モジュールのロードについての詳細は、ダウンロード可能なファームウェア・モジュールのセクションを参照してください。

### ブロック読出し

MCR、BBRAM、およびパケット RAM の各メモリ位置からの読出しは、SPI\_MEM\_RD コマンドを使ってブロック形式で行うことができます。SPI\_MEM\_RD コマンドのコードは 00111xxx $b$  で、xxx $b$  は最初の 11 ビット・アドレスのビット [10:8] を表します。このコマンドの後には読み出すアドレスの残り 8 ビットが続き、更にその後に 2 つの SPI\_NOP コマンド (ダミー・バイト) が続きます。アドレス書き込み後の最初のバイトは無視してください。2 番目のバイトが有効なデータです。複数のデータ・バイトを読み出す場合は、その後に送信される SPI\_NOP コマンドに合わせて書き込みアドレスが自動的にインクリメントされます。詳細については、図 67 を参照してください。

### ランダム・アドレス読出し

MCR、BBRAM、およびパケット RAM の各メモリ位置からの読出しは、SPI\_MEMR\_RD コマンドを使って非シーケンシャルに行うことができます。SPI\_MEMR\_RD コマンドのコードは 00101xxx $b$  で、xxx $b$  は 11 ビット・アドレスのビット [10:8] を表します。このコマンドの後には、書き込むアドレスの残り 8 ビットが続きます。更にその後のアドレス・バイトが書き込まれます。図 68 に示すように、最終書き込みアドレス・バイトの後には SPI\_NOP コマンドを 2 回続ける必要があります。最初のアドレス位置から始まるメモリのデータ・バイトは、2 番目のステータス・バイトの後にあるものから使用できます。

#### 例

ADC\_CONFIG\_HIGH レジスタ内に保存された値を読み出します。

- SPI\_MEM\_RD コマンドの最初の 5 ビットは 00111 です。
- ADC\_CONFIG\_HIGH の 11 ビット・アドレスは 01101011010 です。
- 最初に送られるバイトは 00111011、つまり 0x3B です。
- 2 番目に送られるバイトは 01011010、つまり 0x5A です。
- 3 番目に送られるバイトは 0xFF (SPI\_NOP) です。
- 4 番目に送られるバイトは 0xFF です。

したがって、デバイスには 0x3B5AFFFF が書き込まれます。

4 つめのバイトが送られたときに MISO ライン上でシフト・アウトされる値が、ADC\_CONFIG\_HIGH レジスタに保存されていた値です。

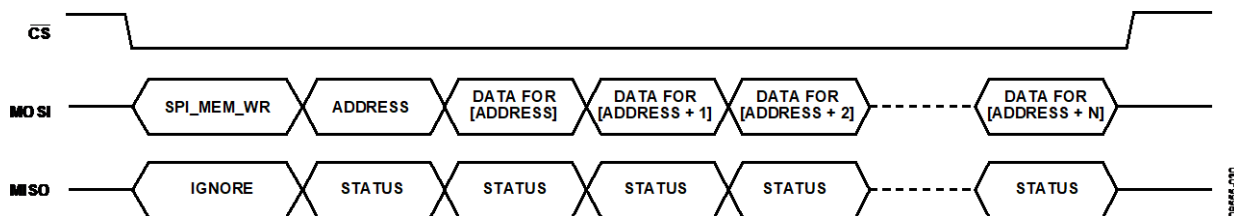


図 65. メモリ (MCR、BBRAM、またはパケット RAM) のブロック書き込み

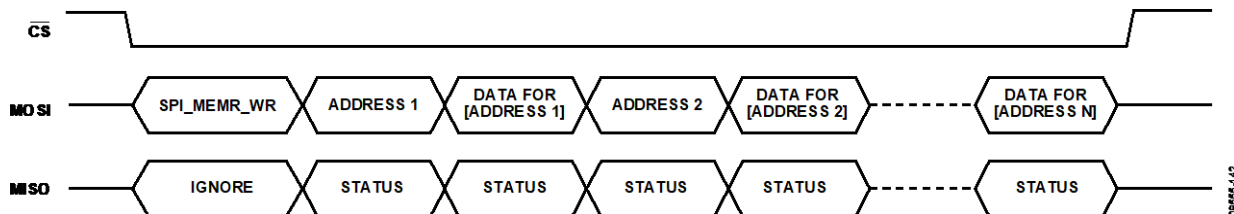


図 66. メモリ (MCR、BBRAM、またはパケット RAM) のランダム・アドレス書き込み

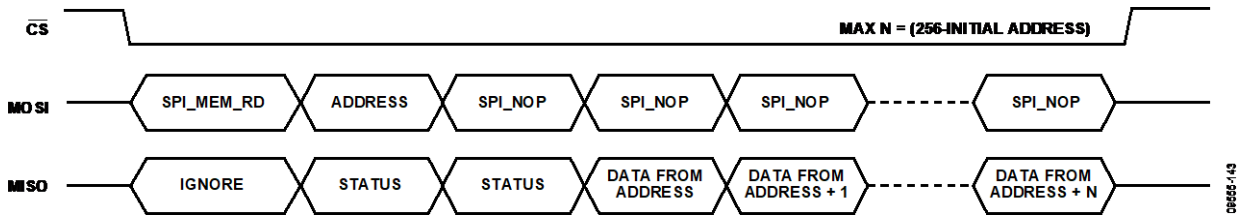


図 67. メモリ (MCR、BBRAM、またはパケット RAM) のブロック読出し

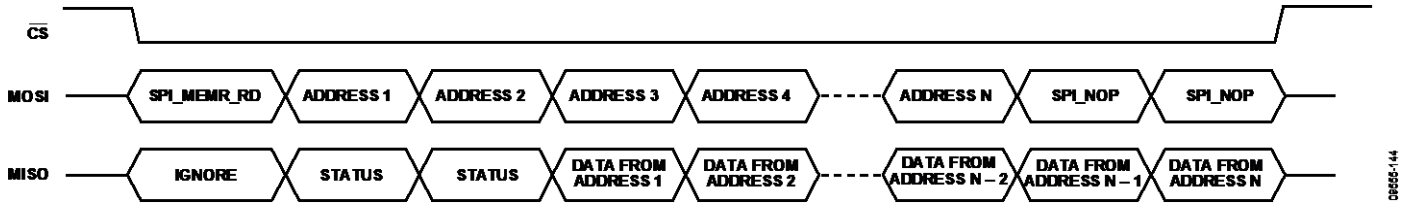


図 68. メモリ (MCR、BBRAM、またはパケット RAM) のランダム・アドレス読出し

## 低消費電力モード

バッテリー寿命が極めて重要な要素となるアプリケーションでは消費電力が重視されますが、ADF7023-J は、このようなアプリケーションに幅広く使用できるように設定できます。これには、ADF7023-J を完全自律モードで使用することが求められるアプリケーションや、低消費電力動作時にホスト・プロセッサがトランシーバーを制御するようなアプリケーションに対するサポートも含まれます。これらの低消費電力モードは、ハードウェア・ウェイクアップ・コントローラ (WUC) やファームウェア・タイマー、そしてオンチップ通信プロセッサのスマート・ウェイク・モード機能を使って実現されます。ハードウェア WUC は低消費電力の WUC で、プログラマブル・プリスケアラを持つ 16 ビットのウェイクアップ・タイマーで構成されています。32.768kHz RCOSC または XOSC が、このタイマーのクロック・ソースを提供します。

ファームウェア・タイマーは ADF7023-J に備わっているソフトウェア・タイマーで、WUC タイムアウトの回数のカウントに使用

され、ADF7023-J のウェイクアップ回数のカウントにも使用できます。したがって、WUC とファームウェア・タイマーは、リアルタイム・クロック機能を提供します。

低消費電力 WUC とファームウェア・タイマーを使用することで、SWM ファームウェアは、ホスト・プロセッサが介在することなく、ADF7023-J がスリープ状態から自律的にウェイクアップすることを可能にします。このウェイクアップの際、ADF7023-J は通信プロセッサによって制御されます。この機能により、ホスト・プロセッサがスリープ状態でもキャリア検出、パケット・スニッフィング、パケット受信を自律的に行うことが可能になるので、システム全体の消費電流が劇的に減少します。更にスマート・ウェイク・モードは、割込み条件に基づいてホスト・プロセッサをウェイクさせることができます。低消費電力モードの概要を図 69 に、様々な低消費電力モードに使用するレジスタ設定についての説明を表 28 に示します。



表 28. 電力モードの設定

低消費電力モード	メモリ・アドレス	レジスタ	ビット	ビット名	説明
Deep Sleep Modes	0x30D <sup>1</sup>	WUC_CONFIG_LOW	3	WUC_BBRAM_EN	0 : PHY_SLEEP で BBRAM の内容は保持されません。 1 : PHY_SLEEP で BBRAM の内容が保持されます。
WUC	0x30C <sup>1</sup>	WUC_CONFIG_HIGH	[2:0]	WUC_PRESCALER[2:0]	分周器の値が 32.768kHz になるように WUC のプリスケアラ値を設定します (表 29 を参照)。
WUC	0x30D <sup>1</sup>	WUC_CONFIG_LOW	6	WUC_RCOSC_EN	32.768kHz RC OSC をイネーブルします。
WUC	0x30D <sup>1</sup>	WUC_CONFIG_LOW	5	WUC_XOSC32K_EN	32.768kHz 外部 OSC をイネーブルします。
WUC	0x30D <sup>1</sup>	WUC_CONFIG_LOW	4	WUC_CLKSEL	WUC クロック・ソースを設定します。 1 : RC OSC を選択。 2 : XOSC を選択。
WUC	0x30D <sup>1</sup>	WUC_CONFIG_LOW	0	WUC_ARM	WUC タイムアウト時にデバイスが PHY_SLEEP ステートからウェイクするようにするには、イネーブルします。
WUC	0x30E <sup>2</sup> , 0x30F <sup>2</sup>	WUC_VALUE_HIGH WUC_VALUE_LOW	[7:0] [7:0]	WUC_TIMER_VALUE[15:8] WUC_TIMER_VALUE[7:0]	WUC タイマーの値。 WUC 間隔 (s) = WUC_TIMER_VALUE × $\frac{32,768 \text{ kHz}}{\text{Divider}}$ 32,768
WUC	0x101	INTERRUPT_MASK_1	4	WUC_TIMEOUT	WUC タイムアウト時の割込みをイネーブルします。
Firmware Timer	0x100	INTERRUPT_MASK_0	7	INTERRUPT_NUM_WAKEUPS	この割込みをイネーブルすると、ファームウェア・タイマーがイネーブルされます。NUMBER_OF_WAKEUPS の値が閾値を超えると割込みがセットされます。
Firmware Timer	0x102 0x103	NUMBER_OF_WAKEUPS_0 NUMBER_OF_WAKEUPS_1	[7:0] [7:0]	NUMBER_OF_WAKEUPS[7:0] NUMBER_OF_WAKEUPS[15:8]	ADF7023-J のウェイクアップ回数。
Firmware Timer	0x104 0x105	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0 NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1	[7:0] [7:0]	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[7:0] NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:8]	ADF7023-J のウェイクアップ回数の閾値。閾値を超えると、ADF7023-J は低消費電力モードを終了します。
SWM	0x11A	MODE_CONTROL	7	SWM_EN	スマート・ウェイク・モードを有効にします。
SWM	0x11A	MODE_CONTROL	5	SWM_RSSI_QUAL	スマート・ウェイク・モードの RSSI 事前評価をイネーブルします。
SWM	0x108	SWM_RSSI_THRESH	[7:0]	SWM_RSSI_THRESH[7:0]	RSSI 事前評価の RSSI 閾値。 RSSI 閾値 (dBm) = SWM_RSSI_THRESH - 107
SWM	0x107	PARMTIME_DIVIDER	[7:0]	PARMTIME_DIVIDER[7:0]	Rx ドウェル・タイマーのチック・レート。
SWM	0x106	RX_DWELL_TIME	[7:0]	RX_DWELL_TIME[7:0]	SWM において ADF7023-J がウェイクした状態を維持する時間。 受信ドウェル時間 = RX_DWELL_TIME × $\frac{6.5 \text{ MHz}}{128 \times \text{PARMTIME\_DIVIDER}}$
SWM	0x100	INTERRUPT_MASK_0	6 0 1 3	INTERRUPT_SWM_RSSI_DET INTERRUPT_PREAMBLE_DETECT INTERRUPT_SYNC_DETECT INTERRUPT_ADDRESS_MATCH	SWM で使用できる様々な割込み。

<sup>1</sup> 0x30C レジスタと 0x30D レジスタへの書き込みは以下の順番で行う必要があります : WUC\_CONFIG\_HIGH (アドレス 0x30C) 、その直後に WUC\_CONFIG\_LOW (アドレス 0x30D) へ書き込み。

<sup>2</sup> 0x30E レジスタと 0x30F レジスタへの書き込みは以下の順番で行う必要があります : WUC\_VALUE\_HIGH (アドレス 0x30E) 、その直後に WUC\_VALUE\_LOW (アドレス 0x30F) へ書き込み。

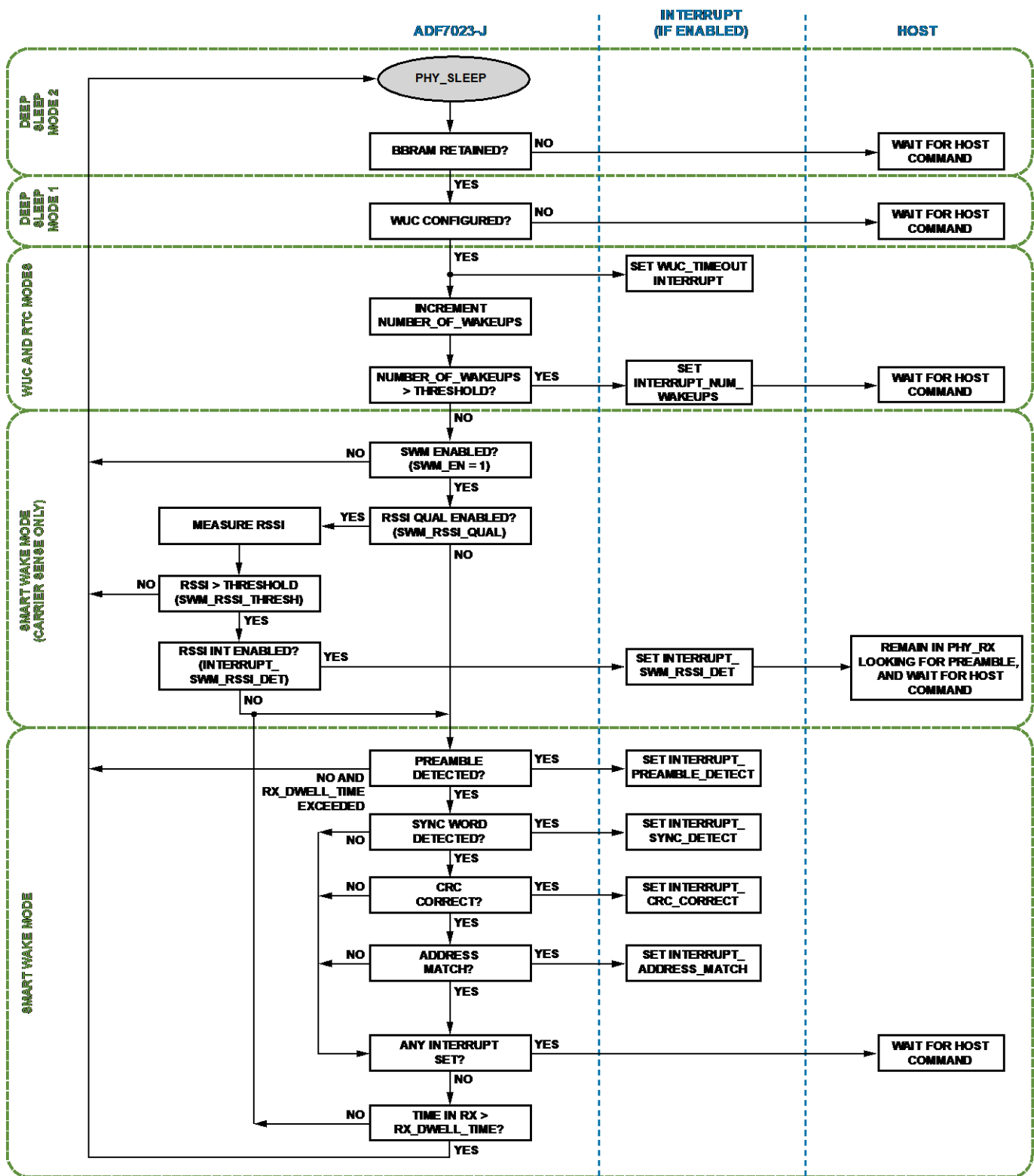


図 69. 低消費電力モード動作

DS057145

## 低消費電力モードの例

### ディープ・スリープ・モード 2

ディープ・スリープ・モード 2 は、ホスト・プロセッサが低消費電力モードのタイミングを制御し、ADF7023-J で実現可能な最小限のスリープ電流を必要とするようなアプリケーションに適しています。

この低消費電力モードでは、ADF7023-J は PHY\_SLEEP ステートになります。BBRAM の内容は保持されません。この低消費電力モードへの遷移は、CMD\_HW\_RESET コマンドを発行することによって、任意の無線ステートから実行できます。PHY\_SLEEP ステートのデバイスをウェイクさせるには、CS ピンをローにセットします。無線制御のセクションに詳細を示すように、CMD\_HW\_RESET コマンドの後には初期化ルーチンを続ける必要があります。

### ディープ・スリープ・モード 1

ディープ・スリープ・モード 1 は、ホスト・プロセッサが低消費電力モードのタイミングを制御し、PHY\_SLEEP ステートでも ADF7023-J の設定が保持されるようなアプリケーションに適しています。

この低消費電力モードでは、ADF7023-J が PHY\_SLEEP ステートになり、BBRAM の内容は保持されます。このモードでは、PHY\_SLEEP ステートにする前に、BBRAM の内容が保持されるよう、WUC\_BBRAM\_EN ビット (アドレス 0x30D) を 1 に設定する必要があります。この低消費電力モードへの遷移は、CMD\_PHY\_SLEEP コマンドを発行することによって、PHY\_OFF ステートまたは PHY\_ON ステートから実行できます。PHY\_SLEEP ステートを終了するには、CS ピンをローにセットします。更に、無線制御のセクションに詳細を示すように、CS ロー初期化ルーチンを後に続ける必要があります。

## WUC モード

この低消費電力モードでは、ハードウェア WUC を使って、ユーザが設定した時間の経過後に ADF7023-J を PHY\_SLEEP ステートからウェイクします。ADF7023-J は、この時間の終了時にホスト・プロセッサに対して割込みを生成することができます。ADF7023-J が PHY\_SLEEP ステートにある間は、消費電力を少なくするために、オプションでホスト・プロセッサをディープ・スリープ・ステートにしておくことができます。

ホスト・プロセッサは、CMD\_PHY\_SLEEP コマンドを発行する前に、WUC の構成設定を行うと共にファームウェア・タイマーの閾値をゼロに設定しておく必要があります (NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD\_x = 0、アドレス 0x104 とアドレス 0x105)。BBRAM の内容を保持するには、WUC\_BBRAM\_EN ビット (アドレス 0x30D) を 1 に設定する必要があります。CMD\_PHY\_SLEEP コマンドを発行すると、デバイスはハードウェア・タイマーのタイムアウトまでスリープ状態になります。タイムアウトした時点でデバイスはウェイクアップし、WUC\_TIMEOUT ビット (アドレス 0x101) または INTERRUPT\_NUM\_WAKEUPS ビット (アドレス 0x100) による割込みがイネーブルされている場合、デバイスは IRQ\_GP3 ピンをアサートします。

この低消費電力モードの動作を図 70 に示します。

## ファームウェア・タイマーによる WUC モード

この低消費電力モードでは、WUC を使用して ADF7023-J を PHY\_SLEEP ステートから周期的にウェイクさせ、ファームウェア・タイマーを使って WUC タイムアウトの回数をカウントします。この WUC とファームウェア・タイマーの組み合わせは、リアルタイム・クロック (RTC) 機能を提供します。

ホスト・プロセッサは、PHY\_SLEEP ステートに入る前に WUC とファームウェア・タイマーをセットアップする必要があります。BBRAM の内容が保持されるようにするには、WUC\_BBRAM\_EN ビット (アドレス 0x30D) を 1 に設定してください。WUC は、標準的な時間 (例えば 1 秒、60 秒など) でタイムアウトするように設定できます。CMD\_PHY\_SLEEP コマンドを発行すると、デバイスは、ハードウェア・タイマーがタイムアウトするまで PHY\_SLEEP ステートになります。タイムアウトした時点でデバイスがウェイクアップして 16 ビット・ファームウェア・タイマー (NUMBER\_OF\_WAKEUPS\_x、アドレス 0x102 とアドレス 0x103) をインクリメントし、WUC\_TIMEOUT ビット (アドレス 0x101) がイネーブルされている場合は IRQ\_GP3 ピンをアサートします。16 ビット・ファームウェア・カウントがユーザ設定閾値 (NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD\_x、アドレス 0x104 とアドレス 0x105) 以下の場合、デバイスは PHY\_SLEEP ステートに戻ります。この方法では、ファームウェア・カウント (NUMBER\_OF\_WAKEUPS\_x) とリアルタイム間隔が一致します。

ファームウェア・カウントがユーザ設定閾値 (NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD\_x) を超えると、INTERRUPT\_NUM\_WAKEUPS ビット (アドレス 0x100) がセットされている場合、ADF7023-J は IRQ\_GP3 ピンをアサートして PHY\_OFF ステートになります。この低消費電力モードの動作を図 71 に示します。

## スマート・ウェイク・モード (キャリア検出のみ)

この低消費電力モードでは、WUC、ファームウェア・タイマー、およびスマート・ウェイク・モードを使って、特定チャンネルで周期的に RSSI 測定が行われます (つまりキャリア検出)。このモードを有効にするには、PHY\_SLEEP ステートに入る前に WUC とファームウェア・タイマーを設定する必要があります。BBRAM の内容を保持するには、WUC\_BBRAM\_EN ビット (アドレス 0x30D) を 1 に設定する必要があります。RSSI 測定は、SWM\_RSSI\_QUAL ビット = 1、SWM\_EN ビット = 1 (アドレス 0x11A) に設定することによって有効にします。INTERRUPT\_SWM\_RSSI\_DET ビット (アドレス 0x100) もイネーブルしてください。測定した RSSI 値が、SWM\_RSSI\_THRESH レジスタ (アドレス 0x108) に設定されたユーザ定義閾値未満の場合、デバイスは PHY\_SLEEP ステートに戻ります。RSSI の測定値が SWM\_RSSI\_THRESH 値より大きい場合、デバイスは INTERRUPT\_SWM\_RSSI\_DET 割込みを設定してホスト・プロセッサにアラートを送出し、PHY\_RX ステートを維持してプリアンプルを探るか、ホスト・コマンドを待ちます。この低消費電力モードの動作を図 72 に示します。

### スマート・ウェイク・モード

この低消費電力モードでは、WUC、ファームウェア・タイマー、およびスマート・ウェイク・モードを使って周期的にパケットのリスニングが行われます。このモードを有効にするには、PHY\_SLEEP モードに入る前に、WUC とファームウェア・タイマーを設定してスマート・ウェイク・モード (SWM) を有効にする (SWM\_EN ビット、アドレス 0x11A) 必要があります。BBRAM の内容を保持するには、WUC\_BBRAM\_EN ビット (アドレス 0x30D) を 1 に設定する必要があります。また、オプションで RSSI 事前評価を有効にすることができます (SWM\_RSSI\_QUAL = 1、アドレス 0x11A)。RSSI 事前評価を有効にすると、ADF7023-J は、RSSI 測定値がユーザ定義閾値より大きい場合にのみプリアンブルの検索を開始します。

ADF7023-J は、RX\_DWELL\_TIME 設定 (アドレス 0x106) によって決定される時間だけ PHY\_RX ステートになります。ADF7023-J は、受信ドウェル時間内にプリアンブルを検出すると、更に同期ワードを探します。同期ワード・ルーチンが検出されると、ADF7023-J は受信データをパケット RAM にロードして、CRC とアドレス・マッチをチェックします (これらが有効になっている場合)。何らかの受信パケット割込みが設定されている場合、ADF7023-J は PHY\_ON ステートに戻ってホスト・コマンドを待ちます。

ADF7023-J がプリアンブル検出を受信ドウェル時間内に受信しても、残りの受信パケットをドウェル時間内に受信できなかった場合、ADF7023-J はすべてのパケットが受信されるまで、あるいはそのパケットが無効 (例えば正しくない同期ワードが存在する) と確認されるまで、ドウェル時間を延長します。

この低消費電力モードは、有効なパケット割込みが受信された時点で終了します。あるいは、ファームウェア・タイマーのタイムアウトによって終了することもできます。これは、低消費電力モードの間に一定の無線タスク (例えば IR キャリブレーション) やプロセッサ・タスクを周期的に実行する必要がある場合に有効です。

この低消費電力モードの動作を図 73 に示します。

### 低消費電力モードの終了

図 69 に示すように、低消費電力モードのいずれかの終了条件が満たされると、ADF7023-J はホスト・コマンドを待ちます。また、以下の手順を使い、低消費電力モードを非同期終了させることも可能です。

1. SPI の  $\overline{CS}$  ピンをローにして、MISO 出力がハイになるまで待ちます。
2. CMD\_HW\_RESET コマンドを発行します。

更にホスト・プロセッサは、初期化のセクションに示す内容に従い、CMD\_HW\_RESET コマンドの発行後に初期化手順を実行する必要があります。

低消費電力モードのタイミング図

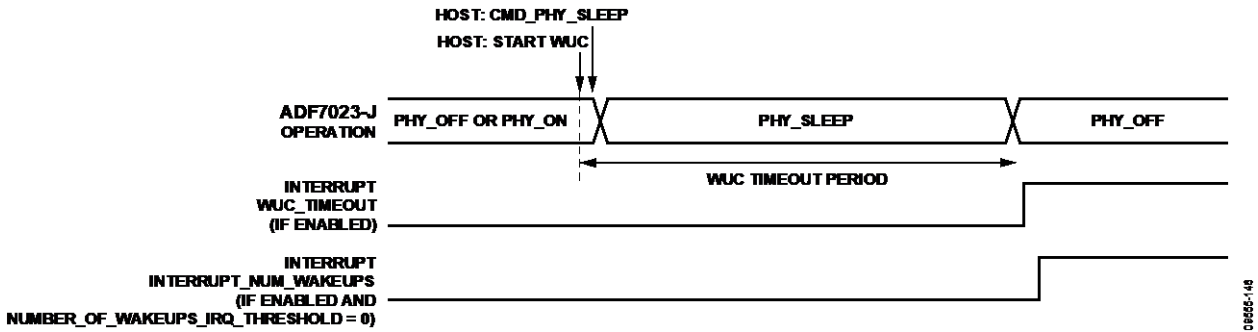


図 70. WUC 使用時の低消費電力モード・タイミング

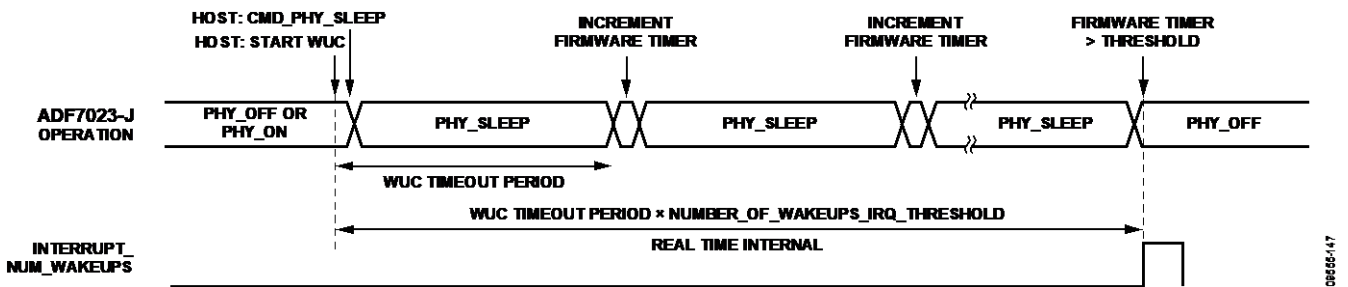


図 71. WUC およびファームウェア・タイマー使用時の低消費電力モード・タイミング

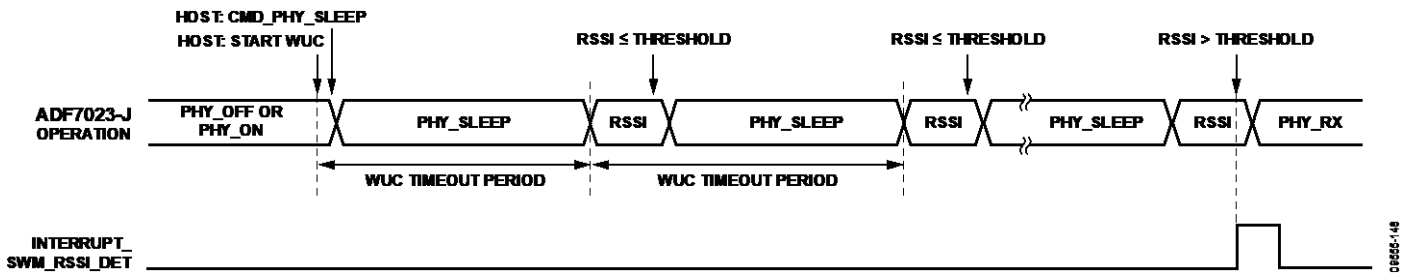


図 72. WUC、ファームウェア・タイマー、およびキャリア検出 SWM 使用時の低消費電力モード・タイミング

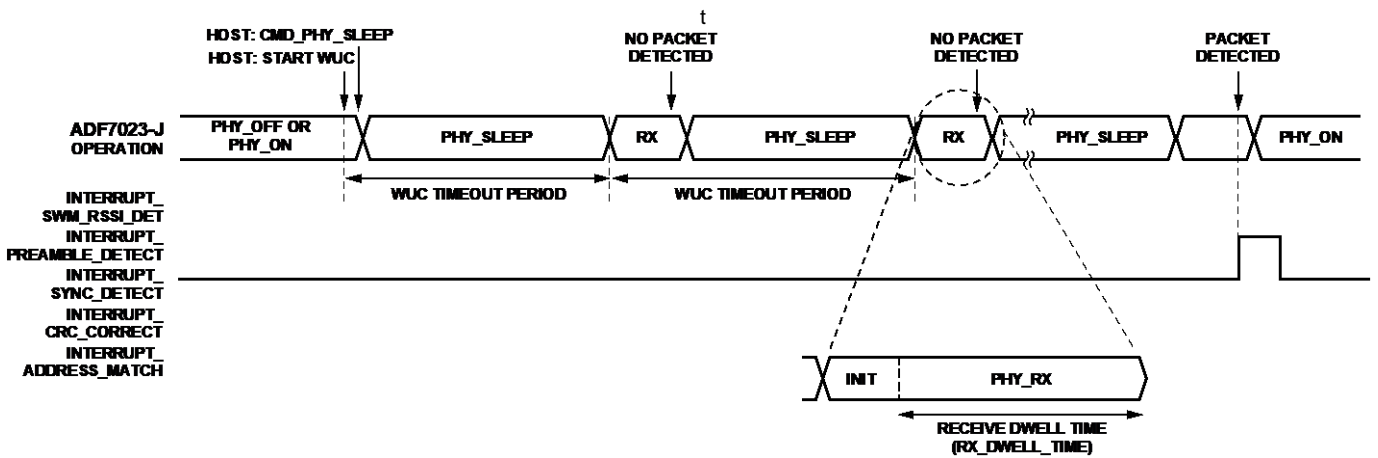


図 73. WUC、ファームウェア・タイマー、および SWM 使用時の低消費電力モード・タイミング

## WUC のセットアップ

### 回路の説明

ADF7023-J は低消費電力のウェイクアップ・コントローラを備えており、このコントローラは、図 74 に示すように 3 ビット・プログラマブル・プリスケアラ付きの 16 ビット・ウェイクアップ・タイマーで構成されています。プリスケアラのクロック・ソースは、32.76kHz の内部 RC 発振器 (RCOSC) または 32.76kHz の外部発振器 (XOSC) を使用するように設定できます。このプログラマブル・プリスケアラと 16 ビット・ダウン・カウンタの組み合わせにより、ハードウェア・タイマーの合計範囲は 30.52μs~36.4 時間となります。

### 設定と動作

ハードウェア WUC は以下のレジスタを介して設定します。

- WUC\_CONFIG\_HIGH (アドレス 0x30C)
- WUC\_CONFIG\_LOW (アドレス 0x30D)
- WUC\_VALUE\_HIGH (アドレス 0x30E)
- WUC\_VALUE\_LOW (アドレス 0x30F)

各レジスタの関連フィールドの詳細を表 29 に示します。これら 4 つのレジスタは、すべて書き込み専用です。

WUC は以下のように設定する必要があります。

1. すべての割込みをクリアします。
2. 必要な割込みを設定します。
3. WUC\_CONFIG\_HIGH と WUC\_CONFIG\_LOW に書き込みを行います。WUC\_ARM ビット = 1、WUC\_BBRAM\_EN ビット = 1 (PHY\_SLEEP のときに BBRAM を保持) としてください。これらのレジスタへの書き込みは、いずれも次の順番で行う必要があります。すなわち、WUC\_CONFIG\_HIGH への書き込みの直後に WUC\_CONFIG\_LOW への書き込みを行います。
4. WUC\_VALUE\_HIGH と WUC\_VALUE\_LOW に書き込みを行います。これは WUC\_TIMER\_VALUE [15:0]、つまり WUC のタイムアウト時間を設定します。これらのレジスタへの書き込みを行うと、その後タイマーはこの設定値からカウントを開始します。これらのレジスタへの書き込みは、いずれも次の順番で行う必要があります。すなわち、WUC\_VALUE\_HIGH への書き込み直後に WUC\_VALUE\_LOW への書き込みを行います。

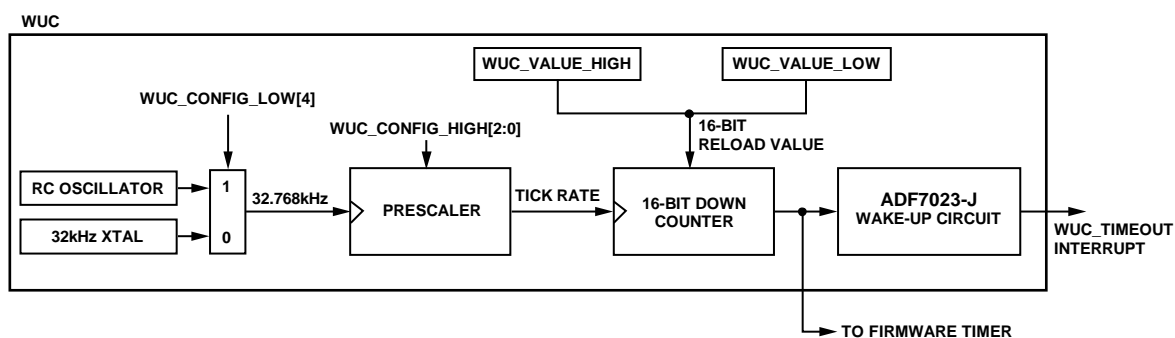


図 74. ハードウェア・ウェイクアップ・コントローラ (WUC)

表 29. WUC レジスタの設定

WUC の設定	レジスタ名	説明		
WUC_VALUE_HIGH [7:0]	WUC_TIMER_VALUE [15:8]	WUC タイマーの値。 WUC 間隔 (s) = WUC_TIMER_VALUE × $\frac{32.768 \text{ kHz Divider}}{32,768}$		
WUC_VALUE_LOW [7:0]	WUC_TIMER_VALUE [7:0]	WUC タイマーの値。		
WUC_CONFIG_HIGH [7]	Reserved	0 に設定。		
WUC_CONFIG_HIGH [6:3]	RCOSC_COARSE_CAL_VALUE	RCOSC_COARSE_CAL_VALUE	RC 発振器周波数の変化	粗調整ステート
		0000	+83%	ステート 10
		0001	+66%	ステート 9
		1000	+50%	ステート 8
		1001	+33%	ステート 7
		1100	+16%	ステート 6
		1101	0%	ステート 5
		1110	-16%	ステート 4
		1111	-33%	ステート 3
		0110	-50%	ステート 2
		0111	-66%	ステート 1

WUC の設定	レジスタ名	説明		
WUC_CONFIG_HIGH[2:0]	WUC_PRESCALER	WUC_PRESCALER	32.768kHz 分周器	チック周期
		000	1	30.52 $\mu$ s
		001	4	122.1 $\mu$ s
		010	8	244.1 $\mu$ s
		011	16	488.3 $\mu$ s
		100	128	3.91 ms
		101	1024	31.25 ms
		110	8192	250 ms
		111	65,536	2000 ms
WUC_CONFIG_LOW[7]	Reserved	0 に設定。		
WUC_CONFIG_LOW[6]	WUC_RCOSC_EN	1 : イネーブル。 0 : RCOSC32K をディスエーブル。		
WUC_CONFIG_LOW[5]	WUC_XOSC32K_EN	1 : イネーブル。 0 : XOSC32K をディスエーブル。		
WUC_CONFIG_LOW[4]	WUC_CLKSEL	1 : RC 32.768kHz 発振器 0 : 外部水晶発振器。		
WUC_CONFIG_LOW [3]	WUC_BBRAM_EN	1 : PHY_SLEEP ステートで BBRAM の電源をイネーブル。 0 : PHY_SLEEP ステートで BBRAM の電源をディスエーブル。		
WUC_CONFIG_LOW[2:1]	Reserved	0 に設定。		
WUC_CONFIG_LOW[0]	WUC_ARM	1 : WUC タイムアウト・イベントでウェイクアップを有効化。 0 : WUC タイムアウト・イベントでウェイクアップを無効化。		

## ファームウェア・タイマーのセットアップ

ADF7023-J は、WUC の設定するレートで PHY\_SLEEP ステートからウェイクアップします。ハードウェア・ウェイクアップの回数カウントとホスト・プロセッサへの割込みは、オンチップ・プロセッサにより実装されたファームウェア・タイマーを使用して行うことができます。したがって、ホスト・プロセッサのウェイクアップ・タイミングの処理に ADF7023-J を使用することができ、システム全体の消費電力が減少します。

ファームウェア・タイマーをセットアップするには、ホスト・プロセッサによって NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD [15:0] レジスタ (アドレス 0x104 とアドレス 0x105) の値を設定する必要があります。この 16 ビット値は、ホスト・プロセッサに割込みをかけるまでのデバイスのウェイクアップ回数を表します。ADF7023-J は、ウェイクアップするごとに NUMBER\_OF\_WAKEUPS [15:0] レジスタ (アドレス 0x102 とアドレス 0x103) の値をインクリメントします。この値が NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD [15:0] レジスタによる設定値を超えると、NUMBER\_OF\_WAKEUPS [15:0] の値がクリアされて 0 になります。INTERRUPT\_MASK\_0 レジスタ (アドレス 0x100) の INTERRUPT\_NUM\_WAKEUPS ビットがセットされている場合、デバイスはこの時点で IRQ\_GP3 ピンをアサートし、PHY\_OFF ステートになります。

## RC 発振器のキャリブレーション

RC 発振器のキャリブレーションには、精密キャリブレーションと粗キャリブレーションの 2 タイプがあります。RC 発振器の精密キャリブレーションは、PHY\_SLEEP からのウェイクアップ時とコールド・スタート時に自動的に行われます。精密キャリブレーションは手動で開始することもできます。

仕様のセクションに示されている RC 発振器の周波数精度を実現するには、RC 発振器の粗キャリブレーションを行う必要があります。

## RC 発振器の精密キャリブレーション

これは以下の要領で行います。

1. WUC\_CONFIG\_HIGH レジスタと WUC\_CONFIG\_LOW レジスタへ書き込みを行って、WUC\_RCOSC\_EN ビットをハイに設定します。
2. WUC\_FLAG\_RESET レジスタの WUC\_RCOSC\_CAL\_EN に 0 を書き込みます。
3. WUC\_FLAG\_RESET レジスタの WUC\_RCOSC\_CAL\_EN に 1 を書き込みます。

キャリブレーションの間も、ホスト・マイクロプロセッサは各メモリ位置の書き込みや読出しを行い、ADF7023-J ヘコマンドを発行することができます。RC 発振器のキャリブレーション・ステータスは、WUC\_STATUS レジスタ (アドレス 0x311) で知ることができます。

通常、精密キャリブレーションに要する時間は 1.5ms です。精密キャリブレーションの結果は、以下の 2 つのレジスタからロードバックできます：RCOSC\_CAL\_READBACK\_HIGH (アドレス 0x34F) および RCOSC\_CAL\_READBACK\_LOW (アドレス 0x350)。

## RC 発振器の粗キャリブレーション

このキャリブレーションを行うには、WUC\_CONFIG\_HIGH (アドレス 0x30C [6:3]) に書き込む最適値を決定するために、様々な RCOSC\_COARSE\_CAL\_VALUE の値で RC 発振器の精密キャリブレーションを行う必要があります。

粗キャリブレーションの手順の概要を図 75 に示します。一般に、最適な粗調整ステートはステート 5 なので、繰り返し回数を最小限に抑えるために、アルゴリズムはこのステートから開始されます。

通常、最適な RCOSC\_COARSE\_CAL\_VALUE は 25°C で一度決定され、その結果がホスト・マイクロプロセッサに保存されます。この結果は、RC 発振器の精密キャリブレーションを行う前に、WUC\_CONFIG\_HIGH へ書き込む値に組み込むことができます。

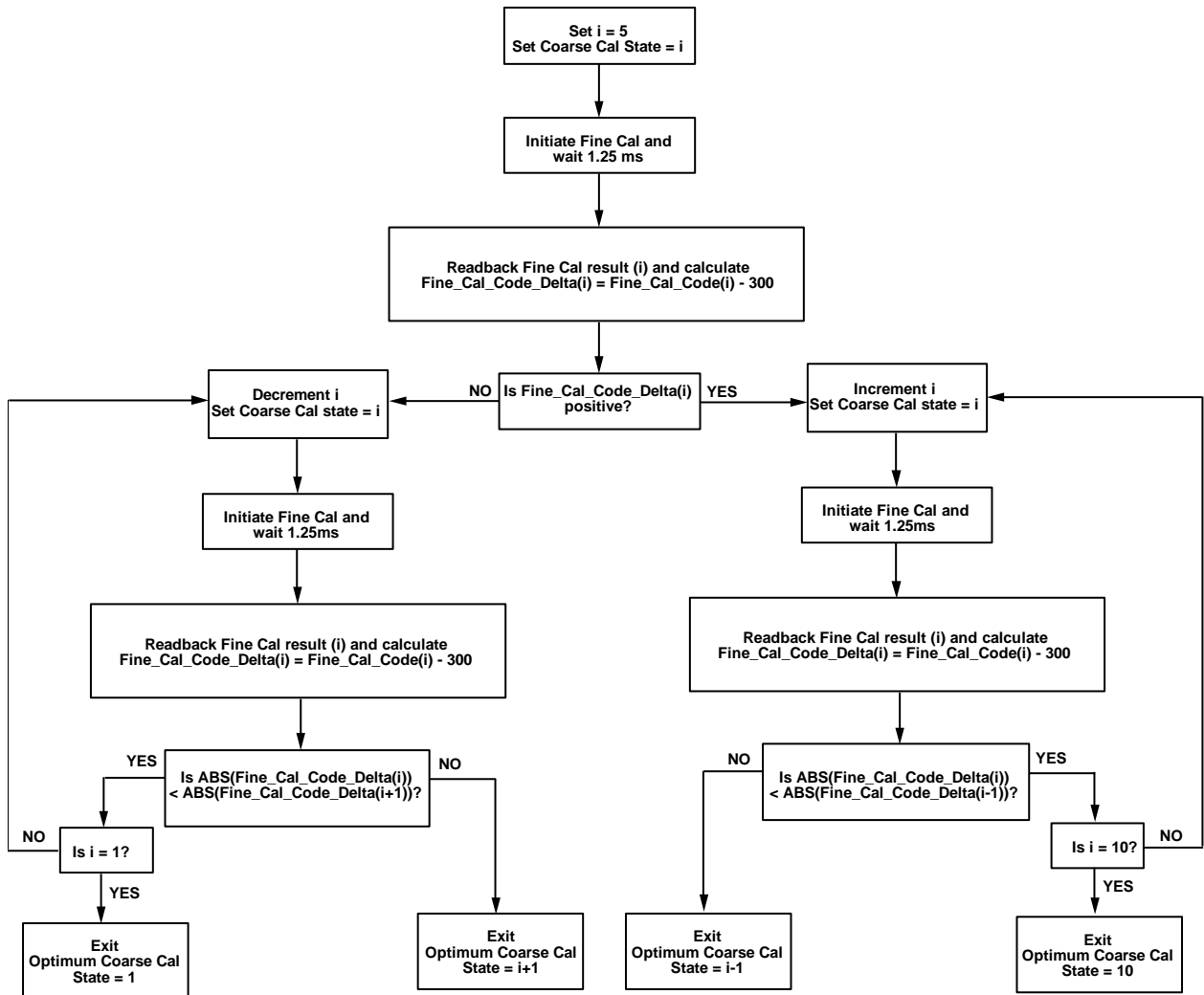


図 75. RC 発振器の粗調整アルゴリズム

0955-400



## ダウンロード可能なファームウェア・モジュール

ADF7023-J のプログラム RAM には、通信プロセッサ用のファームウェア・モジュールを保存することができ、このモジュールによって ADF7023-J に追加機能を提供できます。これらのファームウェア・モジュールのバイナリ・コードとその機能の詳細は、アナログ・デバイスから入手できます。これらのファームウェア・モジュールは、<ftp://ftp.analog.com/pub/RFL/FirmwareModules/ADF7023/> からダウンロードできます。ここでは、イメージ除去キャリブレーション、AES 暗号化/復号、およびリードソロモン・コーディング用の 3 つのモジュールについて、その概要を説明します。

### プログラム RAM へのモジュールの書き込み

プログラム RAM へのファームウェア・モジュールの書き込みは、以下の手順で行います。

1. ADF7023-J を PHY\_OFF ステートにします。
2. CMD\_RAM\_LOAD\_INIT コマンドを発行します。
3. SPI メモリ・ブロック書き込みを使ってプログラム RAM にモジュールを書き込みます (SPI インターフェースのセクションを参照)。
4. CMD\_RAM\_LOAD\_DONE コマンドを発行します。
5. CMD\_SYNC コマンドを発行します。

以上で、プログラム RAM にファームウェア・モジュールが書き込まれます。

### イメージ除去キャリブレーション・モジュール

キャリブレーション・システムは、最初に ADF7023-J のレーザをディスエーブルして、イメージ周波数で内部 RF ソースを RF 入力に供給します。その後、アルゴリズムが多相フィルタの直交ゲインと位相誤差を繰り返し最小化することによって、レーザのイメージ除去性能を最大限まで高めます。

キャリブレーション・アルゴリズムは、その直交位相補正 (アドレス 0x118) と直交ゲイン補正 (アドレス 0x119) の最初の予測値を、BBRAM から取り込みます。キャリブレーション後は、位相とゲインの新しい最適値がこれらの位置に新たにロードされます。これらのキャリブレーション値はスリープ・モード中でも BBRAM 内に保持され、ウェイクアップ・イベント後に自動的に再適用されて、必要とされるキャリブレーション回数を最小限に抑えます。

直交ゲインおよび位相補正の初期値に応じて、キャリブレーション・アルゴリズムが最適イメージ除去性能を決定するまでに約 20ms を要することがあります。しかし、ゲインおよび位相補正に使用するシード値が最適値に近い場合、キャリブレーション時間はこれよりはるかに短くなります。

イメージ除去性能は、温度にも左右されます。最適除去性能を維持するには、10°C を超える温度変化が生じた場合は常にキャリブレーションをアクティブにする必要があります。ADF7023-J のオンチップ温度センサーを使用すれば、温度が上記の限界値を超えたかどうかを知ることができます。

IR キャリブレーションを実行するには、CMD\_IR\_CAL (レジスタ 0xBD) を発行します。これを正常に機能させるには、MODE\_CONTROL レジスタ (アドレス 0x11A) の BB フィルタ・キャリブレーションをイネーブルする必要があります。

### AES 暗号化および復号モジュール

AES ファームウェア・モジュールはダウンロード可能で、128 ビット、192 ビット、256 ビットの鍵サイズで 128 ビットのブロック暗号の生成と復号をサポートします。このモジュールは 2 つのモード、つまり ECB モードと CBC モード 1 で使用できます。ECB モードでは 1 個の秘密鍵を使い、128 ビット・ブロック単位で単純に暗号化と復号を行います。CBC モード 1 では、ユーザが提供する 128 ビットの初期化ベクトルを最初に加えてから (モジュール 2 加算)、暗号化を行います。図 78 に示すように、これによって得られる暗号文が次のブロックの初期化ベクトルとして使われ、以下同様に処理が行われます。復号はこの逆の手順で行われます。このファームウェアにはオンチップ・ハードウェア・アクセラレータ・モジュールの利点も生かされており、AES 処理のスループットを向上させると共に、遅延が最小限に抑えられています。

### リードソロモン・コーディング・モジュール

このコーディング・モジュールは、リードソロモン・ブロック・コーディングを使って、受信パケットのエラーの検出と訂正を行います。図 76 に示すように、長さ  $k$  バイトの送信メッセージの末尾には長さ  $(n - k)$  バイトのエラー・チェック・コード (ECC) が追加され、メッセージの合計長さは  $n$  バイトになります。

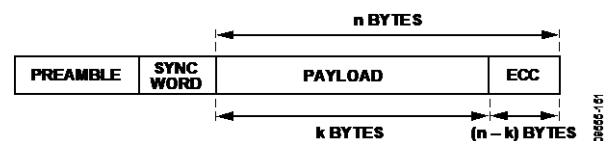


図 76. リードソロモン ECC が追加されたパケットの構造

レーザは、ECC をデコードして  $t$  バイトまでのエラーの検出と訂正を行います。ここで、 $t = (n - k) / 2$  です。ファームウェアは、 $n$  バイト・フィールドで最大 5 バイトまでの訂正をサポートしています。 $t$  バイトのエラーを訂正するには長さ  $2t$  バイトの ECC が必要で、バイト・エラーはペイロードおよび ECC フィールド内の任意の位置に分散することができます。

リードソロモン・コーディングは優れたバースト誤り訂正機能を備えており、主に、過渡的干渉が存在する無線リンクの信頼性を向上させるために使われたり、信号の急激なフェージング状態のためにメッセージ・ペイロードの一部が破損するおそれがあるような場合に使われたりします。

リードソロモン・コーディングを使用すれば、低 S/N 比条件下でランダム・エラーが支配的になる傾向がある場合で、なおかつレーザのパケット・エラー・レート性能が熱ノイズによって制限されるような場合に、レーザの感度性能を数 dB 向上させることもできます。

100% 訂正することのできる連続ビット・エラーの数は、 $\{ (t - 1) \times 8 + 1 \}$  です。エラー・パターンがバイト境界で始まって同じくバイト境界で終わる場合は、これより長い最大  $t$  バイトのランダム・ビットエラー・パターンを訂正することも可能です。

このファームウェアにはオンチップ・ハードウェア・アクセラレータ・モジュールの利点も生かされており、リードソロモン処理のスループットを向上させると共に、遅延が最小限に抑えられています。

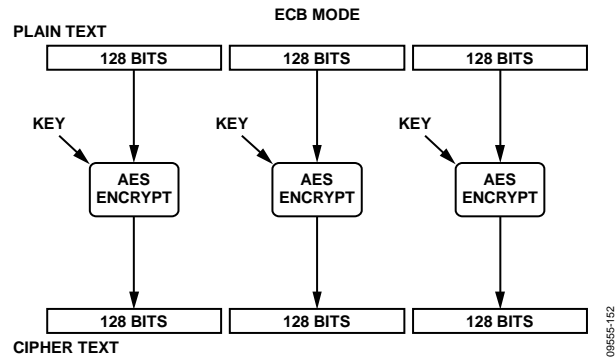


図 77. ECB モード

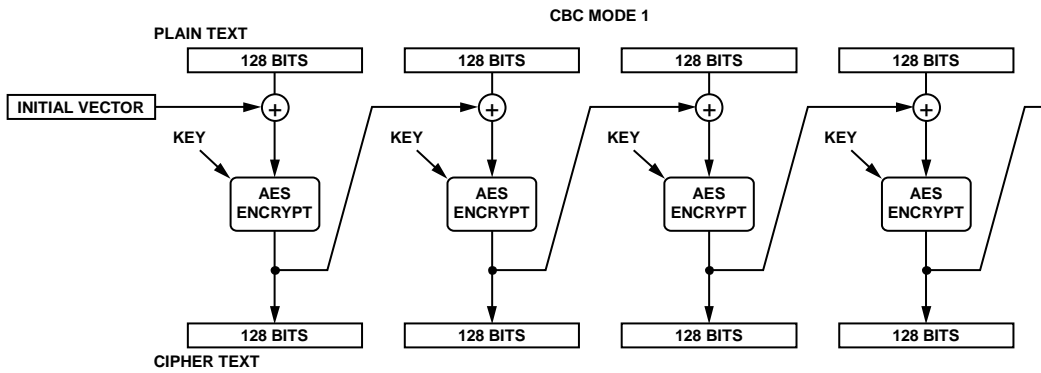


図 78. CBC モード 1

## 無線ブロック 周波数シンセサイザ

送信信号とレシーバーのローカル発振器 (LO) 信号の生成には、共に内蔵 RF 周波数シンセサイザが使われます。周波数シンセサイザのアーキテクチャを図 79 に示します。

レシーバーは、200kHz または 300kHz の中間周波数 (IF) へのダウン・コンバージョンのために、フラクショナル N シンセサイザを使ってミキサーの LO 信号を生成します。送信モードでは、FSK データを送信するときに、高分解能のシグマデルタ ( $\Sigma\Delta$ ) 変調器を使って必要な周波数偏差を RF 出力に生成します。占有 FSK 帯域幅を減らすため、送信ビット・ストリームにはデジタル・ガウス・フィルタを使ってフィルタリングを行うことができます。このフィルタは RADIO\_CFG\_9 (アドレス 0x115) レジスタを介してイネーブルできます。ガウス・フィルタは 0.5 の帯域幅時間 (BT) を使用します

ADF7023-J の VCO と PLL ループ・フィルタは完全内蔵型です。PA のパワーアップによる VCO のプリングの影響を軽減し、スプリアス放射を最小限に抑えるために、VCO は RF 周波数の 2 倍の周波数で動作します。その後 VCO 信号は 1/2 に分周されて、トランスミッタの必要周波数と、レシーバーに必要な LO 周波数が生成されます。

温度、電源電圧、およびプロセスに変動があっても VCO の周波数特性と振幅特性が一定に保たれるようにするために、高速の完全自動キャリブレーション方式が使われます。

CMD\_PHY\_RX コマンドまたは CMD\_PHY\_TX コマンドが発行されると、キャリブレーションが自動的に行われます。キャリブレーション時間は 142 $\mu$ s で、必要な場合は、VCO セルフ・キャリブレーションの結果を知るために、CALIBRATION\_STATUS レジスタ (アドレス 0x339) にポーリングを行うことができます。VCO のキャリブレーション完了後、周波数シンセサイザは 56 $\mu$ s 以内にターゲット周波数の  $\pm 5$ ppm 以内にセトリングします。

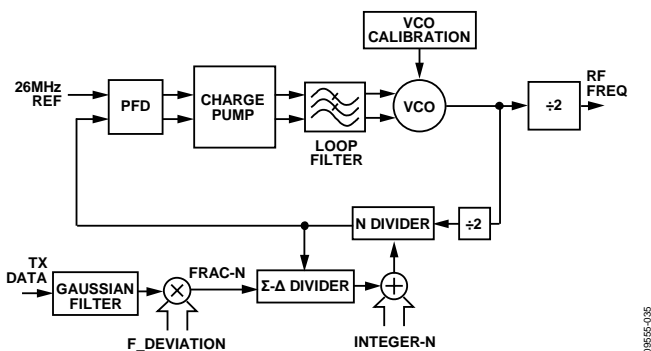


図 79. RF 周波数シンセサイザの構造

## シンセサイザの帯域幅

シンセサイザ・ループ・フィルタはチップに完全に内蔵されており、帯域幅をプログラムできます。通信プロセッサは、デバイスが PHY\_TX または PHY\_RX ステートになると、シンセサイザの帯域幅を自動的に設定します。PHY\_TX ステートになると、通信プロセッサは、プログラムされた変調方式 (2FSK または GFSK) とデータ・レートに基づいて帯域幅を選択します。これにより、各データ・レートに応じて最適な変調品質が確保されます。PHY\_RX ステートになると、最良のレシーバー除去比が得られるように通信プロセッサが狭帯域幅を設定します。帯域幅設定は全部で 8 種類です。それぞれのシンセサイザ帯域幅設定を表 30 に示します。

表 30. 自動シンセサイザ帯域幅選択

Description	Data Rate (kbps)	Closed-Loop Synthesizer Bandwidth (kHz)
Rx	All	92
2FSK/GFSK/MSK/GMSK Tx	1 to 49.5	130
2FSK/GFSK/MSK/GMSK Tx	49.6 to 99.1	174
2FSK/GFSK/MSK/GMSK Tx	99.2 to 129.5	174
2FSK/GFSK/MSK/GMSK Tx	129.6 to 179.1	226
2FSK/GFSK/MSK/GMSK Tx	179.2 to 239.9	305
2FSK/GFSK/MSK/GMSK Tx	240 to 300	382

T96 仕様の限界値に対する性能マージンを得るために、PLL クロークループ帯域幅はデータ・レートに応じて最適化されます。送信動作時に PLL 帯域幅設定が最適化されるようにデバイスをプログラムするには、以下の手順に従う必要があります。

BBRAM の初期設定の一部として、以下を実行してください。

- SPI\_MEM\_WR コマンドを発行して、レジスタ 0x113 (RADIO\_CFG\_7) のビット [5:4] に 0x2 を書き込みます。
- CMD\_CONFIG\_DEV コマンドを発行します。

カスタム送信 LUT は、パケット RAM のアドレス 0x010~0x018 に書き込む必要があります。これは、メモリ・アクセスのセクションに示すように、SPI\_MEM\_WR コマンドとブロック書き込みを使って行います。LUT の値は表 31 に示します。

これらの値は、VDDBAT が有効であれば、PHY\_SLEEP が入力されない限りメモリに保存されます。PHY\_SLEEP が入力された場合は、値をプログラムし直す必要があります。

表 31. T96 カスタム送信ルックアップ・テーブル (LUT)

Register	Data Rate = 50 kbps or 100 kbps (CLBW = 130 kHz)	Data Rate = 200 kbps (CLBW = 223 kHz)
0x010	0x10	0x20
0x011	0x10	0x20
0x012	0x0F	0x0F
0x013	0x0F	0x0F
0x014	0x1F	0x1F
0x015	0x0F	0x05
0x016	0x1F	0x1F
0x017	0x33	0x33
0x018	0x22	0x22

## シンセサイザのセトリング

VCO のキャリブレーション後は、シンセサイザのセトリングまで 56 $\mu$ s の遅延が許容されています。この遅延は、どのデフォルト・シンセサイザ帯域幅を使用した場合でもシンセサイザが完全にセトリングするように、デフォルトで 56 $\mu$ s に固定されています。

ただし場合によっては、カスタム・シンセサイザ・セトリング遅延を使用しなければならないことがあります。カスタム遅延を使用するには、MODE\_CONTROL レジスタ (アドレス 0x11A) の CUSTOM\_TRX\_SYNTH\_LOCK\_TIME\_EN ビットを 1 に設定します。PHY\_RX ステート遷移と PHY\_TX ステート遷移のシンセサイザ・セトリング遅延は、RX\_SYNTH\_LOCK\_TIME レジスタ (アドレス 0x13E) と TX\_SYNTH\_LOCK\_TIME レジスタ (アドレス 0x13F) で個別に設定できます。セトリング時間は、2 $\mu$ s ~ 512 $\mu$ s の範囲で 2 $\mu$ s 刻みに設定可能です。

## VCO キャリブレーションのバイパス

VCO キャリブレーションは、送信時または受信時の超高速周波数ホッピングのためにバイパスすることができます。各 RF チャンネルのキャリブレーション・データは、ホスト・プロセッサのメモリに保存する必要があります。キャリブレーション・データは、VCO 帯域選択値と VCO 振幅レベルの 2 つの値で構成されます。

### キャリブレーション・データの読出しと保存

1. VCO キャリブレーションをバイパスせずに、PHY\_TX ステートまたは PHY\_RX ステートへ移行します。
2. 以下の MCR レジスタを読み出して、キャリブレーションしたデータをホスト・プロセッサのメモリに保存します。
  - a. VCO\_BAND\_READBACK (アドレス 0x3DA)
  - b. VCO\_AMPL\_READBACK (アドレス 0x3DB)

## CMD\_PHY\_TX または CMD\_PHY\_RX での VCO キャリブレーションのバイパス

1. BBRAM の設定を完了させます。
2. VCO\_OVRW\_EN (アドレス 0x3CD) を 0x3 に設定します。
3. VCO\_CAL\_CFG (アドレス 0x3D0) を 0x0F に設定します。
4. VCO\_BAND\_OVRW\_VAL (アドレス 0x3CB) を、そのチャンネル用に保存された VCO\_BAND\_READBACK (アドレス 0x3DA) に設定します。
5. VCO\_AMPL\_OVRW\_VAL (アドレス 0x3CC) を、そのチャンネル用に保存された VCO\_AMPL\_READBACK (アドレス 0x3DB) に設定します。
6. SYNTH\_CAL\_EN を 0 に設定します (CALIBRATION\_CONTROL レジスタ、アドレス 0x338)。
7. SYNTH\_CAL\_EN を 1 に設定します (CALIBRATION\_CONTROL レジスタ、アドレス 0x338)。
8. CMD\_PHY\_TX または CMD\_PHY\_RX を発行して、VCO キャリブレーションなしで PHY\_TX または PHY\_RX ステートへ移行します。

## 水晶発振器

パラレル・モードで使用する 26MHz 水晶発振器は、XOSC26P ピンと XOSC26N ピンの間に接続する必要があります。また、これを正しい周波数で作動させるには、2 個の並列負荷コンデンサが必要です。コンデンサの値は水晶発振器の仕様によって異なります。これらのコンデンサは、コンデンサのシャント値を PCB のパターン容量と ADF7023-J の入力ピン容量に加えた値

が水晶発振器の指定負荷容量と等しくなるように選ぶ必要があります (通常は 10pF ~ 20pF)。パターン容量の値は、ボード・レイアウトに応じて 2pF ~ 5pF の範囲で変化します。合計負荷容量は次式で表されます。

$$C_{LOAD} = \frac{1}{\frac{1}{C1} + \frac{1}{C2}} + \frac{C_{PIN}}{2} + C_{PCB}$$

ここで、

$C_{LOAD}$  は合計負荷容量、

$C1$  と  $C2$  は外部水晶発振器の負荷コンデンサ、

$C_{PIN}$  は ADF7023-J の XOSC26P ピンと XOSC26N ピンの入力容量 (2.1pF)、

$C_{PCB}$  は PCB のパターン容量です。

可能であれば、あらゆる条件下で安定した周波数動作を実現できるように、温度係数ができるだけ小さいコンデンサを選んでください。

水晶発振器の周波数誤差は、内蔵のデジタル・チューニング・バラクタを使って補正できます。水晶発振器の負荷容量の代表値が 10pF の場合、表 32 に従って 3 ビット DAC をプログラムすることにより、0 ~ +15ppm のチューニング範囲を使用することができます。この 3 ビット値は、OSC\_CONFIG レジスタ (アドレス 0x3D2) の XOSC\_CAP\_DAC ビットに書き込む必要があります。

あるいは、BBRAM 内の RF チャンネル周波数設定を使って RF チャンネル周波数をオフセットすることにより、水晶発振器の誤差による RF 周波数誤差を調整することができます。

表 32. 水晶発振器周波数プリングをプログラム

XOSC_CAP_DAC	Pulling (ppm)
000	+15
001	+11.25
010	+7.5
011	+3.75
100	0

## 変調

ADF7023-J は、バイナリ周波数シフト・キーイング (2FSK)、最小シフト・キーイング (MSK)、バイナリ・レベル・ガウス・フィルタ 2FSK (GFSK)、およびガウス・フィルタ MSK (GMSK) をサポートしています。必要な送信および受信変調形式は、RADIO\_CFG\_9 レジスタ (アドレス 0x115) で設定されます。

2FSK/GFSK/MSK/GMSK 変調を使用する場合、周波数偏差は、RADIO\_CFG\_1 レジスタ (アドレス 0x10D) と RADIO\_CFG\_2 レジスタ (アドレス 0x10E) の FREQ\_DEVIATION [11:0] ビットを使って設定できます。データ・レートは、RADIO\_CFG\_0 レジスタ (アドレス 0x10C) と RADIO\_CFG\_1 レジスタ (アドレス 0x10D) の DATA\_RATE [11:0] パラメータを使い、1kbps ~ 300kbps の範囲に設定できます。GFSK/GMSK 変調の場合、ガウス・フィルタは 0.5 の固定 BT を使用します。

## RF 出力段

## パワー・アンプ (PA)

ADF7023-J の PA は、RADIO\_CFG\_8 レジスタ (アドレス 0x114) の PA\_SINGLE\_DIFF\_SEL ビットを使い、シングルエンド出力動作および差動出力動作に設定できます。PA レベルは、RADIO\_CFG\_8 レジスタの PA\_LEVEL ビットによって設定します。範囲は 0~15 です。出力レベルをより精密に制御したい場合は、PA\_LEVEL\_MCR レジスタ (アドレス 0x307) を使用できます。このレジスタの設定範囲は 2~63 で、より高い分解能を備えています。PA\_LEVEL 設定と PA\_LEVEL\_MCR 設定の関係は次式で表されます。

$$PA\_LEVEL\_MCR = 4 \times PA\_LEVEL + 3$$

シングルエンド設定では 13.5dBm の出力が得られます。差動 PA 使用時の出力は 10dBm で、ダイポール・アンテナへのインターフェースを簡単なものにすることができます。これら 2 つの PA 設定では、Tx アンテナ・ダイバーシティ能力を利用できます。2 つの PA を同時にイネーブルすることはできません。

## 自動 PA ランプ

ADF7023-J には、シングルエンド PA と差動 PA の両方にランプ・アップおよびランプ・ダウン機能が組み込まれています。ランプ・レートの設定は 8 種類あり、ランプ・レートは、データ・ビット周期あたりの特定数値の PA 電力レベル設定として定義されます。図 80 に示すように、RADIO\_CFG\_8 レジスタ (アドレス 0x114) の PA\_RAMP 変数が、この PA ランプ・レートを設定します。

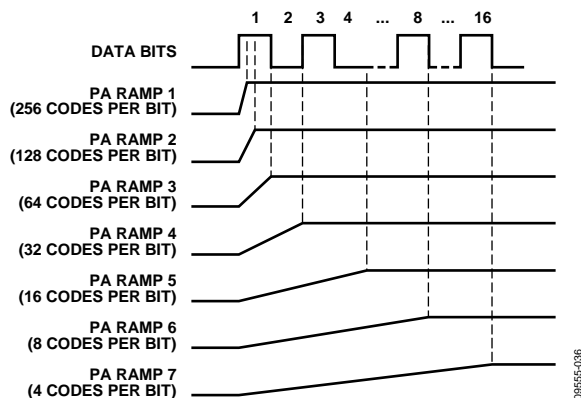


図 80. 様々な PA\_RAMP 設定での PA ランプ

PA は、PA\_LEVEL または PA\_LEVEL\_MCR の設定によって設定されたレベルまでランプします。PA ランプをイネーブルするとスペクトル・スプラッタが減少し、PA の過渡スプリアス放射を制限する無線規則への適合の助けとなります。最適性能を実現するには、データ・レートと PA の出力設定に基づいて PA ランプ・レートを適切な長さにする必要があります。したがって、PA\_RAMP は次の条件を満たすように設定します。

$$\begin{aligned} & \text{ランプ・レート (コード数/ビット)} < 10000 \times \\ & \frac{PA\_LEVEL\_MCR[5:0]}{DATA\_RAT[11:0]} \end{aligned}$$

ここで、PA\_LEVEL\_MCR の設定と PA\_LEVEL の設定の関係は  $PA\_LEVEL\_MCR = 4 \times PA\_LEVEL + 3$  で表されます。

## PA/LNA インターフェース

ADF7023-J は、シングルエンド PA 出力と差動 PA 出力の両方をサポートしています。2 つの PA を同時にアクティブにすることはできません。差動 PA と LNA は同じピン (RFIO\_IP と RFIO\_1N) を共有しているため、アンテナ・インターフェースを単純化することができます。シングルエンド PA 出力は RFO2 ピンに出力されます。PA/LNA のアンテナ・マッチングは複数のオプションから選ぶことができますが、これらについては PA/LNA マッチングのセクションで説明します。

## 受信チャンネル・フィルタ

レシーバーのチャンネル・フィルタは 4 次アクティブ多相バターワース・フィルタで、帯域幅は 100kHz、150kHz、200kHz、および 300kHz にプログラムすることができます。4 次フィルタは隣接チャンネルに関して非常に良好な干渉抑制機能を備えており、イメージ・チャンネルについても、100kHz IF 帯域幅と 915MHz の RF 周波数に対して約 36dB の抑制を実現します。

100kHz~200kHz のチャンネル帯域幅については 200kHz の IF 周波数が使われ、この場合のイメージ周波数の位置は、必要とされる RF 周波数より 400kHz 下になります。300kHz の帯域幅を選んだ場合は 300kHz の IF 周波数が使われ、イメージ周波数の位置は必要周波数より 600kHz 下になります。

MODE\_CONTROL レジスタ (アドレス 0x11A) の BB\_CAL ビットがセットされている場合、IF フィルタの帯域幅と中心周波数のキャリブレーションは、PHY\_ON ステートになった後に自動的に行われます。フィルタのキャリブレーションに要する時間は 100μs です。

IF 帯域幅は、RADIO\_CFG\_9 レジスタ (アドレス 0x115) の IFBW フィールドを設定することによってプログラムされます。300kHz の IF 帯域幅使用時に、使用帯域幅が 100kHz~200kHz で中心が 300kHz の場合、フィルタのパス・バンドの中心は IF 周波数 200kHz の位置に置かれます。

## イメージ・チャンネル除去

ADF7023-J では、オンチップ通信プロセッサの制御下で完全内蔵型のイメージ除去キャリブレーション・システムを使用することによって、受信イメージ除去性能を向上させることができます。キャリブレーション・システムを使用するには、オンチップ・プログラム RAM にファームウェア・モジュールをダウンロードします。ダウンロードするファームウェアはアナログ・デバイスが提供しており、説明はダウンロード可能なファームウェア・モジュールのセクションに記載されています。

仕様のセクションに代表値として示されているイメージ減衰値を実現するには、IMAGE\_REJECT\_CAL\_PHASE (アドレス 0x118) と IMAGE\_REJECT\_CAL\_AMPLITUDE (アドレス 0x119) に推奨デフォルト値を使用する必要があります。

915MHz におけるこれらの推奨デフォルト値は、IMAGE\_REJECT\_CAL\_AMPLITUDE = 0x07 および IMAGE\_REJECT\_CAL\_PHASE = 0x16 です。

## 自動ゲイン制御 (AGC)

AGC はデフォルトで有効化され、測定した RSSI レベルに基づいて LNA、ミキサー、およびフィルタのゲイン設定を選ぶことにより、レシーバー・ゲインを正しいレベルに維持します。設定できるゲイン・レベルは LNA が 3、ミキサーが 2、フィルタが 3 です。AGC 段は合計 6 個で、それぞれ表 33 のように定義されています。

表 33. AGC のゲイン・モード

Gain Mode	LNA Gain	Mixer Gain	Filter Gain
1	High	High	High
2	High	Low	High
3	Medium	Low	High
4	Low	Low	High
5	Low	Low	Medium
6	Low	Low	Low

AGC は、AGC\_CLK\_DIVIDE レジスタ (アドレス 0x32F) によって定義される時間だけ各ゲイン段で機能します。AGC\_CLK\_DIVIDE のデフォルト値は 0x28 で、この場合の AGC 遅延は 25μs です。RSSI が AGC\_HIGH\_THRESHOLD (アドレス 0x35F) より大きい場合は、ゲインが小さくなります。RSSI が AGC\_LOW\_THRESHOLD (アドレス 0x35E) より小さい場合は、ゲインが大きくなります。

AGC は、PHY\_RX ステートにある間はアクティブのままになるように設定できる他、プリアンプル検出によってロックできません。AGC はマニュアル・モードに設定することもでき、この場合は、ホスト・プロセッサで AGC\_MODE レジスタ (アドレス 0x35D) への書き込みを行うことにより、LNA、フィルタ、およびミキサーのゲインを設定する必要があります。AGC の動作は、RADIO\_CFG\_7 レジスタ (アドレス 0x113) の AGC\_LOCK\_MODE を設定することによって設定します。表 34 を参照してください。

LNA、フィルタ、およびミキサーのゲインは、AGC\_GAIN\_STATUS レジスタ (アドレス 0x360) を通じてリードバックできます。

表 34. AGC の動作

RADIO_CFG_7 レジスタの AGC_LOCK_MODE ビット	説明
0	AGC はフリー・ランニング状態です。
1	AGC は無効になります。ゲインをマニュアル設定する必要があります。
2	AGC は現在のゲイン・レベルに維持されます。
3	AGC はプリアンプルが検出されるとロックされます。

## RSSI

RSSI は、アナログ・チャンネル・フィルタの後段に設けられた連続圧縮方式によるログ・アンプ・アーキテクチャです。アナログ RSSI レベルは、ユーザ・リードバックおよびデジタル AGC コントローラでの使用のために、8 ビット SAR ADC によってデジタル化されます。

ADF7023-J は、幅広いアプリケーションをサポートする 3 つの RSSI 測定機能を備えています。これらの機能は、キャリア検出 (CS) やクリア・チャンネル・アセスメント (CCA) の実装に使用できます。パケット・モードでは RSSI が自動的に MCR に記録され、パケット受信後のユーザ・リードバックに使用できます。

3 つの RSSI 測定方法の詳細を表 36 に示します。

## RSSI 測定方法 1

パケット・モードで有効なパケットを受信すると、ポストアンプの間の RSSI レベルが、通信プロセッサによって自動的に RSSI\_READBACK レジスタ (アドレス 0x312) にロードされます。RSSI\_READBACK レジスタには 2 の補数で値が格納されますが、次式を使って dBm 単位の入力電力に変換できます。

$$RSSI(dBm) = RSSI\_READBACK - 107$$

RSSI 測定の直線範囲を -110dBm の入力電力まで延長するために (図 42 参照)、次式を使って余弦調整を行うことができます。

$$RSSI(dBm) = \cos\left(\frac{8}{RSSI\_READBACK}\right) \times RSSI\_READBACK - 106$$

ここで、 $COS(X)$  は角度 X (ラジアン) の余弦です。

## RSSI 測定方法 2

CMD\_GET\_RSSI コマンドを PHY\_ON ステートから使用して、RSSI を読み出すことができます。この RSSI 測定方法には追加的なローパス・フィルタリングを使用するので、結果として、より正確な RSSI 指示値が得られます。RSSI 測定の結果は、通信プロセッサによって RSSI\_READBACK レジスタ (アドレス 0x312) にロードされます。

RSSI\_READBACK レジスタには値が 2 の補数で格納されますが、次式を使って dBm 単位の入力電力に変換できます。

$$RSSI(dBm) = RSSI\_READBACK - 107$$

CMD\_GET\_RSSI の実行時間は、表 11 に指定されています。

## RSSI 測定方法 3

この方法はホスト・プロセッサによる RSSI の測定をサポートしており、PHY\_RX ステートの間はいつでも測定が可能です。レシーバーの入力電力は以下の手順で計算できます。

1. AGC\_MODE レジスタ (アドレス 0x35D) を 0x40 に設定することによって、AGC がホールドされるようにします (プリアンプルまたは同期ワードで AGC がロックされていない場合のみ必要)。
2. AGC のゲイン設定をリードバックします (AGC\_GAIN\_STATUS レジスタ、アドレス 0x360)。
3. ADC\_READBACK [7:0] ビットの値を読み出します (アドレス 0x327 とアドレス 0x328、A/D コンバータのセクションを参照)。
4. AGC\_MODE レジスタ (アドレス 0x35D) を 0x00 に設定することによって、AGC を再度有効にします (まだプリアンプルまたは同期ワードで AGC がロックされていない場合のみ必要)。
5. 次式により、RSSI を dBm 単位で計算します。

$$RSSI(dBm) = \left( ADC\_READBACK[7:0] \times \frac{1}{7} + Gain\_Correction \right) - 109$$

ここで、 $Gain\_Correction$  は、表 35 に示すように AGC\_GAIN\_STATUS レジスタ (アドレス 0x360) の値によって決まります。

表 35. 2FSK/GFSK/MSK/GMSK RSSI のゲイン・モード補正

AGC_GAIN_STATUS (Address 0x360)	GAIN_CORRECTION
0x00	44
0x01	35
0x02	26
0x0A	17
0x12	10
0x16	0

RSSI の計算を簡略化するために、ホスト・プロセッサでは以下の近似を使用することができます。

$$\frac{1}{7} \approx \frac{1}{8} \left( 1 + \frac{1}{8} + \frac{1}{64} \right)$$

表 36. RSSI 測定方法の概要

RSSI 測定方法	RSSI タイプ	変調	パケット・モードでの使用可否	SPORT モードでの使用可否	説明
1	Automatic end of packet RSSI	2FSK/GFSK/MSK/GMSK	Yes	No	パケット・モードでポストアンブル受信中の自動 RSSI 測定。RSSI 測定の結果は、RSSI_READBACK レジスタ (アドレス 0x312) に格納されます。
2	CMD_GET_RSSI command from PHY_ON	2FSK/GFSK/MSK/GMSK	Yes	Yes	CMD_GET_RSSI を使用する PHY_ON からの自動 RSSI 測定。RSSI 測定の結果は、RSSI_READBACK レジスタ (アドレス 0x312) に格納されます。
3	RSSI via ADC and AGC readback, FSK	2FSK/GFSK/MSK/GMSK	Yes	Yes	ADC および AGC ゲイン・リードバックに基づく RSSI 測定。ホスト・プロセッサが dBm 単位で RSSI を計算します。

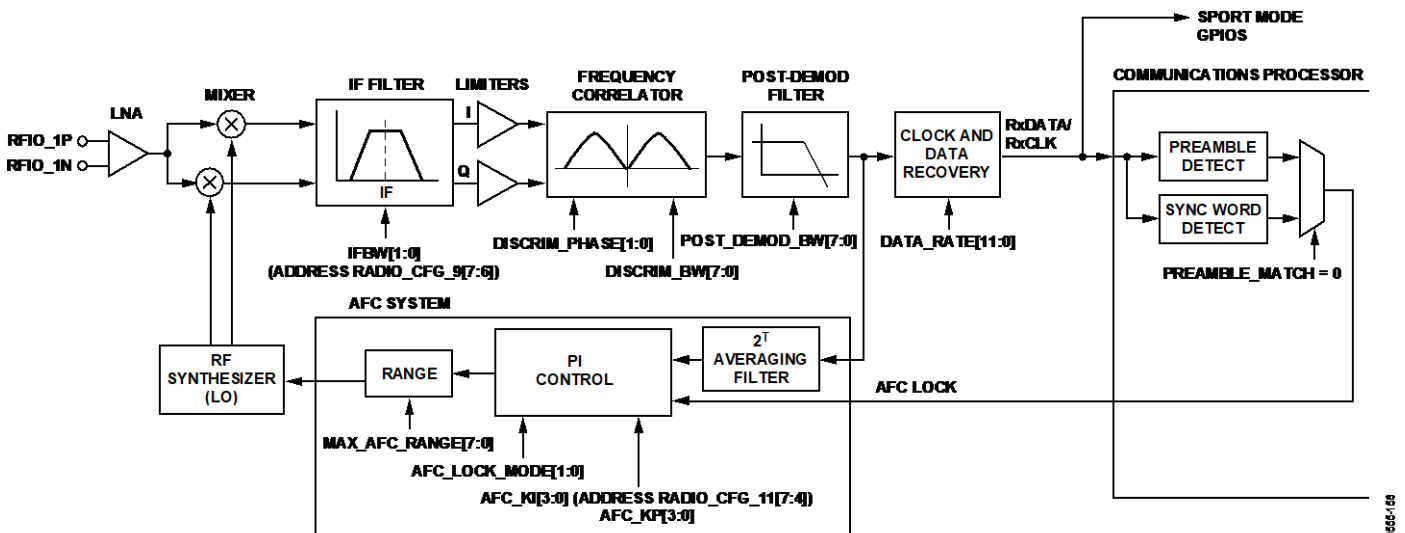


図 81. 2FSK/GFSK/MSK/GMSK 復調と AFC アーキテクチャ

001-0500

## 2FSK/GFSK/MSK/GMSK 復調

2FSK、GFSK、MSK、および GMSK 復調には、相関復調器を使用します。IF フィルタの直交出力は、最初に振幅制限されてから、2FSK/GFSK/MSK/GMSK スペクトラムのフィルタリングと周波数弁別を行うデジタル周波数相関器へ送られます。データは、2つの相関器の出力レベルを比較することによって復元されます。この周波数弁別器の性能はマッチングされたフィルタ検出器の性能とほぼ同じで、加算性白色ガウス・ノイズ (AWGN) が存在する中で最大限の検出性能を実現できることが知られています。この方法による 2FSK/GFSK/MSK/GMSK 復調では、線形周波数弁別器よりも感度が 3dB~4dB 向上します。2FSK/GFSK/MSK/GMSK 復調器のアーキテクチャを図 81 に示します。2FSK/GFSK/MSK/GMSK 復調用に ADF7023-J を設定する場合は、RADIO\_CFG\_9 レジスタ (アドレス 0x115) の DEMOD\_SCHEME を 0 に設定します。

レシーバーの感度を最適化するには、相関器の帯域幅と位相を、特定の周波数偏差、データ・レート、およびトランスミッタとレシーバーの間で予想される最大周波数誤差に合わせて最適化する必要があります。弁別器の帯域幅と位相は、RADIO\_CFG\_3 レジスタ (アドレス 0x10F) の DISCRIM\_BW ビットと、RADIO\_CFG\_6 レジスタ (アドレス 0x112) の DISCRIM\_PHASE [1:0] ビットを使って設定する必要があります。弁別器のセットアップは 3 ステップで行います。

### ステップ 1: 弁別器帯域幅係数 K の計算

弁別器の帯域幅係数 K は変調指数 (MI) に依存し、更にこの指数は次式で決定されます。

$$MI = \frac{2 \times FSK\_Dev}{Data\ Rate}$$

ここで、 $FSK\_Dev$  は 2FSK/GFSK/MSK/GMSK の周波数偏差 (Hz) で、+1 シンボル周波数に対するキャリア (正の周波数偏差) または -1 シンボル周波数に対するキャリア (負の周波数偏差) から測定します。

$Data\ Rate$  は、1 秒あたりのビット数 (bps) で表したデータ・レートです。

K の値は、以下の式で求められます。

$$MI \geq 1, AFC \text{ オフ}: K = \text{Floor} \left[ \frac{IF\_Freq}{FSK\_Dev} \right]$$

$$MI < 1, AFC \text{ オフ}: K = \text{Floor} \left[ \frac{IF\_Freq}{\frac{Data\ Rate}{2}} \right]$$

$MI \geq 1, AFC \text{ オン}: K = \text{Floor} \left[ \frac{IF\_Freq}{FSK\_Dev + Freq\_Error\_Max} \right]$

$$MI < 1, AFC \text{ オン}: K = \text{Floor} \left[ \frac{IF\_Freq}{\frac{Data\ Rate}{2} + Freq\_Error\_Max} \right]$$

ここで、

$$MI \text{ は変調指数、}$$

$MI$  は変調指数、

$K$  は弁別器係数、

$\text{Floor} [x]$  直近の整数へ切り下げのための関数、

$IF\_Freq$  はヘルツ単位で表した IF 周波数 (200kHz~300kHz)、 $FSK\_Dev$  はヘルツ単位で表した 2FSK/GFSK/MSK/GMSK の周波数偏差、

$Freq\_Error\_Max$  は、ヘルツ単位で表した Tx と Rx 間の予想最大周波数誤差です。

### ステップ 2: DISCRIM\_BW 設定の計算

弁別器の帯域幅設定は、弁別器係数 K と IF 周波数に基づいて計算されます。帯域幅は DISCRIM\_BW [7:0] の設定 (アドレス 0x10F) を使って設定され、これは次式で計算されます。

$$DISCRIM\_BW [7:0] = \text{Round} \left[ \frac{K \times 3.25 \text{ MHz}}{IF\_Freq} \right]$$

### ステップ 3: DISCRIM\_PHASE 設定の計算

弁別器の位相設定は、表 37 に示すように弁別器係数 K に基づいて計算されます。位相は、RADIO\_CFG\_6 レジスタ (アドレス 0x112) の DISCRIM\_PHASE [1:0] の値を使って設定されます。

表 37. K に基づく DISCRIM\_PHASE [1:0] 値の設定

K	K/2	(K + 1)/2	DISCRIM_PHASE[1:0]
Even	Odd		0
Odd		Even	1
Even	Even		2
Odd		Odd	3

## AFC

ADF7023-J は、内部リアルタイム自動周波数制御ループを備えています。受信モードでは、この制御ループがパケット・プリアンブル・シーケンス中の周波数誤差を自動的にモニタし、比例積分 (PI) 制御を使ってレシーバー・シンセサイザのローカル発振器を調整します。AFC 周波数誤差測定帯域幅は、特にパケット・プリアンブル・シーケンス (DC フリー) がターゲットとされます。AFC は、2FSK/GFSK/MSK/GMSK 復調時にサポートされます。

AFC は、有効なプリアンブルの検出時、または有効な同期ワードの検出時にロックするように設定できます。有効プリアンブル検出時に AFC をロックするには、AFC\_LOCK\_MODE = 3 (アドレス 0x116) に設定して、PREAMBLE\_MATCH レジスタ (アドレス 0x11B) でプリアンブル検出を有効にします。プリアンブル終了直後に同期ワードが検出されない場合、AFC ロックは解除されます。パケット・モードでは、有効なプリアンブルの後には有効な同期ワードが続くと、そのパケットが終了するまで AFC のロックが維持されます。SPORT モードでは、PHY\_ON ステートに戻るとき、または PHY\_RX ステートで CMD\_PHY\_RX が発行されたときに AFC ロックが解除されます。

有効同期ワード検出時に AFC をロックするには、AFC\_LOCK\_MODE = 3 に設定して、PREAMBLE\_MATCH レジスタ (アドレス 0x11B) でプリアンブル検出を無効にします。このモードを選択するときは、同期ワードの選択に注意が必要です。同期ワードは DC フリーでラン・レングスが短く、更にプリアンブル・シーケンスとの相関性が低くなければなりません。詳細については、パケット・モードのセクションの同期ワードに関する説明を参照してください。有効同期ワードの検出によるロック後、AFC のロックはそのパケットが終了するまで維持されず。SPORT モードでは、PHY\_ON ステートに戻るとき、または PHY\_RX ステートで CMD\_PHY\_RX が発行されたときに AFC ロックが解除されます。



AFC は、RADIO\_CFG\_10 レジスタ (アドレス 0x116) の AFC\_LOCK\_MODE ビットを表 38 に示すように設定することによって有効になります。

表 38. AFC モード

AFC_LOCK_MODE [1:0]	モード
0	フリー・ランニング：AFC はフリー・ランニング状態です。
1	ディスエーブル：AFC は無効になります。
2	ホールド：AFC は一時停止状態になります。
3	ロック：AFC はプリアンブルまたは同期ワード後にロックされません。

AFC ループの帯域幅は、RADIO\_CFG\_11 レジスタ (アドレス 0x117) の AFC\_KI ビットと AFC\_KP ビットによって制御できます。

最大 AFC プルイン・レンジは、プログラムされた IF フィルタ帯域幅 (RADIO\_CFG\_9 レジスタ (アドレス 0x115) の IFBW ビット) に基づいて自動的に設定されます。

表 39. 最大 AFC プルイン・レンジ

IF Bandwidth (kHz)	Max AFC Pull-In Range (kHz)
100	±50
150	±75
200	±100
300	±150

## AFC とプリアンブル長

AFC は、トランスミッタとレシーバー間の周波数誤差を訂正するために、一定数の受信プリアンブル・ビットを必要とします。必要なプリアンブル・ビットの数は、データ・レートと、有効プリアンブルまたは有効同期ワードの検出時に AFC がロックされるかどうかによって異なります。これについては、2FSK/GFSK/MSK/GMSK の推奨レシーバー設定のセクションで詳しく説明します。

## AFC リードバック

受信キャリアとレシーバーのローカル発振器間の周波数誤差は、AFC が有効になっているときに測定できます。エラー値は FREQUENCY\_ERROR\_READBACK レジスタ (アドレス 0x372) から読み出すことができ、各 LSB が 1kHz に相当します。この値は 2 の補数です。FREQUENCY\_ERROR\_READBACK の値は、AFC ロック後の PHY\_RX ステートで有効になります。値はパケット復元と PHY\_ON ステートへの復帰後に、FREQUENCY\_ERROR\_READBACK レジスタに保存されます。

## ポスト復調器フィルタ

2 次デジタル・ローパス・フィルタは、弁別器出力における復調後のビット・ストリームから過度なノイズを除去します。このポスト復調器フィルタの帯域幅はプログラム可能で、データ・レートと受信変調タイプに合わせて最適化する必要があります。帯域幅が狭すぎると、シンボル間干渉 (ISI) のために性能が低下します。逆に帯域幅が広すぎるとノイズが多くなり、レシーバーの性能はやはり低下します。最適な性能を得るには、ポスト復調器フィルタの帯域幅をデータ・レートの 0.75 倍付近に設定する必要があります (FSK/GFSK/MSK/GMSK 変調使用時)。

ポスト復調器フィルタの実際の帯域幅は次式で与えられます。

$$\text{ポスト復調器フィルタ帯域幅 (kHz)} = \text{POST_DEMOD\_BW} \times 2$$

ここで、POST\_DEMOD\_BW は RADIO\_CFG\_4 レジスタ (アドレス 0x110) で設定します。

## クロック再生

オーバーサンプリング型デジタル・クロック & データ再生 (CDR) PLL は、すべての変調モードで、受信ビット・ストリームをローカル・クロックに再同期させるために使われます。CDR PLL の最大シンボル・レート許容差は、送信されたビット・ストリーム内のビット遷移数によって決定されます。例えば 010101 プリアンブルの受信時、CDR は ±3.0% の最大データ・レート誤差を実現します。しかしパケットの残り部分では、ペイロード・データの持続中に規則的な間隔でシンボル遷移が発生するとは限らないので、この許容差は小さくなります。レシーバーの CDR のデータ・レート許容差を最大にするには、送信ビット・ストリーム内で最大限の隣接ビット数が確保される、8b/10b エンコーディングまたはマンチェスタ・エンコーディングを有効にする必要があります。ADF7023-J 上では、隣接データ・ビット・パターンの長い連続を分割するために、データ・ホワイトニングを有効にすることもできます。

データ・レート許容差とパケット長が共に制約されている場合は、2FSK/GFSK/MSK/GMSK 変調を使用して、コーディングされていないペイロード・データ・フィールドや、長いラン・レンジスが制約されたペイロード・データ・フィールドを許容することも可能です。未コーディングのパケット・フォーマットを使用する CDR 動作の詳細は、AN-915 アプリケーション・ノートで説明されています。

ADF7023-J の CDR PLL は、再生されたシンボルをプリアンブル内で迅速に取得できるように最適化されており、通常はプリアンブルのシンボル遷移 5 回以内でビット同期を実現します。

## 2FSK/GFSK/MSK/GMSK 用の推奨レシーバー設定

ADF7023-J のレシーバー性能を最適化してパケット・エラー・レートをできるだけ低くするには、以下の設定を使用することを推奨します。

- AGC 下限および上限閾値と AGC クロック分周を推奨値に設定する。
- AFC の Ki および Kp パラメータを推奨値に設定する。
- プリアンブル長を最小推奨プリアンブル長以上にする。
- 200kbps を超えるデータ・レートで同期ワードが検出されたときに AGC がロックされるよう設定した場合は、同期ワードのエラー許容値を 1 ビットに設定する。

AGC、AFC、プリアンブル長、および同期ワードに関する推奨設定の概要を表 41 に示します。

**推奨 AGC 設定**

堅牢なパケット・エラー・レート性能が得られるようにレシーバーを最適化するには、全入力電力範囲にわたって最小プリアンブル長を使用する際に、MCR 内のデフォルトの AGC 設定を上書きすることを推奨します。推奨される設定は次のとおりです。

- AGC\_HIGH\_THRESHOLD (アドレス 0x35F) = 0x78
- AGC\_LOW\_THRESHOLD (アドレス 0x35E) = 0x46
- AGC\_CLK\_DIVIDE (アドレス 0x32F) = 0x0F または 0x19 (データ・レートによる、表 41 参照)

PHY\_SLEEP では MCR は保持されないため、低消費電力アプリケーションでこれらの最適な AGC 設定を使用できるようにするには、静的レジスタ固定を使用できます。MCR 内の AGC 設定へ書き込む静的レジスタ固定の例を表 40 に示します。

ただし、これらの設定変更を行うと RSSI リードバックの精度が低下します。

表 40. AGC 設定用の静的レジスタ固定例

BBRAM レジスタ	データ	説明
0x128 (STATIC_REG_FIX)	0x2B	BBRAM アドレス 0x12B へのポインタ
0x12B	0x5E	MCR アドレス 0x35E
0x12C	0x46	MCR アドレス 0x35E に書き込むデータ (AGC の下限閾値を設定)
0x12D	0x5F	MCR アドレス 0x35F
0x12E	0x78	MCR アドレス 0x35F に書き込むデータ (AGC の上限閾値を設定)
0x12F	0x2F	MCR アドレス 0x32F
0x130	0x0F	MCR アドレス 0x32F に書き込むデータ (AGC クロックの分周を設定)
0x131	0x00	静的 MCR レジスタ固定を終了

**推奨 AFC 設定**

AFC ループの帯域幅は、RADIO\_CFG\_11 レジスタ (アドレス 0x117) の AFC\_KI ビットと AFC\_KP ビットによって制御します。AFC のセトリング時間 (およびこの時間に対して必要なプリアンブル長) を最小限に抑えながら最大限の AFC 精度を実現するには、表 41 に示す概要に従って AFC\_KI ビットと AFC\_KP ビットを設定する必要があります。

**推奨プリアンブル長**

プリアンブル検出時に AFC をロックする場合、最小プリアンブル長は、データ・レートに応じて 40 ビットから 60 ビットの範囲になります。また、同期ワード検出時に AFC をロックする場合、最小プリアンブル長は、データ・レートに応じて 14 ビットから 32 ビットの範囲になります。AFC とプリアンブル検出を無効にした場合、最小プリアンブル長は AGC のセトリング時間と CDR 取得時間に依存し、データ・レートに応じて 8 ビットから 24 ビットの範囲になります。様々なデータ・レートとレシーバー設定に対する必要プリアンブル長の概要を表 41 に示します。

**推奨同期ワード許容差**

データ・レートが 200kbps より大きく、AGC が同期ワード検出時にロックされるように設定されている場合は、同期ワードのエラー許容値を 1 ビット (SYNC\_ERROR\_TOL = 1) に設定することを推奨します。これは、受信同期ワードに 1 ビットの誤差を許容することにより、同期ワード受信時に AGC のゲインが変化してパケットが失われるのを防ぎます。

表 41. 2FSK/GFSK/MSK/GMSK における AGC、AFC、プリアンブル長、同期ワードエラー許容値設定の概要

Data Rate (kbps)	Frequency Deviation (kHz)	IF BW (kHz)	AFC Pull-In Range (kHz)	Setup <sup>1</sup>	AGC <sup>2</sup>			AFC <sup>3</sup>			Minimum Preamble Length (Bits) <sup>4</sup>	Sync Word Error Tolerance (Bits) <sup>5</sup>
					High Threshold	Low Threshold	Clock Divide	On/Off	Ki	Kp		
300	75	300	±150	1	0x78	0x46	0x0F	On	7	3	64	0
				2	0x78	0x46	0x19	On	8	3	32	1
				3	0x78	0x46	0x19	Off			24	1
200	50	200	±100	1	0x78	0x46	0x19	On	7	3	58	0
150	37.5	150	±75	1	0x78	0x46	0x19	On	7	3	54	0
100	25	100	±50	1	0x78	0x46	0x19	On	7	3	52	0
50	12.5	100	±50	1	0x78	0x46	0x19	On	7	3	50	0
38.4	20	100	±50	1	0x78	0x46	0x19	On	7	3	44	0
				2	0x78	0x46	0x19	On	7	3	14	0
				3	0x78	0x46	0x19	Off			8	0
9.6	10	100	±50	1	0x78	0x46	0x19	Off			8	0
				1	0x78	0x46	0x19	On	7	3	46	0
1	10	100	±50	1	0x78	0x46	0x19	Off			8	0
				1	0x78	0x46	0x19	On	7	3	40	0

<sup>1</sup> セットアップ 1: AFC\_LOCK\_MODE = 3 および AGC\_LOCK\_MODE = 3 に設定することによって、プリアンブル検出時に AFC と AGC がロックされるように設定。

セットアップ 2: AFC\_LOCK\_MODE = 3、AGC\_LOCK\_MODE = 3、および PREAMBLE\_MATCH = 0 に設定することによって、同期ワード検出時に AFC と AGC がロックされるように設定。

セットアップ 3: AFC\_LOCK\_MODE = 1、AGC\_LOCK\_MODE = 3、および PREAMBLE\_MATCH = 0 に設定することによって、AFC を無効にし、同期ワード検出時に AGC がロックされるように設定。セットアップ 2 とセットアップ 3 の同期ワード長は 24 ビットです。同期ワード検出長は最小プリアンブル長に影響します。

<sup>2</sup> AGC 上限閾値は、AGC\_HIGH\_THRESHOLD レジスタ (アドレス 0x35F) への書き込みによって設定します。AGC 下限閾値は、AGC\_LOW\_THRESHOLD レジスタ (アドレス 0x35E) への書き込みによって設定します。AGC クロック分周は、AGC\_CLK\_DIVIDE レジスタ (アドレス 0x32F) への書き込みによって設定します。ただし、これらの AGC 閾値設定を変更すると、RSSI リードバックの精度が低下します。

<sup>3</sup> AFC の有効化と無効化は、レジスタ RADIO\_CFG\_10 (アドレス 0x116) に AFC\_LOCK\_MODE 設定を書き込むことによって行います。AFC の Ki パラメータと Kp パラメータは、RADIO\_CFG\_11 レジスタ (アドレス 0x117) に AFC\_KP 設定と AFC\_KI 設定を書き込むことによって設定します。

<sup>4</sup> 送信プリアンブル長 (バイト数) は、PREAMBLE\_LEN レジスタ (アドレス 0x11D) の書き込みによって設定します。

<sup>5</sup> 同期ワードのエラー許容値 (ビット数) は、SYNC\_CONTROL レジスタ (アドレス 0x120) に SYNC\_ERROR\_TOL 設定を書き込むことによって設定します。

## 周辺機能

### A/D コンバータ

ADF7023-Jは、アナログ温度センサー、アナログ RSSI レベル、および外部アナログ入力信号（ピン 30）を含むアナログ信号をデジタル化するために、内蔵 SAR ADC をサポートしています。変換時間は代表値で 1μs です。変換の結果は、ADC\_READBACK\_HIGH レジスタ（アドレス 0x327）と ADC\_READBACK\_LOW レジスタ（アドレス 0x328）から読み出すことができます。ADC リードバックは 8 ビット値です。

ADC 入力の信号源は、ADC\_CONFIG\_LOW レジスタ（アドレス 0x359）を介して選択します。PHY\_RX ステートでは、信号源は自動的にアナログ RSSI に設定されます。PHY\_RX では ADC が自動的にイネーブルされます。他の無線ステートでは、ホスト・プロセッサが POWERDOWN\_RX（アドレス 0x324）を 0x10 に設定することによって、ADC をイネーブルする必要があります。

ADC のリードバックを行うには、以下の手順を完了する必要があります。

1. ADC\_READBACK\_HIGH を読み出します。これによって ADC のリードバックが初期化されます。
2. ADC\_READBACK\_LOW を読み出します。これによって、ADC サンプルの ADC\_READBACK [1:0] が返されます。
3. ADC\_READBACK\_HIGH を読み出します。これによって、ADC サンプルの ADC\_READBACK [7:2] が返されます。

### 温度センサー

内蔵温度センサーの動作範囲は-40°C~+85°Cです。PHY\_OFF、PHY\_ON、または PHY\_TX で温度センサーのリードバックを有効にするには、以下のレジスタを設定する必要があります。

1. POWERDOWN\_RX（アドレス 0x324）を 0x10 に設定。これによって ADC がイネーブルされます。
2. POWERDOWN\_AUX（アドレス 0x325）を 0x02 に設定。これによって温度センサーがイネーブルされます。
3. ADC\_CONFIG\_LOW（アドレス 0x359）を 0x08 に設定。これによって温度センサーへの ADC 入力が設定されます。

温度は、次式を使って ADC のリードバック値から決定されます。

$$\text{温度 (}^\circ\text{C)} = 0.9474 \times (\text{ADC\_READBACK}[7:0] - \text{CalibrationValue}[7:0]) + T_{\text{Calibration}}$$

CalibrationValue [7:0] は、既知の温度  $T_{\text{Calibration}}$  における ADC のリードバックから決定されます。

### テスト DAC

テスト DAC は、ポスト復調器フィルタの出力を外部に出力することを可能にします。この DAC は 16 ビットのフィルタ出力を取り込み、2次  $\Sigma\Delta$  コンバータを使って高周波数の 1 ビット出力

に変換します。結果は GP0 ピンに出力できます。この信号は、適切なフィルタリングを行えば以下の目的に使用できます。

- ポスト復調器フィルタ出力での信号モニタ
- 復調器出力 S/N 比の測定
- 受信信号品質測定用の受信ビット・ストリームのアイ・ダイアグラム作成
- アナログ FM 復調の実行

テスト DAC をイネーブルするには、GPIO\_CONFIGURE 設定（アドレス 0x3FA）を 0xC9 に設定する必要があります。TEST\_DAC\_GAIN 設定（アドレス 0x3FD）は 0x00 に設定してください。GP0 ピンのテスト DAC 信号には、復調信号を再生するために 3 段ローパス RC フィルタをかけることができます。詳細については、AN-852 アプリケーション・ノートを参照してください。

### 送信テスト・モード

送信テスト・モードは 2 種類あり、表 42 に示すように、VAR\_TX\_MODE パラメータ（パケット RAM のアドレス 0x00D）を設定することによって有効化できます。VAR\_TX\_MODE は、PHY\_TX ステートに入る前に設定する必要があります。

表 42. 送信テスト・モード

VAR_TX_MODE	モード
0	デフォルト。送信テスト・モードは無効。
1	ランダム・データを連続して送信。
2	プリアンブルを連続して送信。
3	キャリアを連続して送信。
4 to 255	予備

### シリコン・リビジョン・リードバック

製品コードとシリコン・リビジョン・コードは、表 43 に示すようにパケット RAM から読み出すことができます。PHY\_ON ステートからの遷移時には通信プロセッサが製品コードとシリコン・リビジョン・コードを上書きするので、これらの値が有効なのは、パワーアップ時または PHY\_SLEEP ステートからのウェイクアップ時に限られます。

表 43. 製品コードとシリコン・リビジョン・コード

パケット RAM のアドレス	説明
0x001	製品コード、最上位バイト = 0x70
0x002	製品コード、最下位バイト = 0x23
0x003	シリコン・リビジョン・コード、最上位バイト
0x004	シリコン・リビジョン・コード、最下位バイト

## アプリケーション情報

### アプリケーション回路

ADF7023-J の代表的なアプリケーション回路を図 84 に示します。図には、電源デカップリング・コンデンサを除いて、デバイスを作動させるために必要なすべての外付け部品が示されています。この回路例では、結合シングルエンド PA/LNA マッチを使用しています。マッチング・トポロジと様々なホスト・プロセッサ・インターフェースの詳細については、ホスト・プロセッサ・インターフェースのセクションと PA/LNA マッチングのセクションを参照してください。

### ホスト・プロセッサ・インターフェース

パケット・モード使用時の ADF7023-J とホスト・プロセッサ間のインターフェースを図 82 に示します。パケット・モードでは、ホスト・プロセッサと ADF7023-J 間のすべての通信が SPI インターフェースと IRQ\_GP3 ピンを介して行われます。SPORT モードでの ADF7023-J とホスト・プロセッサ間のインターフェースを図 83 に示します。SPORT モードでは、GP0、GP1、および GP2 ピンで送信および受信データ・インターフェースが構成され、GP4 では個別の割込みを使用することができます。一方、SPI インターフェースはメモリ・アクセスとコマンドの発行に使われます。

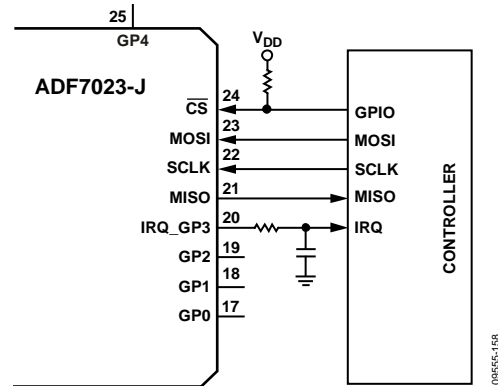


図 82. パケット・モードのプロセッサ・インターフェース

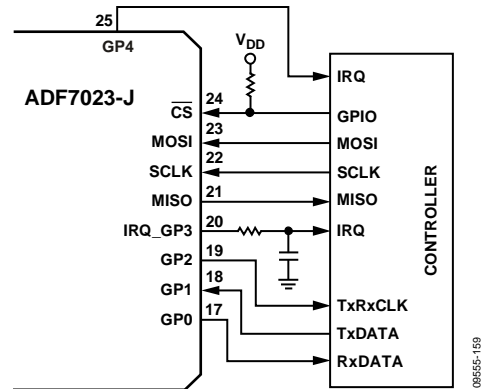


図 83. SPORT モードのプロセッサ・インターフェース

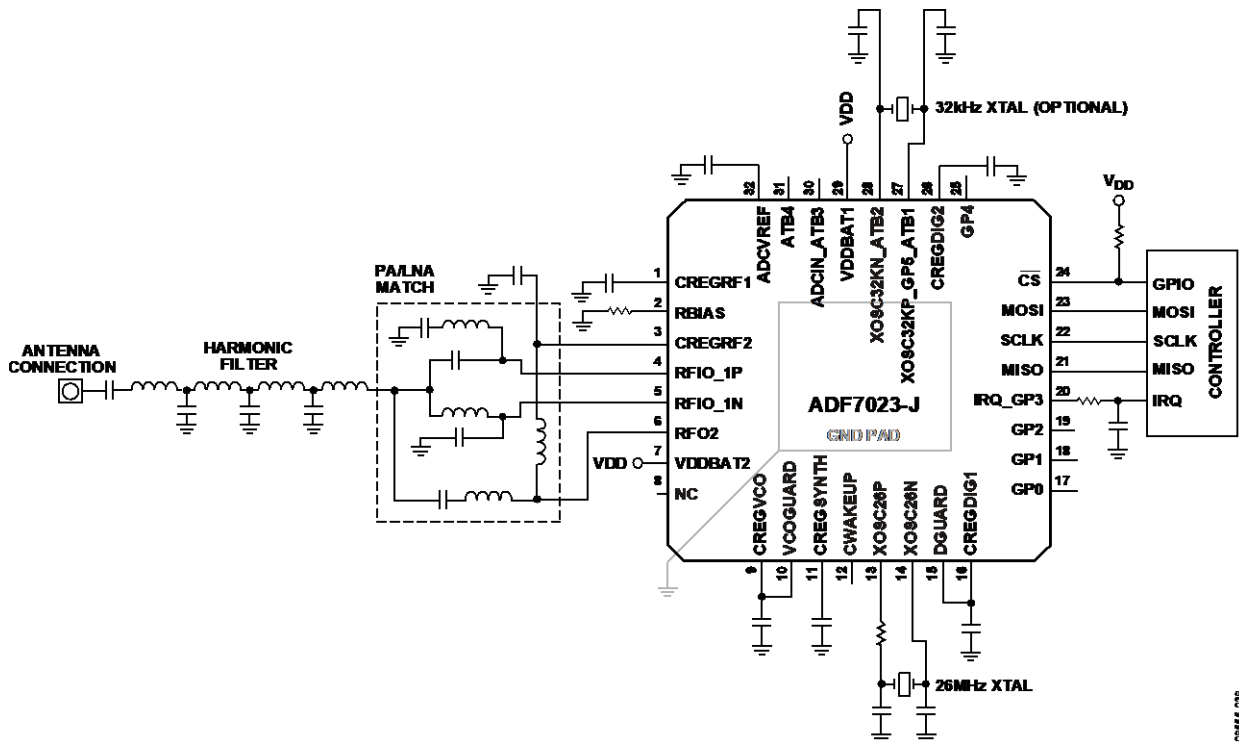


図 84. 代表的な ADF7023-J アプリケーション回路図

## PA/LNA マッチング

ADF7023-J には、差動 LNA、シングルエンド PA、および差動 PA が組み込まれています。この柔軟性が、ADF7023-J とアンテナ間のインターフェースに関する様々な可能性を提供します。

### 結合シングルエンド PA/LNA マッチ

結合シングルエンド PA/LNA マッチは、外部送受信スイッチを使用することなく送信パスと受信パスを結合することを可能にします。マッチング回路の構造を図 86 に示します。差動 LNA マッチは 5 個の要素からなるディスクリット・バラで、シングルエンド入力を生成します。シングルエンド PA 出力は、CREGRF2 安定化電源に対するチョーク・インダクタ、および直列に接続されたインダクタとコンデンサで構成される 3 要素のマッチです。

LNA パスと PA パスは結合され、7 次高調波フィルタが送信高調波を減衰させます。結合マッチ内では、PA と LNA のオフ・インピーダンスを考慮する必要があります。これは、分離シングルエンド PA/LNA マッチと比較して、送信電力の損失とレシーバー感度が多少低下するという結果を招く可能性があります。しかし、最適なマッチングを行えば、分離 PA/LNA マッチング・トポロジと比較した場合でも、標準的な送信電力の損失は 1dB 未満、感度の低下も 1dB 未満となります。

## 分離シングルエンド PA/LNA マッチ

分離シングルエンド PA/LNA マッチング構成を図 85 に示します。回路は、送信パスと受信パスが分離している点を除いて、図 86 に示す結合マッチング回路と同じです。アンテナに接続できるようにするために、外付けの送信/受信アンテナ・スイッチを使って送信パスと受信パスを結合することができます。このマッチング回路の設計では PA と LNA のオフ・インピーダンスを考慮する必要がないので、結合シングルエンド PA/LNA マッチより単純な構造で最適なマッチングを実現することができます。

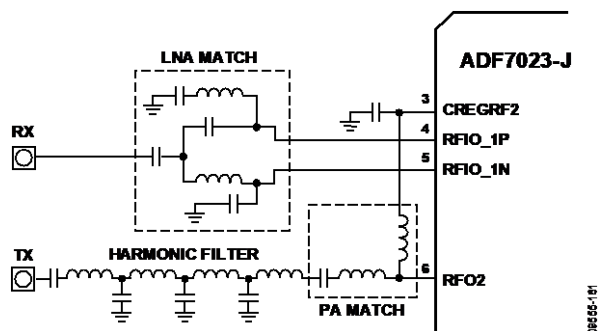


図 85. 分離シングルエンド PA/LNA マッチ

## 結合差動 PA/LNA マッチ

このマッチング・トポロジでは、シングルエンド PA は使用しません。差動 PA/LNA マッチは 5 個の要素からなるディスクリット・バラで、図 87 に示すようにシングルエンド入力を生成します。差動 PA からの RF 高調波を最小限に抑えるために、高調波フィルタを使用します。

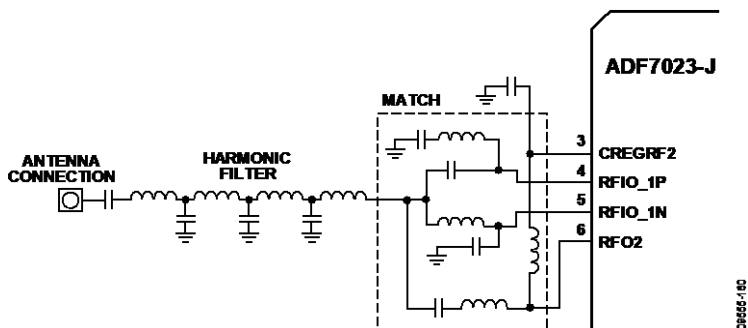


図 86. 結合シングルエンド PA/LNA マッチ

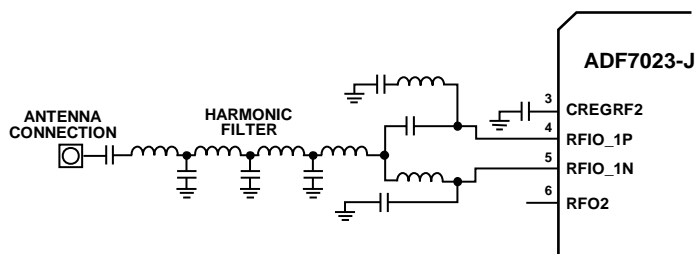


図 87. 結合差動 PA/LNA マッチ

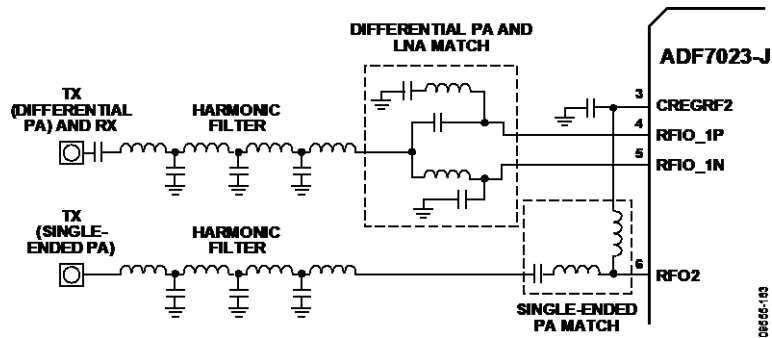


図 88. 送信アンテナ・ダイバーシティのマッチング・トポロジ

**送信アンテナ・ダイバーシティ**

送信アンテナ・ダイバーシティは、差動 PA とシングルエンド PA を使って実現できます。必要なマッチング回路を図 88 に示します。

**外部 PA および LNA の制御**

ADF7023-J では、外部 PA または LNA 用の独立した制御信号を使用できます。MODE\_CONTROL レジスタ (アドレス 0x11A) の EXT\_PA\_EN ビットを 1 に設定すると、ADF7023-J が PHY\_TX ステートにあるときは外部 PA 制御信号がロジック・ハイになり、他のステートにあるときはロジック・ローになります。MODE\_CONTROL レジスタ (アドレス 0x11A) の EXT\_LNA\_EN ビットを 1 に設定すると、ADF7023-J が PHY\_RX ステートにあるときは外部 LNA 制御信号がロジック・ハイになり、他のステートにあるときはロジック・ローになります。

外部 PA および LNA 制御信号は、表 44 に示すように EXT\_PA\_LNA\_ATB\_CONFIG 設定 (アドレス 0x139) を使って設定できます。

表 44. 外部 PA および LNA 制御信号の設定

EXT_PA_LNA_ATB_CONFIG	設定
1	ADCIN_ATB3 の外部 PA 信号と ATB4 の外部 LNA 信号 (1.8V ロジック出力)
0	XOSC32KP_GP5_ATB1 の外部 PA 信号と XOSC32KN_ATB2 の外部 LNA 信号 (V <sub>DD</sub> ロジック出力)

## コマンド・リファレンス

表 45. 無線コントローラ・コマンド

コマンド	コード	説明
CMD_SYNC	0xA2	リセット後に通信プロセッサをホスト・プロセッサに同期します。
CMD_PHY_OFF	0xB0	デバイスを PHY_OFF ステートに遷移させます。
CMD_PHY_ON	0xB1	デバイスを PHY_ON ステートに遷移させます。
CMD_PHY_RX	0xB2	デバイスを PHY_RX ステートに遷移させます。
CMD_PHY_TX	0xB5	デバイスを PHY_TX ステートに遷移させます。
CMD_PHY_SLEEP	0xBA	デバイスを PHY_SLEEP ステートに遷移させます。
CMD_CONFIG_DEV	0xBB	BBRAM の値に基づいて無線パラメータを設定します。
CMD_GET_RSSI	0xBC	RSSI の測定を行います。
CMD_BB_CAL	0xBE	IF フィルタのキャリブレーションを行います。
CMD_HW_RESET	0xC8	すべてのハードウェアをリセットします。デバイスが PHY_SLEEP ステートになります。
CMD_RAM_LOAD_INIT	0xBF	ファームウェア・モジュールをダウンロードできるようにプログラム RAM を準備します。
CMD_RAM_LOAD_DONE	0xC7	ファームウェア・モジュールをプログラム RAM へダウンロードした後に、通信プロセッサをリセットします。
CMD_IR_CAL <sup>1</sup>	0xBD	イメージ除去キャリブレーション・ルーチンを開始します。
CMD_AES_ENCRYPT <sup>2</sup>	0xD0	パケット RAM に保存された送信ペイロード・データを AES で暗号化します。
CMD_AES_DECRYPT <sup>2</sup>	0xD2	パケット RAM に保存された受信ペイロード・データを AES で復号します。
CMD_AES_DECRYPT_INIT <sup>2</sup>	0xD1	AES 復号に必要な内部変数を初期化します。
CMD_RS_ENCODE_INIT <sup>3</sup>	0xD1	リードソロモン・エンコーディングに必要な内部変数を初期化します。
CMD_RS_ENCODE <sup>3</sup>	0xD0	リードソロモン・チェック・バイトを計算して、パケット RAM に保存された送信ペイロード・データにそのバイトを追加します。
CMD_RS_DECODE <sup>3</sup>	0xD2	パケット RAM に保存された受信ペイロード・データのリードソロモン・エラー訂正を行います。

<sup>1</sup> このコマンドを使用するには、プログラム RAM にイメージ除去キャリブレーション・ファームウェア・モジュールをロードする必要があります。

<sup>2</sup> このコマンドを使用するには、プログラム RAM に AES ファームウェア・モジュールをロードする必要があります。

<sup>3</sup> このコマンドを使用するには、プログラム RAM にリードソロモン・コーディング・ファームウェア・モジュールをロードする必要があります。

表 46. SPI コマンド

コマンド	コード	説明
SPI_MEM_WR	0001xxxxb = 0x18 (packet RAM), 0x19 (BBRAM), 0x1B (MCR), 0x1E (program RAM)	BBRAM、MCR、またはパケット RAM へシーケンシャルにデータを書き込みます。メモリ位置の識別には 11 ビットのアドレスが使われます。コマンドには、このアドレスの最上位 3 ビットが組み込まれます (xxxxb)。このコマンドの後にはアドレスの残り 8 ビットが続き、更にその後には書き込むデータ・バイトが続きます。
SPI_MEM_RD	0011xxxxb = 0x38 (packet RAM), 0x39 (BBRAM), 0x3B (MCR)	BBRAM、MCR、またはパケット RAM からシーケンシャルにデータを読み出します。メモリ位置の識別には 11 ビットのアドレスが使われます。コマンドには、このアドレスの最上位 3 ビットが組み込まれます (xxxxb)。このコマンドの後にはアドレスの残り 8 ビットが続き、更にその後には該当する数の SPI_NOP コマンドが続きます。
SPI_MEMR_WR	0000xxxxb = 0x08 (packet RAM), 0x09 (BBRAM), 0x0B (MCR)	BBRAM、MCR、またはパケット RAM へ非シーケンシャルにデータを書き込みます。
SPI_MEMR_RD	0010xxxxb = 0x28 (packet RAM), 0x29 (BBRAM), 0x2B (MCR)	BBRAM、MCR、またはパケット RAM から非シーケンシャルにデータを読み出します。
SPI_NOP	0xFF	無操作。ステータス・ワードをポーリングするときのダミー書き込みに使用します。メモリ読み出し時のダミー・データとしても使用します。



## レジスタ・マップ

表 47. バッテリ・バックアップ・メモリ (BBRAM)

Address (Hex)	Register	Retained in PHY_SLEEP	R/W	Group
0x100	INTERRUPT_MASK_0	Yes	R/W	MAC
0x101	INTERRUPT_MASK_1	Yes	R/W	MAC
0x102	NUMBER_OF_WAKEUPS_0	Yes	R/W	MAC
0x103	NUMBER_OF_WAKEUPS_1	Yes	R/W	MAC
0x104	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0	Yes	R/W	MAC
0x105	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1	Yes	R/W	MAC
0x106	RX_DWELL_TIME	Yes	R/W	MAC
0x107	PARMTIME_DIVIDER	Yes	R/W	MAC
0x108	SWM_RSSI_THRESH	Yes	R/W	PHY
0x109	CHANNEL_FREQ_0	Yes	R/W	PHY
0x10A	CHANNEL_FREQ_1	Yes	R/W	PHY
0x10B	CHANNEL_FREQ_2	Yes	R/W	PHY
0x10C	RADIO_CFG_0	Yes	R/W	PHY
0x10D	RADIO_CFG_1	Yes	R/W	PHY
0x10E	RADIO_CFG_2	Yes	R/W	PHY
0x10F	RADIO_CFG_3	Yes	R/W	PHY
0x110	RADIO_CFG_4	Yes	R/W	PHY
0x111	RADIO_CFG_5	Yes	R/W	PHY
0x112	RADIO_CFG_6	Yes	R/W	PHY
0x113	RADIO_CFG_7	Yes	R/W	PHY
0x114	RADIO_CFG_8	Yes	R/W	PHY
0x115	RADIO_CFG_9	Yes	R/W	PHY
0x116	RADIO_CFG_10	Yes	R/W	PHY
0x117	RADIO_CFG_11	Yes	R/W	PHY
0x118	IMAGE_REJECT_CAL_PHASE	Yes	R/W	PHY
0x119	IMAGE_REJECT_CAL_AMPLITUDE	Yes	R/W	PHY
0x11A	MODE_CONTROL	Yes	R/W	PHY
0x11B	PREAMBLE_MATCH	Yes	R/W	Packet
0x11C	SYMBOL_MODE	Yes	R/W	Packet
0x11D	PREAMBLE_LEN	Yes	R/W	Packet
0x11E	CRC_POLY_0	Yes	R/W	Packet
0x11F	CRC_POLY_1	Yes	R/W	Packet
0x120	SYNC_CONTROL	Yes	R/W	Packet
0x121	SYNC_BYTE_0	Yes	R/W	Packet
0x122	SYNC_BYTE_1	Yes	R/W	Packet
0x123	SYNC_BYTE_2	Yes	R/W	Packet
0x124	TX_BASE_ADR	Yes	R/W	Packet
0x125	RX_BASE_ADR	Yes	R/W	Packet
0x126	PACKET_LENGTH_CONTROL	Yes	R/W	Packet
0x127	PACKET_LENGTH_MAX	Yes	R/W	Packet
0x128	STATIC_REG_FIX	Yes	R/W	PHY
0x129	ADDRESS_MATCH_OFFSET	Yes	R/W	Packet
0x12A	ADDRESS_LENGTH	Yes	R/W	Packet
0x12B to 0x137	Address matching	Yes	R/W	Packet
0x138	RSSI_WAIT_TIME	Yes	R/W	PHY
0x139	TESTMODES	Yes	R/W	MAC
0x13A	TRANSITION_CLOCK_DIV	Yes	R/W	PHY
0x13B to 0x13D	Reserved—set to 0x00	N/A	R/W	N/A
0x13E	RX_SYNTH_LOCK_TIME	Yes	R/W	PHY
0x13F	TX_SYNTH_LOCK_TIME	Yes	R/W	PHY

表 48. モデム設定メモリ (MCR)

Address (Hex)	Register	Retained in PHY_SLEEP	R/W
0x307	PA_LEVEL_MCR	No	R/W
0x30C	WUC_CONFIG_HIGH	No	W
0x30D	WUC_CONFIG_LOW	No	W
0x30E	WUC_VALUE_HIGH	No	W
0x30F	WUC_VALUE_LOW	No	W
0x310	WUC_FLAG_RESET	No	R/W
0x311	WUC_STATUS	No	R
0x312	RSSI_READBACK	No	R
0x315	MAX_AFC_RANGE	No	R/W
0x319	IMAGE_REJECT_CAL_CONFIG	No	R/W
0x322	CHIP_SHUTDOWN	No	R/W
0x324	POWERDOWN_RX	No	R/W
0x325	POWERDOWN_AUX	No	R/W
0x327	ADC_READBACK_HIGH	No	R
0x328	ADC_READBACK_LOW	No	R
0x32D	BATTERY_MONITOR_THRESHOLD_VOLTAGE	No	R/W
0x32E	EXT_UC_CLK_DIVIDE	No	R/W
0x32F	AGC_CLK_DIVIDE	No	R/W
0x336	INTERRUPT_SOURCE_0	No	R/W
0x337	INTERRUPT_SOURCE_1	No	R/W
0x338	CALIBRATION_CONTROL	No	R/W
0x339	CALIBRATION_STATUS	No	R
0x345	RXBB_CAL_CALWRD_READBACK	No	R
0x346	RXBB_CAL_CALWRD_OVERWRITE	No	R/W
0x34F	RCOSC_CAL_READBACK_HIGH	No	R
0x350	RCOSC_CAL_READBACK_LOW	No	R
0x359	ADC_CONFIG_LOW	No	R/W
0x35A	ADC_CONFIG_HIGH	No	R/W
0x35B	Reserved	No	R/W
0x35C	AGC_CONFIG	No	R/W
0x35D	AGC_MODE	No	R/W
0x35E	AGC_LOW_THRESHOLD	No	R/W
0x35F	AGC_HIGH_THRESHOLD	No	R/W
0x360	AGC_GAIN_STATUS	No	R
0x372	FREQUENCY_ERROR_READBACK	No	R
0x3CB	VCO_BAND_OVRW_VAL	No	R/W
0x3CC	VCO_AMPL_OVRW_VAL	No	R/W
0x3CD	VCO_OVRW_EN	No	R/W
0x3D0	VCO_CAL_CFG	No	R/W
0x3D2	OSC_CONFIG	No	R/W
0x3DA	VCO_BAND_READBACK	No	R
0x3DB	VCO_AMPL_READBACK	No	R
0x3F8	ANALOG_TEST_BUS	No	R/W
0x3F9	RSSI_TSTMUX_SEL	No	R/W
0x3FA	GPIO_CONFIGURE	No	R/W
0x3FD	TEST_DAC_GAIN	No	R/W

表 49. パケット RAM メモリ

アドレス	レジスタ	R/W
0x000	VAR_COMMAND	R/W
0x001 <sup>1</sup>	製品コード、最上位バイト = 0x70	R
0x002 <sup>1</sup>	製品コード、最下位バイト = 0x23	R
0x003 <sup>1</sup>	シリコン・リビジョン・コード、最上位バイト	R
0x004 <sup>1</sup>	シリコン・リビジョン・コード、最下位バイト	R
0x005 to 0x00B	予備	R
0x00D	VAR_TX_MODE	R/W
0x00E to 0x00F	予備	R
0x010 to 0x018	カスタム PLL ループ・フィルタのルックアップ・テーブル	R/W

<sup>1</sup> PHY\_ON ステートの終了時には通信プロセッサがこれらの値を上書きするので、パワーアップ時または PHY\_SLEEP ステートからのウェイクアップ時のみ有効です。

## BBRAM レジスタの説明

表 50. 0x100 : INTERRUPT\_MASK\_0

ビット	ビット名	R/W	説明
[7]	INTERRUPT_NUM_WAKEUPS	R/W	WUC ウェイクアップの回数 (NUMBER_OF_WAKEUPS [15:0]) が閾値 (NUMBER_OF_WAKEUPS_IRQ_THRESHOLD [15:0]) に達したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[6]	INTERRUPT_SWM_RSSI_DET	R/W	スマート・ウェイク・モード中に測定した RSSI が、RSSI 閾値 (SWM_RSSI_THRESH、アドレス 0x108) を超えたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[5]	INTERRUPT_AES_DONE	R/W	AES 暗号化コマンドまたは復号コマンドが完了したときに割込み。AES ファームウェア・モジュールが ADF7023-J のプログラム RAM にダウンロードされている場合のみ使用可能 1: 割込みイネーブル、0: 割込みディスエーブル
[4]	INTERRUPT_TX_EOF	R/W	パケットの送信が完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[3]	INTERRUPT_ADDRESS_MATCH	R/W	受信パケットのアドレス・マッチが有効であるときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[2]	INTERRUPT_CRC_CORRECT	R/W	受信パケットの CRC が正しいものであるときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[1]	INTERRUPT_SYNC_DETECT	R/W	受信パケット内に有効な同期ワードが検出されたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[0]	INTERRUPT_PREAMBLE_DETECT	R/W	受信パケット内に有効なプリアンブルが検出されたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル

表 51. 0x101 : INTERRUPT\_MASK\_1

ビット	ビット名	R/W	説明
[7]	BATTERY_ALARM	R/W	バッテリー電圧が閾値 (BATTERY_MONITOR_THRESHOLD_VOLTAGE、アドレス 0x32D) を下回ったときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[6]	CMD_READY	R/W	通信プロセッサが新しいコマンドをロードできる状態になったときに割込み。ステータス・ワードの CMD_READY ビットをミラー 1: 割込みイネーブル、0: 割込みディスエーブル
[5]	Reserved	R/W	
[4]	WUC_TIMEOUT	R/W	WUC がタイムアウトしたときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[3]	Reserved	R/W	
[2]	Reserved	R/W	
[1]	SPI_READY	R/W	SPI がアクセス準備を完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル
[0]	CMD_FINISHED	R/W	通信プロセッサがコマンドの実行を完了したときに割込み 1: 割込みイネーブル、0: 割込みディスエーブル

表 52. 0x102 : NUMBER\_OF\_WAKEUPS\_0

ビット	ビット名	R/W	説明
[7:0]	NUMBER_OF_WAKEUPS[7:0]	R/W	そのデバイスで発生したウェイクアップ (WUC タイムアウト) の回数を示す、内部 16 ビット・カウンットのビット [15:0] のうちの [7:0]。0x0000 に初期化できます。表 53 を参照。

表 53. 0x103 : NUMBER\_OF\_WAKEUPS\_1

ビット	ビット名	R/W	説明
[7:0]	NUMBER_OF_WAKEUPS[15:8]	R/W	そのデバイスで発生した WUC のウェイクアップ回数を示す、内部 16 ビット・カウンットのビット [15:0] のうちの [15:8]。0x0000 に初期化できます。表 52 を参照。

表 54. 0x104 : NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD\_0

ビット	ビット名	R/W	説明
[7:0]	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD [7:0]	R/W	ビット [15:0] のうちの [7:0] (表 55 を参照)。ウェイクアップ (WUC タイムアウト) 回数の閾値。これは、NUMBER_OF_WAKEUPS ビットとの比較に使用する 16 ビットのカウンット閾値です。この閾値を超えると、デバイスは PHY_OFF ステートからウェイクアップし、オプションで INTERRUPT_NUM_WAKEUPS を生成します。

表 55. 0x105 : NUMBER\_OF\_WAKEUPS\_IRQ\_THRESHOLD\_1

ビット	ビット名	R/W	説明
[7:0]	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD D [15:8]	R/W	ビット [15:0] のうちの [15:8] (表 54 参照)。

表 56. 0x106 : RX\_DWELL\_TIME

ビット	ビット名	R/W	説明
[7:0]	RX_DWELL_TIME	R/W	WUC が使用され SWM が有効になっているときは、無線がパワーアップすると、BBRAM によって定義されたチャンネルのレシーバーがイネーブルされ、この時間だけリスニングを行います。この間にプリアンプル・パターンが検出されなかった場合、デバイスはスリープ状態に戻ります。 受信ドウェル時間 (s) = $RX\_DWELL\_TIME \times \frac{6.5 \text{ MHz}}{128 \times PARMTIME\_DIVIDER}$

表 57. 0x107 : PARMTIME\_DIVIDER

ビット	ビット名	R/W	説明
[7:0]	PARMTIME_DIVIDER	R/W	RX_DWELL_TIME で表される時間を定義するために使われる時間単位。 $\text{タイマー} \cdot \text{チック} \cdot \text{レート} = \frac{128 \times PARMTIME\_DIVIDER}{6.5 \text{ MHz}}$ 値が 0x33 の場合、クロックは 995.7Hz になります (周期 1.004ms)。

表 58. 0x108 : SWM\_RSSI\_THRESH

ビット	ビット名	R/W	説明
[7:0]	SWM_RSSI_THRESH	R/W	これは、スマート・ウェイク・モードで RSSI 検出をイネーブルした場合の RSSI 閾値を設定します。 $\text{閾値 (dBm)} = SWM\_RSSI\_THRESH - 107$

表 59. 0x109 : CHANNEL\_FREQ\_0

ビット	ビット名	R/W	説明
[7:0]	CHANNEL_FREQ[7:0]	R/W	RF チャンネル周波数 (Hz) は次式に従って設定されます。 $\text{Frequency (Hz)} = f_{\text{PFD}} \times \frac{(\text{CHANNEL\_FREQ}[23:0])}{2^{16}}$ ここで $f_{\text{PFD}}$ は PFD 周波数で、値は 26MHz です。

表 60. 0x10A : CHANNEL\_FREQ\_1

ビット	ビット名	R/W	説明
[7:0]	CHANNEL_FREQ[15:8]	R/W	表 59 の CHANNEL_FREQ_0 の説明を参照してください。

表 61. 0x10B : CHANNEL\_FREQ\_2

ビット	ビット名	R/W	説明
[7:0]	CHANNEL_FREQ[23:16]	R/W	表 59 の CHANNEL_FREQ_0 の説明を参照してください。

表 62. 0x10C : RADIO\_CFG\_0

ビット	ビット名	R/W	説明
[7:0]	DATA_RATE[7:0]	R/W	データ・レート (bps) は次式に従って設定されます: データ・レート (bps) = DATA_RATE[11:0] × 100。

表 63. 0x10D : RADIO\_CFG\_1

ビット	ビット名	R/W	説明
[7:4]	FREQ_DEVIATION[11:8]	R/W	RADIO_CFG_2 の FREQ_DEVIATION の説明を参照してください (表 64 参照)。
[3:0]	DATA_RATE[11:8]	R/W	RADIO_CFG_0 の DATA_RATE の説明を参照してください (表 62 参照)。

表 64. 0x10E : RADIO\_CFG\_2

ビット	ビット名	R/W	説明
[7:0]	FREQ_DEVIATION[7:0]	R/W	ヘルツ単位のバイナリ・レベル 2FSK/GFSK/MSK/GMSK 周波数偏差 (キャリア周波数と 1/0 トーンの周波数差として定義される) は、次式に従って設定されます: 周波数偏差 (Hz) = FREQ_DEVIATION[11:0] × 100。

表 65. 0x10F : RADIO\_CFG\_3

ビット	ビット名	R/W	説明
[7:0]	DISCRIM_BW[7:0]	R/W	DISCRIM_BW の値は相関復調器の帯域幅を設定します。DISCRIM_BW 値の設定に必要な手順については、2FSK/GFSK/MSK/GMSK 復調のセクションを参照してください。

表 66. 0x110 : RADIO\_CFG\_4

ビット	ビット名	R/W	説明
[7:0]	POST_DEMOD_BW[7:0]	R/W	最適な性能を得るには、ポスト復調器フィルタの帯域幅をデータ・レートの 0.75 倍付近に設定する必要があります。ポスト復調器フィルタの実際の帯域幅は次式で与えられます: ポスト復調器フィルタ帯域幅 (kHz) = POST_DEMOD_BW × 2POST_DEMOD_BW の範囲は 1~255 です。

表 67. 0x111 : RADIO\_CFG\_5

ビット	ビット名	R/W	説明
[7:0]	Reserved	R/W	ゼロに設定します。

表 68. 0x112 : RADIO\_CFG\_6

ビット	ビット名	R/W	説明
[7:2]	SYNTH_LUT_CONFIG_0	R/W	SYNTH_LUT_CONTROL (アドレス 0x113、表 69) = 0 または 2 の場合は、SYNTH_LUT_CONFIG_0 = 0 に設定します。SYNTH_LUT_CONTROL = 1 または 3 の場合は、この設定により、レシーバー-PLL ループ帯域幅を変更してレシーバー用ローカル発振器の位相ノイズを最適化することができます。
[1:0]	DISCRIM_PHASE[1:0]	R/W	DISCRIM_PHASE 値は、相関復調器の位相を設定します。DISCRIM_PHASE 値の設定に必要な手順については、2FSK/GFSK/MSK/GMSK 復調のセクションを参照してください。

表 69. 0x113 : RADIO\_CFG\_7

ビット	ビット名	R/W	説明	
[7:6]	AGC_LOCK_MODE	R/W	以下の値に設定します： 0：フリー・ランニング 1：マニュアル 2：ホールド 3：プリアンプル/同期ワード後にロック（PREAMBLE_MATCH=0の場合は同期ワードのみをロック）	
[5:4]	SYNTH_LUT_CONTROL	R/W	デフォルトでは、シンセサイザ・ループ帯域幅は ROM 内のロックアップ・テーブル（LUT）から自動的に選択されます。受信時は最大限の干渉除去効果が得られるように狭帯域が選択されますが、送信時にはデータ・レートと変調設定に基づいて帯域幅が選ばれます。多くのアプリケーションでは、これらの自動的に選択された PLL ループ帯域幅が最適な選択肢となります。ただし、一部のアプリケーションではカスタム送信/受信帯域幅が必要になることがあり、その場合は以下に示すように様々なオプションが存在します。	
			<b>SYNTH_LUT_CONTROL</b>	<b>説明</b>
			0	予め定義された送信および受信 LUT を使用します。LUT は、PHY_TX ステートまたは PHY_RX ステートへの遷移時に ROM から自動的に選択されます。
			1	SYNTH_LUT_CONFIG_0 と SYNTH_LUT_CONFIG_1 に基づいて、カスタム受信 LUT を使用します。送信時には、予め ROM に定義された LUT を使用します。
			2	カスタム送信 LUT を使用します。カスタム送信 LUT は、パケット RAM のアドレス 0x010～0x018 に書き込む必要があります。受信時には、予め ROM に定義された LUT を使用します。
3	SYNTH_LUT_CONFIG_0 と SYNTH_LUT_CONFIG_1 に基づくカスタム受信 LUT と、カスタム送信 LUT を使用します。カスタム送信 LUT は、パケット RAM のアドレス 0x010～0x018 に書き込む必要があります。			
PHY_SLEEP ステートではパケット RAM の内容が失われるので、PHY_SLEEP ステートからのウェイクアップ後は、送信用カスタム LUT を RAM にロードし直す必要があります。				
[3:0]	SYNTH_LUT_CONFIG_1	R/W	SYNTH_LUT_CONTROL = 0 または 2 の場合は、SYNTH_LUT_CONFIG_1 を 0 に設定します。SYNTH_LUT_CONTROL = 1 または 3 の場合は、この設定により、レシーバ PLL ループ帯域幅を変更してレシーバ用ローカル発振器の位相ノイズを最適化することができます。	

表 70. 0x114 : RADIO\_CFG\_8

ビット	ビット名	R/W	説明	
[7]	PA_SINGLE_DIFF_SEL	R/W	<b>PA_SINGLE_DIFF_SEL</b>	
			0	シングルエンド PA をイネーブル。
			1	差動 PA をイネーブル。
[6:3]	PA_LEVEL	R/W	PA の出力電力を設定します。値をゼロにすると PA 出力電力が最小になり、15 にすると PA 出力電力が最大になります。PA レベルは、PA_LEVEL_MCR 設定（アドレス 0x307）を使用して、より小さい分解能で設定することもできます。PA_LEVEL 設定と PA_LEVEL_MCR 設定の関係は $PA\_LEVEL\_MCR = 4 \times PA\_LEVEL + 3$ で表されます。	
			<b>PA_LEVEL</b>	<b>PA レベル (PA_LEVEL_MCR)</b>
			0	設定値 3
			1	設定値 7
			2	設定値 11
15	設定値 63			

ビット	ビット名	R/W	説明																		
[2:0]	PA_RAMP	R/W	PA ランプ・レートを設定します。PA は、PA_LEVEL_MCR (アドレス 0x307) 設定によって示されるレベルに達するまで、プログラムされたレートでランプします。ランプ・レートは、プログラムされたデータ・レートに依存します。																		
			<table border="1"> <thead> <tr> <th>PA_RAMP</th> <th>ランプ・レート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1 データ・ビットあたり 256 コード</td> </tr> <tr> <td>2</td> <td>1 データ・ビットあたり 128 コード</td> </tr> <tr> <td>3</td> <td>1 データ・ビットあたり 64 コード</td> </tr> <tr> <td>4</td> <td>1 データ・ビットあたり 32 コード</td> </tr> <tr> <td>5</td> <td>1 データ・ビットあたり 16 コード</td> </tr> <tr> <td>6</td> <td>1 データ・ビットあたり 8 コード</td> </tr> <tr> <td>7</td> <td>1 データ・ビットあたり 4 コード</td> </tr> </tbody> </table>	PA_RAMP	ランプ・レート	0	予備	1	1 データ・ビットあたり 256 コード	2	1 データ・ビットあたり 128 コード	3	1 データ・ビットあたり 64 コード	4	1 データ・ビットあたり 32 コード	5	1 データ・ビットあたり 16 コード	6	1 データ・ビットあたり 8 コード	7	1 データ・ビットあたり 4 コード
PA_RAMP	ランプ・レート																				
0	予備																				
1	1 データ・ビットあたり 256 コード																				
2	1 データ・ビットあたり 128 コード																				
3	1 データ・ビットあたり 64 コード																				
4	1 データ・ビットあたり 32 コード																				
5	1 データ・ビットあたり 16 コード																				
6	1 データ・ビットあたり 8 コード																				
7	1 データ・ビットあたり 4 コード																				
			<p>PA のランプ・アップとランプ・ダウンが正しいタイミングで行われるようにするために、PA ランプ・レートには、データ・レートと PA_LEVEL または PA_LEVEL_MCR 設定に基づき、最小値が設定されます。この最小値は次式で表されます。</p> $RampRate(Codes/Bit) < 10000 \times \frac{PA\_LEVEL\_MCR[5:0]}{DATA\_RATE[1:0]}$ <p>ここで、PA_LEVEL_MCR の設定と PA_LEVEL の設定の関係は PA_LEVEL_MCR = 4 × PA_LEVEL + 3 で表されます。</p>																		

表 71. 0x115 : RADIO\_CFG\_9

ビット	ビット名	R/W	説明												
[7:6]	IFBW	R/W	レシーバーIFフィルタの帯域幅を設定します。IFフィルタの帯域幅を 300kHz に設定すると、レシーバーの IF 周波数は自動的に 200kHz から 300kHz に変更されます。												
			<table border="1"> <thead> <tr> <th>IFBW</th> <th>IF 帯域幅 (kHz)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>100</td> </tr> <tr> <td>1</td> <td>150</td> </tr> <tr> <td>2</td> <td>200</td> </tr> <tr> <td>3</td> <td>300</td> </tr> </tbody> </table>	IFBW	IF 帯域幅 (kHz)	0	100	1	150	2	200	3	300		
IFBW	IF 帯域幅 (kHz)														
0	100														
1	150														
2	200														
3	300														
[5:3]	MOD_SCHEME	R/W	トランスミッタの変調方式を設定します。												
			<table border="1"> <thead> <tr> <th>MOD_SCHEME</th> <th>変調方式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>2 レベル 2FSK/MSK</td> </tr> <tr> <td>1</td> <td>2 レベル GFSK/GMSK</td> </tr> <tr> <td>2</td> <td>予備</td> </tr> <tr> <td>3</td> <td>キャリアのみ</td> </tr> <tr> <td>4 to 7</td> <td>予備</td> </tr> </tbody> </table>	MOD_SCHEME	変調方式	0	2 レベル 2FSK/MSK	1	2 レベル GFSK/GMSK	2	予備	3	キャリアのみ	4 to 7	予備
MOD_SCHEME	変調方式														
0	2 レベル 2FSK/MSK														
1	2 レベル GFSK/GMSK														
2	予備														
3	キャリアのみ														
4 to 7	予備														
[2:0]	DEMOD_SCHEME	R/W	レシーバーの復調方式を設定します。												
			<table border="1"> <thead> <tr> <th>DEMOD_SCHEME</th> <th>復調方式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>2FSK/GFSK/MSK/GMSK</td> </tr> <tr> <td>1</td> <td>予備</td> </tr> <tr> <td>2</td> <td>予備</td> </tr> <tr> <td>3 to 7</td> <td>予備</td> </tr> </tbody> </table>	DEMOD_SCHEME	復調方式	0	2FSK/GFSK/MSK/GMSK	1	予備	2	予備	3 to 7	予備		
DEMOD_SCHEME	復調方式														
0	2FSK/GFSK/MSK/GMSK														
1	予備														
2	予備														
3 to 7	予備														

表 72. 0x116 : RADIO\_CFG\_10

ビット	ビット名	R/W	説明										
[7:5]	Reserved	R/W	0 に設定。										
[4]	AFC_POLARITY	R/W	0 に設定。										
[3:2]	AFC_SCHEME	R/W	2 に設定。										
[1:0]	AFC_LOCK_MODE	R/W	AFC モードを設定。										
			<table border="1"> <thead> <tr> <th>AFC_LOCK_MODE</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>フリー・ランニング : AFC はフリー・ランニング状態です。</td> </tr> <tr> <td>1</td> <td>ディスエーブル : AFC は無効化されます。</td> </tr> <tr> <td>2</td> <td>AFC をホールド : AFC は一時停止状態になります。</td> </tr> <tr> <td>3</td> <td>ロック : プリアンブルまたは同期ワード後に AFC をロックします (PREAMBLE_MATCH = 0 の場合は同期ワードのみをロック)。</td> </tr> </tbody> </table>	AFC_LOCK_MODE	モード	0	フリー・ランニング : AFC はフリー・ランニング状態です。	1	ディスエーブル : AFC は無効化されます。	2	AFC をホールド : AFC は一時停止状態になります。	3	ロック : プリアンブルまたは同期ワード後に AFC をロックします (PREAMBLE_MATCH = 0 の場合は同期ワードのみをロック)。
AFC_LOCK_MODE	モード												
0	フリー・ランニング : AFC はフリー・ランニング状態です。												
1	ディスエーブル : AFC は無効化されます。												
2	AFC をホールド : AFC は一時停止状態になります。												
3	ロック : プリアンブルまたは同期ワード後に AFC をロックします (PREAMBLE_MATCH = 0 の場合は同期ワードのみをロック)。												

表 73. 0x117 : RADIO\_CFG\_11

ビット	ビット名	R/W	説明	
[7:4]	AFC_KP	R/W	2FSK/GFSK/MSK/GMSK における AFC PI コントローラの比例ゲインを設定します。推奨値は 0x3 です。	
			AFC_KP	比例ゲイン
			0	2 <sup>0</sup>
			1	2 <sup>1</sup>
			2	2 <sup>2</sup>
...	...			
15	2 <sup>15</sup>			
[3:0]	AFC_KI	R/W	2FSK/GFSK/MSK/GMSK における AFC PI コントローラの積分ゲインを設定します。推奨値は 0x7 です。	
			AFC_KI	積分ゲイン
			0	2 <sup>0</sup>
			1	2 <sup>1</sup>
			2	2 <sup>2</sup>
...	...			
15	2 <sup>15</sup>			

表 74. 0x118 : IMAGE\_REJECT\_CAL\_PHASE

ビット	ビット名	R/W	説明
[7]	Reserved	R/W	0 に設定
[6:0]	IMAGE_REJECT_CAL_PHASE	R/W	I/Q 位相調整を設定

表 75. 0x119 : IMAGE\_REJECT\_CAL\_AMPLITUDE

ビット	ビット名	R/W	説明
[7]	Reserved	R/W	0 に設定
[6:0]	IMAGE_REJECT_CAL_AMPLITUDE	R/W	I/Q 振幅調整を設定

表 76. 0x11A : MODE\_CONTROL

ビット	ビット名	R/W	説明
[7]	SWM_EN	R/W	1 : スマート・ウェイク・モードを有効化。 0 : スマート・ウェイク・モードを無効化。
[6]	BB_CAL	R/W	1 : IF フィルタ・キャリブレーションを有効化。 0 : IF フィルタ・キャリブレーションを無効化。 このビットを設定すると、PHY_OFF ステートから PHY_ON ステートへの遷移時に自動的に IF フィルタ・キャリブレーションが実行されます。
[5]	SWM_RSSI_QUAL	R/W	1 : 低消費電力モードでの RSSI 評価を有効化。 0 : 低消費電力モードでの RSSI 評価を無効化。
[4]	TX_TO_RX_AUTO_TURNAROUND	R/W	TX_TO_RX_AUTO_TURNAROUND = 1 の場合、デバイスは、同じ RF チャンネル周波数でのパケット送信が終了すると、自動的に PHY_RX ステートへ遷移します。 TX_TO_RX_AUTO_TURNAROUND = 0 の場合、この動作は無効になります。 TX_TO_RX_AUTO_TURNAROUND はパケット・モードでのみ使用できます。
[3]	RX_TO_TX_AUTO_TURNAROUND	R/W	RX_TO_TX_AUTO_TURNAROUND = 1 の場合、デバイスは、同じ RF チャンネル周波数でのパケット受信が終了すると、自動的に PHY_TX ステートへ遷移します。 RX_TO_TX_AUTO_TURNAROUND = 0 の場合、この動作は無効になります。 RX_TO_TX_AUTO_TURNAROUND はパケット・モードでのみ使用できます。



ビット	ビット名	R/W	説明
[2]	CUSTOM_TRX_SYNTH_LOCK_TIME_EN	R/W	1: レジスタ 0x13E とレジスタ 0x13F で定義されるカスタム・シンセサイザ・ロック時間を使用します。 0: デフォルトのシンセサイザ・ロック時間。
[1]	EXT_LNA_EN	R/W	1: ATB2 または ATB4 の外部 LNA イネーブル信号をイネーブルします。ADF7023-J が PHY_RX ステートでは信号がロジック・ハイになり、スリープ以外のその他のステートではロジック・ローになります。 0: ATB2 または ATB4 の外部 LNA イネーブル信号をディスエーブルします。
[0]	EXT_PA_EN	R/W	1: ATB1 または ATB3 の外部 PA イネーブル信号をイネーブルします。ADF7023-J が PHY_TX ステートでは信号がロジック・ハイになり、スリープ以外のその他のステートではロジック・ローになります。 0: ATB1 または ATB3 の外部 PA イネーブル信号をディスエーブルします。
[3:0]	AFC_KI	R/W	2FSK/GFSK/MSK/GMSK における AFC PI コントローラの積分ゲインを設定します。推奨値は 0x7 です。

表 77. 0x11B : PREAMBLE\_MATCH

ビット	ビット名	R/W	説明																		
[7:4]	Reserved	R/W	0 に設定																		
[3:0]	PREAMBLE_MATCH	R/W	<table border="1"> <thead> <tr> <th>PREAMBLE_MATCH</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15 to 13</td> <td>予備</td> </tr> <tr> <td>12</td> <td>エラーは許容されません。</td> </tr> <tr> <td>11</td> <td>12 個のビットペア中に 1 個のエラー・ビットペアが許容されます。</td> </tr> <tr> <td>10</td> <td>12 個のビットペア中に 2 個のエラー・ビットペアが許容されます。</td> </tr> <tr> <td>9</td> <td>12 個のビットペア中に 3 個のエラー・ビットペアが許容されます。</td> </tr> <tr> <td>8</td> <td>12 個のビットペア中に 4 個のエラー・ビットペアが許容されます。</td> </tr> <tr> <td>7 to 1</td> <td>推奨しません。</td> </tr> <tr> <td>0</td> <td>プリアンブル検出を無効にします。</td> </tr> </tbody> </table>	PREAMBLE_MATCH	説明	15 to 13	予備	12	エラーは許容されません。	11	12 個のビットペア中に 1 個のエラー・ビットペアが許容されます。	10	12 個のビットペア中に 2 個のエラー・ビットペアが許容されます。	9	12 個のビットペア中に 3 個のエラー・ビットペアが許容されます。	8	12 個のビットペア中に 4 個のエラー・ビットペアが許容されます。	7 to 1	推奨しません。	0	プリアンブル検出を無効にします。
PREAMBLE_MATCH	説明																				
15 to 13	予備																				
12	エラーは許容されません。																				
11	12 個のビットペア中に 1 個のエラー・ビットペアが許容されます。																				
10	12 個のビットペア中に 2 個のエラー・ビットペアが許容されます。																				
9	12 個のビットペア中に 3 個のエラー・ビットペアが許容されます。																				
8	12 個のビットペア中に 4 個のエラー・ビットペアが許容されます。																				
7 to 1	推奨しません。																				
0	プリアンブル検出を無効にします。																				

表 78. 0x11C : SYMBOL\_MODE

ビット	ビット名	R/W	説明								
[7]	Reserved	R/W	0 に設定								
[6]	MANCHESTER_ENC	R/W	1: マンチェスタ・エンコーディング/デコーディングを有効化 0: マンチェスタ・エンコーディング/デコーディングを無効化								
[5]	PROG_CRC_EN	R/W	1: プログラムブル CRC を選択 0: デフォルト CRC を選択								
[4]	EIGHT_TEN_ENC	R/W	1: 8b/10b エンコーディング/デコーディングを有効化 0: 8b/10b エンコーディング/デコーディングを無効化								
[3]	DATA_WHITENING	R/W	1: データのホワイトニングとデホワイトニングを有効化 0: データのホワイトニングとデホワイトニングを無効化								
[2:0]	SYMBOL_LENGTH	R/W	<table border="1"> <thead> <tr> <th>SYMBOL_LENGTH</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>8 ビット (8b/10b エンコーディング使用時以外に推奨)</td> </tr> <tr> <td>1</td> <td>10 ビット (8b/10b エンコーディング用)</td> </tr> <tr> <td>2 to 7</td> <td>予備</td> </tr> </tbody> </table>	SYMBOL_LENGTH	説明	0	8 ビット (8b/10b エンコーディング使用時以外に推奨)	1	10 ビット (8b/10b エンコーディング用)	2 to 7	予備
SYMBOL_LENGTH	説明										
0	8 ビット (8b/10b エンコーディング使用時以外に推奨)										
1	10 ビット (8b/10b エンコーディング用)										
2 to 7	予備										

表 79. 0x11D : PREAMBLE\_LEN

ビット	ビット名	R/W	説明
[7:0]	PREAMBLE_LEN	R/W	プリアンブルの長さ (バイト数)。例: 値を 10 進数の 3 にするとプリアンブルは 24 ビットになります。

表 80. 0x11E : CRC\_POLY\_0

ビット	ビット名	R/W	説明
[7:0]	CRC_POLY[7:0]	R/W	CRC 多項式を設定する CRC_POLY [15:0] の下位バイト。表 81 を参照。

表 81. 0x11F : CRC\_POLY\_1

ビット	ビット名	R/W	説明
[7:0]	CRC_POLY[15:8]	R/W	CRC 多項式を設定する CRC_POLY [15:0] の上位バイト。CRC 多項式設定の詳細については、パケット・モードのセクションを参照してください。

表 82. 0x120 : SYNC\_CONTROL

ビット	ビット名	R/W	説明	
[7:6]	SYNC_ERROR_TOL	R/W	同期ワードのエラー許容値をビット数で設定します。	
			SYNC_ERROR_TOL	ビット・エラー許容値
			0	ビット・エラーを許容しない。
			1	1ビットまでエラーを許容。
			2	2ビットまでエラーを許容。
[5]	Reserved	R/W	0に設定。	
[4:0]	SYNC_WORD_LENGTH	R/W	同期ワード長をビット数で設定。最大長は24ビットです。同期ワードのマッチング長は24ビット以下の任意の値とすることができますが、送信される同期ワード・パターンは8ビットの倍数です。したがって、バイト長になっていない同期ワードは、プリアンブル・パターンを使って不足分を埋める必要があります。	
			SYNC_WORD_LENGTH	長さ (ビット数)
			0	0
			1	1
			24	24

表 83. 0x121 : SYNC\_BYTE\_0

ビット	ビット名	R/W	説明
[7:0]	SYNC_BYTE[23:16]	R/W	同期ワード・パターンの上位バイト。同期ワード・パターンは、SYNC_BYTE_0から開始して最上位ビット側から順に送信されます。バイト長になっていない同期ワードについては、下位バイトの残り部分をプリアンブルで埋める必要があります。SYNC_WORD_LENGTH > 16ビットの場合は、SYNC_BYTE_0、SYNC_BYTE_1、および SYNC_BYTE_2のすべてが合計24ビットで送信されます。SYNC_WORD_LENGTHが8~15の場合は、SYNC_BYTE_1とSYNC_BYTE_2が送信されます。SYNC_WORD_LENGTHが1~7の場合は、SYNC_BYTE_2が合計8ビットで送信されます。SYNC_WORD_LENGTHが0の場合、同期バイトは送信されません。

表 84. 0x122 : SYNC\_BYTE\_1

ビット	ビット名	R/W	説明
[7:0]	SYNC_BYTE[15:8]	R/W	同期ワード・パターンの中間バイト。

表 85. 0x123 : SYNC\_BYTE\_2

ビット	ビット名	R/W	説明
[7:0]	SYNC_BYTE[7:0]	R/W	同期ワード・パターンの下位バイト。

表 86. 0x124 : TX\_BASE\_ADR

ビット	ビット名	R/W	説明
[7:0]	TX_BASE_ADR	R/W	パケット RAM 内にある送信パケットのアドレス。このアドレスは、送信パケットの第1バイトの位置を通信プロセッサに示します。

表 87. 0x125 : RX\_BASE\_ADR

ビット	ビット名	R/W	説明
[7:0]	RX_BASE_ADR	R/W	パケット RAM 内にある受信パケットのアドレス。通信プロセッサは、このメモリ位置を開始位置として有効受信パケットをパケット RAM に書き込みます。

表 88. 0x126 : PACKET\_LENGTH\_CONTROL

ビット	ビット名	R/W	説明										
[7]	DATA_BYTE	R/W	送信する各パケット RAM バイトの送信時配置。バイトは、MSB ファーストまたは LSB ファーストで送信されます。リンクの送信側と受信側で同じ設定を使う必要があります。 1 : MSB ファーストのデータ・バイト。 0 : LSB ファーストのデータ・バイト。										
[6]	PACKET_LEN	R/W	1 : 固定パケット長モード。PACKET_LENGTH_MAX で与えられる Tx モードと Rx モードの固定パケット長。 0 : 可変パケット長モード。パケット長は、パケット RAM 内の第 1 バイトによって与えられます。										
[5]	CRC_EN	R/W	1 : 送信モードで CRC を追加します。受信モードで CRC をチェックします。 0 : 送信モードで CRC を追加しません。受信モードで CRC をチェックしません。										
[4:3]	DATA_MODE	R/W	データの送受信に ADF7023-J をパケット・モードまたは SPORT モードに設定します。 <table border="1"> <thead> <tr> <th>DATA_MODE</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ダイレクト・モードを有効化。</td> </tr> <tr> <td>1</td> <td>SPORT モードを有効化。プリアンブル検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。</td> </tr> <tr> <td>2</td> <td>SPORT モードを有効化。同期ワード検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。</td> </tr> <tr> <td>3</td> <td>使用しません。</td> </tr> </tbody> </table>	DATA_MODE	説明	0	ダイレクト・モードを有効化。	1	SPORT モードを有効化。プリアンブル検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。	2	SPORT モードを有効化。同期ワード検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。	3	使用しません。
DATA_MODE	説明												
0	ダイレクト・モードを有効化。												
1	SPORT モードを有効化。プリアンブル検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。												
2	SPORT モードを有効化。同期ワード検出時に GP4 割込みをイネーブル。プリアンブル検出時に Rx データをイネーブル。												
3	使用しません。												
[2:0]	LENGTH_OFFSET	R/W	読み出すデータの正しいバイト長を通信プロセッサに示すために、パケット長の値に追加されるオフセット値 (バイト数) です。通信プロセッサは次式を使って実際のペイロード長を計算します: ペイロード長 = Length + LENGTH_OFFSET - 4。ここで、Length は可変パケット長モードにおける長さフィールド (ペイロードの最初のバイト)、または固定パケット長モードにおける PACKET_LENGTH_MAX です。										

表 89. 0x127 : PACKET\_LENGTH\_MAX

ビット	ビット名	R/W	説明
[7:0]	PACKET_LENGTH_MAX	R/W	可変パケット長モードを使用する場合 (PACKET_LENGTH_CONTROL = 0)、PACKET_LENGTH_MAX は最大パケット長をバイト数で設定します。固定パケット長モードを使用する場合 (PACKET_LENGTH_CONTROL = 1)、PACKET_LENGTH_MAX は固定送受信パケットの長さをバイト数で設定します。パケット長は、同期ワード終了位置から CRC 開始位置までのバイト数として定義されます。

表 90. 0x128 : STATIC\_REG\_FIX

ビット	ビット名	R/W	説明																					
[7:0]	STATIC_REG_FIX	R/W	<p>ADF7023-Jは、BBRAMからMCRへの自動静的レジスタ固定を実装することができます。この機能を使用すれば、BBRAMを介して最大9個のMCRレジスタをプログラムできます。この機能は、低消費電力モードにおけるレシーバー性能を最適化するためにMCRレジスタを設定する必要がある場合に有効です。STATIC_REG_FIXは、0x12A～0x13DまでのBBRAMメモリ・アドレスへのアドレス・ポインタです。例えば、BBRAMアドレス0x12Bをポイントするには、STATIC_REG_FIX = 0x2Bに設定します。</p> <ul style="list-style-type: none"> <li>• STATIC_REG_FIX = 0x00にすると、静的レジスタ固定は無効になります。</li> <li>• STATIC_REG_FIXの値がゼロ以外の場合、通信プロセッサは、MCRアドレスと、BBRAM内のアドレスSTATIC_REG_FIXから始まる対応データを探します。</li> </ul> <p>例：MCRレジスタ0x35Eに0x46、MCRレジスタ0x35Fに0x78を書き込んで、STATIC_REG_FIX = 0x2Bに設定します。</p> <table border="1"> <thead> <tr> <th>BBRAMレジスタ</th> <th>データ</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0x128 (STATIC_REG_FIX)</td> <td>0x2B</td> <td>BBRAMアドレス0x12Bへのポインタ</td> </tr> <tr> <td>0x12B</td> <td>0x5E</td> <td>MCRアドレス1</td> </tr> <tr> <td>0x12C</td> <td>0x46</td> <td>MCRアドレス1に書き込むデータ</td> </tr> <tr> <td>0x12D</td> <td>0x5F</td> <td>MCRアドレス2</td> </tr> <tr> <td>0x12E</td> <td>0x78</td> <td>MCRアドレス2に書き込むデータ</td> </tr> <tr> <td>0x12F</td> <td>0x00</td> <td>静的MCRレジスタ固定を終了</td> </tr> </tbody> </table>	BBRAMレジスタ	データ	説明	0x128 (STATIC_REG_FIX)	0x2B	BBRAMアドレス0x12Bへのポインタ	0x12B	0x5E	MCRアドレス1	0x12C	0x46	MCRアドレス1に書き込むデータ	0x12D	0x5F	MCRアドレス2	0x12E	0x78	MCRアドレス2に書き込むデータ	0x12F	0x00	静的MCRレジスタ固定を終了
BBRAMレジスタ	データ	説明																						
0x128 (STATIC_REG_FIX)	0x2B	BBRAMアドレス0x12Bへのポインタ																						
0x12B	0x5E	MCRアドレス1																						
0x12C	0x46	MCRアドレス1に書き込むデータ																						
0x12D	0x5F	MCRアドレス2																						
0x12E	0x78	MCRアドレス2に書き込むデータ																						
0x12F	0x00	静的MCRレジスタ固定を終了																						

表 91. 0x129 : ADDRESS\_MATCH\_OFFSET

ビット	ビット名	R/W	説明
[7:0]	ADDRESS_MATCH_OFFSET	R/W	パケットRAM内にあるアドレス情報の第1バイト位置

表 92. 0x12A : ADDRESS\_LENGTH

ビット	ビット名	R/W	説明
[7:0]	ADDRESS_LENGTH	R/W	第1アドレス・フィールド内のバイト数 ( $N_{ADR_1}$ )。アドレス・マッチングを使わない場合はゼロに設定してください。

表 93. 0x12B～0x137 : アドレス・マッチング (または静的レジスタ固定)

アドレス	ビット	R/W	説明
0x12B	[7:0]	R/W	アドレス1マッチ・バイト0。
0x12C	[7:0]	R/W	アドレス1マスク・バイト0。
0x12D	[7:0]	R/W	アドレス1マッチ・バイト1。
0x12E	[7:0]	R/W	アドレス1マスク・バイト1。
...			...
	[7:0]	R/W	アドレス1マッチ・バイト $N_{ADR_10}$
	[7:0]	R/W	アドレス1マスク・バイト $N_{ADR_10}$
	[7:0]	R/W	0x00から最終位置まで、または第2アドレス・フィールド内のバイト数 ( $N_{ADR_2}$ )。

表 94. 0x138 : RSSI\_WAIT\_TIME

ビット	ビット名	R/W	説明
[7:0]	RSSI_WAIT_TIME	R/W	<p>RSSI測定を行う前のセトリング時間。</p> <p>SWMでRSSI測定を行う場合、またはCMD_GET_RSSIを使用する場合は、デフォルト値の0xA7を使用する必要があります。</p> <p>他のRSSI測定については、この値を減らすことができます。</p>

表 95. 0x139 : TESTMODES

ビット	ビット名	R/W	説明	
[7]	EXT_PA_LNA_ATB_CONFIG	R/W	EXT_PA_LNA_ATB_CONFIG	
			1	ADCIN_ATB3 の外部 PA 信号と、ATB4 の外部 LNA 信号 (1.8V ロジック出力)
			0	XOSC32KP_GP5_ATB1 の外部 PA 信号と、XOSC32KN_ATB2 の外部 LNA 信号 (V <sub>DD</sub> ロジック出力)
レジスタ 0x11A で外部 PA/LNA もイネーブルする必要があります。				
[6:2]	Reserved	R/W	0 に設定。	
[1]	CONTINUOUS_TX	R/W	1 : パケット送信後に TX を再開 0 : TX の通常終了	
[0]	CONTINUOUS_RX	R/W	1 : パケット受信後に RX を再開 0 : RX の通常終了	

表 96. 0x13A : TRANSITION\_CLOCK\_DIV

ビット	ビット名	R/W	説明
[7:3]	Reserved	R/W	0 に設定
[2:0]	FAST_TRANSITION	R/W	7 : 予備 6 : 予備 5 : 予備 4 : 通常遷移時間 3 : 予備 2 : 予備 1 : 高速遷移時間を有効化 0 : 通常遷移時間

表 97. 0x13E : RX\_SYNTH\_LOCK\_TIME

ビット	ビット名	R/W	説明
[7:0]	RX_SYNTH_LOCK_TIME	R/W	MODE_CONTROL レジスタの CUSTOM_TRX_SYNTH_LOCK_TIME_EN 設定と共に、受信モードでカスタム・シンセサイザ・ロック時間カウンタを使用できるようにします。これは VCO キャリブレーションの完了後に適用されます。1 ビットごとに 2 $\mu$ s がインクリメントされます。

表 98. 0x13F : TX\_SYNTH\_LOCK\_TIME

ビット	ビット名	R/W	説明
[7:0]	TX_SYNTH_LOCK_TIME	R/W	MODE_CONTROL レジスタの CUSTOM_TRX_SYNTH_LOCK_TIME_EN 設定と共に、送信モードでカスタム・シンセサイザ・ロック時間カウンタを使用できるようにします。これは VCO キャリブレーションの完了後に適用されます。1 ビットごとに 2 $\mu$ s がインクリメントされます。

## MCR レジスタの説明

デバイスが PHY\_SLEEP モードになったときは、MCR レジスタの設定は保持されません。

表 99. 0x307 : PA\_LEVEL\_MCR

ビット	ビット名	R/W	リセット	説明
[5:0]	PA_LEVEL_MCR	R/W	0	パワー・アンプ・レベル。PA ランプが有効にされている場合、PA はこのレベルまでランプします。PA レベルは 2~63 の範囲で設定できます。 (より低分解能の) PA レベルは BBRAM を介して設定することもできるので、MCR 設定は、より高い分解能が必要な場合だけ使用するようしてください。

表 100. 0x30C : WUC\_CONFIG\_HIGH

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	W	0	0 に設定
[6:3]	RCOSC_COARSE_CAL_VALUE	W	0	RCOSC_COARSE_CAL_VALUE RC 発振器周波数の変化 粗調整ステート
				0000 +83% ステート 10
				0001 +66% ステート 9
				1000 +50% ステート 8
				1001 +33% ステート 7
				1100 +16% ステート 6
				1101 0% ステート 5
				1110 -16% ステート 4
				1111 -33% ステート 3
				0110 -50% ステート 2
				0111 -66% ステート 1
[2:0]	WUC_PRESCALER	W	0	WUC_PRESCALER 32.768kHz 分周器 チック周期
				0 1 30.52μs
				1 4 122.1μs
				2 8 244.1μs
				3 16 488.3μs
				4 128 3.91ms
				5 1024 31.25ms
				6 8192 250ms
				7 65,536 2000ms

レジスタ WUC\_CONFIG\_LOW への書込みは、必ず WUC\_CONFIG\_HIGH を更新してから行ってください。

表 101. 0x30D : WUC\_CONFIG\_LOW

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	W	0	0 に設定
[6]	WUC_RCOSC_EN	W	0	1 : RCOSC32K をイネーブル。 0 : RCOSC32K をディスエーブル。
[5]	WUC_XOSC32K_EN	W	0	1 : XOSC32K をイネーブル。 0 : XOSC32K をディスエーブル。
[4]	WUC_CLKSEL	W	0	WUC タイマー・クロック・ソースを選択します。 1 : RC 32.768kHz 発振器 0 : 外部水晶発振器。
[3]	WUC_BBRAM_EN	W	0	1 : PHY_SLEEP ステートで BBRAM の電源をイネーブル。 0 : PHY_SLEEP ステートで BBRAM の電源をディスエーブル。
[2:1]	Reserved	W	0	0 に設定
[0]	WUC_ARM	W	0	1 : WUC タイムアウト・イベントでウェイクアップを有効化。 0 : WUC タイムアウト・イベントでウェイクアップを無効化。

レジスタ WUC\_VALUE\_HIGH への更新が有効になるのは、WUC\_VALUE\_LOW レジスタへの書込み後に限られます。

表 102. 0x30E : WUC\_VALUE\_HIGH

ビット	ビット名	R/W	リセット	説明
[7:0]	WUC_TIMER_VALUE[15:8]	W	0	WUCタイマーのリロード値、ビット [15:0] の [15:8]。イネーブルされてタイマーが0までカウント・ダウンされると、ウェイクアップ・イベントがトリガされます。タイマーはプリスケアラの出力レートでクロックされます。このレジスタへの更新が有効になるのは、WUC_VALUE_LOW への書き込み後に限られます。表 103 を参照してください。

レジスタ WUC\_VALUE\_LOW への書き込みは、必ず WUC\_VALUE\_HIGH を更新してから行ってください。

表 103. 0x30F : WUC\_VALUE\_LOW

ビット	ビット名	R/W	リセット	説明
[7:0]	WUC_TIMER_VALUE[7:0]	W	0	WUCタイマーのリロード値、ビット [7:0] の [15:0]。イネーブルされてタイマーが0までカウント・ダウンされると、ウェイクアップ・イベントがトリガされます。タイマーはプリスケアラの出力レートでクロックされます。表 100 を参照してください。

表 104. 0x310 : WUC\_FLAG\_RESET

ビット	ビット名	R/W	リセット	説明
[1]	WUC_RCOSC_CAL_EN	R/W	0	1 : イネーブル 0 : RCOSC32K のキャリブレーションを無効化。
[0]	WUC_FLAG_RESET	R/W		1 : WUC_TMR_PRIM_TOFLAG ビットと WUC_PORFLAG ビット (アドレス 0x311、表 105 を参照) をリセット。 0 : 通常動作

表 105. 0x311 : WUC\_STATUS

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	R	0	予備
[6]	WUC_RCOSC_CAL_ERROR	R	0	1 : RCOSC32K キャリブレーションが終了しましたが、エラーが発生しました 0 : エラーは発生しませんでした (WUC_RCOSC_CAL_EN = 1 の場合のみ有効)
[5]	WUC_RCOSC_CAL_READY	R	0	1 : RCOSC32K のキャリブレーションが終了しました 0 : 進行中 (WUC_RCOSC_CAL_EN = 1 の場合のみ有効)
[4]	XOSC32K_RDY	R	0	1 : XOSC32K 発振器がセトリングしました 0 : セトリングしていません (WUC_XOSC32K_EN = 1 の場合のみ有効)
[3]	XOSC32K_OUT	R	0	XOSC32K 発振器の出力信号 (瞬時)
[2]	WUC_PORFLAG	R	0	1 : チップのコールド・スタート・イベントがレジスタに保存されました 0 : レジスタに保存されていません
[1]	WUC_TMR_PRIM_TOFLAG	R	0	1 : WUC タイムアウト・イベントがレジスタに保存されました 0 : レジスタに保存されていません (タイムアウト・イベントによりラッチの出力がトリガされました)
[0]	WUC_TMR_PRIM_TOEVENT	R	0	1 : WUC タイムアウト・イベントが発生しました 0 : 発生していません (カウンタが0になるとこのビットがセットされます。これはラッチされません)

表 106. 0x312 : RSSI\_READBACK

ビット	ビット名	R/W	リセット	説明
[7:0]	RSSI_READBACK	R	0	受信入力電力。パケット受信後、RSSI_READBACK の値が有効になります。RSSI(dBm) = RSSI_READBACK - 107

表 107. 0x315 : MAX\_AFC\_RANGE

ビット	ビット名	R/W	リセット	説明
[7:0]	MAX_AFC_RANGE	R	50	AFC のプライン・レンジを制限します。PHY_RX ステートへの遷移時に通信プロセッサによって自動的に設定されます。レンジは IF 帯域幅の半分に設定されます。例 : IF 帯域幅 = 200kHz、AFC プライン・レンジ = ±100kHz (MAX_AFC_RANGE = 100)。

表 108. 0x319 : IMAGE\_REJECT\_CAL\_CONFIG

ビット	ビット名	R/W	リセット	説明
[7:6]	Reserved	R/W	0	
[5]	IMAGE_REJECT_CAL_OVWRT_EN	R/W	0	イメージ除去キャリブレーション結果の制御を上書きします。
[4:3]	IMAGE_REJECT_FREQUENCY	R/W	0	IR キャリブレーション信号源の基本周波数を設定します。この周波数の高調波は、イメージ除去キャリブレーションの内部 RF 信号源として使用できません。 0 : XTAL 分周器の IR キャリブレーション信号源をディスエーブル 1 : IR キャリブレーション信号源基本周波数 = XTAL/4 2 : IR キャリブレーション信号源基本周波数 = XTAL/8 3 : IR キャリブレーション信号源基本周波数 = XTAL/16
[2:0]	IMAGE_REJECT_POWER	R/W	0	IR キャリブレーション信号源の電力レベルを設定します。 0 : ミキサー入力の IR キャリブレーション信号源をディスエーブル 1 : 電力レベル = min 2 : 電力レベル = min 3 : 電力レベル = min×2 4 : 電力レベル = min×2 5 : 電力レベル = min×3 6 : 電力レベル = min×3 7 : 電力レベル = min×4

表 109. 0x322 : CHIP\_SHUTDOWN

ビット	ビット名	R/W	リセット	説明
[7:1]	Reserved	R/W	0	
[0]	CHIP_SHTDN_REQ	R/W	0	WUC チップステート制御フラグ 0 : アクティブ・ステートを維持 1 : チップ・シャットダウンを開始。シャットダウンを開始するには $\overline{CS}$ もハイでなければなりません。

表 110. 0x324 : POWERDOWN\_RX

ビット	ビット名	R/W	リセット	説明
[7:5]	Reserved	R/W	0	
[4]	ADC_PD_N	R/W	0	1 : ADC をイネーブル 0 : ADC をディスエーブル
[3]	RSSI_PD_N	R/W	0	1 : RSSI を有効化 0 : RSSI を無効化
[2]	RXBBFILT_PD_N	R/W	0	1 : IF フィルタをイネーブル 0 : IF フィルタをディスエーブル
[1]	RXMIXER_PD_N	R/W	0	1 : ミキサーをイネーブル。 0 : ミキサーをディスエーブル。
[0]	LNA_PD_N	R/W	0	1 : LNA をイネーブル 0 : LNA をディスエーブル

表 111. 0x325 : POWERDOWN\_AUX

ビット	ビット名	R/W	リセット	説明
[7:2]	Reserved	R/W	0	
[1]	TEMPMON_PD_EN	R/W	0	1 : イネーブル 0 : 温度モニタをディスエーブル
[0]	BATTMON_PD_EN	R/W	0	1 : イネーブル 0 : バッテリー・モニタをディスエーブル

表 112. 0x327 : ADC\_READBACK\_HIGH

ビット	ビット名	R/W	リセット	説明
[7:6]	Reserved	R	0	
[5:0]	ADC_READBACK[7:2]	R	0	MSB の ADC リードバック



表 113. 0x328 : ADC\_READBACK\_LOW

ビット	ビット名	R/W	リセット	説明
[7:6]	ADC_READBACK[1:0]	R	0	LSB の ADC リードバック
[5:0]	Reserved	R	0	

表 114. 0x32D : BATTERY\_MONITOR\_THRESHOLD\_VOLTAGE

ビット	ビット名	R/W	リセット	説明
[7:5]	Reserved	R/W	0	
[4:0]	BATTMON_VOLTAGE	R/W	0	バッテリー・モニタのバッテリー・モニタ閾値電圧はアラーム・レベルを設定します。アラームは割込みによってセットされます。バッテリー・モニタ・トリップ電圧、 $V_{TRIP} = 1.7V + 62mV \times (BATTMON\_VOLTAGE + 1)$ 。

表 115. 0x32E : EXT\_UC\_CLK\_DIVIDE

ビット	ビット名	R/W	リセット	説明
[7:4]	Reserved	R/W	0	
[3:0]	EXT_UC_CLK_DIVIDE	R/W	4	XOSC32KP_GP5_ATB1 のオプション出力クロック周波数。 出力周波数 = XTAL/EXT_UC_CLK_DIVIDE。ディスエーブルするには EXT_UC_CLK_DIVIDE = 0 に設定します。

表 116. 0x32F : AGC\_CLK\_DIVIDE

ビット	ビット名	R/W	リセット	説明
[7:0]	AGC_CLOCK_DIVIDE	R/W	40	2FSK/GFSK/MSK/GMSK モードの AGC クロック分周器。AGC レートは 26MHz / (16 × AGC_CLK_DIVIDE) です。

表 117. 0x336 : INTERRUPT\_SOURCE\_0

ビット	ビット名	R/W	リセット	説明
[7]	INTERRUPT_NUM_WAKEUPS	R/W	0	WUC ウェイクアップの回数 (NUMBER_OF_WAKEUPS[15:0]) が閾値 (NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0]) に達したときに アサート
[6]	INTERRUPT_SWM_RSSI_DET	R/W	0	スマート・ウェイク・モード時に測定した RSSI が RSSI 閾値 (SWM_RSSI_THRESH、アドレス 0x108) を超えたときにアサート
[5]	INTERRUPT_AES_DONE	R/W	0	AES 暗号化コマンドまたは復号コマンドが完了したときにアサート。 AES ファームウェア・モジュールが ADF7023-J のプログラム RAM にダ ウンロードされている場合のみ使用可能
[4]	INTERRUPT_TX_EOF	R/W	0	パケットの送信を完了したときにアサート (パケット・モードのみ)
[3]	INTERRUPT_ADDRESS_MATCH	R/W	0	受信パケットのアドレス・マッチが有効であるときにアサート (パケッ ト・モードのみ)
[2]	INTERRUPT_CRC_CORRECT	R/W	0	受信パケットの CRC が正しいものであるときにアサート (パケット・ モードのみ)
[1]	INTERRUPT_SYNC_DETECT	R/W	0	受信パケット内に有効な同期ワードが検出されたときにアサート
[0]	INTERRUPT_PREAMBLE_DETECT	R/W	0	受信パケット内に有効なプリアンブルが検出されたときにアサート

表 118. 0x337 : INTERRUPT\_SOURCE\_1

ビット	ビット名	R/W	リセット	説明
[7]	BATTERY_ALARM	R/W	0	バッテリー電圧がユーザ設定閾値未満に低下
[6]	CMD_READY	R/W	0	通信プロセッサが新しいコマンドを受信可能な状態
[5]	Unused	R/W	0	
[4]	WUC_TIMEOUT	R/W	0	ウェイクアップ・タイマーがタイムアウト
[3]	Unused	R/W	0	
[2]	Unused	R/W	0	
[1]	SPI_READY	R/W	0	SPI にアクセス可能
[0]	CMD_FINISHED	R/W	0	コマンドが終了

表 119. 0x338 : CALIBRATION\_CONTROL

ビット	ビット名	R/W	リセット	説明
[7:2]	Reserved	R/W	0	
[1]	SYNTH_CAL_EN	R/W	0	1 : シンセサイザ・キャリブレーション・ステート・マシンをイネーブル 0 : シンセサイザ・キャリブレーション・ステート・マシンをディスエーブル
[0]	RXBB_CAL_EN	R/W	0	1 : レシーバー・ベースバンド・フィルタ (RXBB) のキャリブレーションを有効化 0 : レシーバー・ベースバンド・フィルタ (RXBB) のキャリブレーションを無効化

表 120. 0x339 : CALIBRATION\_STATUS

ビット	ビット名	R/W	リセット	説明
[7:3]	Reserved	R	0	
[2]	PA_RAMP_FINISHED	R	0	
[1]	SYNTH_CAL_READY	R	0	1 : シンセサイザのキャリブレーションが正常に終了 0 : シンセサイザのキャリブレーションが進行中
[0]	RXBB_CAL_READY	R	0	レシーバーIFフィルタのキャリブレーション 1 : 完了 0 : 進行中 (RXBB_CAL_EN = 1 のときに有効)

表 121. 0x345 : RXBB\_CAL\_CALWRD\_READBACK

ビット	ビット名	R/W	リセット	説明
[5:0]	RXBB_CAL_CALWRD	R	0	RXBB リファレンス発振器のキャリブレーション・ワード。RXBB キャリブレーション・サイクル完了後に有効。

表 122. 0x346 : RXBB\_CAL\_CALWRD\_OVERWRITE

ビット	ビット名	R/W	リセット	説明
[6:1]	RXBB_CAL_DCALWRD_OVWRT_IN	RW	0	RXBB リファレンス発振器のキャリブレーション上書きワード
[0]	RXBB_CAL_DCALWRD_OVWRT_EN	RW	0	1 : RXBB リファレンス発振器キャリブレーション・ワードの上書きモードを有効化 0 : RXBB リファレンス発振器キャリブレーション・ワードの上書きモードを無効化

表 123. 0x34F : RCOSC\_CAL\_READBACK\_HIGH

ビット	ビット名	R/W	リセット	説明
[7:0]	RCOSC_CAL_READBACK [15:8]	R	0x0	RC 発振器精密キャリブレーション結果ビット [15:8]

表 124. 0x350 : RCOSC\_CAL\_READBACK\_LOW

ビット	ビット名	R/W	リセット	説明
[7:0]	RCOSC_CAL_READBACK [7:0]	R	0x0	RC 発振器精密キャリブレーション結果ビット [7:0]

表 125. 0x359 : ADC\_CONFIG\_LOW

ビット	ビット名	R/W	リセット	説明
[7:4]	Reserved	R/W	0	0 に設定
[3:2]	ADC_REF_CHSEL	R/W	0	0 : RSSI (デフォルト) 1 : 外部 AIN 2 : 温度センサー 3 : 未使用
[1:0]	ADC_REFERENCE_CONTROL	R/W	0	3V 電源では以下のリファレンス値が有効です。 0 : 1.85V (デフォルト) 1 : 1.95V 2 : 1.75V 3 : 1.65V

表 126. 0x35A : ADC\_CONFIG\_HIGH

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	R/W	0	
[6:5]	FILTERED_ADC_MODE	R/W	0	フィルタリング・モード 00 : 通常動作 (フィルタなし) 01 : フィルタなし AGC ループ、フィルタありリードバック (MCR 呼出し時に更新) 10 : フィルタなし AGC ループ、フィルタありリードバック (AGC クロック・レートで更新) 11 : フィルタあり AGC ループ、フィルタありリードバック
[4]	ADC_EXT_REF_ENB	R/W	1	ADC リファレンスをパワーダウンするにはローにします
[3:0]	Reserved	R/W	1	1に設定

表 127. 0x35C : AGC\_CONFIG

ビット	ビット名	R/W	リセット	説明
[7:6]	LNA_GAIN_CHANGE_ORDER	R/W	2	LNA ゲイン変更順
[5:4]	MIXER_GAIN_CHANGE_ORDER	R/W	1	ミキサー・ゲイン変更順
[3:2]	FILTER_GAIN_CHANGE_ORDER	R/W	3	フィルタ・ゲイン変更順
[1]	ALLOW_EXTRA_LO_LNA_GAIN	R/W	0	超低 LNA ゲイン設定を許可
[0]	DISALLOW_MAX_GAIN	R/W	0	最大 AGC ゲイン設定を不許可

表 128. 0x35D : AGC\_MODE

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	R/W	0	
[6:5]	AGC_OPERATION_MCR	R/W	0	0 : フリー・ランニング AGC 1 : マニュアル AGC 2 : AGC をホールド 3 : プリアンプル後に AGC をロック
[4:3]	LNA_GAIN	R/W	0	0 : 低 1 : 中 2 : 高 3 : 予備
[2]	MIXER_GAIN	R/W	0	0 : 低 1 : 高
[1:0]	FILTER_GAIN	R/W	0	0 : 低 1 : 中 2 : 高 3 : 予備

表 129. 0x35E : AGC\_LOW\_THRESHOLD

ビット	ビット名	R/W	リセット	説明
[7:0]	AGC_LOW_THRESHOLD	R/W	55	AGC 下限閾値

表 130. 0x35F : AGC\_HIGH\_THRESHOLD

ビット	ビット名	R/W	リセット	説明
[7:0]	AGC_HIGH_THRESHOLD	R/W	105	AGC 上限閾値

表 131. 0x360 : AGC\_GAIN\_STATUS

ビット	ビット名	R/W	リセット	説明
[7:5]	Reserved	R	0	
[4:3]	LNA_GAIN_READBACK	R	0	0 : 低 1 : 中 2 : 高 3 : 予備
[2]	MIXER_GAIN_READBACK	R	0	0 : 低 1 : 高
[1:0]	FILTER_GAIN_READBACK	R	0	0 : 低 1 : 中 2 : 高 3 : 予備

表 132. 0x372 : FREQUENCY\_ERROR\_READBACK

ビット	ビット名	R/W	リセット	説明
[7:0]	FREQUENCY_ERROR_READBACK	R	0	受信信号周波数と受信チャンネル周波数間の周波数誤差 = FREQUENCY_ERROR_READBACK × 1kHz。 FREQUENCY_ERROR_READBACK の値は 2 の補数フォーマット です。

表 133. 0x3CB : VCO\_BAND\_OVRW\_VAL

ビット	ビット名	R/W	リセット	説明
[7:0]	VCO_BAND_OVRW_VAL	R/W	0	VCO 周波数帯の値を上書き。VCO_BAND_OVRW_EN = 1 のときに アクティブ。

表 134. 0x3CC : VCO\_AMPL\_OVRW\_VAL

ビット	ビット名	R/W	リセット	説明
[7:0]	VCO_AMPL_OVRW_VAL	R/W	0	VCO バイアス電流 DAC の値を上書き。VCO_AMPL_OVRW_EN = 1 のときにアクティブ。

表 135. 0x3CD : VCO\_OVRW\_EN

ビット	ビット名	R/W	リセット	説明
[7:6]	Reserved	R/W	0	予備
[5:2]	VCO_Q_AMP_REF	R/W	0	Q フェーズでの VCO 振幅レベル制御リファレンス DAC
[1]	VCO_AMPL_OVRW_EN	R/W	0	1 : VCO バイアス電流 DAC の上書きを有効化 0 : VCO バイアス電流 DAC の上書きを無効化
[0]	VCO_BAND_OVRW_EN	R/W	0	1 : VCO 周波数帯の上書きを有効化 0 : VCO 周波数帯の上書きを無効化

表 136. 0x3D0 : VCO\_CAL\_CFG

ビット	ビット名	R/W	リセット	説明
[7:4]	Reserved	R/W	0	予備。
[3:0]	VCO_CAL_CFG	R/W	1	VCO キャリブレーション・ステート・マシンの設定。PHY_TX およ び PHY_RX 遷移時に VCO キャリブレーションをバイパスするに は、VCO_CAL_CFG = 0xF に設定します。遷移時に VCO キャリブ レーションを有効にするには、VCO_CAL_CFG = 0x1 に設定しま す。

表 137. 0x3D2 : OSC\_CONFIG

ビット	ビット名	R/W	リセット	説明
[7:6]	Reserved	R/W	0	0 を書込み
[5:3]	XOSC_CAP_DAC	R/W	4	26MHz 水晶発振器 (XOSC26N) チューニング・コンデンサの制御ワード
[2:0]	Reserved	R/W	0	0 を書込み

表 138. 0x3DA : VCO\_BAND\_READBACK

ビット	ビット名	R/W	リセット	説明
[7:0]	VCO_BAND_READBACK	R	0	キャリブレーション後に VCO バイアス電流 DAC をリードバックします

表 139. 0x3DB : VCO\_AMPL\_READBACK

ビット	ビット名	R/W	リセット	説明
[7:0]	VCO_AMPL_READBACK	R	0	キャリブレーション後に VCO バイアス電流 DAC をリードバックします

表 140. 0x3F8 : ANALOG\_TEST\_BUS

ビット	ビット名	R/W	リセット	説明
[7:0]	ANALOG_TEST_BUS	R/W	0	ATB3 のアナログ RSSI を有効にするには、ANALOG_TEST_BUS = 0x64 および RSSI_TSTMUX_SEL = 0x3 に設定します。

表 141. 0x3F9 : RSSI\_TSTMUX\_SEL

ビット	ビット名	R/W	リセット	説明
[7]	Reserved	R/W	0	
[6:2]	Reserved	R/W	0	
[1:0]	RSSI_TSTMUX_SEL	R/W	0	ATB3 のアナログ RSSI を有効にするには、RSSI_TSTMUX_SEL = 0x3 および ANALOG_TEST_BUS = 0x64 に設定します。

表 142. 0x3FA : GPIO\_CONFIGURE

ビット	ビット名	R/W	リセット	説明
[7:0]	GPIO_CONFIGURE	R/W	0	0x00 : デフォルト 0x21 : GP5 のスライサ出力 (つまり CDR をバイパス) 0x40 : GP0 (Q) と GP1 (I) のリミッタ出力 0x41 : GP0 (Q) と GP1 (I) のフィルタありリミッタ出力、および GP2 (Q) と IRQ_GP3 (I) のフィルタなしリミッタ出力。 0x50 : GP0 の通信プロセッサからのパケット送信データ 0x53 : GP0 の PA ランプが終了 0xA0 : SPORT モード 0 0xA1 : SPORT モード 1 0xA2 : SPORT モード 2 0xA3 : SPORT モード 3 0xA4 : SPORT モード 4 0xA5 : SPORT モード 5 0xA6 : SPORT モード 6 0xA7 : SPORT モード 7 0xA8 : SPORT モード 8 0xC9 : GP0 のテスト DAC 出力 (TEST_DAC_GAIN も設定要)

表 143. 0x3FD : TEST\_DAC\_GAIN

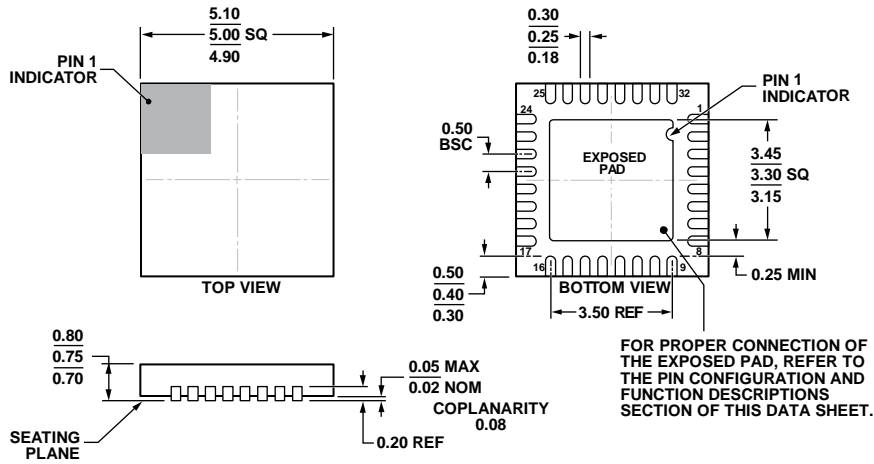
ビット	ビット名	R/W	リセット	説明
[7:4]	Reserved	R/W	0	予備
[3:0]	TEST_DAC_GAIN	R/W	4	テスト DAC 使用時に TEST_DAC_GAIN = 0 に設定

## パケット RAM レジスタの説明

表 144. 0x00D : VAR\_TX\_MODE

VAR_TX_MODE	モード
0	デフォルト。送信テスト・モードは無効。
1	ランダム・データを連続して送信。
2	プリアンプルを連続して送信。
3	キャリアを連続して送信。
4 to 255	予備

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

図 89. 32 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WQ]  
 5 mm × 5 mm ボディ、極薄、クワッド  
 (CP-32-13)  
 寸法：mm

05-24-2012-A

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADF7023-JBCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-13
ADF7023-JBCPZ-RL	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-13
EVAL-ADF7XXXMB3Z		Evaluation Board (USB Motherboard)	
EVAL-ADF7023-JDB1Z		Evaluation Board (RF Daughterboard, 950 MHz, Separate Match)	
EVAL-ADF7023-JDB2Z		Evaluation Board (RF Daughterboard, 950 MHz, Combined Match)	

<sup>1</sup> Z = RoHS 準拠製品

メモ

メモ