



広帯域シンセサイザ VCO 内蔵 ADF4351

データシート

特長

- 出力周波数範囲：35MHz～4400MHz
 - フラクショナルNシンセサイザおよびインテジャーNシンセサイザ
 - 低位相ノイズVCO
 - プログラマブルな分周出力：1/1 1/2 1/4 1/8 1/16 1/32または1/64
 - rms ジッタ：0.3 ps rms (typ)
 - 2.1GHzにおけるEVM：0.4%
 - 電源電圧範囲：3.0V～3.6V
 - ロジック互換性：1.8V
 - プログラマブルなデュアル・モジュラス・プリスケアラ：4/5または8/9
 - プログラマブルな出力パワーレベル
 - RF出力のミュート機能
 - 3線シリアル・インターフェース
 - アナログとデジタルのロック検出機能
 - 帯域切り替え時の高速ロック・モード
 - サイクル・スリップ・リダクション機能
- ### アプリケーション
- 無線インフラストラクチャ (W-CDMA, TD-SCDMA, WiMAX, GSM, PCS, DCS, DECT)
 - テスト装置
 - 無線LAN, CATV装置
 - クロック発生

概要

ADF4351は、外部のループ・フィルタと外部からの基準周波数を使うことによって、フラクショナルNまたはインテジャーNのPLL周波数シンセサイザを実現することができます。

ADF4351は、2200MHz～4400MHzを基本出力周波数とする電圧制御発振器（VCO）を内蔵しています。さらに、1/1 1/2 1/4 1/8 1/16 1/32または1/64の分周回路は、35 MHzまでの低いRF出力周波数を発生させることができます。アイソレーションを必要とするアプリケーション用として、RF出力段をミュートさせる機能があります。このミュート機能は、ピンおよびソフトウェアの両方で制御できます。また、補助RF出力が用意されていますが、もし使わない場合はパワーダウンすることができます。

すべての内蔵レジスタの制御は、簡単な3線インターフェースを介して行われます。このデバイスは、3.0V～3.6Vの電源電圧範囲で動作し、使用しない場合にはパワーダウンすることができます。

機能ブロック・ダイアグラム

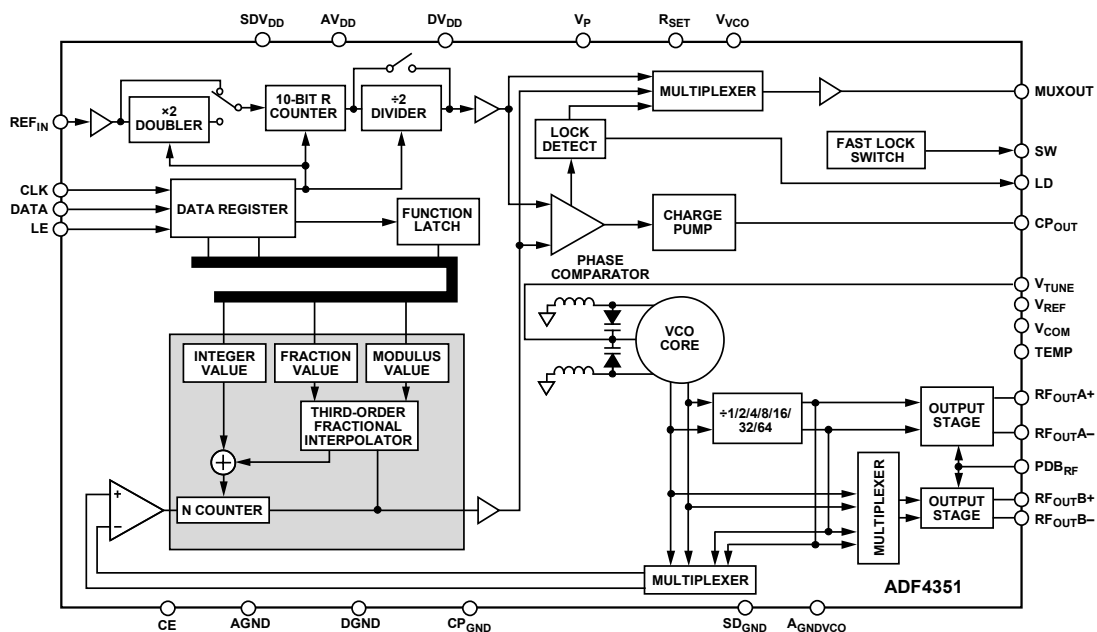


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2012 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	レジスタ 2.....	18
アプリケーション.....	1	レジスタ 3.....	19
概要	1	レジスタ 4.....	20
機能ブロック・ダイアグラム.....	1	レジスタ 5.....	20
改訂履歴	2	レジスタ初期化シーケンス.....	20
仕様	3	RF シンセサイザ 動作例	21
タイミング特性.....	5	基準信号のダブラーと基準信号分周器.....	21
絶対最大定格	6	12 ビットプログラマブル・モジュラス.....	21
トランジスタ数.....	6	より高速なロック・タイムのためのサイクル・スリ ップ・リダクション.....	21
ESD の注意.....	6	スプリアスの最適化と高速ロック	22
ピン配置およびピン機能説明.....	7	高速ロック・タイマーとレジスタ・シーケンス.....	22
代表的な性能特性.....	9	高速ロックの例.....	22
回路説明	11	高速ロック・ループ・フィルタのトポロジ.....	23
基準信号入力セクション	11	スプリアス発生メカニズム	23
RF N 分周器.....	11	適正なスプリアス・レベルとフラクショナル・スプ リアスの最適化.....	24
位相周波数検出器 (PFD) とチャージ・ポンプ	11	Phase Resync	24
MUXOUT とロック・ディテクト.....	12	アプリケーション情報.....	25
入力シフト・レジスタ	12	ダイレクト・コンバージョン変調器.....	25
プログラム・モード.....	12	ADuC70xx と ADSP-BF527 とのインターフェース	26
VCO	12	チップ・スケール・パッケージのための PCB デザイ ン・ガイドライン	26
出力段	13	外形寸法.....	28
レジスタ・マップ.....	14	オーダー・ガイド.....	28
レジスタ 0.....	18		
レジスタ 1.....	18		

改訂履歴

5/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3 \text{ V} \pm 10\%$ 、 $AGND = DGND = 0 \text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、動作温度 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
REF_{IN} CHARACTERISTICS						
Input Frequency	10		250	MHz	For $f < 10 \text{ MHz}$, ensure slew rate $> 21 \text{ V}/\mu\text{s}$ Biased at $AV_{DD}/2$; ac coupling ensures $AV_{DD}/2$ bias	
Input Sensitivity	0.7		AV_{DD}	V p-p		
Input Capacitance		10		pF		
Input Current			± 60	μA		
PHASE FREQUENCY DETECTOR (PFD)						
Phase Detector Frequency			32	MHz	Fractional-N	
			45	MHz	Integer-N (band select enabled)	
			90	MHz	Integer-N (band select disabled)	
CHARGE PUMP						
I_{CP} Sink/Source ¹					$R_{SET} = 5.1 \text{ k}\Omega$	
High Value		5		mA		
Low Value		0.312		mA		
R_{SET} Range	3.9		10	k Ω		
Sink and Source Current Matching		2		%		$0.5 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$
I_{CP} vs. V_{CP}		1.5		%		$0.5 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$
I_{CP} vs. Temperature		2		%	$V_{CP} = 2.0 \text{ V}$	
LOGIC INPUTS						
Input High Voltage, V_{INH}	1.5			V		
Input Low Voltage, V_{INL}			0.6	V		
Input Current, I_{INH}/I_{INL}			± 1	μA		
Input Capacitance, C_{IN}		3.0		pF		
LOGIC OUTPUTS						
Output High Voltage, V_{OH}	$DV_{DD} - 0.4$			V	CMOS output selected	
Output High Current, I_{OH}			500	μA	$I_{OL} = 500 \mu\text{A}$	
Output Low Voltage, V_{OL}			0.4	V		
POWER SUPPLIES						
AV_{DD}	3.0		3.6	V	These voltages must equal AV_{DD}	
DV_{DD} , V_{VCO} , SDV_{DD} , V_P		AV_{DD}				
$DI_{DD} + AI_{DD}^2$		21	27	mA	Each output divide-by-2 consumes 6 mA	
Output Dividers		6 to 36		mA		
I_{VCO}^2		70	80	mA	RF output stage is programmable	
I_{RFOUT}^2		21	26	mA		
Low Power Sleep Mode		7	10	μA		
RF OUTPUT CHARACTERISTICS						
VCO Output Frequency	2200		4400	MHz	Fundamental VCO mode	
Minimum VCO Output Frequency Using Dividers	34.375			MHz	2200 MHz fundamental output and divide-by-64 selected	
VCO Sensitivity, K_V		40		MHz/V	Into 2.00 VSWR load Fundamental VCO output Divided VCO output Fundamental VCO output Divided VCO output	
Frequency Pushing (Open-Loop)		1		MHz/V		
Frequency Pulling (Open-Loop)		90		kHz		
Harmonic Content (Second)		-19		dBc		
		-20		dBc		
Harmonic Content (Third)		-13		dBc		
		-10		dBc		

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Minimum RF Output Power ³		-4		dBm	Programmable in 3 dB steps
Maximum RF Output Power ³		5		dBm	
Output Power Variation		±1		dB	
Minimum VCO Tuning Voltage		0.5		V	
Maximum VCO Tuning Voltage		2.5		V	
NOISE CHARACTERISTICS					
VCO Phase Noise Performance					VCO noise is measured in open-loop conditions
		-89		dBc/Hz	10 kHz offset from 2.2 GHz carrier
		-114		dBc/Hz	100 kHz offset from 2.2 GHz carrier
		-134		dBc/Hz	1 MHz offset from 2.2 GHz carrier
		-148		dBc/Hz	5 MHz offset from 2.2 GHz carrier
		-86		dBc/Hz	10 kHz offset from 3.3 GHz carrier
		-111		dBc/Hz	100 kHz offset from 3.3 GHz carrier
		-134		dBc/Hz	1 MHz offset from 3.3 GHz carrier
		-145		dBc/Hz	5 MHz offset from 3.3 GHz carrier
		-83		dBc/Hz	10 kHz offset from 4.4 GHz carrier
		-110		dBc/Hz	100 kHz offset from 4.4 GHz carrier
		-131		dBc/Hz	1 MHz offset from 4.4 GHz carrier
		-145		dBc/Hz	5 MHz offset from 4.4 GHz carrier
Normalized Phase Noise Floor (PN_{SYNTH}) ⁴					PLL loop BW = 500 kHz
		-220		dBc/Hz	ABP = 6 ns
		-221		dBc/Hz	ABP = 3 ns
Normalized 1/f Noise ($PN_{1/f}$) ⁵					10 kHz offset; normalized to 1 GHz
		-116		dBc/Hz	ABP = 6 ns
		-118		dBc/Hz	ABP = 3 ns
In-Band Phase Noise		-100		dBc/Hz	3 kHz from 2111.28 MHz carrier
Integrated RMS Jitter ⁶		0.27		ps	
Spurious Signals Due to PFD Frequency		-80		dBc	
Level of Signal with RF Mute Enabled		-40		dBm	

¹ I_{CP} は、全周波数範囲において一定のループゲインを維持するため、IC内部にて変更されます。

² $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = V_{VCO} = 3.3\text{ V}$; プリスケアラ = 8/9; $f_{REFIN} = 100\text{ MHz}$; $f_{PFD} = 25\text{ MHz}$; $f_{RF} = 4.4\text{ GHz}$.

³ 50 Ω の抵抗を V_{VCO} に接続した上で、負荷抵抗 50 Ω に電力供給しています。電力測定時には補助 RF 出力をディスエーブルにしています。補助出力の消費電流はメイン出力と同じです。

⁴ シンセサイザの位相ノイズフロアは、VCO の出力でのインバンド位相ノイズを測定した値から、 $20\log N$ (ここで、 N は N 分周回路の値) と $10\log f_{PFD}$ の値を差し引いて見積ります。VCO 出力で観測されるインバンド位相ノイズ性能を計算するには、次式を用います。

$$PN_{SYNTH} = PN_{TOT} - 10\log(f_{PFD}) - 20\log N.$$

⁵ PLL 位相ノイズはフリッカー (1/f) ノイズに、正規化された PLL ノイズフロアを加算することで得られます。RF 周波数 (f_{RF}) に対して、周波数オフセット値 (f) だけ離れた部分の位相ノイズ (PN) に対する 1/f ノイズの寄与の計算は次式で与えられます

$$PN = PN_{1/f} + 10\log(10\text{ kHz}/f) + 20\log(f_{RF}/1\text{ GHz}).$$

⁶ $f_{REFIN} = 122.88\text{ MHz}$; $f_{PFD} = 30.72\text{ MHz}$; VCO frequency = 4222.56 MHz; $R_{FOUT} = 2111.28\text{ MHz}$; $N = 137$; loop BW = 60 kHz; $I_{CP} = 2.5\text{ mA}$; ローノイズ・モード。このノイズは、評価ボード (EVAL-ADF4351EB1Z) と Rohde & Schwarz 社の FSUP シグナル・ソース・アナライザを使って測定しました。

タイミング特性

特に指定がない限り、 $AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$ 、 $AGND = DGND = 0\text{ V}$ 、論理レベル 1.8 V と 3 V、 $T_A = T_{MIN}$ to T_{MAX} 。

表 2.

Parameter	Limit	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

タイミング・ダイアグラム

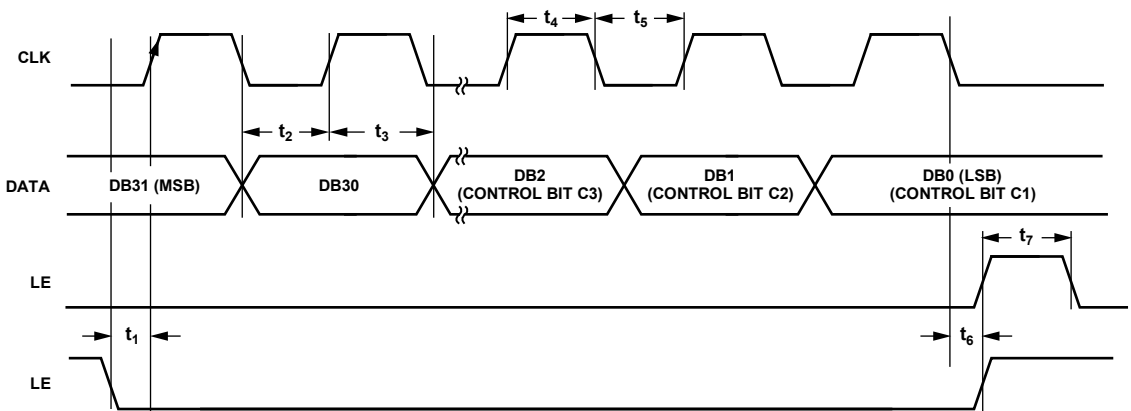


図 2. タイミング・ダイアグラム

05900-002

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AV_{DD} to GND ¹	-0.3 V to +3.9 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_{VCO} to GND ¹	-0.3 V to +3.9 V
V_{VCO} to AV_{DD}	-0.3 V to +0.3 V
Digital I/O Voltage to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
Analog I/O Voltage to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN} to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec

¹ GND = AGND = DGND = CP_{GND} = SD_{GND} = A_{GNDVCO} = 0 V.

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

本デバイスは高性能の RF 集積回路です。ESD 定格は 1.5KV 未満で、ESD の影響を受けやすい製品です。デ

バイスの取扱い時や組立時には十分注意する必要があります。

トランジスタ数

ADF4351 のトランジスタ数は、36,955 (CMOS) および 986 (バイポーラ) です。

熱抵抗

熱抵抗(θ_{JA})は、デバイスのエクスポーズド・パッドを GND にハンダ付けした状態で規定しています。

表 4. 熱抵抗

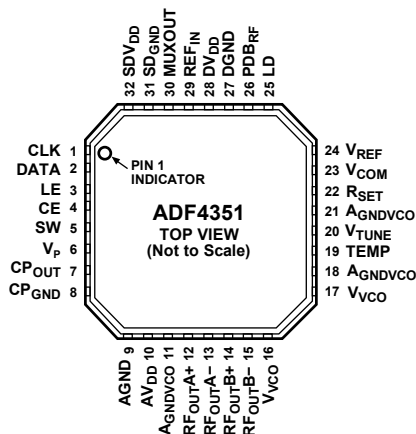
Package Type	θ_{JA}	Unit
32-Lead LFCSP (CP-32-2)	27.3	°C/W

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。 電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



注
1. エクスポートパッドは、GNDに接続してください。

図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	CLK	シリアル・クロック入力。データは CLK の立ち上がりエッジで 32 ビットシフト・レジスタに記録されます。この入力はハイ・インピーダンスの CMOS 入力です。
2	DATA	シリアル・データ入力。シリアル・データは、最初 MSB からロードされ、制御ビットである 3 つの LSB も付加されています。この入力はハイ・インピーダンスの CMOS 入力です。
3	LE	ロード・イネーブル。LE がハイレベルに遷移すると、32 ビット・シフト・レジスタに格納されているデータは、3 つの制御ビットで選択されたレジスタにロードされます。この端子はハイ・インピーダンスの CMOS 入力です。
4	CE	チップ・イネーブル。このピンへのロジック入力がローになると、デバイスの電源が切れ、チャージ・ポンプはスリーステートになります。このピンへのロジック入力がハイになると、基本的にデバイスの電源が入りますが、電源が入るかどうかはパワーダウン・ビットの状態によります。
5	SW	高速ロック・スイッチ。高速ロック・モードを使う時は、このピンを必ずループ・フィルタと接続してください。
6	V _P	チャージ・ポンプ用電源。V _P は必ず AV _{DD} と同じ電圧値にしてください。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
7	CP _{OUT}	チャージ・ポンプ出力。イネーブル状態のとき、この出力は外部ループ・フィルタに対して ±I _{CP} を供給します。そのループ・フィルタの出力は、内部 VCO を駆動するために V _{TUNE} に接続されます。
8	CP _{GND}	チャージ・ポンプ用グラウンド。この出力は CP _{OUT} のグラウンド・リターンです。
9	AGND	アナログ・グラウンド。AV _{DD} のグラウンド・リターン。
10	AV _{DD}	アナログ電源。このピンへ加えられる電圧レンジは 3.0V から 3.6V まで。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
11, 18, 21	AGNDVCO	VCO 用アナログ・グラウンド。VCO のグラウンド・リターン。
12	RF _{OUTA+}	VCO 出力。出力レベルはプログラマブルです。VCO の基本信号または分周された信号を出力できます。
13	RF _{OUTA-}	相補 VCO 出力。出力レベルはプログラマブルです。VCO の基本信号または分周された信号を出力できます。
14	RF _{OUTB+}	補助 VCO 出力。出力レベルはプログラマブルです。VCO の基本信号または分周された信号を出力できます。
15	RF _{OUTB-}	相補補助 VCO 出力。出力レベルはプログラマブルです。VCO の基本信号または分周された信号を出力できます。
16, 17	V _{VCO}	VCO 用電源。このピンへ加えられる電圧レンジは 3.0V から 3.6V まで。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。V _{VCO} は AV _{DD} と同じ電圧値でなければなりません。
19	TEMP	温度補償出力。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
20	V _{TUNE}	VCO へのコントロール入力。この電圧によって出力周波数が決まります。この電圧は CP _{OUT} の出力電圧をフィルタリングすることで得られます。

ピン番号	記号	説明
22	R _{SET}	このピンとグラウンド間に抵抗を接続してチャージ・ポンプの出力電流を設定します。REST ピンにおけるバイアス電圧の公称値は 0.55V です。I _{CP} と R _{SET} との関係は次式のとおりで、 $I_{CP} = 25.5/R_{SET}$ ここで、 $R_{SET} = 5.1 \text{ k}\Omega$ とすると I _{CP} = 5 mA となります。
23	V _{COM}	内部補償ノード。チューニング・レンジの半分にバイアスされています。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
24	V _{REF}	リファレンス電圧。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
25	LD	ロック・ディテクタ出力ピン。このピンの出力のロジック・レベルが「ハイ」になっていれば、PLL がロックしていることを示します。
26	PDB _{RF}	RF パワーダウン。このピンにロジック・レベル「ロー」を与えると、RF 出力はミュートされます。この機能はソフトウェアによっても制御可能です。
27	DGND	デジタル・グラウンド。DV _{DD} 用グラウンド・リターンピン。
28	DV _{DD}	デジタル電源。DV _{DD} の電圧値は、AV _{DD} と同じ値にしなければなりません。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
29	REF _{IN}	基準信号入力。この CMOS 入力のスレッシュホールド電圧は、公称 AV _{DD} の半分であり、直流における等価入力抵抗値は 100k Ω です。この入力は、TTL または CMOS レベルの水晶発振器の出力で直接駆動可能で、AC カップリングでも駆動することも出来ます。
30	MUXOUT	マルチプレクサ出力。マルチプレクサ出力を使うと、ロック・ディテクト、N デバイダの値、もしくは R カウンタの値を外部からアクセスすることが可能になります。
31	SD _{GND}	デジタル Σ - Δ 変調回路用グラウンド。 Σ - Δ 変調回路のグラウンド・リターン用のピン
32	SDV _{DD}	デジタル Σ - Δ 変調回路用電源ピン。SDV _{DD} は AV _{DD} と同じ電圧値にしなければなりません。グラウンド・プレーンと接続するデカップリング・コンデンサは、このピンにできる限り近いところに配置してください。
EP	Exposed Pad	エクスポーズド・パッド。LFCSP にはエクスポーズド・パッドがあり、このパッドは必ず GND に接続にしてください。

代表的な性能特性

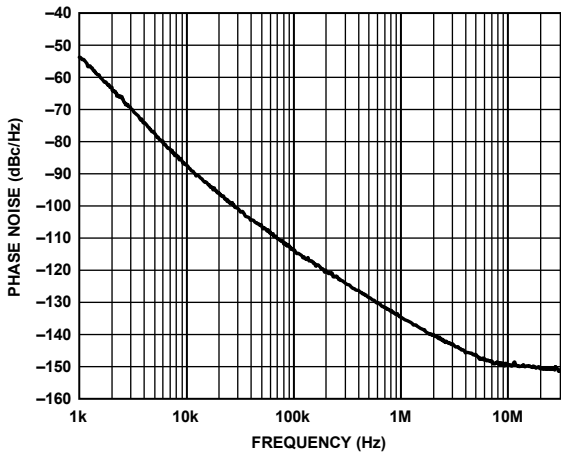


図 4. オープン・ループ VCO 位相ノイズ、2.2 GHz

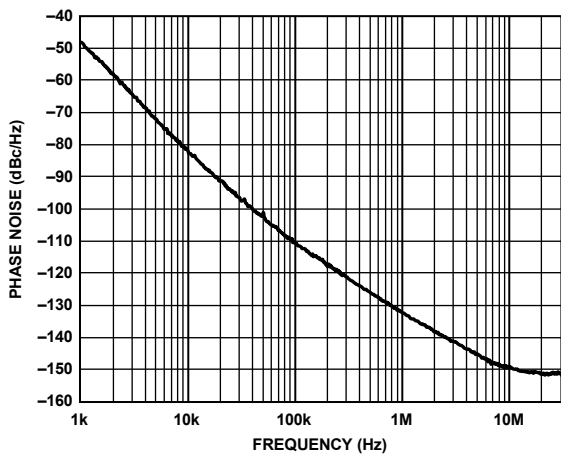


図 5. オープン・ループ VCO 位相ノイズ、3.3 GHz

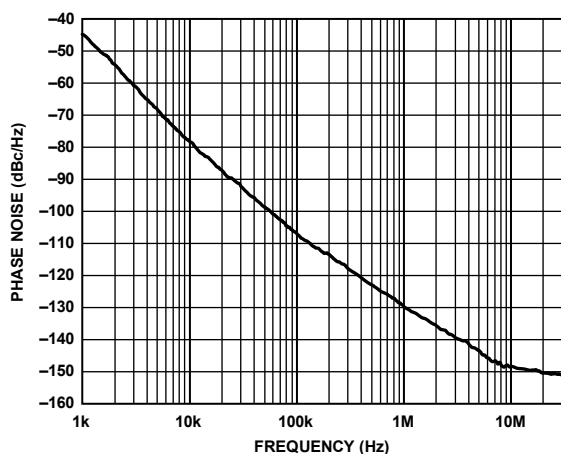


図 6. オープン・ループ VCO 位相ノイズ、4.4 GHz

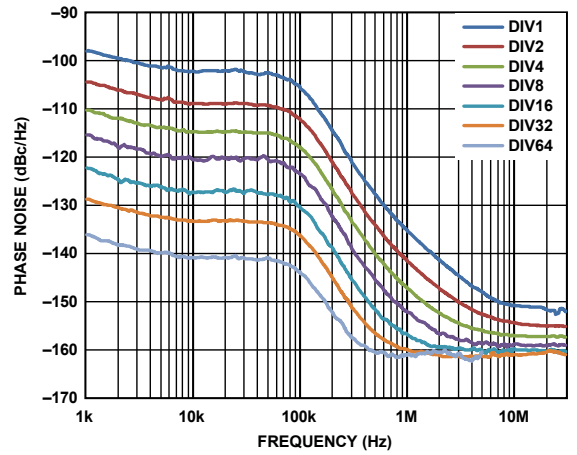


図 7. クローズド・ループ位相ノイズ、VCO 基本周波数とデバイダ、VCO = 2.2 GHz、PFD = 25 MHz、ループ・フィルタ・バンド幅 = 63 kHz

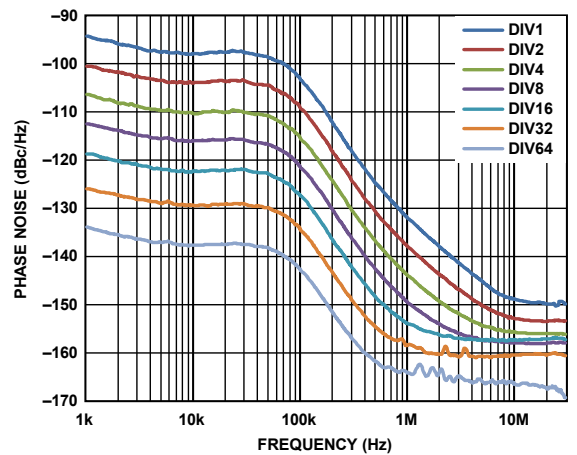


図 8. クローズド・ループ位相ノイズ、VCO 基本周波数とデバイダ、VCO = 3.3 GHz、PFD = 25 MHz、ループ・フィルタ・バンド幅 = 63 kHz

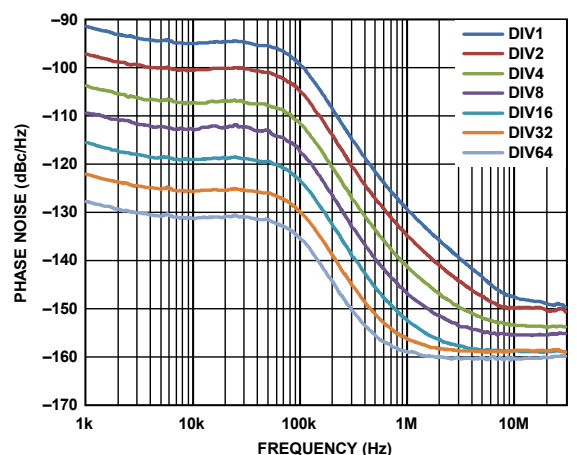


図 9. クローズド・ループ位相ノイズ、VCO 基本周波数とデバイダ、VCO = 4.4 GHz、PFD = 25 MHz、ループ・フィルタ・バンド幅 = 63 kHz

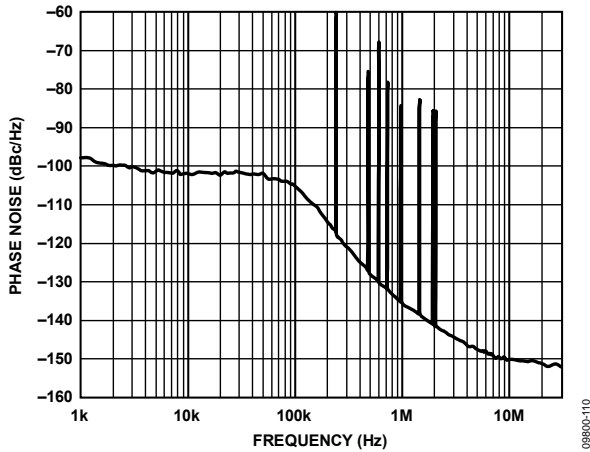


図 10. フラクショナルNのスプリアス特性、ローノイズ・モード、W-CDMA バンド、RFOUT = 2111.28 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、2分周出力を選択、ループ・フィルタ・バンド幅= 60 kHz、チャンネル間隔= 240 kHz、RMS 位相誤差= 0.21°、RMS ジッタ = 0.27 ps、EVM = 0.37%

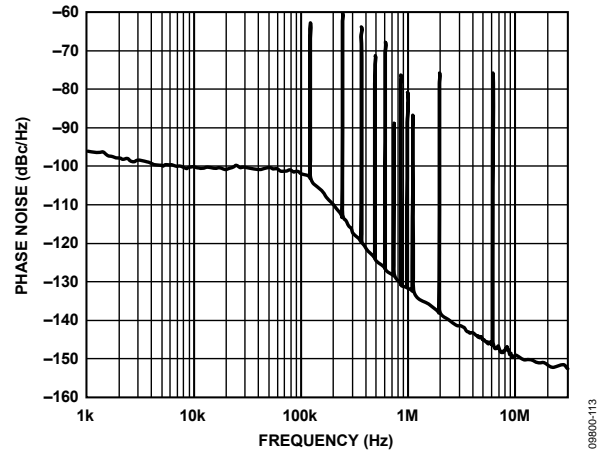


図 13. フラクショナルNのスプリアス特性、ローノイズ・モード、LTE バンド、RFOUT = 2646.96 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、ループ・フィルタ・バンド幅= 60 kHz、チャンネル間隔= 240 kHz、位相ワード= 9、RMS 位相誤差= 0.28°、RMS ジッタ = 0.29 ps、EVM = 0.49%

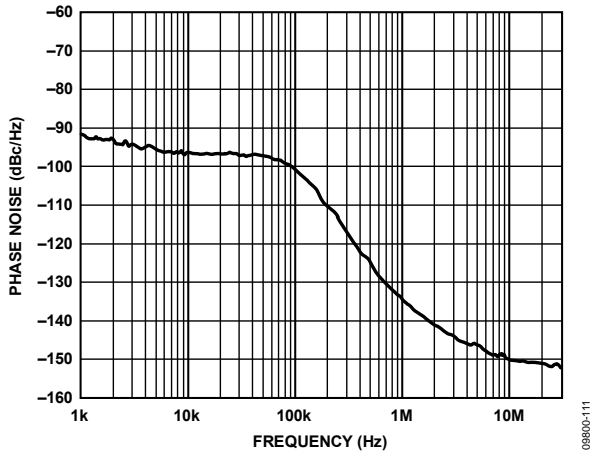


図 11. フラクショナルNのスプリアス特性、ロー・スプリアス・モード、W-CDMA バンド、RFOUT = 2111.28 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、2分周出力を選択、ループ・フィルタ・バンド幅= 60 kHz、チャンネル間隔= 240 kHz、RMS 位相誤差= 0.37°、RMS ジッタ = 0.49 ps、EVM = 0.64%

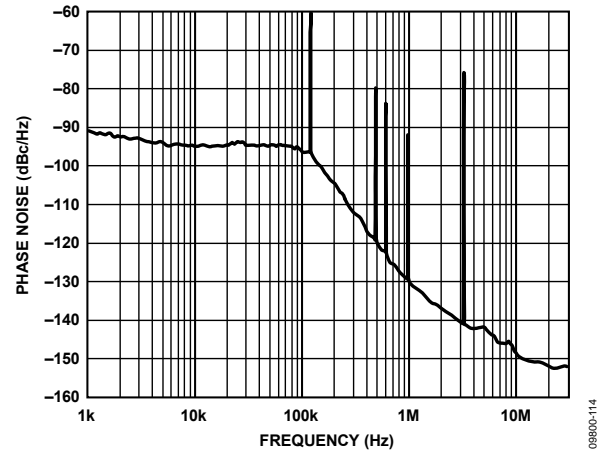


図 14. フラクショナルNのスプリアス特性、ロー・スプリアス・モード、LTE バンド、RFOUT = 2646.96 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、ループ・フィルタ・バンド幅= 60 kHz、チャンネル間隔= 240 kHz、RMS 位相誤差= 0.56°、RMS ジッタ = 0.59 ps、EVM = 0.98%

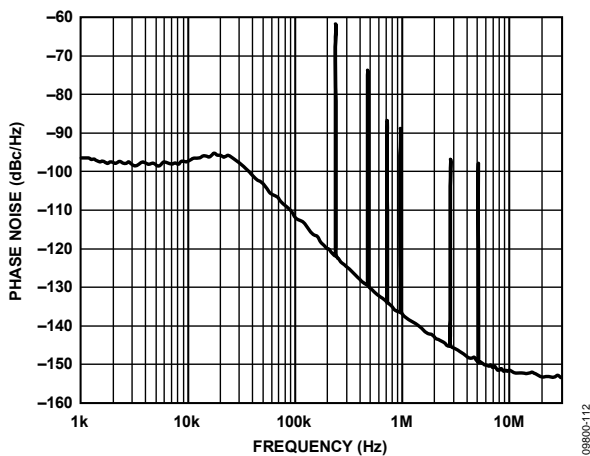


図 12. フラクショナルNのスプリアス特性、ローノイズ・モード、W-CDMA バンド、RFOUT = 2111.28 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、2分周出力を選択、ループ・フィルタ・バンド幅= 20 kHz、チャンネル間隔= 240 kHz、RMS 位相誤差= 0.25°、RMS ジッタ = 0.32 ps、EVM = 0.44%

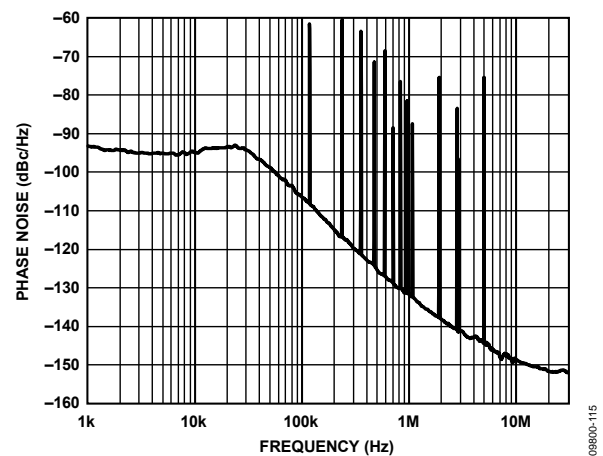


図 15. フラクショナルNのスプリアス特性、ローノイズ・モード、W-CDMA バンド、RFOUT = 2646.96 MHz、REFIN = 122.88 MHz、PFD = 30.72 MHz、ループ・フィルタ・バンド幅= 20 kHz、チャンネル間隔= 240 kHz、RMS 位相誤差= 0.35°、RMS ジッタ = 0.36 ps、EVM = 0.61%

回路説明

基準信号入力セクション

基準信号入力段を図 16 に示します。SW1 と SW2 はノーマリー・クローズです。SW3 はノーマリー・オープンになっています。パワーダウン・モードになると、SW3 がクローズになり SW1 と SW2 はオープンとなります。このようにパワーダウン期間中、REF_{IN} ピンは無負荷状態になります。

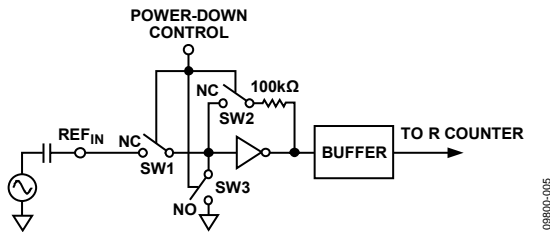


図 16. 基準信号入力段

RF N 分周器

RF N 分周器は PLL のフィードバック経路内における分周比を決めます。分周比は INT、FRAC そして MOD の値で決まり、これらによってこの分周器を構成しています (図 17 参照)。

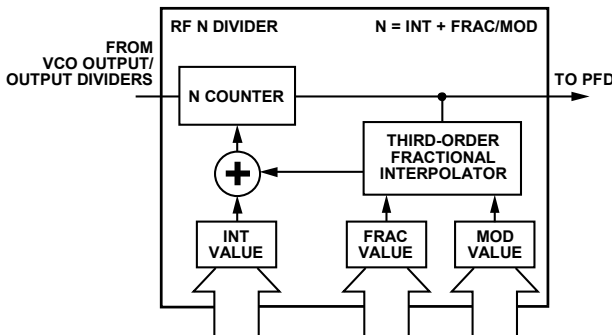


図 17. RF N 分周器

INT, FRAC, MOD および R カウンタ間の関係

R カウンタと密接に関係する INT、FRAC、そして MOD の値を組み合わせることによって、PFD 周波数を、分数で分周した細かな分解能を持つ出力周波数を発生できます。詳細情報については、「RF シンセサイザ 動作例」の RF シンセサイザを参照ください。

RF VCO の周波数 (RF_{OUT}) は次式で決まります。

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

ここで、

RF_{OUT} は、電圧制御発振器 (VCO) の出力周波数。

INT は、バイナリ 16 ビットカウンタ (4/5 プリスケアラのときは 23 ~ 65,535 まで。8/9 プリスケアラのときは 75 ~ 65,535 まで) のプリセット分周比。

FRAC は、分数分周比 (0 から MOD-1)。

MOD は、フラクショナル・モジュラスのプリセット値 (2 ~ 4096)。

PFD 周波数 (f_{PFD}) は次式で決まります

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

ここで

REF_{IN} は、基準入力周波数。

D は、REF_{IN} のダブル・ビット (0 または 1)

R は、10 ビットのプログラマブル・リファレンス・カウンタのプリセット分周比 (1 から 1023)。

T は、REF_{IN} の 2 分周ビット (0 または 1)。

インテジャー N モード

もし FRAC=0 かつレジスタ 2 の DB8 (LDF) ビットが 1 に設定された時、シンセサイザはインテジャー N モードとして動作します。インテジャー N デジタル・ロック・ディテクトをイネーブルするには、レジスタ 2 の DB8 ビットを必ず 1 に設定してください。

R カウンタ

10 ビット R カウンタは、入力基準周波数 (REF_{IN}) を分周して PFD への基準周波数を作ります。分周比は 1 から 1023 まで設定できます。

位相周波数検出器 (PFD) とチャージ・ポンプ

位相周波数検出器 (PFD) は R カウンタと N カウンタ出力を入力信号として取り込み、位相と周波数との差に比例した出力を作ります。図 18 は位相周波数検出器の簡略回路図です。

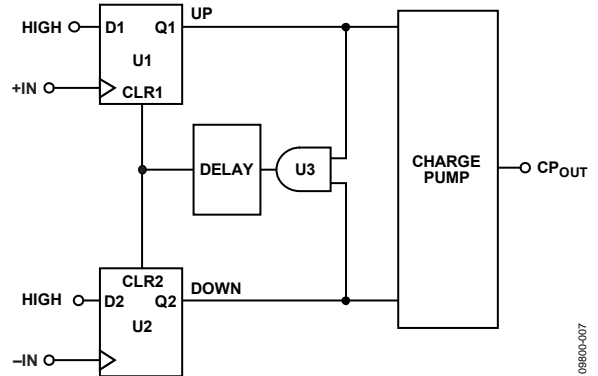


図 18. PFD の簡略回路図

PFD はアンチバックラッシュ・パルス (ABP) の幅を設定する、プログラマブル遅延素子を備えています。このパルスによって、PFD の伝達関数にはデッド・ゾーンがなくなります。レジスタ 3 (R3) のビット DB22 は、ABP を設定するために使われます。設定手順は以下のとおりです。

- ビット DB22 を 0 にセットすると、ABP 幅は 6ns にプログラムされます。この値はフラクショナル N アプリケーションの推奨値です。
- ビット DB22 を 1 にセットすると、ABP 幅は 3ns にプログラムされます。この値はインテジャー N アプリケーションの推奨値です。

インテジャー N アプリケーションで、ABP に幅の狭いパルスを使えば帯域内位相ノイズを改善することができます。PFD を 45MHz より高い周波数で動作させるには、レジスタ 1 にある位相調整ビット (DB28) を 1 に設定して、VCO のバンド・セレクトをディスエーブルにする必要があります。

MUXOUT とロック・ディテクト

ADF4351 が持つマルチプレクサ出力を使うと、チップ内にある様々な箇所にアクセスできます。MUXOUT の状態は、レジスタ 2 (図 26 参照) 内部の M3、M2 そして M1 ビットによって制御されます。図 19 は MUXOUT をブロック・ダイアグラムで表示しています。

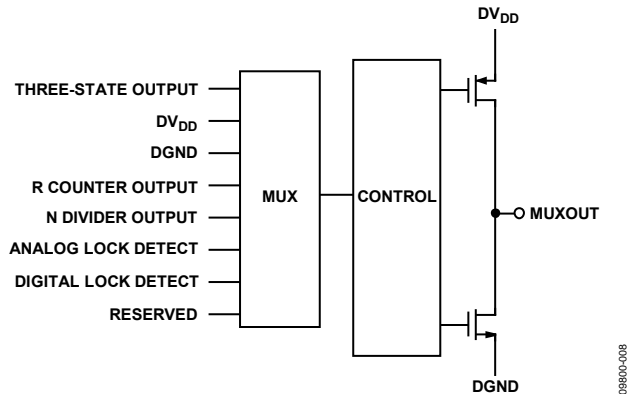


図 19. MUXOUT 回路図

入力シフト・レジスタ

ADF4351 のデジタル・セクションは、10ビット RF R カウンタ、16ビット RF N カウンタ、12ビット FRAC カウンタそして 12ビット・モジュラス・カウンタで構成されています。データは CLK の立ち上がりエッジで 32ビットのシフト・レジスタに送られます。この時データは MSB から送られます。シフト・レジスタからのデータは、6つのラッチのうちの1つへ、LE の立ち上がりエッジで送られます。どのラッチにデータを送るかはシフト・レジスタ内にある 3つの制御ビット (C3、C2、C1) の状態によって決められます。図 2 に示したように、制御ビットは 3つの LSB で、DB2、DB1 そして DB0 です。表 6 はその 3つのビットの真理値表です。図 23 にはラッチをどのようにプログラムすれば良いかをまとめてあります。

表 6. 制御ビット C3、C2、C1 の真理値表

制御ビット			レジスタ
C3	C2	C1	
0	0	0	レジスタ 0 (R0)
0	0	1	レジスタ 1 (R1)
0	1	0	レジスタ 2 (R2)
0	1	1	レジスタ 3 (R3)
1	0	0	レジスタ 4 (R4)
1	0	1	レジスタ 5 (R5)

プログラム・モード

表 6 と図 23 から図 29 に、ADF4351 内部でどのようにしてプログラム・モードを設定するかを示します。

ADF4351 の設定の内、以下の設定は「ダブル・バッファ」

(double buffered) です。位相値、モジュラス値、基準信号ダブル、基準信号 2 分周、R カウンタ設定値、そしてチャージ・ポンプ電流設定です。このデバイスでは、ダブル・バッファになっているいずれの設定に対しても、新しい値を使う前には必ず以下の 2つのイベントが発生しなければなりません。

1. 新しい値は、このデバイス内部の適切なレジスタに書き込むことでラッチされる。
2. 新しい書き込みがレジスタ 0 (R0) に対して行われる。

例えば、モジュラス値がいかなるタイミングでアップデートされたとしても、レジスタ 0 (R0) が書き込まれていなければ、その値は反映されません。これはモジュラス値が確実にロードされることを保証するためです。レジスタ 4 (R4) にある分周器選択値もダブル・バッファですが、レジスタ 2 (R2) の DB13 ビットが 1 に設定されている場合のみダブル・バッファとして扱います。

VCO

ADF4351 内部の VCO コアは、3つの別々の VCO で構成されており、それぞれの VCO は図 20 に示すように 16 のオーバーラップ・バンドを使います。この構成を取ることで、大きな VCO 感度 (K_v) を必要とすることなく、広い周波数レンジをカバーすることが可能です。VCO 感度が大きくなると位相ノイズ特性とスプリアス特性が悪化します。

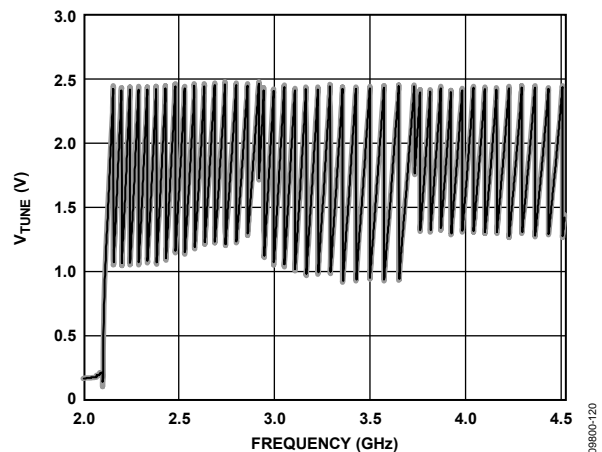


図 20. V_{TUNE} 対 周波数

電源投入時もしくはレジスタ 0 (R0) がアップデートされた時、適切な VCO と VCO バンドは、VCO とバンド・セレクト・ロジックにより自動的に選択されます。

VCO とバンド・セレクトが完了するには、バンド・セレクト・クロック分周器の分周値を乗じた 10 倍の PFD サイクルを要します。この期間中、VCO の V_{TUNE} 電圧はループ・フィルタの出力から切り離され、内部のリファレンス電圧に接続されます。

Rカウンタ出力は、バンド・セレクト・ロジックのクロックとして使われます。1から255までの整数を使った分周を可能にするため、Rカウンタ出力にプログラマブル・デバイダが用意されています。なおこのデバイダの値はレジスタ4 (R4) のビット [DB19:DB12]を使って設定されます。必要とされるPFD周波数が125kHzよりも高い場合、適切なバンド・セクションが終了するまで必要十分な時間が確保できる分周比を選びます。

VCOのバンド・セクションが終了するまで、PFD周波数の10サイクル分、すなわち80μs必要です。さらに高速のロック・タイムが必要であれば、レジスタ3 (R3) のビットDB23を、必ず1に設定してください。この設定を行うと、500kHzまでの、より高速なバンド・セレクト・セレクト・クロック周波数を選択することができます。位相調整と1MHz以下の小さな周波数調整を行うには、レジスタ1

(R1) のビットDB28を1に設定して、VCOのバンド・セクションをディスエーブルにする必要があります。この設定を行うと位相調整機能を選択します。

バンド・セレクト終了後、PLLは通常動作に復帰します。Nデバイダが、VCO出力で駆動されている場合、 K_V の公称値は40MHz/Vです、もしくはDによって分周された値になります。DはVCO回路の後に設置されている分周回路の分周比で、RF段にある分周回路の出力で、Nデバイダが駆動されている場合の値です。Dの値は、レジスタ4のプログラミング・ビット [DB22:DB20]によって選択されます。ADF4351には、 I_{CP} と K_V の積のあらゆる変動を最小限に抑えるための、リニアライゼーション回路が実装されています。その回路によってループ・バンド幅を一定の値に保つことができます。

V_{TUNE} の変動に応じて、VCOの K_V が変動するという現象がみられます。この現象は各VCOのバンド内、もしくは1つのバンドからもう1つのバンドへと移行する時に見られます。広い周波数範囲をカバー（そのとき出力分周器の分周比が変化しますが）するような広帯域アプリケーションの場合、40MHz/Vという数値を、 K_V の最も確からしい値として使います。なぜならこの値が、変動する K_V の値を平均した値に最も近いからです。図21に、 K_V がVCOの基本周波数の変化に対して、どのように変化するかを示します。それと共に、各周波数バンドにおける K_V の平均値も示してあります。狭帯域バンド設計を行う際、この図は大変有益なものとなるでしょう。

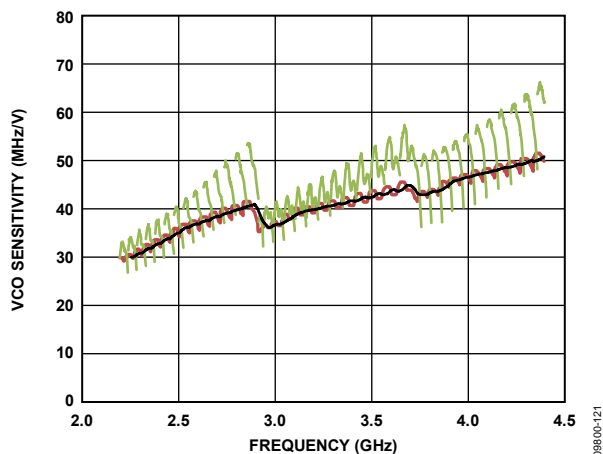


図 21. VCO 感度 (KV) 対 周波数

出力段

ADF4351 の RF_{OUTA+} と RF_{OUTA-} ピンは、図 22 に示すように、VCO 出力のバッファとして駆動されている NPN 差動ペアのコレクタと接続されています。

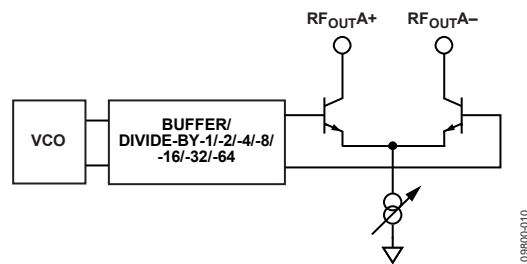


図 22. 出力段

電力消費と出力電力を最適化できるように、差動ペアのテール電流はプログラマブルで、設定はレジスタ4 (R4) のビット [DB4:DB3]を使い、4つの電流レベルを選択することができます。これらの電流値によって、出力電力レベルは、-4dBm、-1dBm、+2dBm、そして+5dBmが得られます。この値は、出力段トランジスタのコレクタと AV_{DD} を 50Ω で接続し、ACカップルで 50Ω 負荷に接続した時です。他の方法としては、1:1 の高周波トランス、もしくは 180° のマイクロストリップ・カプラを使って、この2つの出力を1つにまとめることもできます（「出力のマッチング」を参照）。

これら出力端子を別々に使いたいなら、出力段と V_{VCO} との間にシャント・インダクタを接続することで、最適な出力段になります。このとき使われていない相補出力端子は、使っている端子と同様の回路を使って、終端しておかなければなりません。

補助出力ステージには、RF_{OUTB+} と RF_{OUTB-} ピンがあり、これは第2の差動出力セットで、他の回路を駆動することができます。補助出力ステージは、プライマリ出力である RF_{OUTA+} と RF_{OUTA-} がイネーブルになっている時のみ、使うことができます。もし補助出力ステージを使わないなら、それらをパワーダウンさせることもできます。

ADF4351 のもう1つの特徴として、このデバイスが、デジタル・ロック・ディテクタ回路によってロック達成を検知するまで、RF出力ステージへの供給電力をシャットダウンさせることができます。この機能は、レジスタ4 (R4) のミュート・テイル・ロック・ディテクタ (MTLD) ビットを設定するとイネーブルになります。

レジスタ・マップ

REGISTER 0

RESERVED	16-BIT INTEGER VALUE (INT)																12-BIT FRACTIONAL VALUE (FRAC)											CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED			PHASE ADJUST PRESCALER		12-BIT PHASE VALUE (PHASE) DBR ¹																12-BIT MODULUS VALUE (MOD) DBR ¹											CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
0	0	0	PH1	PR1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3(0)	C2(0)	C1(1)			

REGISTER 2

RESERVED	LOW NOISE AND LOW SPUR MODES				MUXOUT			REFERENCE DOUBLER DBR ¹		R DIV2 DBR ¹		10-BIT R COUNTER DBR ¹										DOUBLE BUFFER		CHARGE PUMP CURRENT SETTING DBR ¹				LDF		LDP		PD POLARITY		POWER-DOWN		CP THREE-STATE COUNTER RESET		CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0									
0	L2	L1	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C3(0)	C2(1)	C1(0)									

REGISTER 3

RESERVED													BAND SELECT CLOCK MODE		ABP	CHARGE CANCEL		RESERVED			CSR		RESERVED		CLK DIV MODE		12-BIT CLOCK DIVIDER VALUE											CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0									
0	0	0	0	0	0	0	0	F4	F3	F2	0	0	F1	0	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(1)									

REGISTER 4

RESERVED								FEEDBACK SELECT		DBB ² RF DIVIDER SELECT		8-BIT BAND SELECT CLOCK DIVIDER VALUE										VCO POWER-DOWN	MTLD	AUX OUTPUT SELECT	AUX OUTPUT ENABLE	AUX OUTPUT POWER		RF OUTPUT ENABLE	OUTPUT POWER		CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
0	0	0	0	0	0	0	0	D13	D12	D11	D10	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(0)		

REGISTER 5

RESERVED										LD PIN MODE		RESERVED	RESERVED	RESERVED													CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
0	0	0	0	0	0	0	0	D15	D14	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(1)	C2(0)	C1(1)

¹DBR = DOUBLE-BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

²DBB = DOUBLE-BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0, IF AND ONLY IF DB13 OF REGISTER 2 IS HIGH.

図 16. レジスタ概要

RESERVED																16-BIT INTEGER VALUE (INT)																12-BIT FRACTIONAL VALUE (FRAC)												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0															
0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)															

N16	N15	...	N5	N4	N3	N2	N1	INTEGER VALUE (INT)
0	0	...	0	0	0	0	0	NOT ALLOWED
0	0	...	0	0	0	0	1	NOT ALLOWED
0	0	...	0	0	0	1	0	NOT ALLOWED
.
0	0	...	1	0	1	1	0	NOT ALLOWED
0	0	...	1	0	1	1	1	23
0	0	...	1	1	0	0	0	24
.
1	1	...	1	1	1	0	1	65,533
1	1	...	1	1	1	1	0	65,534
1	1	...	1	1	1	1	1	65,535

F12	F11	...	F2	F1	FRACTIONAL VALUE (FRAC)
0	0	...	0	0	0
0	0	...	0	1	1
0	0	...	1	0	2
0	0	...	1	1	3
.
.
1	1	...	0	0	4092
1	1	...	0	1	4093
1	1	...	1	0	4094
1	1	...	1	1	4095

INTmin = 75 WITH PRESCALER = 8/9

図 17. レジスタ 0 (R0)

RESERVED			PHASE ADJUST	PRESCALER	12-BIT PHASE VALUE (PHASE)												12-BIT MODULUS VALUE (MOD)												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	PH1	PR1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3(0)	C2(0)	C1(1)

PH1	PHASE ADJ
0	OFF
1	ON

PR1	PRESCALER
0	4/5
1	8/9

P12	P11	...	P2	P1	PHASE VALUE (PHASE)
0	0	...	0	0	0
0	0	...	0	1	1 (RECOMMENDED)
0	0	...	1	0	2
0	0	...	1	1	3
.
.
1	1	...	0	0	4092
1	1	...	0	1	4093
1	1	...	1	0	4094
1	1	...	1	1	4095

M12	M11	...	M2	M1	INTERPOLATOR MODULUS (MOD)
0	0	...	1	0	2
0	0	...	1	1	3
.
.
1	1	...	0	0	4092
1	1	...	0	1	4093
1	1	...	1	0	4094
1	1	...	1	1	4095

図 18. レジスタ 1 (R1)

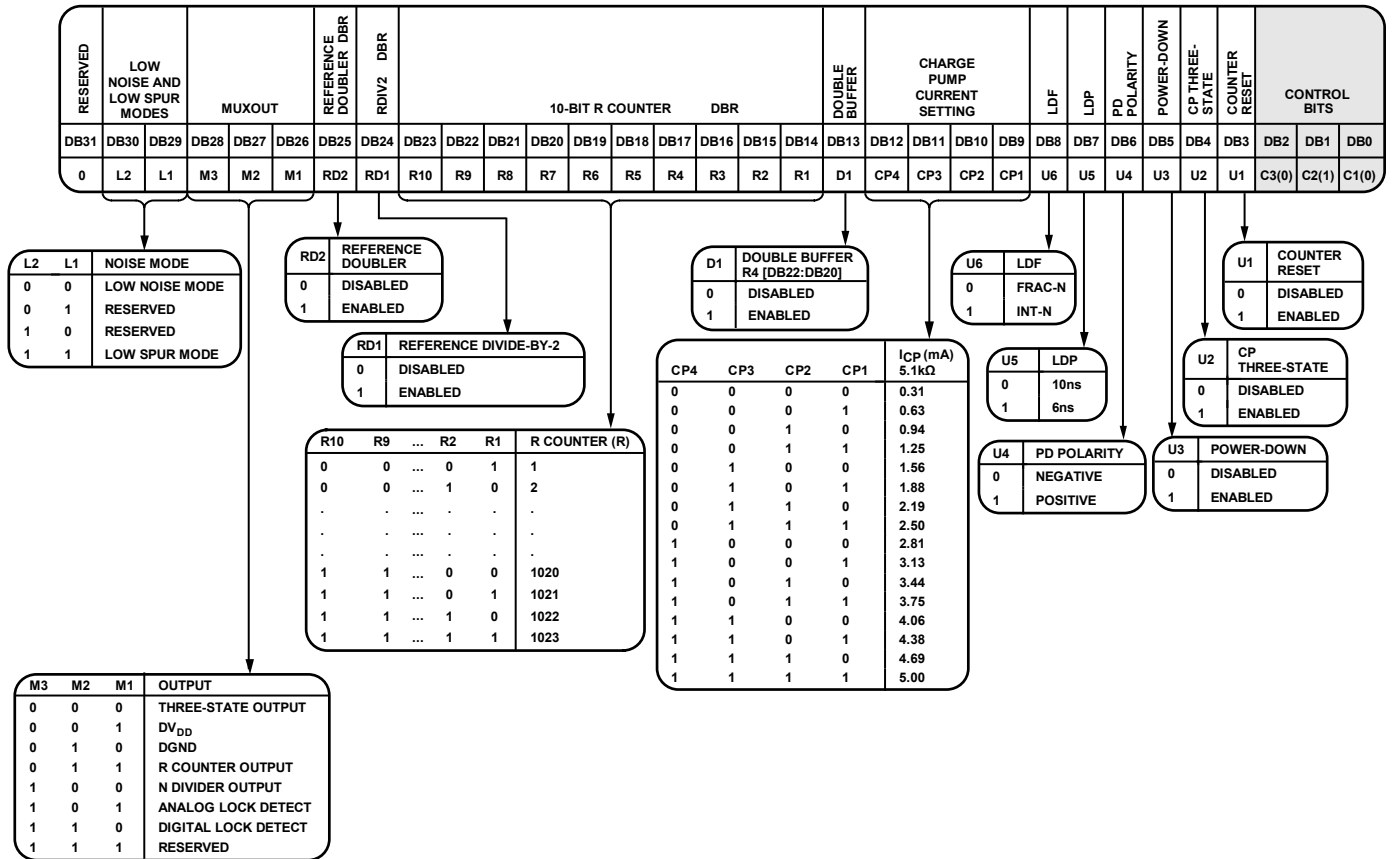


図 19. レジスタ 2 (R2)

09800-014

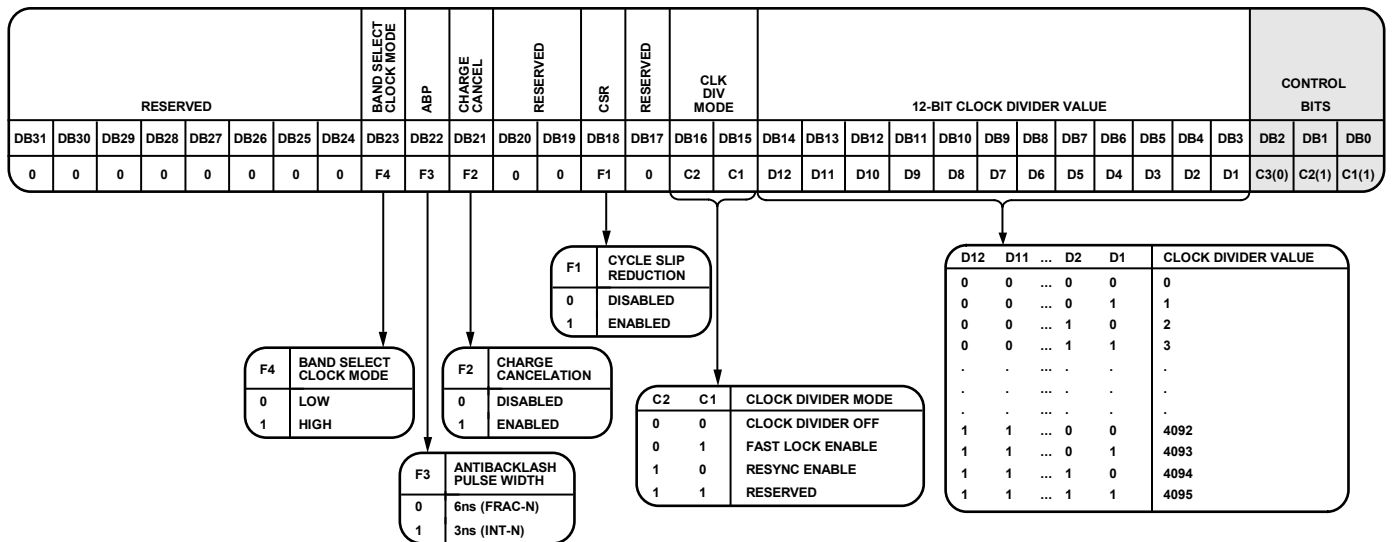


図 20. レジスタ 3 (R3)

09800-015

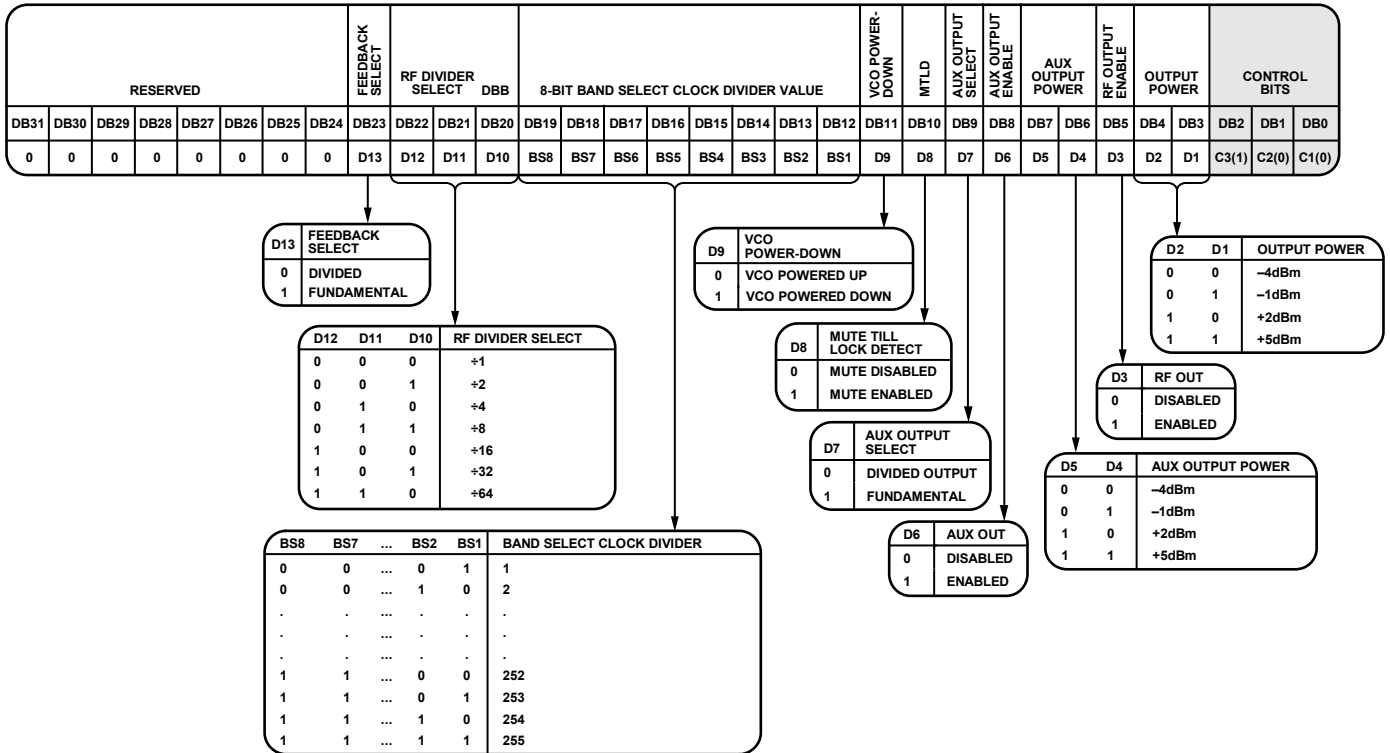


図 21. レジスタ 4 (R4)

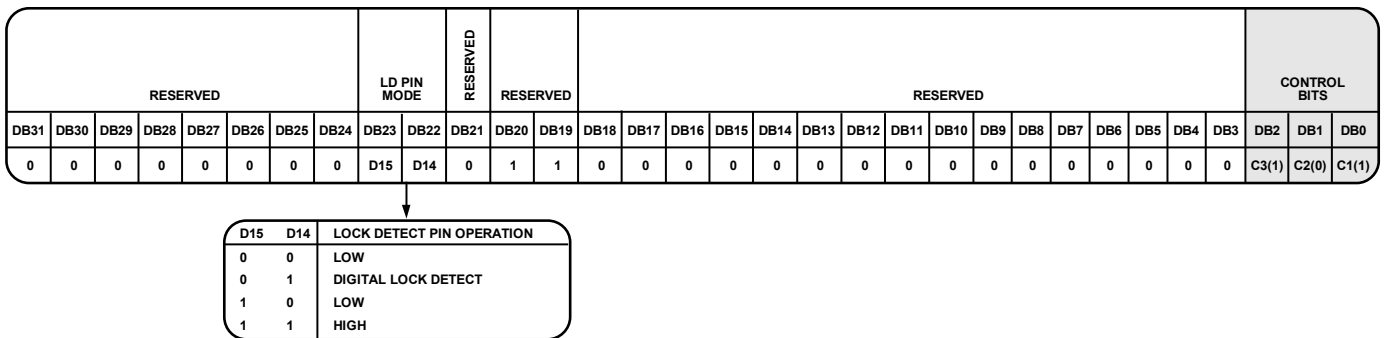


図 22. レジスタ 5 (R5)

レジスタ 0

制御ビット

ビット[C3:C1]が、000に設定されると、レジスタ 0がプログラムされます。図 24にこのレジスタへプログラミングする際の入力データ形式を示します。

16 ビット整数値 (INT)

16ビットのINTビット(ビット[DB30:DB15])で、INT値を設定します。この値はフィードバック分周比のうち、整数部の値です。INT値は式1で与えられます(詳細は「INT,FRAC,MODおよびRカウンタ間の関係」を参照)。整数値として与えることができる値は、4/5プリスケアラの場合、23から65,535まで。一方8/9プリスケアラの場合は最小値が75となります。

12 ビット分数値 (FRAC)

12ビットのFRACビット(ビット[DB14:DB3])で、 Σ - Δ 変調器へ分周分数比を設定します。この分数値は、INT値と共に、シンセサイザがロックする新しい周波数チャンネルを決めます。詳細は、「RFシンセサイザ 動作例」を参照ください。0から(MOD-1)までの値を取るFRAC値によって、PFDの基準周波数と等しい周波数レンジに於ける、すべてのチャンネルをカバーします。

レジスタ 1

制御ビット

ビット[C3:C1]が001に設定されると、レジスタ 1がプログラムされます。図 25にこのレジスタへプログラミングする際の入力データ形式を示します。

位相調整

位相調整ビット(Bit DB28)は、設定した出力周波数の出力位相を調整可能な状態にします。位相調整がイネーブルな状態(ビットDB28を1に設定)にすると、このデバイスはレジスタ 0がアップデートされたとしても、VCOのバンド・セレクションやPhase Resyncを行いません。位相調整がディスエーブルな状態(ビットDB28を0に設定)になった時、レジスタ 0がアップデートされると、このデバイスはVCOバンド・セレクションやPhase Resyncを行います(但し、レジスタ 3のビット[DB16:DB15]の設定で、Phase Resyncをイネーブルにする必要があります)。VCOバンド・セレクションをディスエーブルとするのは、固定周波数アプリケーションのとき、もしくは最初に設定した周波数に対して1MHz以下の周波数変動しかない場合のみ、推奨されます。

プリスケアラ値

デュアル・モジュラス・プリスケアラ(P/P+1)は、INT、FRACそしてMODの設定値と協調して動作しますが、VCO出力からPFD入力への信号周波数に対する全体の分周比を決めます。レジスタ 1のPR1ビット(DB27)で、プリスケアラ値(4/5か8/9か)を選びます。

CMLレベルで動作しているので、プリスケアラはVCO出力からクロック信号を取得し、その信号周波数を各種カウンタのために分周します。プリスケアラは同期型4/5コアをベースにしています。プリスケアラが4/5に設定された場合、RF信号周波数の上限は3.6GHzです。従ってADF4351を3.6GHz以上で動作させたい場合は、プリスケアラの値を8/9に設定されなければなりません。プリスケアラはINT値を以下の値に制限します。

- プリスケアラ=4/5のとき、 $N_{\text{MINIMUM}}=23$
- プリスケアラ=8/9のとき、 $N_{\text{MINIMUM}}=75$

12 ビット位相値

ビット[DB26:DB15]が位相ワードを制御します。この位相ワードの値は、レジスタ 1で設定されるMODの値よりも小さい値にし

なければなりません。位相ワードはRF出力信号の位相を、0°から360°までプログラムするために使われます。このときの設定分解能は360°/MODとなります(「PHASE RESYNC」を参照)。

多くのアプリケーションではRF信号と、基準信号との間の位相関係はあまり重要ではありません。しかし、フラクショナルおよびサブ・フラクショナルのスプリアス・レベルを最適化することが必要となるアプリケーションでは、この位相量調整機能を用いることができます。詳細は「適正なスプリアス・レベルおよびフラクショナル・スプリアスの最適化」を参照ください。

Phase Resyncもスプリアス最適化機能を使わないならば、位相ワードを1に設定することを推奨します。

12 ビット・モジュラス値 (MOD)

12ビットのMODビット(ビット[DB14:DB3])はフラクショナル・モジュラス値を設定します。フラクショナル・モジュラスとは、RF出力におけるPFD周波数とRF出力周波数のチャンネル・ステップ分解能との比のことです。詳細に関しては、「12ビットプログラマブル・モジュラス」を参照ください。

レジスタ 2

制御ビット

ビット[C3:C1]を010に設定すると、レジスタ 2がプログラムされます。図 26にこのレジスタへプログラミングする際の入力データ形式を示します。

ローノイズとロー・スプリアス・モード

ADF4351のノイズモードは、レジスタ2(図26参照)のビット[DB30:DB29]を設定することで制御できます。ノイズモードを選択すると、ADF4351を使った機器の設計に於いて、スプリアス特性をより優先して最適化するのか、それとも位相ノイズ特性をより優先して最適化するのか、を選択することができます。

ロー・スプリアス・モードが選択された時、ディザがイネーブルになります。ディザは、フラクショナル量子化ノイズをランダム化し、そのノイズをスプリアス・ノイズではなくホワイト・ノイズのように見せることができます。その結果、このデバイスの出力はスプリアス・ノイズ特性をより優先して最適化されます。ロー・スプリアス・モードは通常、PLLのクロズド・ループ・バンド幅が広いにも関わらず、高速ロックが必要なアプリケーションに採用されます。ループ・バンド幅が広いとは、RF_{out}信号のチャンネル・ステップ分解能(f_{RES})の1/10よりもループ・バンド幅が大きい場合と定義しています。広いループ・バンド幅を持つフィルタは、狭いループ・バンド幅を持つフィルタと同レベルで、スプリアスを減衰させることはできません。

最高の位相ノイズ特性を得るには、ローノイズ・モード・オプションを使ってください。ローノイズ・モードが選択された時、ディザはディスエーブルになります。このモードでは位相ノイズ特性を最適化できる領域でチャージ・ポンプが動作することを保証します。ローノイズ・モードは、バンド幅の狭いループ・フィルタが使える場合に最も有用性が高いと言えます。周波数シンセサイザの出力信号は、極めて低い位相ノイズ特性を達成でき、さらに(バンド幅の狭い)このループ・フィルタがスプリアスを減衰させます。図 10から図 12に一般的なW-CDMA設定において、異なるノイズまたはスプリアス設定の組み合わせで、位相ノイズの特性がどのように変わるか、そのトレード・オフを示しています。

MUXOUT

内蔵マルチプレクサはビット[DB28:DB26]によってコントロールされます(図 26参照)。なお、VCOバンド・セレクションが正常に動作するように、Nカウンタ出力は必ずディスエーブルにしてください。

基準信号ダブラー

DB25ビットを0に設定すると、ダブラーがディスエーブルになり、REF_{IN}信号は10ビットRカウンタに直接入力されます。このビットを1に設定すると、10ビットのRカウンタに入力される前に、REF_{IN}

周波数が2倍になります。ダブラーがディスエーブルになっている時、REF_{IN}の立ち下がりエッジが、フラクショナル・シンセサイザへと接続されているPFD入力に対する有効エッジになります。ダブラーがイネーブルになると、REF_{IN}の立ち上がりおよび立ち下がりエッジの両方が、PFD入力への有効エッジになります。

ダブラーがイネーブルになってロー・スプリアス・モードが選択されている時、帯域内位相ノイズ特性は、REF_{IN}のデューティ・サイクルに対して敏感になります。REF_{IN}のデューティ・サイクルが45%から55%から外れてしまうと、位相ノイズが5dB程度劣化します。ダブラーがディスエーブルで、ローノイズ・モードに設定されている時、REF_{IN}のデューティ・サイクルにはそれほど影響を受けません。

ダブラーがイネーブルになっている時の、REF_{IN}への最大入力周波数は30MHzです。

RDIV2

DB24 ビットを1に設定すると、R カウンタと PFD の間に信号を2分周するフリップ・フロップが挿入されます。このフリップ・フロップにより REF_{IN} への入力レートを上げることができます。この機能は、PFD 入力への信号のデューティ・サイクルを 50% にします。これはサイクル・スリッ・リダクション機能のために必要です。

10 ビット R カウンタ

10ビットRカウンタ（ビット[DB23:DB14]）は、入力基準周波数（REF_{IN}）を分周し、PFDへの基準クロックを作ります。分周比は1から1023まで設定できます。

ダブル・バッファ

DB13 ビットは、レジスタ 4 のビット[DB22:DB20]をダブル・バッファとしてイネーブルするかディスエーブルするかを設定を行います。ダブル・バッファがどのように動作するかに関する情報は、「プログラム・モード」を参照してください。

チャージ・ポンプ電流設定

ビット[DB12:DB9]はチャージ・ポンプ電流値を設定します。この値はループ・フィルタの設計で得たチャージ・ポンプ電流値を設定しなければなりません（図26参照）。

ロック・ディテクト機能（LDF）

DB8 ビットはロック・ディテクト機能を構成します。LDF は、ロックが完了したかどうかを確認するためのロック・ディテクト回路をモニターして、PFD のサイクル数をコントロールします。

DB8 が 0 に設定されると、モニターされた PFD サイクル数は 40 です。DB8 が 1 に設定された時、モニターされた PFD サイクル数は 5 です。フラクショナル N モードの時は DB8 を 0 に、インテジャー N モードの時は DB8 を 1 にそれぞれ設定することを推奨します。

ロック・ディテクト・プレジジョン（LDP）

ロック・ディテクト・プレジジョン・ビット（ビット DB7）はロック・ディテクト回路の比較ウィンドウを設定します。DB7 が 0 に設定されると比較ウィンドウは 10ns に、DB7 が 1 に設定されると 6ns になります。n 回の連続する PFD サイクルが、比較ウィンドウの値より小さい時、ロック・ディテクト回路はハイになります。n の値は LDF ビット（DB8）で設定します。例えば、DB8 = 0 で、DB7 = 0 なら、デジタル・ロック・ディテクトがハイになる前に、10ns で連続する PFD サイクルが 40、もしくはそれ以下である必要があります。

フラクショナル N アプリケーションの場合、ビット[DB8:DB7]の推奨設定値は 00 です。インテジャー N アプリケーションの場合、ビット[DB8:DB7]の推奨設定値は 11 です。

位相ディテクタ極性

DB6 ビットは位相ディテクタ極性を設定します。パッシブ・ループ・フィルタもしくは非反転アクティブ・ループ・フィルタを使う場合、このビットは 1 に設定しなければなりません。反転特性

を持つアクティブ・フィルタを使う場合は、このビットは 0 に設定しなければなりません。

パワーダウン（PD）

DB5 ビットは、プログラマブル・パワーダウン・モードを提供します。このビットを 1 に設定すると、パワーダウン・モードに入ります。このビットを 0 に設定すると、シンセサイザは通常の動作モードに復帰します。ソフトウェア・パワーダウン・モードでは、ADF4351 のレジスタ内のすべての情報は保持されます。電源電圧が失われた場合にのみ、レジスタの内容は失われてしまいます。

パワーダウン・モードがアクティブな時、以下のイベントが発生します。

- シンセサイザ・カウンタは強制的にロード・ステート状態になります。
- VCO への電源供給が止まります。
- チャージ・ポンプは強制的に、スリーステート・モードになります。
- デジタル・ロック・ディテクト回路はリセットされます。
- RF_{OUT} バッファはディスエーブルになります。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能な状態です。

チャージ・ポンプ・スリーステート

DB4 ビットを 1 に設定すると、チャージ・ポンプはスリーステート・モードに置かれます。このビットは通常動作の時は必ず 0 に設定しなければなりません。

カウンタ・リセット

DB3 ビットは、ADF4351 の R カウンタと N カウンタをリセットします。このビットが 1 に設定されると、RF シンセサイザの N カウンタと R カウンタはリセット状態を保持します。通常動作を行う場合には、このビットは 0 に設定しなければなりません。

レジスタ 3

制御ビット

ビット[C3:C1]が 011 に設定されると、レジスタ 3 がプログラムされます。図 27 にこのレジスタへプログラミングする際の入力データ形式を示します。

バンド・セレクト・クロック・モード

DB23 ビットを 1 に設定すると、バンド・セレクションはより高速なロジック・シーケンスに設定されます。これは高い PFD 周波数に適しており、高速ロック・アプリケーションでは必須です。

DB23 ビットの設定を 0 とするのは、低い PFD 周波数 (<125kHz) の場合にのみ推奨します。より高速なバンド・セレクト・モード (DB23 を 1 に設定) の場合、バンド・セレクト・クロック・デバイダの分周比は 254 以下に設定しなければなりません。

アンチバックラッシュ・パルス（ABP）

ビット DB22 は PFD のアンチバックラッシュ・パルスの幅を設定します。ビット DB22 が 0 に設定された時、PFD のアンチバックラッシュ・パルス幅は 6ns になります。この設定はフラクショナル N を使用する時に推奨されます。ビット DB22 が 1 に設定された時、PFD のアンチバックラッシュ・パルス幅は 3ns に設定されます。この結果、インテジャー N 動作時の位相ノイズとスプリアスが改善されます。フラクショナル N 動作では、3ns の設定は推奨しません。

チャージ・キャンセレーション

DB21 ビットを 1 に設定すると、チャージ・ポンプにおけるチャージ・キャンセレーションがイネーブルになります。インテジャー N モードにおける PFD スプリアス減少に効果があります。フラクショナル N モードでは、このビットは 0 に設定しなければなりません。

CSR イネーブル

DB18 ビットの設定を 1 にすると、サイクル・スリップ・リダクションがイネーブルになります。CSR はロック・タイム改善のための手法です。位相周波数検出器への入力信号はサイクル・スリップ・リダクションが働くように必ずデューティ・サイクル 50% を持つ信号にしてください。チャージ・ポンプの設定電流も最小値にしてください。詳細については、「より高速なロック・タイムのためサイクル・スリップ・リダクション」を参照ください。

クロック分周モード

Phase Resync (「PHASE RESYNC」参照) を起動させるには、ビット[DB16:DB15]を 10 に設定してください。高速ロック (「高速ロック・タイマーとレジスタ・シーケンス」参照) をイネーブルするには、これらのビットを 01 に設定してください。ビット[DB16:DB15]を 00 にするとクロック分周器をディスエーブルにできます。

12 ビットクロック分周器の値

ビット[DB14:DB3]は 12 ビットクロック分周器の値を設定します。この値は、Phase Resync (「PHASE RESYNC」参照) を開始するためのタイムアウト・カウンタです。クロック分周器の値は高速ロック (「高速ロック・タイマーとレジスタ・シーケンス」参照) のためのタイムアウト・カウンタも兼ねています。

レジスタ 4

制御ビット

ビット[C3:C1]に 100 が設定されるとレジスタ 4 がプログラムされます。図 28 にこのレジスタへプログラミングする際の入力データ形式を示します。

フィードバック・セレクト

DB23 ビットは、VCO 出力から N カウンタへのフィードバックの選択を設定するビットです。このビットが 1 に設定されると、信号は VCO から直接取り出されます。このビットが 0 に設定されると、信号は出力分周器の出力から取り出されます。この時この分周器は広い周波数レンジ (34.375MHz から 4.4GHz まで) をカバーすることが可能になります。分周器がイネーブルになりフィードバック信号が出力から取り出されると、2 つの別々に構成された PLL からの RF 出力信号は位相が一致した状態になります。これは、電力を増す必要がある信号のポジティブ・インターフェースを持ついくつかのアプリケーションにとって有用です。

RF 分周器セレクト

ビット[DB22:DB20]は RF 出力分周器 (図 28 参照) の値を選択します。

バンド・セレクト・クロック分周器の値

ビット[DB19:DB12]はバンド・セレクト・ロジック・クロック入力用のデバイダを設定します。デフォルトでは R カウンタの出力はバンド・セレクト・ロジック・クロックで使われている値です。しかし、その値が大きすぎた場合 (>125KHz)、分周器は R カウンタの出力を分周し小さな値になるように切り替えることができます (図 28 参照)。

VCO パワーダウン

DB11 ビットを 0 に設定すると、VCO の電源が入ります。このビットを 1 に設定すると VCO の電源が切れます。

ミュート・ティル・ロック・ディテクト (MTLD)

DB10 ビットを 1 に設定すると、デジタル・ロック・ディテクト回路によって、この ADF4351 がロック状態にあると計測されるまで、RF 出力ステージへの電源電流供給はシャットダウンされます。

AUX 出力セレクト

DB9 ビットは補助 RF 出力を設定します。DB9 が 0 に設定されると、補助 RF 出力は RF デバイダの出力となります。DB9 が 1 に設定されると、補助 RF 出力は VCO の基本周波数になります。

AUX 出力イネーブル

DB8 は、補助 RF 出力をイネーブル、もしくはディスエーブル状態にします。もし DB8 が 0 に設定されると、補助 RF 出力はディスエーブルになります。DB8 が 1 に設定されると、補助 RF 出力はイネーブルになります。

AUX 出力電力

ビット[DB7:DB6]は補助 RF 出力電力レベルを設定します (図 28 参照)。

RF 出力イネーブル

DB5 は、プライマリ RF 出力をイネーブル、もしくはディスエーブル状態にします。DB5 が 0 に設定されると、プライマリ RF 出力はディスエーブルになります。DB5 が 1 に設定されると、プライマリ RF 出力はイネーブルになります。

出力電力 Power

ビット[DB4:DB3]はプライマリ RF 出力電力レベルを設定します (図 28 参照)。

レジスタ 5

制御ビット

ビット[C3:C1]に 101 が設定されるとレジスタ 5 がプログラムされます。図 29 にこのレジスタへプログラミングする際の入力データ形式を示します。

ロック・ディテクト・ピンの動作状態設定

ビット[DB23:DB22]はロック・ディテクト・ピンの動作状態を設定します (図 29 参照)。

レジスタ初期化シーケンス

電源ピンへ適切な電圧を与えた後、最初の電源投入時に ADF4351 のレジスタは、以下のシーケンスで初期化されなければなりません。

1. レジスタ 5
2. レジスタ 4
3. レジスタ 3
4. レジスタ 2
5. レジスタ 1
6. レジスタ 0

RF シンセサイザ 動作例

ADF4351でシンセサイザを構成する時、以下の式を用いてプログラミングを行います。

$$RF_{OUT} = [INT + (FRAC/MOD)] \times (f_{PFD}/RF \text{ Divider}) \quad (3)$$

ここで、

RF_{OUT} は、RF出力信号周波数。

INT は、整数の分周係数。

$FRAC$ は、フラクショナル分周係数の分子(0 から $MOD - 1$)。

MOD は、プリセット・フラクショナル・モジュラス値 (2から4095)。

$RF \text{ Divider}$ は、VCO周波数を分周し、低い周波数とするための出力分周数。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (4)$$

ここで、

REF_{IN} は、基準信号の入力周波数。

D は、RF の REF_{IN} のダブラー設定ビット (0 または 1)。

R は、RF 基準信号の分周比 (1~1023)。

T は、基準信号を 2 分周回路設定ビット (0 または 1)。

この例では、UMTS システムが要求する 2112.6MHz 周波数出力を RF_{OUT} から発生させます。ここでは 10MHz の基準信号入力 (REF_{IN}) が使えて 200kHz のチャンネル分解能 (f_{RESOUT}) が必要であるとします。

ここで ADF4351 の VCO の動作範囲は 2.2GHz から 4.4GHz までであることを注意してください。それゆえ、RF 分周器を使って周波数を半分にしなければなりません。つまり VCO 周波数を 4225.2MHz に設定すれば、 RF_{OUT} は VCO 周波数を RF 分周器の値で割った値、すなわち 2112.6MHz にできます。

また、ループがどこで閉じているかが大変重要です。この例では、ループは出力分周器の前で閉じるようにしました (図 30 参照)。

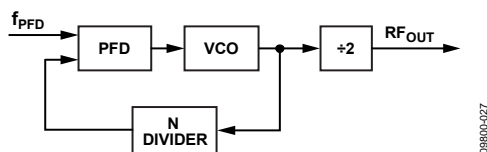


図 30. ループは出力分周器の前で閉じる

RF 分周器の出力で、200kHz の周波数分解能が要求されます。それゆえ、VCO (f_{RES}) 出力では f_{RESOUT} の 2 倍した周波数分解能が必要で、その値は 400kHz です。

$$MOD = REF_{IN}/f_{RES}$$

$$MOD = 10 \text{ MHz}/400 \text{ kHz} = 25$$

式 4 から、

$$f_{PFD} = [10 \text{ MHz} \times (1 + 0)/1] = 10 \text{ MHz} \quad (5)$$

$$2112.6 \text{ MHz} = 10 \text{ MHz} \times [(INT + (FRAC/25))/2] \quad (6)$$

ここで、

$INT = 422$

$FRAC = 13$

基準信号のダブラーと基準信号分周器

ICに内蔵された基準信号ダブラーは、入力基準信号の周波数を2倍にすることができます。基準信号の周波数を2倍にすると、PFDの比較信号周波数を2倍にします。すなわちシステムのノイズ特性を改善できます。PFDの周波数を2倍にすると、通常ノイズ特性が3dB改善されます。フラクショナルNモードでは、N分周器に於けるΣ-Δ回路のスピード制限により、32MHzより上の周波数ではPFDが動作できないことに注意してください。インジェクションモードを使うアプリケーションの場合、PFDは90MHzまで動作します。

基準信号 2 分周回路は、基準信号の周波数を 2 で割ります。その結果、PFD の周波数のデューティ・サイクルは 50% になります。これはサイクル・スリップ・リダクション (CSR) 機能が正常動作するための必須条件です。詳細については、「高速ロック時間のためのサイクル・スリップ・リダクション」を参考にしてください。

12 ビットプログラマブル・モジュラス

モジュラス値 (MOD) の選択は、得られる基準信号 (REF_{IN}) と RF出力に求められるチャンネル分解能 (f_{RES}) に依存します。例えば、13MHzの基準信号が得られるGSMシステムではモジュラス値を65に設定します。これはRF出力分解能 (f_{RES}) が、GSMシステムに必要な200kHz (13MHz/65) になることを意味します。デューティをオフにした場合、フラクショナル・スプリアスの間隔はモジュラスの値に依存します (表7参照)。

他のフラクショナル N PLL と違って、ADF4351 はモジュラス値を 12 ビットにわたってプログラミングすることができます。基準信号ダブラーと 10 ビット R カウンタ、さらに 12 ビットプログラマブル・モジュラスを組み合わせれば、このデバイスは、様々なアプリケーションに対して対応可能です。

例えば、200kHzのチャンネル分解能を持つ1.75GHzのRF周波数出力が必要なアプリケーションを考えてみましょう。この時システムは13MHzの基準信号を持っているとします。

ひとつの取り得る設定としては、13MHzの基準信号を直接PFDへ入力し、モジュラス値を65に設定するようにプログラムすることです。この結果200kHzの分解能が得られます。

他の取り得る設定は、基準信号ダブラーを使って13MHzから26MHzを作り出すことです。その26MHzをPFDへ入力し、モジュラス値を130と設定します。この設定でも結果として200kHzの分解能が得られます。ですが、最初の設定より優れた位相ノイズ特性を提供出来ます。

プログラマブル・モジュラス機能は、複数の規格を満足させなければならないアプリケーションにとっては大変有用です。例えば、デュアルモード携帯電話機が、PDCとGSM1800との2つの規格を必要としているとしましょう。この場合プログラマブル・モジュラス機能は大きな利点となります。

PDCは25kHzのチャンネル・ステップ分解能を必要とします。一方でGSM1800は200kHzのチャンネル・ステップ分解能が必要です。13MHzの基準信号をPFDに直接接続し、PDCの場合、モジュラス値を520にプログラムします (13MHz/520=25kHz)。一方GSM1800で動作させるためには、モジュラス値を65に設定するだけで対応できます (13MHz/65=200kHz)。

ここではPFD周波数 (この例では13MHz) を一定の値であることが重要です。これにより周波数安定度の問題に直面することなく、両方のセットアップに1つのループ・フィルタを設計するだけで良くなります。RF周波数とPFD周波数の比は、実際のチャンネル間隔ではなく、主にループ・フィルタの設計に影響を与えることに注意してください。

より高速なロック・タイムのためのサイクル・

スリップ・リダクション

「ローノイズとロー・スプリアス・モード」で説明したように、ADF4351はノイズ特性を最適化するための多くの機能を備えています。しかしながら、高速ロックが必要なアプリケーションの場合、一般的にループ・フィルタの帯域幅を広くしなければならず、フィルタはスプリアスを十分に抑制できません。サイクル・スリップ・リダクション機能をイネーブルにすれば、スプリアス抑制特性を維持するために、ループ帯域幅を狭く保った上で、高速ロック・タイムを可能にします。ここで、RF周波数に対するPFD周波数の比は、ループ・フィルタ設計に影響を及ぼしますが、実際のチャンネル間隔には影響しないことに注意して下さい。

サイクル・スリップ

インテジャータおよびフラクショナルNシンセサイザにおけるサイクル・スリップは、ループ帯域幅がPFDの周波数より狭い時に発生します。この時、PLLを正常動作させようとして、PFD入力における位相誤差が余りにも高速で蓄積してしまい、結果としてチャージ・ポンプの出力が一時的に間違った方向に動いてしまいます。この現象はロック・タイムを著しく低下させてしまいます。ADF4351はサイクル・スリップ・リダクション機能を備えており、PFDの線形領域を拡張します。これはループ・フィルタ回路の改造を行うことなく、より高速なロック・タイムを実現します。

この回路にサイクル・スリップが発生する可能性を検出すると、特別なチャージ・ポンプ電流セルをオンにします。このセルの出力は、一定電流をループ・フィルタに向かって流すか、ループ・フィルタから一定電流を取り去ります。これは新しい周波数を引き込むためにVCOのチューニング電圧を増やすか減らすかによって違ってきます。この動作によりPFDの線形領域が拡張します。この電流はパルス状の電流ではなく一定なので、ループの安定度は維持されます。

もしサイクル・スリップが発生しそうなポイントで、再度位相誤差が増加した場合、ADF4351はもう一つのチャージ・ポンプ・セルを動作させます。新たなチャージ・ポンプ・セルの動作は、ADF4351のVCO周波数が望ましい周波数を超えるまで続きます。余分なチャージ・ポンプ・セルがすべてディスエーブルになり、周波数が本来のループ・フィルタ帯域幅に落ち着くまで、チャージ・ポンプ・セルを一つずつオフにしてゆきます。

最大7個までの特別なチャージ・ポンプ・セルをオンにできます。ほとんどのアプリケーションでは、7つのセルはサイクル・スリップを完全に排除するには十分な数であり、これによりさらに高速なロック・タイムを提供できます。

レジスタ3のビットDB18を1に設定すると、サイクル・スリップ・リダクションがイネーブルになります。ここで、PFDへの入力信号のデューティ・サイクルは、CSRが正常動作するために45%から55%であることに注意してください。REF_{IN}周波数が適切なデューティ・サイクルを保持していない場合、レジスタ2のビットDB24を設定してRDIV2をイネーブルしてください。そうすることでPFDへの入力信号は必ず50%のデューティ・サイクルになります。

スプリアスの最適化と高速ロック

狭いループ・フィルタ帯域幅を持たせれば、望まないスプリアス信号を取り除くことができます。しかし、狭い帯域幅は通常ロック・タイムが長くなります。広い帯域幅は、より高速なロック・タイムを実現出来ませんが、ループ帯域幅内のスプリアス信号を増加させてしまうかもしれません。

高速ロック機能は、広い帯域幅と同じ高速なロック・タイムを実現しながらも、狭いループ帯域幅の長所である低いスプリアス特性を維持できます。

高速ロック・タイマーとレジスタ・シーケンス

高速ロック・モードを使う場合、広帯域幅モードをどれくらい続けるかその長さを決めるため、タイマーの値をPLLにロードしなければなりません。

レジスタ3のビット[DB16:DB15]を01（高速ロック・イネーブル）にすると、タイマーの値が12ビット・クロック・デバイダ値（レジスタ3のビット[DB14:DB3]）によってロードされます。高速ロックが使えるようにプログラムするためには、以下のシーケンスを踏む必要があります。

1. 初期化シーケンスを開始します（「レジスタ初期化シーケンス」参照）。このシーケンスは、ADF4351の電源投入直後にしか発生しません。
2. ビット[DB16:DB15]を01としてレジスタ3にロードし、続いて高速ロック・タイマーの値の設定をおこないます。設定ビットはビット[DB14:DB3]です。PLLが広帯域幅モードを維持する期間は高速ロック・タイマー値を f_{PFD} で割った値です。

高速ロックの例

PLLの基準周波数が13MHz、 f_{PFD} も13MHzで、必要なロック・タイムを60 μs とすると、PLLの広帯域幅モードの期間を20 μs と設定します。VCOのキャリブレーション時間20 μs も含めておく必要があります。これはレジスタ3のビットDB23を使って、高いバンド・セレクト・クロック・モードにプログラミングすることで実現できます。

PLLのロック・タイムが、PLLの広帯域幅モードである20 μs に設定されたとすると、

$$\text{Fast Lock Timer Value} = (\text{VCO Band Select Time} + \text{PLL Lock Time in Wide Bandwidth}) \times f_{\text{PFD}} / \text{MOD}$$

$$\text{Fast Lock Timer Value} = (20 \mu\text{s} + 20 \mu\text{s}) \times 13 \text{ MHz} / 65 = 8$$

したがって、計算値「8」をクロック・デバイダ値として、レジスタ3にロードしなければなりません（「高速ロック・タイマーとレジスタ・シーケンス」のステップ2を参照）。

高速ロック・ループ・フィルタのトポロジ

高速ロック・モードを使うには、広帯域モードの期間中ループ・フィルタ内のダンピング抵抗を 1/4 に減らす必要があります。さらに広帯域モードのループ・フィルタを実現するにはチャージ・ポンプの電流を 16 倍にし、ループの安定性を確保するために、ダンピング抵抗の値を 1/4 にしなければなりません。高速ロックをイネーブルにするには、レジスタ 3 の、ビット[DB16:DB15]を 01 と設定して、SW ピンと AGND とをショート接続する必要があります。以下に示す 2 つのトポロジが考えられます。

- ダンピング抵抗 (R1) を 2 つの値に分けます (R1 と R1A)。その比率は 1:3 とします (図 31 参照)。
- 追加の抵抗 (R1A) を、図 32 に示すように SW から直接接続するようにします。追加の抵抗 (R1A) の値は、ダンピング抵抗 (R1) と追加の抵抗を並列接続した時に、R1 本来の値の 1/4 になるように決めます。

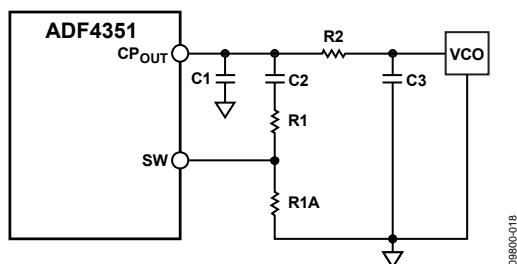


図 31. 高速ロック・ループ・フィルタ・トポロジ 1

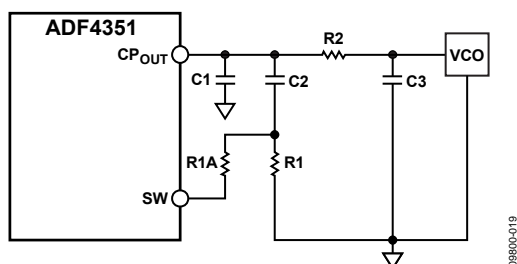


図 32. 高速ロック・ループ・フィルタ・トポロジ 2

スプリアス発生メカニズム

このセクションでは、フラクショナル N シンセサイザにおける、3 つの違ったスプリアス発生メカニズムを解説し、ADF4351 を使ってこれらを最小化する方法を解説します。

フラクショナル・スプリアス

The ADF4351 に搭載されているフラクショナル・インターポレータは 3 次の Σ - Δ 変調器で、そのモジュラス値 (MOD) は、2 から 4095 までのいかなる整数値でもプログラミングすることができます。低スプリアス・モード (ディザ ON) において、MOD の最小受け入れ可能値は 50 です。 Σ - Δ 変調器は PFD の基準信号レート (f_{PFD}) で計数されるので、PLL 出力周波数が $f_{\text{PFD}}/\text{MOD}$ で計算されるチャンネル・ステップ分解能と同期できるようになります。

ローノイズ・モード (ディザ OFF) の時、 Σ - Δ 変調器から量子化ノイズがフラクショナル・スプリアスとして表れます。スプリアス周波数の間隔は、 f_{PFD}/L です。ここで L は、デジタル Σ - Δ 変調器内の符号系列の反復長です。ADF4351 が搭載している 3 次の Σ - Δ 変調器の反復長は、MOD の値に依存します (表 7 参照)

表 7. ディザ OFF 時のフラクショナル・スプリアス (ローノイズ・モード)

MOD 値 (ディザ OFF)	反復長	スプリアス間隔
MOD 値が 2 では割り切れるが 3 では割り切れない	$2 \times \text{MOD}$	チャンネル・ステップの 1/2
MOD 値が 3 では割り切れるが 2 では割り切れない	$3 \times \text{MOD}$	チャンネル・ステップの 1/3
MOD 値が 6 で割り切れる	$6 \times \text{MOD}$	チャンネル・ステップの 1/6
MOD 値が 2, 3, 6 いずれでも割り切れない	MOD	チャンネル・ステップ

ロー・スプリアスモード (ディザ ON) では、反復長が 2^{21} サイクルまで長くなってしまいますので、MOD 長に関係なく、量子化誤差によるスペクトラムは広帯域ノイズの様に見えてしまいます。これは PLL 出力における帯域内位相ノイズを 10dB ほど悪化させます。さらに低い位相ノイズを得るには、ディザ OFF がより適切な選択でしょう。特に最終的なループ帯域幅が、最も低いフラクショナル・スプリアス周波数を減衰させるのに十分に低い値が得られれば、ディザ OFF にすべきです。

整数値境界スプリアス

フラクショナル・スプリアスが発生する他のメカニズムとしては、RF VCO 周波数と基準信号周波数との干渉があります。これらの周波数は整数倍の関係にないため (これこそがフラクショナル N シンセサイザの目的です)、スプリアスのサイドバンドは、2 つの周波数のビート信号、もしくは整数倍された基準信号と VCO 信号との差分周波数成分が、VCO 出力スペクトラムに対するオフセット信号として表れます。これらのスプリアスは、ループ・フィルタによって減衰しますが、基準信号の整数倍に近いチャンネルでは顕著になります。この差分周波数はループ・バンド幅内に存在するからです (従ってこのスプリアスの名前が整数値境界スプリアスと呼ばれます)。

基準信号によるスプリアス

基準信号によるスプリアスは通常、フラクショナル N シンセサイザではあまり問題になりません。なぜなら基準信号のオフセット値はループ帯域幅からは大きくかけ離れたところにあるからです。しかしながら、ループをバイパスしてしまう基準信号のフィードスルー・メカニズムは問題を引き起こします。オンチップ・リファレンス・スイッチング・ノイズによって、VCO にカップリングしている低レベルフィードスルーが、基準信号によるスプリアスを引き起こし、その値は -80dBc 程度になります。PCB レイアウトを行う際、ボード上での可能なフィードスルー・パスを避けるために、VCO 回路と基準信号入力との間に十分なアイソレーションを確保する必要があります。

適正なスプリアス・レベルとフラクショナル・スプリアスの最適化

ディザを OFF にした時、 Σ - Δ 変調器の量子化ノイズによるフラクショナル・スプリアスのパターンは、変調器にて発生した、特定の位相ワードに依存します。

位相ワードは、特定の周波数におけるフラクショナルおよびサブ・フラクショナル・スプリアス・レベルを最適化するために変化させることができます。従って、ADF4351 のプログラミング時に使用する目的で、各周波数に対応する位相値のルックアップ・テーブルを作ることができます。

もしルックアップ・テーブルを使わないなら、特定の周波数でも適正なスプリアス・レベルが得られるように、一定の位相ワード値を保持してください。

PHASE RESYNC

フラクショナル N PLL の出力は、入力基準信号に対して幾つかの MOD 位相オフセット値を持ちますが、そのうちの 1 つ値のみに固定することができます。ADF4351 の Phase Resync 機能を使えば、入力基準信号に対して一定の位相オフセット値を持たせることができます。このような一定の位相オフセット値を持たせる事は、出力の位相と周波数が重要なアプリケーション、例えばデジタル・ビーム・フォーミングなどのアプリケーションでは必須です。Phase Resync 機能を使って RF 出力に特定の位相値を持たせるようにプログラミングする方法に関しては「位相プログラマビリティ」を参照ください。

Phase Resync 機能をイネーブルにするには、レジスタ 3 のビット [DB16:DB15] を 10 に設定してください。Phase Resync がイネーブルになると、内部タイマーが、以下の式で与えられる t_{SYNC} の間隔を持った同期信号を発生します。

$$t_{\text{SYNC}} = \text{CLK_DIV_VALUE} \times \text{MOD} \times t_{\text{PFD}}$$

ここで、 CLK_DIV_VALUE は、レジスタ 3 のビット [DB14:DB3] にプログラミングされた値を 10 進数で表した値です。この値は、整数で 1 から 4095 のいずれかの値になります。

MOD は、レジスタ 1 (R1) のビット [DB14:DB3] にプログラミングされたモジュラス値です。

t_{PFD} は、基準信号の周期です。

新しい周波数がプログラミングされると、LE の立ち上がりエッジの後に発生する第 2 の同期パルスが、出力信号と基準信号とを再同期するために使われます。 t_{SYNC} 時間は、少なくとも最悪のロック・タイムより長い時間をプログラミングする必要があります。この設定で Phase Resync は、PLL のセトリング時間内で最後のサイクル・スリップの直後に行われることが保証されます。

図 33 に示した例では、PFD 基準周波数は 25MHz で、200kHz のチャンネル・スペースを得るため MOD=125 になっています。 t_{SYNC} 時間は、 $\text{CLK_DIV_VALUE} = 80$ と設定することで 400 μs に設定されています。

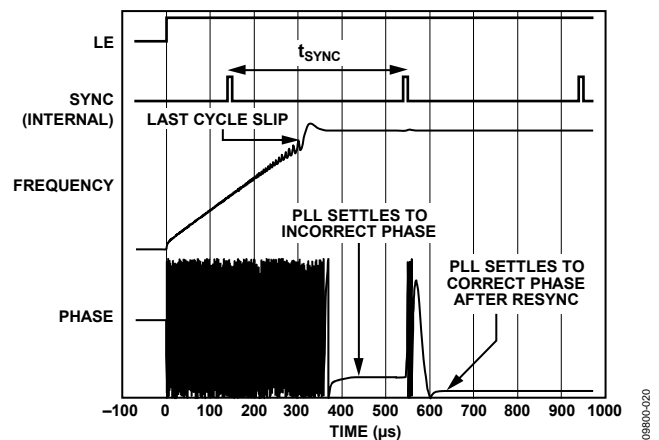


図 33. Phase Resync の例

位相プログラマビリティ

レジスタ 1 の位相ワードは RF 出力の位相をコントロールします。このワードを 0 から MOD 値まで変化させると、RF 出力の位相を 360° まで $360^\circ / \text{MOD}$ のステップで変化させることができます。多くのアプリケーションでは、レジスタ 1 のビット DB28 の値を 1 に設定して、VCO のバンド・セレクション機能をディスエーブルすることが賢明な選択といえます。この設定を行うと位相調整機能が選択できます。

高い PFD 周波数

VCO のバンド・セレクションは、適切な周波数設定のために、正しい VCO バンドを選択するために必要な機能です。VCO バンド・セレクションをハイ VCO バンド・セレクト・モード (レジスタ 1 のビット DB23 を 1) に設定すると、PFD は最高 45MHz の周波数で動作することができます。

PFD を 45MHz 以上の周波数で動作させたい場合は、以下のステップで行うことを推奨します。

1. 位相調整をディスエーブル (レジスタ 1 のビット DB28 を 0 に設定) にした上で、必要な VCO 周波数をプログラムしてください。この時、PFD の動作周波数が 45MHz 以下であることを確認してください。
2. 正しい周波数が得られた後、位相調整をイネーブル (レジスタ 1 のビット DB28 を 1 に設定) にしてください。
3. 32MHz より高い周波数であっても、PFD への入力が可能です。その時の条件はインテジャー N のアプリケーションに限られます。従ってアンチバックラッシュ・パルス幅を 3ns (レジスタ 3 のビット DB22 を 1) に設定してください。
4. 必要とされる PFD 周波数で使用するため、基準信号の R カウンタとフィードバック N カウンタを適切な値にプログラムしてください。

この手順を使うと、帯域内位相ノイズの実効値を最小にできます。

アプリケーション情報

ダイレクト・コンバージョン変調器

ダイレクト・コンバージョン・アーキテクチャは、携帯電話基地局の送信機への実装形態として増加傾向にあります。図 34 に、このようなシステムに対して、アナログ・デバイスの部品がどのように使われているかを示します。

図 34 では、ADL5375 と共に AD9788 TxDAC[®] がどのように使われているかを示します。±2% のゲイン誤差、±0.001% のオフセット誤差を持つ AD9788 の様な、2 つの DAC が統合されたデバイスを使うと、(広い温度範囲で) シグナル・チェーンにおける、この回路部分が全体に与える誤差要因を最小限に抑えることができます。

ローカル発振器 (LO) は ADF4351 を使って実現されています。ローパス・フィルタは、ADIsimPLL[®] を使って、チャンネル間隔 200kHz、クロード・ループ帯域幅を 35kHz と設計されています。

AD5375 の LO ポートは ADF4351 の相補 RF_{OUTA±} からの差動信号で駆動されます。この設定はシングルエンド信号で LO を駆動するより、より良い特性を得ることができ、ADL5375 入力が必要とする差動入力信号をバランで作る必要がありません。この構成時、LO の代表的な rms 位相ノイズ (100Hz から 5MHz) は 0.61°rms です。

ADL5375 は、LO を駆動するレベルとして -6dBm から +6dBm まで受け付けます。ADF4351 は ADL5375 に対して最適な LO 電力をソフトウェアによってプログラムでき、差動出力のそれぞれから -4dBm から +5dBm まで変化させることができます。

RF 出力は 50Ω 負荷を駆動できるように設計されています。しかし図 34 に示すように、必ず AC カップリングで接続してください。I と Q 入力が 2V p-p で直交駆動されているとすると、ADL5375 変調器の出力電力はおおよそ +2dBm です。

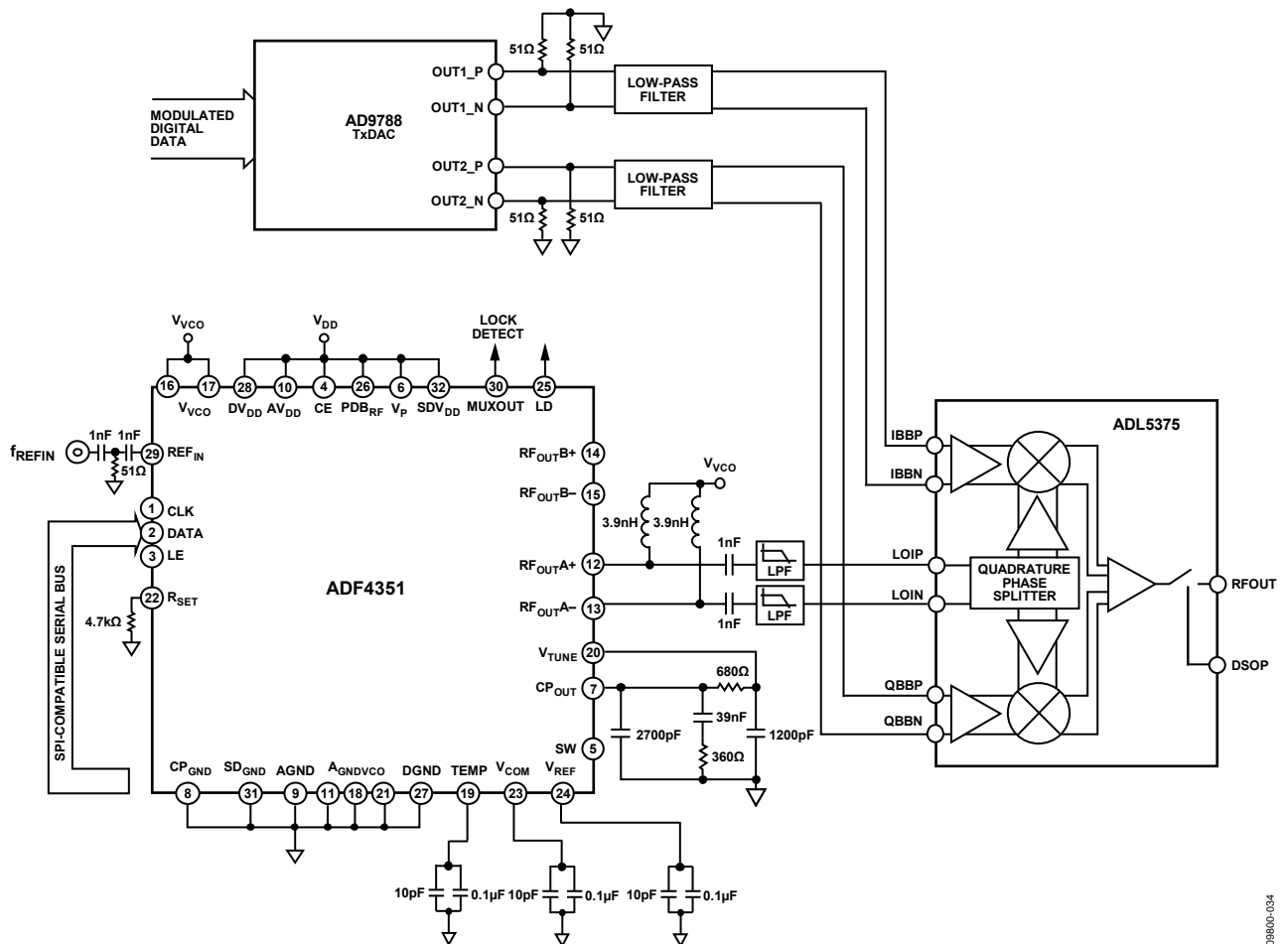


図 34. ダイレクト・コンバージョン変調器

09800-034

ADuC70xx と ADSP-BF527 とのインターフェース

ADF4351 は他のデバイスとの接続用に SPI 互換のシンプルなインターフェースを備えています。CLK、DATA、そして LE ピンがデータ転送を制御します。LE が「ハイ」になった時、32 ビット・データが CLK の各立ち上がりエッジで、指定されたレジスタに送られ、レジスタ内の各ラッチに格納されます。タイミング・ダイアグラムに関しては図 2 を、レジスタのアドレス・テーブルに関しては表 6 を参照してください。

ADuC70xx とのインターフェース

図 35 に ADF4351 と ADuC70xx ファミリー・アナログ・マイクロコントローラとのインターフェースを示します。ADuC70xx ファミリーは ARM7 コアベースですが、同様のインターフェースは 8051 ベースのマイクロコントローラでも実現出来ます。

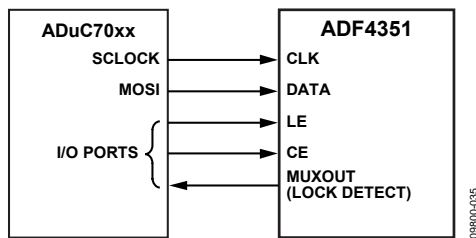


図 35. ADuC70xx と ADF4351 とのインターフェース

マイクロコントローラは、CPHA=0 で SPI のマスター・モードに設定されます。レジスタ・データ転送を行う前に、ADF4351 の LE を駆動する I/O ポートがローレベルに遷移します。ADF4351 の各ラッチは 32 ビットワードが必要で、マイクロコントローラからこのデバイスへは、8 ビット単位で 4 回書き込んで全データ書き込みが終了します。4 回目の書き込みが終了すると、転送を終了するためには、LE 入力をハイレベルに遷移させます。

電源を ADF4351 に最初に与えた時、そのデバイスの出力をアクティブにするため、6 回の書き込み（それぞれ、R5、R4、R3、R2、R1、R0 の順）が必要です。

マイクロコントローラの I/O ポートラインは、パワーダウン入力 (CE) をコントロールするために用いられ、ロックの検出にも使われます (MUXOUT をロック・ディテクトとし、ポート入力によって、それがポーリングされる用に構成する必要があります)。

これまで説明してきたモードで動作させると、ADuC70xx の SPI の最大転送レートは 20Mbps です。従って ADF4351 の出力周波数は、最大 833kHz で変化することを意味します。もし SPI クロックを最高速で使う場合、表 2 に示した SPI タイミング要件を遵守していることを必ず確認してください。

ADSP-BF527 とのインターフェース

図 36 は ADF4351 と Blackfin® ADSP-BF527 デジタル・シグナル・プロセッサ (DSP) とのインターフェースを示しています。ADF4351 は、各ラッチに 32 ビットのシリアル・ワードを書き込まなければいけません。Blackfin ファミリーを使った最も簡単な方法は、オルタネート・フレーミングを使って、オートバッファ転送モードで動作させることです。このモードは割り込みが発生する前にシリアル・データのすべてを一度に転送する手段を提供します。

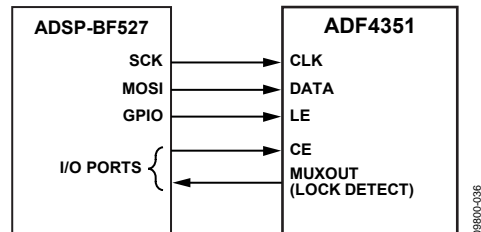


図 36. ADSP-BF527 と ADF4351 とのインターフェース

8 ビットをワード長と設定し、各 32 ビット・ワードのために 4 つのメモリ・ロケーションを用います。32 ビットの各ラッチをプログラムするため、4 つの 8 ビット・バイトを記憶し、オートバッファ転送モード

をイネーブルにして DSP の転送レジスタに書き込みます。この最後の操作でオートバッファ転送が起動します。この時も表 2 にある SPI のタイミング要件を遵守していることを確認してください。

チップ・スケール・パッケージのための PCB デザイン・ガイドライン

チップ・スケール・パッケージ (CP-32-2) のランドは正方形です。これらランドのための PCB パッドは、パッケージのランド長さより 0.1mm 長くし、パッケージのランド幅より 0.05mm 広くしてください。各ランドはパッドの中央に配置し、ハンダ接続を最大化できるようになっていることを確認してください。

チップ・スケール・パッケージの底面中心部にはサーマル・パッドが露出しています。PCB 上のサーマル・パッドは、SCP の露出しているサーマル・パッドと最低限同じか少し大きくしてください。PCB 上では、サーマル・パッドとパッド・パターンの内側エッジとの間隔は、ショートを避けるため最低限 0.25mm 離してください。

パッケージの放熱特性向上させるために、PCB のサーマル・パッドにサーマル・ビアを使うこともできます。ビアと使った場合、それらはサーマル・パッド内に 1.2mm ピッチで配置してください。ビアの直径は 0.3mm から 0.33mm の間にし、ビア・パレルは 1 オンスの銅でメッキして、ビア内部を確実に接続しておく必要があります。

出力のマッチング

最適動作をさせるため、ADF4351の出力は幾つかの方法でマッチングを取る必要があります。最も基本的な方法は、50Ωの抵抗をV_{VCO}に接続することです。続いて図37に示すように100pFのACバイパス用コンデンサを直列接続します。抵抗は周波数依存がないので、良いマッチング特性を広帯域で得られます。50Ωの負荷抵抗を接続すると、その差動出力電力は、レジスタ4 (R4) のビット[DB4:DB3]で設定した値と等しくなります。

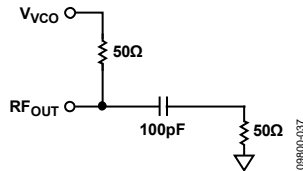


図 37. シンプルな出力段

より良い手段としては、シャント・インダクタ (RF チョークの働きをする) を V_{VCO} に接続する方法があります。この手段を使うと、より良いマッチング特性と大きな出力電力を得られます。

図 38 に示した回路で実験してみたところ、W-CDMA UMTS バンド (2110MHz から 2170MHz) で 50Ω に対して素晴らしいマッチング特性が得られました。この場合の最大出力電力はおおよそ 5dBm でした。これら 2 つのシングルエンド構造における実験は、EVAL-ADF4351EB1Z 評価用ボードにて行うことができます。

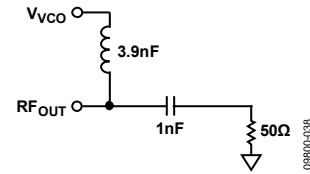


図 38.最適化された出力段

差動出力が不要なら、未使用の端子は終端するか、2つの出力端子をバランで結合して使うこともできます。ディスクリートのインダクタやコンデンサを使ったバランは、図 39 に示したようなアーキテクチャで実装できます。LC バランは、部品 L1 と部品 C1 で構成されます。L2 は RFOUT- への DC 経路を提供し、コンデンサ C2 は DC 阻止用に用いられています。

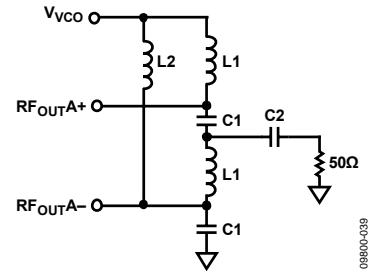
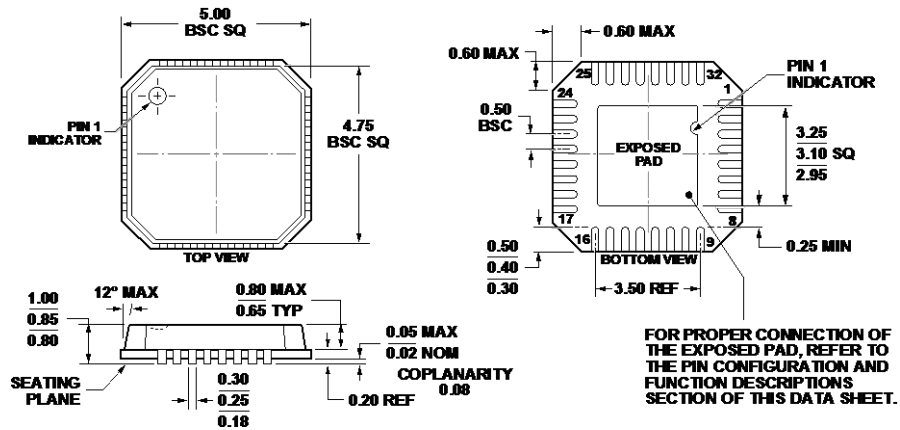


図 39.ADF4351 のための LC バラン

表 6. LC バラン部品

Frequency Range (MHz)	Inductor L1 (nH)	Capacitor C1 (pF)	RF Choke Inductor L2 (nH)	DC Blocking Capacitor C2 (pF)	Measured Output Power (dBm)
137 to 300	100	10	390	1000	9
300 to 460	51	5.6	180	120	10
400 to 600	30	5.6	120	120	10
600 to 900	18	4	68	120	10
860 to 1240	12	2.2	39	10	9
1200 to 1600	5.6	1.2	15	10	9
1600 to 3600	3.3	0.7	10	10	8
2800 to 3800	2.2	0.5	10	10	8

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

図 23. 32 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
 5 mm × 5 mm ボディ、極薄、クワッド
 (CP-32-2)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADF4351BCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
ADF4351BCPZ-RL7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
EVAL-ADF4351EB1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。