

特長

- 6 GHz までの RF 帯域幅
- 25 ビット固定係数で 1 Hz 未満の周波数分解能を実現
- 電源電圧 : 2.7~3.3 V
- 別電源 V_P でチューニング電圧の拡張が可能
- プログラマブルなチャージ・ポンプ電流
- 3 線式シリアル・インターフェース
- デジタル・ロック検出
- パワーダウン・モード
- ピン互換の周波数シンセサイザ :
ADF4110/ADF4111/ADF4112/ADF4113/
ADF4106/ADF4153/ADF4154/ADF4156
- 高速ロック時間を保証するサイクル・スリップ低減回路

アプリケーション

- 衛星通信端末、レーダー機器
- 計測器
- パーソナル移動無線 (PMR)
- 移動無線用の基地局
- 携帯電話

概要

ADF4157 は 25 ビット固定係数分周器を備えた 6 GHz フラクショナル N 周波数シンセサイザであり、6 GHz で超微細の周波数分解能を提供します。低ノイズのデジタル位相周波数検出器 (PFD)、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器から構成されています。搭載するシグマ・デルタ ($\Sigma\Delta$) ベースのフラクショナル・インターポレータによって、フラクショナル N 分周の設定が可能です。INT レジスタと FRAC レジスタで、N 分周器全体 ($N = INT + (\text{FRAC}/2^{25})$) を定義します。ADF4157 のサイクル・スリップ低減回路は、ループ・フィルタに変更を加えることなく、より高速のロック時間を実現します。

内蔵のレジスタはすべて、シンプルな 3 線式インターフェースを介して制御します。ADF4157 は 2.7~3.3 V の電源で動作し、未使用時にはパワーダウンできます。

機能ブロック図

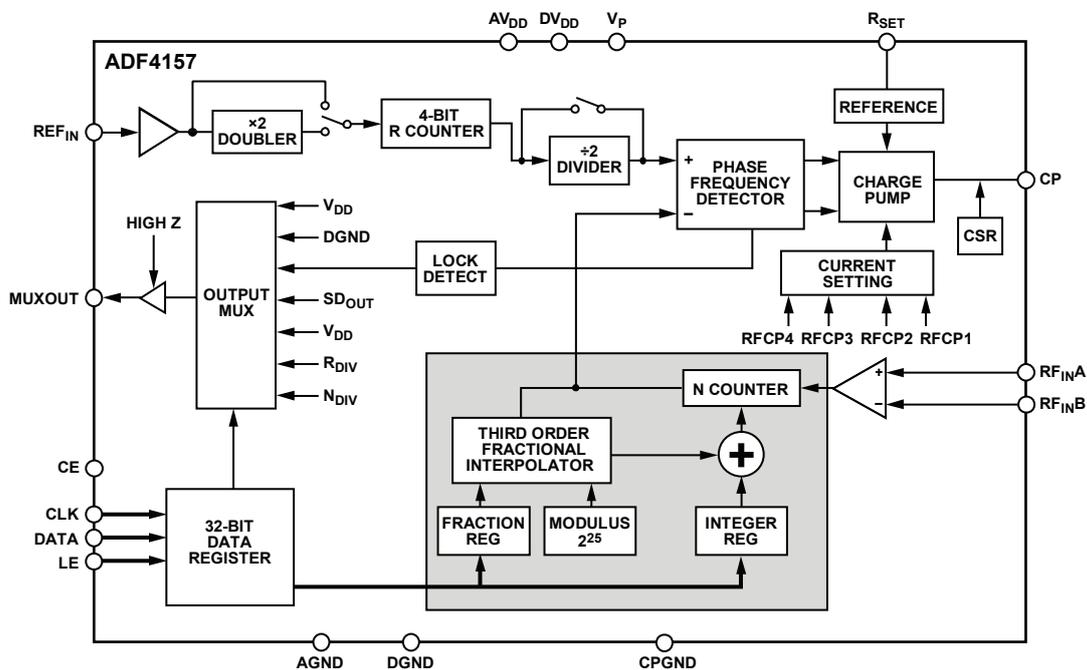


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	入力シフト・レジスタ.....	9
アプリケーション.....	1	プログラム・モード.....	9
概要.....	1	レジスタ・マップ.....	10
機能ブロック図.....	1	FRAC/INT レジスタ (R0) マップ.....	11
改訂履歴.....	2	LSB FRAC レジスタ (R1) マップ.....	12
仕様.....	3	R 分周レジスタ (R2) マップ.....	13
タイミング仕様.....	4	ファンクション・レジスタ (R3) マップ.....	15
絶対最大定格.....	5	テスト・レジスタ (R4) マップ.....	16
熱抵抗.....	5	アプリケーション情報.....	17
ESD に関する注意.....	5	初期化シーケンス.....	17
ピン配置と機能の説明.....	6	RF シンセサイザ：具体例.....	17
代表的な性能特性.....	7	リファレンス・ダブラおよびリファレンス分周器.....	17
回路の説明.....	8	高速ロック時間のためのサイクル・スリップ低減.....	17
リファレンス入力部.....	8	スプリアス・メカニズム.....	18
RF 入力段.....	8	低周波アプリケーション.....	18
RF INT 分周器.....	8	フィルタの設計—ADISIMPLL.....	18
25 ビット固定係数.....	8	インターフェース.....	18
INT、FRAC、R の関係.....	8	CSP パッケージの PC ボード設計ガイドライン.....	18
RF R カウンタ.....	8	外形寸法.....	19
位相周波数分周器 (PFD) とチャージ・ポンプ.....	9	オーダー・ガイド.....	19
MUXOUT とロック検出.....	9		

改訂履歴

7/07—Revision 0: Initial Revision

仕様

特に指定のない限り、 $AV_{DD} = DV_{DD} = 2.7 \sim 3.3$ V、 $V_P = AV_{DD} \sim 5.5$ V、 $AGND = DGND = 0$ V、 $T_A = T_{MIN} \sim T_{MAX}$ 、dBm は 50Ω を基準。

表 1.

Parameter	B Version ¹	Unit	Test Conditions/Comments
RF CHARACTERISTICS (3 V)			
RF Input Frequency (RF _{IN})	0.5/6.0	GHz min/max	-10 dBm/0 dBm min/max. For lower frequencies, ensure slew rate (SR) > 400 V/μs.
REFERENCE CHARACTERISTICS			
REF _{IN} Input Frequency	10/300	MHz min/max	For f < 10 MHz, ensure slew rate > 50 V/μs.
REF _{IN} Input Sensitivity	0.4/AV _{DD} 0.7/AV _{DD}	V p-p min/max V p-p min/max	For 10 MHz < REF _{IN} < 250 MHz. Biased at AV _{DD} /2 ² . For 250 MHz < REF _{IN} < 300 MHz. Biased at AV _{DD} /2 ² .
REF _{IN} Input Capacitance	10	pF max	
REF _{IN} Input Current	±100	μA max	
PHASE DETECTOR			
Phase Detector Frequency ³	32	MHz max	
CHARGE PUMP			
I _{CP} Sink/Source			Programmable.
High Value	5	mA typ	With R _{SET} = 5.1 kΩ.
Low Value	312.5	μA typ	
Absolute Accuracy	2.5	% typ	With R _{SET} = 5.1 kΩ.
R _{SET} Range	2.7/10	kΩ min/max	
I _{CP} Three-State Leakage Current	1	nA typ	Sink and source current.
Matching	2	% typ	0.5 V < V _{CP} < V _P - 0.5.
I _{CP} vs. V _{CP}	2	% typ	0.5 V < V _{CP} < V _P - 0.5.
I _{CP} vs. Temperature	2	% typ	V _{CP} = V _P /2.
LOGIC INPUTS			
V _{INH} , Input High Voltage	1.4	V min	
V _{INL} , Input Low Voltage	0.6	V max	
I _{INH} /I _{INL} , Input Current	±1	μA max	
C _{IN} , Input Capacitance	10	pF max	
LOGIC OUTPUTS			
V _{OH} , Output High Voltage	1.4	V min	Open-drain 1 kΩ pull-up to 1.8 V.
V _{OH} , Output High Voltage	V _{DD} - 0.4	V min	CMOS output chosen.
V _{OL} , Output Low Voltage	0.4	V max	I _{OL} = 500 μA.
POWER SUPPLIES			
AV _{DD}	2.7/3.3	V min/V max	
DV _{DD}	AV _{DD}		
V _P	AV _{DD} /5.5	V min/V max	
I _{DD}	29	mA max	23 mA typical.
Low Power Sleep Mode	10	μA typ	
NOISE CHARACTERISTICS			
Phase Noise Figure of Merit ⁴	-207	dBc/Hz typ	
ADF4157 Phase Noise Floor ⁵	-137	dBc/Hz typ	@ 10 MHz PFD frequency.
	-133	dBc/Hz typ	@ 25 MHz PFD frequency.
Phase Noise Performance ⁶			@ VCO output.
5800 MHz Output ⁷	-87	dBc/Hz typ	@ 2 kHz offset, 25 MHz PFD frequency.

¹ Bバージョンの動作温度：-40～+85°C。

² ACカップリングでAV_{DD}/2バイアスを保証。

³ 設計により保証。適合性を保証するためにサンプル・テストを実施。

⁴ この数値を使用して、任意のアプリケーションの位相ノイズを計算できます。VCO出力に見られるように、 $-207 + 10\log(f_{PFD}) + 20\log N$ という式を使って帯域内位相ノイズ性能を計算します。

⁵ シンセサイザの位相ノイズ・フロアは、VCOの出力で帯域内位相ノイズを測定し、 $20\log N$ (NはN分周器の値)を減算して求められます。

⁶ 位相ノイズはEVAL-ADF4157EB1ZおよびAgilentのE5052A位相ノイズ・システムを用いて測定されています。

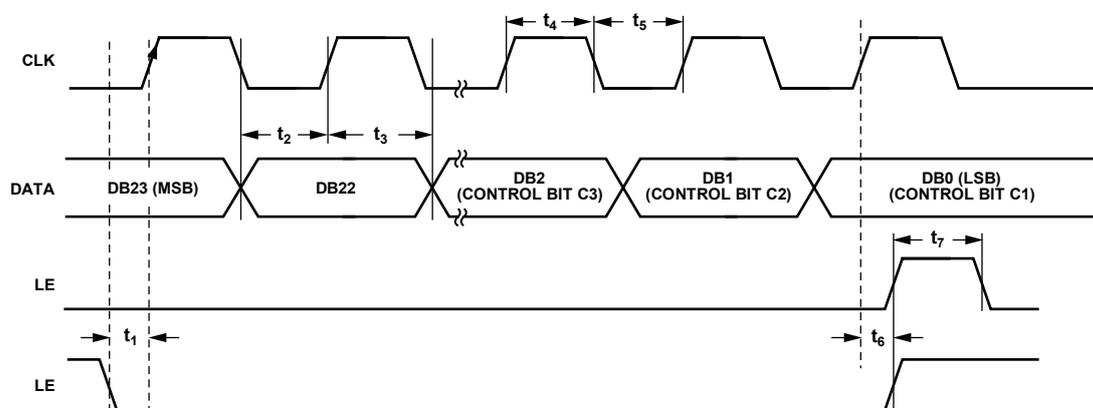
⁷ f_{REFIN} = 100 MHz、f_{PFD} = 25 MHz、オフセット周波数 = 2 kHz、RF_{OUT} = 5800.25 MHz、N = 232、ループ帯域幅 = 20 kHz。

タイミング仕様

特に指定のない限り、 $AV_{DD} = DV_{DD} = 2.7 \sim 3.3$ V、 $V_P = AV_{DD} \sim 5.5$ V、 $AGND = DGND = 0$ V、 $T_A = T_{MIN} \sim T_{MAX}$ 、dBm は 50Ω を基準。

表 2.

Parameter	Limit at T_{MIN} to T_{MAX} (B Version)	Unit	Test Conditions/Comments
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLOCK setup time
t_3	10	ns min	DATA to CLOCK hold time
t_4	25	ns min	CLOCK high duration
t_5	25	ns min	CLOCK low duration
t_6	10	ns min	CLOCK to LE setup time
t_7	20	ns min	LE pulse width



06974-002

図 2. タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{GND} = \text{AGND} = \text{DGND} = 0\text{ V}$ 、 $V_{\text{DD}} = \text{AV}_{\text{DD}} = \text{DV}_{\text{DD}}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +4 V
V_{DD} to V_{DD}	-0.3 V to +0.3 V
V_P to GND	-0.3 V to +5.8 V
V_P to V_{DD}	-0.3 V to +5.8 V
Digital I/O Voltage to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
Analog I/O Voltage to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
REF_{IN} , RF_{IN} to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
Operating Temperature Range	
Industrial (B Version)	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Maximum Junction Temperature	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表 4. 熱抵抗

Package Type	θ_{JA}	Unit
TSSOP	112	$^\circ\text{C}/\text{W}$
LFCSP (Paddle Soldered)	30.4	$^\circ\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

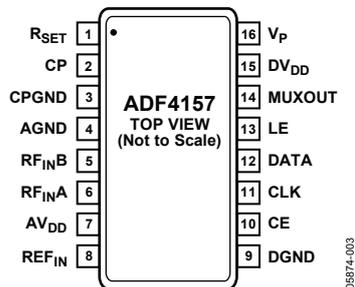


図 3. TSSOP ピン配置

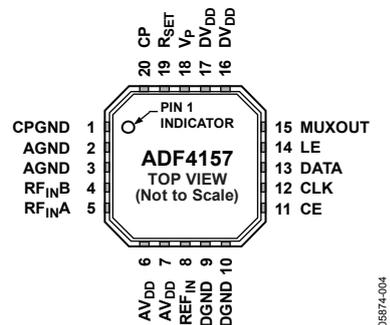


図 4. LFCSP ピン配置

表 5. ピン機能の説明

TSSOP	LFCSP	記号	説明
1	19	R _{SET}	このピンとグラウンドの間に抵抗を接続することにより最大チャージ・ポンプ出力電流が設定されます。I _{CP} とR _{SET} の関係は次式で得られます。 $I_{CPMAX} = \frac{25.5}{R_{SET}}$ ここで、 R _{SET} = 5.1 kΩ I _{CPMAX} = 5 mA
2	20	CP	チャージ・ポンプ出力。これがイネーブルされると、外部ループ・フィルタに±I _{CP} が供給され、外部 VCO が駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。チャージ・ポンプのグラウンド・リターン・パスです。
4	2, 3	AGND	アナログ・グラウンド。プリスケアラのグラウンド・リターン・パスです。
5	4	RF _{INB}	RF プリスケアラへの相補入力。小さなバイパス・コンデンサ（一般に 100 pF）を接続して、このピンをグラウンド・プレーンに接続します。
6	5	RF _{INA}	RF プリスケアラへの入力。この小信号入力は、通常 VCO から AC カップリングします。
7	6, 7	AV _{DD}	RF 部の正側電源。デジタル・グラウンド・プレーンに対するデカップリング・コンデンサは、このピンのできるだけ近くに設置する必要があります。AV _{DD} の電圧値は 3 V ± 10% です。AV _{DD} と DV _{DD} は同じ電圧でなければなりません。
8	8	REF _{IN}	リファレンス入力。公称スレッショルド V _{DD} /2、等価入力抵抗 100 kΩ の CMOS 入力です。この入力は TTL または CMOS 水晶発振器から駆動したり、AC カップリングしたりすることもできます。
9	9, 10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロジック・ローとするとデバイスがパワーダウンされ、チャージ・ポンプ出力がスリーステート・モードとなります。
11	12	CLK	シリアル・クロック入力。このシリアル・クロックは、シリアル・データをレジスタにクロック入力するために使用します。データは CLK の立上がりエッジでシフト・レジスタにラッチされます。この入力はハイ・インピーダンスの CMOS 入力です。
12	13	DATA	シリアル・データ入力。シリアル・データは MSB ファーストでロードされ、3 つの LSB が制御ビットとなります。この入力はハイ・インピーダンスの CMOS 入力です。
13	14	LE	ロード・イネーブルの CMOS 入力。LE がハイの場合は、シフト・レジスタに格納されたデータが、5 個のラッチから制御ビットによって選択された 1 つのラッチにロードされます。
14	15	MUXOUT	このマルチプレクサ出力により、ロック検出、スケールリングされた RF、スケールリングされたリファレンス周波数のいずれかに外部からアクセスできるようになります。
15	16, 17	DV _{DD}	デジタル部の正側電源。デジタル・グラウンド・プレーンに対するデカップリング・コンデンサは、このピンのできるだけ近くに設置する必要があります。DV _{DD} の電圧値は 3 V ± 10% です。DV _{DD} と AV _{DD} は同じ電圧でなければなりません。
16	18	V _P	チャージ・ポンプ電源。V _{DD} と同じか、それ以上にする必要があります。V _{DD} が 3 V のシステムでは、これを 5.5 V に設定して、5.5 V までのチューニング範囲の VCO を駆動できます。

代表的な性能特性

PF_D = 25 MHz、ループ帯域幅 = 20 kHz、リファレンス = 100 MHz、I_{CP} = 313 μA、Agilent の E5052A 位相ノイズ・システムを用いて測定した位相ノイズ。

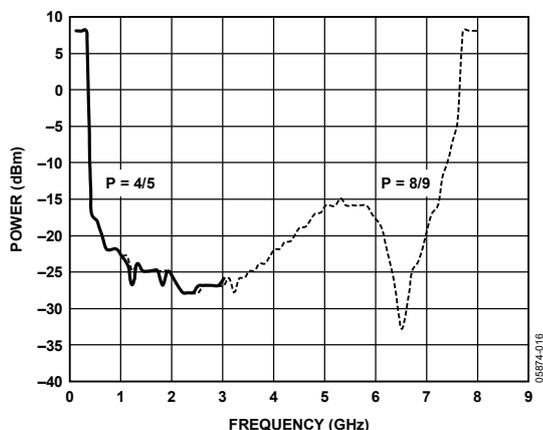


図 5. RF 入力感度

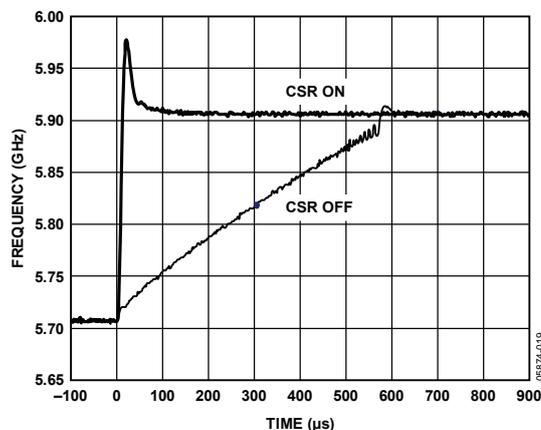


図 8. CSR オン/オフで 5705 MHz から 5905 MHz に 200 MHz ジャンプする場合のロック時間

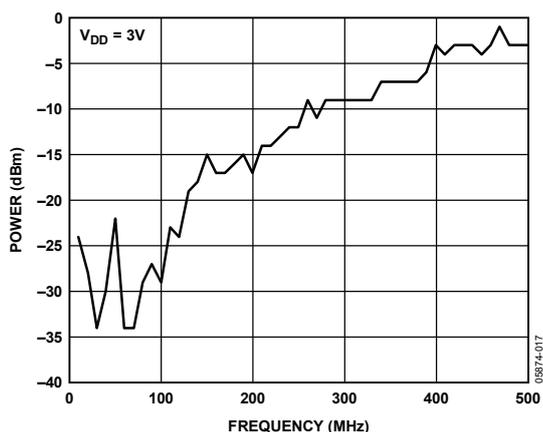


図 6. リファレンス入力感度

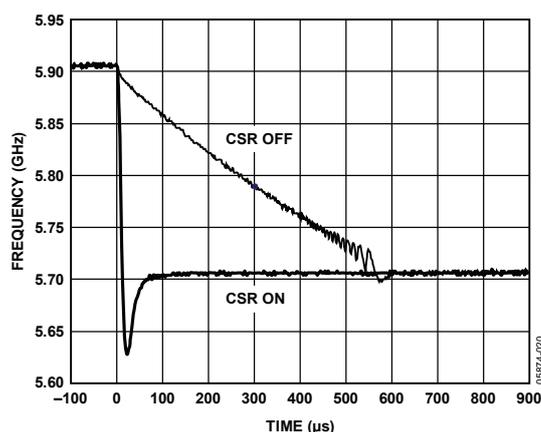


図 9. CSR オン/オフで 5905 MHz から 5705 MHz に 200 MHz ジャンプする場合のロック時間

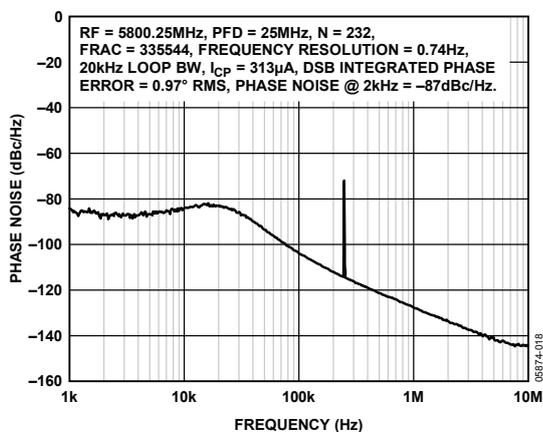


図 7. 位相ノイズとスプリアス
(250 kHz スプリアスは整数境界スプリアス。
詳細は「スプリアス・メカニズム」を参照。)

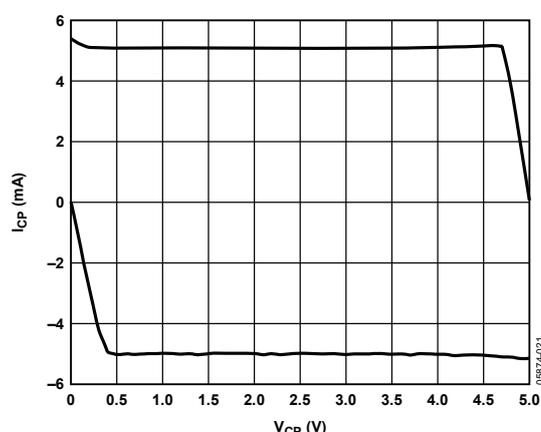


図 10. チャージ・ポンプ出力特性 (ポンプアップ/ポンプダウン)

回路の説明

リファレンス入力部

図 11 は、リファレンス入力段を示します。SW1 および SW2 は NC (ノーマル・クローズ) スイッチ、SW3 は NO (ノーマル・オープン) スイッチです。パワーダウンを開始すると、SW3 が閉じて SW1 および SW2 が開きます。これによって、パワーダウン時には REF_{IN} ピンがロードされません。

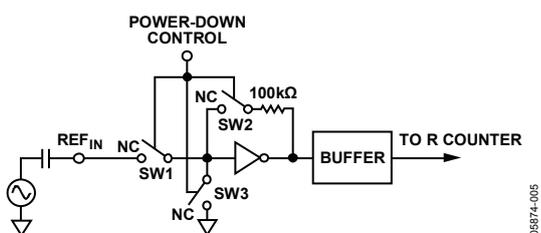


図 11. リファレンス入力段

RF 入力段

図 12 は、RF 入力段を示します。この後段にはプリスケラに必要電流モード・ロジック (CML) クロック・レベルを生成する 2 段リミット・アンプがあります。

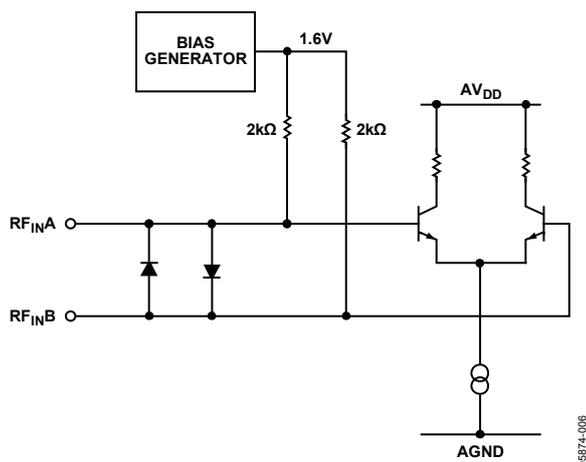


図 12. RF 入力段

RF INT 分周器

RF INT カウンタにより、PLL フィードバック・カウンタで分周比が得られます。分周比は 23 から 4095 まで可能です。

25 ビット固定係数

ADF4157 では 25 ビットの固定係数を使用します。これにより、次式で表される出力周波数のステップ分解能が可能になります。

$$f_{RES} = f_{PFD} / 2^{25}$$

ここで、 f_{PFD} は位相周波数検出器 (PFD) の周波数です。たとえば、10 MHz の PFD 周波数の場合、0.298 Hz の周波数ステップが可能です。

INT、FRAC、R の関係

INT、FRAC の値と R カウンタを使用し、出力周波数を生成できます。この出力周波数は、PFD (位相周波数検出器) のフラクシオンによって間隔が設けられています。詳細は、「RF シンセサイザ：具体例」を参照してください。RF VCO 周波数 (RF_{OUT}) は、次式で求めます。

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC / 2^{25})) \quad (1)$$

ここで、

RF_{OUT} は外部の VCO (電圧制御発振器) の出力周波数です。

INT はバイナリ 12 ビット・カウンタのプリセット分周比です (23 ~ 4095)。

FRAC はフラクシオン値です (0 ~ $2^{25} - 1$)。

$$f_{PFD} = REF_{IN} \times [(1 + D) / (R \times (1 + T))] \quad (2)$$

ここで、

REF_{IN} はリファレンス入力周波数です。

D は REF_{IN} ダブラー・ビットです。

R はバイナリ 5 ビット・プログラマブル・リファレンス・カウンタのプリセット分周比です (1 ~ 32)。

T は REF_{IN} 2 分周ビットです (0 または 1)。

RF R カウンタ

5 ビット RF R カウンタでは、入力リファレンス周波数 (REF_{IN}) を分周して PFD へのリファレンス・クロックを生成します。分周比は 1 から 32 まで可能です。

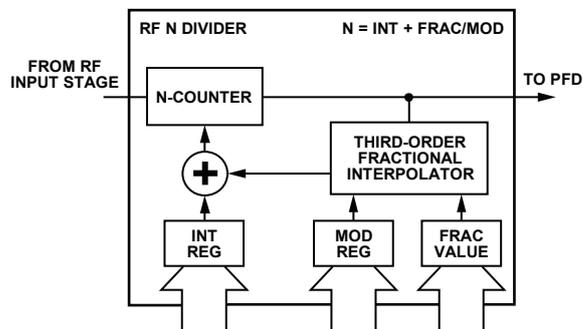


図 13. RF N 分周器

位相周波数分周器 (PFD) とチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、それらの間の位相差と周波数差に比例する出力を生成します。図14はPFDの簡略図です。PFDには、アンチバックラッシュ・パルスの幅(一般に3ns)を設定する固定の遅延素子が搭載されています。このパルスによって、PFD伝達関数に不感帯がなくなり、常に一定のレベルのリファレンス・スプリアスを提供できます。

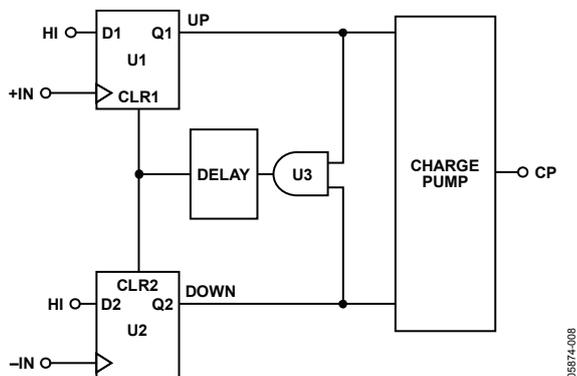


図14. PFD 簡略回路図

MUXOUT とロック検出

ADF4157の出力マルチプレクサにより、チップのさまざまな内部ポイントにアクセスできます。MUXOUTの状態は、M4、M3、M2、M1で制御します(図17を参照)。図15は、MUXOUT部のブロック図を示します。

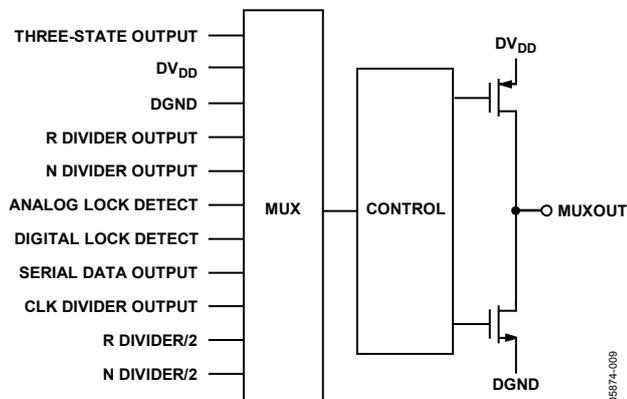


図15. MUXOUT 回路図

入力シフト・レジスタ

ADF4157のデジタル部には、5ビットのRFRカウンタ、12ビットのRFNカウンタ、25ビットのFRACカウンタがあります。データは、CLKの立上がりエッジで32ビットのシフト・レジスタにMSBファーストで入力されます。データは、LEの立上がりエッジで、シフト・レジスタから5つのラッチの1つに転送されます。転送先のラッチは、シフト・レジスタの3つの制御ビット(C3、C2、C1)の状態が決まります。図2に示したように、制御ビットは3つのLSB(DB0、DB1、DB2)です。表6は、この3つのビットの真理値表です。図16は、ラッチの設定方法の概要を示します。

プログラム・モード

表6と図16~図21にADF4157のプログラム・モードの設定方法を示します。

LSB FRAC値、Rカウンタ値、リファレンス・ダブラ、電流設定など、ADF4157の設定の一部はダブル・バッファされます。つまり、イベントが2回発生した後にダブル・バッファされた設定の新しい値がデバイスが使用します。まず、当該レジスタへの書込みで新しい値がデバイスにラッチされます。次に、レジスタR0に新しい書込みが行われます。

たとえば、分数値の更新では、R1の13LSBビットへの書込みやR0の12MSBビットへの書込みが行われます。最初にR1に書き込んでから、R0への書込みを行う必要があります。周波数の変更が始まるのはR0への書込みの後です。このダブル・バッファにより、R1に書き込んだビットがR0への書込み後までは有効にならないようにします。

表6. C3、C2、C1の真理値表

Control Bits			Register
C3	C2	C1	
0	0	0	Register R0
0	0	1	Register R1
0	1	0	Register R2
0	1	1	Register R3
1	0	0	Register R4

レジスタ・マップ

FRAC/INT REGISTER (R0)

RESERVED	MUXOUT CONTROL				12-BIT INTEGER VALUE (INT)											12-BIT MSB FRACTIONAL VALUE (FRAC)										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	M4	M3	M2	M1	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F25	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	C3(0)	C2(0)	C1(0)

LSB FRAC REGISTER (R1)

RESERVED				13-BIT LSB FRACTIONAL VALUE (FRAC) (DBB)													RESERVED										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(0)	C2(0)	C1(0)

R DIVIDER REGISTER (R2)

RESERVED	RESERVED	CSR EN	DBB CURRENT SETTING				RESERVED	PRESCALER	RDIV2 DBB	REFERENCE DOUBLER DBB	DBB 5-BIT R-COUNTER					RESERVED										CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	C1	CPI4	CPI3	CPI2	CPI1	0	P1	U2	U1	R5	R4	R3	R2	R1	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(0)	C2(1)	C1(0)

FUNCTION REGISTER (R3)

RESERVED																SD RESET	RESERVED								LDP	PD POLARITY	PD	CP THREE-STATE COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	U12	0	0	0	0	0	0	0	U11	U10	U9	U8	U7	C3(0)	C2(1)	C1(1)

TEST REGISTER (R4)

RESERVED																											CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(1)	C2(0)	C1(0)

NOTES
1. DBB = DOUBLE BUFFERED BIT(S).

05874-010

図 16. レジスタの概要

FRAC/INT レジスタ (R0) マップ

R0[2, 1, 0]を[0, 0, 0]に設定すると、内蔵のFRAC/INT レジスタは図 17のように設定されます。

予備ビット

通常の動作では 0 に設定します。

MUXOUT

内蔵のマルチプレクサは、ADF4157の DB[30]、DB[29]、DB[28]、DB[27]で制御します。真理値表は、図 17を参照してください。

12 ビット INT 値

この 12 ビットは、INT 値としてロードする値を制御します。この値により、全フィードバック分周係数が決まります。これは式

1 で使用されます。詳細は、「INT、FRAC、R の関係」を参照してください。

12 ビット MSB FRAC 値

この 12 ビットと LSB FRAC レジスタ (R1) の DB[27:15]ビットにより、フラクショナル・インターポレータに FRAC 値としてロードする値を制御します。この値により、全フィードバック分周係数が決まります。これも式 1 で使用されます。この 12 ビットは 25 ビット FRAC 値の最上位ビット (MSB) であり、LSB FRAC レジスタ (R1) の DB[27:15]ビットは最下位ビット (LSB) です。詳細は、「RF シンセサイザ：具体例」を参照してください。

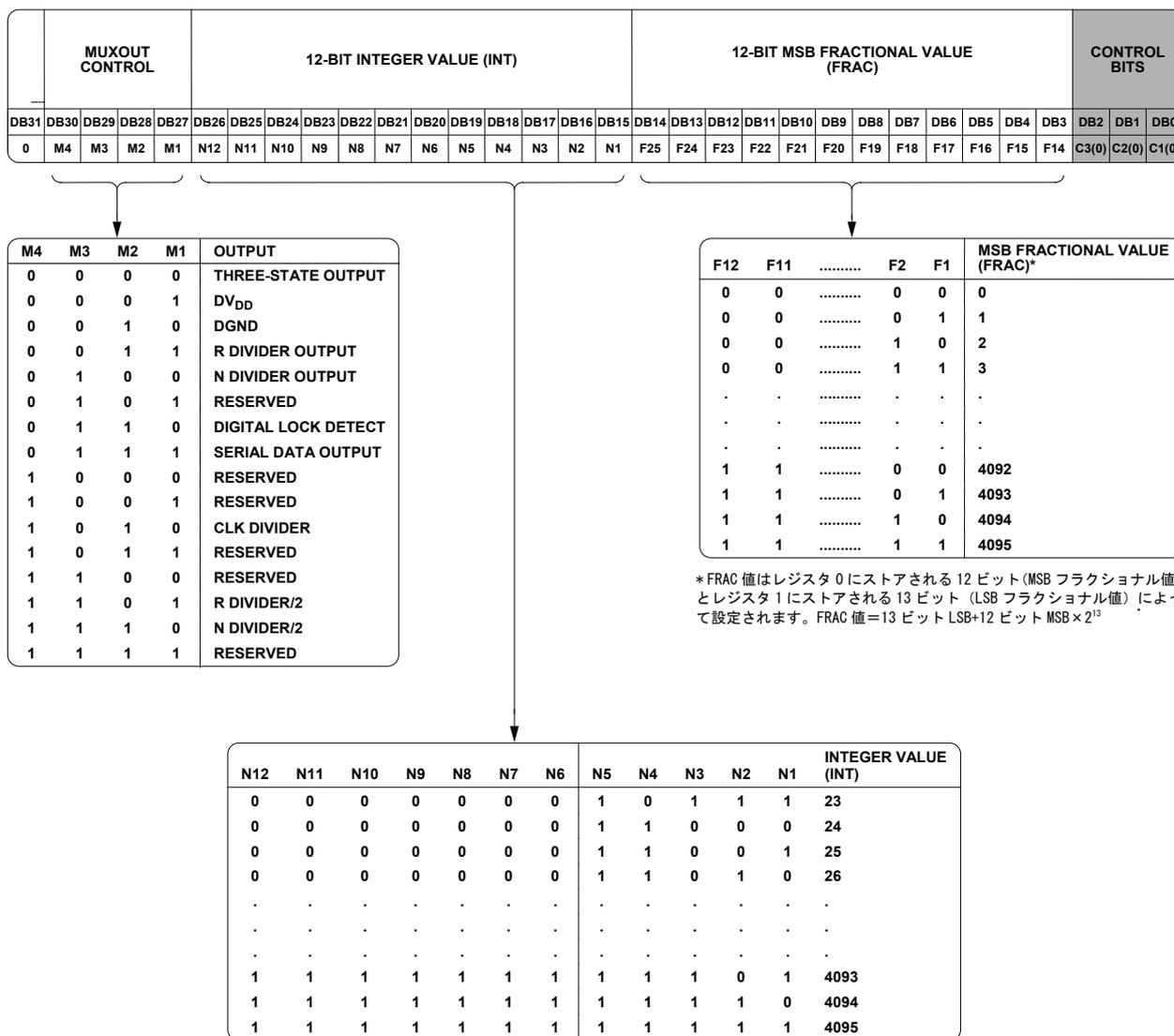


図 17. FRAC/INT レジスタ (R0) マップ

LSB FRAC レジスタ (R1) マップ

R1[2, 1, 0]を[0, 0, 1]に設定すると、内蔵の LSB FRAC レジスタは図 18 のように設定されます。

13 ビット LSB FRAC 値

この 13 ビットと INT/FRAC (R0) の DB[14:3]ビットにより、フラクショナル・インターポレータに FRAC 値としてロードする値を制御します。この値により、全フィードバック分周係数が決まります。これも式 1 に使用されます。この 13 ビットは 25 ビット

FRAC 値の最下位ビットであり、INT/FRAC レジスタの DB[14:3]ビットは最上位ビット (LSB) です。詳細は、「RF シンセサイザ：具体例」を参照してください。

予備ビット

通常の動作では0に設定します。

RESERVED				13-BIT LSB FRACTIONAL VALUE (FRAC)													RESERVED										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(0)	C2(0)	C1(1)

F25	F24	F14	F13	LSB FRACTIONAL VALUE (FRAC)*
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
.
.
.
1	1	0	0	8188
1	1	0	1	8189
1	1	1	0	8190
1	1	1	1	8191

* FRAC 値はレジスタ 0 にストアされる 12 ビット (MSB フラクショナル値) とレジスタ 1 にストアされる 13 ビット (LSB フラクショナル値) によって設定されます。FRAC 値=13 ビット LSB+12 ビット MSB×2¹³

図 18. LSB FRAC レジスタ (R1) マップ

R 分周レジスタ (R2) マップ

R1[2, 1, 0]を[0, 1, 0]に設定すると、内蔵の R 分周レジスタは図 19 のように設定されます。

CSR イネーブル

このビットを 1 に設定すると、サイクル・スリップ低減がイネーブルになります。この方法でロック時間を改善できます。PFD の信号は、サイクル・スリップ低減を機能させるために 50% のデューティサイクルを持つものとします。また、チャージ・ポンプ電流は最小値に設定します。詳細については、「高速ロック時間のためのサイクル・スリップ低減」を参照してください。

サイクル・スリップ低減機能は、位相検出器の極性の設定が正の場合にのみ動作します (レジスタ R3 の DB6)。この機能は、極性の設定が負の場合には使用できません。

チャージ・ポンプ電流設定

DB[27]、DB[26]、DB[25]、DB[24]でチャージ・ポンプ電流を設定します。ループ・フィルタの設計に従って、これを設定する必要があります (図 19 を参照)。

プリスケアラ (P/P + 1)

デュアル・モジュラス・プリスケアラ (P/P+1) と INT カウンタ、FRAC カウンタ、MOD カウンタを併用して、REF_{IN} から PFD 入力に対する全分周比を決定します。

CML レベルで動作するプリスケアラは、RF 入力段からクロックを受け取り、それを分周してカウンタに渡します。これは同期 4/5 コアをベースにしています。4/5 に設定されていると、最大許容 RF 周波数は 3 GHz になります。このため、ADF4157 を 3 GHz より上で動作させるときは、その値を 8/9 に設定する必要があります。プリスケアラは、INT 値を制限します。

With $P = 4/5$, $N_{MN} = 23$

With $P = 8/9$, $N_{MN} = 75$

RDIV2

このビットを 1 に設定して 1/2 分周トグル・フリップフロップを R カウンタと PFD の間に挿入します。これを使って PFD に 50% のデューティサイクル信号を入力し、サイクル・スリップ低減のために使用します。

リファレンス・ダブラ

DB[20]を 0 に設定して、REF_{IN}信号を 5 ビット RF R カウンタに直接入力し、ダブラをディスエーブルにします。このビットを 1 に設定すると、REF_{IN}周波数に係数 2 が乗算され、5 ビット R カウンタに入力されます。ダブラをディスエーブルにすると、REF_{IN}の立下がりエッジがフラクショナル・シンセサイザの PFD 入力でアクティブになります。ダブラをイネーブルにすると、REF_{IN}の立上がりエッジと立下がりエッジの両方が PFD 入力でアクティブになります。

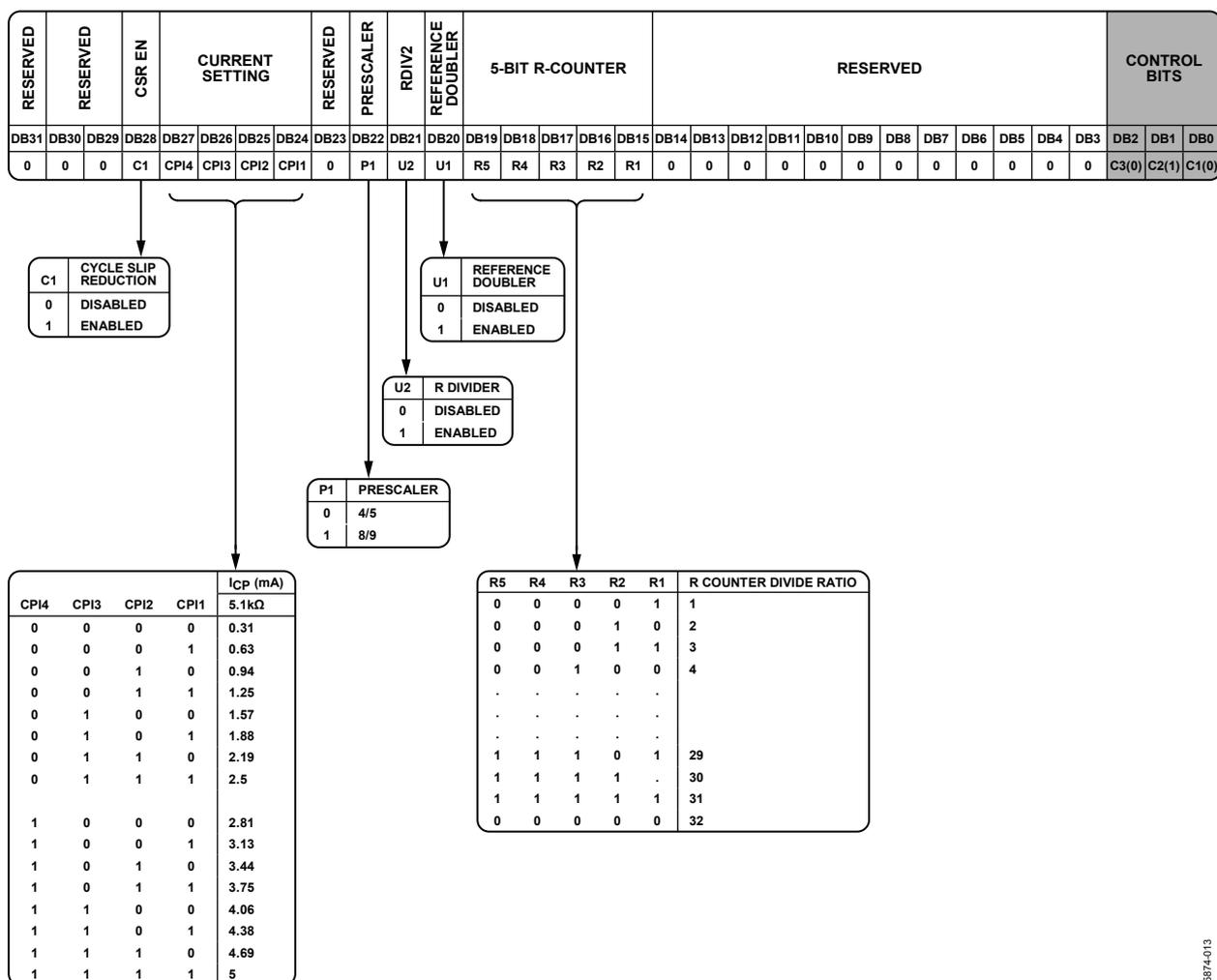
ダブラがイネーブルのとき、REF_{IN}の最大許容周波数は 30 MHz です。

5 ビット R カウンタ

5 ビット R カウンタでは、入力リファレンス周波数 (REF_{IN}) を分周して PFD へのリファレンス・クロックを生成します。分周比は 1 から 32 まで可能です。

予備ビット

通常の動作では 0 に設定します。



09874-013

図 19. R 分周レジスタ (R2) マップ

ファンクション・レジスタ (R3) マップ

R2[2, 1, 0]を[0, 1, 1]に設定すると、内蔵のファンクション・レジスタが図 20 に示すように設定されます。

予備ビット

通常の動作では 0 に設定します。

ΣΔ リセット

ほとんどのアプリケーションの場合、DB14 は 0 に設定します。DB14 を 0 に設定すると、レジスタ 0 への書込みが行われるたびに ΣΔ 変調器がリセットされます。このようなリセットが不要な場合は、このビットを 1 に設定します。

ロック検出精度 (LDP)

DB[7]の設定値が 0 のときは、デジタル・ロック検出の設定前に 24 個の連続した PFD サイクル (15 ns) が必要です。このビットの設定値が 1 のときは、デジタル・ロック検出の設定前に 40 個の連続したリファレンス・サイクル (15 ns) が必要です。

位相検出器極性

ADF4157 の DB[6]で位相検出器の極性を設定します。VCO 特性が正の場合はこの値を 1 に設定し、負の場合は 0 に設定します。

RF パワーダウン

ADF4157 の DB[5]で、プログラマブル・パワーダウン・モードを利用できます。このビットを 1 に設定すると、デバイスがパワーダウンされます。このビットを 0 に設定すると、シンセサイザは通常動作に戻ります。ソフトウェアがパワーダウン・モードの間、

デバイスはすべての情報をレジスタに保持します。レジスタの内容が失われるのは、電源を切ったときのみです。

パワーダウンがアクティブになると、次のイベントが発生します。

1. すべてのアクティブな DC 電流パスが除去されます。
2. シンセサイザ・カウンタが、強制的にロード・ステート状態になります。
3. チャージ・ポンプが強制的にスリーステート・モードになります。
4. デジタル・ロック検出回路がリセットされます。
5. RF_{IN} 入力が DC バイアスされます。
6. 入力レジスタがアクティブ状態を維持し、データのロードとラッチができます。

RF チャージ・ポンプ・スリーステート

DB[4]を 1 に設定すると、チャージ・ポンプ (CP) がスリーステート・モードになります。通常動作の場合は、このビット値を 0 にします。

RF カウンタ・リセット

DB[3]は、ADF4157 の RF カウンタ・リセット・ビットです。この値が 1 の場合、RF シンセサイザ・カウンタがリセット状態になります。通常動作の場合は、このビット値を 0 にします。

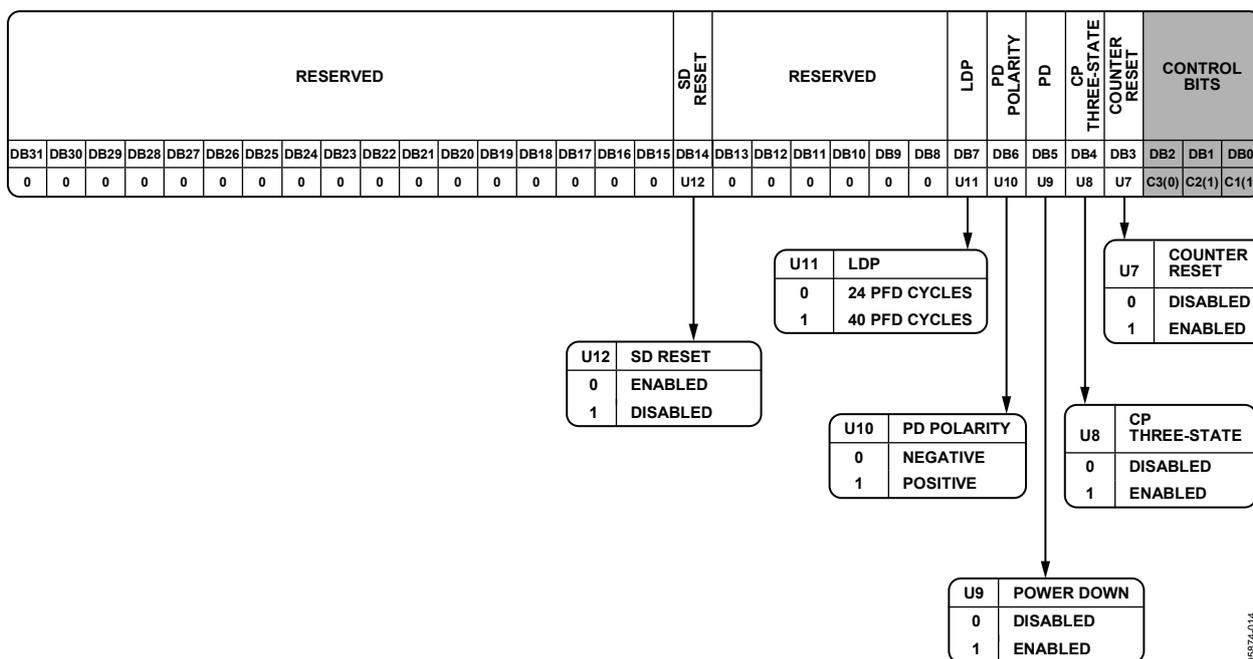


図 20. ファンクション・レジスタ (R3) マップ

テスト・レジスタ (R4) マップ

R3[2, 1, 0]を[1, 0, 0]に設定すると、内蔵のテスト・レジスタ (R4) が図 21 に示すように設定されます。

予備ビット

このレジスタの DB[31:3]を 0 に設定します。

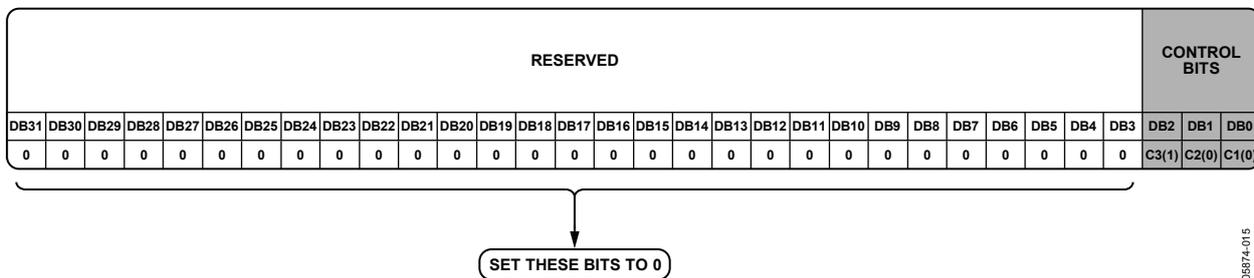


図 21. テスト・レジスタ (R4) マップ

アプリケーション情報

初期化シーケンス

デバイスのパワーアップ後に以下の順序でレジスタを設定します。

1. テスト・レジスタ (R4)
2. ファンクション・レジスタ (R3)
3. R 分周レジスタ (R2)
4. LSB FRAC レジスタ (R1)
5. FRAC/INT レジスタ (R0)

RF シンセサイザ：具体例

次式に基づいてシンセサイザを設定します。

$$RF_{OUT} = [N + (FRAC/2^{25})] \times [f_{PFD}] \quad (3)$$

ここで、
 RF_{OUT} は RF 周波数出力です。
 N は整数の分数係数です。
 $FRAC$ はフラクショナル値です。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (4)$$

ここで、
 REF_{IN} はリファレンス周波数入力です。
 D は RF REF_{IN} ダブラー・ビットです。
 R は RF リファレンス分周係数です。
 T はリファレンス 1/2 の分周ビットです (0 または 1)。

たとえば、5.8002 GHz の RF 周波数出力 (RF_{OUT}) が必要で、10 MHz のリファレンス周波数入力 (REF_{IN}) が使用できるシステムでは、以下の周波数分解能が必要です。

$$f_{RES} = REF_{IN}/2^{25}$$

$$f_{RES} = 10 \text{ MHz}/2^{25} = 0.298 \text{ Hz}$$

式 4 から、

$$f_{PFD} = [10 \text{ MHz} \times (1 + 0)/1] = 10 \text{ MHz}$$

$$5.8002 \text{ GHz} = 10 \text{ MHz} \times (N + FRAC/2^{25})$$

N と $FRAC$ の値を計算すると、

$$N = \text{int}(RF_{OUT}/f_{PFD}) = 580$$

$$FRAC = F_{MSB} \times 2^{13} + F_{LSB}$$

$$F_{MSB} = \text{int}(((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) = 81$$

$$F_{LSB} = \text{int}((((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) - F_{MSB}) \times 2^{13} = 7537$$

ここで、
 F_{MSB} はレジスタ R0 の 12 ビット MSB FRAC 値です。
 F_{LSB} はレジスタ R1 の 13 ビット LSB FRAC 値です。
 $\text{int}()$ で括弧内の引数の整数をつくります。

リファレンス・ダブラおよびリファレンス分周器

オンチップのリファレンス・ダブラにより、入力リファレンス信号を 2 倍にできます。これは、PFD 比較周波数を増やす場合に役立ちます。PFD 周波数を高くすると、システムのノイズ性能が改善されます。PFD 周波数を 2 倍にすると、ノイズ性能が通常 3 dB 改善されます。N 分周器の $\Sigma\Delta$ 回路の速度に制限があるため、32 MHz を上回る速度で PFD を動かすことはできない点に注意が必要です。

高速ロック時間のためのサイクル・スリップ低減

高速ロック・アプリケーションでは、高速周波数を得るために広いループ・フィルタ帯域幅が必要となります。しかし、これによって積分位相ノイズとスプリアス信号が増大します。サイクル・スリップ低減機能を使用すれば、ループ帯域幅を狭くして積分位相ノイズとスプリアスを低減し、高速ロック時間を実現できます。

サイクル・スリップ

サイクル・スリップは、PFD 周波数に比べてループ帯域幅が狭いときに、整数 N シンセサイザまたはフラクショナル N シンセサイザで発生します。PFD 入力の位相誤差の蓄積が速過ぎると PLL を補正できなくなり、チャージ・ポンプが一時的に間違った方向にポンプ動作を行って、ロック時間が大幅に低下します。ADF4157 はサイクル・スリップ低減回路を搭載しているため、PFD の直線範囲を拡張することで、ループ・フィルタを変更しなくても高速ロック時間を実現できます。

サイクル・スリップが発生しそうになると、ADF4157 はそれを検出して、追加のチャージ・ポンプ電流セルをオンにします。これによって定電流がループ・フィルタに出力されるか、またはループ・フィルタから定電流が除去されます (いずれになるかは、新しい周波数を得るために VCO チューニング電圧の増大が必要か低減が必要かによって決まります)。その結果、PFD の直線範囲が増大します。電流は一定でパルス電流ではないため、安定性は維持されます。

位相誤差が再度増大してもう一度サイクル・スリップが起こりそうになると、ADF4157 はほかのチャージ・ポンプ・セルをオンにします。この動作は、VCO 周波数が必要な周波数を越えるまで行われます。ADF4157 はこれを検出すると、追加のチャージ・ポンプ・セルを一つずつオフにしていき、すべてのセルをオフにして周波数を安定化させます。

追加のチャージ・ポンプ・セルは、最大 7 個までオンにできます。ほとんどのアプリケーションでは、これでサイクル・スリップを完全に除去でき、かなり高速のロック時間を実現できます。

R 分周レジスタ (R2) の DB28 ビットが 1 のときに、サイクル・スリップ低減はイネーブルとなります。CSR を正常に動かすには、PFD の信号で 45~55% のデューティサイクルが必要です。リファレンス 1/2 分周フリップフロップは PFD に 50% のデューティサイクルを提供します。たとえば、100 MHz のリファレンス周波数を使用できる場合に、PFD を 10 MHz で動作させようとしたとき、R 分周係数を 10 に設定すると、デューティサイクルが 50% ではない 10 MHz PFD 信号が発生します。R 分周係数を 5 に設定して、リファレンス 1/2 分周ビットをイネーブルにすれば、デューティサイクル 50% の 10 MHz 信号を実現できます。

サイクル・スリップ低減機能を使用できるのは位相検出器の極性の設定値 (レジスタ R3 の DB6) が正の場合のみです。この値を負に設定すると、低減機能は使用できません。

スプリアス・メカニズム

ADF4157 のフラクショナル・インターポレータは、25 ビット固定係数 (MOD) を持つ 3 次の $\Sigma\Delta$ 変調器 (SDM) です。SDM は PFD リファレンス・レート (f_{PFD}) で動作するため、 $f_{\text{PFD}}/\text{MOD}$ のチャンネル・ステップ分解能で PLL の出力周波数を合成できます。ここでは、フラクショナル N シンセサイザに関連するさまざまなスプリアス・メカニズムと、ADF4157 に対するその影響について説明します。

フラクショナル・スプリアス

ほとんどのフラクショナル・シンセサイザの場合、フラクショナル・スプリアスが設定したチャンネル間隔で現れます。ADF4157 では、これらのスプリアスは現れません。固定係数の値が大きい ADF4157 では、 $\Sigma\Delta$ モジュレータの量子化誤差スペクトルが広帯域ノイズのようになります (フラクショナル・スプリアスが効果的にノイズに拡散される)。

整数境界スプリアス

スプリアスの発生メカニズムとして RF VCO 周波数と PFD 周波数間の相互作用があり、これは整数境界スプリアスと呼ばれています。これらの周波数の整数関係 (フラクショナル N シンセサイザの目的である) が成立していない場合、ビート・ノートに相当するオフセット周波数、あるいは PFD の整数倍と VCO 周波数との間の周波数差において、スプリアス・サイドバンドが VCO の出力スペクトル上に現れます。

これらのスプリアスは、周波数差がループ帯域幅内にとどまる可能性のある PFD の整数倍に近いチャンネル上で顕著に発生する傾向があるため、整数境界スプリアスという名称が付いています。これらはループ・フィルタによって減衰されます。

図 7 は整数境界スプリアスを示します。RF 周波数は 5800.25 MHz、PFD 周波数は 25 MHz です。整数境界スプリアスは PFD 周波数の整数倍のキャリア ($232 \times 25 \text{ MHz} = 5800 \text{ MHz}$) から 250 kHz 離れています。スプリアスは上側サイドバンドにも現れます。

リファレンス・スプリアス

リファレンス・オフセットはループ帯域幅から大きく外れるため、一般にフラクショナル N シンセサイザでリファレンス・スプリアスが問題になることはありません。しかし、ループをバイパスするリファレンスのフィードスルー・メカニズムが問題を引き起こす可能性があります。このようなメカニズムの 1 つは、チップ上で発生するリファレンス・スイッチング・ノイズのローレベルのフィードスルーが RF_{IN} ピンを通過して VCO に戻る現象です。その結果、リファレンスのスプリアス・レベルが -90 dBc まで高くなる場合があります。ボード上にフィードスルー・パスが形成されるのを回避するために、VCO が入力リファレンスから十分に分離されるように、PC ボードのレイアウトに配慮してください。

低周波アプリケーション

RF 入力の仕様は 0.5 GHz (min) ですが、400 V/ μs の最小スループレート仕様を満たす場合はこれより低い RF 周波数を使用できません。RF 信号を矩形波信号に変換してそれを ADF4157 の RF 入力に帰還させるには、LVDS ドライバを使用します。この LVDS ドライバとしては、Fairchild Semiconductor 社の FIN1001 などがあります。

フィルタの設計—ADISIMPLL

PLL の設計を支援するために、フィルタ設計・解析プログラムが用意されています。ADISIMPLL™ ソフトウェアは、www.analog.com/pll から無料でダウンロードできます。このソフトウェアで、全 PLL 周波数領域と時間領域応答を設計、シミュレート、解析できます。さまざまなパッシブ/アクティブ・フィルタ構成が可能です。

インターフェース

ADF4157 には、デバイスへの書き込みを行うための、シンプルな SPI 互換シリアル・インターフェースがあります。CLK、DATA、LE でデータ転送を制御します。LE (ラッチ・イネーブル) がハイの場合は、SCLK の各立上がりエッジで入力レジスタに入力された 29 ビットが、該当するラッチに転送されます。タイミングは図 2、ラッチの真理値表は表 6 を参照してください。

最大許容シリアル・クロック・レートは 20 MHz です。

CSP パッケージの PC ボード設計ガイドライン

チップ・スケール・パッケージ (CP-20) のランドの形は矩形です。ランド用の PC ボードのパッドは、パッケージのランド長より 0.1 mm 長くし、パッケージのランド幅より 0.05 mm 広くします。ランドはパッドの中央に配置します。こうすることで、ハンダ接合面を最大化できます。

CSP パッケージの底面中央にはサーマル・パッドがあります。PC ボードのサーマル・パッドは、少なくともこの露出パッドと同じ大きさにします。PC ボードは、短絡を避けるために、パッドのパターンの内部エッジとサーマル・パッドの間に 0.25 mm 以上の間隙を設ける必要があります。

PC ボードのサーマル・パッドにサーマル・ビアを使用すれば、パッケージの熱性能を改善できます。ビアを使用する場合は、1.2 mm ピッチのグリッドでサーマル・パッド内に組み込みます。ビア径は 0.3~0.33 mm の任意の値とし、ビア・バレルには 1 オンス (約 28.35 グラム) の銅をめっきしてビアを接続します。PC ボードのサーマル・パッドは、AGND に接続する必要があります。

外形寸法

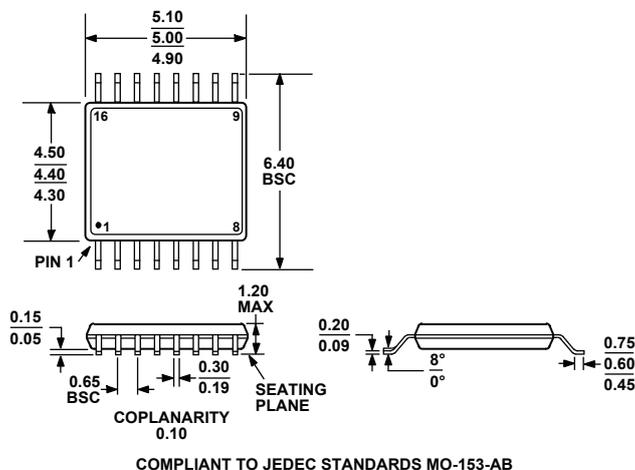


図 22. 16 ピン・薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)
寸法単位：mm

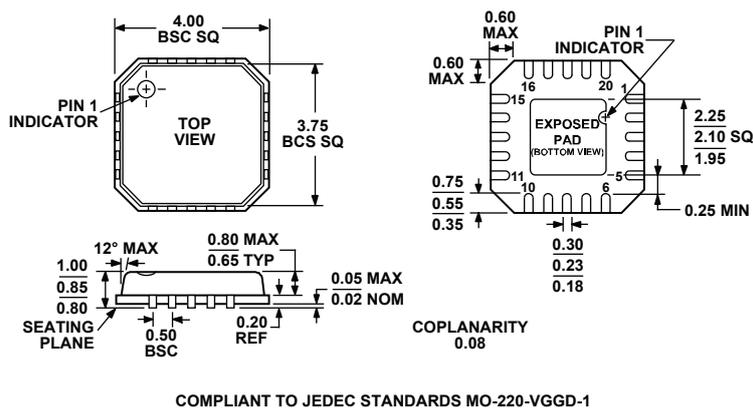


図 23. 20 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSQ_VQ] 4 mm × 4 mm ボディ、極薄クワッド (CP-20-1)
寸法単位：mm

オーダー・ガイド

Model	Description	Temperature Range	Package Option
ADF4157BRUZ ¹	16-Lead Thin Shrink Small Outline Package [TSSOP]	-40°C to +85°C	RU-16
ADF4157BRUZ-RL ¹	16-Lead Thin Shrink Small Outline Package [TSSOP]	-40°C to +85°C	RU-16
ADF4157BRUZ-RL7 ¹	16-Lead Thin Shrink Small Outline Package [TSSOP]	-40°C to +85°C	RU-16
ADF4157BCPZ ¹	20-Lead Lead Frame Chip Scale Package [LFCSQ_VQ]	-40°C to +85°C	CP-20-1
ADF4157BCPZ-RL ¹	20-Lead Lead Frame Chip Scale Package [LFCSQ_VQ]	-40°C to +85°C	CP-20-1
ADF4157BCPZ-RL7 ¹	20-Lead Lead Frame Chip Scale Package [LFCSQ_VQ]	-40°C to +85°C	CP-20-1
EVAL-ADF4157EB1Z ¹	Evaluation Board		

¹ Z = RoHS 準拠製品