

特長

6 GHz までの RF 帯域幅
 電源電圧: 2.7 V~3.3 V
 別々の V_P ピンによりチューニング電圧の拡張が可能
 プログラマブル非整数モジュラス
 プログラマブルなチャージ・ポンプ電流
 3 線式シリアル・インターフェースを装備
 デジタル・ロック検出
 パワーダウン・モード
 ADF4110/ADF4111/ADF4112/ADF4113、ADF4106、
 ADF4153、ADF4154 周波数シンセサイザとピン互換
 プログラマブルな RF 出力位相
 ループ・フィルタが ADIsimPLL でデザイン可能
 ロック時間を高速化するサイクル・スリップ削減機能

アプリケーション

CATV 装置
 モバイル無線の基地局 (WiMAX、GSM、PCS、DCS、
 SuperCell 3G、CDMA、WCDMA)
 ワイヤレス・ハンドセット(GSM、PCS、DCS、CDMA、
 WCDMA)
 ワイヤレス LAN、PMR
 通信テスト装置

概要

ADF4156は、6 GHzの非整数N周波数シンセサイザであり、ワイヤレス・レシーバとトランスミッタのアップコンバージョン部分とダウンコンバージョン部分でローカル発振器を構成するときで使用され、低ノイズ・デジタル位相周波数検出器(PFD)、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器、プログラマブルなリファレンス分周器から構成されています。プログラマブルな非整数N分周を可能にする Σ - Δ を採用した非整数インタポレータを内蔵しています。INT、FRAC、MODの各レジスタが、Nデバイダ全体($N = (INT + (FRAC/MOD))$)を決定します。RF出力位相は、出力とリファレンスとの間で特定な位相関係を必要とするアプリケーションを対象としてプログラマブルになっています。ADF4156は、ループ・フィルタの変更なしでロック時間を高速化するサイクル・スリップ削減回路も内蔵しています。

すべての内蔵レジスタの制御は、シンプルな3線式インターフェースを経由して行います。このデバイスは、2.7 V~3.3 Vの電源範囲で動作し、使用しない場合にはパワーダウンすることができます。

機能ブロック図

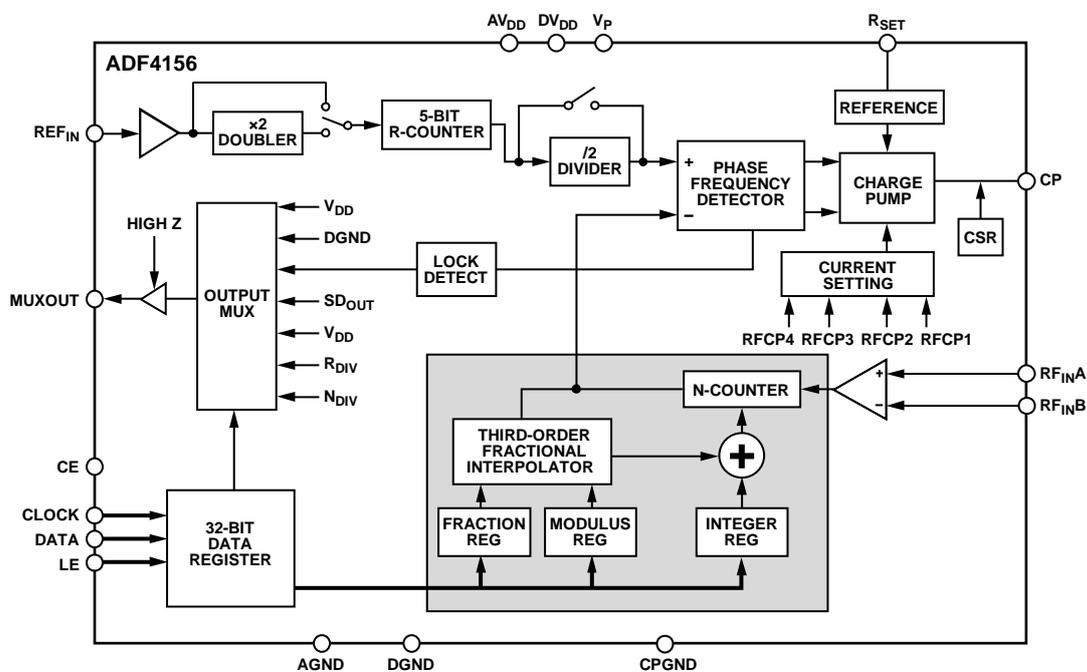


図1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2006–2009 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長	1	FRAC/INT レジスタ、R0	11
アプリケーション	1	位相レジスタ、R1	12
概要	1	MOD/R レジスタ、R2	13
機能ブロック図	1	ファンクション・レジスタ、R3	15
改訂履歴	2	CLK DIV レジスタ、R4	16
仕様	3	予約済みビット	16
タイミング仕様	4	初期化シーケンス	16
絶対最大定格	5	RF シンセサイザの一例	17
熱抵抗	5	モジュラス	17
ESD の注意	5	リファレンス・ダブラーとリファレンス分周器	17
ピン配置およびピン機能説明	6	12 ビット・プログラマブル・モジュラス	17
代表的な性能特性	7	ADF4156 での高速ロック時間	17
回路説明	8	スプリアスのメカニズム	19
リファレンス入力セクション	8	スプリアスの妥当性と非整数スプリアスの最適化	19
RF 入力ステージ	8	位相再同期	20
RF INT デバイダ	8	低周波アプリケーション	20
INT、FRAC、MOD、R の関係	8	フィルタ・デザイン—ADIsimPLL	20
RFR カウンタ	8	インターフェース	21
位相周波数検出器(PFD)およびチャージ・ポンプ	9	チップ・スケール・パッケージ用の PCB デザイン・ガイドライン	21
MUXOUT とロック検出	9	外形寸法	22
入力シフトレジスタ	9	オーダー・ガイド	23
プログラム・モード	9		
レジスタ・マップ	10		

改訂履歴

5/09—Rev. 0 to Rev. A

Added Low Power Sleep Mode Parameter and Changes to Endnote 4, Table 1	3
Change to Figure 9 Caption	7
Change to Program Modes Section	9
Changes to Figure 16	10
Changes to Figure 17	11
Changes to CSR Enable Section	13
Changes to Figure 19	14
Changes to Function Register, R3 Section and Figure 20	15

Changes to 12-Bit Clock Divider Value Section, to Clock Divider Mode Section, and to Figure 21	16
Changes to Reference Doubler and Reference Divider Section and to Fast Lock Times with the ADF4156 Section	17
Added Figure 22 and Figure 23; Renumbered Sequentially ...	19
Change to Phase Resync Section	20
Changes to Interfacing Section and to PCB Design Guidelines for Chip Scale Package Section	21
Changes to Outline Dimensions	23
Changes to Ordering Guide	23

5/06—Revision 0: Initial Version

仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = 2.7\text{ V} \sim 3.3\text{ V}$ 、 $V_P = AV_{DD} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、dBm は $50\ \Omega$ 基準。

表1.

Parameter	B Version	Unit	Test Conditions/Comments ¹
RF CHARACTERISTICS			
RF Input Frequency (RF _{IN})	0.5/6.0	GHz min/max	-10 dBm min to 0 dBm max. For lower frequencies, ensure slew rate (SR) > 400 V/μs.
REFERENCE CHARACTERISTICS			
REF _{IN} Input Frequency	10/250	MHz min/max	For f < 10 MHz, use a dc-coupled CMOS-compatible square wave, slew rate > 25 V/μs.
REF _{IN} Input Sensitivity	0.4/AV _{DD}	V p-p min/max	Biased at AV _{DD} /2. ²
REF _{IN} Input Capacitance	10	pF max	
REF _{IN} Input Current	±100	μA max	
PHASE DETECTOR			
Phase Detector Frequency ³	32	MHz max	
CHARGE PUMP			
I _{CP} Sink/Source			Programmable.
High Value	5	mA typ	With R _{SET} = 5.1 kΩ.
Low Value	312.5	μA typ	
Absolute Accuracy	2.5	% typ	With R _{SET} = 5.1 kΩ.
R _{SET} Range	2.7/10	kΩ min/max	
I _{CP} Three-State Leakage Current	1	nA typ	Sink and source current.
Matching	2	% typ	0.5 V < V _{CP} < V _P - 0.5.
I _{CP} vs. V _{CP}	2	% typ	0.5 V < V _{CP} < V _P - 0.5.
I _{CP} vs. Temperature	2	% typ	V _{CP} = V _P /2.
LOGIC INPUTS			
V _{INH} , Input High Voltage	1.4	V min	
V _{INL} , Input Low Voltage	0.6	V max	
I _{INH} /I _{INL} , Input Current	±1	μA max	
C _{IN} , Input Capacitance	10	pF max	
LOGIC OUTPUTS			
V _{OH} , Output High Voltage	1.4	V min	Open-drain output chosen; 1 kΩ pull-up to 1.8 V.
V _{OH} , Output High Voltage	V _{DD} - 0.4	V min	CMOS output chosen.
I _{OH} , Output High Current	100	μA max	
V _{OL} , Output Low Voltage	0.4	V max	I _{OL} = 500 μA.
POWER SUPPLIES			
AV _{DD}	2.7/3.3	V min/max	
DV _{DD}	AV _{DD}		
V _P	AV _{DD} /5.5	V min/max	
I _{DD}	32	mA max	26 mA typical.
Low Power Sleep Mode	1	μA typ	
NOISE CHARACTERISTICS			
Normalized Phase Noise Floor ⁴	-211	dBc/Hz typ	
Phase Noise Performance ⁵			@ VCO output.
5800 MHz Output ⁶	-89	dBc/Hz typ	@ 5 kHz offset, 25 MHz PFD frequency.

¹ 動作温度範囲(Bバージョン)は-40°C~+85°C。

² AC結合により AV_{DD}/2 バイアスが保証されます。

³ デザインにより保証します。サンプル・テストにより適合性を保証します。

⁴ この値を使って、任意のアプリケーションの位相ノイズを計算することができます。VCO出力での帯域内位相ノイズ性能を計算するときは、式 $-211 + 10 \log(f_{PFD}) + 20 \log N$ を使ってください。表示の値は最小ノイズ・モードです。

⁵ 位相ノイズは、EVAL-ADF4156EBZ1 評価ボードと Agilent E5500 位相ノイズ・システムを使用して測定。

⁶ f_{REFIN} = 100 MHz、f_{PFD} = 25 MHz、オフセット周波数 = 5 kHz、RF_{OUT} = 5800 MHz、N = 232、ループ帯域幅 = 20 kHz、I_{CP} = 313 μA、最小ノイズ・モード。

タイミング仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = 2.7V \sim 3.3V$ 、 $V_P = AV_{DD} \sim 5.5V$ 、 $AGND = DGND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、dBm は 50Ω 基準。

表2.

Parameter	Limit at T_{MIN} to T_{MAX} (B Version)	Unit	Test Conditions/Comments
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLOCK setup time
t_3	10	ns min	DATA to CLOCK hold time
t_4	25	ns min	CLOCK high duration
t_5	25	ns min	CLOCK low duration
t_6	10	ns min	CLOCK to LE setup time
t_7	20	ns min	LE pulse width

タイミング図

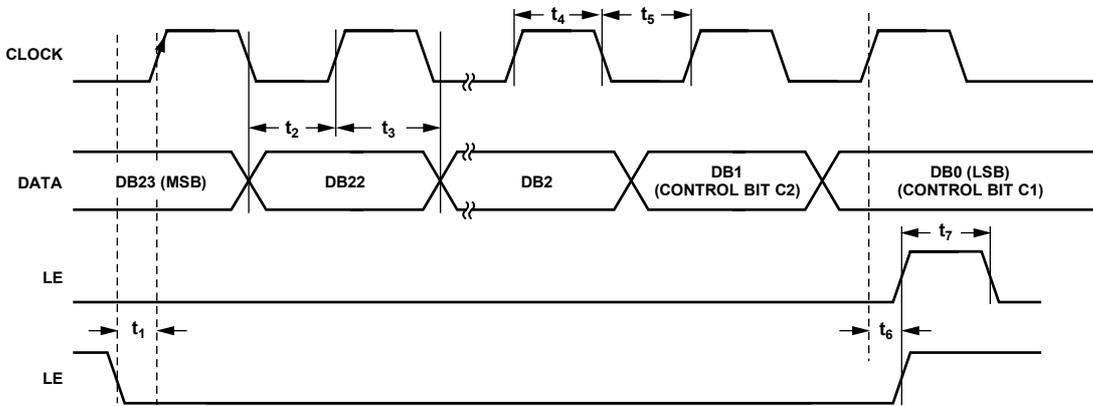


図2. タイミング図

05863-002

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{GND} = \text{AGND} = \text{DGND} = 0\text{ V}$ 、 $V_{\text{DD}} = \text{AV}_{\text{DD}} = \text{DV}_{\text{DD}}$ 。

表3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +4 V
V_{DD} to V_{DD}	-0.3 V to +0.3 V
V_P to GND	-0.3 V to +5.8 V
V_P to V_{DD}	-0.3 V to +5.8 V
Digital I/O Voltage to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
Analog I/O Voltage to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
REF_{IN} , RF_{IN} to GND	-0.3 V to $V_{\text{DD}} + 0.3\text{ V}$
Operating Temperature Range	
Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
Maximum Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは、2 kV 以下の ESD 定格を持ち、ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

熱抵抗

表4.熱抵抗

Package Type	θ_{JA}	Unit
TSSOP	112	°C/W
LFCSP_VQ (Paddle Soldered)	30.4	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

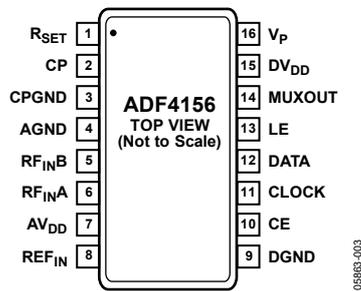


図3.TSSOP ピン配置

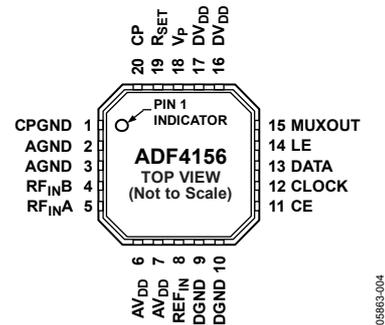


図4.LFCSP ピン配置

表5.ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	R _{SET}	このピンとグラウンドとの間に抵抗を接続すると、最大チャージ・ポンプ出力電流が設定されます。I _{CP} とR _{SET} の関係は、 $I_{CPmax} = \frac{25.5}{R_{SET}}$ ここで、R _{SET} = 5.1 kΩ、I _{CPmax} = 5 mA。
2	20	CP	チャージ・ポンプ出力。イネーブルされると、このピンから±I _{CP} が外部ループ・フィルタに出力されて、外付けVCOが駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。このピンはチャージ・ポンプのグラウンド・リターン・パスです。
4	2, 3	AGND	アナログ・グラウンド。このピンは分周器のグラウンド・リターン・パスです。
5	4	RF _{INB}	RF分周器への相補入力。このポイントは、小さいバイパス・コンデンサ 100 pF (typ)でグラウンド・プレーンへデカップリングする必要があります。
6	5	RF _{INA}	RF分周器への入力。この小信号入力は、通常VCOからAC結合されます。
7	6, 7	AV _{DD}	RFセクションの正電源入力。デジタル・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。AV _{DD} は3V ± 10%です。AV _{DD} はDV _{DD} と同じ電位である必要があります。
8	8	REF _{IN}	リファレンス入力。これは、V _{DD} /2の公称スレッショールドと100 kΩの等価入力抵抗を持つCMOS入力です。この入力は、TTLまたはCMOS水晶発振器から駆動するか、またはAC結合することができます。
9	9, 10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプ出力はスリー・ステート・モードになります。
11	12	CLOCK	シリアル・クロック入力。このシリアル・クロックは、シリアル・データをレジスタに入力するときに使います。データは、CLOCKの立ち上がりエッジでシフトレジスタへ入力されます。この入力は高インピーダンスCMOS入力です。
12	13	DATA	シリアル・データ入力。シリアル・データはMSBファーストでロードされ、下位3ビットはコントロール・ビットとして機能します。この入力は高インピーダンスCMOS入力です。
13	14	LE	ロード・イネーブル、CMOS入力。LEがハイ・レベルになると、シフトレジスタに格納されているデータが5個のラッチの内の1つにロードされます。これらのビットを使ってラッチを選択します。
14	15	MUXOUT	マルチプレクサ出力。このマルチプレクサ出力を使うと、RFロック検出、スケール済みRF、またはスケール済みリファレンス周波数が外部からアクセスできるようになります。
15	16, 17	DV _{DD}	デジタル・セクションの正電源入力。デジタル・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。DV _{DD} は3V ± 10%です。DV _{DD} はAV _{DD} と同じ電位である必要があります。
16	18	V _P	チャージ・ポンプ電源。このピンの電圧はV _{DD} 以上である必要があります。V _{DD} = 3Vのシステムでは、このピンを5.5Vに設定することができ、最大5.5Vまでのチューニング範囲を持つVCOの駆動に使用されます。

代表的な性能特性

PFD = 25 MHz、ループ帯域幅 = 20 kHz、リファレンス = 100 MHz、 $I_{CP} = 313 \mu A$ 、位相ノイズ測定値は Agilent 社の E5500 位相ノイズ・システムを使用して取得。

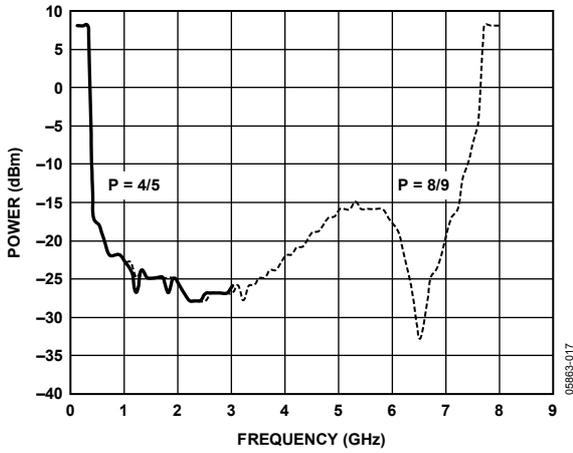


図5.RF 入力感度

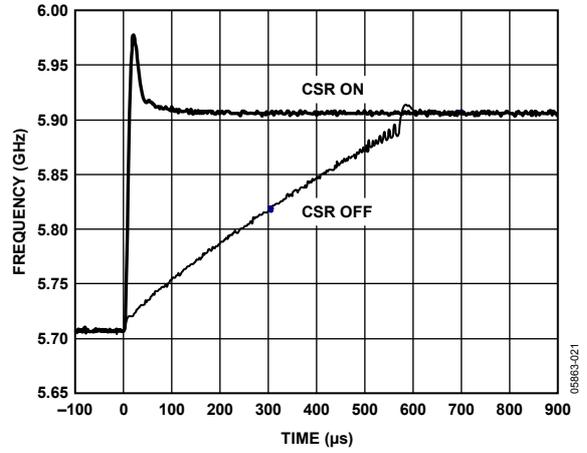


図8.5705 MHz→5905 MHz の 200 MHz ジャンプに対するロック時間、CSR はオン/オフ

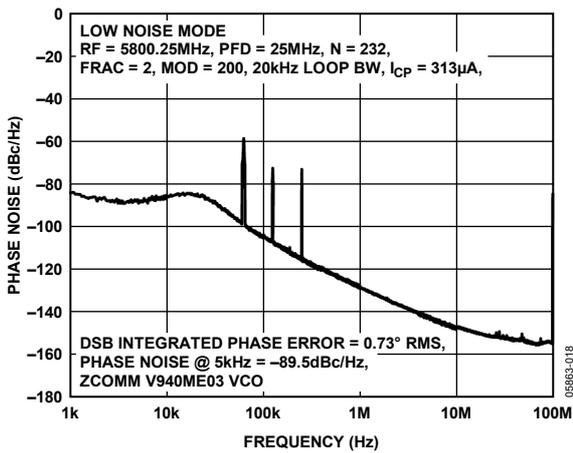


図6.位相ノイズとスプリアス、低ノイズ・モード

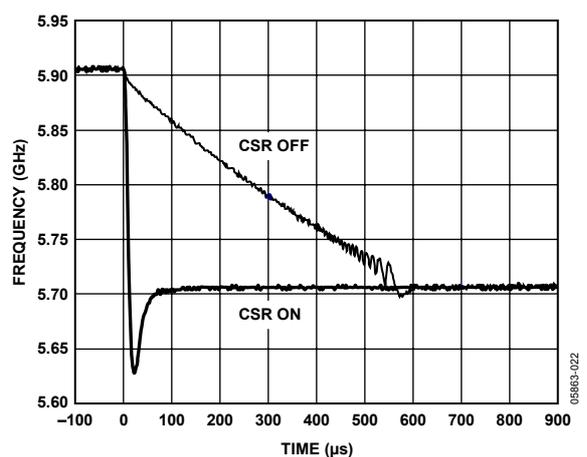


図9.5905 MHz→5705 MHz の 200 MHz ジャンプに対するロック時間、CSR はオン/オフ

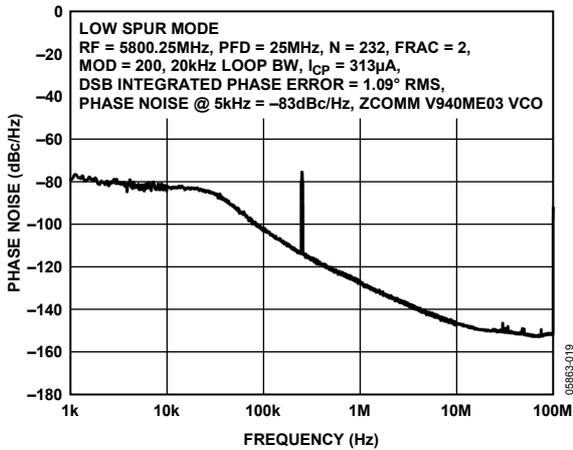


図7.位相ノイズとスプリアス、低スプリアス・モード
(低スプリアス・モードでは非整数スプリアスが除去され、整数境界スプリアスのみが残ることに注意)

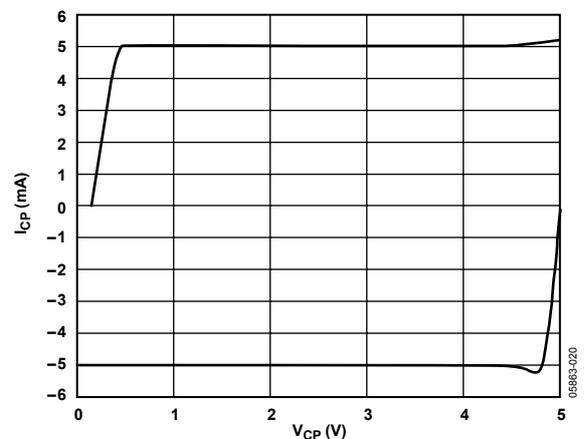


図10.チャージ・ポンプ出力特性

回路説明

リファレンス入力セクション

リファレンス入力セクションを図11に示します。デバイスの動作中、SW1とSW2は通常閉じて、SW3が開きます。パワーダウンが開始されると、SW3が閉じて、SW1とSW2が開きます。この動作により、デバイスのパワーダウン中にREF_{IN}ピンに負荷が接続されないようになっていきます。

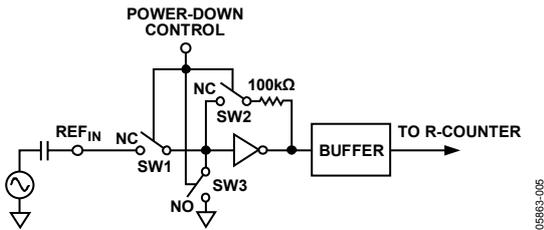


図11.リファレンス入力セクション

RF INT デバイダ

RF INTカウンタを使うと、PLL帰還カウンタで分周比が可能になります。23~4095の分周比が可能です。

INT、FRAC、MOD、R の関係

INT、FRAC、MODの各値とRカウンタの組み合わせを使うと、位相周波数検出器(PFD)の非整数倍間隔を持つ出力周波数を発生することができます。詳細については、RFシンセサイザの一例のセクションを参照してください。

RF VCO周波数(RF_{OUT})式は、

$$RF_{OUT} = F_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

ここで、RF_{OUT}は外部電圧制御発振器(VCO)の出力周波数。

$$F_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

ここで、

REF_{IN}はリファレンス入力周波数。

DはREF_{IN}ダブラー・ビット。

TはREF_{IN}2分周ビット(0または1)。

Rはバイナリ5ビット・プログラマブル・リファレンス・カウンタに設定されている分周比(1~32)。

INTは、バイナリ12ビット・カウンタに設定されている分周比(23~4095)。

MODは非整数モジュラスに設定されている値(2~4095)。

FRACは、非整数分周の分子(0~MOD-1)。

RF 入力ステージ

RF入力ステージを図12に示します。この後ろに2ステージのリミット・アンプが続いて、分周器に必要なCMLクロック・レベルを発生します。

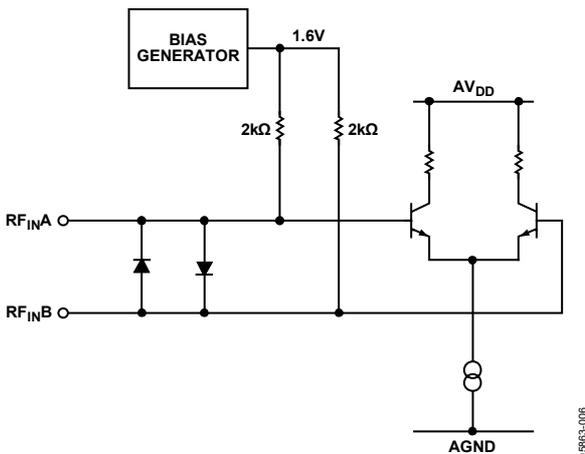


図12.RF 入力ステージ

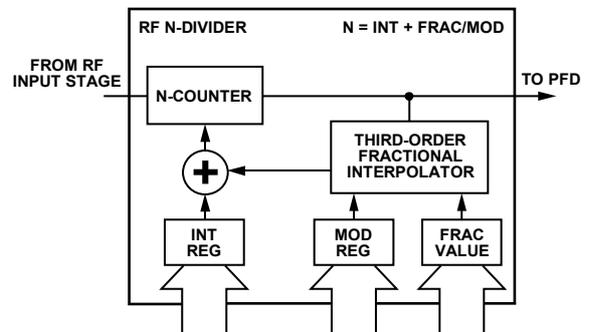


図13.RF INT 分周器

RF R カウンタ

5ビットのRF Rカウンタを使うと、入力リファレンス周波数(REF_{IN})を分周して、PFDへのリファレンス・クロックを発生することができます。1~32の分周比が可能です。

位相周波数検出器(PFD)およびチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受取り、両入力の位相差と周波数差に比例した出力を発生します。図14に、PFDの簡略化した回路図を示します。PFDには固定遅延要素が含まれており、3 ns (typ)のバックラッシュ防止パルスの幅を設定しています。このパルスは、PFD伝達関数内でデッド・ゾーンが発生しないようにし、妥当なリファレンス・スプリアス・レベルにします。

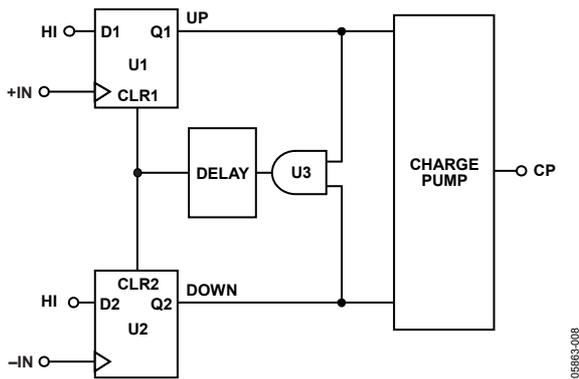


図14.PFDの簡略化した回路図

入力シフトレジスタ

ADF4156のデジタル・セクションには、5ビットRF Rカウンタ、12ビットRF Nカウンタ、12ビットFRACカウンタ、12ビット・モジュラス・カウンタがあります。データは、CLOCKの各立ち上がりエッジで32ビット・シフト・レジスタに入力されます。データはMSBファーストで入力されます。データは、シフト・レジスタからLEの立ち上がりエッジで5個のラッチ内の1つに転送されます。ディステネーション・ラッチは、シフト・レジスタの3ビットのコントロール・ビット(C3、C2、C1)の状態指定されます。これらのビットは、図2に示すように、DB2、DB1、DB0の下位3ビットです。表6にこれらのビットの真理値表を、図16にラッチのプログラム方法を、それぞれ示します。

プログラム・モード

表6 および図16~図21に、ADF4156でのプログラム・モードの設定方法を示します。

モジュラス値、位相値、Rカウンタ値、リファレンス・ダブラー、リファレンス2分周、電流設定などのADF4156の複数の設定は、ダブル・バッファされています。これは、2つのイベントが起こった後に、ダブル・バッファされた設定の新しい値をデバイスが使えるようになることを意味しています。該当するレジスタに書き込むことにより、新しい値が最初にデバイスにラッチされ、その後でレジスタR0に新しい書き込みを行うことが必要です。たとえば、モジュラス値を正しくロードするために、モジュラス値を更新した後に、レジスタR0に書き込みを行う必要があります。

MUXOUT とロック検出

ADF4156の出力マルチプレクサを使うと、チップ上の種々の内部ポイントをアクセスすることができます。MUXOUTの状態は、M4、M3、M2、M1から制御されます(詳細については、図16を参照)。図15に、MUXOUTセクションのブロック図を示します。

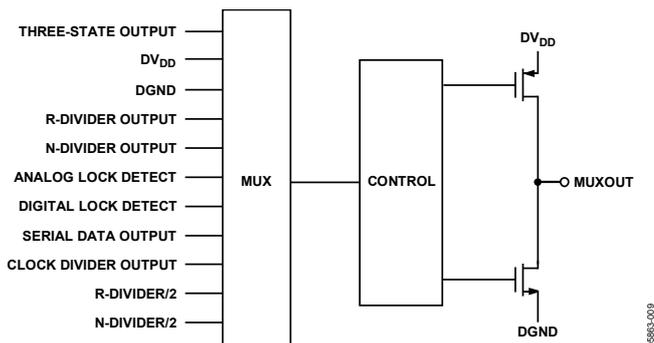


図15.MUXOUTの回路

表6.C3、C2、C1の真理値表

Control Bits			Register
C3	C2	C1	
0	0	0	Register R0
0	0	1	Register R1
0	1	0	Register R2
0	1	1	Register R3
1	0	0	Register R4

レジスタ・マップ

FRAC/INT REGISTER (R0)

RE-SERVED	MUXOUT CONTROL					12-BIT INTEGER VALUE (INT)											12-BIT FRACTIONAL VALUE (FRAC)											CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	M4	M3	M2	M1	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)

PHASE REGISTER (R1)

RESERVED															12-BIT PHASE VALUE (PHASE) ¹												CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C3(0)	C2(0)	C1(1)

MOD/R REGISTER (R2)

RESERVED	NOISE MODE		CSR EN	CURRENT SETTING ¹				RESERVED	PRESCALER	RDIV2 ¹	REFERENCE DOUBLER ¹	5-BIT R COUNTER ¹				12-BIT MODULUS WORD ¹											CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	L2	L1	C1	CPI4	CPI3	CPI2	CPI1	0	P1	U2	U1	R5	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3(0)	C2(1)	C1(0)

FUNCTION REGISTER (R3)

RESERVED															Σ-Δ RESET	RESERVED											LDP	PD POLARITY	PD	CP THREE-STATE COUNTER RESET	CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	U12	0	0	0	0	0	0	0	U7	U6	U5	U4	U3	C3(0)	C2(1)	C1(1)	

CLK DIV REGISTER (R4)

RESERVED											CLK DIV MODE	12-BIT CLOCK DIVIDER VALUE											RESERVED				CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	M2	M1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	0	0	0	0	0	C3(1)	C2(0)	C1(0)

¹DOUBLE BUFFERED BIT.

図16.レジスタの一覧

FRAC/INT レジスタ、R0

レジスタR0のコントロール・ビット(ビット[2:0])に000を設定して、内蔵FRAC/INTレジスタに書き込みます。図17に、このレジスタを書き込む際の入力データ・フォーマットを示します。

12 ビット整数値(INT)

これらの12ビットは、INT値としてロードされる内容を制御します。この値は、全体の帰還分周比を決定します。これは式1で使用されます(INT、FRAC、MOD、Rの関係のセクション参照)。

12 ビット非整数値(FRAC)

これらの12ビットは、FRAC値として非整数インタポレータにロードする内容を制御します。この値は、全体の帰還分周比を決定する一部となります。これも式1で使われます。FRAC値は、MODレジスタにロードされる値より小さい必要があります。

MUXOUT

内蔵マルチプレクサは、ADF4156のDB30、DB29、DB28、DB27から制御されます。真理値表については、図17を参照してください。

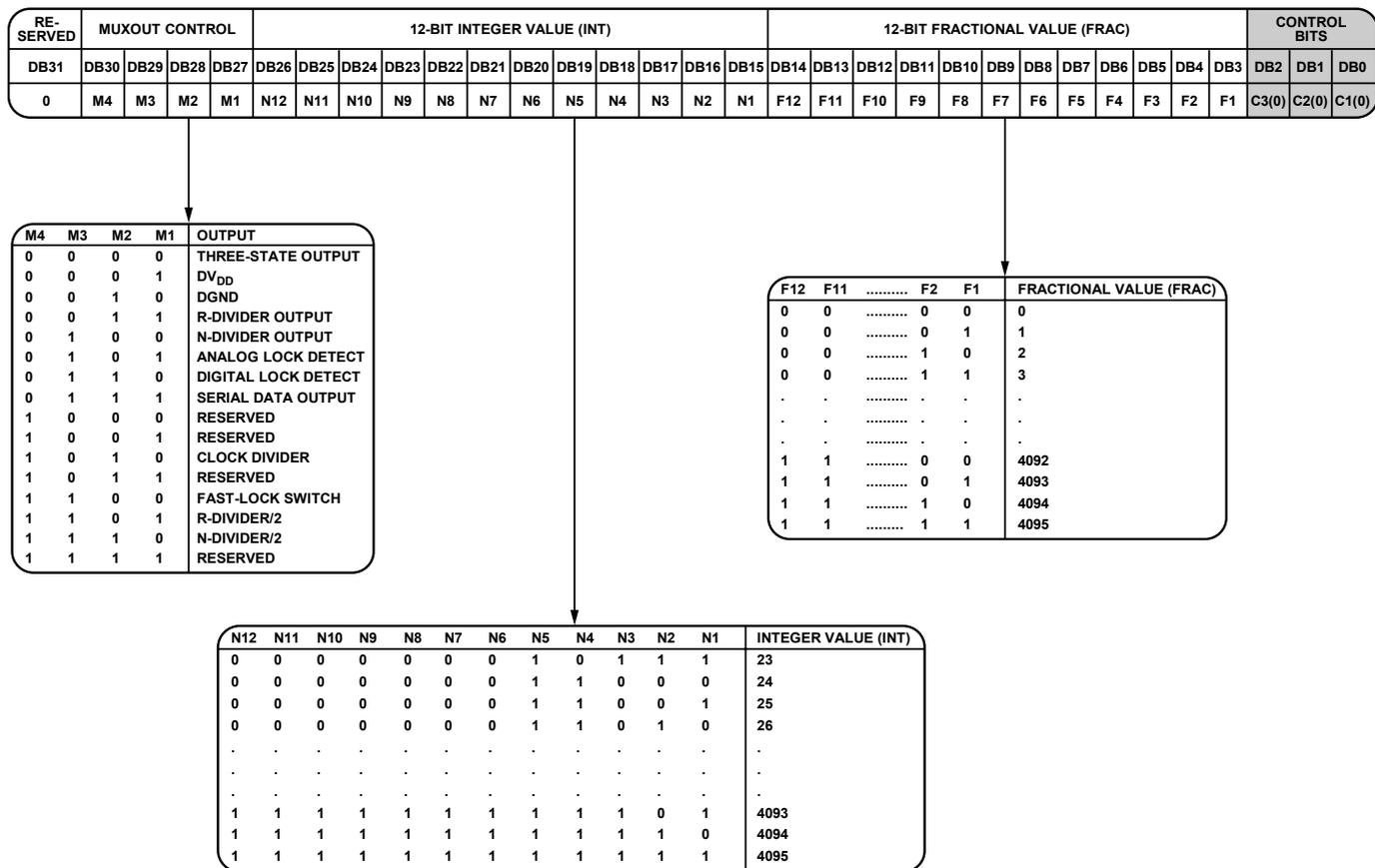


図17.FRAC/INT レジスタ(R0)マップ

06963-011

位相レジスタ、R1

レジスタ R1 のコントロール・ビット(ビット[2:0])に 001 を設定して、内蔵位相レジスタに書き込みます。図 18に、このレジスタを書き込む際の入力データ・フォーマットを示します。

12 ビット位相値

これらの 12 ビットは、位相ワードとしてロードされる内容を制御します。ワードは、MOD/R レジスタ(R2)に設定された MOD 値より小さい必要があります。このワードは、0°~360°の RF 出力位相を 360°/MOD の分解能で書き

込むときに使われます。詳細については、位相再同期のセクションを参照してください。大部分のアプリケーションでは、RF 信号とリファレンスとの間の位相関係は重要ではありません。このようなアプリケーションでは、非整数スプリアス・レベルと小さい非整数スプリアス・レベルを最適化する際に位相値を使うことができます。詳細については、スプリアスの妥当性と非整数スプリアスの最適化のセクションを参照してください。

位相再同期もスプリアス最適化機能も使わない場合には、位相値を 1 に設定することが推奨されます。

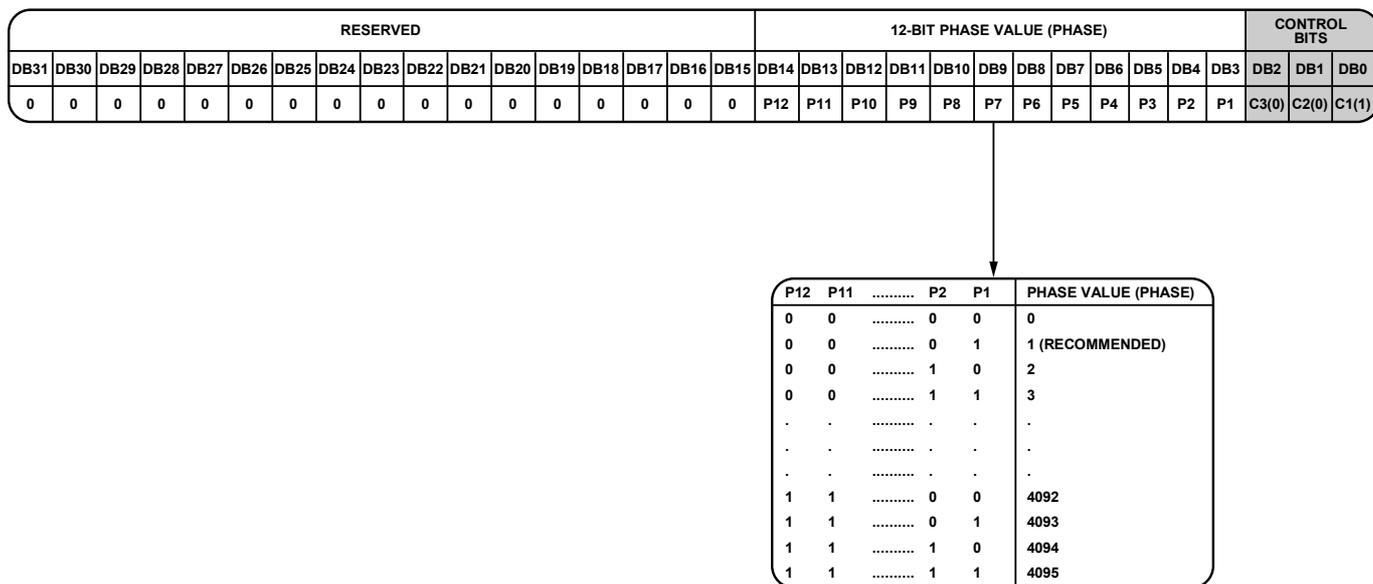


図18.位相レジスタ(R1)マップ

09683-012

MOD/R レジスタ、R2

レジスタR1のコントロール・ビット(ビット[2:0])に010を設定して、内蔵MOD/Rレジスタに書き込みます。図19に、このレジスタを書き込む際の入力データ・フォーマットを示します。

ノイズとスプリアス・モード

ADF4156のノイズ・モードは、MOD/RレジスタのDB30とDB29から制御されます。真理値表については、図19を参照してください。ノイズ・モードを使うと、デザインのスプリアス性能または位相ノイズ性能を最適化することができます。

最小のスプリアス設定を選択すると、ディザがイネーブルされます。この機能は、スプリアス・ノイズではなく白色ノイズに似るように非整数量子化ノイズをランダム化します。このため、デバイスのスプリアス性能が最適化されます。この動作は、一般に、高速ロック・アプリケーション向けにPLLクロック・ループ帯域幅が広い場合に使用されます。広いループ帯域幅とは、RF_{OUT}チャンネル・ステップ分解能(f_{RES})の1/10より大きいループ帯域幅と定義されます。広いループ・フィルタは、スプリアスを狭いループ帯域幅と同じレベルに減衰させません。

最適ノイズ性能を得るためには、最小のノイズ設定オプションを使ってください。ディザのディスエーブルや最小ノイズ設定の使用により、チャージ・ポンプがノイズ性能の最適領域で動作することが保証されます。この設定は、狭いループ・フィルタ帯域幅が使用可能な場合に役立ちます。シンセサイザは極めて低いノイズを保証し、フィルタがスプリアスを減衰させます。代表的な性能特性に、代表的なWCDMAセットアップでの種々のノイズとスプリアス設定のトレードオフを示します。

CSR イネーブル

このビットを1に設定すると、サイクル・スリップ削減機能がイネーブルされて、ロック時間を短くすることができます。サイクル・スリップ削減機能が動作するためには、位相周波数検出器(PFD)での信号が50%デューティ・サイクルである必要があることに注意してください。チャージ・ポンプの電流設定も最小値である必要があります。詳細については、高速ロック時間のセクションを参照してください。位相検出器極性が負に設定されている場合は、CSR を使用できないことに注意してください。

チャージ・ポンプ電流設定

DB[27:24]は、チャージ・ポンプ電流設定値を設定します。これらのビットは、ループ・フィルタ・デザインで指定されたチャージ・ポンプ電流に設定する必要があります(図19参照)。

分周器(P/P + 1)

デュアル・モジュラス分周器(P/P + 1)とINT、FRAC、MODの各カウンタの組み合わせにより、RF_{IN}からPFD入力までの全分周比が決定されます。

分周器はCMLレベルで動作し、RF入力ステージからのクロックを使用し、カウンタ用にそれを分周します。分周器は同期4/5コアを基本にしています。4/5に設定されると、許容最大RF周波数は3 GHzになります。このため、3 GHzより高い周波数でADF4156を動作させる場合、分周器を8/9に設定する必要があります。分周器はINT値を次のように制限します。

$$P = 4/5 \text{ のとき、 } N_{MIN} = 23$$

$$P = 8/9 \text{ のとき、 } N_{MIN} = 75$$

RDIV/2

このビットを1に設定すると、RカウンタとPFDとの間に2分周トグル・フリップフロップが挿入されるため、最大REF_{IN}入力レートが拡張されます。

リファレンス・ダブラー

DB20を0に設定すると、REF_{IN}信号が5ビットRF Rカウンタに直接入力されて、ダブラーがディスエーブルされます。このビットを1に設定すると、REF_{IN}周波数を2倍にした後に5ビットRカウンタに入力されます。ダブラーをディスエーブルすると、非整数シンセサイザのPFD入力で、REF_{IN}の立ち下がりエッジがアクティブ・エッジになります。ダブラーをイネーブルすると、REF_{IN}の立ち上がりエッジと立ち下がりエッジが、PFD入力でアクティブ・エッジになります。

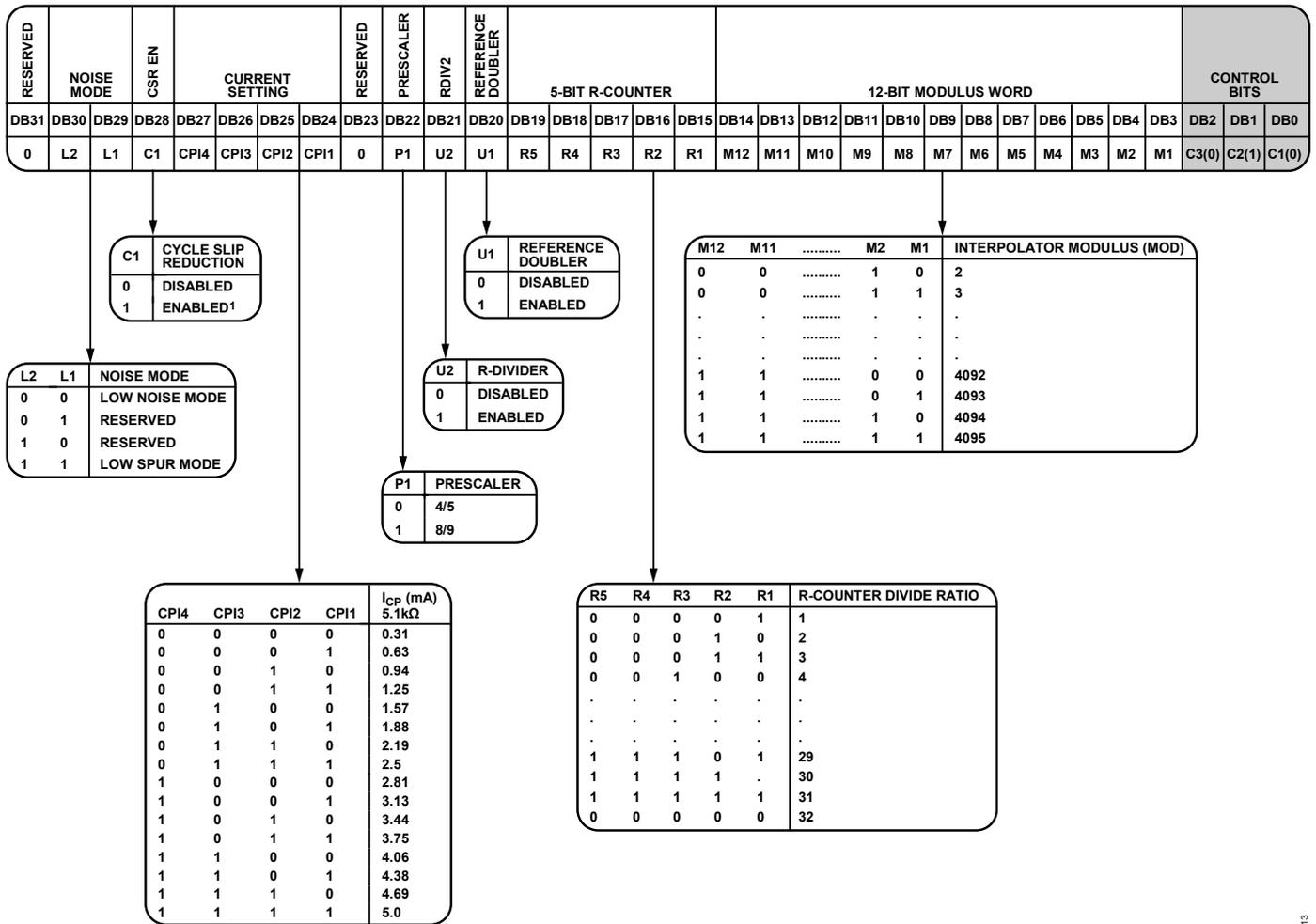
ダブラーをイネーブルし、かつ最小スプリアス・モードを選択すると、帯域内位相ノイズ性能がREF_{IN}デューティ・サイクルに対して敏感になります。位相ノイズの性能低下は、45%~55%範囲の外側のREF_{IN}デューティ・サイクルに対して5 dBにもなることがあります。デバイスが最小ノイズ・モードで、かつダブラーがディスエーブルされている場合には、位相ノイズはREF_{IN}デューティ・サイクルに対して敏感ではありません。ダブラーをイネーブルしたときの最大許容REF_{IN}周波数は30 MHzです。

5 ビット R カウンタ

5ビットのRカウンタを使うと、入力リファレンス周波数(REF_{IN})を分周して、位相周波数検出器(PFD)へのリファレンス・クロックを発生することができます。1~32の分周比が可能です。

12 ビット・インターポレータ MOD 値

このプログラマブルなレジスタは、非整数モジュラスを設定します。この値は、RF出力のチャンネル・ステップ分解能に対するPFD周波数の比になります。詳細については、RFシンセサイザの一例のセクションを参照してください。



¹CYCLE SLIP REDUCTION CANNOT BE USED IF THE PHASE DETECTOR POLARITY IS SET TO NEGATIVE.

図19.MOD/R レジスタ(R2)マップ

ファンクション・レジスタ、R3

レジスタR2のコントロール・ビット(ビット[2:0])に011を設定して、内蔵ファンクション・レジスタに書き込みます。図20に、このレジスタを書き込む際の入力データ・フォーマットを示します。

カウンタ・リセット

DB3は、ADF4156のカウンタ・リセット・ビットです。このビットに1を設定すると、シンセサイザ・カウンタはリセット状態になります。通常動作では、このビットをロジック0にしておく必要があります。

チャージ・ポンプ・スリープ・モード

DB4ビットに1を設定すると、チャージ・ポンプがスリープ・モードになります。通常動作では、このビットをロジック0に設定します。

パワーダウン

DB5はプログラマブルなパワーダウン・モードを提供します。このビットを1に設定すると、パワーダウンが実行されます。このビットを0に設定すると、シンセサイザは通常の動作に戻ります。ソフトウェア・パワーダウン・モードでは、デバイスはレジスタのすべての情報を保持します。電源が失われたときにのみ、レジスタの内容が失われます。

パワーダウンが起動すると、次のイベントが発生します。

1. シンセサイザ・カウンタは強制的にロード状態にされます。
2. チャージ・ポンプは強制的にスリープ・モードにされます。
3. デジタル・ロック検出回路がリセットされます。
4. RF_{IN}入力がディスエーブルされます。
5. 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能です。

位相検出器極性

DB6により位相検出器極性が設定されます。VCO特性が正の場合、このビットを1に設定する必要があります。VCO特性が負の場合、このDB6ビットは0に設定する必要があります。位相検出器極性が負に設定されている場合は、サイクル・スリップ削減機能を使用できないことに注意してください。

ロック検出精度(LDP)

DB7に0を設定すると、位相検出器の連続40サイクル間での位相誤差が10 nsより小さい場合、デジタル・ロック検出がハイ・レベルに設定されます。このビットを1に設定すると、位相誤差6 ns未満が位相検出器の連続40サイクル間で続くと、デジタル・ロック検出がセットされます。

Σ-Δ リセット

大部分のアプリケーションでは、DB14に0を設定します。DB14に0を設定すると、レジスタR0への書き込みごとに、Σ-Δ変調器が開始ポイントまたは開始位相ワードにリセットされます。この機能は、スプリアス・レベルの削減に役立ちます。

レジスタR0への各書き込みごとにΣ-Δ変調器をリセットすることが不要の場合は、DB14に1を設定します。

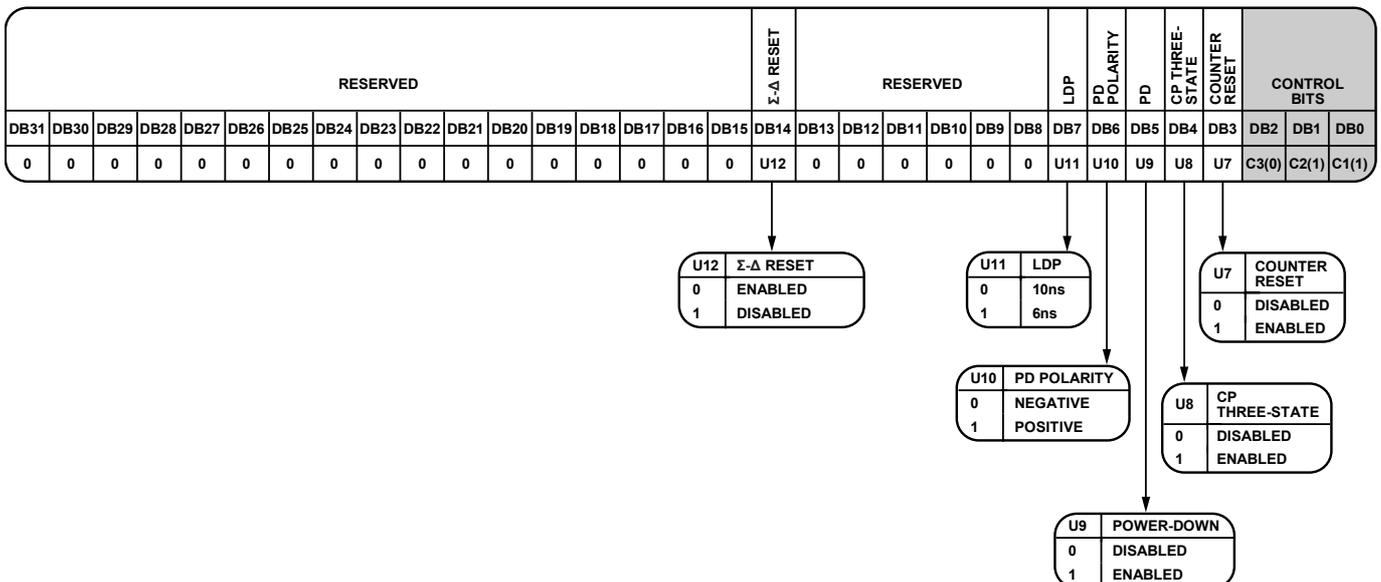


図20. ファンクション・レジスタ(R3)マップ

CLK DIV レジスタ、R4

レジスタR3のコントロール・ビット(ビット[2:0])に100を設定して、内蔵クロック分周レジスタ(R4)に書き込みます。図21に、このレジスタを書き込む際の入力データ・フォーマットを示します。

12 ビット・クロック分周値

12 ビット・クロック分周値は、高速ロック・モードまたは位相再同期の起動に使うタイムアウト・カウンタを設定します。詳細については、位相再同期のセクションを参照してください。

クロック分周器モード

DB[20:19]は、ADF4156内のクロック分周器のモードを制御します。高速ロック・モードを起動するときは01を、位相再同期を起動するときは10を、それぞれこれらのビットに設定します。大部分のアプリケーションでは、高速ロックと位相再同期は必要とされません。この場合、DB[20:19]は00に設定します。

予約済みビット

通常の動作では、すべての予約済みビットを0に設定する必要があります。

初期化シーケンス

デバイスのパワーアップ後、レジスタの正しい設定シーケンスは次のようになります。

1. CLK DIV レジスタ(R4)
2. ファンクション・レジスタ(R3)
3. MOD/R レジスタ(R2)
4. 位相レジスタ(R1)
5. FRAC/INT レジスタ(R0)

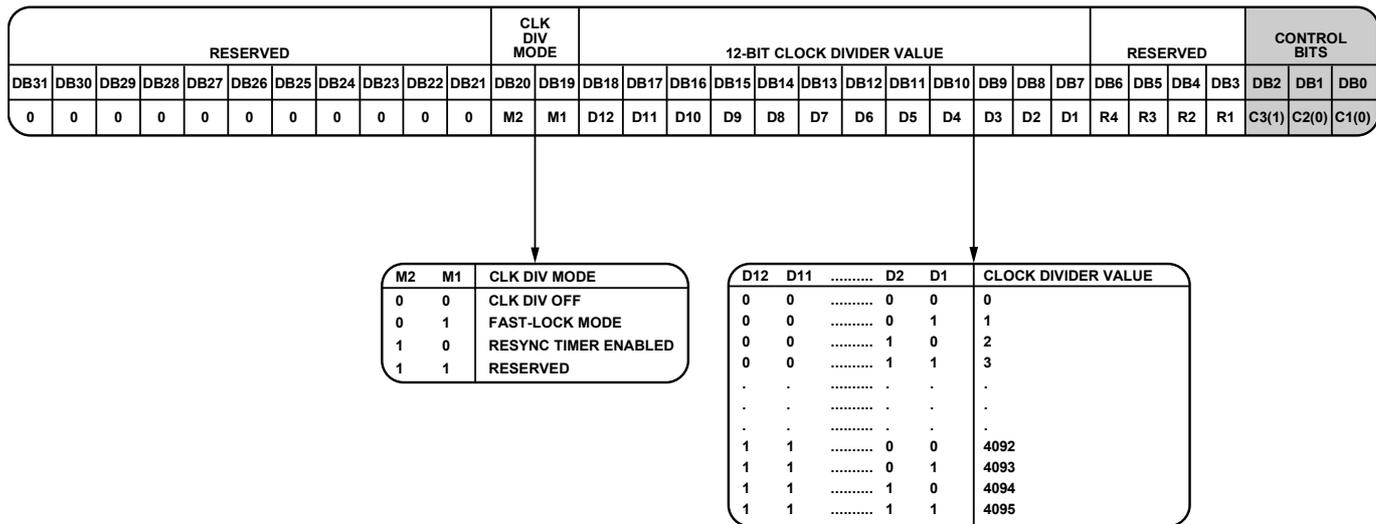


図21.CLK DIV レジスタ(R4)マップ

08863-015

RF シンセサイザの一例

シンセサイザの設定は次式に基づいて行います。

$$RF_{OUT} = [INT + (FRAC/MOD)] \times [F_{PFD}] \quad (3)$$

ここで、
 RF_{OUT} はRF周波数出力。
 INT は整数分周比。
 $FRAC$ は非整数。
 MOD はモジュラス。

PFD周波数は次のように計算されます。

$$F_{PFD} = REF_{IN} \times [(1 + D)/(R \times (I + T))] \quad (4)$$

ここで、
 REF_{IN} はリファレンス周波数入力。
 D はRF REF_{IN} ダブラー・ビット。
 T はリファレンス2分周ビットで、0または1に設定されます。
 R はRFリファレンス分周比。

たとえば、GSM 1800システムでは、1.8 GHzのRF周波数出力(RF_{OUT})が必要で、13 MHzのリファレンス周波数入力(REF_{IN})が使用可能で、RF出力では200 kHzのチャンネル分解能(f_{RES})が必要です。

$$MOD = REF_{IN}/f_{RES}$$

$$MOD = 13 \text{ MHz}/200 \text{ kHz} = 65$$

したがって、式4から

$$F_{PFD} = [13 \text{ MHz} \times (1 + 0)/1] = 13 \text{ MHz} \quad (5)$$

$$1.8 \text{ GHz} = 13 \text{ MHz} \times (INT + FRAC/65) \quad (6)$$

ここで、 $INT = 138$ および $FRAC = 30$ 。

モジュラス

モジュラス(MOD)の選択は、使用可能なリファレンス信号(REF_{IN})とRF出力で必要とされるチャンネル分解能(f_{RES})に依存します。たとえば、13 MHz REF_{IN} のGSMシステムではモジュラスを65に設定して、必要とされる200 kHzのRF出力分解能(f_{RES})を得ています(13 MHz/65)。ディザをオフにすると、非整数スプリアス間隔は選択したモジュラス値に依存します。詳細については、表7を参照してください。

リファレンス・ダブラーとリファレンス分周器

内蔵リファレンス・ダブラーを使うと、入力リファレンス信号を2倍にすることができます。この機能は、PFDの比較周波数を高くするときに便利で、システムのノイズ性能も向上します。PFD周波数を2倍にすると、ノイズ性能は3 dB向上します。N分周器の Σ - Δ 回路の速度に制約があるため、32 MHzより高い周波数でPFDは動作できないことに注意してください。

リファレンス2分周では、リファレンス信号を1/2倍するため、50%デューティ・サイクルのPFD周波数が得られます。これは、サイクル・スリップ削減(CSR)機能の動作

に必要です。詳細については、高速ロック時間のセクションを参照してください。

12 ビット・プログラマブル・モジュラス

他の大部分の非整数N型PLLとは異なり、ADF4156では12ビット範囲でモジュラスを設定することができます。したがって、モジュラス値、リファレンス・ダブラー、5ビットRカウンタの値を変更することにより、1つのアプリケーションに対してADF4156では複数の設定が可能です。

たとえば、アプリケーションでは1.75 GHzのRFと200 kHzのチャンネル・ステップ分解能が必要です。システムには13 MHzのリファレンス信号があります。

1つの可能なセットアップは、13 MHzを直接PFDへ入力して、モジュラスを65分周に設定すると、200 kHzの必要とされる分解能が得られます。

もう1つのセットアップは、リファレンス・ダブラーを使って13 MHzの入力信号から26 MHzを発生させます。26 MHz信号をPFDに入力します。モジュラスは130分周に設定します。このセットアップでも200 kHzの分解能が得られますが、前のセットアップより優れた位相ノイズ性能が得られます。

プログラマブルなモジュラスは、複数規格のアプリケーションでも役立ちます。デュアル・モード電話機でPDCとGSM 1800の両規格が必要な場合、プログラマブルなモジュラスは非常に便利です。PDCでは25 kHzのチャンネル・ステップ分解能が必要で、GSM 1800では200 kHzのチャンネル・ステップ分解能が必要です。

13 MHzのリファレンス信号を直接PFDへ入力し、PDCモードではモジュラスを520に設定することができます(13 MHz/520 = 25 kHz)。GSM 1800動作では、モジュラスを65へ変更します(13 MHz/65 = 200 kHz)。

PFD周波数が一定(13 MHz)であることが重要です。一定にすることにより、安定性問題を生じないで両セットアップに共通に使える1つのループ・フィルタをデザインすることが可能になります。ループ・デザインに影響を与えるのは、PFD周波数に対するRF周波数の比です。この関係を一定にすることにより、同じループ・フィルタを両アプリケーションで使用することができます。

ADF4156 での高速ロック時間

ノイズとスプリアス・モードのセクションで説明したように、ADF4156のノイズ性能を最適化することができます。ただし、高速ロック・アプリケーションでは、ループ帯域幅を広くする必要があります。このため、フィルタはスプリアスに大きな減衰を与えることができません。

ADF4156の高速ロック時間を実現する方法として、サイクル・スリップ削減機能の使用またはダイナミック帯域幅スイッチング・モードの使用の2つの方法があります。両ケースとも考え方は、ループ帯域幅を狭く維持してスプリアスを減衰させると同時に高速ロック時間を実現することです。

サイクル・スリップ削減モードでは、ループ・フィルタまたはタイムアウト・カウンタ値の最適化を変更する必要がなく、実現が容易であるため、この方が望ましい方法です。大部分のケースで、この方法は帯域幅スイッチング・モード方法より高速なロック時間を提供します。過渡現象の整定過程でサイクル・スリップが存在しない極端なケースで、帯域幅スイッチング・モードを使用することができます。

サイクル・スリップ削減モード

サイクル・スリップは、PFD周波数に比べてループ帯域幅が狭い場合に整数N/非整数Nシンセサイザで発生します。PFD入力での位相誤差の累積が高速過ぎてPLLが補正できなく、かつチャージ・ポンプが一時的に誤った方向にポンプアップします。このために、ロック時間が大幅に低速化します。ADF4156はサイクル・スリップ削減回路を内蔵しているため、PFDのリニア範囲を広げて、ループ・フィルタの変更なしでロック時間を高速化することができます。

ADF4156がサイクル・スリップが発生しそうなことを検出すると、チャージ・ポンプの電流セルを増やします。新しい周波数を発生するために必要なVCOチューニング電圧の増減に応じて、ループ・フィルタへ定電流を増加するか、またはループ・フィルタから定電流を削減します。こうして、PFDのリニア範囲が広がられます。電流はパルスではなく一定値であるため安定性が維持されます。位相誤差が次のサイクル・スリップが発生しそうなポイントまで増加すると、ADF4156はさらにチャージ・ポンプ・セルを追加します。VCO周波数が所望の周波数を越えたことをADF4156が検出するまで、このプロセスが続きます。次に追加されたチャージ・ポンプ・セルを1個ずつターンオフして、すべてがターンオフして周波数が安定するまで、このターンオフ動作を続けます。

最大7個の追加チャージ・ポンプ・セルをターンオンすることができます。大部分のアプリケーションで、これはサイクル・スリップをなくするために十分な量であり、高速なロック時間が得られます。

MOD/Rレジスタ(R2)のビットDB28を1に設定すると、サイクル・スリップ削減機能がイネーブルされます。CSRが正常に動作するためには、PFDの信号に45%~55%のデュティ・サイクルが必要です。位相検出器極性が負に設定されている場合は、CSRを使用できないことに注意してください。このため、CSRを使うときは非反転ループ・フィルタを使用してください。

ダイナミック帯域幅スイッチング・モード

ダイナミック帯域幅スイッチング・モードでは、設定された時間に対するループ・フィルタ帯域幅をロック過渡状態の開始時に広げます。これは、レジスタR2の設定値から最大設定までチャージ・ポンプ電流を増やすことにより実現されます。この期間のループ安定性を維持するため、スイッチと抵抗を追加してループ・フィルタを変更することが必要です。このモードで新しい周波数がADF4156に設定されると、次の3つのイベントが同時に発生してデバイスを広帯域モードにします。

- タイムアウト・カウンタが起動します。
- チャージ・ポンプ電流が設定された電流値から最大設定値へ増加します。
- 高速ロック・スイッチ(MUXOUTに出力)が起動します。

レジスタR4のタイムアウト・カウンタにより、デバイスを広帯域モードに維持する時間が指定されます。広帯域モードでは、ループ・フィルタ帯域幅が広がるためPLLのロックが高速になります。ループ・フィルタ内で追加抵抗を使用することにより、安定性は最適な45°の設定に維持されます。

タイムアウト・カウンタがタイムアウトすると、チャージ・ポンプ電流が最大設定値からその設定電流値へ減少して、高速ロック・スイッチが非アクティブになります。デバイスは狭帯域モードに戻り、スプリアスが減衰されます。

最適ロック時間を保証するためには、PLLが最終周波数に近づいたときタイムアウトするようにタイムアウト・カウンタを設定する必要があります。スイッチが非アクティブになると、スイッチから電荷が流入するため、過渡整定過程にスパイクが観測されます。PLLは狭帯域モードにあるため、このスパイクの消滅には時間を要します。これは、サイクル・スリップ削減モードと比較した帯域幅スイッチング・モードの欠点の1つです。

高速ロックの一例

PLL リファレンス周波数= 13 MHz、 f_{PFD} = 13 MHz、所望ロック時間= 50 μ s の場合、PLL は 40 μ s 間広帯域幅に設定されます。

広帯域幅に設定された時間を 40 μ s とすると、

$$\text{高速ロック・タイマー値} = \text{広い帯域幅の時間} \times f_{PFD}$$

$$\text{高速ロック・タイマー値} = 40 \mu\text{s} \times 13 \text{ MHz} = 520$$

したがって、レジスタ R4 のビット DB[18:7] に 520 をロードします。レジスタ R4 のクロック分周器モード・ビット (DB[20:19]) には 01 を設定してこのモードを開始します。MUXOUT ピンで高速ロック・スイッチを開始するときは、レジスタ R0 の MUXOUT コントロール・ビット (DB[30:27]) に 1100 を設定します。

高速ロックのループ・フィルタ回路

高速ロック・モードを使うときは、PLL からループ・フィルタへの追加接続が必要です。ループ・フィルタ内の制動抵抗は、広帯域幅モードの間 $\frac{1}{4}$ の値に削減する必要があります。これは、広帯域幅モードの間にチャージ・ポンプ電流を 16 だけ増やしても安定性を維持するために必要になります。ADF4156 が高速ロック・モードのとき(すなわち高速ロック・スイッチが MUXOUT ピンに出力されるように設定したとき)、MUXOUT ピンは自動的にグラウンドへ短絡されます。次の 2 つの回路を使用することができます。

- 回路 1: 制動抵抗(R1)を比 1:3 となる 2 つの値(R1 と R1A)に分割(図 22 参照)。
- 回路 2: 追加抵抗(R1A)を直接 MUXOUT に接続(図 23 参照)。追加抵抗と制動抵抗(R1)の並列接続が R1 の元の値の $\frac{1}{4}$ になるように追加抵抗を選択します(図 23 参照)。

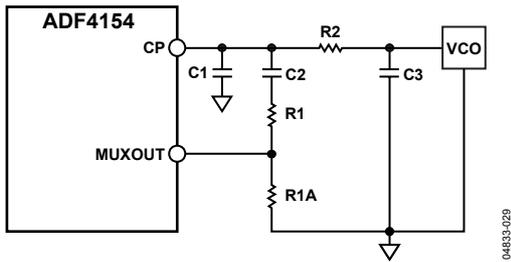


図22.回路 1—高速ロック・ループ・フィルタ回路

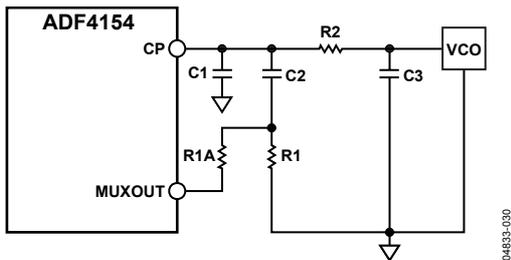


図23.回路 2—高速ロック・ループ・フィルタ回路

スプリアスのメカニズム

このセクションでは、非整数 N シンセサイザで発生する 3 つのスプリアス・メカニズムと ADF4156 でこれらのスプリアスを削減する方法について説明します。

非整数スプリアス

ADF4156 の非整数インタポレータは 3 次 Σ - Δ 変調器であり、2~4095 の整数値を設定できるモジュラス(MOD)を持っています。低スプリアス・モード(ディザをイネーブル)では、MOD の最小許容値は 50 です。 Σ - Δ 変調器は PFD リファレンス・レート(f_{PFD})でクロック駆動され、 f_{PFD}/MOD のチャンネル・ステップ分解能で PLL 出力周波数を合成することができます。

低ノイズ・モード(ディザをオフ)では、 Σ - Δ 変調器の量子化ノイズは非整数スプリアスとして現れます。スプリアスの間隔は f_{PFD}/L です。ここで、L はデジタル Σ - Δ 変調器内のコード・シーケンスの繰り返し長です。ADF4156 で使用されている 3 次変調器の場合、繰り返し長は MOD の値に依存します(表 7)。

表7.ディザ・オフ時の非整数スプリアス

Condition	Repeat Length	Spur Interval
If MOD is divisible by 2, but not 3	$2 \times MOD$	Channel step/2
If MOD is divisible by 3, but not 2	$3 \times MOD$	Channel step/3
If MOD is divisible by 6	$6 \times MOD$	Channel step/6
Otherwise	MOD	Channel step

低スプリアス・モード(ディザをイネーブル)では、MOD の値に関係なく繰り返し長は 2^{21} サイクルに拡張されます。このため量子化誤差スペクトルは広帯域ノイズのようになります。この結果、PLL 出力での帯域内位相ノイズを 10 dB も少なくすることができます。ノイズを最小にするためには、ディザをオフにする方が良い選択になります。最小周波数の非整数スプリアスでも減衰できるほどに最終ループ帯域幅が十分狭い場合には特に当てはまります。

整数境界スプリアス

非整数スプリアス発生のもう 1 つのメカニズムは、RF VCO 周波数とリファレンス周波数との間の相互干渉です。これらの周波数が整数関係にないとき(非整数 N シンセサイザの場合のように)、スプリアスのサイドバンドが VCO 出力スペクトルのオフセット周波数位置に現れます。これはビート、すなわちリファレンス周波数の整数倍と VCO 周波数との間の周波数差に対応します。

これらのスプリアスはループ・フィルタで減衰され、リファレンスの整数倍に近いチャンネルで顕著になります。ここでは差周波数がループ帯域内に入ることがあるため、整数境界スプリアスと呼ばれています。

リファレンス・スプリアス

リファレンス・スプリアスは一般に、非整数 N シンセサイザで問題になることはありません。これは、リファレンス・オフセットがループ帯域から離れているためです。ただし、ループをバイパスするリファレンス・フィードスルー・メカニズムにより、問題が発生することがあります。このようなメカニズムの 1 つとしては、内蔵リファレンスから RF_{IN} ピンを経由して VCO へ戻る低レベルのスイッチング・ノイズのフィードスルーがあり、リファレンス・スプリアス・レベルが -90 dBc にもなることがあります。PCB レイアウトでは VCO を入力リファレンスから離してボード上にフィードスルー・パスが発生しないように注意する必要があります。

スプリアスの妥当性と非整数スプリアスの最適化

ディザをオフにすると、 Σ - Δ 変調器の量子化ノイズから発生する非整数スプリアス・パターンも変調器の開始ポイントとして設定された位相ワードに依存します。 Σ - Δ リセット・ビット(レジスタ R3 の DB14)に 0 を設定すると、レジスタ R0 への書き込みごとに、この開始ポイントが Σ - Δ 変調器で使用されることが保証されます。

特定の周波数での非整数とサブ非整数のスプリアス・レベルを最適化するために位相ワードを変えることができます。したがって、ADF4156 を設定する際に使用できる各周波数に対応する位相値のルックアップ・テーブルをつくることができます。

評価ソフトウェアには、スペクトル・アナライザでスプリアス・レベルを表示できるように位相ワードをスイープするスイープ機能があります。

ルックアップ・テーブルを使用しない場合には、位相ワードを一定にして特定の周波数での妥当なスプリアス・レベルを維持してください。

位相再同期

非整数 N PLL の出力は、入力リファレンスに対して任意の MOD 位相オフセットに安定することがあります。ここで、MOD は非整数モジュラスです。ADF4156 の位相再同期機能は、入力リファレンスに対して妥当な出力位相オフセットを発生させるときに使用します。この機能は、デジタル・ビーム形成などのような出力位相と周波数が重要となるアプリケーションで必要となります。位相再同期機能を使う際の特定の RF 出力位相を設定する方法については、位相のプログラマブル性のセクションを参照してください。

レジスタ R4 のビット DB[20:19] に 10 を設定すると、位相再同期がイネーブルされます。位相再同期をイネーブルすると、内部タイマーが次式で与えられる t_{SYNC} 間隔で同期信号を発生します。

$$t_{\text{SYNC}} = \text{CLK_DIV_VALUE} \times \text{MOD} \times t_{\text{PFD}}$$

ここで、

t_{PFD} は PFD リファレンス周期。

CLK_DIV_VALUE は、レジスタ R4 のビット DB[18:7] に設定する 10 進値。この値は、1~4095 の範囲の任意の整数です。

MOD は、レジスタ R2 のビット DB[14:3] に設定されるモジュラス値です。

新しい周波数を設定すると、LE の立ち上がりエッジの後ろの 2 番目の同期パルスを使って出力位相をリファレンスに再同期化します。 t_{SYNC} 時間は、ワーストケース・ロック時間と少なくとも同じ値に設定する必要があります。そうすることにより、PLL の過渡整定時の最後のサイクル・スリップの後に位相再同期が発生することが保証されます。

図 24 に示す例では、PFD リファレンスは 25 MHz、MOD 値は 200 kHz のチャンネル間隔に対して 125 です。このため、 t_{SYNC} は CLK_DIV_VALUE に 80 を設定することにより 400 μs に設定されます。

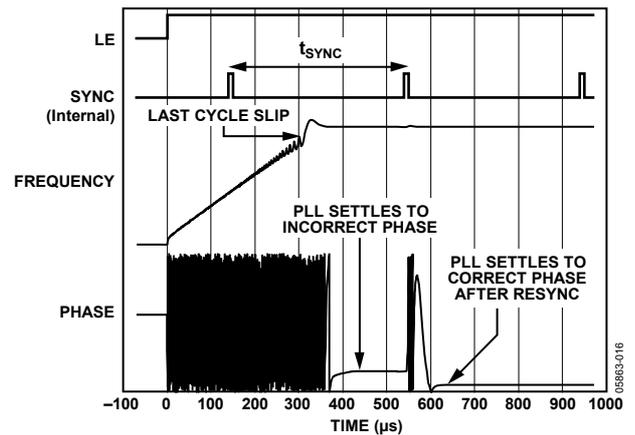


図24.位相再同期の例

位相のプログラマブル性

特定の RF 出力位相を設定するときは、レジスタ R1 の位相ワードを変更します。このワードは 0 から MOD へスweepされるため、RF 出力位相は $360^\circ/\text{MOD}$ ステップで $360^\circ/\text{MOD}$ の範囲をスweepします。

低周波アプリケーション

RF 入力仕様は最小 0.5 GHz ですが、400 V/ μs の最小スルーレート仕様を満たす場合、これより低い RF 周波数を使用することができます。Fairchild Semiconductor 社の FIN1001 のような適切な LVDS ドライバを使って、ADF4156 の RF 入力に帰還する前に RF 信号を 2 乗することができます。

フィルタ・デザイン—ADIsimPLL

PLL デザインに役立つフィルタ・デザインおよび解析プログラムを提供しています。ADIsimPLL™ ソフトウェアは www.analog.com/pll から無償でダウンロードすることができます。このソフトウェアは、PLL の周波数領域と時間領域での応答のデザイン、シミュレーション、解析を行います。さまざまなパッシブ・フィルタとアクティブ・フィルタのアーキテクチャが可能です。ループ・フィルタをデザインするときは、PFD 周波数とループ帯域幅との比を 200:1 以上に維持して、 Σ - Δ 変調器ノイズを減衰させます。

インターフェース

ADF4156には、デバイスに対する書き込みを行うためのシンプルなSPI互換シリアル・インターフェースが内蔵されています。CLOCK、DATA、LEを使ってデータ転送を制御します。LE(ラッチ・イネーブル)をハイ・レベルにすると、シリアル・クロックの各立ち上がりエッジで入力レジスタに入力された29ビットが該当するラッチへ転送されます。最大許容シリアル・クロック・レートは20 MHzです。図2にタイミング図を、表6にラッチの真理値表を、それぞれ示します。

チップ・スケール・パッケージ用の PCB デザイン・ガイドライン

リードフレーム・チップ・スケール・パッケージ(CP-20-1)のランドは長方形です。これらに対するプリント回路ボードのランドは、パッケージのランド長より0.1 mm長く、かつパッケージのランド幅より0.05 mm広い必要があります。ハンダ接続サイズを大きくするため、パッケー

ジのランドの中心とパッドの中心は一致している必要があります。

チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。プリント回路ボード上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。短絡を防止するため、サーマル・パッドとプリント回路ボード上のランド・パターンの内側エッジとの間に少なくとも0.25 mmの間隙を設けてください。

サーマル・ビアをプリント回路ボードのサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mmピッチ・グリッドのサーマル・パッドを使用する必要があります。ビアの直径は0.3 mm～0.33 mmであり、ビア・バレルは1 ozの銅でメッキして、ビアを構成する必要があります。さらに、プリント回路ボードのサーマル・パッドはAGNDへ接続してください。

外形寸法

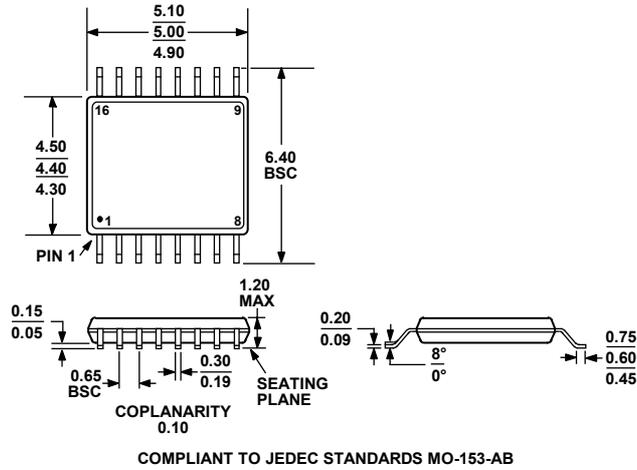


図25.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16)
寸法: mm

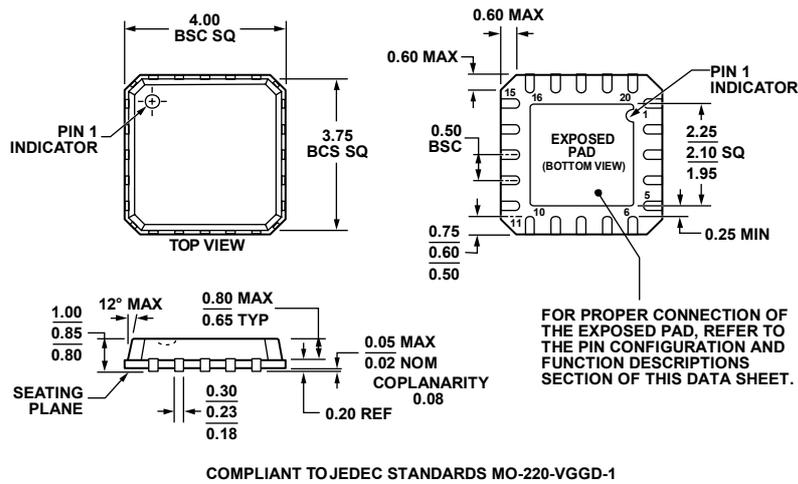


図26.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ] 4 mm × 4 mm ボディ、極薄クワッド(CP-20-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADF4156BRUZ ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4156BRUZ-RL ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4156BRUZ-RL7 ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4156BCPZ ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADF4156BCPZ-RL ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADF4156BCPZ-RL7 ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
EVAL-ADF4156EBZ1 ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の1つからI²C部品を購入すると、Phillips社の制定するI²C標準仕様にシステムが準拠している場合、I²Cシステム内でこれらのデバイスを使うためのPhillips社のI²C特許権のもとにライセンスが購入者に移転されます。