

### 特長

- 帯域幅: 6.0 GHz
- 電源電圧: 2.7 V~3.3 V
- 別チャージ・ポンプ電源 ( $V_P$ ) の使用により
  - 3 V システムでのチューニング電圧の拡張が可能
- プログラマブルなデュアル・モジュラス・プリスケアラ
  - 8/9、16/17、32/33、64/65
- プログラマブルなチャージ・ポンプ電流
- プログラマブルなアンチバックラッシュ・パルス幅
- 3 線式シリアル・インターフェース
- アナログおよびデジタル・ロック検出
- ハード・ディスクおよびソフトウェアのパワーダウン・モード

### アプリケーション

- ブロードバンド・ワイヤレス・アクセス
- 衛星システム
- 計装機器
- ワイヤレス LAN
- 無線基地局

### 概要

ADF4106 周波数シンセサイザは、ワイヤレス・レシーバとトランスミッタのアップコンバージョン部分とダウンコンバージョン部分でローカル発振器を構成するときに使用され、低ノイズ・デジタル位相周波数検出器(PFD)、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器、プログラマブルな A カウンタと B カウンタ、デュアル・モジュラス・プリスケアラ(P/P + 1)から構成されています。A カウンタ(6 ビット)と B カウンタ(13 ビット)とデュアル・モジュラス・プリスケアラ (P/P + 1)の組み合わせにより、N デバイダ ( $N = BP + A$ ) が構成されます。さらに、14 ビットのリファレンス・カウンタ(R カウンタ)を使うと、PFD 入力で  $REF_{IN}$  周波数が選択可能になります。シンセサイザを外部ループ・フィルタおよび電圧制御発振器(VCO)と組み合わせると、位相ロック・ループ(PLL)全体を構成することができます。非常に広い帯域幅を持つため、多くの高周波システムで周波数ダブラーが不要になり、システム・アーキテクチャが簡素化され、コストが削減されます。

### 機能ブロック図

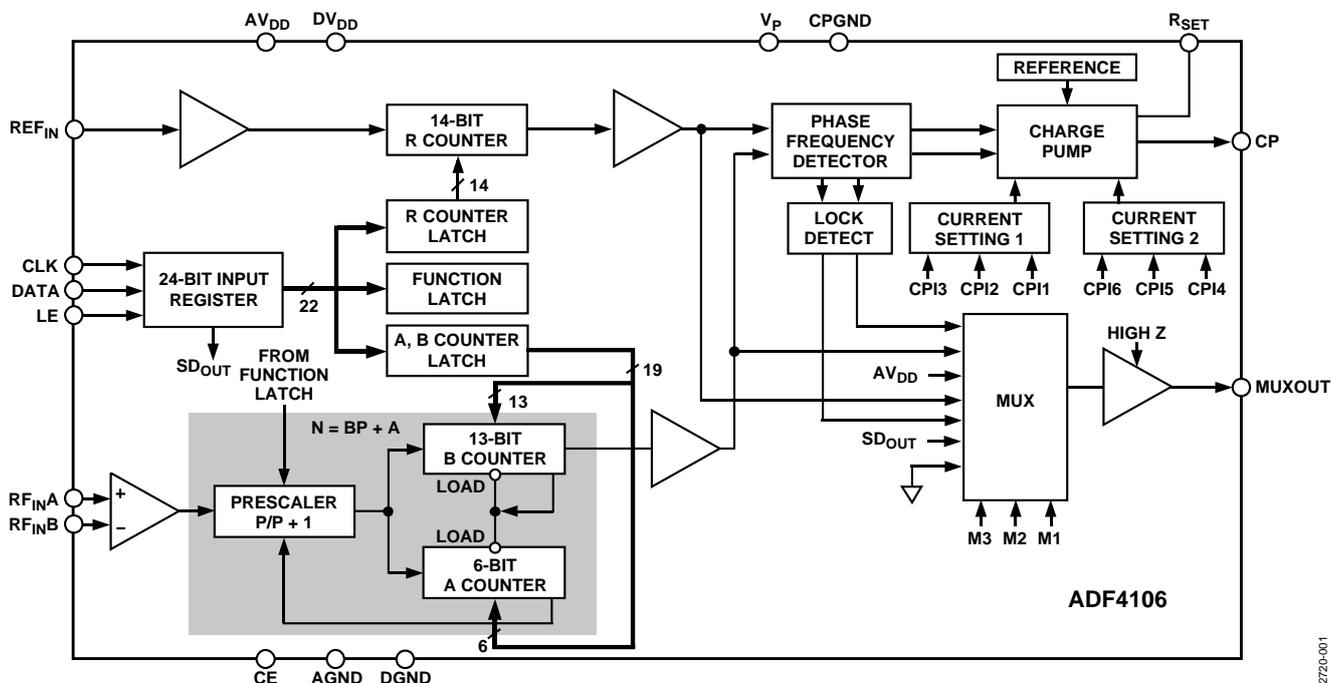


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2001-2010 Analog Devices, Inc. All rights reserved.

## 目次

仕様.....	3	位相周波数検出器(PFD)およびチャージ・ポンプ.....	10
タイミング特性.....	4	MUXOUTとロック検出.....	10
絶対最大定格.....	5	入力シフトレジスタ.....	10
ESDの注意.....	5	ファンクション・ラッチ.....	16
ピン配置およびピン機能説明.....	6	初期化ラッチ.....	17
代表的な性能特性.....	7	アプリケーション.....	18
概要.....	9	LMDS 基地局トランスミッタの局部発振器.....	18
リファレンス入力セクション.....	9	インターフェース.....	19
RF入力ステージ.....	9	チップ・スケール・パッケージ用の	
プリスケラ (P/P +1).....	9	PCBデザイン・ガイドライン.....	19
AカウンタおよびBカウンタ.....	9	外形寸法.....	20
Rカウンタ.....	9	オーダー・ガイド.....	21

## 改訂履歴

<b>2/10—Rev B to Rev. C</b>		Changes to Figure 10.....	7
Changes to Figure 4 and Table 4.....	6	Deleted TPC 13 and TPC 14.....	8
Changes to Figure 12.....	8	Changes to Figure 15.....	8
Updated Outline Dimensions.....	20	Changes to Figure 20 Caption.....	10
Changes to Ordering Guide.....	21	Updated Outline Dimensions.....	20
<b>6/05—Rev A to Rev. B</b>		Changes to Ordering Guide.....	21
Updated Format.....	Universal	<b>5/03—Rev 0 to Rev. A</b>	
Changes to Figure 1.....	1	Edits to Specifications.....	2
Changes to Table 1.....	3	Edits to TPC 11.....	7
Changes to Table 2.....	4	Updated Outline Dimensions.....	19
Changes to Table 3.....	5	<b>10/01—Revision 0: Initial Revision</b>	
Changes to Figure 3 and Figure 4.....	6		
Changes to Figure 6.....	7		

## 仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = 3\text{ V} \pm 10\%$ 、 $AV_{DD} \leq V_P \leq 5.5\text{ V}$ 、 $AGND = DGND = CPGND = 0\text{ V}$ 、 $R_{SET} = 5.1\text{ k}\Omega$ 、dBm(50  $\Omega$  基準)、 $T_A = T_{MAX} \sim T_{MIN}$ 。

表 1.

Parameter	B Version <sup>1</sup>	B Chips <sup>2</sup> (typ)	Unit	Test Conditions/Comments
<b>RF CHARACTERISTICS</b>				
RF Input Frequency (RF <sub>IN</sub> )	0.5/6.0	0.5/6.0	GHz min/max	See Figure 18 for input circuit For lower frequencies, ensure slew rate (SR) > 320 V/ $\mu$ s
RF Input Sensitivity	-10/0	-10/0	dBm min/max	
Maximum Allowable Prescaler Output Frequency <sup>3</sup>	300	300	MHz max	P = 8
	325	325	MHz	P = 16
<b>REF<sub>IN</sub> CHARACTERISTICS</b>				
REF <sub>IN</sub> Input Frequency	20/300	20/300	MHz min/max	For f < 20 MHz, ensure SR > 50 V/ $\mu$ s
REF <sub>IN</sub> Input Sensitivity <sup>4</sup>	0.8/V <sub>DD</sub>	0.8/V <sub>DD</sub>	V p-p min/max	Biased at AV <sub>DD</sub> /2 (see Note 5 <sup>5</sup> )
REF <sub>IN</sub> Input Capacitance	10	10	pF max	
REF <sub>IN</sub> Input Current	$\pm 100$	$\pm 100$	$\mu$ A max	
<b>PHASE DETECTOR</b>				
Phase Detector Frequency <sup>6</sup>	104	104	MHz max	ABP = 0, 0 (2.9 ns antibacklash pulse width)
<b>CHARGE PUMP</b>				
I <sub>CP</sub> Sink/Source				Programmable, see Table 9
High Value	5	5	mA typ	With R <sub>SET</sub> = 5.1 k $\Omega$
Low Value	625	625	$\mu$ A typ	
Absolute Accuracy	2.5	2.5	% typ	With R <sub>SET</sub> = 5.1 k $\Omega$
R <sub>SET</sub> Range	3.0/11	3.0/11	k $\Omega$ typ	See Table 9
I <sub>CP</sub> Three-State Leakage	2	2	nA max	1 nA typical; T <sub>A</sub> = 25°C
Sink and Source Current Matching	2	2	% typ	0.5 V $\leq$ V <sub>CP</sub> $\leq$ V <sub>P</sub> - 0.5 V
I <sub>CP</sub> vs. V <sub>CP</sub>	1.5	1.5	% typ	0.5 V $\leq$ V <sub>CP</sub> $\leq$ V <sub>P</sub> - 0.5 V
I <sub>CP</sub> vs. Temperature	2	2	% typ	V <sub>CP</sub> = V <sub>P</sub> /2
<b>LOGIC INPUTS</b>				
V <sub>IH</sub> , Input High Voltage	1.4	1.4	V min	
V <sub>IL</sub> , Input Low Voltage	0.6	0.6	V max	
I <sub>IH</sub> , I <sub>INL</sub> , Input Current	$\pm 1$	$\pm 1$	$\mu$ A max	
C <sub>IN</sub> , Input Capacitance	10	10	pF max	
<b>LOGIC OUTPUTS</b>				
V <sub>OH</sub> , Output High Voltage	1.4	1.4	V min	Open-drain output chosen, 1 k $\Omega$ pull-up resistor to 1.8 V
V <sub>OH</sub> , Output High Voltage	V <sub>DD</sub> - 0.4	V <sub>DD</sub> - 0.4	V min	CMOS output chosen
I <sub>OH</sub>	100	100	$\mu$ A max	
V <sub>OL</sub> , Output Low Voltage	0.4	0.4	V max	I <sub>OL</sub> = 500 $\mu$ A
<b>POWER SUPPLIES</b>				
AV <sub>DD</sub>	2.7/3.3	2.7/3.3	V min/V max	
DV <sub>DD</sub>	AV <sub>DD</sub>	AV <sub>DD</sub>		
V <sub>P</sub>	AV <sub>DD</sub> /5.5	AV <sub>DD</sub> /5.5	V min/V max	AV <sub>DD</sub> $\leq$ V <sub>P</sub> $\leq$ 5.5V
I <sub>DD</sub> <sup>7</sup> (AI <sub>DD</sub> + DI <sub>DD</sub> )	11	9.0	mA max	9.0 mA typ
I <sub>DD</sub> <sup>8</sup> (AI <sub>DD</sub> + DI <sub>DD</sub> )	11.5	9.5	mA max	9.5 mA typ
I <sub>DD</sub> <sup>9</sup> (AI <sub>DD</sub> + DI <sub>DD</sub> )	13	10.5	mA max	10.5 mA typ
I <sub>P</sub>	0.4	0.4	mA max	T <sub>A</sub> = 25°C
Power-Down Mode <sup>10</sup> (AI <sub>DD</sub> + DI <sub>DD</sub> )	10	10	$\mu$ A typ	

Parameter	B Version <sup>1</sup>	B Chips <sup>2</sup> (typ)	Unit	Test Conditions/Comments
<b>NOISE CHARACTERISTICS</b>				
ADF4106 Normalized Phase Noise Floor <sup>11</sup>	-219	-219	dBc/Hz typ	
Phase Noise Performance <sup>12</sup>				@ VCO output
900 MHz <sup>13</sup>	-92.5	-92.5	dBc/Hz typ	@ 1 kHz offset and 200 kHz PFD frequency
5800 MHz <sup>14</sup>	-76.5	-76.5	dBc/Hz typ	@ 1 kHz offset and 200 kHz PFD frequency
5800 MHz <sup>15</sup>	-83.5	-83.5	dBc/Hz typ	@ 1 kHz offset and 1 MHz PFD frequency
<b>Spurious Signals</b>				
900 MHz <sup>13</sup>	-90/-92	-90/-92	dBc typ	@ 200 kHz/400 kHz and 200 kHz PFD frequency
5800 MHz <sup>14</sup>	-65/-70	-65/-70	dBc typ	@ 200 kHz/400 kHz and 200 kHz PFD frequency
5800 MHz <sup>15</sup>	-70/-75	-70/-75	dBc typ	@ 1 MHz/2 MHz and 1 MHz PFD frequency

<sup>1</sup> 動作温度範囲(Bバージョン)は-40°C~+85°C。

<sup>2</sup> Bチップ仕様は代表値で規定。

<sup>3</sup> これは、CMOSカウンタの最大動作周波数です。プリスケアラ値は、RF入力がこの値より低い周波数に分周されるように選択する必要があります。

<sup>4</sup>  $AV_{DD} = DV_{DD} = 3V$ 。

<sup>5</sup> AC結合により  $AV_{DD}/2$  バイアスが保証されます。

<sup>6</sup> デザインで保証します。サンプル・テストにより適合性を保証します。

<sup>7</sup>  $T_A = 25^\circ\text{C}$ ;  $AV_{DD} = DV_{DD} = 3V$ ;  $P = 16$ ;  $RF_{IN} = 900\text{ MHz}$ 。

<sup>8</sup>  $T_A = 25^\circ\text{C}$ ;  $AV_{DD} = DV_{DD} = 3V$ ;  $P = 16$ ;  $RF_{IN} = 2.0\text{ GHz}$ 。

<sup>9</sup>  $T_A = 25^\circ\text{C}$ ;  $AV_{DD} = DV_{DD} = 3V$ ;  $P = 32$ ;  $RF_{IN} = 6.0\text{ GHz}$ 。

<sup>10</sup>  $T_A = 25^\circ\text{C}$ ;  $AV_{DD} = DV_{DD} = 3.3V$ ;  $R = 16383$ ;  $A = 63$ ;  $B = 891$ ;  $P = 32$ ;  $RF_{IN} = 6.0\text{ GHz}$ 。

<sup>11</sup> シンセサイザ位相ノイズ・フロアは、VCO出力での帯域内位相ノイズの測定値から  $20\log N$  (NはNデバイダの値)および  $10\log F_{PFD}$  を減算して計算されています。

$PN_{SYNTH} = PN_{TOT} - 10\log F_{PFD} - 20\log N$ 。

<sup>12</sup> 位相ノイズは、EVAL-ADF4106EB1 評価用ボードと Agilent E4440A スペクトル・アナライザを使用して測定。スペクトル・アナライザからシンセサイザに REFIN を供給します ( $f_{REFOUT} = 10\text{ MHz}$  @ 0 dBm)。

<sup>13</sup>  $f_{REFIN} = 10\text{ MHz}$ ;  $f_{PFD} = 200\text{ kHz}$ ; Offset Frequency = 1 kHz;  $f_{RF} = 900\text{ MHz}$ ;  $N = 4500$ ; Loop B/W = 20 kHz。

<sup>14</sup>  $f_{REFIN} = 10\text{ MHz}$ ;  $f_{PFD} = 200\text{ kHz}$ ; Offset Frequency = 1 kHz;  $f_{RF} = 5800\text{ MHz}$ ;  $N = 29000$ ; Loop B/W = 20 kHz。

<sup>15</sup>  $f_{REFIN} = 10\text{ MHz}$ ;  $f_{PFD} = 1\text{ MHz}$ ; Offset Frequency = 1 kHz;  $f_{RF} = 5800\text{ MHz}$ ;  $N = 5800$ ; Loop B/W = 100 kHz。

## タイミング特性

特に指定がない限り、 $AV_{DD} = DV_{DD} = 3V \pm 10\%$ 、 $AV_{DD} \leq V_P \leq 5.5V$ 、 $AGND = DGND = CPGND = 0V$ 、 $R_{SET} = 5.1\text{ k}\Omega$ 、dBm(50Ω基準)、 $T_A = T_{MAX} \sim T_{MIN}$ 。

表 2.

Parameter	Limit <sup>1</sup> (B Version)	Unit	Test Conditions/Comments
$t_1$	10	ns min	DATA to CLOCK Setup Time
$t_2$	10	ns min	DATA to CLOCK Hold Time
$t_3$	25	ns min	CLOCK High Duration
$t_4$	25	ns min	CLOCK Low Duration
$t_5$	10	ns min	CLOCK to LE Setup Time
$t_6$	20	ns min	LE Pulse Width

<sup>1</sup> 動作温度範囲(Bバージョン)は-40°C~+85°C。

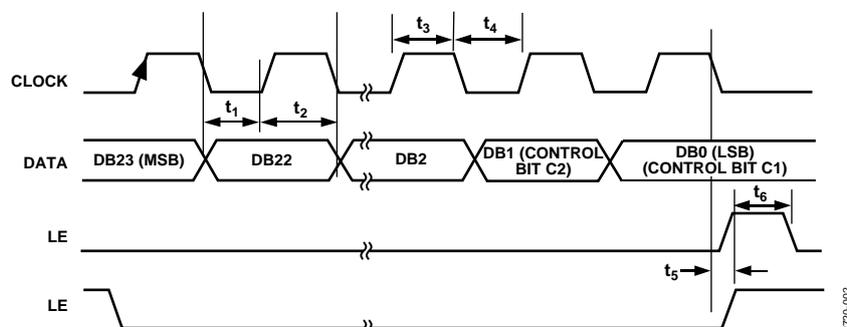


図 2. タイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$AV_{DD}$ to GND <sup>1</sup>	-0.3 V to +3.6 V
$AV_{DD}$ to $DV_{DD}$	-0.3 V to +0.3 V
$V_P$ to GND	-0.3 V to +5.8 V
$V_P$ to $AV_{DD}$	-0.3 V to +5.8 V
Digital I/O Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Analog I/O Voltage to GND	-0.3 V to $V_P + 0.3$ V
$REF_{IN}$ , $RF_{INA}$ , $RF_{INB}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
TSSOP $\theta_{JA}$ Thermal Impedance	112°C/W
LFCSP $\theta_{JA}$ Thermal Impedance (Paddle Soldered)	30.4°C/W
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
Transistor Count	
CMOS	6425
Bipolar	303

<sup>1</sup>GND = AGND = DGND = 0 V。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

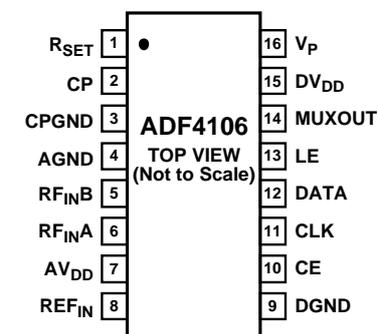
このデバイスは、2 kV 以下の ESD 定格を持ち、ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

## ESDの注意

ESD (静電気放電) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



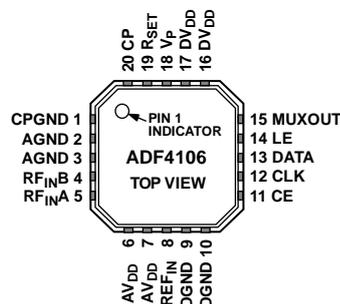
## ピン配置およびピン機能説明



NOTE: TRANSISTOR COUNT 6425 (CMOS), 303 (BIPOLAR).

02720-003

図 3.16 ピン TSSOP のピン配置



NOTES

1. TRANSISTOR COUNT 6425 (CMOS), 303 (BIPOLAR).
2. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

02720-004

図 4.20 ピン LFCSP\_VQ のピン配置

表 4. ピン機能の説明

ピン番号 TSSOP	ピン番号 LFCSP	記号	機能
1	19	R <sub>SET</sub>	このピンと CPGND との間に抵抗を接続すると、最大チャージ・ポンプ出力電流が設定されます。R <sub>SET</sub> ピンの公称電位は 0.66 V です。I <sub>CP</sub> と R <sub>SET</sub> の関係は次のようになります。 $I_{CP\ MAX} = \frac{25.5}{R_{SET}}$
2	20	CP	したがって、R <sub>SET</sub> = 5.1 kΩ では I <sub>CP MAX</sub> = 5 mA <sub>s</sub> 。 チャージ・ポンプ出力。イネーブルされると、このピンから ±I <sub>CP</sub> が外部ループ・フィルタに出力されて、外付け VCO が駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。このピンはチャージ・ポンプのグラウンド・リターン・パスです。
4	2、3	AGND	アナログ・グラウンド。このピンは分周器のグラウンド・リターン・パスです。
5	4	RF <sub>INB</sub>	RF 分周器への相補入力。このポイントは、小さいバイパス・コンデンサ 100 pF (typ) でグラウンド・プレーンへデカップリングする必要があります。図 18 を参照してください。
6	5	RF <sub>INA</sub>	RF 分周器への入力。この小信号入力は、外付け VCO へ AC 結合されます。
7	6、7	AV <sub>DD</sub>	アナログ電源。2.7 V ~ 3.3 V の範囲が可能。アナログ・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。AV <sub>DD</sub> は DV <sub>DD</sub> と同じ値である必要があります。
8	8	REF <sub>IN</sub>	リファレンス入力。これは、V <sub>DD</sub> /2 の公称スレッシュホールドと 100 kΩ の DC 等価入力抵抗を持つ CMOS 入力です。図 18 を参照してください。この入力は、TTL または CMOS 水晶発振器から駆動するか、または AC 結合することができます。
9	9、10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプ出力はスリー・ステート・モードになります。このピンをハイ・レベルにすると、パワーダウン・ビット F2 の状態に応じてデバイスがパワーアップします。
11	12	CLK	シリアル・クロック入力。このシリアル・クロックは、シリアル・データをレジスタに入力するときに使います。データは、CLK の立上がりエッジで 24 ビットのシフトレジスタへ入力されます。この入力はハイ・インピーダンス CMOS 入力です。
12	13	DATA	シリアル・データ入力。シリアル・データが、MSB ファーストでロードされます。下位 2 ビットがコントロール・ビットです。この入力はハイ・インピーダンス CMOS 入力です。
13	14	LE	ロード・イネーブル、CMOS 入力。LE がハイ・レベルになると、シフトレジスタに格納されているデータが 4 個のラッチの内の 1 つにロードされます。ラッチはコントロール・ビットで選択されます。
14	15	MUXO UT	このマルチプレクサ出力を使うと、ロック検出、スケール済み RF、またはスケール済みリファレンス周波数が外部からアクセスできるようになります。
15	16、17	DV <sub>DD</sub>	デジタル電源。2.7 V ~ 3.3 V の範囲が可能。デジタル・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。DV <sub>DD</sub> は AV <sub>DD</sub> と同じ値である必要があります。
16	18	V <sub>P</sub>	チャージ・ポンプ電源。このピンの電圧は V <sub>DD</sub> 以上である必要があります。V <sub>DD</sub> = 3 V のシステムでは、このピンを 5.5 V に設定することができ、最大 5 V までのチューニング範囲を持つ VCO の駆動に使用されます。
		EP	エクスポーズド・パッド。エクスポーズド・パッドは AGND に接続する必要があります。

## 代表的な性能特性

FREQ UNIT	GHz	KEYWORD	R		
PARAM TYPE	S	IMPEDANCE	50Ω		
DATA FORMAT	MA				
FREQ	MAGS11	ANGS11	FREQ	MAGS11	ANGS11
0.500	0.89148	-17.2820	3.300	0.42777	-102.748
0.600	0.88133	-20.6919	3.400	0.42859	-107.167
0.700	0.87152	-24.5386	3.500	0.43365	-111.883
0.800	0.85855	-27.3228	3.600	0.43849	-117.548
0.900	0.84911	-31.0698	3.700	0.44475	-123.856
1.000	0.83512	-34.8623	3.800	0.44800	-130.399
1.100	0.82374	-38.5574	3.900	0.45223	-136.744
1.200	0.80871	-41.9093	4.000	0.45555	-142.766
1.300	0.79176	-45.6990	4.100	0.45313	-149.269
1.400	0.77205	-49.4185	4.200	0.45622	-154.884
1.500	0.75696	-52.8898	4.300	0.45555	-159.680
1.600	0.74234	-56.2923	4.400	0.46108	-164.916
1.700	0.72239	-60.2584	4.500	0.45325	-168.452
1.800	0.69419	-63.1446	4.600	0.45054	-173.462
1.900	0.67288	-65.6464	4.700	0.45200	-176.697
2.000	0.66227	-68.0742	4.800	0.45043	-178.824
2.100	0.64758	-71.3530	4.900	0.45282	-174.947
2.200	0.62454	-75.5658	5.000	0.44287	-170.237
2.300	0.59466	-79.6404	5.100	0.44909	-166.617
2.400	0.55932	-82.8246	5.200	0.44294	-162.786
2.500	0.52256	-85.2795	5.300	0.44558	-158.766
2.600	0.48754	-85.6298	5.400	0.45417	-153.195
2.700	0.46411	-86.1854	5.500	0.46038	-147.721
2.800	0.45776	-86.4997	5.600	0.47128	-139.760
2.900	0.44859	-88.8080	5.700	0.47439	-132.657
3.000	0.44588	-91.9737	5.800	0.48604	-125.782
3.100	0.43810	-95.4087	5.900	0.50637	-121.110
3.200	0.43269	-99.1282	6.000	0.52172	-115.400

図 5.RF 入力の S パラメータ・データ

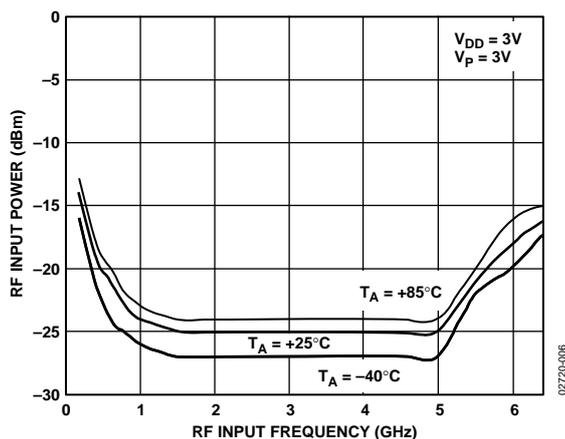


図 6.入力感度

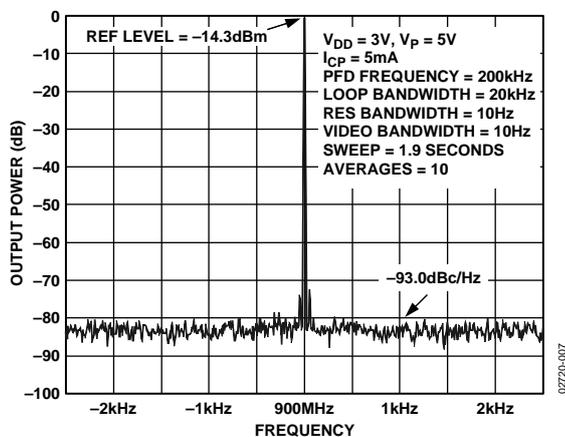


図 7.位相ノイズ (900 MHz、200 kHz、20 kHz)

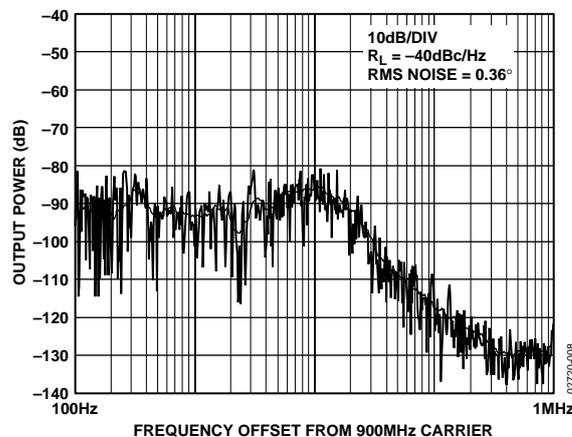


図 8.積分位相ノイズ (900 MHz、200 kHz、20 kHz)

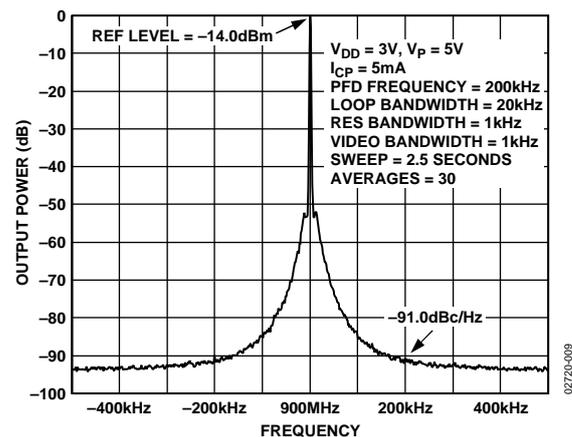


図 9.リファレンス・スプリアス (900 MHz、200 kHz、20 kHz)

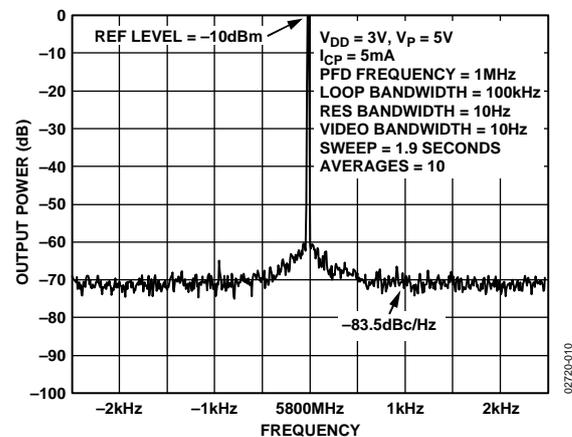


図 10.位相ノイズ (5.8 GHz、1 MHz、100 kHz)

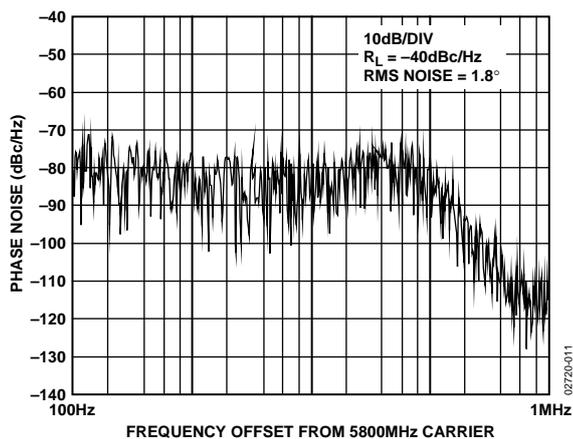


図 11. 積分位相ノイズ  
 (5.8 GHz、1 MHz、100 kHz)

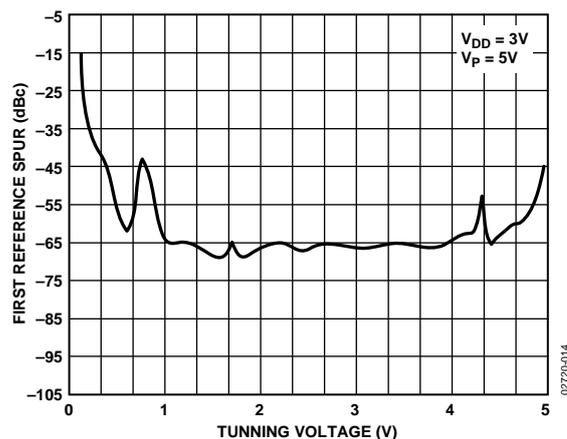


図 14.  $V_{TUNE}$  対リファレンス・スプリアス  
 (5.8 GHz、1 MHz、100 kHz)

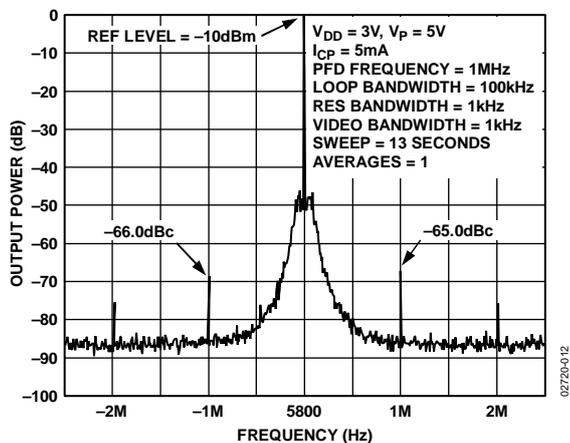


図 12. リファレンス・スプリアス  
 (5.8 GHz、1 MHz、100 kHz)

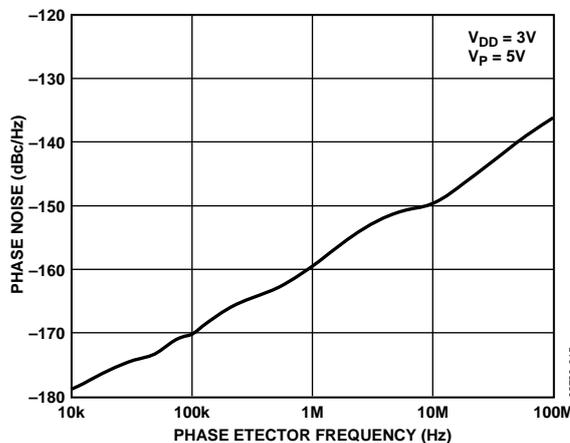


図 15. PFD 周波数対位相ノイズ  
 (CP 出力基準)

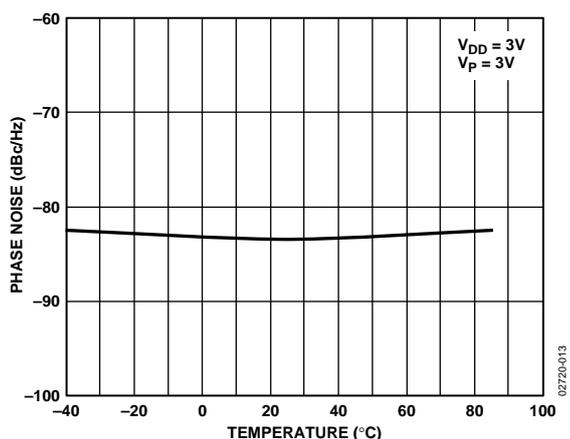


図 13. 位相ノイズの温度特性  
 (5.8 GHz、1 MHz、100 kHz)

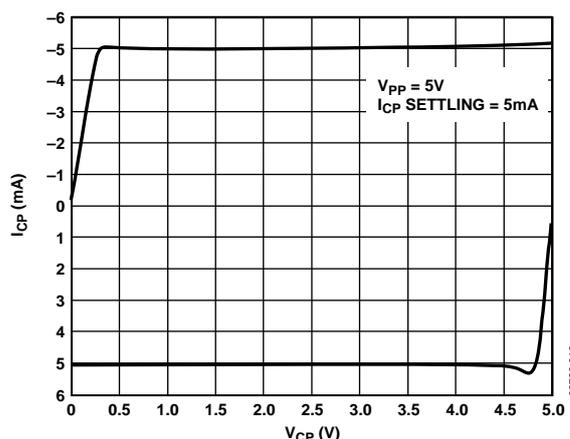


図 16. チャージ・ポンプ出力特性

## 概要

### リファレンス入力セクション

リファレンス入力ステージを 図 17 に示します。SW1 と SW2 は、ノーマル・クローズ・スイッチです。SW3 はノーマル・オープン・スイッチです。パワーダウンが開始されると、SW3 が閉じて、SW1 と SW2 が開きます。これにより、パワーダウン時に REF<sub>IN</sub> ビンの負荷がなくなります。

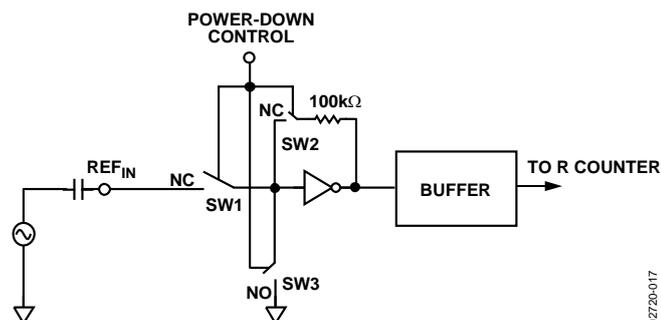


図 17. リファレンス入力ステージ

### RF入力ステージ

RF入力ステージを 図 18 に示します。この後ろに 2 ステージのリミット・アンプが続いて、プリスケラに必要な CML クロック・レベルを発生します。

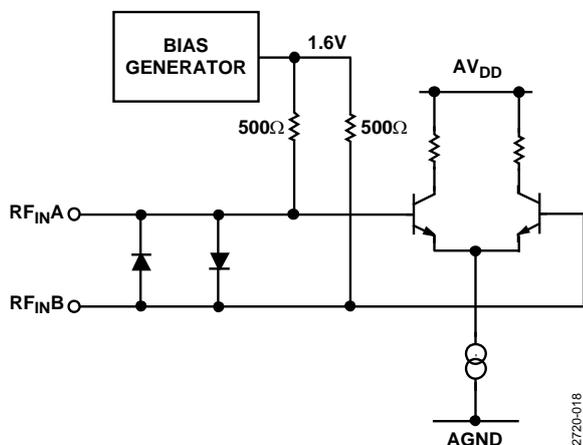


図 18. RF 入力ステージ

### プリスケラ (P/P + 1)

デュアル・モジュラス・プリスケラ (P/P + 1)、A カウンタ、B カウンタとの組み合わせにより、大きな分周比 N を実現することができます ( $N = BP + A$ )。デュアル・モジュラス・プリスケラは CML レベルで動作し、RF 入力ステージからクロックを入力して、CMOS の A カウンタと B カウンタで扱える周波数まで分周します。プリスケラはプログラマブルです。ソフトウェアから 8/9、16/17、32/33、または 64/65 に設定することができます。このプリスケラは同期 4/5 コアを採用しています。連続な出力周波数に対しては最小分周比が存在します。この最小値はプリスケラ値 P により決定され、 $(P^2 - P)$  で与えられます。

### A カウンタおよび B カウンタ

A カウンタ、B CMOS カウンタ、デュアル・モジュラス・プリスケラを組み合わせると、PLL 帰還カウンタで広い範囲の分周比が可能になります。これらのカウンタは、プリスケラ出力が 325 MHz 以下のとき動作する仕様になっています。このため、RF 入力周波数 = 4.0 GHz で、プリスケラ値 16/17 は有効ですが、値 8/9 は無効です。

### パルス・スワロー機能

A カウンタと B カウンタをデュアル・モジュラス・プリスケラと組み合わせると、リファレンス周波数  $\div R$  だけ離れた出力周波数を発生することができます。VCO 周波数の式は次のようになります。

$$f_{VCO} = [(P \times B) + A] \times \frac{f_{REFIN}}{R}$$

ここで、

$f_{VCO}$  は外部電圧制御発振器 (VCO) の出力周波数。

P はデュアル・モジュラス・プリスケラに設定されているモジュラス (8/9、16/17 など)。

B は、バイナリ 13 ビット・カウンタに設定されている分周比 (3 ~ 8191)。

A は、バイナリ 6 ビット・スワロー・カウンタに設定されている分周比 (0 ~ 63)。

$f_{REFIN}$  は外部リファレンス発振器の周波数。

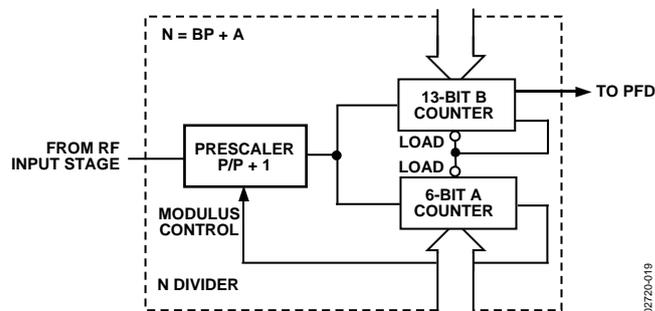


図 19. A カウンタおよび B カウンタ

### R カウンタ

14 ビットの R カウンタを使うと、入力リファレンス周波数を分周して、位相周波数検出器 (PFD) へのリファレンス・クロックを発生することができます。1 ~ 16,383 の分周比が可能です。

### 位相周波数検出器(PFD)およびチャージ・ポンプ

PFDはRカウンタとNカウンタ( $N = BP + A$ )から入力を受取り、両入力の位相差と周波数差に比例した出力を発生します。図 20 に簡略化した回路図を示します。PFDにはプログラマブルな遅延要素が含まれており、バックラッシュ防止パルスの幅を制御しています。このパルスは、PFD伝達関数内でデッド・ゾーンが発生しないようにし、位相ノイズとリファレンス・スプリアスを最小にします。リファレンス・カウンタ・ラッチの 2 ビット(ABP2 と ABP1)がパルス幅を制御しています。表 7 を参照してください。

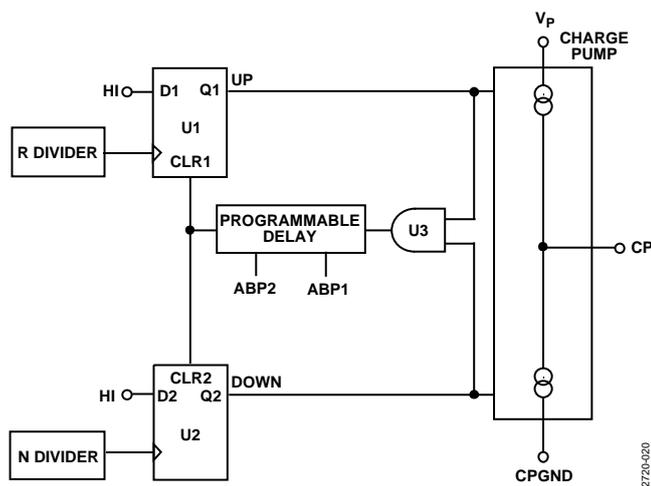


図 20.PFD の簡略化した回路図

### MUXOUTとロック検出

ADF4106 の出力マルチプレクサを使うと、チップ上の種々の内部ポイントをアクセスすることができます。MUXOUTの状態は、ファンクション・ラッチのM3、M2、M1から制御されます。表 9 と図 21 に、それぞれ真理値表とMUXOUTセクションのブロック図を示します。

#### ロック検出

MUXOUT は、デジタル・ロック検出とアナログ・ロック検出の 2 タイプのロック検出に設定することができます。

デジタル・ロック検出はアクティブ・ハイです。R カウンタ・ラッチの LDP が 0 の場合、位相検出器の連続する 3 サイクルの位相誤差が 15 ns を下回るとき、デジタル・ロック検出はハイ・レベルになります。LDP が 1 の場合、ロック検出がハイ・レベルになるためには、5 サイクル間連続して 15 ns を下回る必要があります。25 ns を上回る位相誤差が任意の後続 PD サイクルで検出されるまで、ロック検出はハイ・レベルを維持します。

N チャンネルのオープン・ドレインのアナログ・ロック検出は、公称 10 kΩ の外付けプルアップ抵抗で動作する必要があります。ロックが検出されると、この出力は負向きの狭いパルスを含むハイ・レベルになります。

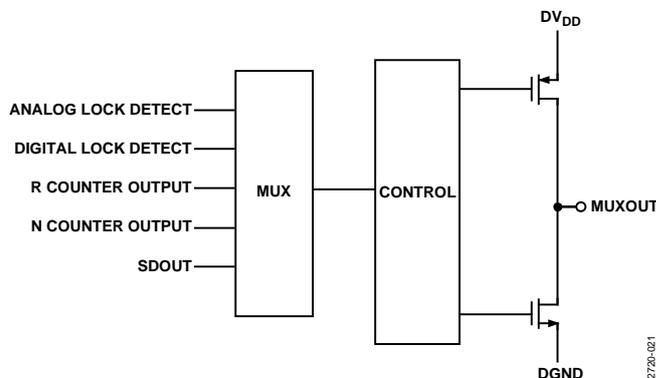


図 21.MUXOUT 回路

### 入力シフトレジスタ

ADF4106 のデジタル・セクションには、24 ビット入力シフト・レジスタ、14 ビット R カウンタ、19 ビット N カウンタ(6 ビット A カウンタと 13 ビット B カウンタから構成)があります。データは、CLK の各立上がりエッジで 24 ビット・シフトレジスタに入力されます。データはMSBファーストで入力されます。データは、シフトレジスタからLEの立上がりエッジで 4 個のラッチ内の 1 つに転送されます。ディステネーション・ラッチは、シフトレジスタの 2 ビットのコントロール・ビット(C2、C1)の状態で指定されます。これらのビットは、タイミング図(図 2 参照)に示すように、DB1 と DB0 の下位 2 ビットです。表 5 にこれらのビットの真理値表を、表 6 にラッチのプログラム方法を、それぞれ示します。

表 5.C1 と C2 の真理値表

Control Bits		Data Latch
C2	C1	
0	0	R Counter
0	1	N Counter (A and B)
1	0	Function Latch (Including Prescaler)
1	1	Initialization Latch

表 6. ラッチの一覧

REFERENCE COUNTER LATCH

RESERVED			LOCK DETECT PRECISION	TEST MODE BITS			ANTI- BACKLASH WIDTH		14-BIT REFERENCE COUNTER													CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	0	0	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2(0)	C1(0)

N COUNTER LATCH

RESERVED			CP GAIN	13-BIT B COUNTER													6-BIT A COUNTER						CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A6	A5	A4	A3	A2	A1	C2(0)	C1(1)	

FUNCTION LATCH

PRESCALER VALUE		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2(1)	C1(0)

INITIALIZATION LATCH

PRESCALER VALUE		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2(1)	C1(1)

02720-02Z

表7.リファレンス・カウンタ・ラッチのマップ

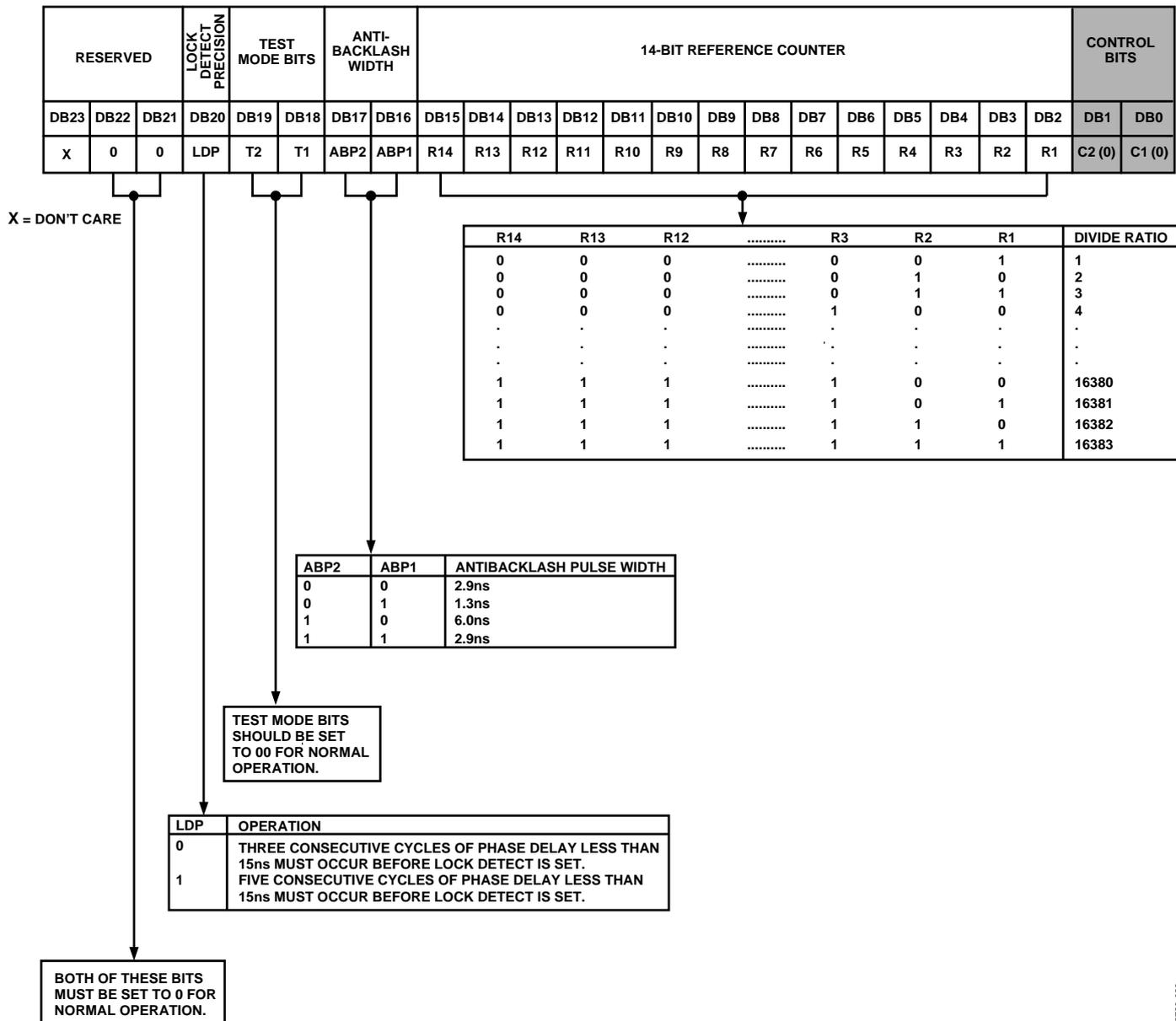
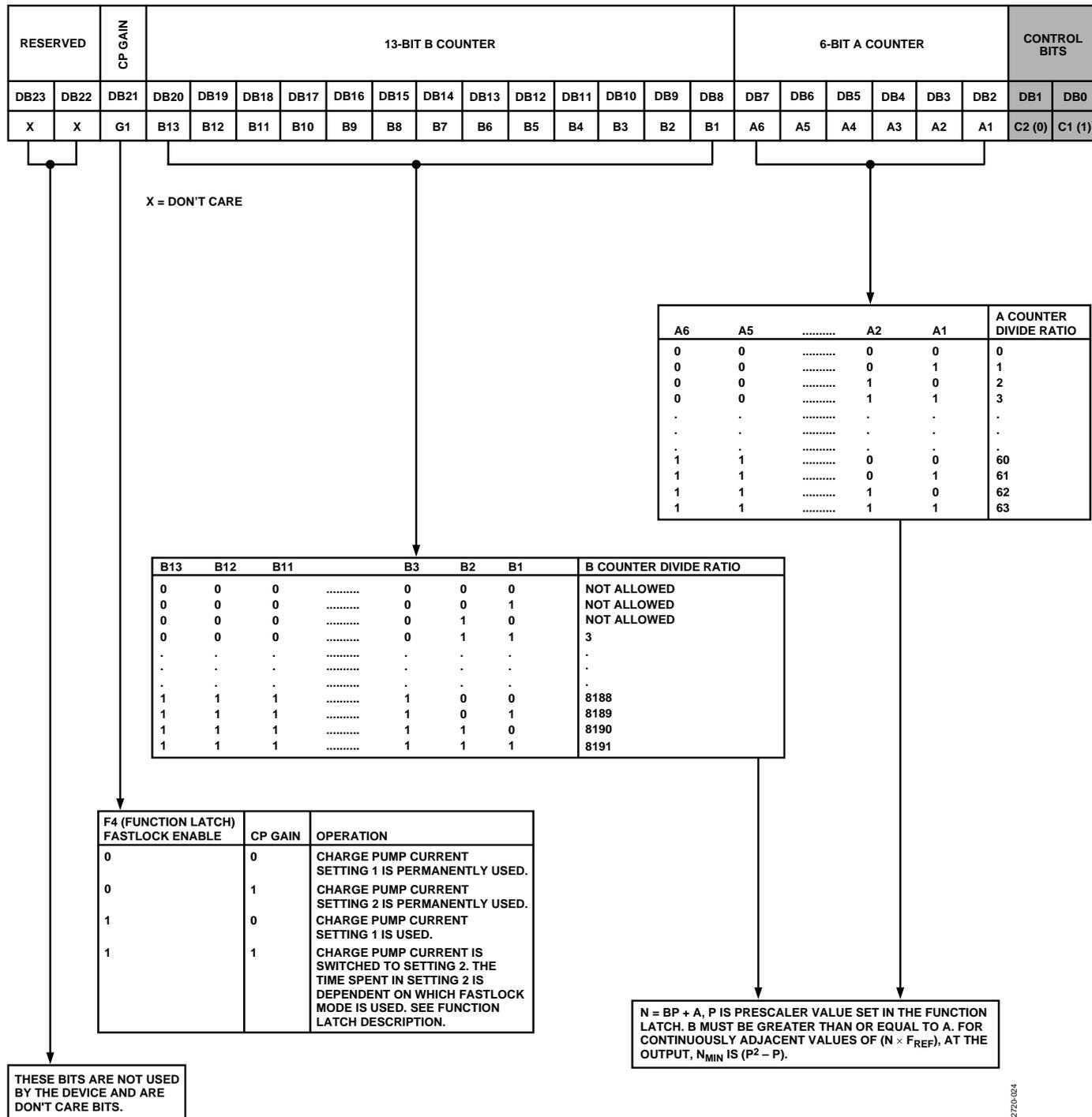


表 8.N (A、B) カウンタ・ラッチのマップ



02750-024

表9. ファンクション・ラッチのマップ

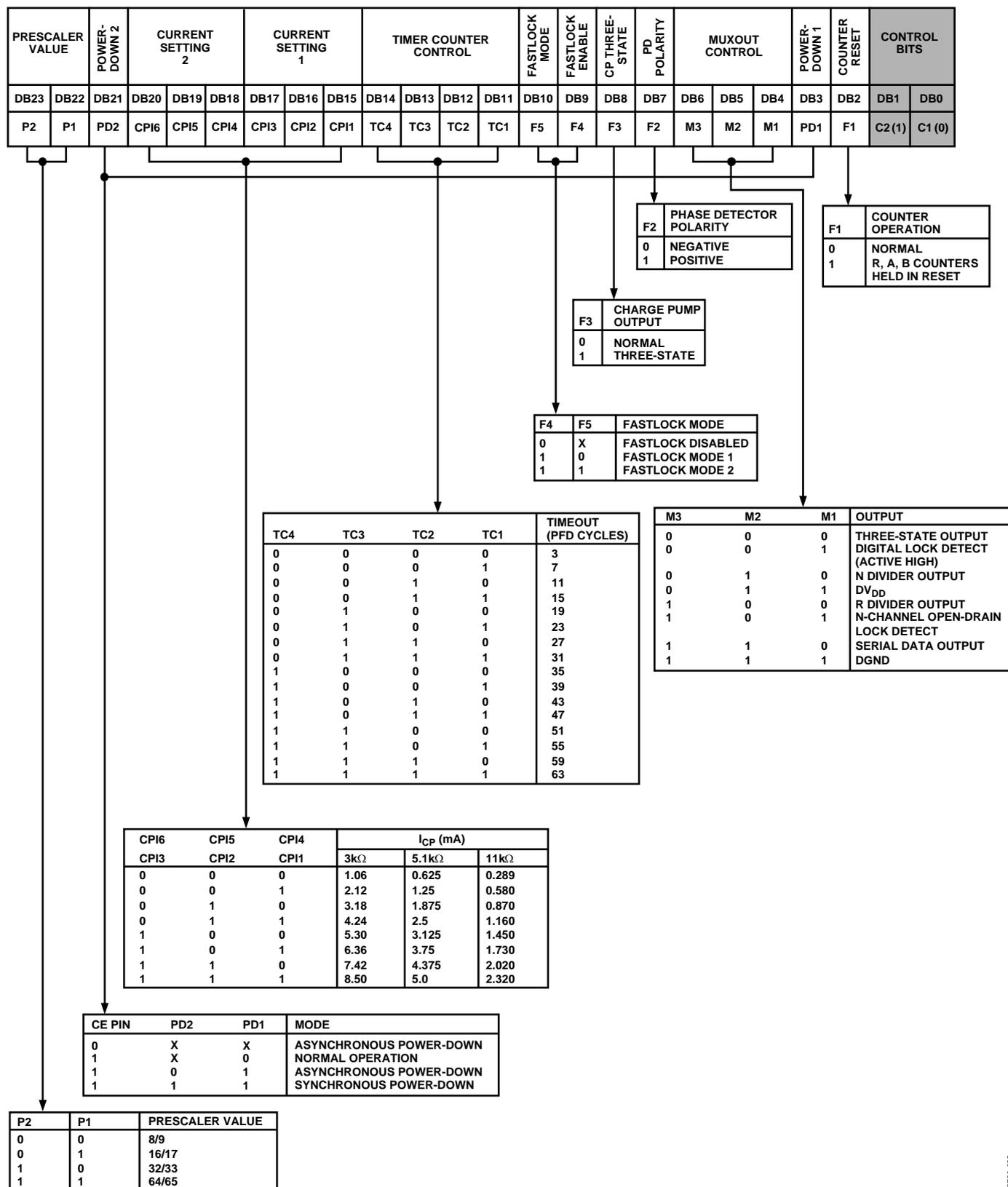
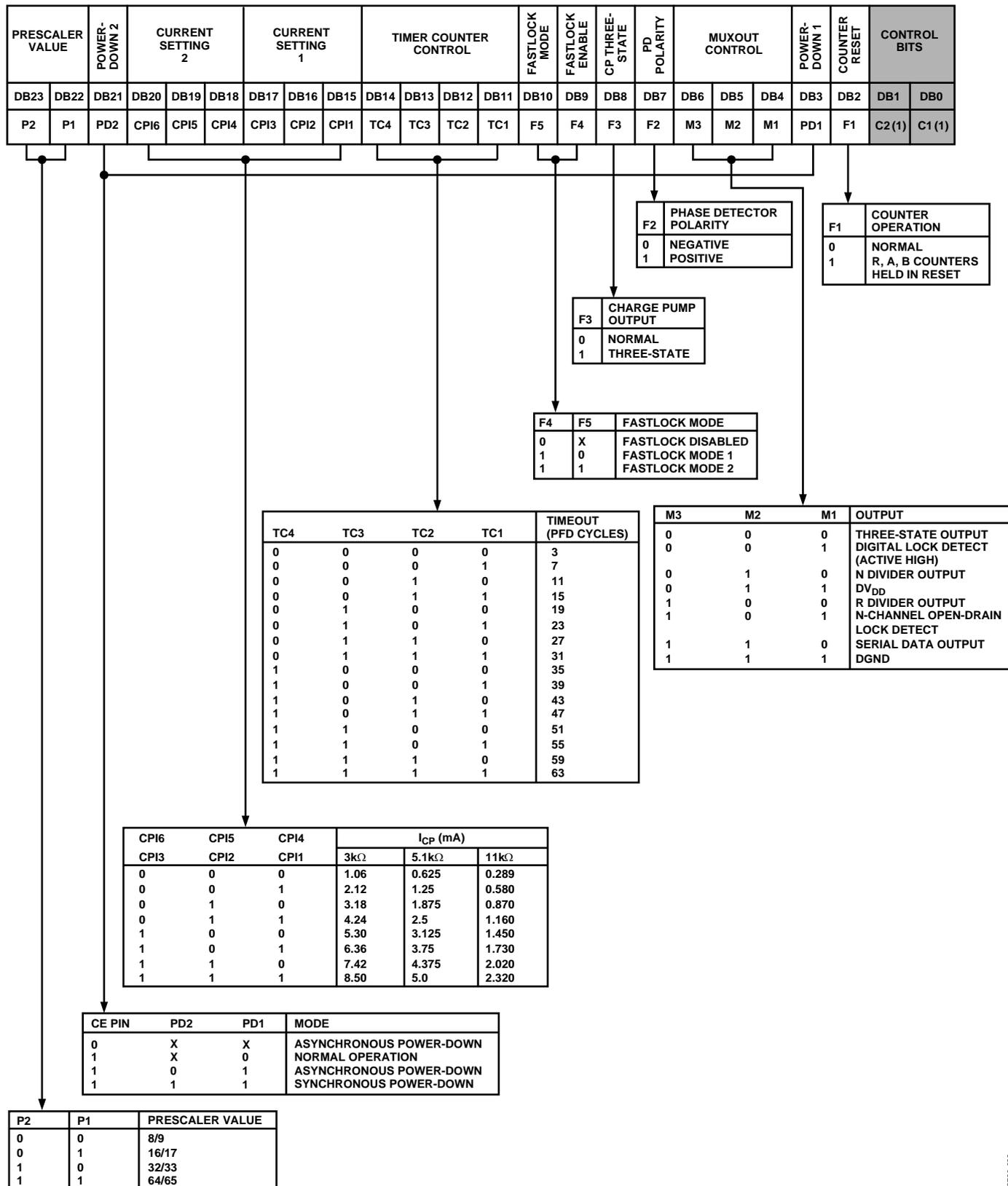


表 10.初期化ラッチのマップ



## ファンクション・ラッチ

C2 と C1 をそれぞれ 1 と 0 に設定して、内蔵ファンクション・ラッチを設定します。表 9 に、ファンクション・ラッチ設定の入力データ・フォーマットを示します。

## カウンタ・リセット

DB2 (F1)はカウンタ・リセット・ビットです。このビットが 1 のとき、R カウンタと N カウンタ(A カウンタと B カウンタ)がリセットされます。通常動作にする場合、このビットを 0 に設定します。パワーアップ時は、F1 ビットをディスエーブルする必要があります(0 に設定)。R カウンタに近い値から N カウンタがカウンティングを再開します(最大の差は 1 プリスケアラ・サイクルです)。

## パワーダウン

DB3 (PD1)と DB21 (PD2)は、プログラマブルなパワーダウン・モードを提供します。これらのビットは、CE ピンによりイネーブルされます。

CE ピンがロー・レベルのとき、PD2 ビットと PD1 ビットの状態に無関係にデバイスは直ちにディスエーブルされます。

同期パワーダウンが設定されると、ビット PD2 に 0 が既にロードされている場合、ビット PD1 に 1 をラッチした直後にデバイスはパワーダウンします。

同期パワーダウン・モードが設定されると、不要な周波数ジャンプを防止するため、デバイス・パワーダウンはチャージ・ポンプでゲーティングされます。1 をビット PD1 に書込んでパワーダウンがイネーブルされた後(ただしビット PD2 にも 1 が既にロードされているものとします)、次のチャージ・ポンプ・イベントが発生したときにデバイスがパワーダウンします。

パワーダウンが開始されると(CE ピンによるパワーダウンの起動も含む同期モードまたは非同期モードで)、次のイベントが発生します。

- すべてのアクティブ DC 電流パスがなくなります。
- R、N、タイムアウトの各カウンタは、強制的にロード状態にされます。
- チャージ・ポンプは強制的にスリー・ステート・モードにされます。
- デジタル・クロック検出回路 リセット
- RF<sub>N</sub>入力がディスエーブルされます。
- リファレンス入力バッファ回路がディスエーブルされます。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能で。

## MUXOUTの制御

内蔵マルチプレクサはADF4106 ファミリー上のM3、M2、M1 によって制御されます。表 9 に真理値表を示します。

## 高速ロック・イネーブル・ビット

ファンクション・ラッチの DB9 は高速ロック・イネーブル・ビットです。このビットが 1 のとき、高速ロックがイネーブルされません。

## 高速ロック・モード・ビット

ファンクション・ラッチの DB10 は高速ロック・モード・ビットです。高速ロックがイネーブルされると、このビットにより使用する高速ロック・モードが指定されます。高速ロック・モード・ビットが 0 の場合、高速ロック・モード 1 が選択され、高速ロ

ック・モード・ビットが 1 の場合、高速ロック・モード 2 が選択されます。

## 高速ロック・モード 1

チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。N (A、B)カウンタ・ラッチの CP ゲイン・ビットに 1 が書込まれると、デバイスは高速ロックを開始します。N (A、B)カウンタ・ラッチの CP ゲイン・ビットに 0 が書込まれると、デバイスは高速ロックを終了します。

## 高速ロック・モード 2

チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。N (A、B)カウンタ・ラッチのCPゲイン・ビットに 1 が書込まれると、デバイスは高速ロックを開始します。デバイスはタイマ・カウンタの制御の下で高速ロックを終了します。TC4~TC1 の値によりタイムアウト周期が指定されると、N (A、B)カウンタ・ラッチのCPゲイン・ビットは自動的に 0 にリセットされて、デバイスは高速ロックから通常モードへ変わります。タイムアウト周期については、表 9 を参照してください。

## タイマ・カウンタの制御

2 つのチャージ・ポンプ電流を設定するオプションがあります。

RF 出力が安定で、かつシステムがスタティック状態にあるとき、電流設定 1 を使うことが目的です。電流設定 2 は、システムがダイナミックで変化状態にあるとき、すなわち新しい出力周波数が設定されたときに使います。イベントの通常シーケンスは次の通りです。

ユーザが初めにチャージ・ポンプ電流を決定します。例えば、電流設定 1 として 2.5 mA、電流設定 2 として 5 mA を選択することができます。

同時に、プライマリ電流に切り替える前に、セカンダリ電流のアクティブを継続する時間を決める必要があります。これは、ファンクション・ラッチのタイマ・カウンタ・コントロール・ビット DB14~DB11 (TC4~TC1)により制御されます。表 9 に真理値表を示します。

新しい出力周波数を設定するときは、単に A と B の新しい値を N (A、B)カウンタ・ラッチに設定します。同時に、CP ゲイン・ビットを 1 に設定することができます。これにより、TC4~TC1 で指定される時間長に対する CPI6~CPI4 の値がチャージ・ポンプに設定されます。この時間長が経過すると、チャージ・ポンプ電流は、CPI3~CPI1 により設定される値へ戻ります。同時に、N (A、B)カウンタ・ラッチの CP ゲイン・ビットが 0 にリセットされ、次の周波数変更に対する準備が整います。

タイマ・カウンタにイネーブル機能があることに注意してください。ファンクション・ラッチの高速ロック・モード・ビット DB10 を 1 に設定して高速ロック・モード 2 が選択されたときに、この機能がイネーブルされます。

## チャージ・ポンプ電流

CPI3、CPI2、CPI1により、チャージ・ポンプの電流設定1が設定されます。CPI6、CPI5、CPI4により、チャージ・ポンプの電流設定2が設定されます。表9に真理値表を示します。

## プリスケアラ値

ファンクション・ラッチのP2とP1によりプリスケアラ値を設定します。プリスケアラ値は、プリスケアラ出力周波数が常に325 MHz以下になるように選択する必要があります。したがって、RF周波数=4 GHzで、プリスケアラ値16/17は有効ですが、値8/9は無効です。

## PD極性

このビットにより位相検出器極性ビットが設定されます。表9を参照してください。

## CPスリーステート

このビットにより、CP出力ピンが制御されます。このビットをハイ・レベルに設定すると、CP出力がスリー・ステートになります。このビットをロー・レベルにすると、CP出力がイネーブルされません。

## 初期化ラッチ

C2=1かつC1=1のとき、初期化ラッチが設定されます。これは、ファンクション・ラッチと本質的に同じです(C2=1、C1=0のときに設定されます)。

ただし、初期化ラッチが設定されると、RカウンタとN(A、B)カウンタにさらに内部リセット・パルスが1個追加されます。このパルスにより、N(A、B)カウンタ・データがラッチされて、デバイスが近い位相アライメントでカウンティングを開始するとき、N(A、B)カウンタが確実にロード・ポイントになるようになります。

ラッチが同期パワーダウンに設定されると(CEピンがハイ・レベル; PD1ビットがハイ・レベル; PD2ビットがロー・レベル)、内部パルスはこのパワーダウンも開始させます。プリスケアラ・リファレンスと発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相アライメントが維持されます。

初期化後に最初にN(A、B)カウンタ・データがラッチされたとき、内部リセット・パルスが再度発生されますが、この後、後続のN(A、B)カウンタ・ロードにより内部リセット・パルスは発生されません。

## 初期パワーアップ後のデバイスの設定

デバイスの最初のパワーアップ後に、デバイスを設定する方法は、初期化ラッチ、CEピン、カウンタ・リセットの3つの方法があります。

### 初期化ラッチの方法

- V<sub>DD</sub>をオンにします。
- 初期化ラッチを設定します(入力ワードの下位2ビットに11を設定)。F1ビットが0に設定されていることを確認します。
- ファンクション・ラッチのロードを実行し(コントロール・ワードの下位2ビットに10を設定)、F1ビットに0が設定されたことを確認します。
- Rロードを1回実行します(下位2ビット=00)。

- N(A、B)カウンタ・ロードを1回実行します(下位2ビット=01)。

初期化ラッチがロードされると、次が発生します。

- ファンクション・ラッチの値がロードされます。
- 内部パルスにより、R、N(A、B)、タイムアウトの各カウンタがロード状態にリセットされ、チャージ・ポンプもスリー・ステートになります。プリスケアラ・バンド・ギャップ・リファレンスと発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相関係が維持されることに注意してください。
- 初期化ワード後に最初にN(A、B)カウンタ・データがラッチされると、同じ内部リセット・パルスが発生されますが、もう1回初期化が行われれない限り、後続のN(A、B)ロードでは内部リセット・パルスは発生されません。

## CEピンの方法

- V<sub>DD</sub>をオンにします。
- CEをロー・レベルにしてデバイスをパワーダウンさせます。これは直ちに実行されるため非同期パワーダウンです。
- ファンクション・ラッチ(10)を設定します。
- Rカウンタ・ラッチ(00)を設定します。
- N(A、B)カウンタ・ラッチ(01)を設定します。
- CEをハイ・レベルにして、デバイスをパワーダウンから抜け出させます。RカウンタとN(A、B)カウンタが近い値からカウンティングを再開します。

CEがハイ・レベルになった後、プリスケアラ・バンド・ギャップ電圧と発振器入力バッファ・バイアスが安定状態になるまで、1 μsの時間が必要になることに注意してください。

チャンネル動作をチェックするとき、CEを使ってデバイスをパワーアップ/パワーダウンすることができます。V<sub>DD</sub>が最初にオンした後に少なくとも1回入力レジスタが設定されているかぎり、デバイスをディスエーブル/イネーブルするごとに、入力レジスタを再設定する必要はありません。

## カウンタ・リセットの方法

- V<sub>DD</sub>をオンにします。
- ファンクション・ラッチのロードを実行します(下位2ビットに10を設定)。このステップ内で、1をF1ビットにロードします。これによりカウンタ・リセットがイネーブルされます。
- Rカウンタ・ロードを1回実行します(下位2ビット=00)。
- N(A、B)カウンタ・ロードを1回実行します(下位2ビット=01)。
- ファンクション・ラッチのロードを実行します(下位2ビットに10を設定)。このステップ内で、0をF1ビットにロードします。これによりカウンタ・リセットがディスエーブルされます。

このシーケンスは、初期化方法と同じ近いアライメントを提供します。この方法で、内部リセットの直接制御が可能になります。カウンタ・リセットにより各カウンタはロード・ポイントに維持されて、チャージ・ポンプはスリー・ステートになりますが、同期パワーダウンは開始されないことに注意してください。

## アプリケーション

### LMDS 基地局トランスミッタの局部発振器

図 22 に、ADF4106 と VCO を組み合わせて使って LMDS 基地局の LO を発生する例を示します。

リファレンス入力信号を回路の  $F_{REFIN}$  に加え、ここでは  $50\ \Omega$  終端です。一般的な基地局システムでは、 $50\ \Omega$  終端なしでリファレンス入力を駆動する TCXO または OCXO を持っています。

出力で  $1\ \text{MHz}$  のチャンネル間隔を実現するためには、ADF4106 の内蔵リファレンス・デバイダを使って  $10\ \text{MHz}$  リファレンス入力を  $10$  分周する必要があります。

ADF4106 のチャージ・ポンプ出力(ピン 2)がループ・フィルタを駆動します。ループ・フィルタ部品値の計算では、多くの事項を考慮する必要があります。この例では、ループ・フィルタはシステムの全体位相マージンが  $45^\circ$  になるようにデザインされています。

その他の PLL システム仕様としては次の項目などがあります。

$$K_D = 2.5\ \text{mA}$$

$$K_V = 80\ \text{MHz/V}$$

ループ帯域幅 =  $50\ \text{kHz}$

$F_{PFD} = 1\ \text{MHz}$

$N = 5800$

追加リファレンス電圧スプリアス減衰量 =  $10\ \text{dB}$

これらの仕様は、図 22 に示すループ・フィルタ部品値を求める際に必要です。

図 22 に示す回路では、キャリアから  $1\ \text{kHz}$  離れたところでの位相ノイズ性能は  $-83.5\ \text{dBc/Hz}$  (typ) です。スプリアスは  $-62\ \text{dBc}$  以上です。

ループ・フィルタ出力は VCO を駆動し、PLL シンセサイザの RF 入力に帰還され、RF 出力端子も駆動します。T 回路構成により、VCO 出力、RF 出力、シンセサイザ  $RF_{IN}$  端子との間の  $50\ \Omega$  整合が行われます。

PLL システムでは、システムがロック中であることを知ることは重要です。図 22 では、シンセサイザからの MUXOUT 信号を使ってこれを実現しています。MUXOUT ピンは、シンセサイザ内の種々の内部信号をモニタするように設定することができます。これらの内の 1 つは、ロック検出信号(LD)です。

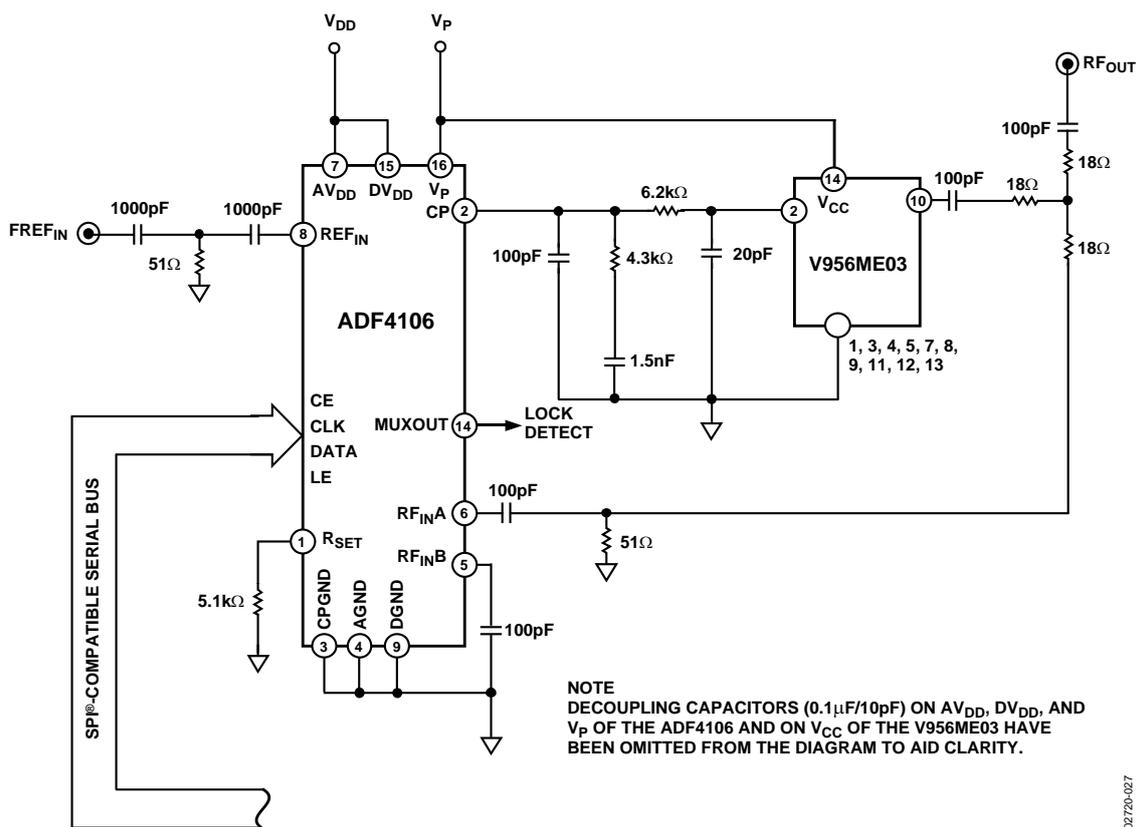


図 22.LMDS 基地局の局部発振器

02720-027

## インターフェース

ADF4106 には、デバイスに対する書込みを行うためのシンプルな SPI 互換シリアル・インターフェースが内蔵されています。CLK、DATA、LE を使ってデータ転送を制御します。LE をハイ・レベルにすると、CLK の各立上がりエッジで入力レジスタに入力された 24 ビットが該当するラッチへ転送されます。図 2 にタイミング図を、表 5 にラッチの真理値表を、それぞれ示します。

最大許容シリアル・クロック・レートは 20 MHz です。これは、デバイスで可能な最大更新レートは 833 kHz であること、すなわち 1.2  $\mu$ s ごとの更新を意味します。このレートは、数百  $\mu$ sec の一般的なロック時間を持つシステムにとっては十分以上の性能です。

### ADuC812 のインターフェース

図 23 に、ADF4106 と ADuC812 MicroConverter<sup>®</sup> との間のインターフェースを示します。ADuC812 は 8051 コアを採用しているため、このインターフェースは任意の 8051 を採用したマイクロコントローラに対して使用することができます。MicroConverter は CPHA = 0 の SPI マスター・モード用に設定されています。動作を開始するときは、LE を駆動する I/O ポートをロー・レベルにします。ADF4106 の各ラッチは 24 ビット・ワードを必要とします。これは、MicroConverter からデバイスへ 3 バイトを書込むことによって実行されます。3 番目のバイトを書込んだとき、LE 入力をハイ・レベルにすると転送が完了します。

最初に ADF4106 に電源を加えるとき、出力をアクティブにするために 4 回の書込みが必要です(初期化ラッチ、ファンクション・ラッチ、R カウンタ・ラッチ、N カウンタ・ラッチにそれぞれ 1 回)。

ADuC812 の I/O ポート・ラインは、パワーダウン制御(CE 入力)とロックの検出(MUXOUT をロック検出に設定してポート入力をポーリング)にも使われます。

上記モードで動作する場合、ADuC812 の最大 SCLOCK レートは 4 MHz です。これは、出力周波数を変更できる最大レートが 166 kHz であることを意味します。

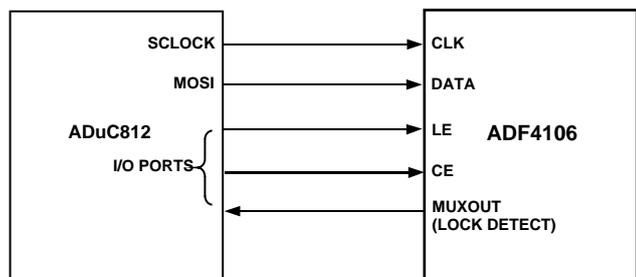


図 23. ADuC812 と ADF4106 との間のインターフェース

### ADSP2181 インターフェース

図 24 に、ADF4106 と ADSP21xx デジタル信号プロセッサ (DSP) との間のインターフェースを示します。ADF4106 は、各ラッチの書込みに 24 ビットのシリアル・ワードを必要とします。ADSP21xx ファミリーを使用してこれを実行する最も簡単な方法は、交替フレーミングによる自動バッファ送信動作モードを使用することです。これは、シリアル・データのブロック全体を送信した後に割込みを発生させる方法を提供します。ワード長を 8 ビットに設定して、各 24 ビット・ワードに対して 3 個のメモリ・ロケーションを使います。各 24 ビット・ラッチへ書込むときは、3 バイトを格納して自動バッファ・モードをイネーブルし、次に DSP の送信レジスタへ書込みを行います。この最後の命令で自動バッファ転送が開始されます。

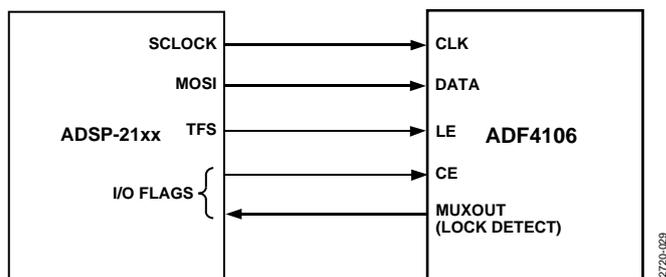


図 24. ADSP-21xx と ADF4106 とのインターフェース

## チップ・スケール・パッケージ用の PCB デザイン・ガイドライン

LFCSP (CP-20) のランドは長方形です。これらに対するプリント回路ボード (PCB) のパッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広い必要があります。ランドの中心とパッドの中心は一致している必要があります。これは、ハンダ接続部のサイズを最大にするために必要です。LFCSP の底面には、中央にサーマル・パッドがあります。

PCB 上のサーマル・パッドは、少なくともこのエクスポーズド・パッドより大きい必要があります。PCB 上では、サーマル・パッドとパッド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。これにより、短絡が防止されます。

サーマル・ビアを PCB のサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mm ピッチ・グリッドのサーマル・パッドを使用する必要があります。ビアの直径は 0.3 mm ~ 0.33 mm であり、ビア・バレルは 1 oz. の銅でメッキして、ビアを構成する必要があります。

PCB のサーマル・パッドは AGND へ接続してください。



## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADF4106BRU	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BRU-REEL	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BRU-REEL7	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BRUZ	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BRUZ-RL	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BRUZ-R7	-40°C to + 85°C	16-Lead Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4106BCP	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
ADF4106BCP-REEL	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
ADF4106BCP-REEL7	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
ADF4106BCPZ	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
ADF4106BCPZ-RL	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
ADF4106BCPZ-R7	-40°C to + 85°C	20-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-20-1
EVAL-ADF4106EBZ1		Evaluation Board	
EVAL-ADF411XEBZ1		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。