

特長

- 帯域幅: 400 MHz
- 電源電圧: 2.7 V~3.3 V
- 3 V システムでチューニング電圧を広げるチャージ・ポンプ電源 (V_p) を外付け
- チャージ・ポンプ電流が設定可能
- 3 線式シリアル・インターフェースを装備
- アナログとデジタルのロック検出
- ハードウェアとソフトウェアによるパワーダウン・モード
- 104 MHz 位相検出器

アプリケーション

- クロック・コンディショニング
- クロックの発生
- IF LO の発生

概要

ADF4002 周波数シンセサイザは、ワイヤレス・レシーバとトランスミッタのアップコンバージョン部分とダウンコンバージョン部分でローカル発振器を構成するときに使われ、低ノイズ・デジタル位相周波数検出器(PFD)、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器、プログラマブルな N 分周器から構成されています。14 ビット・リファレンス・カウンタ (R カウンタ) を使うと、PFD 入力で REF_{IN} 周波数が選択可能になります。シンセサイザを外部ループ・フィルタおよび電圧制御発振器(VCO)と組み合わせて使うと、完全な位相ロック・ループ(PLL)を構成することができます。さらに、R と N を 1 に設定すると、デバイスをスタンドアロン PFD およびチャージ・ポンプとして使うことができます。

機能ブロック図

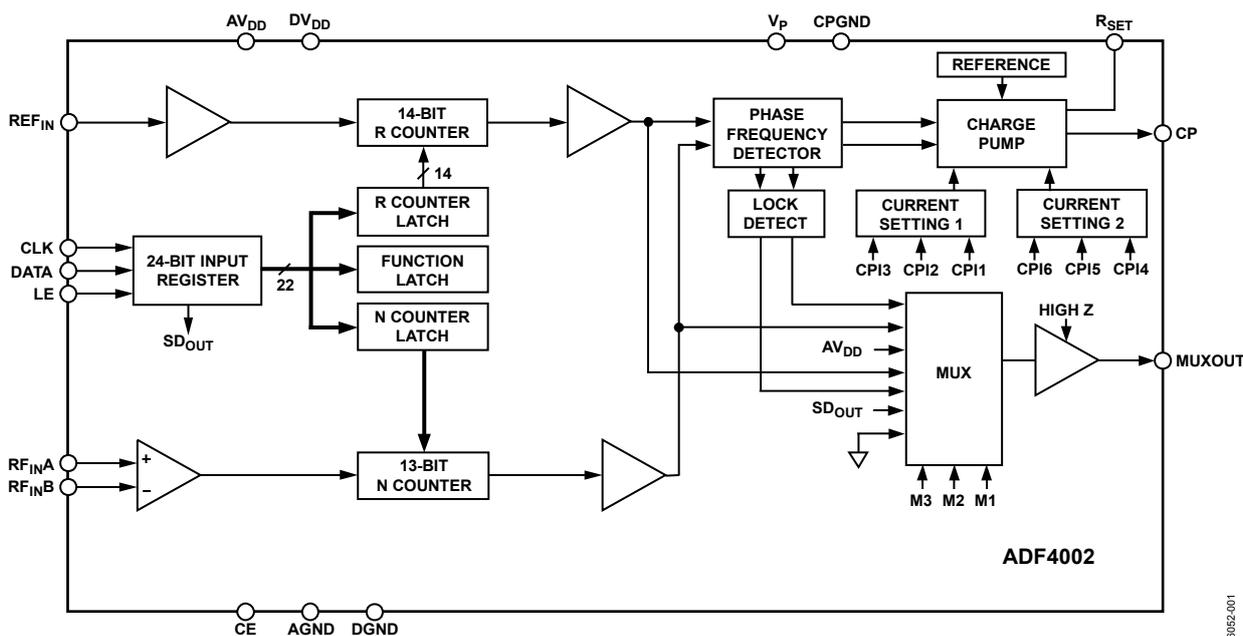


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2006-2007 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	入力シフトレジスタ	9
アプリケーション.....	1	ラッチのマップと説明	10
概要.....	1	ラッチの一覧.....	10
機能ブロック図.....	1	リファレンス・カウンタ・ラッチのマップ	11
改訂履歴.....	2	Nカウンタ・ラッチのマップ.....	12
仕様.....	3	ファンクション・ラッチのマップ	13
タイミング特性.....	4	初期化ラッチのマップ	14
絶対最大定格.....	5	ファンクション・ラッチ	15
熱特性.....	5	初期化ラッチ.....	16
ESDの注意.....	5	アプリケーション.....	17
ピン配置およびピン機能説明	6	高速コンバータ用の非常にジッタの少ないエンコード・クロック	17
代表的な性能特性.....	7	PFD	17
動作原理.....	8	インターフェース	17
リファレンス電圧入力セクション.....	8	チップ・スケール・パッケージ用の PCB デザイン・ガイドライン.....	18
RF入力ステージ	8	外形寸法.....	19
Nカウンタ	8	オーダー・ガイド.....	19
Rカウンタ	8		
位相/周波数デテクタ(PFD)およびチャージ・ポンプ	8		
MUXOUT とロック検出.....	9		

改訂履歴

4/07—Rev. 0 to Rev. A

Changes to Features List.....	1
Changes to Table 1	3
Deleted Figure	7
Changes to Figure 16.....	11

4/06—Revision 0: Initial Version

仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = 3\text{ V} \pm 10\%$ 、 $AV_{DD} \leq V_P \leq 5.5\text{ V}$ 、 $AGND = DGND = CPGND = 0\text{ V}$ 、 $R_{SET} = 5.1\text{ k}\Omega$ 、dBm (50 Ω 基準)、 $T_A = T_{MAX} \sim T_{MIN}$ 。

表 1.

Parameter	B Version ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
RF CHARACTERISTICS					
RF Input Sensitivity	-10		0	dBm	See Figure 11 for input circuit
RF Input Frequency (RF _{IN})	5		400	MHz	For RF _{IN} < 5 MHz, ensure slew rate (SR) > 4 V/ μ s
REFIN CHARACTERISTICS					
REFIN Input Frequency	20		300	MHz	For REFIN < 20 MHz, ensure SR > 50 V/ μ s
REFIN Input Sensitivity ²	0.8		V _{DD}	V p-p	Biased at $AV_{DD}/2^3$
REFIN Input Capacitance			10	pF	
REFIN Input Current			± 100	μ A	
PHASE DETECTOR					
Phase Detector Frequency ⁴			104	MHz	ABP = 0, 0 (2.9 ns antitbacklash pulse width)
CHARGE PUMP					
Programmable, see Figure 18					
I _{CP} Sink/Source					
High Value		5		mA	With R _{SET} = 5.1 k Ω
Low Value		625		μ A	
Absolute Accuracy		2.5		%	With R _{SET} = 5.1 k Ω
R _{SET} Range	3.0		11	k Ω	See Figure 18
I _{CP} Three-State Leakage		1		nA	T _A = 25°C
I _{CP} vs. V _{CP}		1.5		%	0.5 V \leq V _{CP} \leq V _P - 0.5 V
Sink and Source Current Matching		2		%	0.5 V \leq V _{CP} \leq V _P - 0.5 V
I _{CP} vs. Temperature		2		%	V _{CP} = V _P /2
LOGIC INPUTS					
V _{IH} , Input High Voltage	1.4			V	
V _{IL} , Input Low Voltage			0.6	V	
I _{INH} , I _{INL} , Input Current			± 1	μ A	
C _{IN} , Input Capacitance			10	pF	
LOGIC OUTPUTS					
V _{OH} , Output High Voltage	1.4			V	Open-drain output chosen, 1 k Ω pull-up resistor to 1.8 V
V _{OH} , Output High Voltage	V _{DD} - 0.4			V	CMOS output chosen
I _{OH}			100	μ A	
V _{OL} , Output Low Voltage			0.4	V	I _{OL} = 500 μ A
POWER SUPPLIES					
AV _{DD}	2.7		3.3	V	
DV _{DD}	AV _{DD}				
V _P	AV _{DD}		5.5	V	AV _{DD} \leq V _P \leq 5.5 V
I _{DD} ⁵ (AI _{DD} + DI _{DD})		5.0	6.0	mA	
I _P			0.4	mA	T _A = 25°C
Power-Down Mode		1		μ A	AI _{DD} + DI _{DD}
NOISE CHARACTERISTICS					
Normalized Phase Noise Floor ⁶		-222		dBc/Hz	

¹ 動作温度範囲(Bバージョン)は-40°C~+85°C。

² $AV_{DD} = DV_{DD} = 3\text{ V}$ 。

³ AC結合により $AV_{DD}/2$ バイアスが保証されます。

⁴ デザインで保証します。サンプル・テストにより適合性を保証します。

⁵ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = 3\text{ V}$; $RF_{IN} = 350\text{ MHz}$ 。その他のセットアップ (25°C, 3.0 V)の電流 (mA)は、 $2.35 + 0.0046(\text{REFIN}) + 0.0062(\text{RF})$ で与えられます。RF周波数とREFIN周波数の単位はMHzです。

⁶ 正規化位相ノイズ・フロアは、VCO出力での帯域内位相ノイズの測定値から $20\log N$ (NはN分周器の値)および $10\log F_{\text{PFD}}$ を減算して計算されています。 $PN_{\text{SYNTH}} = PN_{\text{TOT}} - 10\log F_{\text{PFD}} - 20\log N$ 。すべての位相ノイズ測定は、EVAL-ADF4002EB1とHP8644BをPLLリファレンスとして使い、Agilent社のE5500位相ノイズ・テスト・システムで行っています。

タイミング特性

特に指定がない限り、 $AV_{DD} = DV_{DD} = 3\text{ V} \pm 10\%$ 、 $AV_{DD} \leq V_P \leq 5.5\text{ V}$ 、 $AGND = DGND = CPGND = 0\text{ V}$ 、 $R_{SET} = 5.1\text{ k}\Omega$ 、dBm(50 Ω 基準)、 $T_A = T_{MAX} \sim T_{MIN}$ ¹。

表 2.

Parameter	Limit (B Version) ²	Unit	Test Conditions/Comments
t_1	10	ns min	DATA to CLK setup time
t_2	10	ns min	DATA to CLK hold time
t_3	25	ns min	CLK high duration
t_4	25	ns min	CLK low duration
t_5	10	ns min	CLK to LE setup time
t_6	20	ns min	LE pulse width

¹ デザインにより保証しますが、出荷テストは行いません。

² 動作温度範囲(Bバージョン)は $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

タイミング図

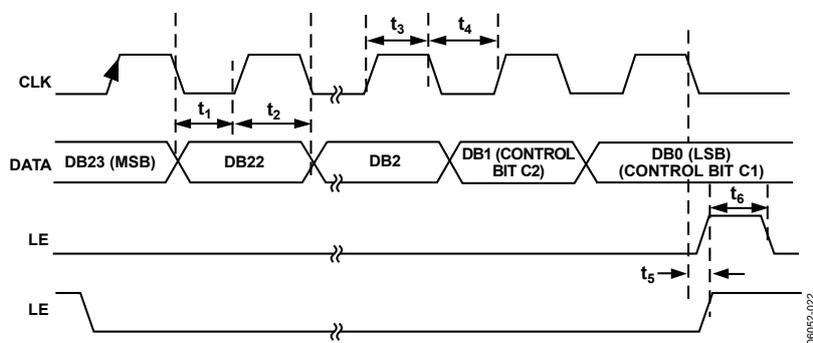


図 2. タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AV_{DD} to GND ¹	-0.3 V to +3.6 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_P to GND	-0.3 V to +5.8 V
V_P to AV_{DD}	-0.3 V to +5.8 V
Digital I/O Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Analog I/O Voltage to GND	-0.3 V to $V_P + 0.3$ V
REFIN, $RF_{IN,A}$, $RF_{IN,B}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
Transistor Count	
CMOS	6425
Bipolar	303

¹ GND = AGND = DGND = 0 V。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは、2 kV 以下の ESD 定格を持ち、ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

熱特性

表 4.熱抵抗

Package Type	θ_{JA}	Unit
TSSOP	150.4	°C/W
LFCSP	122	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

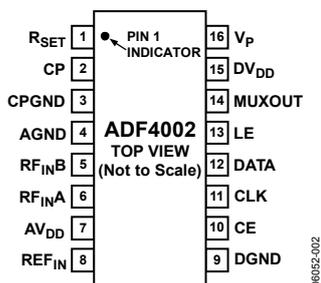


図 3. TSSOP のピン配置(上面図)

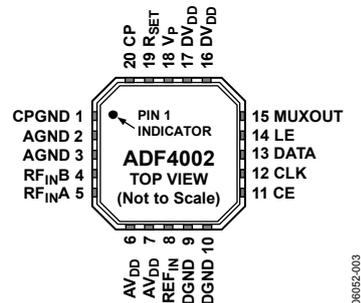


図 4. LFCSP のピン配置(上面図)

表 5. ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	R _{SET}	このピンと CPGND との間に抵抗を接続すると、最大チャージ・ポンプ出力電流が設定されます。R _{SET} ピンの公称電位は 0.66 V です。I _{CP} と R _{SET} の関係は次のようになります。 $I_{CPMAX} = \frac{25.5}{R_{SET}}$ ここで、R _{SET} = 5.1 kΩ、I _{CP} MAX = 5 mA。
2	20	CP	チャージ・ポンプ出力。イネーブルされると、このピンから ±I _{CP} が外部ループ・フィルタに出力されて、外付け VCO が駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。このピンはチャージ・ポンプのグラウンド・リターン・パスです。
4	2、3	AGND	アナログ・グラウンド。このピンは RF 入力のグラウンド・リターン・パスです。
5	4	RF _{IN} B	RF 入力への相補入力。このポイントは、小さいバイパス・コンデンサ 100 pF (typ) でグラウンド・プレーンへデカップリングする必要があります。図 11 を参照してください。
6	5	RF _{IN} A	RF 入力への入力。この小信号入力は、外付け VCO へ AC 結合されます。
7	6、7	AV _{DD}	アナログ電源。2.7 V ~ 3.3 V の範囲が可能。アナログ・グラウンド・プレーンへのデカップリング・コンデンサは、AV _{DD} ピンのできるだけ近くに配置する必要があります。AV _{DD} は DV _{DD} と同じ値である必要があります。
8	8	REF _{IN}	リファレンス電圧入力。これは、V _{DD} /2 の公称スレッシュホールドと 100 kΩ の DC 等価入力抵抗を持つ CMOS 入力です。図 10 を参照してください。この入力は、TTL または CMOS 水晶発振器から駆動するか、または AC 結合することができます。
9	9、10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプ出力はスリー・ステート・モードになります。このピンをハイ・レベルにすると、パワーダウン・ビット F2 の状態に応じてデバイスがパワーアップします。
11	12	CLK	シリアル・データ入力。このシリアル・クロックは、シリアル・データをレジスタに入力するときに使います。データは、CLK の立ち上がりエッジで 24 ビットのシフトレジスタへ入力されます。この入力は高インピーダンス CMOS 入力です。
12	13	DATA	シリアル・データ入力。シリアル・データが、MSB ファーストでロードされます。下位 2 ビットがコントロール・ビットです。この入力は高インピーダンス CMOS 入力です。
13	14	LE	ロード・イネーブル、CMOS 入力。LE がハイ・レベルになると、シフトレジスタに格納されているデータが 4 個のラッチの内の 1 つにロードされます。ラッチはコントロール・ビットで選択されます。
14	15	MUXOUT	マルチプレクサ出力。このビットを使うと、ロック検出、スケール済み RF、またはスケール済みリファレンス周波数を外部からアクセスできるようになります。
15	16、17	DV _{DD}	デジタル電源。2.7 V ~ 3.3 V の範囲が可能。デジタル・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。DV _{DD} は DV _{DD} と同じ値である必要があります。
16	18	V _P	チャージ・ポンプ電源。このピンの電圧は V _{DD} 以上である必要があります。V _{DD} = 3 V のシステムでは、このピンを 5.5 V に設定することができ、最大 5 V までのチューニング範囲を持つ VCO の駆動に使用されます。

代表的な性能特性

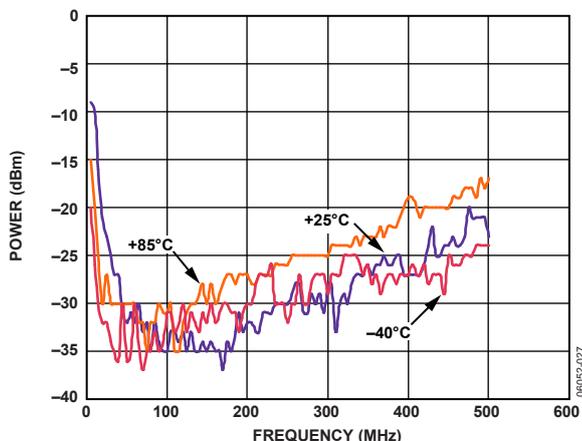


図 5.RF 入力感度

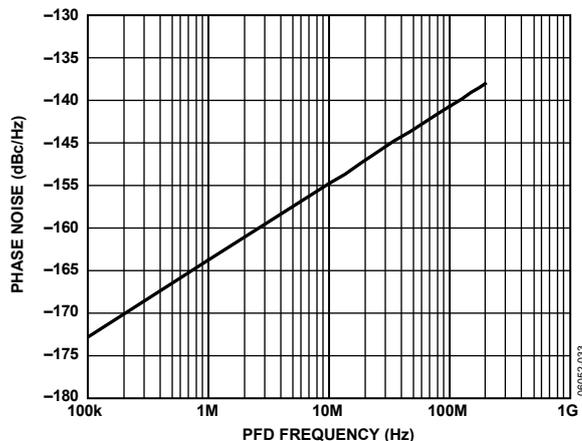


図 8.位相ノイズ(CP 出力基準)対 PFD 周波数

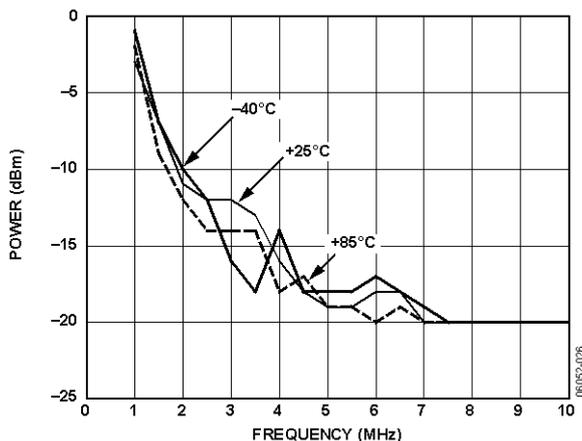


図 6.RF 入力感度、低周波数

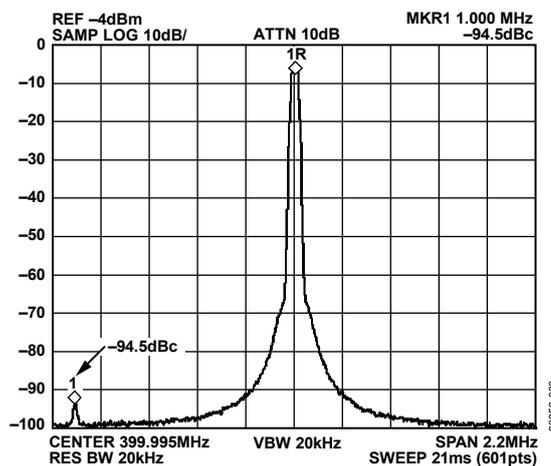


図 9.リファレンス電圧スプリアス(400 MHz、1 MHz、7 kHz)

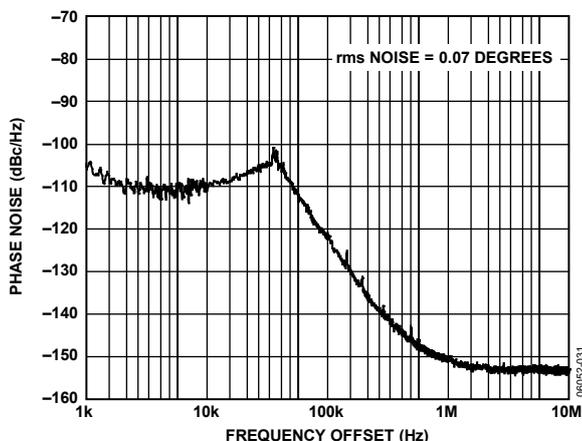


図 7.積分位相ノイズ(400 MHz、1 MHz、50 kHz)

動作原理

リファレンス電圧入力セクション

リファレンス入力ステージを図 10 に示します。SW1 と SW2 は、ノーマル・クローズ・スイッチです。SW3 はノーマル・オープンです。パワーダウンが開始されると、SW3 が閉じて、SW1 と SW2 が開きます。これにより、パワーダウン時に REF_{IN} ピンの負荷がなくなります。

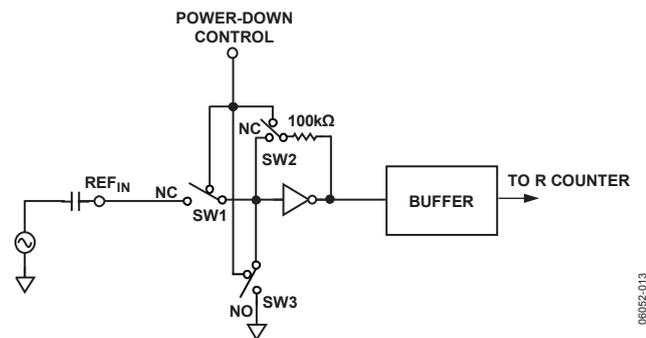


図 10.リファレンス電圧入力ステージ

RF 入力ステージ

RF 入力ステージを図 11 に示します。この後ろに 2 ステージの制限アンプが続いて、N カウンタに必要な CML クロック・レベルを発生します。

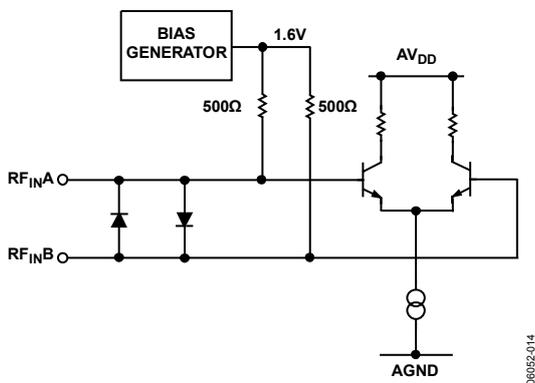


図 11.RF 入力ステージ

N カウンタ

CMOS の N カウンタを使うと、PLL 帰還カウンタで広範囲な分周比が可能になります。1~8191 の分周比が可能です。

N と R の関係

N カウンタを使うと、リファレンス周波数=R だけ離れた出力周波数を発生することができます。

VCO 周波数の式は次のようになります。

$$f_{VCO} = N \times \frac{f_{REFIN}}{R}$$

ここで、

f_{VCO} は外部電圧制御発振器(VCO)の出力周波数。

N は、バイナリ 13 ビット・カウンタに設定されている分周比(1~8191)。

f_{REFIN} は外部リファレンス発振器の周波数。

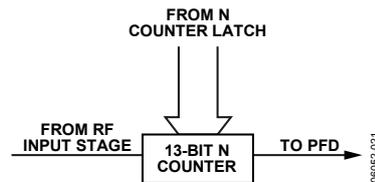


図 12.N カウンタ

R カウンタ

14 ビットの R カウンタを使うと、入力リファレンス周波数を分周して、位相周波数検出器(PFD)へのリファレンス・クロックを発生することができます。1~16,383 の分周比が可能です。

位相/周波数デテクタ(PFD)およびチャージ・ポンプ

PFD は R カウンタと N カウンタから入力を受け取り、両入力の位相差と周波数差に比例した出力を発生します。図 13 に簡略化した回路図を示します。PFD にはプログラマブルな遅延要素が含まれており、バックラッシュ防止パルスの幅を制御しています。このパルスは、PFD 伝達関数内でデッド・ゾーンが発生しないようにし、位相ノイズとリファレンス・スプリアスを最小にします。リファレンス・カウンタ・ラッチの 2 ビット(ABP2 と ABP1)がパルス幅を制御しています。詳細については、図 16 を参照してください。最小のバックラッシュパルス幅は推奨できません。

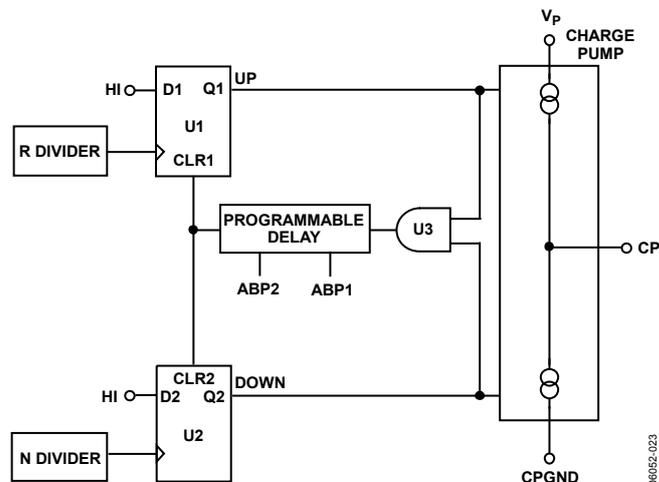


図 13.PFD の簡略化した回路図とタイミング(ロック状態)

MUXOUT とロック検出

ADF4002 の出力マルチプレクサを使うと、チップ上の種々の内部ポイントをアクセスすることができます。MUXOUT の状態は、ファンクション・ラッチの M3、M2、M1 から制御されます。図 18 と図 14 に、それぞれ真理値表と MUXOUT セクションのブロック図を示します。

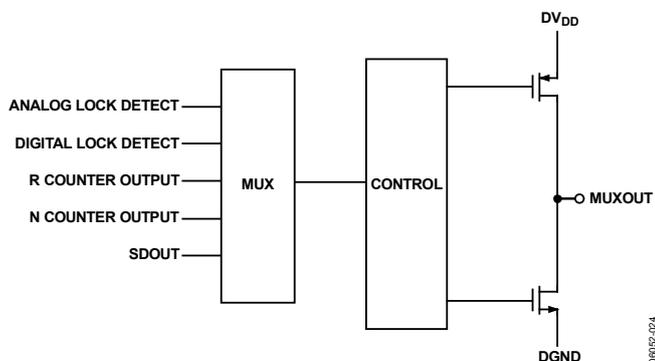


図 14. MUXOUT 回路

ロック検出

MUXOUT は、デジタル・ロック検出とアナログ・ロック検出の 2 タイプのロック検出に設定することができます。

デジタル・ロック検出はアクティブ・ハイです。R カウンタ・ラッチの LDP が 0 の場合、位相検出器(PD)の連続する 3 サイクルの位相誤差が 15 ns を下回ると、デジタル・ロック検出がハイ・レベルに設定されます。LDP が 1 の場合、5 サイクル間連続して 15 ns を下回ると、ロック検出がセットされます。25 ns を上回る位相誤差が任意の後続 PD サイクルで検出されるまで、ロック検出はセットされたままになります。PFD 周波数が

10 MHz より高い場合は、パルス幅が狭くなるため、アナログ・ロック検出がさらに正確になります。

N チャンネルのオープン・ドレインのアナログ・ロック検出は、公称 10 kΩ の外付けプルアップ抵抗で動作する必要があります。ロックが検出されると、この出力は狭い負のパルスを持つハイ・レベルになります。

入力シフトレジスタ

ADF4002 デジタル・セクションには、24 ビット入力シフト・レジスタ、14 ビット R カウンタ、13 ビット N カウンタがあります。データは、CLK の各立ち上がりエッジで 24 ビット・シフト・レジスタに入力されます。データは MSB ファーストで入力されます。データは、シフト・レジスタから LE の立ち上がりエッジで 4 個のラッチ内の 1 つに転送されます。ディステーション・ラッチは、シフト・レジスタの 2 ビットのコントロール・ビット(C2、C1)の状態で指定されます。これらのビットは、タイミング図(図 2 参照)に示すように、DB1 と DB0 の下位 2 ビットです。表 6 にこれらのビットの真理値表を、図 15 にラッチのプログラム方法を、それぞれ示します。

表 6. C2 と C1 の真理値表

Control Bits		Data Latch
C2	C1	
0	0	R Counter
0	1	N Counter
1	0	Function Latch
1	1	Initialization Latch

ラッチのマップと説明

ラッチの一覧

REFERENCE COUNTER LATCH

RESERVED			LOCK DETECT PRECISION	TEST MODE BITS		ANTI- BACKLASH WIDTH		14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	0	0	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

N COUNTER LATCH

RESERVED			CP GAIN	13-BIT N COUNTER														RESERVED				CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	X	X	X	X	X	X	C2 (0)	C1 (1)

FUNCTION LATCH

RESERVED		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22		DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12					DB11	DB10	DB9			DB8	DB7
X	X	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)

INITIALIZATION LATCH

RESERVED		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22		DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12					DB11	DB10	DB9			DB8	DB7
X	X	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)

06052015

図 15. ラッチの一覧

リファレンス・カウンタ・ラッチのマップ

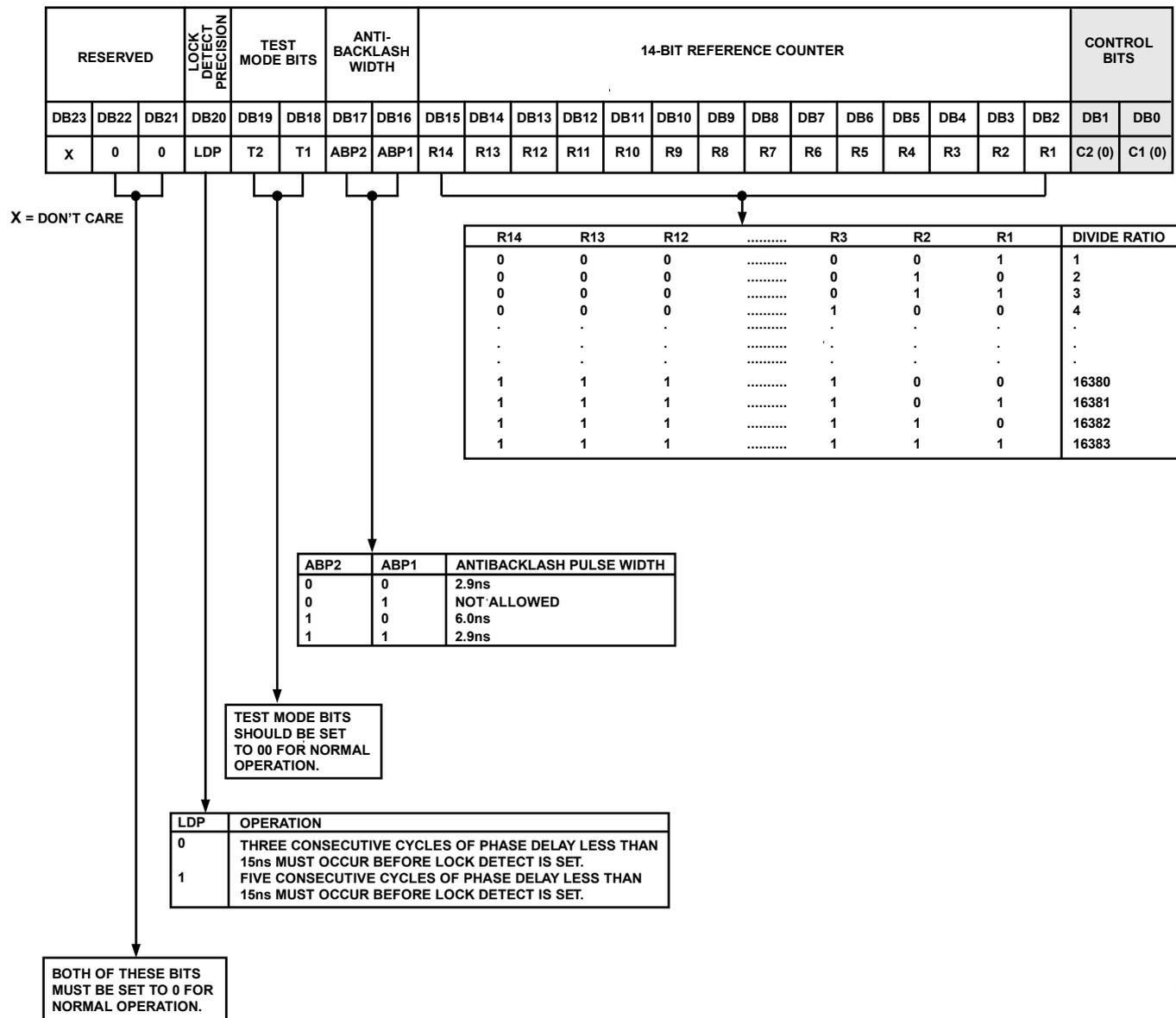


図 16.リファレンス・カウンタ・ラッチのマップ

06052-025

N カウンタ・ラッチのマップ

RESERVED		CP GAIN	13-BIT N COUNTER													RESERVED					CONTROL BITS		
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	X	X	X	X	X	X	C2 (0)	C1 (1)

X = DON'T CARE

N13	N12	N11	N3	N2	N1	N COUNTER DIVIDE RATIO	
0	0	0	0	0	0	NOT ALLOWED
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
.
.
.
1	1	1	1	0	0	8188
1	1	1	1	0	1	8189
1	1	1	1	1	0	8190
1	1	1	1	1	1	8191

F4 (FUNCTION LATCH) FASTLOCK ENABLE	CP GAIN	OPERATION
0	0	CHARGE PUMP CURRENT SETTING 1 IS PERMANENTLY USED.
0	1	CHARGE PUMP CURRENT SETTING 2 IS PERMANENTLY USED.
1	0	CHARGE PUMP CURRENT SETTING 1 IS USED.
1	1	CHARGE PUMP CURRENT IS SWITCHED TO SETTING 2. THE TIME SPENT IN SETTING 2 IS DEPENDENT ON WHICH FASTLOCK MODE IS USED. SEE FUNCTION LATCH DESCRIPTION.

THESE BITS ARE NOT USED BY THE DEVICE AND ARE DON'T CARE BITS.

THESE BITS ARE NOT USED BY THE DEVICE AND ARE DON'T CARE BITS.

図 17.N カウンタ・ラッチのマップ

ファンクション・ラッチのマップ

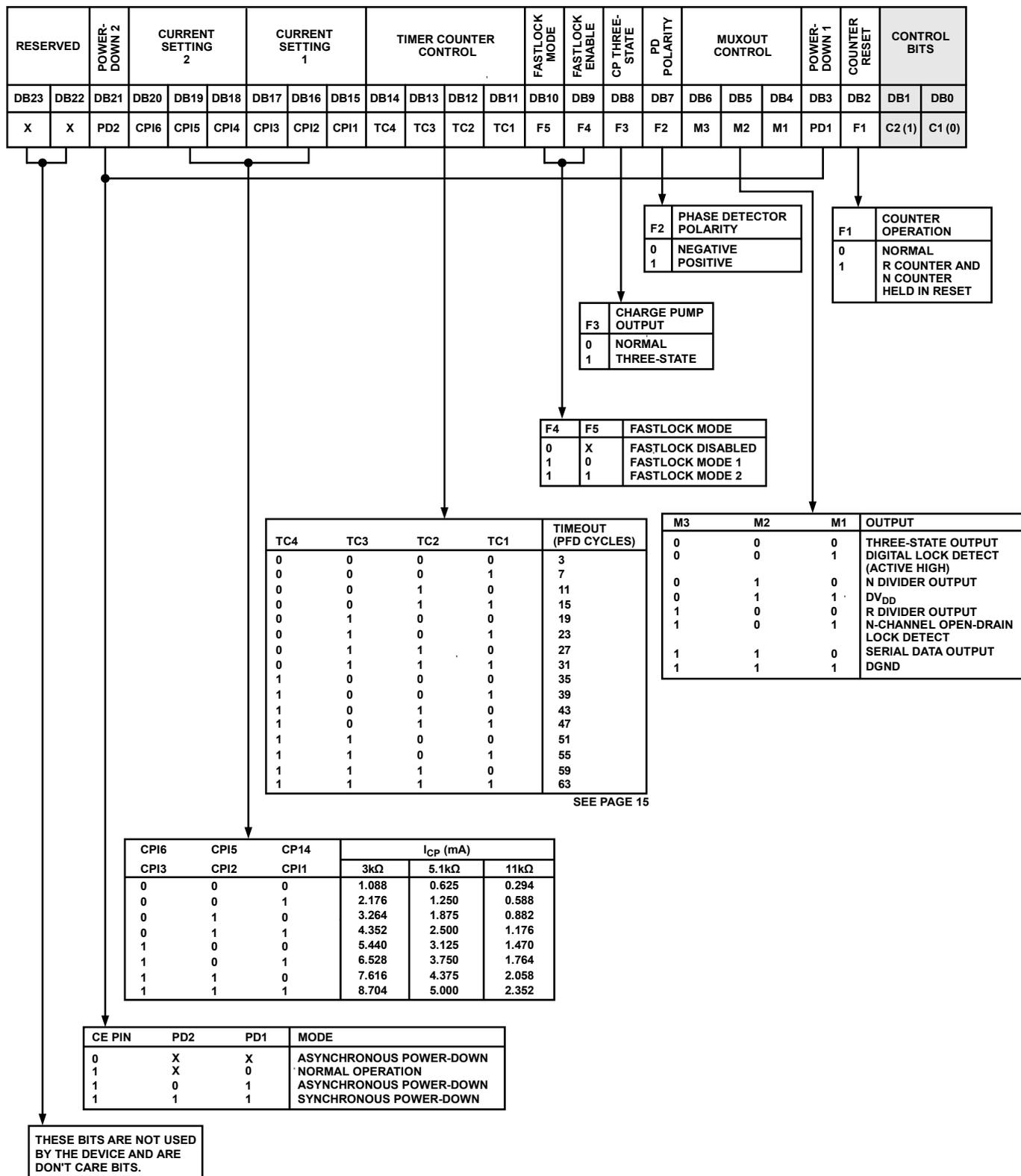


図 18. ファンクション・ラッチのマップ

初期化ラッチのマップ

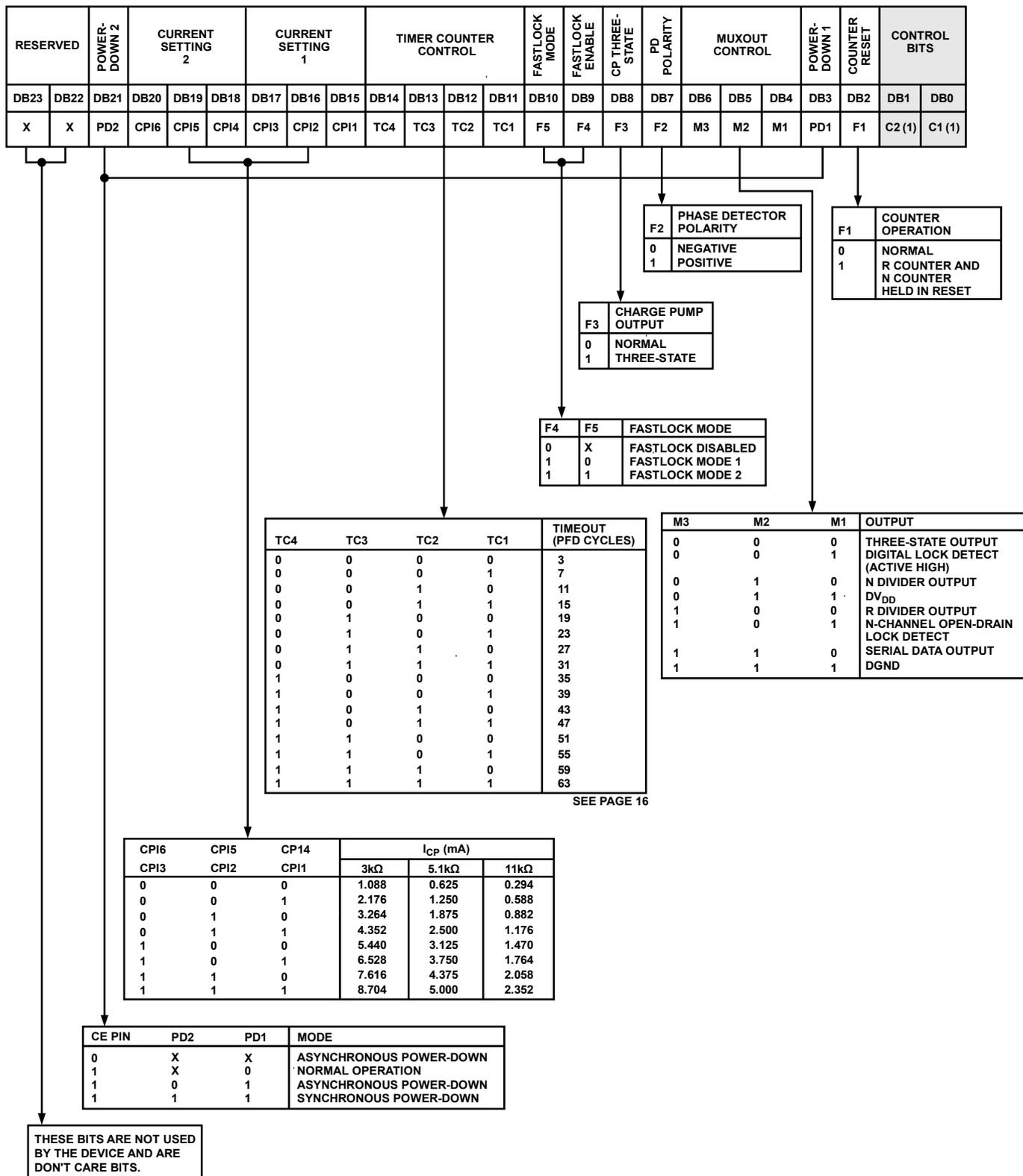


図 19.初期化ラッチのマップ

ファンクション・ラッチ

C2 と C1 をそれぞれ 1 と 0 に設定して、内部ファンクション・ラッチを設定します。図 18 に、ファンクション・ラッチ設定の入力データ・フォーマットを示します。

カウンタ・リセット

DB2 (F1)はカウンタ・リセット・ビットです。このビットが 1 に設定されると、R カウンタと N カウンタがリセットされます。通常動作にする場合、このビットを 0 に設定します。パワーアップ時は、F1 ビットをディスエーブルする必要があります(0 に設定)。

その後、N カウンタは R カウンタに近いアライメントでカウンティングを再開します(最大誤差は 1 プリスケアラ・サイクル)。

パワーダウン

DB3 (PD1)と DB21 (PD2)により、プログラマブルなパワーダウン・モードが提供されます。これらのビットは、CE ピンによりイネーブルされます。

CE ピンがロー・レベルになると、PD2 ビットと PD1 ビットの状態に無関係にデバイスは直ちにディスエーブルされます。

同期パワーダウンが設定されると、ビット PD2 に 0 が既にロードされている場合、ビット PD1 に 1 をラッチした直後にデバイスがパワーダウンします。

同期パワーダウン・モードが設定されると、不要な周波数ジャンプを防止するため、デバイス・パワーダウンはチャージ・ポンプでゲーティングされます。1 をビット PD1 に書き込んでパワーダウンがイネーブルされた後(ただし、ビット PD2 にも 1 が既にロードされているものとします)、次のチャージ・ポンプ・イベントが発生したときにデバイスがパワーダウンします。

パワーダウンが開始されると(CE ピンによるパワーダウンの起動も含む同期モードまたは非同同期モードで)、次のイベントが発生します。

- すべてのアクティブ DC 電流パスがなくなります。
- R、N、タイムアウトの各カウンタは、強制的にロード状態にされます。
- チャージ・ポンプは強制的にスリー・ステート・モードにされます。
- デジタル・ロック検出回路がリセットされます。
- RFIN 入力がディスエーブルされます。
- リファレンス入力バッファ回路がディスエーブルされます。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能です。

MUXOUT の制御

内蔵マルチプレクサは ADF4002 上の M3、M2、M1 によって制御されます。図 18 に真理値表を示します。

高速ロック・イネーブル・ビット

ファンクション・ラッチの DB9 は高速ロック・イネーブル・ビットです。このビットが 1 のときのみ、高速ロックがイネーブルされます。

高速ロック・モード・ビット

ファンクション・ラッチの DB10 は高速ロック・モード・ビットです。高速ロックがイネーブルされると、このビットにより使用する高速ロック・モードが指定されます。高速ロック・モード・ビットが 0 の場合、高速ロック・モード 1 が選択され、高速ロック・モード・ビットが 1 の場合、高速ロック・モード 2 が選択されます。

高速ロック・モード 1

このモードでは、チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。N カウンタ・ラッチの CP ゲイン・ビットに 1 が書き込まれると、デバイスは高速ロックを開始します。AB カウンタ・ラッチの CP ゲイン・ビットに 0 が書き込まれると、デバイスは高速ロックを終了します。

高速ロック・モード 2

このモードでは、チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。N カウンタ・ラッチの CP ゲイン・ビットに 1 が書き込まれると、デバイスは高速ロックを開始します。デバイスはタイマ・カウンタの制御の下で高速ロックを終了します。TC4~TC1 の値によりタイムアウト周期が指定されると、N カウンタ・ラッチの CP ゲイン・ビットは自動的に 0 にリセットされて、デバイスは高速ロックから通常モードへ変わります。タイムアウト周期については、図 18 を参照してください。

タイマ・カウンタの制御

チャージ・ポンプ電流の設定には 2 つのオプションがあります。RF 出力が安定で、かつシステムがスタティック状態にあるとき、電流設定 1 を使うことが目的です。電流設定 2 は、システムがダイナミックで変化状態にあるとき、すなわち新しい出力周波数が設定されたときに使います。

イベントの通常シーケンスは次の通りです。

ユーザが初めて前述のチャージ・ポンプ電流を決定します。たとえば、電流設定 1 として 2.5 mA、電流設定 2 として 5 mA を選択することができます。

同時に、プライマリ電流に切り替える前に、セカンダリ電流のアクティブを継続する時間を決める必要があります。これは、ファンクション・ラッチのタイマ・カウンタ・コントロール・ビット DB14~タイマ・カウンタ・コントロール・ビット DB11 (TC4~TC1)により制御されます。真理値表については、図 18 を参照してください。

新しい出力周波数を設定するときは、単に N の新しい値を N カウンタ・ラッチに設定します。同時に、CP ゲイン・ビットを 1 に設定することができます。これにより、TC4~TC1 で指定される時間長に対する CPI6~CPI4 の値がチャージ・ポンプに設定されます。この時間長が経過すると、チャージ・ポンプ電流は、CPI3~CPI1 により設定される値へ戻ります。同時に、N カウンタ・ラッチの CP ゲイン・ビットが 0 にリセットされ、次の周波数変更に対する準備が整います。

タイマ・カウンタにはイネーブル機能がないことに注意してください。ファンクション・ラッチの高速ロック・モード・ビット DB10 を 1 に設定して高速ロック・モード 2 が選択されたときに、この機能がイネーブルされます。

チャージ・ポンプ電流

CPI3、CPI2、CPI1 により、チャージ・ポンプの電流設定 1 が設定されます。CPI6、CPI5、CPI4 により、チャージ・ポンプの電流設定 2 が設定されます。真理値表については、図 18 を参照してください。

PD 極性

このビットにより位相検出器極性ビットが設定されます(図 18 参照)。

CP スリーステート

このビットにより、CP 出力ピンが制御されます。このビットをハイ・レベルに設定すると、CP 出力がスリー・ステートになります。このビットをロー・レベルにすると、CP 出力がイネーブルされます。

初期化ラッチ

C2, C1 = 1, 1 のとき初期化ラッチが設定されます。これは本来ファンクション・ラッチと同じです(C2, C1 = 1, 0 のとき設定)。

ただし、初期化ラッチが設定されると、R カウンタと N カウンタに対してさらに内部リセット・パルスが 1 個追加されます。このパルスにより、N カウンタ・データがラッチされて、デバイスが近い位相アライメントでカウンティングを開始するとき、N カウンタが確実にロード・ポイントになるようになります。

ラッチが同期パワーダウに設定されると(CE ピンがハイ・レベル; PD1 ビットがハイ・レベル; PD2 ビットがロー・レベル)、内部パルスによりこのパワーダウンも開始されます。プリスケラ・リファレンスと発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相アライメントが維持されます。

初期化後に最初に N カウンタ・データがラッチされたとき、内部リセット・パルスが再度発生されますが、この後に後続する AB カウンタ・ロードがあっても、内部リセット・パルスは発生されません。

初期パワーアップ後のデバイスの設定

デバイスを最初にパワーアップした後、デバイスを設定する次の 3 つの方法があります。

初期化ラッチの方法

1. V_{DD} をオンにします。
2. 初期化ラッチを設定します(入力ワードの下位 2 ビットに 11 を設定)。F1 ビットが 0 に設定されていることを確認します。
3. ファンクション・ラッチのロードを実行します(コントロール・ワードの下位 2 ビットに 10 を設定)。F1 ビットが 0 に設定されていることを確認します。
4. R ロードを 1 回実行します(下位 2 ビット=00)。
5. N ロードを 1 回実行します(下位 2 ビット=01)。

初期化ラッチがロードされると、次が発生します。

- ファンクション・ラッチの値がロードされます。
- 内部パルスにより、R、N、タイムアウトの各カウンタがロード状態にリセットされ、チャージ・ポンプがスリー・ステートになります。プリスケラ・バンド・ギャップ・リファレンスと発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相アライメントが維持されることに注意してください。
- 初期化ワード後に最初に N カウンタ・データがラッチされると、同じ内部リセット・パルスが発生されますが、もう 1 回初期化が行われないう限り、後続の N ロードでは内部リセット・パルスは発生されません。

CE ピンの方法

1. V_{DD} をオンにします。
2. CE をロー・レベルにしてデバイスをパワーダウンさせます。これは直ちに実行されるため非同期パワーダウンです。
3. ファンクション・ラッチ(10)を設定します。
4. R カウンタ・ラッチ(00)を設定します。
5. N カウンタ・ラッチ(01)を設定します。
6. CE をハイ・レベルにして、デバイスをパワーダウンから抜け出させます。R カウンタと N カウンタが近いアライメントでカウンティングを再開します。CE がハイ・レベルになった後、プリスケラ・バンド・ギャップ電圧と発振器入力バッファ・バイアスが安定状態になるまで、1 μ s の時間が必要になることに注意してください。

チャンネル動作をチェックするとき、CE を使ってデバイスをパワーアップ/パワーダウンすることができます。 V_{DD} が最初にオンした後少なくとも 1 回入力レジスタが設定されているかぎり、デバイスをディスエーブル/イネーブルするごとに、入力レジスタを再設定する必要はありません。

カウンタ・リセットの方法

1. V_{DD} をオンにします。
2. ファンクション・ラッチのロードを実行します(下位 2 ビットに 10 を設定)。このステップ内で、1 を F1 ビットにロードします。これによりカウンタ・リセットがイネーブルされます。
3. R カウンタ・ロードを 1 回実行します(下位 2 ビット= 00)。
4. N カウンタ・ロードを 1 回実行します(下位 2 ビット= 01)。
5. ファンクション・ラッチのロードを実行します(下位 2 ビットに 10 を設定)。このステップ内で、0 を F1 ビットにロードします。これによりカウンタ・リセットがディスエーブルされます。

このシーケンスは、初期化方法と同じ近いアライメントを提供します。この方法で、内部リセットの直接制御が可能になります。カウンタ・リセットにより各カウンタはロード・ポイントに維持されて、チャージ・ポンプはスリー・ステートになりますが、同期パワーダウンは開始されないことに注意してください。

アプリケーション

高速コンバータ用の非常にジッタの少ないエンコード・クロック

図 20 に、ADF4002 と VCXO の組み合わせにより、高速 A/D コンバータ(ADC)用のエンコード・クロックを発生できることを示します。

このアプリケーションで使用するコンバータは、12 ビット・コンバータの AD9215-80 で、最大 80 MHz のエンコード・クロックを入力します。安定な低ジッタ・クロックを実現するためには、77.76 MHz の狭帯域 VCXO を使ってください。この例では、19.44 MHz のリファレンス・クロックを使っています。

ADF4002 からの位相ノイズ成分を小さくするために、最小乗算係数 4 を使っています。このため、R 分周器を 1 に、N 分周器を 4 に、それぞれ設定しています。

ADF4002 のチャージ・ポンプ出力(ピン 2)がループ・フィルタを駆動します。ループ・フィルタ帯域幅は最適な rms ジッタが得られるように最適化され、ADC の信号対ノイズ比(SNR)の重要なファクタになっています。帯域幅が狭すぎると、キャリア周波数からの小さいオフセットで VCXO ノイズが支配的になります。帯域幅が広すぎると、VCXO ノイズが ADF4002 ノイズより低いオフセットで ADF4002 ノイズが支配的になります。このため、VCXO ノイズと ADF4002 の帯域内ノイズの交点が最適ループ・フィルタ帯域幅として選択されます。

ループ・フィルタのデザインでは、ADIsimPLL (バージョン 3.0)を使っています。これは www.analog.com/pll から無償でダウンロードすることができます。rms ジッタの測定値は 1.2 ps 以下です。このレベルは、このコンバータの理論 SNR 性能 59 dB の保証に必要な最大許容レベル 6 ps rms より低い値です。

ADF4002、AD9215、HSC-ADC-EVALA-SC を使った図 20 に示すセットアップでは、コンバータとエンコード・クロックの適合性を迅速かつ効果的に調べることができます。SPI インターフェースを使って ADF4002 を制御し、USB インターフェースは AD9215-80 の動作制御に役立ちます。コントローラ・ボードは FFT 情報を PC に返します。ADC アナライザを使用する場合、この PC は ADC のすべての変換結果を提供します。

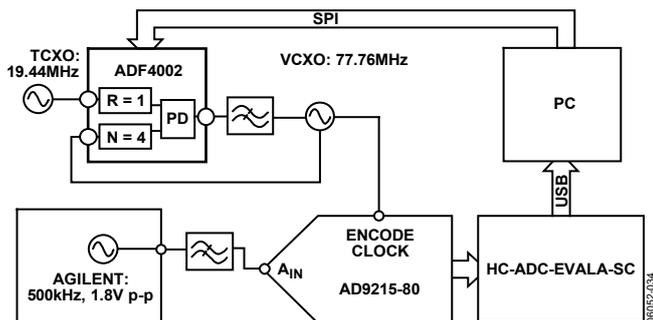


図 20.ADF4002 をエンコード・クロックとして使用

PFD

ADF4002 では、R カウンタと N カウンタを 1 に設定することができるため、デバイスをスタンドアロン PFD とチャージ・ポンプとして効果的に使用することができます。これは、クロック・クリーニング・アプリケーションまたは高性能 LO で特に便利です。さらに、正規化位相ノイズ・フロアが非常に低いため(-222 dBc/Hz)、帯域内位相ノイズ・レベルを非常に低くすることができます。この PFD を最大周波数 104 MHz まで動作させることができます。

図 21 では、リファレンス周波数は PFD と一致するため、R=1 です。チャージ・ポンプ出力は積分されて VCXO の安定な制御電圧を発生し、VCXO 出力は外付け分周器を使って所望の PFD 周波数まで分周されます。

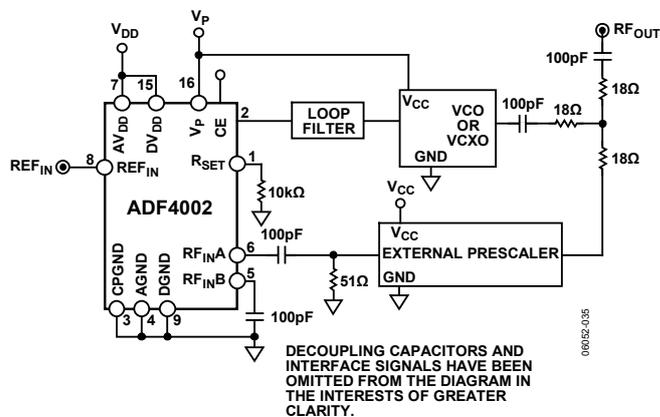


図 21.ADF4002 を PFD として使用

インターフェース

ADF4002 には、デバイスに対する書き込みを行うためのシンプルな SPI 互換シリアル・インターフェースが内蔵されています。CLK、DATA、LE を使ってデータ転送を制御します。ラッチ・イネーブル(ピン LE)をハイ・レベルにすると、CLK の各立ち上がりエッジで入力レジスタに入力された 24 ビットが該当するラッチへ転送されます。タイミング図については図 2 を、ラッチ真理値表については表 6 を、それぞれ参照してください。

最大許容シリアル・クロック・レートは 20 MHz です。これは、デバイスで可能な最大更新レートは 833 kHz であること、すなわち 1.2 μs ごとの更新を意味します。このレートは、数百 μsec の一般的なロック時間を持つシステムにとっては十分以上の性能です。

ADuC812 とのインターフェース

図 22 に、ADF4002 と ADuC812 MicroConverter® との間のインターフェースを示します。ADuC812 は 8051 コアを採用しているため、このインターフェースは任意の 8051 を採用したマイクロコントローラに対して使用することができます。MicroConverter は CPHA = 0 の SPI マスター・モード用に設定されています。動作を開始するときは、LE を駆動する I/O ポートをロー・レベルにします。ADF4002 の各ラッチは 24 ビット・ワードを必要とします。これは、MicroConverter からデバイスへ 3 バイトを書き込むことによって実行されます。3 番目のバイトを書き込んだとき、LE 入力をハイ・レベルにすると転送が完了します。

最初に ADF4002 に電源を加えるとき、出力をアクティブにするために 4 回の書き込みが必要です(初期化ラッチ、ファンクション・ラッチ、R カウンタ・ラッチ、N カウンタ・ラッチにそれぞれ 1 回)。

ADuC812 の I/O ポート・ラインは、パワーダウン制御(CE 入力)とロックの検出(MUXOUT をロック検出に設定してポート入力をポーリング)にも使われます。

SPI マスター・モードで動作する場合、ADuC812 の最大 SC ロック・レートは 4 MHz です。これは、出力周波数を変更できる最大レートが 166 kHz であることを意味します。

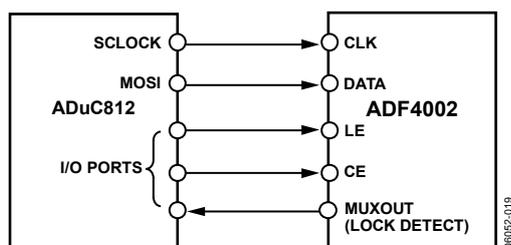


図 22. ADuC812 と ADF4002 との間のインターフェース

ADSP21xx とのインターフェース

図 23 に、ADF4002 と ADSP21xx デジタル信号プロセッサとの間のインターフェースを示します。ADF4002 は、各ラッチの書き込みに 24 ビットのシリアル・ワードを必要とします。ADSP21xx ファミリーを使用してこれを実行する最も簡単な方法は、交替フレーミングによる自動バッファ送信動作モードを使用することです。これは、シリアル・データのブロック全体を送信した後に割り込みを発生させる方法を提供します。ワード長を 8 ビットに設定して、各 24 ビット・ワードに対して 3 個

のメモリ・ロケーションを使います。各 24 ビット・ラッチへ書き込むときは、3 バイトを格納して自動バッファ・モードをイネーブルし、次に DSP の送信レジスタへ書き込みを行います。この最後の命令で自動バッファ転送が開始されます。

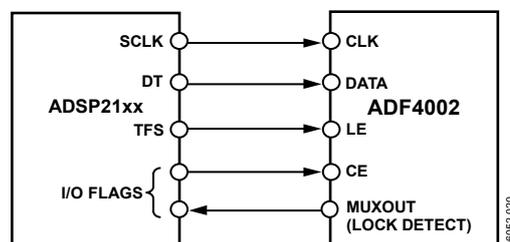


図 23. ADSP21xx と ADF4002 との間のインターフェース

チップ・スケール・パッケージ用の PCB デザイン・ガイドライン

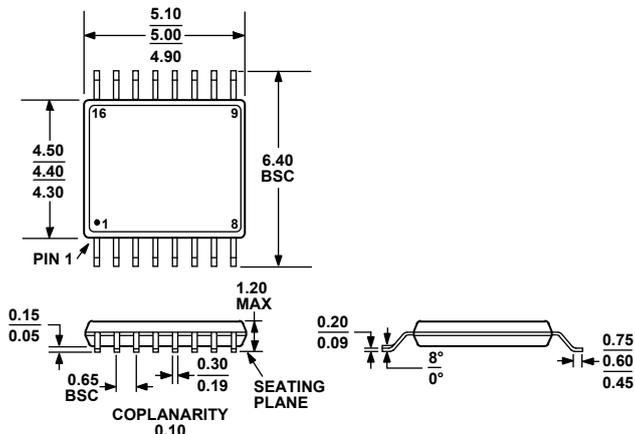
リードフレーム・チップ・スケール・パッケージ(CP-20-1)のランドは長方形です。これらに対するプリント回路ボードのパッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広い必要があります。ランドの中心とパッドの中心は一致している必要があります。これは、ハンダ接続部のサイズを最大にするために必要です。リードフレーム・チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。

プリント回路ボード上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。プリント回路ボード上では、サーマル・パッドとパッド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。これにより、短絡が防止されます。

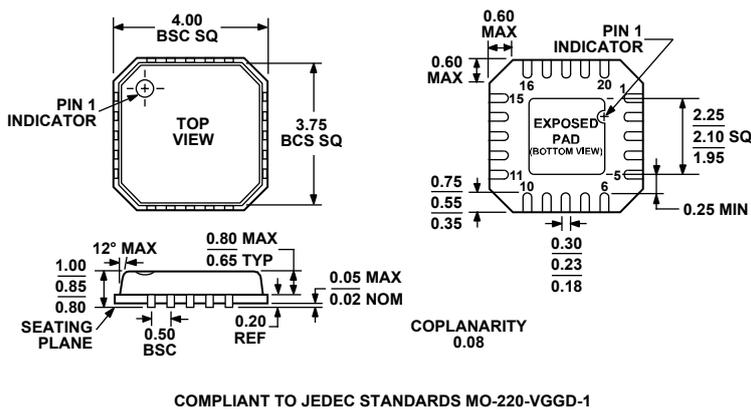
サーマル・ビアをプリント回路ボードのサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mm ピッチ・グリッドでサーマル・パッドに使用する必要があります。ビアの直径は 0.3 mm ~ 0.33 mm であり、ビア・バレルは 1 oz. の銅でメッキして、ビアを挿入する必要があります。

プリント回路ボードのサーマル・パッドは AGND へ接続してください。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB
 図 24.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
 (RU-16)
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1
 図 25.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 (CP-20-1)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADF4002BRUZ ¹	-40°C to +85°C	16-Lead TSSOP	RU-16
ADF4002BRUZ-RL ¹	-40°C to +85°C	16-Lead TSSOP	RU-16
ADF4002BRUZ-RL7 ¹	-40°C to +85°C	16-Lead TSSOP	RU-16
ADF4002BCPZ ¹	-40°C to +85°C	20-Lead LFCSP_VQ	CP-20-1
ADF4002BCPZ-RL ¹	-40°C to +85°C	20-Lead LFCSP_VQ	CP-20-1
ADF4002BCPZ-RL7 ¹	-40°C to +85°C	20-Lead LFCSP_VQ	CP-20-1
EVAL-ADF4002EBZ1 ¹		Evaluation Board	
EVAL-ADF411XEBZ1 ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。