



16ビット、8チャンネル同時サンプリング データ・アキュイジション・システム

データシート

ADAS3023

特長

- 使いやすい 16 ビットのデータ・アキュイジション・システム
- 2、4、6、8 個のチャンネルを同時サンプリングとして選択可能
- 差動入力電圧範囲: 最大 ± 20.48 V
- 8 チャンネルの高い入力インピーダンス: 500 M Ω 以上
- 高い入力同相モード除去比: 95.0 dB
- 設定可能な入力範囲
- 4.096 V のリファレンス電圧とバッファを内蔵
- レイテンシ/パイプライン遅延がない (SAR アーキテクチャ)
- 4 線式の 1.8 V~5 V SPI/SPORT 互換シリアル・インターフェースを内蔵
- 40 ピン LFCSP パッケージ (6 mm x 6 mm) を採用
- 工業用温度範囲: -40°C ~ $+85^{\circ}\text{C}$

アプリケーション

- マルチチャンネルのデータ・アキュイジションとシステム監視
- プロセス制御
- 電力ライン監視
- 自動テスト装置
- 患者モニタ
- スペクトル解析
- 計装機器

概要

ADAS3023 は、16 ビット逐次比較型 A/D コンバータを採用した完結型のデータ・アキュイジション・システムです。このデバイスは、2 チャンネルで最大 500 kSPS、4 チャンネルで最大 250 kSPS、6 チャンネルで最大 167 kSPS、8 チャンネルで最大 125 kSPS の同時サンプリングが可能で、アナログ・デバイセズ独自の iCMOS[®] 高電圧工業用製造プロセス技術で製造されています。

ADAS3023 は、8 チャンネルの低リーク・トラック・アンド・ホールド、4 種類の差動入力範囲を提供する高い同相モード除去比を持つ可変ゲイン計装アンプ (PGIA) ステージ、高精度低ドリフトの 4.096 V リファレンス電圧とバッファ、16 ビット電荷再分配逐次比較型 (SAR) A/D コンバータ (ADC) を内蔵しています。ADAS3023 は、 ± 15 V 電源動作で最大 ± 20.48 V の差動入力範囲を処理することができます。

ADAS3023 は、信号バッファ機能、レベル・シフト、増幅/減

機能ブロック図

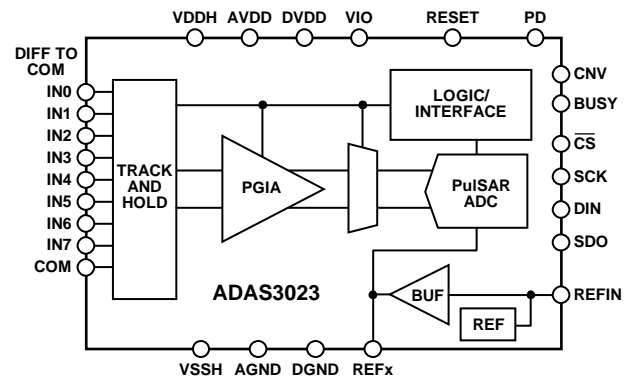


図 1.

衰、同相モード除去比、セトリング・タイム、またはその他のアナログ・シグナル・コンディショニング問題を解消してデザイン問題を簡素化すると同時に、小型化、マーケット投入時間の短縮、低価格化を可能にします。

ADAS3023 は出荷時に校正され、動作仕様は -40°C ~ $+85^{\circ}\text{C}$ で規定されています。

表 1. 代表的な入力範囲選択

Single-Ended Signals ¹	Input Range, V_{IN}
0 V to 1 V	± 1.28 V
0 V to 2.5 V	± 2.56 V
0 V to 5 V	± 5.12 V
0 V to 10 V	± 10.24 V

¹ アナログ入力セクションの詳細については、図 39 と図 40 を参照してください。

目次

特長.....	1	代表的なアプリケーション接続図.....	21
アプリケーション.....	1	アナログ入力.....	21
機能ブロック図.....	1	リファレンス電圧の入力/出力.....	22
概要.....	1	電源.....	24
改訂履歴.....	2	消費電力モード.....	24
仕様.....	3	変換モード.....	25
タイミング仕様.....	6	デジタル・インターフェース.....	26
絶対最大定格.....	9	変換制御.....	26
ESDの注意.....	9	RESET入力とパワーダウン(PD)入力.....	26
ピン配置およびピン機能説明.....	10	シリアル・データ・インターフェース.....	27
代表的な性能特性.....	12	一般的なタイミング.....	28
用語.....	17	コンフィギュレーション・レジスタ.....	29
動作原理.....	19	パッケージとオーダー情報.....	30
概要.....	19	外形寸法.....	30
動作.....	19	オーダー・ガイド.....	30
伝達関数.....	20		

改訂履歴

2/14—Rev. 0 to Rev. A

Changes to Table 2.....	5
Changes to Figure 38.....	21

5/13—Revision 0: Initial Version

仕様

特に指定がない限り、VDDH = 15 V ± 5%、VSSH = -15 V ± 5%、AVDD = DVDD = 5 V ± 5%; VIO = 1.8 V ~ AVDD、内蔵リファレンス電圧 $V_{REF} = 4.096$ V、 $f_s = 500$ kSPS、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit ¹
RESOLUTION		16			Bits
ANALOG INPUT (IN0 to IN7, COM)					
Input Impedance	Z_{IN}	500			MΩ
Operating Input Voltage Range ²	V_{IN} , on any single pin	VSSH + 2.5		VDDH - 2.5	V
Differential Input Voltage Ranges, V_{IN}	$V_{INX} - COM$				
	PGIA gain = 0.2, $V_{IN} = 40.96$ V p-p	-5 V_{REF}		+5 V_{REF}	V
	PGIA gain = 0.4, $V_{IN} = 20.48$ V p-p	-2.5 V_{REF}		+2.5 V_{REF}	V
	PGIA gain = 0.8, $V_{IN} = 10.24$ V p-p	-1.25 V_{REF}		+1.25 V_{REF}	V
	PGIA gain = 1.6, $V_{IN} = 5.12$ V p-p	-0.625 V_{REF}		+0.625 V_{REF}	V
THROUGHPUT					
Conversion Rate	Two channels	0		500	kSPS
	Four channels	0		250	kSPS
	Six channels	0		167	kSPS
	Eight channels	0		125	kSPS
Transient Response ³	Full-scale step			820	ns
DC ACCURACY					
No Missing Codes		16			Bits
Integral Linearity Error	PGIA gain = 0.2, 0.4, or 0.8, COM = 0 V	-2.5	±1	+2.5	LSB
	PGIA gain = 1.6, COM = 0 V	-3	±1	+3	LSB
Differential Linearity Error	All PGIA gains, COM = 0 V	-0.95	±0.5	+1.25	LSB
Transition Noise	PGIA gain = 0.2 or 0.4		6		LSB
	PGIA gain = 0.8		7		LSB
	PGIA gain = 1.6		10		LSB
Gain Error ⁴	External reference, all PGIA gains	-0.075		+0.075	%FS
Gain Error Match, Delta Mean	External reference, all PGIA gains	-0.05		+0.05	%FS
Gain Error Temperature Drift	External reference, PGIA gain = 0.2, 0.4, or 0.8			1	ppm/°C
	External reference, PGIA gain = 1.6			2	ppm/°C
Offset Error ⁴	External reference, PGIA gain = 0.2	-65	-35	+12	LSB
	External reference, PGIA gain = 0.4	-85	-45	+12	LSB
	External reference, PGIA gain = 0.8	-10	0	+10	LSB
	External reference, PGIA gain = 1.6	0	130	250	LSB
Offset Error Match, Delta Mean	External reference, PGIA gain = 0.2, 0.4, 0.8, or 1.6	-15	±1	+15	LSB
Offset Error Temperature Drift	External reference, PGIA gain = 0.2 or 0.4, IN0 to IN7	0	0.5	2	ppm/°C
	External reference, PGIA gain = 0.8, IN0 to IN7	0	1.5	3	ppm/°C
	External reference, PGIA gain = 1.6, IN0 to IN7	0	2.5	5	ppm/°C
AC ACCURACY ⁵					
Signal-to-Noise Ratio	Internal reference $f_{IN} = 1$ kHz, COM = 0 V				
	PGIA gain = 0.2	90.0	91.5		dB
	PGIA gain = 0.4	89.5	91.0		dB
	PGIA gain = 0.8	87.5	89.0		dB
	PGIA gain = 1.6	85.0	86.5		dB
Signal-to-Noise + Distortion (SINAD)	$f_{IN} = 1$ kHz, two, four, six, and eight channels				
	PGIA gain = 0.2	89.5	91.0		dB
	PGIA gain = 0.4	89.0	90.5		dB
	PGIA gain = 0.8	87.0	88.5		dB
	PGIA gain = 1.6	84.0	86.0		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit ¹
Dynamic Range	$f_{IN} = 1 \text{ kHz}$, -60 dB input				
	PGIA gain = 0.2	91.0	92		dB
	PGIA gain = 0.4	90.5	91.5		dB
	PGIA gain = 0.8	88.0	89.5		dB
Total Harmonic Distortion	PGIA gain = 1.6	86.0	87.0		dB
	$f_{IN} = 1 \text{ kHz}$, all PGIA gains		-100		dB
	Spurious-Free Dynamic Range		105		dB
	Channel-to-Channel Crosstalk		95		dB
DC Common-Mode Rejection Ratio (CMRR)	$f_{IN} = 1 \text{ kHz}$, all channels inactive				
	All channels				
	PGIA gain = 0.2		95.0		dB
	PGIA gain = 0.4		95.0		dB
	PGIA gain = 0.8		95.0		dB
-3 dB Input Bandwidth	PGIA gain = 1.6		95.0		dB
	-40 dBFS		8		MHz
INTERNAL REFERENCE					
REFx Pins					
Output Voltage	$T_A = 25^\circ\text{C}$	4.088	4.096	4.104	V
Output Current	$T_A = 25^\circ\text{C}$		250		μA
Temperature Drift	REFEN bit = 1		± 5		ppm/ $^\circ\text{C}$
	REFEN bit = 0, REFEN pin = 2.5V		± 1		ppm/ $^\circ\text{C}$
Line Regulation					
Internal Reference	$AVDD = 5 \text{ V} \pm 5\%$		20		$\mu\text{V}/\text{V}$
Buffer Only	$AVDD = 5 \text{ V} \pm 5\%$		4		ppm
REFIN Output Voltage ⁶	$T_A = 25^\circ\text{C}$	2.495	2.5	2.505	V
Turn-On Settling Time	$C_{REFIN}, C_{REF1}, C_{REF2} = 10 \mu\text{F} 0.1 \mu\text{F}$		100		ms
EXTERNAL REFERENCE					
Voltage Range					
Current Drain	REFEN bit = 0				
	REFx input, REFIN = 0 V	4.000	4.096	4.104	V
	REFIN input (buffered)		2.5	2.505	V
	$f_s = 500 \text{ kSPS}$		100		μA
DIGITAL INPUTS					
Logic Levels					
V_{IL}	$V_{IO} > 3 \text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
V_{IH}	$V_{IO} > 3 \text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
V_{IL}	$V_{IO} \leq 3 \text{ V}$	-0.3		$+0.1 \times V_{IO}$	V
V_{IH}	$V_{IO} \leq 3 \text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
I_{IL}		-1		+1	μA
I_{IH}		-1		+1	μA
DIGITAL OUTPUTS ⁷					
Data Format		Twos complement			
V_{OL}	$I_{SINK} = +500 \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
POWER SUPPLIES					
VIO		1.8		$AVDD + 0.3$	V
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
VDDH	$VDDH > \text{input voltage} + 2.5 \text{ V}$	14.25	15	15.75	V
VSSH	$VSSH < \text{input voltage} - 2.5 \text{ V}$	-15.75	-15	-14.25	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit ¹
I _{VDDH}	Two channels		5.0	5.5	mA
	Four channels		6.0	7.0	mA
	Six channels		9.5	10.5	mA
	Eight channels		9.5	10.5	mA
	PD = 1			10.0	μA
I _{VSSH}	Two channels	-5.5	-5.0		mA
	Four channels	-6.5	-5.5		mA
	Six channels	-10.0	-8.5		mA
	Eight channels	-10.0	-8.5		mA
	All PGIA gains, PD = 1			10.0	μA
I _{AVDD}	All PGIA gains, PD = 0, reference buffer enabled		16.0	17.0	mA
	All PGIA gains, PD = 0, reference buffer disabled			15.5	mA
	All PGIA gains, PD = 1		100		μA
I _{DVDD}	All PGIA gains, PD = 0		2.5	3	mA
	All PGIA gains, PD = 1		100		μA
I _{VIO}	All PGIA gains, PD = 0, VIO = 3.3 V			1.0	mA
	All PGIA gains, PD = 1		10.0		μA
Power Supply Sensitivity	External reference, T _A = 25°C				
	PGIA gain = 0.2 or 0.4, VDDH/VSSH = ±15 V ± 5%		±0.1		LSB
	PGIA gain = 0.8, VDDH/VSSH = ±15 V ± 5%		±0.2		LSB
	PGIA gain = 1.6, VDDH/VSSH = ±15 V ± 5%		±0.4		LSB
	PGIA gain = 0.2 or 0.4, AVDD, DVDD = ±5 V ± 5%		±1.0		LSB
	PGIA gain = 0.8, AVDD, DVDD = ±5 V ± 5%		±1.5		LSB
PGIA gain = 1.6, AVDD, DVDD = ±5 V ± 5%		±2.5		LSB	
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ LSB は最下位ビットを意味します。入力換算した LSB の重みは、入力電圧範囲に依存して変化します。LSB サイズについては可変ゲインのセクションを参照してください。

² ±2.56 V、±5.12 V、±10.24 V、±20.48 V のフルスケール差動入力範囲は、コンフィギュレーション・レジスタで設定します。

³ ADAS3023 の前に外付けのマルチプレクサを使用する場合、CNV の立上がりエッジの少なくとも 820 ns 前に切り替わる必要があります。

⁴ 用語のセクションを参照してください。これらのパラメータは、外付けのリファレンスを使用して周囲温度で規定します。温度と電源のその他のすべての影響は、別々に測定され、規定されています。

⁵ デシベル値で表すすべての仕様はフルスケール入力範囲(FSR)を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号を使ってテストしています。

⁶ これは、内蔵バンド・ギャップ・リファレンス電圧からの出力です。

⁷ パイプライン遅延はありません。変換結果は、変換完了後直ちに使用可能になります。

タイミング仕様

特に指定がない限り、VDDH = 15 V ± 5%、VSSH = -15 V ± 5%、AVDD = DVDD = 5 V ± 5%; VIO = 1.8 V ~ AVDD、内蔵リファレンス電圧 VREF = 4.096 V、fs = 500 kSPS、すべての仕様は TMIN ~ TMAX で規定。¹

表 3.

Parameter	Symbol	Min	Typ	Max	Unit					
TIME BETWEEN CONVERSIONS	t _{cyc}									
Warp ² Mode, CMS = 0										
Two Channels						2.0	1000	μs		
Four Channels						4.0	1000	μs		
Six Channels						6.0	1000	μs		
Eight Channels						8.0	1000	μs		
Normal Mode (Default), CMS = 1										
Two Channels						2.1	1000	μs		
Four Channels						4.1	1000	μs		
Six Channels						6.1	1000	μs		
Eight Channels						8.1	1000	μs		
CONVERSION TIME: CNV RISING EDGE TO DATA AVAILABLE						t _{conv}				
Warp Mode, CMS = 0										
Two Channels										
Four Channels	2850	3340	ns							
Six Channels	4215	5000	ns							
Eight Channels	5580	6700	ns							
Normal Mode (Default), CMS = 1										
Two Channels	1575	1720	ns							
Four Channels	2940	3430	ns							
Six Channels	4305	5090	ns							
Eight Channels	5670	6790	ns							
CNV	t _{CNVH}	10			ns					
Pulse Width										
CNV High to Hold Time (Aperture Delay)										
CNV High to BUSY/SDO2 Delay	t _{CBD}			520	ns					
SCK	t _{SCK} t _{SCKL} t _{SCKH} t _{SDOH} t _{SDOV}									
Period						t _{SDOV} + 3				
Low Time						5				
High Time						5				
SCK Falling Edge to Data Remains Valid						4				
SCK Falling Edge to Data Valid Delay										
VIO > 4.5 V						12				
VIO > 3 V						18				
VIO > 2.7 V						24				
VIO > 2.3 V						25				
VIO > 1.8 V						37				
$\overline{\text{CS}}/\text{RESET}/\text{PD}$						t _{EN}				
$\overline{\text{CS}}/\text{RESET}/\text{PD}$ Low to SDO D15 MSB Valid										
VIO > 4.5 V										
VIO > 3 V	8									
VIO > 2.7 V	10									
VIO > 2.3 V	15									
VIO > 1.8 V	20									
$\overline{\text{CS}}/\text{RESET}/\text{PD}$ High to SDO High Impedance	t _{DIS}	25								
CNV Rising to $\overline{\text{CS}}$	t _{CCS}	5								

Parameter	Symbol	Min	Typ	Max	Unit
DIN					
DIN Valid Setup Time from SCK Falling Edge	t_{DINS}	4			ns
DIN Valid Hold Time from SCK Falling Edge	t_{DINH}	4			ns
RESET/PD HIGH PULSE	t_{RH}	5			ns

¹ 負荷条件については、図2と図3を参照してください。

² 最大時間を超えると、変換精度に影響します (変換モードのセクション参照)。

回路図およびタイミング図

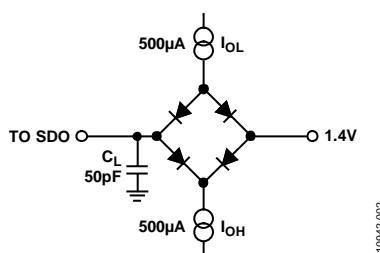


図 2. デジタル・インターフェース・タイミングの負荷回路

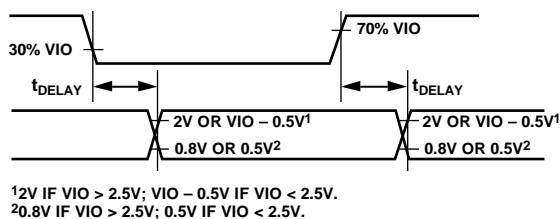
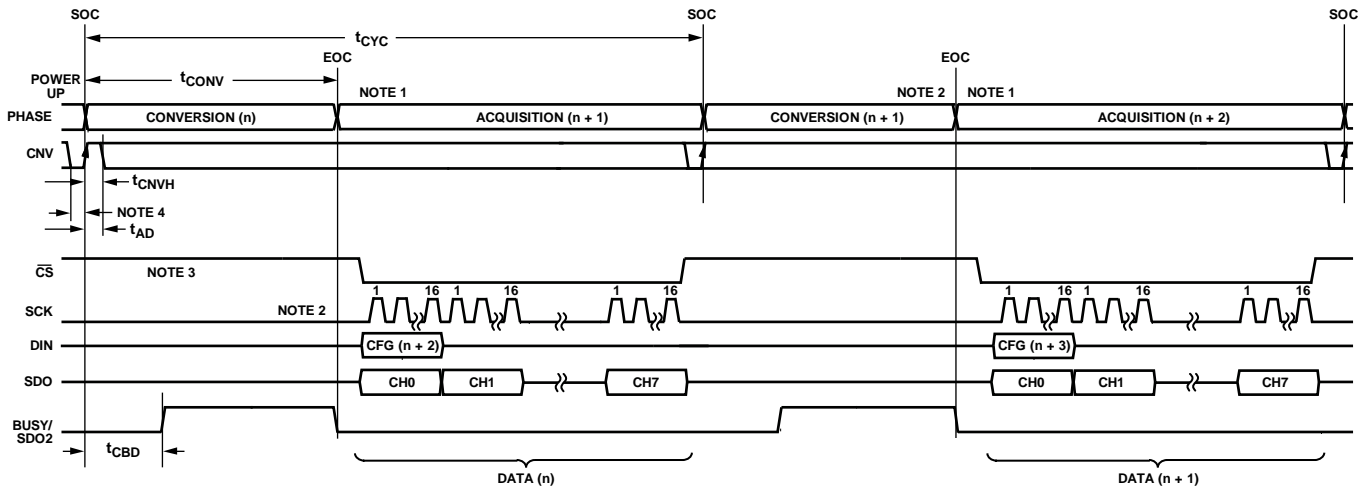


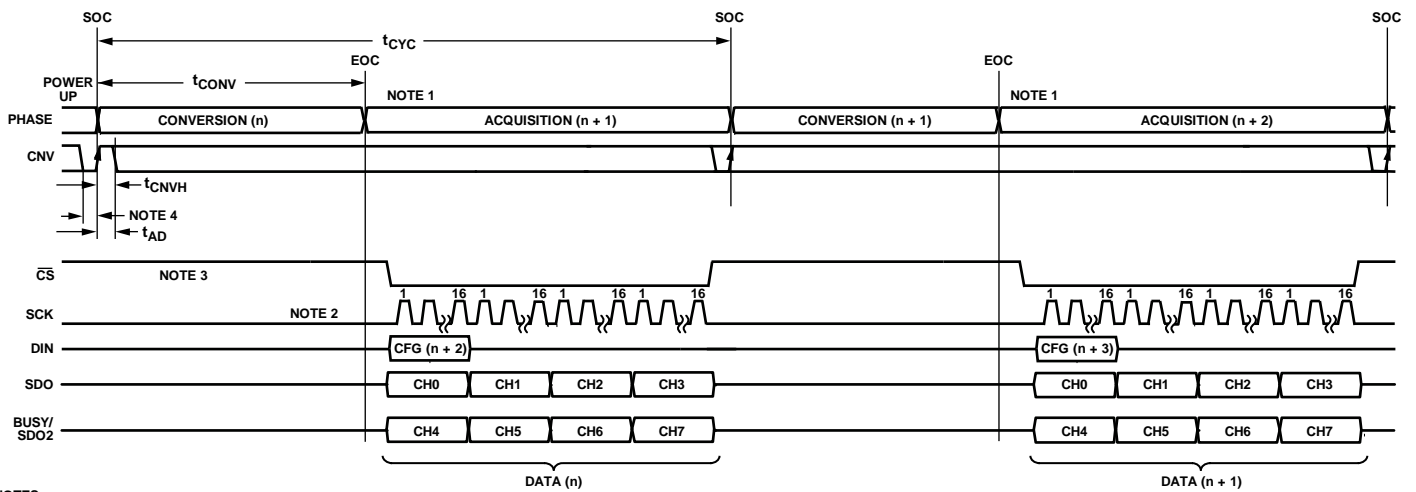
図 3. タイミング測定のための電圧レベル

タイミング図



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
 2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
 3. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} IS SHOWN WITH FULL INDEPENDENT CONTROL.
 4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERATURE DELAY, t_{AD} , SHOULD LAPSE PRIOR TO DATA ACCESS.

図 4. BUSY/SDO2 ディスエーブル時の全体タイミング図



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
 2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
 3. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} IS SHOWN WITH FULL INDEPENDENT CONTROL.
 4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERATURE DELAY, t_{AD} , SHOULD LAPSE PRIOR TO DATA ACCESS.

図 5. BUSY/SDO2 イネーブル時の全体タイミング図

絶対最大定格

表 4.

Parameter	Rating
Analog Inputs/Outputs	
INx, COM to AGND	VSSH - 0.3 V to VDDH + 0.3 V
REFx to AGND	AGND - 0.3 V to AVDD + 0.3 V
REFIN to AGND	AGND - 0.3 V to +2.7 V
REFN to AGND	±0.3 V
Ground Voltage Differences	
AGND, RGND, DGND	±0.3 V
Supply Voltages	
VDDH to AGND	-0.3 V to +16.5 V
VSSH to AGND	+0.3 V to -16.5 V
AVDD, DVDD, VIO to AGND	-0.3 V to +7 V
ACAP, DCAP, RCAP to AGND	-0.3 V to +2.7 V
Digital Inputs/Outputs	
CNV, DIN, SCK, RESET, PD, $\overline{\text{CS}}$ to DGND	-0.3 V to VIO + 0.3 V
SDO, BUSY/SDO2 to DGND	-0.3 V to VIO + 0.3 V
Internal Power Dissipation	2 W
Junction Temperature	125°C
Storage Temperature Range	-65°C to +125°C
Thermal Impedance	
θ_{JA} (LFCSP)	44.1°C/W
θ_{JC} (LFCSP)	0.28°C/W

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上の製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

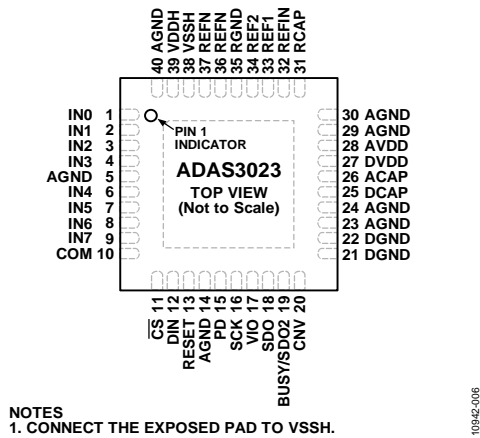


図 6. ピン配置

表 5. ピン機能の説明

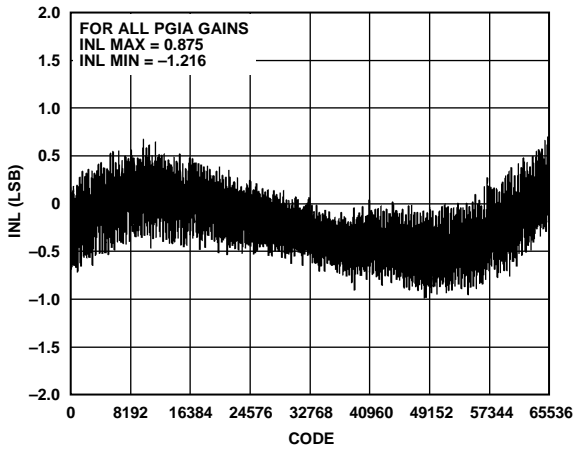
ピン番号	記号	タイプ ¹	説明
1~4	IN0~IN3	AI	入力チャンネル 0~入力チャンネル 3。
6~9	IN4~IN7	AI	入力チャンネル 4~入力チャンネル 7。
5、14、23、24、29、30、40	AGND	P	アナログ・グラウンド。AGND はシステム・アナログ・グラウンド・プレーンへ接続してください。
10	COM	AI	IN0~IN7 コモン・チャンネル入力。入力チャンネル IN0~入力チャンネル IN7 は、コモン・ポイントを基準とします。このピンの最大電圧は、すべての PGIA ゲインに対して±10.24 V です。
11	\overline{CS}	DI	チップ・セレクト。アクティブ・ロー信号。データの書込みと読出しのためにデジタル・インターフェースをイネーブルします。シリアル・バスを共用する場合は \overline{CS} ピンを使用してください。ADAS3023 シリアル・インターフェースを専用および簡略化するときは、 \overline{CS} を DGND または CNV に接続してください。
12	DIN	DI	データ入力。DIN は 16 ビット構成 (CFG) のワードを書込むためのシリアル・データ入力です。このデータ入力は SCK の立上がりエッジでデバイスに入力されます。CFG は、変換パルスの次の終わりの立上がりエッジ (BUSY/SDO2 の立下がりエッジに一致) で更新される内部レジスタです。CFG レジスタは、変換後の最初の 16 個のクロックでデバイスに書込まれます。シリアル・バス上のデジタル動作に起因する変換誤動作を回避するため、変換中にデータの書込みを行わないでください。
13	RESET	DI	非同期リセット。ロー・レベルからハイ・レベルへの変化で、ADAS3023 がリセットされます。変換中の場合、変換は中止されて、CFG レジスタはデフォルト状態にリセットされます。
15	PD	DI	パワーダウン。ロー・レベルからハイ・レベルへの変化で ADAS3023 がパワーダウンして、デバイス動作電流を小さくします。デバイス・パワーオンの準備が整うまで PD をハイ・レベルに維持する必要があることに注意してください。デバイスのパワーオン後、リファレンス電圧がイネーブルされるまで 100 ms 待つ必要があり、さらに 1 回のダミー変換の完了を待った後に、デバイスの変換準備が整います。RESET ピンは PD が解除された後 100 ns 間ロー・レベルを維持することに注意してください。詳細については、パワーダウン・モードのセクションを参照してください。
16	SCK	DI	シリアル・クロック入力。ADAS3023 に入出力する DIN データと SDO データは SCK で同期化されます。
17	VIO	P	デジタル・インターフェース電源。公称 VIO は、ホスト・インターフェース電源と同じ電圧 (1.8 V、2.5 V、3.3 V、または 5 V) であることが推奨されます。
18	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力され、SCK の立下がりエッジに同期化されます。変換結果はこのピンに 2 の補数フォーマットで出力されます。
19	BUSY/SDO2	DO	ビジー/シリアル・データ出力 2。 \overline{CS} がハイ・レベルのとき、コンバータのビジー信号は常に BUSY/SDO2 ピンに出力されます。EOC の後に \overline{CS} をロー・レベルにしたときに、SDO2 をイネーブルすると、データが SDO から出力されます。変換結果がこのピンに出力され、SCK の立下がりエッジに同期化されます。変換結果はこのピンに 2 の補数フォーマットで出力されます。
20	CNV	DI	変換入力。変換は CNV ピンの立上がりエッジで開始されます。
21、22	DGND	P	デジタル・グラウンド。DGND はシステム・デジタル・グラウンド・プレーンへ接続してください。
25	DCAP	P	2.5 V の内蔵デジタル・レギュレータ出力。DCAP (内部安定化出力) は、10 μ F と 0.1 μ F のローカル・コンデンサでデカップリングしてください。

ピン番号	記号	タイプ ¹	説明
26	ACAP	P	2.5 V の内蔵アナログ・レギュレータ出力。このレギュレータは、内部 ADC コアと内部リファレンス電圧以外のすべてのサポート・アナログ回路に電源を供給します。この ACAP (内部安定化出力)は、10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサでデカップリングしてください。
27	DVDD	P	デジタル 5 V 電源。DVDD 電源は、10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサで DGND へデカップリングしてください。
28	AVDD	P	アナログ 5 V 電源。AVDD 電源は、10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサで AGND へデカップリングしてください。
31	RCAP	P	2.5 V の内蔵アナログ・レギュレータ出力。RCAP は内蔵リファレンス電圧へ電源を供給します。この RCAP (内部安定化出力)は、10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサでデカップリングしてください。
32	REFIN		2.5 V の内蔵バンド・ギャップ・リファレンス電圧出力、リファレンス・バッファ入力、またはリファレンス・パワーダウン入力。REF1 と REF2 は外部で接続する必要があります。詳細については、リファレンス電圧の入力/出力のセクションを参照してください。
33, 34	REF1、REF2	A/O	リファレンス電圧入力/出力。リファレンス方法に関係なく、REF1 と REF2 は、REF1、REF2、REFN のできるだけ近くに 10 μ F のセラミック・コンデンサを接続して個別にデカップリングする必要があります。詳細については、リファレンス電圧の入力/出力のセクションを参照してください。
35	RGND	P	リファレンス電源グラウンド。RGND はシステム・アナログ・グラウンド・プレーンへ接続してください。
36, 37	REFN	P	リファレンス入力/出力グラウンド。REF1 と REF2 に接続した 10 μ F のコンデンサを REFN ピンに接続し、次に REFN ピンをシステム・アナログ・グラウンド・プレーンへ接続してください。
38	VSSH	P	高電圧アナログ負電源。公称 VSSH 電圧は -15 V です。VSSH は 10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサでデカップリングしてください。エクスポーズド・パッドは VSSH に接続してください。
39	VDDH	P	高電圧アナログ正電源。公称 VDDH 電圧は 15 V です。VDDH は 10 μ F のコンデンサと 0.1 μ F のローカル・コンデンサでデカップリングしてください。
	EP	N/A	エクスポーズド・パッド。エクスポーズド・パッドは VSSH に接続してください。

¹AI = アナログ入力、A/O = アナログ入出力、DI = デジタル入力、DO = デジタル出力、P = 電源、N/A = 該当なし

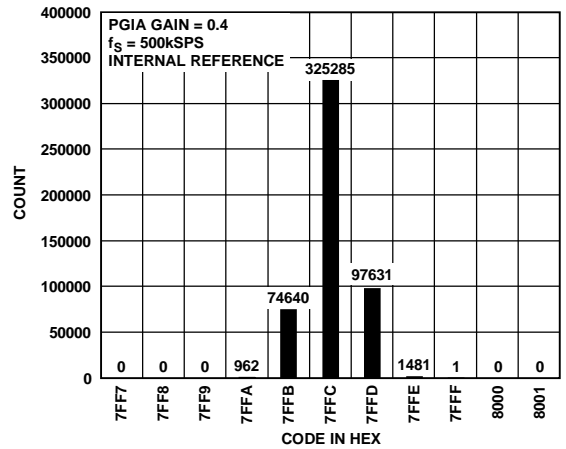
代表的な性能特性

特に指定がない限り、VDDH = 15 V、VSSH = -15 V、AVDD = DVDD = 5 V、VIO = 1.8 V ~ AVDD。



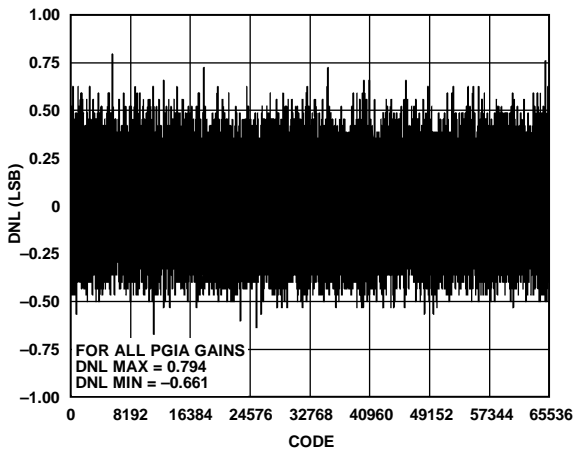
10942-101

図 7.すべての PGIA ゲインに対するコード対積分非直線性 (INL)



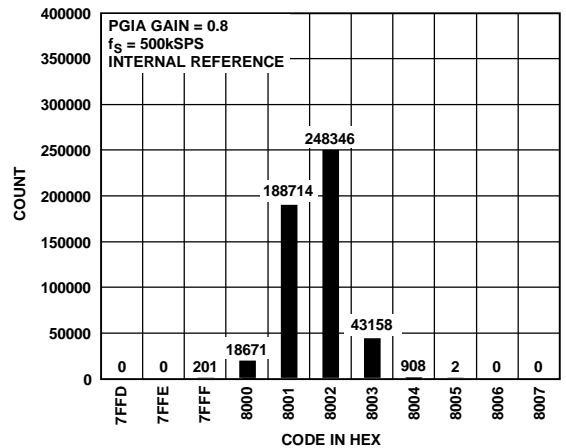
10942-104

図 10.コード中心での DC 入力のヒストグラム
PGIA ゲイン = 0.4



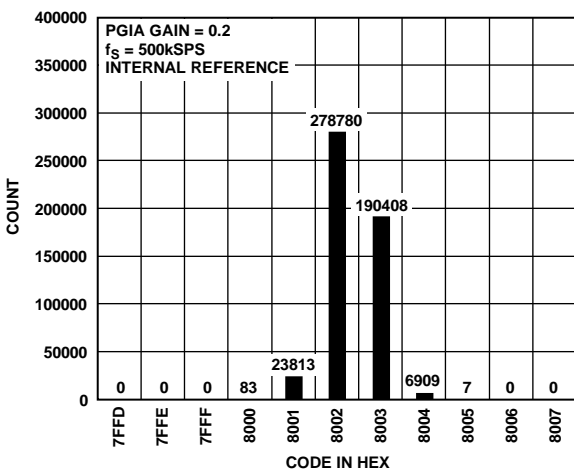
10942-102

図 8.すべての PGIA ゲインに対するコード対
微分非直線性 (DNL)



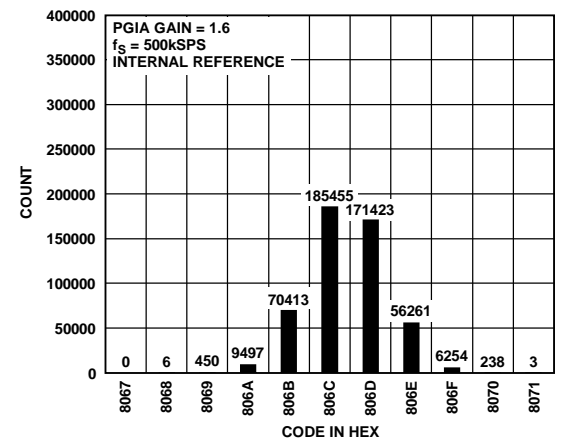
10942-105

図 11.コード中心での DC 入力のヒストグラム
PGIA ゲイン = 0.8



10942-103

図 9.コード中心での DC 入力のヒストグラム
PGIA ゲイン = 0.2



10942-106

図 12.コード中心での DC 入力のヒストグラム
PGIA ゲイン = 1.6

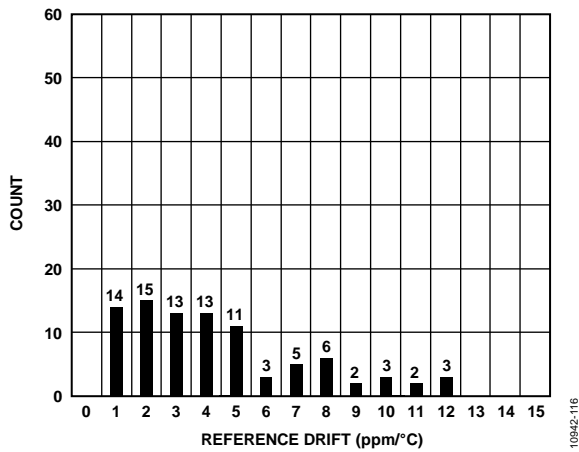


図 13.リファレンス電圧ドリフト、内蔵リファレンス

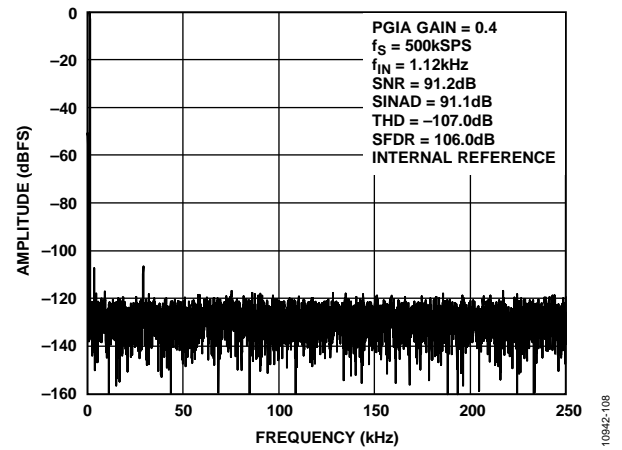


図 16.1 kHz FFT、PGIA ゲイン = 0.4

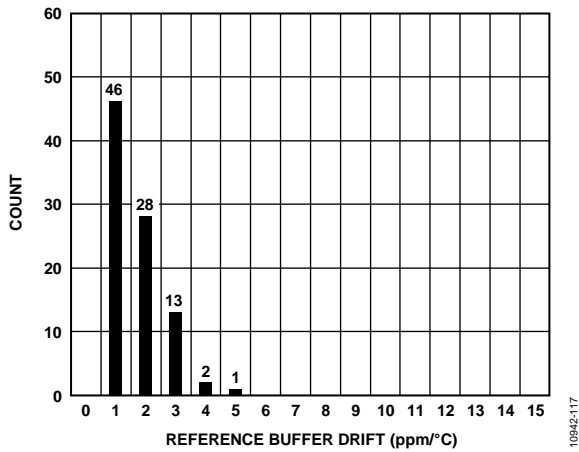


図 14.リファレンス・バッファ・ドリフト、内蔵リファレンス

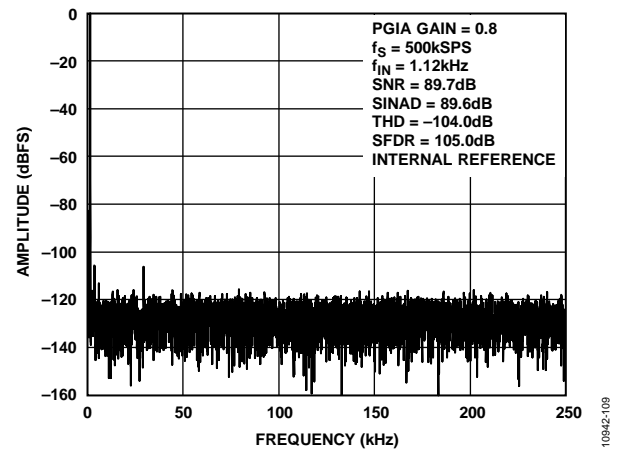


図 17.1 kHz FFT、PGIA ゲイン = 0.8

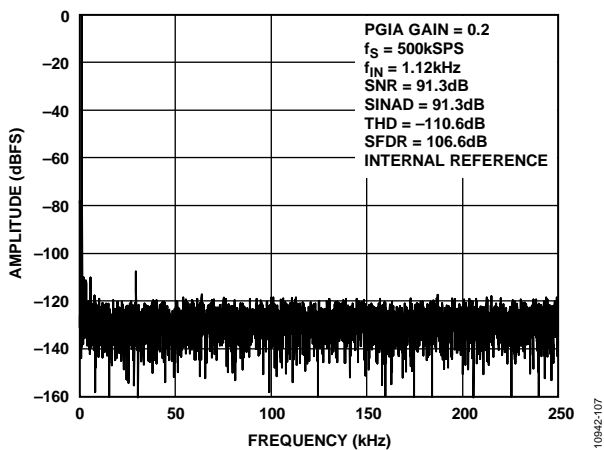


図 15.1 kHz FFT、PGIA ゲイン = 0.2

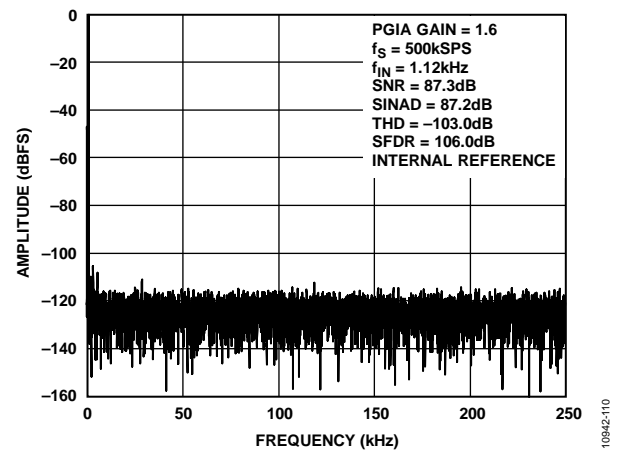


図 18.1 kHz FFT、PGIA ゲイン = 1.6

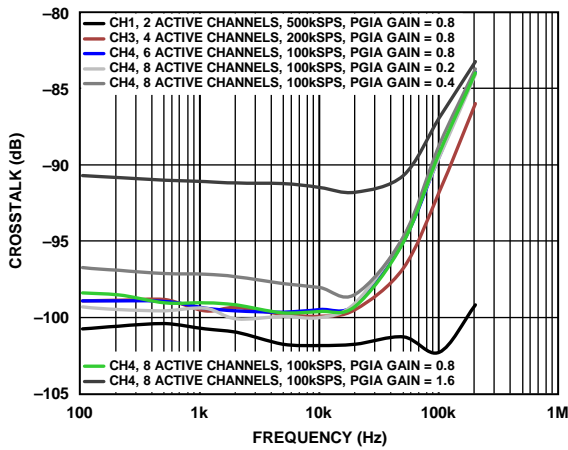


図 19.クロストークの周波数特性

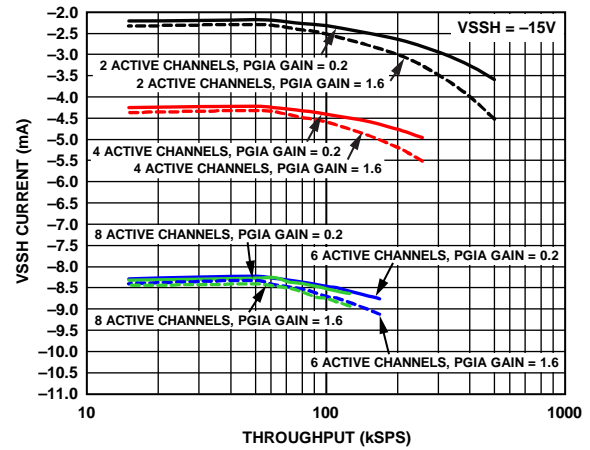


図 22.スループット対 VSSH 電流

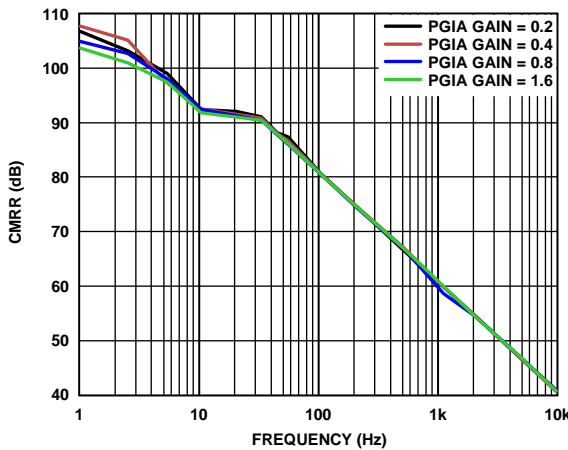


図 20.CMRR の周波数特性

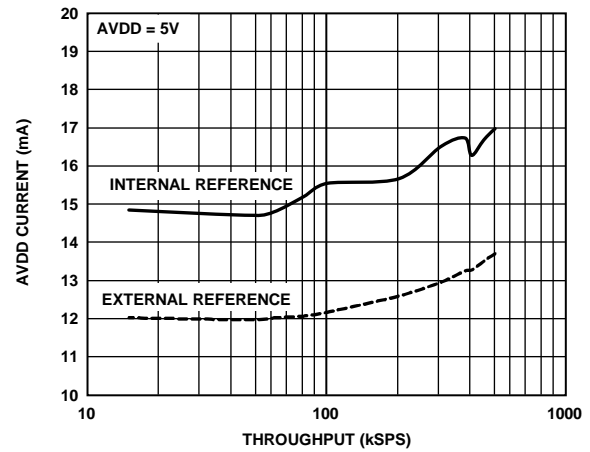


図 23.スループット対 AVDD 電流

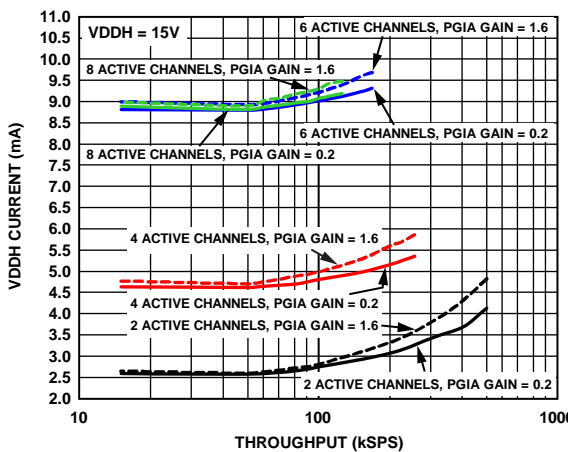


図 21.スループット対 VDDH 電流

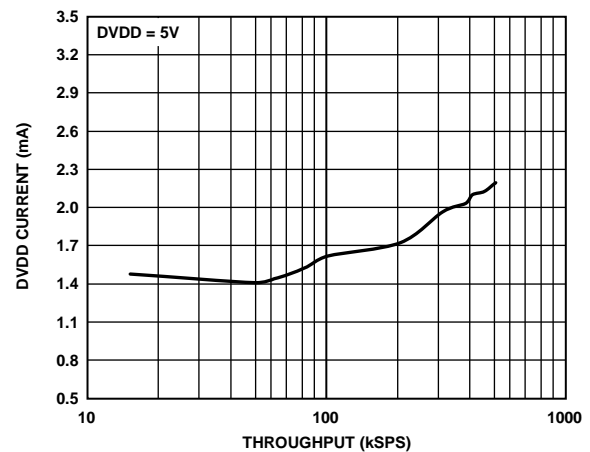


図 24.スループット対 DVDD 電流

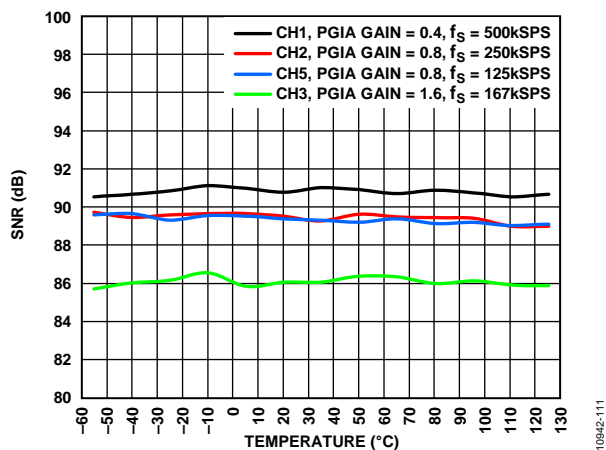


図 25.SNR の温度特性

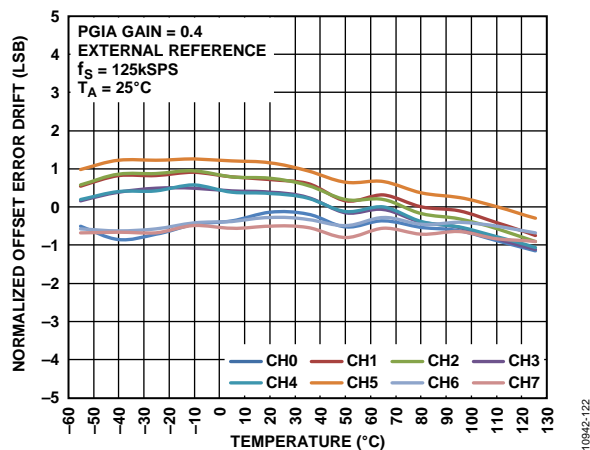


図 28.正規化オフセット誤差ドリフト、PGIA ゲイン = 0.4

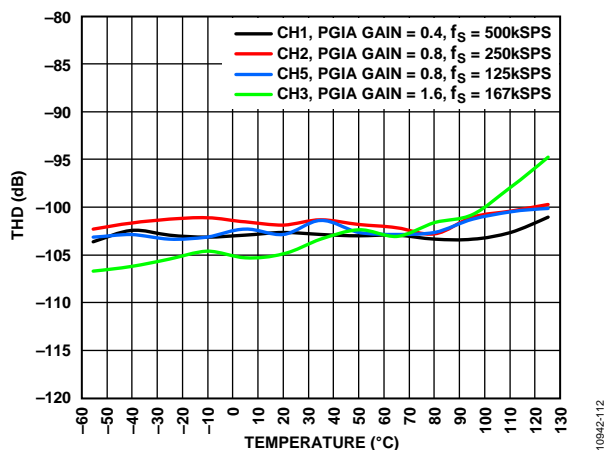


図 26.THD の温度特性

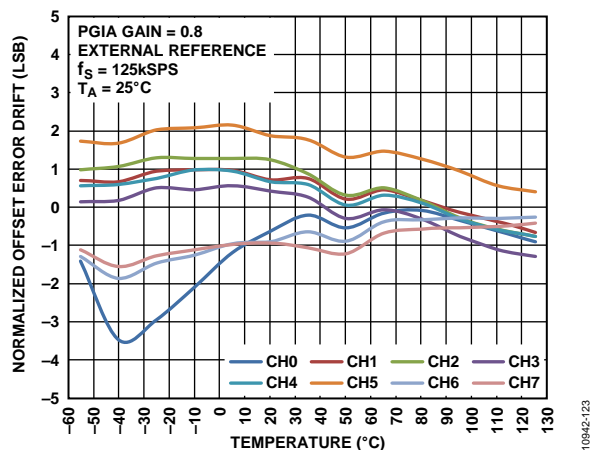


図 29.正規化オフセット誤差ドリフト、PGIA ゲイン = 0.8

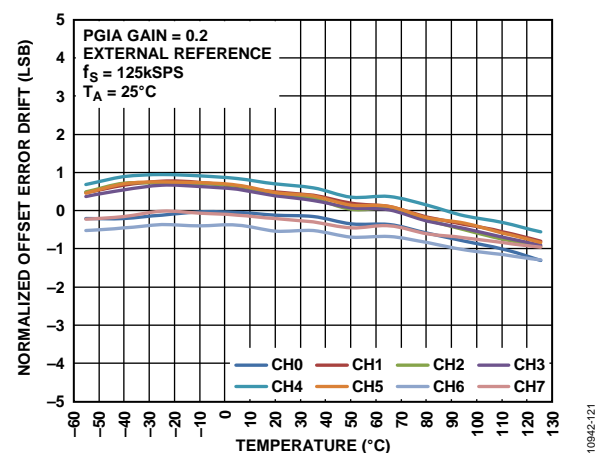


図 27.正規化オフセット誤差ドリフト、PGIA ゲイン = 0.2

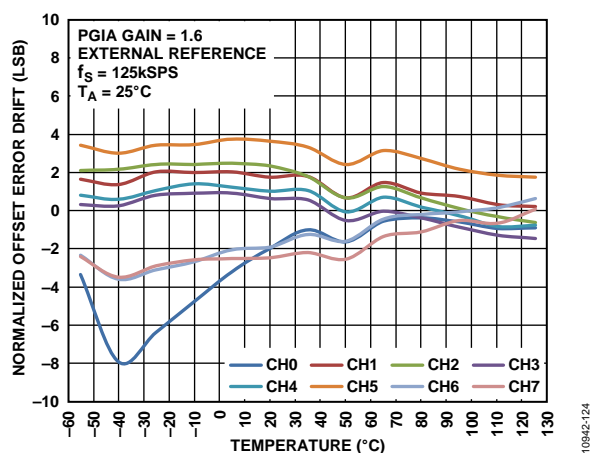
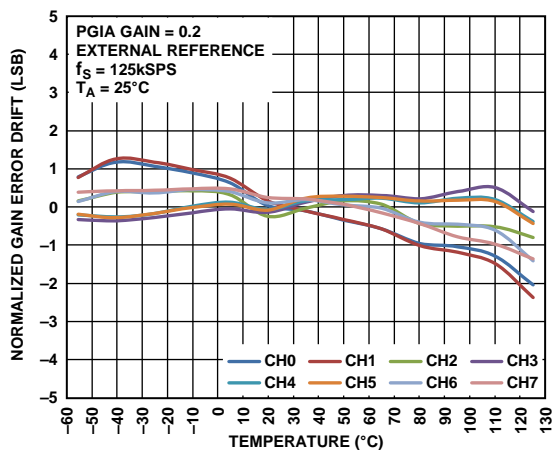
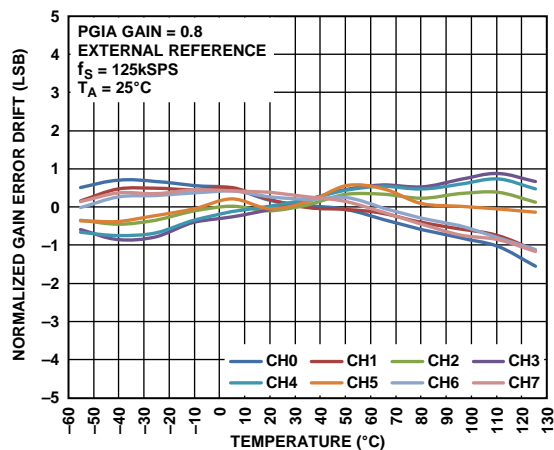


図 30.正規化オフセット誤差ドリフト、PGIA ゲイン = 1.6



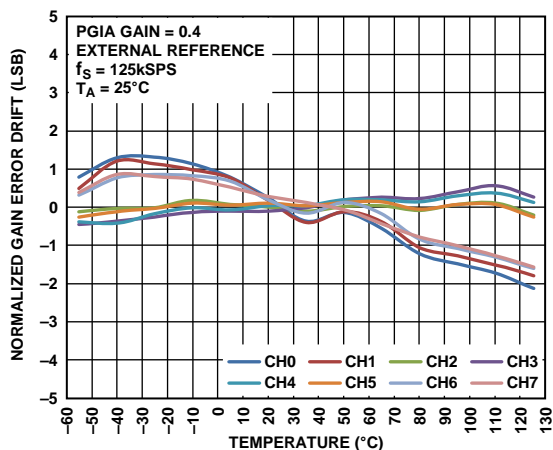
10942-125

図 31.正規化ゲイン誤差ドリフト、PGIA ゲイン = 0.2



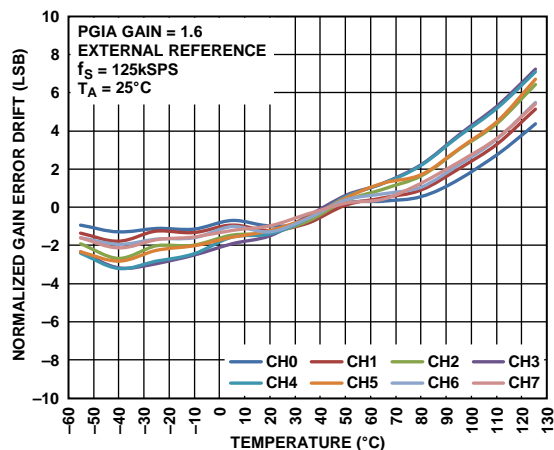
10942-127

図 33.正規化ゲイン誤差ドリフト、PGIA ゲイン = 0.8



10942-126

図 32.正規化ゲイン誤差ドリフト、PGIA ゲイン = 0.4



10942-128

図 34.正規化ゲイン誤差ドリフト、PGIA ゲイン = 1.6

用語

動作入力電圧範囲

入力チャンネル IN0~IN7、および COM に入力できる同相モードを含む最大入力電圧範囲です。

差動入力電圧範囲

最大差動フルスケール入力範囲。値は、選択した可変ゲイン設定値に従って変化します。

チャンネル・オフ時リーク

チャンネルをターンオフしたときのリーク電流。

チャンネル・オン時リーク

チャンネルをターンオンしたときのリーク電流。

同相モード除去比(CMRR)

CMRR は、変換結果の信号振幅(入力換算値)の、入力対に加えた同相変調信号振幅に対する比として計算され、デシベルで表されます。CMRR は、両入力に共通な電源ライン・ノイズのような信号を除去する ADAS3023 の能力を表します。この仕様は、COM を基準としてすべての入力チャンネル IN0~IN7 に対して規定/テストされています。

過渡応答

フルスケールのステップ関数が入力された後に ADAS3023 が正確に入力を取得するまでに要する時間を表します。

最下位ビット(LSB)

LSB はコンバータで表現できる最小増分を表します。N ビット分解能のフル差動入力 ADC の場合、ボルトで表す LSB は次式で与えられます。

$$LSB(V) = \frac{2V_{REF}}{2^N}$$

積分非直線性誤差(INL)

INL は、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。許容誤差は各コードの中央と直線との間の距離として測定されます(図 37 参照)。

微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大許容誤差を意味します。DNL は、ノーマス・コードが保証される分解能として規定されることがあります。

オフセット誤差

理論的には、MSB 変化はアナログ・グラウンドより 1/2 LSB 高い入力レベルで発生する必要があります。オフセット誤差は、そのポイントと実際の変化との差を意味します。

ゲイン誤差

理論的には、最後の変化(011 ... 10→011 ... 11)は、公称フルスケールより 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差とは、オフセット除去後の理論レベルと最後の変化の実際レベルの差を LSB 数(またはフルスケール範囲のパーセント値)で表します。オフセット誤差の影響を含むフルスケール誤差(LSB 数またはフルスケール範囲のパーセント値)に密接に関係します。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能を表します。CNV 入力の立上がりエッジから入力信号が変換用に保持されまでの時間を表します。

ダイナミックレンジ

入力に -60 dBFS の入力信号を加えて測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミックレンジの値は dB で表されます。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

信号対ノイズおよび歪み比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

全高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、デシベル値で表します。

チャンネル間クロストーク

あるチャンネルと他のすべてのチャンネルの間のクロストーク・レベルを表します。このクロストークは、被テスト・チャンネルに DC を入力し、他のすべてのチャンネルにフルスケールの 10 kHz 正弦波信号を入力して測定します。クロストークはテスト・チャンネルに混入する信号の大きさであり、デシベル値で表します。

リファレンス電圧の温度係数

T_{MIN} 、 T_A (25°C)、 T_{MAX} で測定した最大および最小リファレンス出力電圧 (V_{REF}) におけるサンプル・デバイスの 25°C での出力電圧のシフト (typ 値) から導出され、ppm/°C で表されます。

$$TCV_{REF}(\text{ppm}/^\circ\text{C}) = \frac{V_{REF}(\text{Max}) - V_{REF}(\text{Min})}{V_{REF}(25^\circ\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$V_{REF}(\text{Max})$ は、 T_{MIN} 、 T_A (25°C)、または T_{MAX} での最大 V_{REF} 。

$V_{REF}(\text{Min})$ は、 T_{MIN} 、 T_A (25°C)、または T_{MAX} での最小 V_{REF} 。

$V_{REF}(25^\circ\text{C}) = 25^\circ\text{C}$ での V_{REF} 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

動作原理

概要

ADAS3023 は、シングル・チップの 16 ビット 8 チャンネル同時システムであり、データ・アキュイジション・システムで使用される一般的なコンポーネントを内蔵した使いやすいプログラマブルなデバイスです。毎秒 500,000 サンプル (500 kSPS) までのスループットで 2 チャンネルを同時に変換することができます。

ADAS3023 の特長

- 高入力インピーダンス
- 同相モード除去比が高い
- 8 チャンネルの低リーク・トラック・アンド・ホールド
- 4 種類の差動入力範囲(± 2.56 V $\sim\pm 20.48$ V)を持つ可変ゲイン計装アンプ (PGIA)
- ノー・ミッシング・コードの 16 ビット PulSAR[®] ADC
- 高精度、低ドリフト、4.096 V の内蔵リファレンス電圧とバッファ

ADAS3023 は、アナログ・デバイスの特許取得済み高電圧 iCMOS 製造プロセスを採用し、 ± 15 V 電源で最大 ± 20.48 V の差動入力電圧範囲が可能です。このためこのデバイスは工業用アプリケーションに適しています。

このデバイスは小型 6 mm \times 6 mm の 40 ピン LFCSP パッケージを採用し、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ の工業用温度範囲で動作することができます。同じ回路を含む一般的なディスクリット・マルチチャンネル・データ・アキュイジション・システムでは、ADAS3023 に比べて大きな回路ボード面積を必要とします。ADAS3023 ソリューションの利点としてはフットプリントの小型化やデザイン条件の簡素化があり、マーケット投入時間の短縮と低価格化が可能になります。

動作

ADAS3023 のアナログ回路は、高インピーダンス低リークのトラック・アンド・ホールド PGIA から構成されています。この回路は高い同相モード除去比を持ち、 ± 2.56 V、 ± 5.12 V、 ± 10.24 V、 ± 20.48 V のフルスケール差動電圧を入力することができます (図 15 参照)。ADAS3023 は、2、4、6、または 8 個のチャンネルを同時サンプルするように設定することができます。

ADAS3023 は差動構成で真の高インピーダンス入力を提供し、入力と同相モード信号を除去します。一般に、信号のバッファリング、レベル・シフト、増幅/減衰、スイッチド・キャパシタ採用の SAR ADC を使用する場合に発生するキックバックの削減のために、入力バッファ (オペアンプ)が必要とされますが、このアーキテクチャでは、このバッファの追加が不要です。

各チャンネル入力の可変ゲイン設定値のデジタル制御は、コンフィギュレーション (CFG) レジスタを使って行います。

変換結果は 2 の補数フォーマットでシリアル・データ出力 (SDO) と BUSY/SDO2 ピンを使うオプションのセカンダリ・シリアル・データ出力に出力されます。デジタル・インターフェースでは、ADAS3023 に対するデータ・アクセスを制御する専用のチップ・セレクト ($\overline{\text{CS}}$)、BUSY/SDO2 出力、非同期リセット (RESET)、パワーダウン (PD) の各入力を使用します。

ADAS3023 の内蔵リファレンス電圧では、内部で温度補償された 2.5 V の出力バンド・ギャップ・リファレンスを使用し、その後に高精度バッファ・アンプを使用して 4.096 V の高精度システム・リファレンスを提供しています。

これらの全コンポーネントは、シリアル (SPI 互換) の 16 ビット CFG レジスタを使って設定されます。設定結果と変換結果は、変換完了後に読出されます。

ADAS3023 は最小の 3 電源 +15 V、-15 V、+5 V を必要とします。内蔵の低ドロップアウト・レギュレータは、必要な 2.5 V システム電圧を提供し、外部で専用ピン (ACAP、DCAP、RCAP) を使ってデカップリングする必要があります。ADAS3023 は専用の VIO ロジック・レベル電圧電源 (表 9 参照) を使って、1.8 V \sim 5 V のデジタル・ロジック・ファミリーとインターフェースすることができます。

CNV ピンの立上がりエッジで変換が開始され、ADAS3023 はトラックからホールドに変化します。この状態で、ADAS3023 はアナログシグナル・コンディショニングと変換を行います。シグナル・コンディショニングが完了すると、ADAS3023 はトラック状態に戻り、同時に、サンプルを量子化します。この 2 段階のプロセスは、必要なセットリング・タイム条件を満たし、16 ビットの高精度で最大 500 kSPS の高速スループット・レートを実現します。

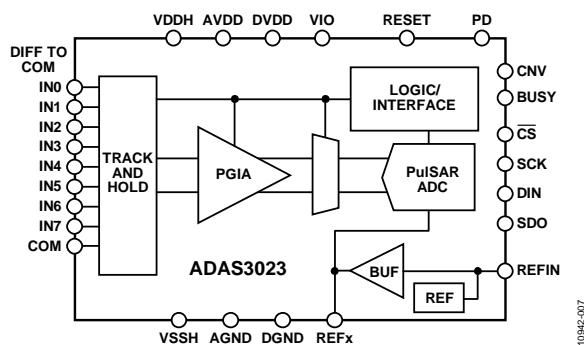


図 35.簡略化したブロック図

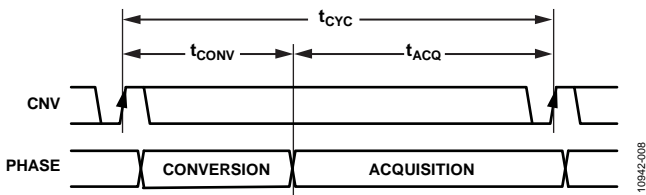


図 36. システム・タイミング

ADAS3023 は信号タイプ (シングルエンドの対称または非対称) とは無関係に、業界標準のディファレンス・アンプまたは計装アンプと同じ差動構成のイネーブルされた入力と COM ピン上のすべての信号を変換します。

変換結果は変換完了後に使用可能になり、次の変換の終了する前に何時でもリードバックすることができます。BUSY/SDO2 のアクティブ・ハイで表示される静止区間でのデータ読出しは回避してください。ADAS3023 は変換クロックを内蔵しているため、変換プロセスのためにシリアル・クロック (SCK) は不要です。このクロックは変換結果を讀出すためにのみ必要です。

伝達関数

ADAS3023 の理論伝達特性を図 37 に示します。入力は差動入力範囲に設定され、データは 2 の補数フォーマットで出力されます (表 6 参照)。

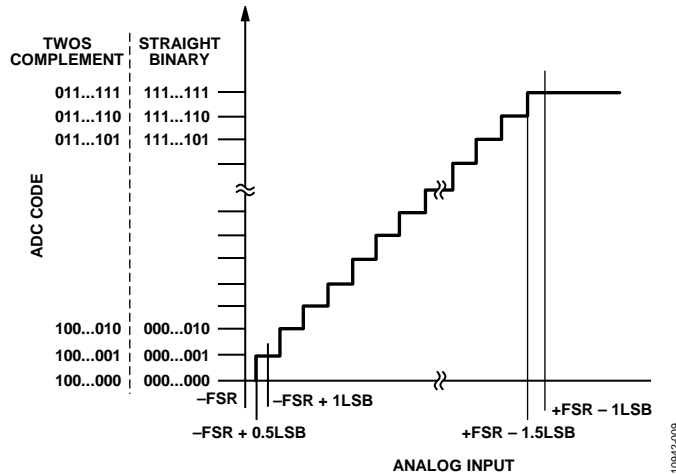


図 37. ADC の理論伝達関数

表 6. 出力コードと理論入力電圧

Description	Differential Analog Inputs, $V_{REF} = 4.096\text{ V}$	Digital Output Code (Twos Complement Hex)
FSR - 1 LSB	$(32,767 \times V_{REF}) / (32,768 \times \text{PGIA gain})$	0x7FFF
Midscale + 1 LSB	$(V_{REF} / (32,768 \times \text{PGIA gain}))$	0x0001
Midscale	0	0x0000
Midscale - 1 LSB	$-(V_{REF} / (32,768 \times \text{PGIA gain}))$	0xFFFF
-FSR + 1 LSB	$-(32,767 \times V_{REF}) / (32,768 \times \text{PGIA gain})$	0x8001
-FSR	$-V_{REF} \times \text{PGIA gain}$	0x8000

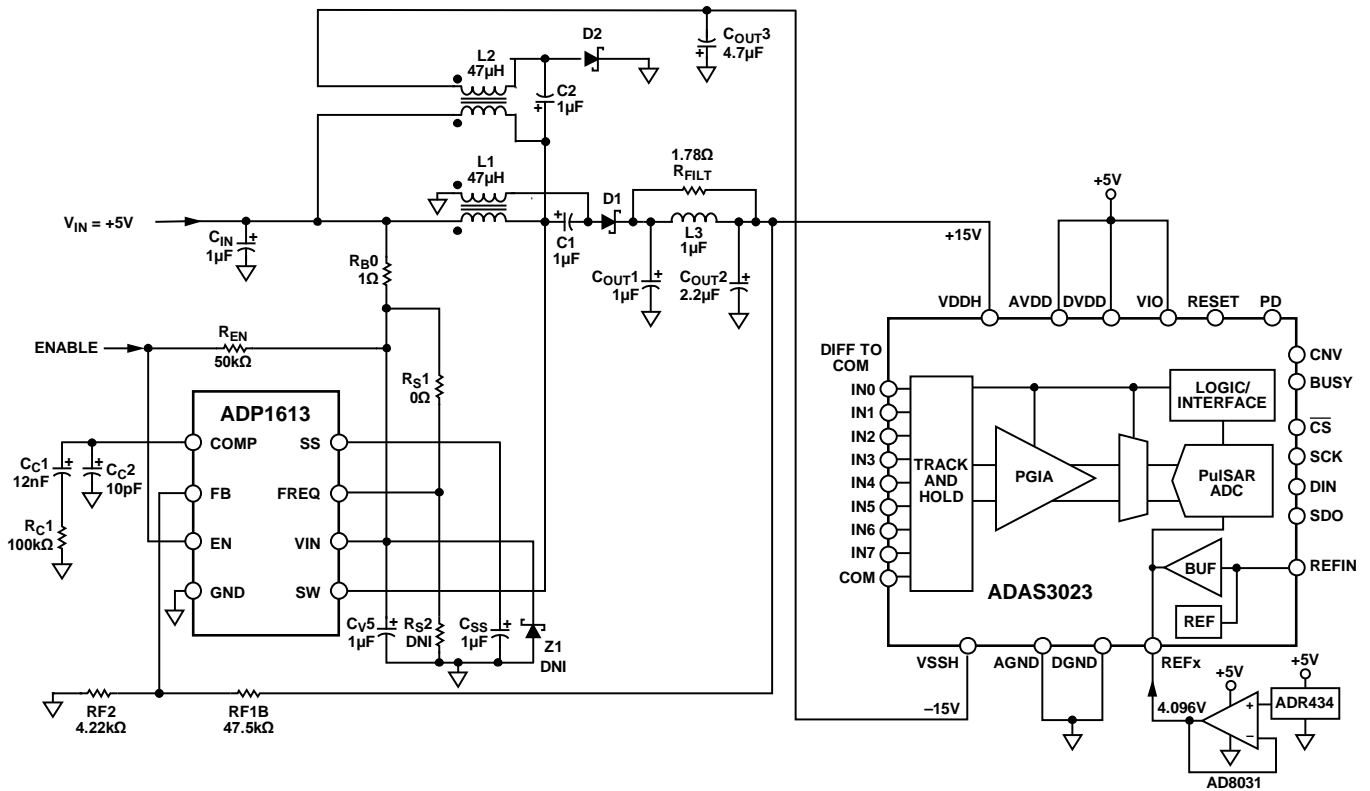


図 38.PGIA を使用した 5 V 単電源 8 チャンネルのデータ・アキュイジション・システム

代表的なアプリケーション接続図

図 38 に示すように、ADP1613 を安価な SEPIC-Cuk 回路内で使用します。この回路は、外付け 5 V 電源から必要な高電圧 ± 15 V の強固な電源 (20 mA) と低出力リップル (最大 3 mV) を ADAS3023 に供給するための最適な候補です。ADP1613 は、最小の外付け部品で ADAS3023 の仕様条件を満たし、86% 以上の効率を実現します。このテスト・セットアップの詳細については、CN-0201 回路ノートを参照してください。

アナログ入力

入力構造

ADAS3023 では、同時サンプルする各チャンネル入力 (IN0 ~ IN7) の間で差動入力構造とコモン・リファレンス (COM) を使用しています。

図 39 に、入力の等価回路を示します。ダイオードは、アナログ入力 (IN0 ~ IN7) と COM に対して高電圧電源 (VDDH と VSSH) からの ESD 保護を提供します。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、このダイオードが順方向にバイアスされて導通し始めるためです。上記の絶対最大定格を超える電圧を加えると ADAS3023 に恒久的な損傷を与えることがあります (表 4 参照)。

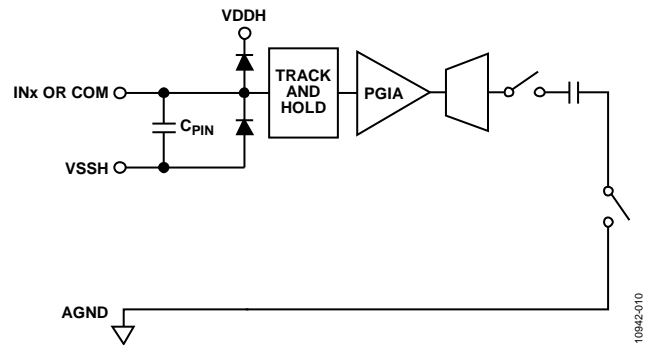


図 39.アナログ入力の等価回路

可変ゲイン

ADAS3023 では 4 種類の差動入力範囲を持つ可変ゲイン計装アンプ (PGIA) を採用しています。PGIA の設定値は、入力ピンと COM ピンの間 (例えば INx と COM の間) の最大絶対差動入力電圧で指定されます。パワーオン状態とデフォルト状態は、 ± 20.48 V (PGIA = 11) の入力範囲に予め設定されています。

ADAS3023 ではバイポーラ・シングルエンドや疑似バイポーラのような任意の入力タイプを使用できるため、PGIA の設定値は許容入力振幅をフル利用するために重要です。

表 7 に、各差動入力範囲と対応する LSB サイズ、PGIA ビットの設定値、PGIA ゲインを示します。

表 7. 差動入力範囲、LSB サイズ、PGIA の設定値

Differential Input Ranges, INx - COM (V)	LSB (μV)	PGIA CFG	PGIA Gain (V/V)
±20.48	625	11	0.2
±10.24	312.5	00	0.4
±5.12	156.3	01	0.8
±2.56	78.13	10	1.6

同相モード動作範囲

差動入力同相モード範囲は、与えられたチャンネルと高電圧電源に対して選択された入力範囲に従って変わります。すべての入力ピンの動作入力電圧は、仕様のセクションで定めるように、VDDH/VSSH 電源から最小 2.5 V のヘッドルームを必要とすることに注意してください。すなわち、

$$(VSSH + 2.5 V) \leq INx/COM \leq (VDDH - 2.5 V)$$

次のセクションでは、種々の入力信号に対して PGIA を設定する幾つかの例を示します。ADAS3023 は常に、INx 信号と COM 信号との間の差を入力することに注意してください。

非ゼロ DC オフセットを持つシングルエンド信号 (非対称)

2.56 V の DC オフセットを持つ 5.12 V p-p 信号を入力 (INx+) の 1 つに接続し、信号の DC グラウンド検出を COM に接続すると、PGIA ゲイン設定は ±5.12 V の範囲に対して 01 に設定されます。これは、入力間の最大差動電圧が +5.12 V であるためです。この場合、伝達関数で使用可能なコードの半分しか使用しないこととなります。

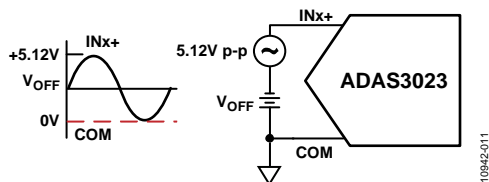


図 40. コードの半分しか使用しない代表的なシングルエンド・ユニポーラ入力

DC オフセットがゼロのシングルエンド信号 (対称)

非ゼロ DC オフセットを持つシングルエンド信号 (非対称) のセクションの例と比べて、シングルエンド信号のソリューションとして望ましいのは、INx と COM の間の差動 DC オフセットをできるだけ除去して、平均電圧が 0 V になるようにすることです (グラウンド検出に対して対称)。入力間の差動電圧は ±2.56 V を超えることはなく、PGIA ゲイン設定は ±2.56 V 範囲 (10) に設定されます。この場合、伝達関数で使用可能なすべてのコードを使用するため、許容差動入力範囲を最大限利用します。

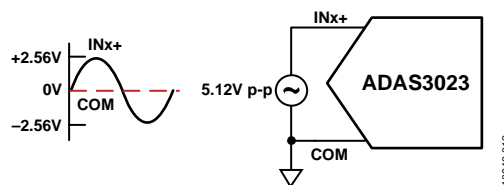


図 41. すべてのコードを使用するオプションのシングルエンド構成

4.096 V のリファレンス電圧および PGIA のスケール比のため、この例の電圧は非整数値であることに注意してください。この場合の種々の PGIA ゲインに対する COM 入力ピンの最大許容 DC オフセット電圧を表 8 に示します。

表 8. COM 入力の DC オフセット電圧と PGIA 設定値¹

PGIA Gain (V/V)	DC Offset Voltage on COM (V)
0.2	0
0.4	0
0.8	±5.12
1.6	±7.68

¹ INx のフルスケール信号

リファレンス電圧の入力/出力

ADAS3023 では、内蔵リファレンス電圧、内蔵バッファを使用する外付けリファレンス電圧、または外付けリファレンス電圧を選択することができます。

ADAS3023 の内蔵リファレンス電圧は優れた性能を提供するため、ほぼすべてのアプリケーションで使用することができます。リファレンス選択モードの設定では、次のセクションで説明するように、内蔵リファレンス電圧イネーブル・ビット (REFEN) と REFIN ピンを使用します (内蔵リファレンス電圧、外付けリファレンス電圧と内蔵バッファ、外付けリファレンス電圧、リファレンス電圧のデカップリングを参照)。

内蔵リファレンス電圧

高精度の内蔵リファレンス電圧は出荷時に調整されているため、大部分のアプリケーションに適します。

CFG レジスタの REFEN ビットに 1 (デフォルト) を設定すると、内蔵リファレンス電圧がイネーブルされて、REF1 ピンと REF2 ピンに 4.096 V が出力されます。この 4.096 V 出力はメイン・システム・リファレンス電圧として機能します。バッファなしの 2.5 V (typ) バンド・ギャップ・リファレンス電圧が REFIN ピンから出力されます。この出力には、10 μF と 0.1 μF の外付けコンデンサを並列接続して出力のノイズを小さくする必要があります。REFIN の電流出力は制限されているため、AD8031 のような適切なバッファを介して電源として使用することができます。REFIN 出力の負荷が大きい場合、内部アンプが固定ゲインを使用しているため、4.096 V のシステム・リファレンス電圧が低下します。

内蔵リファレンス電圧出力は、±8 mV の初期精度で 4.096 V の目標値に調整されます。リファレンス電圧には温度補償も行われて ±5 ppm/°C (typ) のドリフトになっています。

内蔵リファレンス電圧を使用する場合、図 42 に示すように ADAS3023 をデカップリングしてください。REF1 接続と REF2 接続は互いに接続され、REFIN 出力は外部でデカップリングされ、RCAP は内部で安定化された電源であることに注意してください。

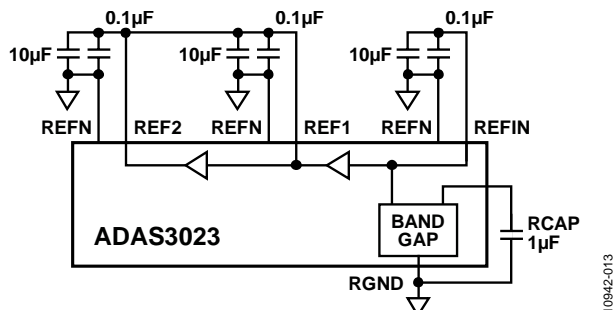


図 42.4.096V の内蔵リファレンス電圧の接続

外付けリファレンス電圧と内蔵バッファ

外付けリファレンスと内蔵バッファは、共通のシステム・リファレンス電圧を使用する場合、またはドリフト性能を向上させる必要がある場合に役立ちます。

REFEN ビットに 0 を設定すると、内部バンド・ギャップ・リファレンス電圧がディスエーブルされるので、REFIN ピンに外付けリファレンス電圧 (typ 値は 2.5 V) を接続することができます。内蔵バッファはイネーブルされたままであるため、メイン・システム・リファレンス電圧を発生するための外付けバッファ・アンプの必要性は少なくなります。REFIN = 2.5 V で、REF1 と REF2 が 4.096 V を出力する場合、メイン・システム・リファレンス電圧として機能します。

この構成では、外付け電源を図 43 のように接続してください。この構成では内蔵バッファが ADAS3023 リファレンス電圧条件の動的な部分を処理するため、任意のタイプ (例えば、低消費電力、低ドリフト、小型パッケージなど) の 2.5 V リファレンス電圧を使用することができます。

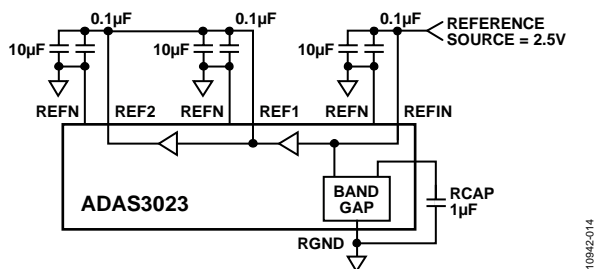


図 43.内蔵バッファを使用した外付けリファレンス電圧

外付けリファレンス電圧

高精度低ドリフトの 4.096 V のリファレンス電圧を必要とするアプリケーションでは、外付けリファレンス電圧を使用することができます。このモードでは、内蔵バッファをディスエーブルするときは REFEN に 0 を設定して、REFIN を AGND に接続することが必要なため、ハードウェアとソフトウェアによる制御が必要であることに注意してください。内蔵バッファをディスエーブルする前に REF1 ピンと REF2 ピンを駆動しようとすると、アンプ駆動出力でソース/シンク競合が発生することがあります。

4.096 V の高精度リファレンス電圧を直接メイン・システム・リファレンス(REF1 と REF2)に接続してください(図 44 参照)。推奨リファレンスは ADR434 または ADR444 です。

外付けリファレンス・ソースとしてオペアンプを使用する場合、容量負荷駆動の問題に注意してください。オペアンプに容量負荷を接続する場合、通常、アンプが AC アプリケーションで安定限界を維持できることが重要になりますが、リファレンス・ソースのような DC アプリケーションでは一定の役割を持つことができます。

リファレンス・ソースはリファレンス・ピン上でビット判定プロセス動作の影響を受けるため、さらに解析が必要になることがあります。このデータシートの範囲を超えます。

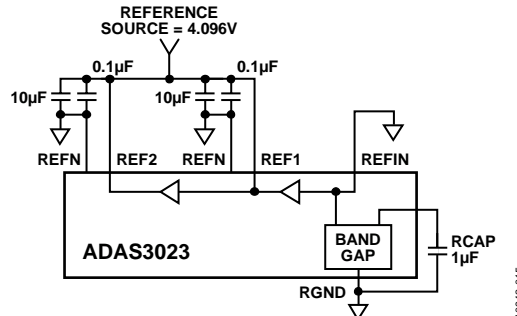


図 44.外付けリファレンス電圧

リファレンス電圧のデカップリング

リファレンス電圧の入力/出力のセクションに示すどのリファレンス回路でも、ADAS3023 のリファレンス・ピン(REF1 と REF2)にはダイナミック・インピーダンスがあるため、ピンを入力または出力のいずれかで使用する場合でも、十分なデカップリングが必要です。このデカップリングは通常、REF1 ピンと REF2 ピンに接続した低 ESR コンデンサと、それに対応する REFN リターン・パスから構成されます。リファレンス電圧の入力/出力のセクションに示すすべてのリファレンス回路のデカップリングに対して、セラミック・チップ・コンデンサ (X5R、1206 サイズ)が推奨されます。

リファレンス・デカップリング・コンデンサの配置は、システム性能にとって重要です。太いプリント回路ボード (PCB) パターンを使って、デカップリング・コンデンサを ADAS3023 と同じ側で REF1 ピンと REF2 ピンの近くに実装してください。REFN 入力へリターン・パスを接続し、次にシステムのアナログ・グラウンド・プレーンへ接続します。内部 PCB への接続が必要な場合は、多数の貫通ビアを使用してグラウンドまでのリターン・パスの抵抗を小さくしてください。

最短距離と複数のビアを使用して、REFN 入力と RGND 入力をシステムのアナログ・グラウンド・プレーンへ、望ましくはハンダ・パットの近くへ接続してください。一般的な誤りは、システムのグラウンドへ接続されている個々のパターンへこれらのパターンを接続してしまうことです。これによりノイズが混入して、LSB 感度に悪影響を与えます。このようなノイズを防止するため、片面または両面のボードではなくグラウンド・プレーンを含む多層の PCB を使用してください。

小さいリファレンス・デカップリング・コンデンサ値 (最小 2.2 µF)を使うと、主に DNL と THD への影響を小さくすることができます。さらに、高周波ノイズ除去のデカップリング方式で一般的な小さい値のセラミック・デカップリング・コンデンサ (例えば、100 nF)を追加する必要はありません。

複数の ADAS3023 デバイスまたは他の PulSAR ADC を使用するアプリケーションでは、外付けリファレンス電圧をバッファして、SAR 変換クロストークを小さくするために、内蔵リファレンス電圧バッファの使用が最も効果的です。

リファレンス電圧の温度係数 (TC) はシステムのフルスケール精度に直接影響するため、フルスケール精度が重要なアプリケーションでは、TC に注意することが重要です。例えば、温度係数 $\pm 15 \text{ ppm}/^\circ\text{C}$ のリファレンス変化により、フルスケールは $\pm 1 \text{ LSB}/^\circ\text{C}$ 変化します。

電源

ADAS3023 では、AVDD、DVDD、VIO、VDDH、VSSH の 5 種類の電源を使用します (表 9 参照)。ACAP ピン、DCAP ピン、RCAP ピンは内蔵電源レギュレータ出力で、情報提供専用であることに注意してください。

表 9. 電源

Mnemonic	Function	Required
AVDD	Analog 5 V core	Yes
DVDD	Digital 5 V core	Yes, or can connect to AVDD
VIO	Digital input/output	Yes, and can connect to DVDD (for the 5 V level)
VDDH	Positive high voltage	Yes, +15 V typical
VSSH	Negative high voltage	Yes, -15 V typical
ACAP	Analog 2.5 V core	No, on chip
DCAP	Digital 2.5 V core	No, on chip
RCAP	Analog 2.5 V core	No, on chip

コア電源

AVDD ピンと DVDD ピンは、ADAS3023 のそれぞれアナログ・コアとデジタル・コアに電源を供給します。これらの電源には、少なくとも $10 \mu\text{F}$ のコンデンサと 100 nF のコンデンサを各電源に接続して十分なデカップリングが必要です。 100 nF のコンデンサは ADAS3023 のできるだけ近くに接続してください。必要な電源数を削減するときは、AVDD と DVDD の間にシンプルな RC フィルタを接続して、DVDD をアナログ電源から供給してください (図 45 参照)。

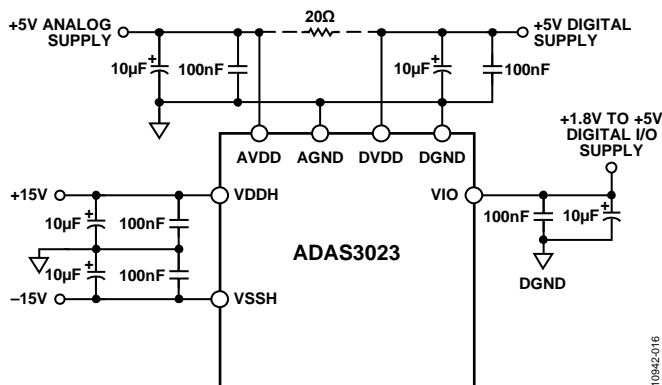


図 45. 電源接続

VIO は可変デジタル入力/出力電源であるため、 $1.8 \text{ V} \sim 5 \text{ V}$ (DVDD 電源の最大) のロジックと直接インターフェースすることができます。所要電源数を減らすときは、DVDD を RC フィルタを介してアナログ電源から供給する場合、代わりに VIO を DVDD に接続することができます。AVDD、DVDD、VIO の各電源に対する推奨低ドロップアウト・レギュレータは、ADP3334、ADP1715、ADP7102、ADP7104 です。ADAS3023 の電源は次の順序で立上げる必要があることに注意してください。

1. VIO
2. VDDH
3. VSSH
4. DVDD
5. AVDD
6. REF_x

高電圧電源

高電圧のバイポーラ電源 (VDDH と VSSH) が必要で、最大動作入力電圧より少なくとも 2.5 V 高い必要があります。特に、入力ピンのすべての動作入力電圧 (表 2 で規定) には VDDH/VSSH 電源から 2.5 V のヘッドルームが必要です。すなわち、

$$(VSSH + 2.5 \text{ V}) \leq IN_x/COM \leq (VDDH - 2.5 \text{ V})$$

これらの電源には、少なくとも $10 \mu\text{F}$ のコンデンサと 100 nF のコンデンサを各電源に接続して十分なデカップリングも必要です。

消費電力モード

ADAS3023 には、フル動作モードとパワーダウン・モードの 2 つの消費電力モードがあります。

フル動作モード

ADAS3023 はフル動作モードで、通常の変換を行うことができます。

パワーダウン・モード

デバイスのアイドル時動作電流を小さくするため、PD 入力を使い、ハイ・レベルにしてデバイスをフル・パワーダウン・モードにします。これにより ADAS3023 はディープ・スリープ・モードになります。このモードでは CNV 動作が無視され、デジタル・インターフェースが非アクティブになります。タイミングの詳細については、RESET 入力とパワーダウン (PD) 入力のセクションを参照してください。ディープ・スリープ・モードでは、内蔵レギュレータ (ACAP、RCAP、DCAP) とリファレンス電圧はパワーダウンします。

動作を再開するときは、PD をロー・レベルに戻します。デバイスが規定の性能で動作できるようになるためには、リファレンス電圧が外付けリザーバ・コンデンサを充電して、規定のセットリング・タイムを確保できる必要があることに注意してください。PD がロー・レベルに戻った後に RESET を入力して、CFG レジスタを含む ADAS3023 デジタル・コアをデフォルト状態へ戻す必要があります。このため、所望の CFG をデバイスへ書き込み、さらにダミー変換を 1 回実行した後に、デバイス動作を PD のアサーション前に書込んだ構成に戻す必要があります。内蔵リファレンス電圧を使用する場合、公称値に安定するまで十分な時間が必要であることに注意してください。代表的な接続では、公称値への安定に 100 ms 必要です (図 41 参照)。

変換モード

ADAS3023 は変化するアプリケーションに対応するため 2 つの変換モードを提供します。両モードは変換モード・セレクト・ビット(CFG レジスタの CMS (ビット 1))で設定します。

ワープ・モード (CMS = 0)

CMS に 0 を設定すると、500 kSPS のフル 2 チャンネル・スループットが必要な場合に役立ちますが、このモードでは、変換と変換の間の最大時間が制限されます。この最大時間を超えると、変換結果が壊れてしまいます。したがって、連続サンプルのアプリケーションにはワープ・モードが最適です。

ノーマル・モード (CMS = 1、デフォルト)

CMS に 1 を設定すると、500 kSPS のフル・サンプル・レートが必要でないすべてのアプリケーションに役立ちます。このモードでは、変換の間に最大時間の制限はありません。このモードは、非同期リセット実行後のデフォルト状態です。ノーマル・モードとワープ・モードとの間の主な違いは、BUSY/SDO2 時間 (t_{CONV})が、ワープ・モードよりノーマル・モードの方が少し長くなることです。

デジタル・インターフェース

ADAS3023 のデジタル・インターフェースは、非同期入力と変換結果の読出しとコンフィギュレーション・レジスタの設定に使用する 4 線式シリアル・インターフェースから構成されています。

このインターフェースでは、3 本の非同期信号 (CNV、RESET、PD) と CS、SDO、SCK、DIN で構成される 4 線式シリアル・インターフェースを使用しています。アプリケーションによっては CS を CNV へ接続することもできます。

変換結果は、変換後にシリアル・データ出力ピン (SDO) へ出力されます。16 ビットのコンフィギュレーション・ワード CFG は、データ転送の最初の 16 個の SCK の間にシリアル・データ入力ピン DIN で設定されます。この CFG レジスタは、変換対象チャンネル数の選択、各チャンネル・グループの可変ゲイン設定、リファレンス選択のような設定値を制御します (詳細については、コンフィギュレーション・レジスタのセクションを参照してください)。

変換制御

CNV 入力は、CFG レジスタで指定される N 個のイネーブルされたチャンネルの変換を開始させます。ADAS3023 は完全に非同期であるため、コンフィギュレーション・レジスタで指定される設定値とシステム・シリアル・クロック・レートに応じて、DC~500 kSPS の任意の周波数で変換することができます。

CNV 立上がり—変換の開始 (SOC)

CNV の立上がりエッジで ADAS3023 の状態がトラック・モードからホールド・モードへ変ります。また、これが、変換の開始に必要なすべてです。すべての変換クロックが、内部で発生されます。変換の開始後その変換が終わるまで、ADAS3023 は CNV ライン上のその他の動作 (スループット・レートで制御) を無視します。

ADAS3023 が変換を実行中、BUSY/ SDO2 出力はハイ・レベルになり、ADAS3023 は独自の 2 フェーズの変換プロセスを採用して、安全なデータ・アクセスと静止時間を可能にします。

CNV 信号は CS ピンから分離されているため、複数の ADAS3023 デバイスを同じプロセスから制御することができます。SNR が厳しいアプリケーションの場合、CNV ソースのジッタを非常に小さくする必要があり、これは専用発振器または高周波低ジッタ・クロックで CNV を駆動することにより実現されます。アプリケーションでジッタが許容できる場合、またはデバイスを 1 個だけ使用するアプリケーションでは、CNV を CS に接続してください。サンプル・クロック・ジッタとアパーチャ遅延の詳細については、MT-007 ミニ・チュートリアル「Aperture Time, Aperture Jitter, Aperture Delay Time—Removing the Confusion」を参照してください。

CNV はデジタル信号ですが、最小のオーバーシュート、アンダーシュート、リングングを持つ高速でクリーンなエッジになるよう注意してください。さらに、サンプリング・タイミング近くでのデジタル動作を回避してください。このような動作により SNR 性能が低下してしまいます。

BUSY/SDO2 の立下がり—変換の終了 (EOC)

EOC は BUSY/SDO2 がロー・レベルに戻ることに表示され、ホスト割込みとして使用することができます。さらに、EOC は ADAS3023 に対するデータ・アクセスをゲーティングします。変換結果を次の EOC イベントの前に読出さないと、データは失われます。さらに、EOC の前に CFG の更新が完了しないと、その更新は無視されて、以降の変換には現在の設定が使用されます。

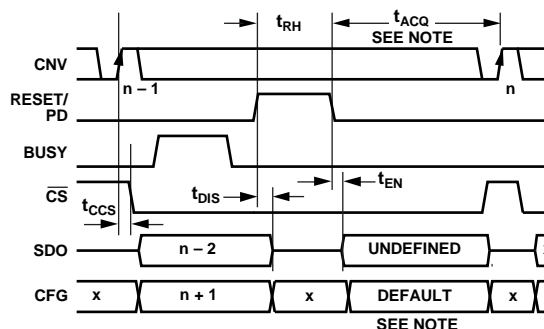
このパイプラインにより、規定の 16 ビットの高精度で次のサンプルを取得するために ADAS3023 が十分な時間を持つことが保証されます。

レジスタ・パイプライン

CFG レジスタは、EOC イベントの後の最初の 16 個の SCK で書込まれ、次の EOC イベントで更新されます。すべての CFG 更新が既知の安全な時間内に種々の回路エレメントに適用されるようにするため、非同期データ転送が EOC イベントを使って ADAS3023 のタイミング・エンジンに同期化されます。この同期により、CFG レジスタ設定値の更新と設定の変換への適用との間に固有の遅延が発生します。このパイプラインは、現在の変換 (n) の終わりから CFG 設定が有効になるまでの 1 ディープ遅延で構成されます。これは、SOC と EOC の 2 つのイベントが経過した後に設定値 (新しいチャンネル、ゲインなど) が有効になることを意味します。表記法 (n)、(n + 1) などは、次のデジタル・セクションの残り部分 (シリアル・データ・インターフェース、一般的なタイミング、コンフィギュレーション・レジスタ) で簡略化のために使用されることに注意してください。ただし、変換の終わりの後にデータをリードバックできる前にパイプラインは存在しないことに注意してください。

RESET 入力とパワーダウン (PD) 入力

非同期の RESET 入力と PD 入力を使って ADAS3023 をそれぞれリセットおよびパワーダウンさせることができます。タイミングの詳細を、図 46 に示します。



NOTES

1. WHEN THE PART IS RELEASED FROM RESET, t_{ACQ} MUST BE MET FOR CONVERSION n IF USING THE DEFAULT CFG SETTING FOR CHANNEL INO. WHEN THE PART IS RELEASED FROM POWER-DOWN, t_{ACQ} IS NOT REQUIRED, AND THE FIRST TWO CONVERSIONS, n AND $n + 1$, ARE UNDEFINED.

10942/017

図 46. RESET と PD のタイミング

CS のレベルに無関係に、RESET または PD の立上がりエッジで変換プロセスが停止して、SDO は高インピーダンスになります。RESET は ADAS3023 をリセット状態に設定するため最小パルス幅 (アクティブ・ハイ) を持っていることに注意してください。ADAS3023 がリセット状態から戻るときのデフォルト CFG 設定値については、コンフィギュレーション・レジスタのセクションを参照してください。RESET が解除 (ロジック 0) された後に、このデフォルト設定値を使う場合、変換結果が有効になるためには、アキュジション時間 (t_{ACQ}) に等しい時間が経過した後に CNV をアサートする必要があります。そうしないと、変換が開始された場合に、変換結果が壊れてしまいます。さらに、リセットで前の変換からの出力データがクリアされます。新しい変換を開始する前にデータ結果をアクセスしようとすると、結果は無効になります。

デフォルトの CFG を使用しないで、パワーダウン・モードまたはリセットからデバイスが戻るときに t_{ACQ} 条件はありません。これは、デバイスを所望の設定値に再設定するためには 1 デイープ遅延パイプライン条件を満たす必要があるためにパワーアップからの最初の 2 回の変換が未定義/無効になるためです。

シリアル・データ・インターフェース

ADAS3023 はシンプルな 4 線式インターフェースを採用し、FPGA、DSP、一般的なシリアル・インターフェース(シリアル・ペリフェラル・インターフェース (SPI)、QSPI™、MICROWIRE®など)と互換性を持っています。このインターフェースでは、 \overline{CS} 、SCK、SDO、DIN の各信号を使用します。シリ

アル・インターフェースのタイミング信号を図 47 に示します。

SDO は、 \overline{CS} がアサートされたときにアクティブになります。変換結果は SDO に出力され、SCK の立下がりエッジで更新されます。同時に、シリアル・データ入力 (DIN) 上で 16 ビットの CFG ワードが必要に応じて更新されます。BUSY/SDO2 (ビット 0) の状態により、EOC の後に SDO がアクティブになったときに、MSB データの出力フォーマットが決定されます。図 47 では、SCK がアイドル・ハイとして示してあることに注意してください。SCK はアイドル・ハイまたはアイドル・ローにすることができますが、SDO と DIN のセットアップ・タイムとホールド・タイムに適するインターフェースをデザインする必要があります。

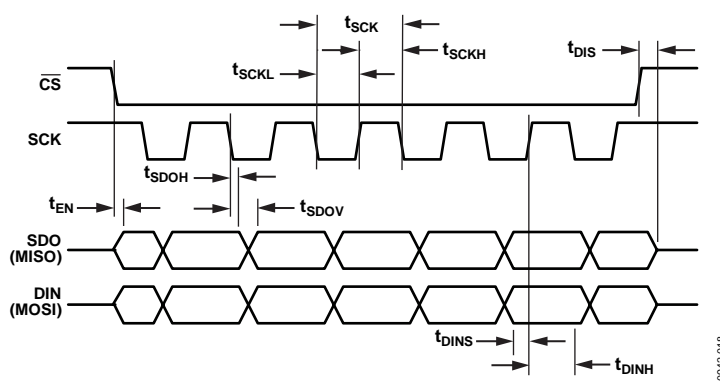
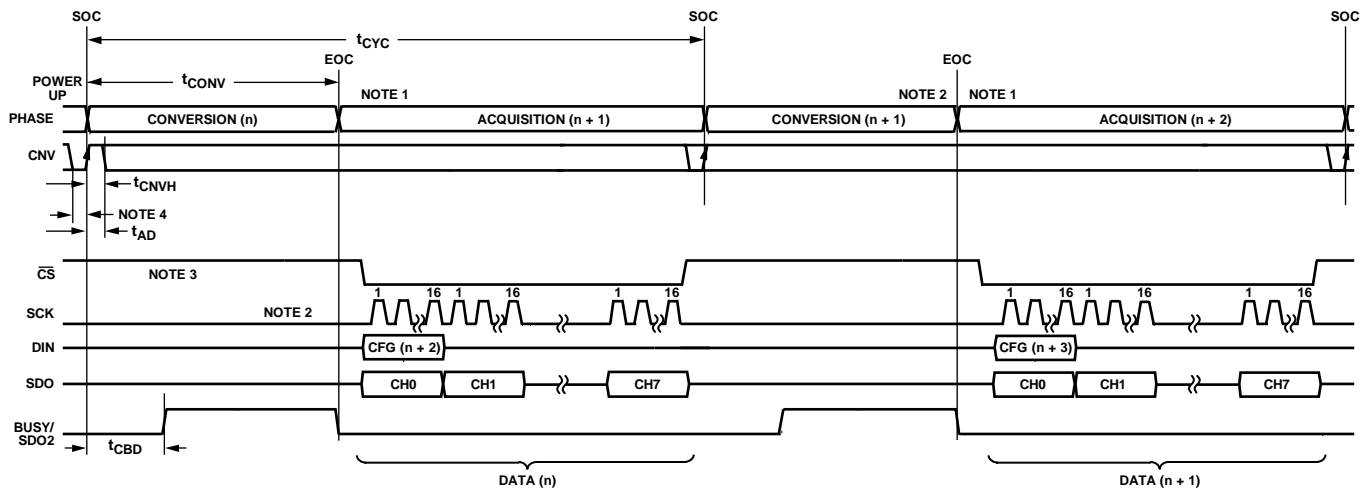


図 47.シリアル・タイミング

一般的なタイミング

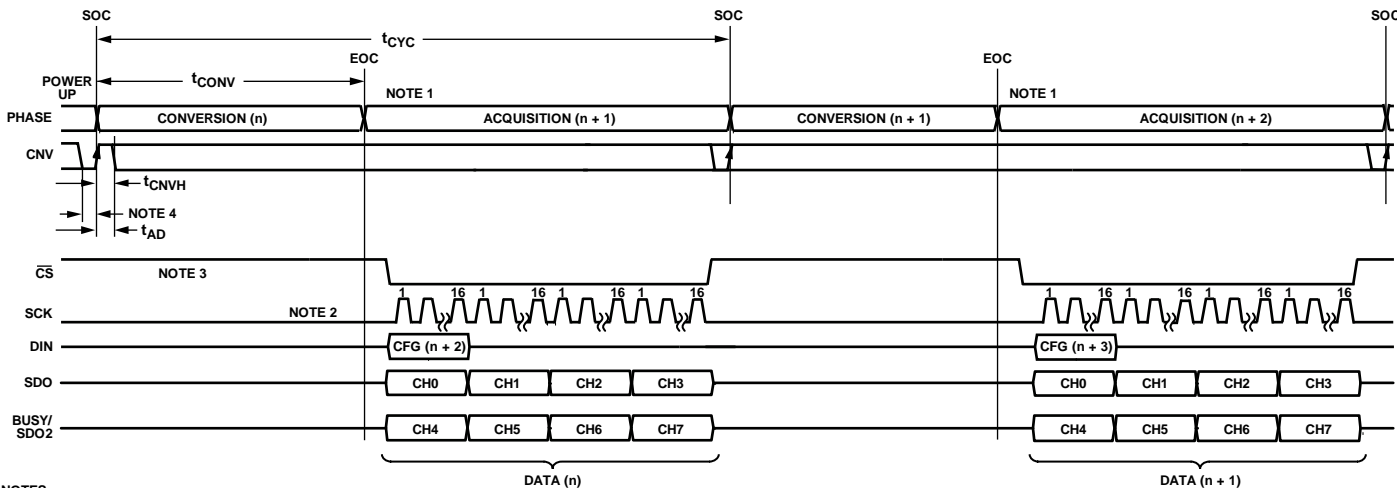
図 48 と図 49 の変換タイミング図に、レジスタから変換までおよびリードバック・パイプライン遅延を含む特定のタイミング・パラメータを示します。これらの図では、パワーアップからのタイミングまたは PD 入力を使用したフル・パワーダウンからのリターンのタイミングを説明しています。EOC の後に BUSY/SDO2 出力がイネーブルされない場合、SDO 出力のデータ (MSB ファースト) を 16 個の SCK 立上がりエッジでシーケンシャルに (チャンネル 0 (CH0) からチャンネル 7 (CH7) への順で) 読出すことができます (図 48 参照)。

コンバータ・ビジー信号は、 \overline{CS} がハイ・レベルのとき常に BUSY/SDO2 ピンに出力されます。EOC の後に \overline{CS} をロー・レベルにすると、BUSY/SDO2 出力がイネーブルされて、SDO 出力にチャンネル 0~チャンネル 3 (CH0、CH1、CH2、CH3) のデータが、SDO2 出力にチャンネル 4~チャンネル 7 (CH4、CH5、CH6、CH7) のデータが、それぞれ 16 個の SCK 立上がりエッジで出力されます (図 49 参照)。BUSY/SDO2 ピン上の変換結果出力は、SCK の立下がりエッジに同期化されます。変換結果は 2 の補数フォーマットです。静かな変換フェーズ (t_{CONV}) でのデータの読み書きにより、ビット判定を誤ることがあります。



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
 2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
 3. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} IS SHOWN WITH FULL INDEPENDENT CONTROL.
 4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERATURE DELAY, t_{AD} , SHOULD LAPSE PRIOR TO DATA ACCESS.

図 48. BUSY/SDO2 ディスエーブル時の全体タイミング図



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
 2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
 3. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} IS SHOWN WITH FULL INDEPENDENT CONTROL.
 4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERATURE DELAY, t_{AD} , SHOULD LAPSE PRIOR TO DATA ACCESS.

図 49. BUSY/SDO2 イネーブル時の全体タイミング図

コンフィギュレーション・レジスタ

コンフィギュレーション・レジスタ CFG は、16 ビットのプログラマブルなレジスタで、ADAS3023 のすべてのユーザー・プログラマブルなオプションの選択に使用されます (表 11 参照)。

最初の 16 個の SCK 立上がりエッジでデータがリードバックされたときにレジスタがロードされ、次の EOC で更新されます。CFG への書き込み時と CFG からの読出し時には常に 1 ディープ遅延があり、現在の変換に対応した設定値であることに注意してください。

デフォルトの CFG 設定値は、ADAS3023 がリセット状態 (RESET = ハイ・レベル) から動作状態 (RESET = ロー・レベル) へ戻ったときに使用されます。フル・パワーダウン状態 (PD = ハイ・レベル) からイネーブル状態 (PD = ロー・レベル) へ戻ると、デフォルト CFG 設定値は使用されず、ユーザー指定の

CFG が有効になるためには少なくとも 1 回のダミー変換が必要です。デジタル・コアを確実にデフォルト状態にするためには、PD のアサーション解除後に外部リセットを入力してください。デフォルト値は CFG[15:0] = 0xFFFF です。コンフィギュレーション・レジスタ CFG の値を読出すときは、すべてのチャンネル・データを読出した後にさらに 16 個の SCK を入力して、CFG が SDO 出力に現れるようにします。デフォルトの CFG 設定値により、ADAS3023 は次のように設定されます。

- CFG レジスタ値を上書きします。
- 8入力チャンネル・モードを選択します。
- PGIA ゲイン = 0.20 (±20.48 V) に設定します。
- 内蔵リファレンス電圧をイネーブルします。
- ノーマル変換モードを選択します。
- SDO2 読出しモードをディスエーブルします。

表 10. コンフィギュレーション・レジスタ CFG のビット・マップ、デフォルト値 = 0xFFFF (1111 1111 1111 1111)

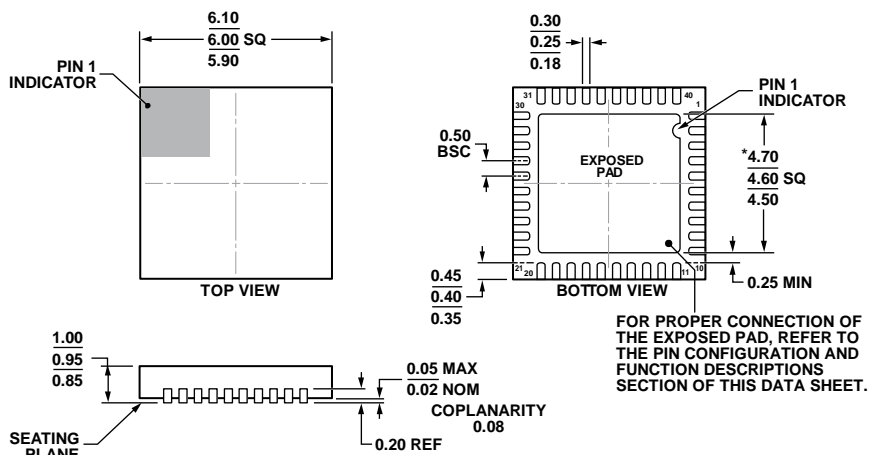
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INx	INx	RSV	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	RSV	REFEN	CMS	BUSY/SDO2

表 11. コンフィギュレーション・レジスタの説明

Bit No.	Bit Name	Description															
15	CFG	Configuration update. 0 = keeps current configuration settings. 1 = overwrites contents of register.															
[14:13]	INx	Selection of the number of channels to be converted simultaneously.															
		<table border="1"> <thead> <tr> <th>Bit 14</th><th>Bit 13</th><th>Channels</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>2</td></tr> <tr> <td>0</td><td>1</td><td>4</td></tr> <tr> <td>1</td><td>0</td><td>6</td></tr> <tr> <td>1</td><td>1</td><td>8</td></tr> </tbody> </table>	Bit 14	Bit 13	Channels	0	0	2	0	1	4	1	0	6	1	1	8
Bit 14	Bit 13	Channels															
0	0	2															
0	1	4															
1	0	6															
1	1	8															
12	RSV	Reserved. Setting or clearing this bit has no effect.															
[11:4]	PGIA	Programmable gain selection (see the Programmable Gain section).															
		<table border="1"> <thead> <tr> <th>Bit (Odd)</th><th>Bit (Even)</th><th>PGIA Gain</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>±10.24 V</td></tr> <tr> <td>0</td><td>1</td><td>±5.12 V</td></tr> <tr> <td>1</td><td>0</td><td>±2.56 V</td></tr> <tr> <td>1</td><td>1</td><td>±20.48 V (default)</td></tr> </tbody> </table>	Bit (Odd)	Bit (Even)	PGIA Gain	0	0	±10.24 V	0	1	±5.12 V	1	0	±2.56 V	1	1	±20.48 V (default)
Bit (Odd)	Bit (Even)	PGIA Gain															
0	0	±10.24 V															
0	1	±5.12 V															
1	0	±2.56 V															
1	1	±20.48 V (default)															
[11:10]	PGIA	Sets the gain of IN0.															
[9:8]	PGIA	Sets the gain of IN1.															
[7:6]	PGIA	Sets the gain of IN3 to IN2.															
[5:4]	PGIA	Sets the gain of IN4 to IN7.															
3	RSV	Reserved. Setting or clearing this bit has no effect.															
2	REFEN	Internal reference (see the Pin Configuration and Function Descriptions and Voltage Reference Input/Output sections). 0 = disables the internal reference. Disable the internal reference buffer by pulling REFIN to ground. 1 = enables the internal reference (default).															
1	CMS	Conversion mode selection (see the Conversion Modes section). 0 = uses the warp mode for conversions with a time between conversion restriction. 1 = uses the normal mode for conversions (default).															
0	BUSY/SDO2	Secondary data output control using the BUSY/SDO2 pin. 0 = enables the device busy status when the \overline{CS} pin is held high. On the \overline{CS} falling edge, the MSB of Channel 1 is presented on the BUSY/SDO2 input and subsequent data is presented on the SCK falling edges. 1 = enables the device busy status only (default). All data is transmitted via the SDO pin on the SCK falling edge.															

パッケージとオーダー情報

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

07-19-2012.8

☒ 50.40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
6 mm x 6 mm ボディ、極薄クワッド
(CP-40-15)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADAS3023BCPZ	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40-15
ADAS3023BCPZ-RL7	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40-15
EVAL-ADAS3023EDZ	-40°C to +85°C	Evaluation Board	

¹ Z = RoHS 準拠製品。