

ADA4950-1/ADA4950-2

特長

低消費電力で高性能

高速動作

-3 dB 帯域幅: 750 MHz、 $G = 1$

210 MHz までの 0.1 dB 平坦性、 $V_{OUT, dm} = 2\text{ V p-p}$ 、 $R_{L, dm} = 200\ \Omega$

スルー・レート: 25%から75%まで 2,900 V/ μs

高速なセットリング・タイム: 0.1%まで 9 ns

低消費電力: アンプあたり 9.5 mA

低い高調波歪み

10 MHz で 108 dB SFDR

20 MHz で 98 dB SFDR

低出力電圧ノイズ: 9.2 nV/ $\sqrt{\text{Hz}}$ 、 $G = 1$ 、RTO

入力オフセット電圧: $\pm 0.2\text{ mV}$ (typ)

選択可能な差動ゲイン: 1、2、3

差動—差動動作またはシングルエンド—差動動作

調整可能な出力同相モード電圧

入力同相モード範囲を 1 V_{BE} だけ下へシフト

広い電源範囲: $+3\text{ V} \sim \pm 5\text{ V}$

16ピンまたは24ピン LFCSP パッケージを採用

アプリケーション

ADC ドライバ

シングルエンド/差動変換

IF およびベースバンドのゲイン・ブロック

差動バッファ

ライン・ドライバ

概要

ADA4950-1/ADA4950-2 は、帰還抵抗とゲイン抵抗を内蔵した [ADA4932-1/ADA4932-2](#) のゲイン選択可能なバージョンです。シングルエンド/差動アンプまたは差動/差動アンプとして高性能 ADC の駆動用に最適です。出力同相モード電圧は、内部同相モード帰還ループを使ってユーザが調整できるため、ADA4950-1/ADA4950-2 出力を ADC 入力にマッチングさせることができます。また、内部帰還ループは優れた出力バランスを維持し、偶数次の高調波歪み積も抑圧します。

差動ゲイン = 1、2、3 は、内部帰還回路により容易に実現することができます。この帰還回路はアンプのクロード・ループ・ゲインを設定するために外部に接続します。

ADA4950-1/ADA4950-2 はアナログ・デバイセズ独自のシリコン・ゲルマニウム(SiGe)相補バイポーラ・プロセスにより製造されているため、小さい消費電力で非常に低レベルの歪みとノイズを実現しています。ADA4950-x は低いオフセットと優れたダイナミック性能を持つため、様々なデータ・アキュイジション・アプリケーションや信号処理アプリケーションに適しています。

機能ブロック図

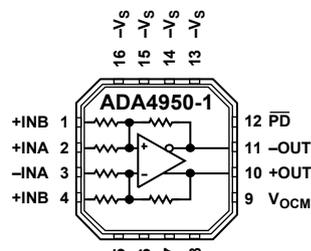


図 1. ADA4950-1

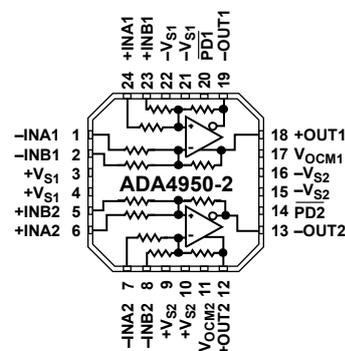


図 2. ADA4950-2

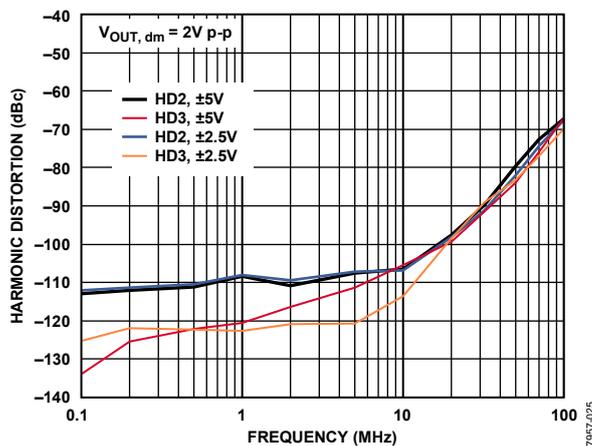


図 3. 様々な電源での高調波歪みの周波数特性

ADA4950-x は、Pb フリーの $3\text{ mm} \times 3\text{ mm}$ 16ピン LFCSP パッケージ(ADA4950-1、シングル)または Pb フリーの $4\text{ mm} \times 4\text{ mm}$ 24ピン LFCSP パッケージ(ADA4950-2、デュアル)を採用しています。ピン配置は、PCB レイアウトと低歪み用に最適化されています。ADA4950-1/ ADA4950-2 の動作は $-40^\circ\text{C} \sim +105^\circ\text{C}$ の温度範囲で規定され、 $+3\text{ V} \sim \pm 5\text{ V}$ の電源電圧で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	動作原理.....	18
アプリケーション.....	1	アプリケーション情報.....	19
概要.....	1	アプリケーション回路の解析.....	19
機能ブロック図.....	1	クローズド・ループ・ゲインの選択.....	19
改訂履歴.....	2	出力ノイズ電圧の計算.....	19
仕様.....	3	アプリケーション回路入力インピーダンスの計算.....	20
± 5 V 動作.....	3	入力同相モード電圧範囲.....	22
5 V 動作.....	5	入力と出力の容量 AC 結合.....	22
絶対最大定格.....	7	入力信号振幅についての考慮事項.....	22
熱抵抗.....	7	出力同相モード電圧の設定.....	22
最大消費電力.....	7	レイアウト、グラウンド接続、バイパス.....	23
ESD の注意.....	7	高性能 ADC の駆動.....	24
ピン配置およびピン機能説明.....	8	外形寸法.....	25
代表的な性能特性.....	9	オーダー・ガイド.....	25
テスト回路.....	16		
用語.....	17		

改訂履歴

5/09—Revision 0: Initial Version

仕様

±5 V動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $V_{\text{OCM}} = 0\text{ V}$ 、 $G = 1$ 、 $R_T = 53.6\ \Omega$ (使用時)、 $R_{L, \text{dm}} = 1\text{ k}\Omega$ 。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。信号の定義については、図 52を参照してください。

差動入力— $V_{\text{OUT, dm}}$ 間の性能

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	$V_{\text{OUT, dm}} = 0.1\text{ V p-p}$		750		MHz
-3 dB Large-Signal Bandwidth	$V_{\text{OUT, dm}} = 2.0\text{ V p-p}$		350		MHz
Bandwidth for 0.1 dB Flatness	$V_{\text{OUT, dm}} = 2.0\text{ V p-p}$, $R_L = 200\ \Omega$				
ADA4950-1			210		MHz
ADA4950-2			230		MHz
Slew Rate	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 25% to 75%		2900		V/ μs
Settling Time to 0.1%	$V_{\text{OUT, dm}} = 2\text{ V step}$		9		ns
Overdrive Recovery Time	$V_{\text{IN}} = 0\text{ V to }5\text{ V ramp}$, $G = 2$		20		ns
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	See Figure 51 for distortion test circuit $V_{\text{OUT, dm}} = 2\text{ V p-p}$				
1 MHz			-108		dBc
10 MHz			-107		dBc
20 MHz			-98		dBc
50 MHz			-80		dBc
Third Harmonic	$V_{\text{OUT, dm}} = 2\text{ V p-p}$				
1 MHz			-126		dBc
10 MHz			-105		dBc
20 MHz			-99		dBc
50 MHz			-84		dBc
IMD3	$f_1 = 30\text{ MHz}$, $f_2 = 30.1\text{ MHz}$, $V_{\text{OUT, dm}} = 2\text{ V p-p}$		-94		dBc
Voltage Noise (Referred to Output)	$f = 1\text{ MHz}$				
Gain = 1			9.2		nV/ $\sqrt{\text{Hz}}$
Gain = 2			12.5		nV/ $\sqrt{\text{Hz}}$
Gain = 3			16.6		nV/ $\sqrt{\text{Hz}}$
Crosstalk (ADA4950-2)	$f = 10\text{ MHz}$; Channel 2 active, Channel 1 output		-87		dB
INPUT CHARACTERISTICS					
Offset Voltage (Referred to Input)	$V_{+\text{DIN}} = V_{-\text{DIN}} = V_{\text{OCM}} = 0\text{ V}$ T_{MIN} to T_{MAX} variation	-2.5	± 0.2	+2.5	mV $\mu\text{V}/^\circ\text{C}$
Input Capacitance	Single-ended at package pin		0.5		pF
Input Common-Mode Voltage Range	Directly at internal amplifier inputs, not external input terminals		$-V_S + 0.2$ to $+V_S - 1.8$		V
CMRR	DC, $\Delta V_{\text{OUT, dm}}/\Delta V_{\text{IN, cm}}$, $\Delta V_{\text{IN, cm}} = \pm 1\text{ V}$		-64	-49	dB
Open-Loop Gain		64	66		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum ΔV_{OUT} , single-ended output, $R_L = 1\text{ k}\Omega$	$-V_S + 1.4$ to $+V_S - 1.4$	$-V_S + 1.2$ to $+V_S - 1.2$		V
Linear Output Current	200 kHz, $R_{L, \text{dm}} = 10\ \Omega$, SFDR = 69 dB		114		mA peak
Output Balance Error	$\Delta V_{\text{OUT, cm}}/\Delta V_{\text{OUT, dm}}$, $\Delta V_{\text{OUT, dm}} = 2\text{ V p-p}$, 1 MHz; see Figure 50 for output balance test circuit		-62		dB
Gain Error	Gain = 1		0.5	1.2	%
	Gain = 2		1.0	1.9	%
	Gain = 3		0.8	1.7	%

V_{OCM}—V_{OUT, cm}間の性能

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{OCM} DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	V _{OUT, cm} = 100 mV p-p		250		MHz
-3 dB Large-Signal Bandwidth	V _{OUT, cm} = 2 V p-p		105		MHz
Slew Rate	V _{IN} = 1.5 V to 3.5 V, 25% to 75%		430		V/μs
Input Voltage Noise (Referred to Input)	f = 1 MHz		9.8		nV/√Hz
V_{OCM} INPUT CHARACTERISTICS					
Input Voltage Range			-V _S + 1.2 to +V _S - 1.2		V
Input Resistance		22	26	32	kΩ
Input Offset Voltage	V _{+DIN} = V _{-DIN} = 0 V	-6	+0.8	+6	mV
V _{OCM} CMRR	ΔV _{OUT, dm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V		-60	-49	dB
Gain	ΔV _{OUT, cm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	0.98	1.0	1.01	V/V

全体性能

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range		3.0		11	V
Quiescent Current per Amplifier		8.8	9.5	10.1	mA
	T _{MIN} to T _{MAX} variation		31		μA/°C
	Powered down		0.7	1.0	mA
Power Supply Rejection Ratio	ΔV _{OUT, dm} /ΔV _S , ΔV _S = 1 V p-p		-96	-84	dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		≤(+V _S - 2.5)		V
	Enabled		≥(+V _S - 1.8)		V
Turn-Off Time			600		ns
Turn-On Time			28		ns
PD Pin Bias Current per Amplifier					
Enabled	PD = 5 V	-1.0	+0.2	+1.0	μA
Disabled	PD = 0 V	-250	-180	-140	μA
OPERATING TEMPERATURE RANGE					
		-40		+105	°C

5 V動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $V_{\text{OCM}} = 2.5\text{ V}$ 、 $G = 1$ 、 $R_T = 53.6\ \Omega$ (使用時)、 $R_{L, \text{dm}} = 1\text{ k}\Omega$ 。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。信号の定義については、図 52を参照してください。

差動入力— $V_{\text{OUT, dm}}$ 間の性能

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	$V_{\text{OUT, dm}} = 0.1\text{ V p-p}$		770		MHz
-3 dB Large-Signal Bandwidth	$V_{\text{OUT, dm}} = 2.0\text{ V p-p}$		320		MHz
Bandwidth for 0.1 dB Flatness	$V_{\text{OUT, dm}} = 2.0\text{ V p-p}$, $R_L = 200\ \Omega$				
ADA4950-1			220		MHz
ADA4950-2			160		MHz
Slew Rate	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 25% to 75%		2200		V/ μs
Settling Time to 0.1%	$V_{\text{OUT, dm}} = 2\text{ V step}$		10		ns
Overdrive Recovery Time	$V_{\text{IN}} = 0\text{ V to } 2.5\text{ V ramp}$, $G = 2$		19		ns
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	See Figure 51 for distortion test circuit $V_{\text{OUT, dm}} = 2\text{ V p-p}$				
1 MHz			-108		dBc
10 MHz			-107		dBc
20 MHz			-98		dBc
50 MHz			-82		dBc
Third Harmonic	$V_{\text{OUT, dm}} = 2\text{ V p-p}$				
1 MHz			-124		dBc
10 MHz			-114		dBc
20 MHz			-99		dBc
50 MHz			-83		dBc
IMD3	$f_1 = 30\text{ MHz}$, $f_2 = 30.1\text{ MHz}$, $V_{\text{OUT, dm}} = 2\text{ V p-p}$		-94		dBc
Voltage Noise (Referred to Input)	$f = 1\text{ MHz}$				
Gain = 1			9.2		nV/ $\sqrt{\text{Hz}}$
Gain = 2			12.5		nV/ $\sqrt{\text{Hz}}$
Gain = 3			16.6		nV/ $\sqrt{\text{Hz}}$
Crosstalk (ADA4950-2)	$f = 10\text{ MHz}$; Channel 2 active, Channel 1 output		-87		dB
INPUT CHARACTERISTICS					
Offset Voltage (Referred to Input)	$V_{+\text{DIN}} = V_{-\text{DIN}} = V_{\text{OCM}} = 2.5\text{ V}$	-4	± 0.4	+4	mV
Input Capacitance	T_{MIN} to T_{MAX} variation Single-ended at package pin		0.5		$\mu\text{V}/^\circ\text{C}$ pF
Input Common-Mode Voltage Range	Directly at internal amplifier inputs, not external input terminals		$-V_S + 0.2$ to $+V_S - 1.8$		V
CMRR	DC, $\Delta V_{\text{OUT, dm}}/\Delta V_{\text{IN, cm}}$, $\Delta V_{\text{IN, cm}} = \pm 1\text{ V}$		-64	-49	dB
Open-Loop Gain		64	66		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum ΔV_{OUT} , single-ended output, $R_L = 1\text{ k}\Omega$	$-V_S + 1.2$ to $+V_S - 1.2$	$-V_S + 1.1$ to $+V_S - 1.1$		V
Linear Output Current	200 kHz, $R_{L, \text{dm}} = 10\ \Omega$, SFDR = 67 dB		70		mA peak
Output Balance Error	$\Delta V_{\text{OUT, cm}}/\Delta V_{\text{OUT, dm}}$, $\Delta V_{\text{OUT, dm}} = 1\text{ V p-p}$, 1 MHz; see Figure 50 for output balance test circuit		-62		dB
Gain Error	Gain = 1		0.5	1.2	%
	Gain = 2		1.0	1.9	%
	Gain = 3		0.8	1.7	%

V_{OCM}—V_{OUT,cm}間の性能

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{OCM} DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	V _{OUT,cm} = 100 mV p-p		240		MHz
-3 dB Large-Signal Bandwidth	V _{OUT,cm} = 2 V p-p		90		MHz
Slew Rate	V _{IN} = 1.5 V to 3.5 V, 25% to 75%		380		V/μs
Input Voltage Noise (Referred to Input)	f = 1 MHz		9.8		nV/√Hz
V_{OCM} INPUT CHARACTERISTICS					
Input Voltage Range			-V _S + 1.2 to +V _S - 1.2		V
Input Resistance		22	26	32	kΩ
Input Offset Voltage	V _{+DIN} = V _{-DIN} = 2.5 V	-6.5	+1.0	+6.5	mV
V _{OCM} CMRR	ΔV _{OUT,dm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V		-60	-49	dB
Gain	ΔV _{OUT,cm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	0.98	1.0	1.01	V/V

全体性能

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range		3.0		11	V
Quiescent Current per Amplifier		8.4	8.9	9.6	mA
	T _{MIN} to T _{MAX} variation		31		μA/°C
	Powered down		0.6	0.9	mA
Power Supply Rejection Ratio	ΔV _{OUT,dm} /ΔV _S , ΔV _S = 1 V p-p		-96	-84	dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		≤(+V _S - 2.5)		V
	Enabled		≥(+V _S - 1.8)		V
Turn-Off Time			600		ns
Turn-On Time			29		ns
PD Pin Bias Current per Amplifier					
Enabled	PD = 5 V	-1.0	+0.2	+1.0	μA
Disabled	PD = 0 V	-100	-65	-40	μA
OPERATING TEMPERATURE RANGE					
		-40		+105	°C

絶対最大定格

表 7.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See Figure 4
Input Current, +INx, -INx, PD	±5 mA
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	
ADA4950-1	-40°C to +105°C
ADA4950-2	-40°C to +105°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、EIA/JESD51-7 に規定される高い熱伝導性を持つ 2s2p プリント回路ボードにハンダ付けしたデバイス (エクスポーズド・パッドを含む) に対して規定します。

表 8.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
ADA4950-1, 16-Lead LFCSP (Exposed Pad)	91	28	°C/W
ADA4950-2, 24-Lead LFCSP (Exposed Pad)	65	16	°C/W

最大消費電力

ADA4950-x のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_j)上昇により制限されます。約 150°C のガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4950-x のパラメータ性能が永久的にシフトしてしまうことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存しません。負荷駆動に起因する消費電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。これらの計算では RMS 電圧と RMS 電流を使用する必要があります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/エクスポーズド・パッドが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 4 に、パッケージの最大安全消費電力対周囲温度をシングル の 16 ピン LFCSP (91°C/W) とデュアルの 24 ピン LFCSP (65°C/W) について示します。両パッケージは、JEDEC 規格 4 層ボード上で厚いプレーンに接続されている PCB パッドにエクスポーズド・パッドをハンダ付けしています。

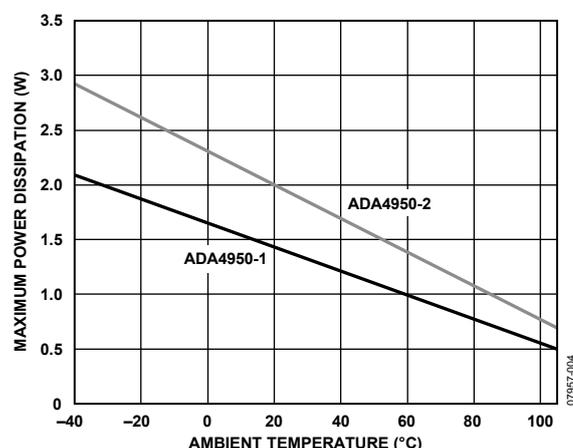


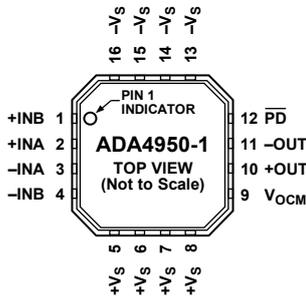
図 4.最大消費電力対周囲温度、4層ボード

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

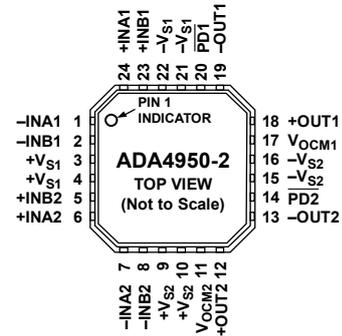
ピン配置およびピン機能説明



NOTES
1. SOLDER THE EXPOSED PADDLE ON THE BACK OF THE PACKAGE TO A GROUND PLANE OR TO A POWER PLANE.

07957-005

図 5.ADA4950-1 のピン配置



NOTES
1. SOLDER THE EXPOSED PADDLE ON THE BACK OF THE PACKAGE TO A GROUND PLANE OR TO A POWER PLANE.

07957-006

図 6.ADA4950-2 のピン配置

表 9.ADA4950-1 のピン機能説明

ピン番号	記号	説明
1	+INB	正入力 B、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は+INA に接続します。
2	+INA	正入力 A、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は+INB に接続します。
3	-INA	負入力 A、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は-INB に接続します。
4	-INB	負入力 B、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は-INB に接続します。
5~8	+Vs	正電源電圧。
9	V _{OCM}	同相モード電圧出力
10	+OUT	正側出力。
11	-OUT	負側出力。
12	PD	パワーダウン・ピン
13~16	-Vs	負電源電圧。
17 (EPAD)	エクスポートド・パッド (EPAD)	パッケージ底面のエクスポートド・パドルをグラウンド・プレーンまたは電源プレーンへハンダ付けしてください。

表 10.ADA4950-2 のピン機能説明

ピン番号	記号	説明
1	-INA1	負入力 A、アンプ 1、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は-INB1 に接続します。
2	-INB1	負入力 B、アンプ 1、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は-INA1 に接続します。
3、4	+Vs1	正電源電圧、アンプ 1。
5	+INB2	正入力 B、アンプ 2、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は+INA2 に接続します。
6	+INA2	正入力 A、アンプ 2、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は+INB2 に接続します。
7	-INA2	負入力 A、アンプ 2、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は-INB2 に接続します。
8	-INB2	負入力 B、アンプ 2、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は-INA2 に接続します。
9、10	+Vs2	正電源電圧、アンプ 2。
11	V _{OCM2}	出力同相モード電圧、アンプ 2。
12	+OUT2	正出力、アンプ 2。
13	-OUT2	負出力、アンプ 2。
14	PD2	パワーダウン・ピン、アンプ 2。
15、16	-Vs2	負電源電圧、アンプ 2。
17	V _{OCM1}	出力同相モード電圧、アンプ 1。
18	+OUT1	正出力、アンプ 1。
19	-OUT1	負出力、アンプ 1。
20	PD1	パワーダウン・ピン、アンプ 1。
21、22	-Vs1	負電源電圧、アンプ 1。
23	+INB1	正入力 B、アンプ 1、250 Ω 入力。G = 2 の場合は単独で使用、G = 3 の場合は+INA1 に接続します。
24	+INA1	正入力 A、アンプ 1、500 Ω 入力。G = 1 の場合は単独で使用、G = 3 の場合は+INB1 に接続します。
25 (EPAD)	エクスポートド・パッド (EPAD)	パッケージ底面のエクスポートド・パドルをグラウンド・プレーンまたは電源プレーンへハンダ付けしてください。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $V_{\text{OCM}} = 0\text{ V}$ 、 $G = 1$ 、 $R_T = 53.6\ \Omega$ (使用時)、 $R_{L, \text{dm}} = 1\text{ k}\Omega$ 。テスト・セットアップについては、図 49を参照してください。信号の定義については、図 52を参照してください。

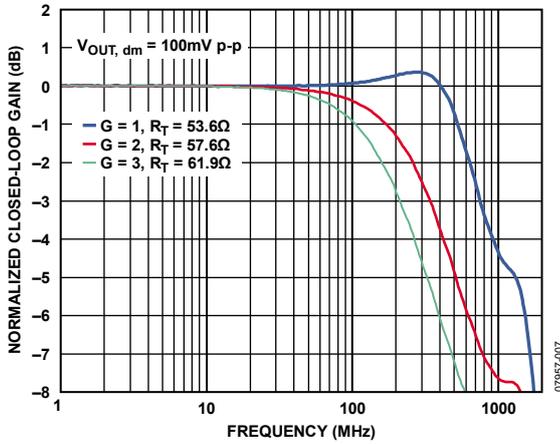


図 7.様々なゲインでの小信号周波数応答

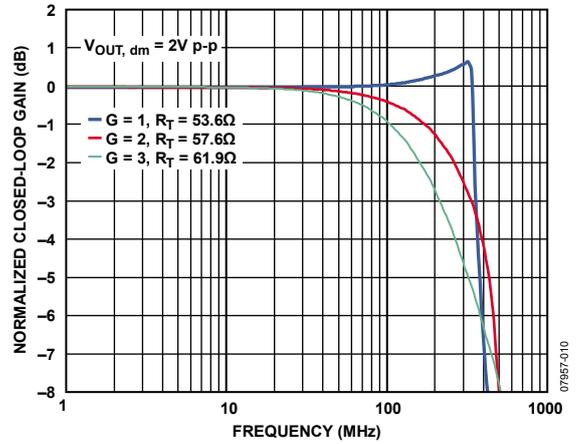


図 10.様々なゲインでの大信号周波数応答

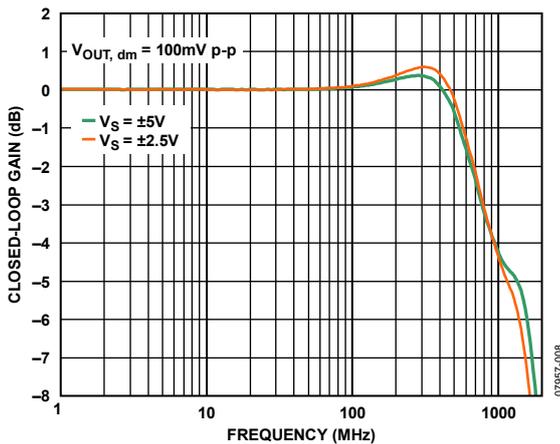


図 8.様々な電源での小信号周波数応答

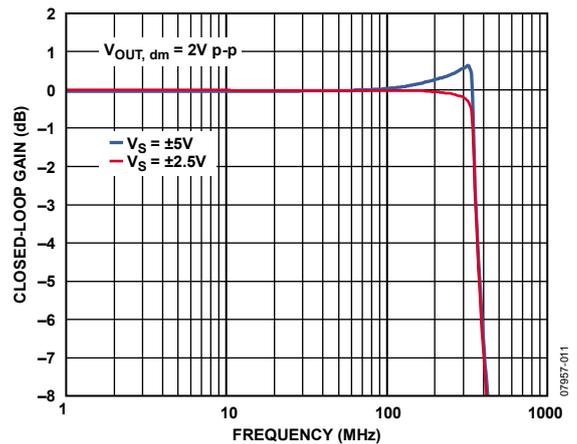


図 11.様々な電源での大信号周波数応答

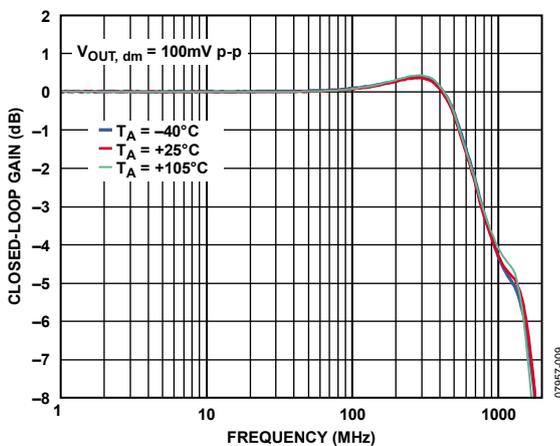


図 9.様々な温度での小信号周波数応答

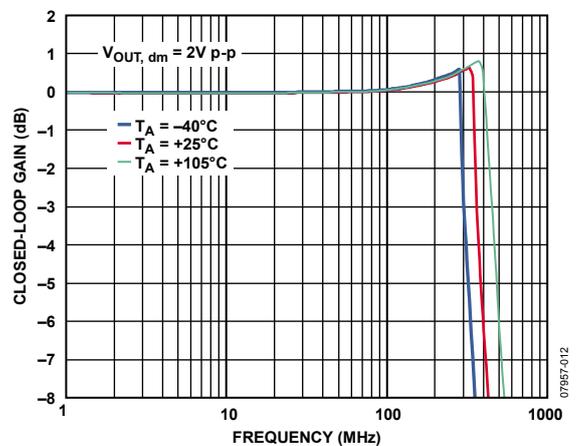


図 12.様々な温度での大信号周波数応答

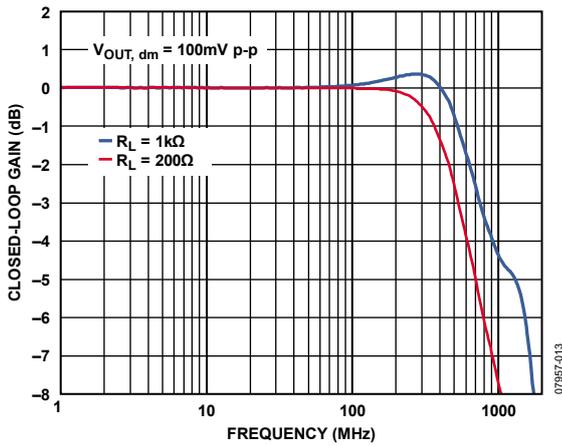


図 13.様々な負荷での小信号周波数応答

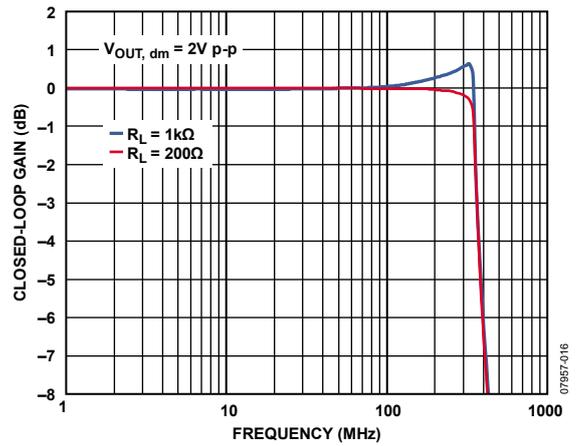


図 16.様々な負荷での大信号周波数応答

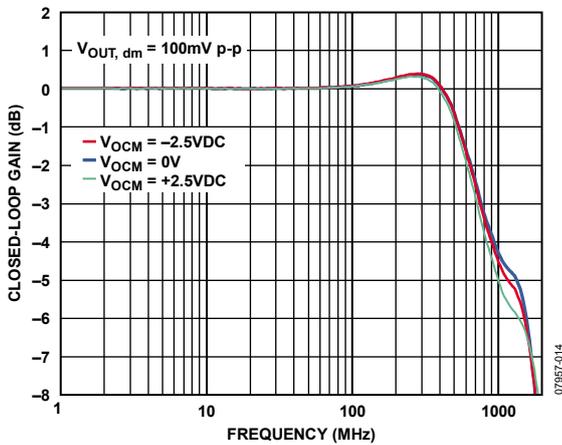


図 14.様々な V_{OCM} レベルでの小信号周波数応答

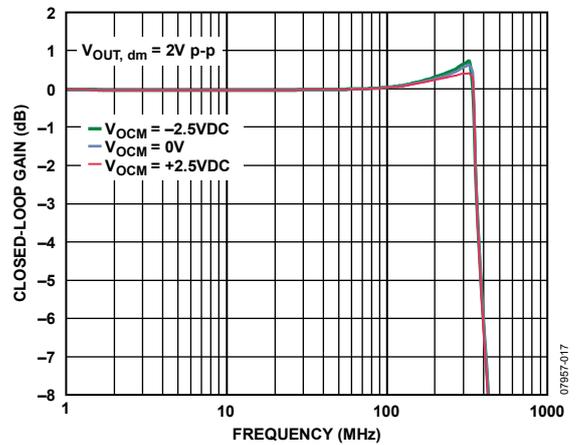


図 17.様々な V_{OCM} レベルでの大信号周波数応答

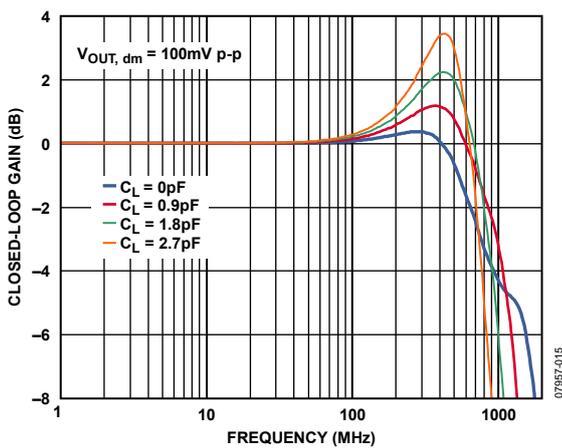


図 15.様々な容量負荷での小信号周波数応答

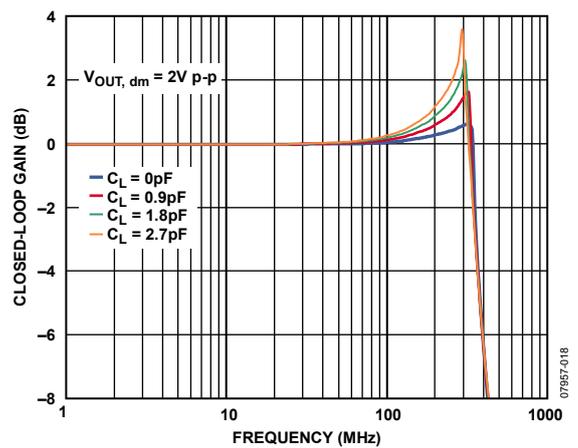


図 18.様々な容量負荷での大信号周波数応答

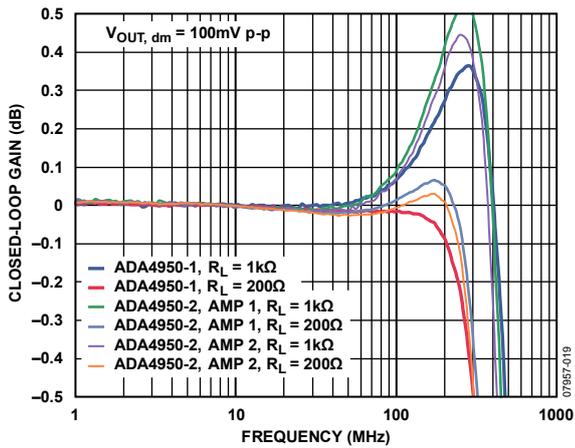


図 19.様々な負荷での 0.1 dB 平坦性小信号周波数応答

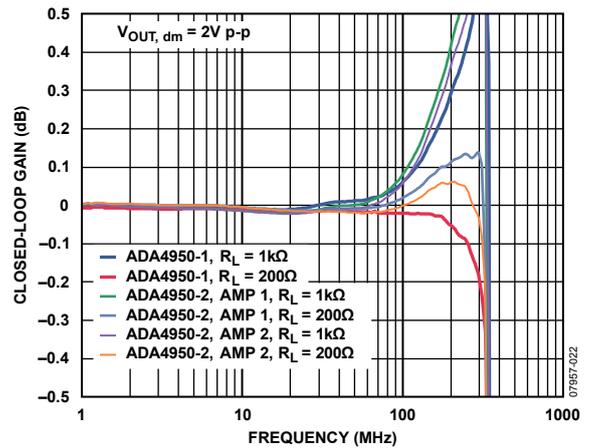


図 22.様々な負荷での 0.1 dB 平坦性大信号周波数応答

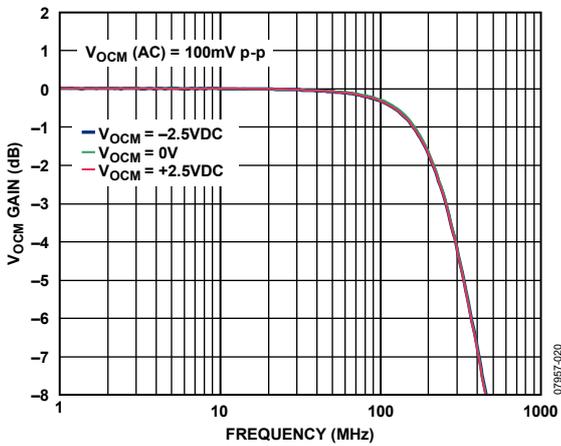


図 20.様々な DC レベルの V_{OCM} 小信号周波数応答

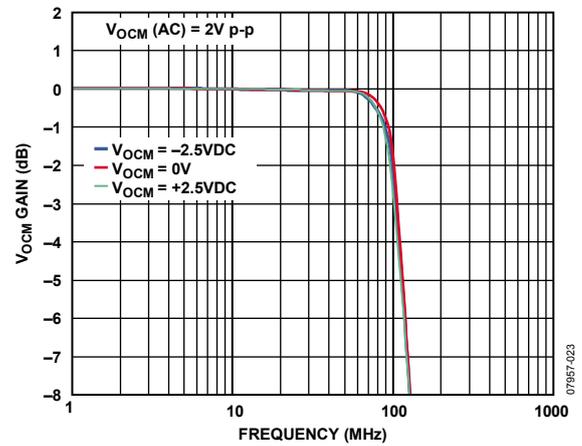


図 23.様々な DC レベルの V_{OCM} 大信号周波数応答

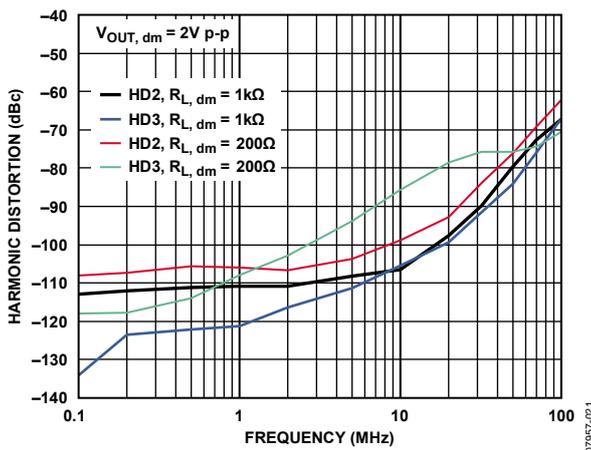


図 21.様々な負荷での高調波歪みの周波数特性

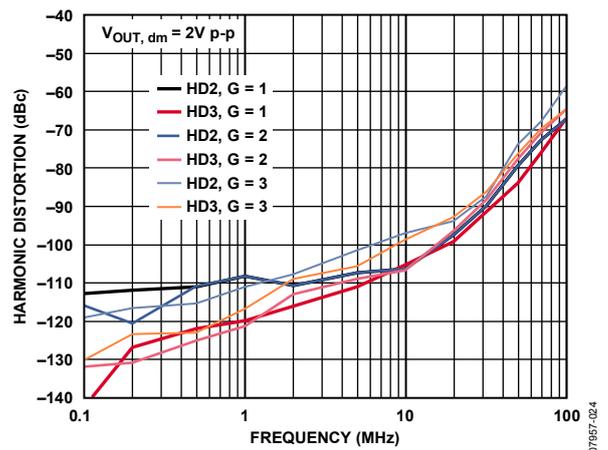


図 24.様々なゲインでの高調波歪みの周波数特性

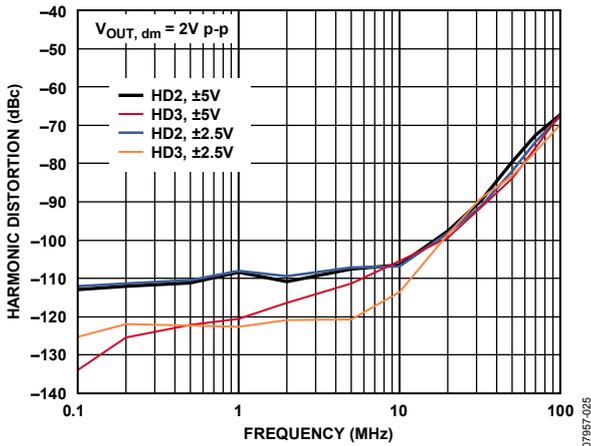


図 25. 様々な電源での高調波歪みの周波数特性

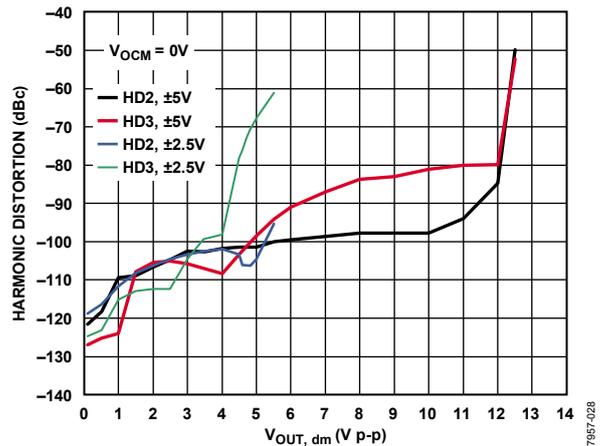


図 28. $V_{OUT, dm}$ 対高調波歪み、 $f = 10$ MHz

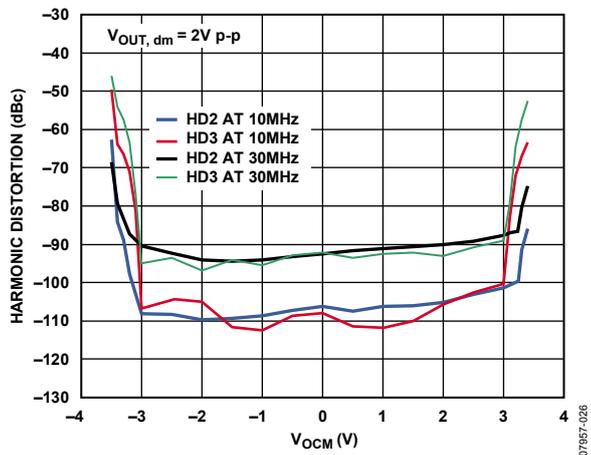


図 26. 様々な周波数での高調波歪み対 V_{OCM} 、 ± 5 V 電源

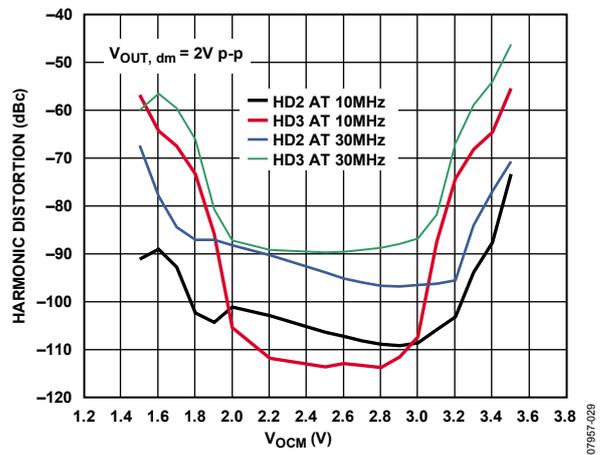


図 29. 様々な周波数での V_{OCM} 対高調波歪み、5 V 電源

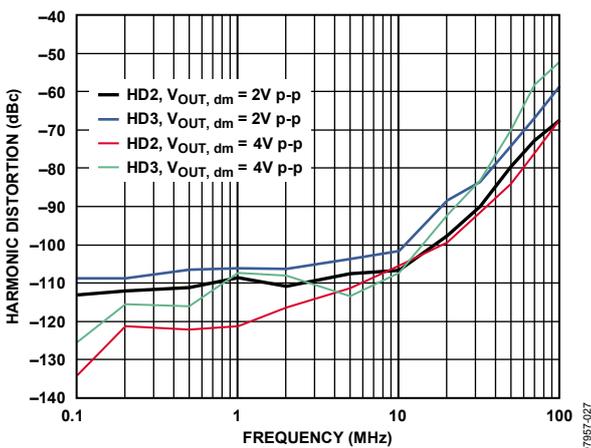


図 27. 様々な $V_{OUT, dm}$ での高調波歪周波数応答

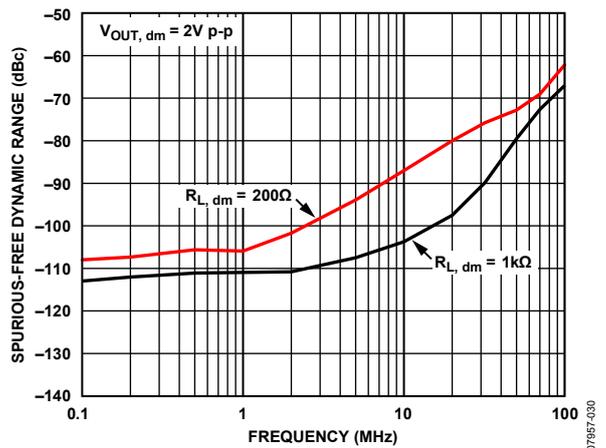


図 30. 様々な負荷でのスプリアス・フリー・ダイナミック・レンジの周波数特性

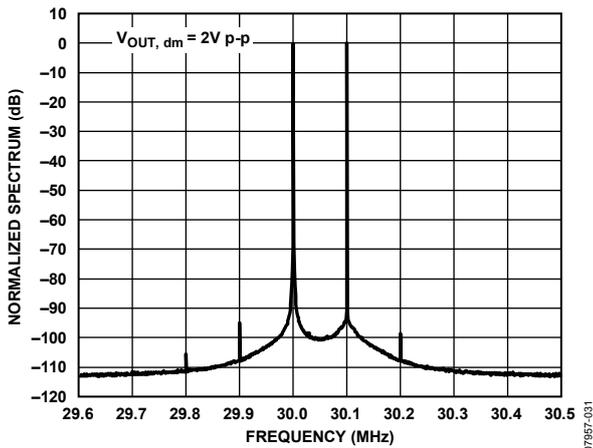


図 31.30 MHz 相互変調歪み

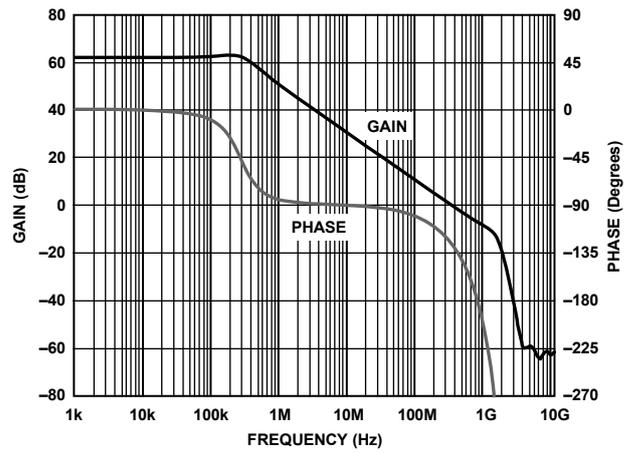


図 34. オープン・ループ・ゲインおよび位相の周波数特性

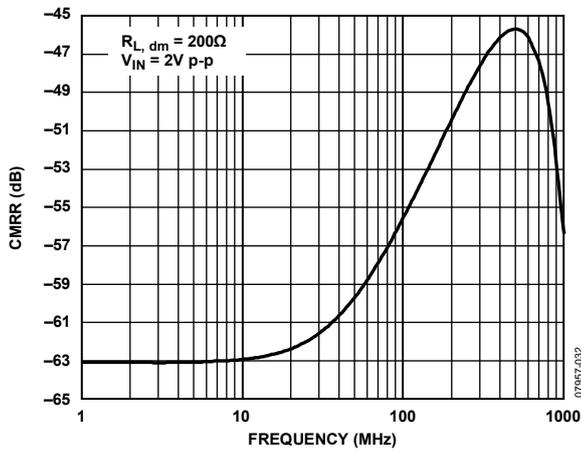


図 32. CMRR の周波数特性

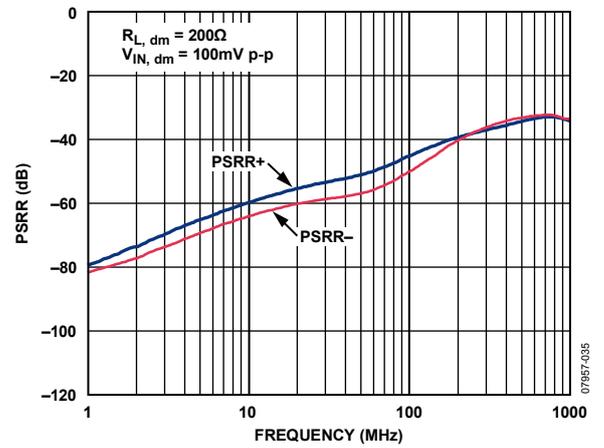


図 35. PSRR の周波数特性

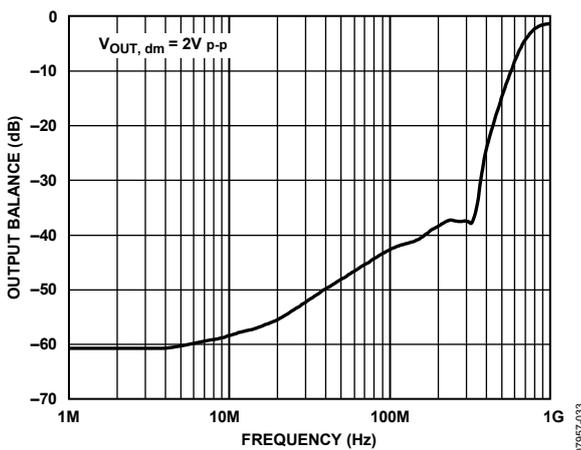


図 33. 出力バランスの周波数特性

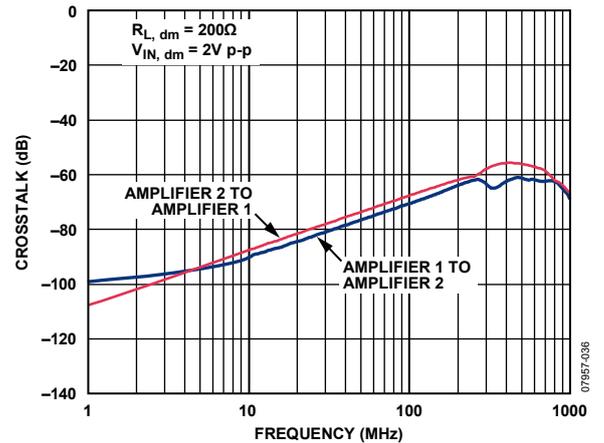


図 36. クロストークの周波数特性、ADA4950-2

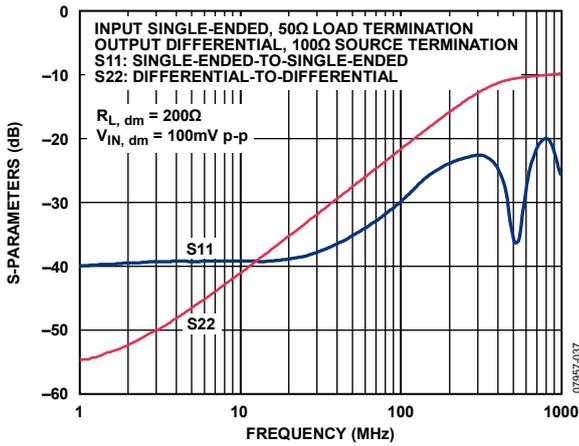


図 37. リターン損失(S11、S22)の周波数特性

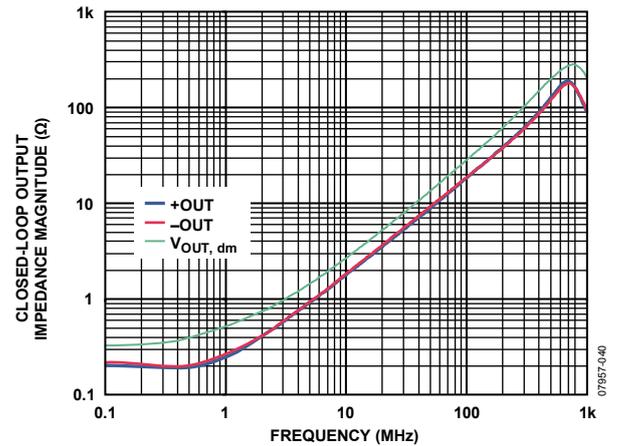


図 40. クローズド・ループ出力インピーダンスの周波数特性
G = 1

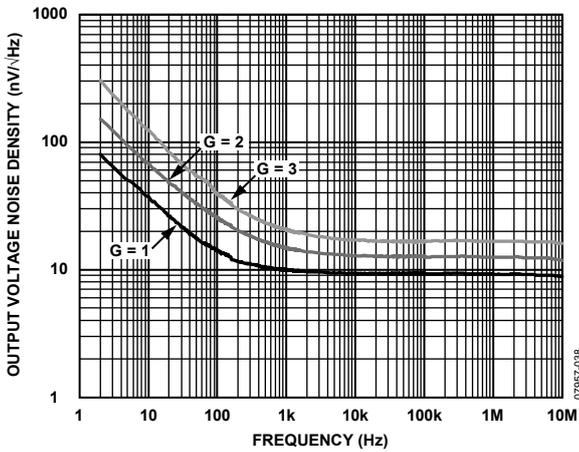


図 38. 様々なゲインでの電圧ノイズ・スペクトル密度出力換算

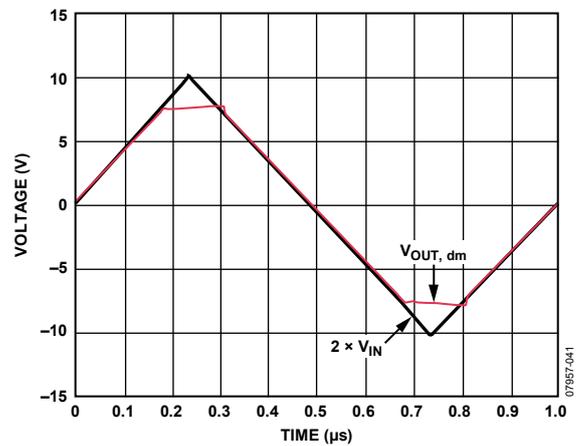


図 41. オーバードライブ回復時間
G = 2

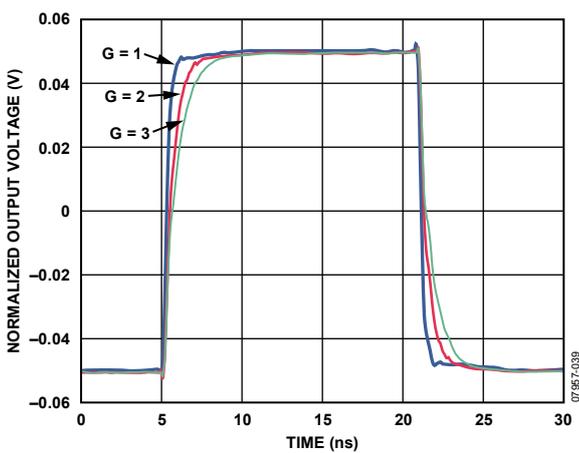


図 39. 様々なゲインでの小信号パルス応答

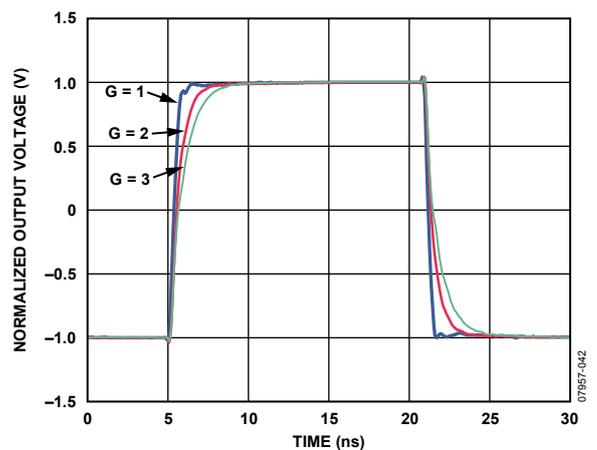


図 42. 様々なゲインでの大信号パルス応答

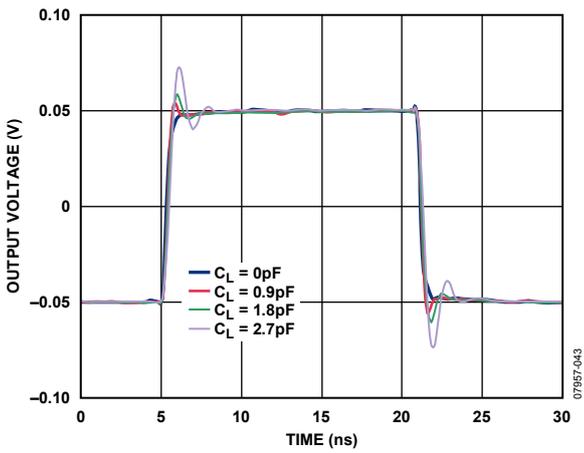


図 43.様々な容量負荷での小信号パルス応答

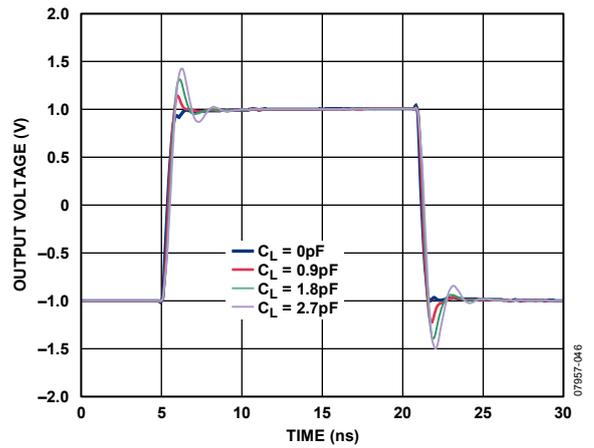


図 46.様々な容量負荷での大信号パルス応答

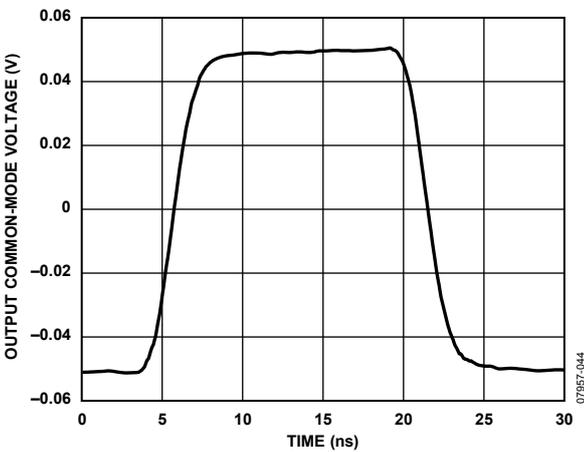


図 44. V_{OCM} 小信号パルス応答

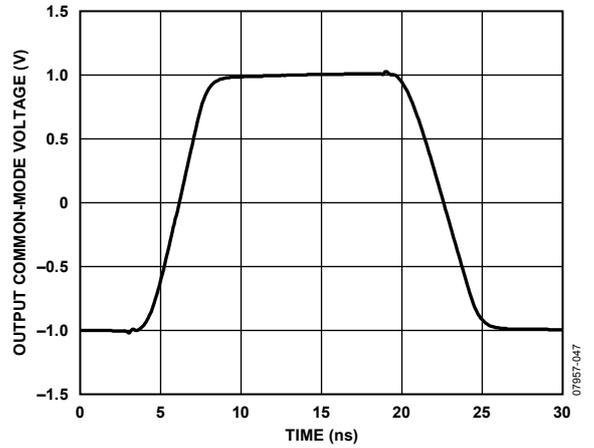


図 47. V_{OCM} 大信号パルス応答

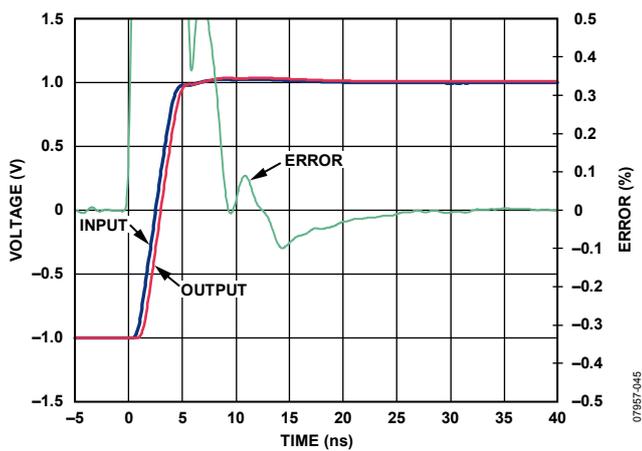


図 45.セトリング・タイム

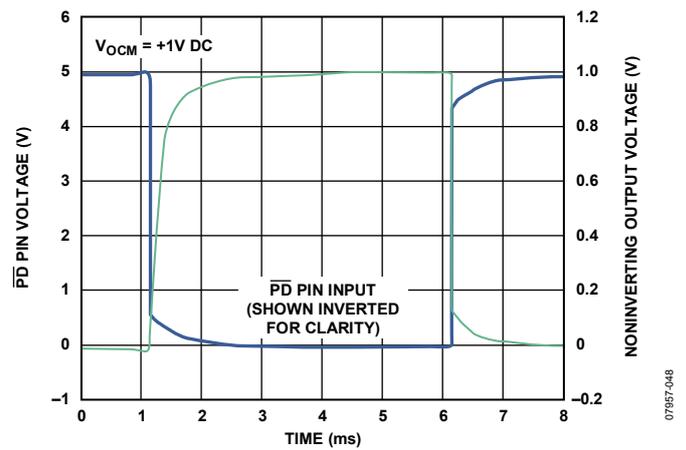


図 48. \overline{PD} 応答時間

テスト回路

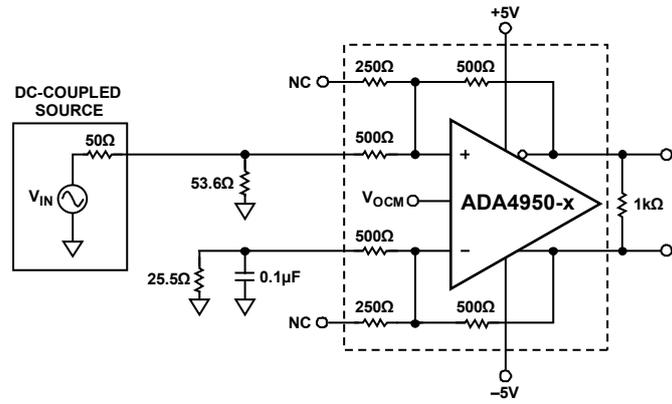


図 49.等価基本テスト回路、G = 1

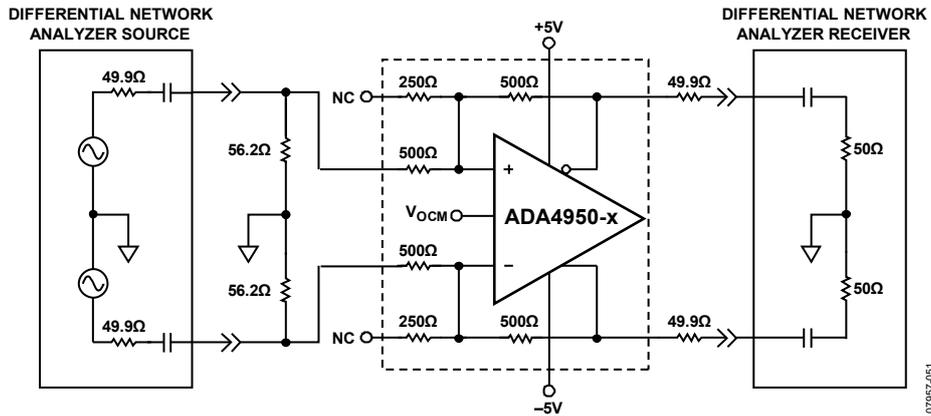


図 50.出力バランスのテスト回路、CMRR

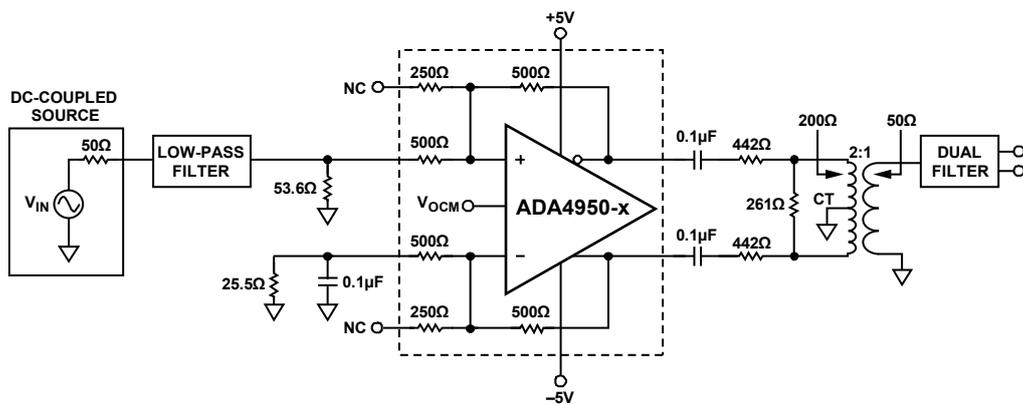


図 51.歪み測定のためのテスト回路

用語

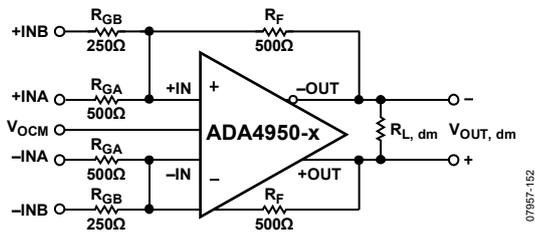


図 52. 信号と回路の定義

差動電圧

2つのノード電圧間の差。たとえば、出力差動電圧(または等価な出力差動ノード電圧)は、次のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は +OUT 出力ピンと -OUT 出力ピンの電圧(共通グラウンドを基準)。

入力差動電圧は、選択したゲインに応じて、異なる方法で定義されます。

G = 1 の場合

$$V_{IN, dm} = (+INA - (-INA))$$

ここで、+INA と -INA はコモン・グラウンドに対する +INA 入力ピンと -INA 入力ピンの電圧を基準とします (+INB 入力ピンと -INB 入力ピンはフローティング)。

G = 2 の場合

$$V_{IN, dm} = (+INB - (-INB))$$

ここで、+INB と -INB はコモン・グラウンドに対する +INB 入力ピンと -INB 入力ピンの電圧を基準とします (+INA 入力ピンと -INA 入力ピンはフローティング)。

G = 3 の場合、+INA 入力ピンと +INB 入力ピンを接続し、-INA 入力ピンと -INB 入力ピンを接続します。

$$V_{IN, dm} = (+INAB - (-INAB))$$

ここで、+INAB と -INAB は +INA 入力ピンと +INB 入力ピンの接続点の電圧およびコモン・グラウンド・リファレンスに対する -INA 入力ピンと -INB 入力ピンの接続点の電圧を基準とします。

同相モード電圧

同相モード電圧とは、2つのノード電圧の平均を意味します(ローカル・グラウンドを基準)。出力同相モード電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

出力バランス

出力バランスは、2つの出力差動信号が同振幅と逆位相にある度合を表します。振幅または位相の不一致により、アンプ出力に不要な同相モード信号が発生します。出力バランス誤差は、出力同相モード電圧の振幅を出力差動モード電圧の振幅で除算して求められます。

$$Output\ Balance\ Error = \left| \frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right|$$

動作原理

ADA4950-x は、電圧が反対方向に動く 2 つの出力と入力 V_{OCM} が追加されている点で、従来型オペアンプと異なっています。このデバイスは、オペアンプと同様に、高いオープン・ループ・ゲインとこれらの出力を所望の電圧にする負帰還に依存しています。ADA4950-x は標準の電圧帰還オペアンプと同様に動作し、シングルエンド/差動変換、同相モード・レベル・シフト、差動信号増幅の機能を持っています。ADA4950-x はオペアンプと同様に、内部入力ピン(内部ゲイン抵抗の右側)で高い入力インピーダンスと低い出力インピーダンスを持っています。ADA4950-x は電圧帰還を使っているため、一定の公称ゲイン帯域幅積を持っています。

2 つの帰還ループを採用して、差動モードと同相モードの出力電圧を制御しています。内蔵の帰還抵抗とゲイン抵抗で設定される差動帰還ループは、差動出力電圧のみを制御します。同相モード帰還ループは実際のアンプの内部にあり、同相モード出力電圧のみを制御します。このアーキテクチャにより、出力同相モード・レベルを規定範囲内の任意の値に容易に設定することができます。内部同相モード帰還ループにより、出力同相モード電圧が V_{OCM} 入力に加えられた電圧に等しくなるように維持されます。

外付け部品の厳密なマッチングなしでも、内部の同相モード帰還ループにより、広い周波数範囲でバランスした出力が発生されます。このために、真の同振幅と 180° の位相差の差動出力が得られます。

アプリケーション情報

アプリケーション回路の解析

ADA4950-xでは高いオープン・ループ・ゲインと負帰還を採用して、差動モード誤差電圧と同相モード誤差電圧を最小に維持する方法で差動モード出力電圧と同相モード出力電圧を発生しています。差動誤差電圧は、2つの差動入力(+INxと-INx)間の電圧として定義されます(図 52参照)。多くの場合、この電圧はゼロと見なすことができます。同様に、実際の出力同相モード電圧とV_{OCM}に加えられる電圧との間の差もゼロと見なすことができます。これらの原理から、アプリケーション回路を解析することができます。

クローズド・ループ・ゲインの選択

アプリケーション回路の解析のセクションに示す方法を使うと、図 52の差動ゲインは次のように求めることができます。

$$\left| \frac{V_{OUT, dm}}{V_{IN, dm}} \right| = \frac{R_F}{R_G}$$

ここで、いずれの側でも入力抵抗(R_G)と帰還抵抗(R_F)は等しいと仮定しています。

G = 1の場合、+INA入力と-INA入力を使い、+INB入力と-INB入力はフローティングのままにします。この場合の差動ゲインは次のように計算されます。

$$G = \frac{R_F}{R_G} = \frac{500\Omega}{500\Omega} = 1$$

G = 2の場合、+INB入力と-INB入力を使い、+INA入力と-INA入力はフローティングのままにします。この場合の差動ゲインは次のように計算されます。

$$G = \frac{R_F}{R_G} = \frac{500\Omega}{250\Omega} = 2$$

G = 3の場合、+INA入力と+INB入力を接続し、-INA入力と-INB入力を接続します。この場合の差動ゲインは次のように計算されます。

$$G = \frac{R_F}{R_G} = \frac{500\Omega}{500\Omega \parallel 250\Omega} = 3$$

出力ノイズ電圧の計算

ADA4950-xの差動出力ノイズは、図 53に示すノイズ・モデルを使って計算することができます。R_G値は選択したゲインに依存します。入力換算ノイズ電圧密度v_{nIN}は差動入力としてモデル化され、ノイズ電流i_{nIN-}とi_{nIN+}は各入力とグラウンドの間で流れます。v_{nIN}に起因する出力電圧は、v_{nIN}とノイズ・ゲインG_N(表 13の後ろのG_Nの式で定義)の積として求められます。ノイズ電流は同じ2乗平均値と相関関係がなく、各々はノイズ電流と対応する帰還抵抗の積に等しい出力電圧を発生します。V_{OCM}ピンでのノイズ電圧密度はv_{nCM}です。多くの場合と同様に帰還回路の帰還係数が同じである場合、v_{nCM}に起因する出力ノイズは同相モードになります。4本の各抵抗の寄与分は(4kTR_{xx})^{1/2}になります。帰還抵抗からのノイズは直接出力に現れ、ゲイン抵抗からのノイズはR_F/R_G倍されて出力に現れます。表 11に、入力ノイズ源、乗算係数、出力換算ノイズ密度の項をまとめます。

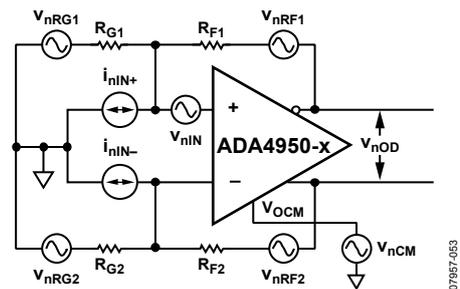


図 53. ノイズ・モデル

表 11. マッチングした帰還回路の出力ノイズ電圧密度の計算

Input Noise Contribution	Input Noise Term	Input Noise Voltage Density	Output Multiplication Factor	Differential Output Noise Voltage Density Term
Differential Input	v _{nIN}	v _{nIN}	G _N	v _{nO1} = G _N (v _{nIN})
Inverting Input	i _{nIN-}	i _{nIN-} × (R _{F2})	1	v _{nO2} = (i _{nIN-})(R _{F2})
Noninverting Input	i _{nIN+}	i _{nIN+} × (R _{F1})	1	v _{nO3} = (i _{nIN+})(R _{F1})
V _{OCM} Input	v _{nCM}	v _{nCM}	0	v _{nO4} = 0 V
Gain Resistor, R _{G1}	v _{nRG1}	(4kTR _{G1}) ^{1/2}	R _{F1} /R _{G1}	v _{nO5} = (R _{F1} /R _{G1})(4kTR _{G1}) ^{1/2}
Gain Resistor, R _{G2}	v _{nRG2}	(4kTR _{G2}) ^{1/2}	R _{F2} /R _{G2}	v _{nO6} = (R _{F2} /R _{G2})(4kTR _{G2}) ^{1/2}
Feedback Resistor, R _{F1}	v _{nRF1}	(4kTR _{F1}) ^{1/2}	1	v _{nO7} = (4kTR _{F1}) ^{1/2}
Feedback Resistor, R _{F2}	v _{nRF2}	(4kTR _{F2}) ^{1/2}	1	v _{nO8} = (4kTR _{F2}) ^{1/2}

表 12. 差動入力、DC 結合

Nominal Linear Gain	R _F (Ω)	R _G (Ω)	R _{IN, dm} (Ω)	Differential Output Noise Density (nV/√Hz)
1	500	500	1000	9.25
2	500	250	500	12.9
3	500	250 500	333	16.6

表 13. グラウンド基準のシングルエンド電圧入力、DC 結合、R_S = 50 Ω

Nominal Linear Gain	R _F (Ω)	R _{G1} (Ω)	R _T (Ω) (Std 1%)	R _{IN, se} (Ω)	R _{G2} (Ω) ¹	Differential Output Noise Density (nV/√Hz)
1	500	500	53.6	667	526	9.07
2	500	250	57.6	375	277	12.2
3	500	250 500	61.9	267	194	15.0

¹ R_{G2} = R_{G1} + (R_S||R_T)

出力ノイズ電圧密度は、従来型オペアンプと同様に、+IN_x と -IN_x での入力換算項に該当する出力係数を乗算して求められます。

$$G_N = \frac{2}{(\beta_1 + \beta_2)}$$

は回路のノイズ・ゲイン。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}} \text{ と } \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}}$$

は帰還係数。

帰還係数が一致する場合、R_{F1}/R_{G1} = R_{F2}/R_{G2}、β₁ = β₂ = β となるため、ノイズ・ゲインは次のようになります。

$$G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$$

V_{OCM} からの出力ノイズは、この場合ゼロになることに注意してください。合計差動出力ノイズ密度 v_{nOD} は、各出力ノイズ項の 2 乗平均になります。

$$v_{nOD} = \sqrt{\sum_{i=1}^8 v_{nOi}^2}$$

表 12 と表 13 に、平衡および不平衡入力構成に対する使用可能な 3 つのゲイン設定、対応する抵抗値、入力インピーダンス、出力ノイズ密度を示します。

アプリケーション回路入力インピーダンスの計算

回路の実効入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動するかに依存します。平衡差動入力信号の場合(図 54)、入力インピーダンス(R_{IN, dm})は次式で与えられます。

$$R_{IN, dm} = (R_G + R_G) = 2 \times R_G$$

R_G 値は選択したゲインに依存します。

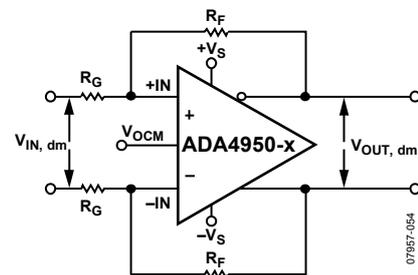


図 54. 平衡(差動)入力の ADA4950-x

不平衡(シングルエンド入力信号)の場合(図 55)、入力インピーダンスは次式で表されます。

$$R_{IN, se} = \left(\frac{R_G}{1 - \frac{R_G}{2 \times (R_G + R_F)}} \right)$$

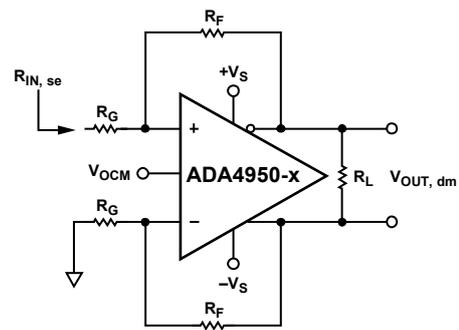


図 55. 不平衡(シングルエンド)入力の ADA4950-x

回路の入力インピーダンスは、インバータとして接続された従来型オペアンプの場合より実効的に高くなります。これは、差動出力電圧の成分が同相モード信号として入力に現れて、特に入力抵抗 R_G 両端の電圧を持ち上げるためです。反転入力の電圧が下側のループにある R_F と R_G から構成される分圧器で分割された非反転出力電圧に等しくなることから、アンプ入力ピンの同相モード電圧を容易に求めることができます。この電圧は負電圧帰還により両入力ピンに加えられ、入力信号と同相であるため、上側のループにある R_G の両端の実効電圧が減少し、R_G が部分的に大きくなります。

シングルエンド入力の終端

このセクションでは、ゲイン=1、 $R_F = 500\ \Omega$ 、 $R_G = 500\ \Omega$ の場合について、ADA4950-xへのシングルエンド入力を終端する方法を説明します。1 V p-pの終端出力電圧と $50\ \Omega$ のソース抵抗を持つ入力ソースの例を使って、各ステップを説明します。ソースの終端出力電圧が1 V p-pであるため、ソースの解放出力電圧は2 V p-pになることに注意してください。図 56のソースはこの解放電圧を示しています。

1. 入力インピーダンスは次式から計算されます。

$$R_{IN,se} = \left(\frac{R_G}{1 - \frac{R_G}{2 \times (R_G + R_F)}} \right) = \left(\frac{500}{1 - \frac{500}{2 \times (500 + 500)}} \right) = 667\ \Omega$$

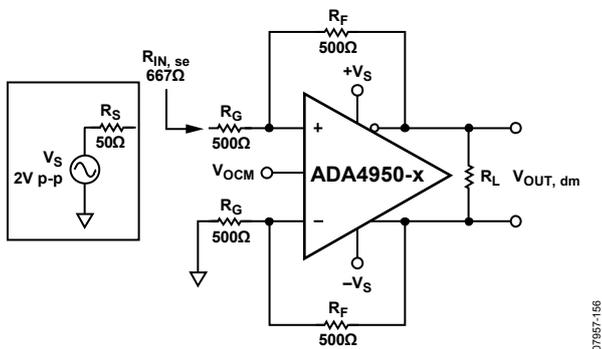


図 56. シングルエンド入力インピーダンス R_{IN} の計算

2. $50\ \Omega$ のソース抵抗に一致させるため、終端抵抗 R_T は、 $R_T || 667\ \Omega = 50\ \Omega$ から計算します。 R_T の最寄りの標準 1% 値は $53.6\ \Omega$ です。

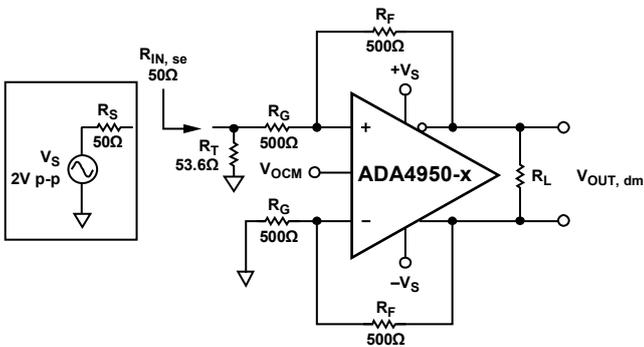


図 57. 終端抵抗 R_T の接続

3. 図 57 に、上側の帰還ループの実効 R_G は終端抵抗を接続したため下側のループの R_G を超えないことを示します。ゲイン抵抗の不一致を補償するため、下側のループで補正抵抗 (R_{TS}) を R_G に直列に接続します。 R_{TS} はソース抵抗 R_S のテブナン等価電源に、終端抵抗 R_T は $R_S || R_T$ に、それぞれ等しくなります。

$$R_{TS} = R_{TH} = R_S || R_T = 25.9\ \Omega$$

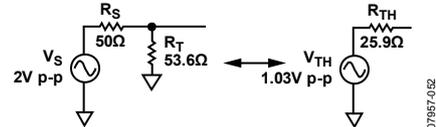


図 58. テブナン等価電源の計算

V_{TH} は 1 V p-p より大きく、 $R_T = 50\ \Omega$ で得られることに注意してください。下側の帰還ループについて、終端電源と R_{TS} を持つテブナン等価電源 (R_{TH} に最寄りの 1% 値を使用) で修正した回路を図 59 に示します。

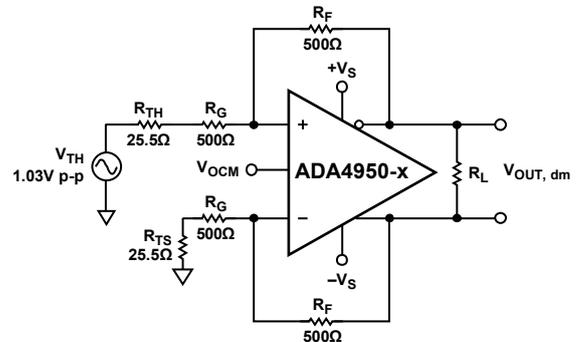


図 59. テブナン等価電源およびゲイン抵抗の一致

図 59 に、一致した帰還ループを持つ分かり易くした回路を示します。

終端入力で生ずる 2 つの効果を指摘しておくことは有用です。1 つ目は、両ループで R_G 値が大きくなるため、全体のクローズド・ループ・ゲインが小さくなることです。2 つ目は、 V_{TH} が $R_T = 50\ \Omega$ の場合の 1 V p-p より少し大きくなることです。これらの 2 つの効果は出力電圧に反対の影響を与えるため、帰還ループの抵抗値が大きくなると ($\sim 1\ \text{k}\Omega$)、影響が互いに相殺されます。ただし、 R_F と R_G が小さい (高ゲイン) 場合には、効果の小さくなったクローズド・ループ・ゲインが V_{TH} の増加により完全に相殺されません。これは、図 59 から知ることができます。

終端入力信号が 1 V p-p でクローズド・ループ・ゲイン=1 であるため、この例での所望の差動出力は 1 V p-p ですが、実際の差動出力電圧は $(1.03\ \text{V p-p})(500/525.5) = 0.98\ \text{V p-p}$ になります。

入力同相モード電圧範囲

ADA4950-xの入力同相モード電圧範囲は、 V_{BE} の約1個分下にシフトします。これは、入力範囲が中心にあるADA4939-xのような他のADCドライバと対照的です。下にシフトした入力同相モード範囲は、特にDC結合、シングルエンド/差動変換、単電源アプリケーションに適しています。

$\pm 5\text{ V}$ 動作の場合、アンプ加算ノードでの入力同相モード電圧範囲は $-4.8\text{ V}\sim+3.2\text{ V}$ と規定されます。5 V 電源の場合、アンプ加算ノードでの入力同相モード電圧範囲は $+0.2\text{ V}\sim+3.2\text{ V}$ と規定されます。非直線性を回避するため、 $+IN_x$ ピンと $-IN_x$ ピンでの電圧振幅はこれらの範囲に制限する必要があります。

入力と出力の容量AC結合

ADA4950-x はDC結合アプリケーションに適していますが、AC結合回路にも使うことができます。入力でのAC結合コンデンサは、電源と R_G の間に接続することができます。このAC結合はDC同相モード帰還電流を阻止するため、ADA4950-xのDC入力同相モード電圧がDC出力同相モード電圧と等しくなります。このAC結合コンデンサは、帰還係数を一致させるために両ループ内で接続する必要があります。出力AC結合コンデンサは、各出力と対応する負荷の間に直列に接続することができます。

入力信号振幅についての考慮事項

アンプ加算ノードに外付けゲイン抵抗と帰還抵抗を直接接続したフル差動アンプの入力ピンでは、これらのピンでの同相モード電圧振幅は一般に入力振幅と出力振幅より小さくなります。大部分のリニア・アプリケーションで、加算ノード電圧はアンプ入力の内蔵ESD保護ダイオードが順方向バイアスされるレベルに到達しません。

ADA4950-x入力の信号はゲイン抵抗の入力側に加えられるため、注意しないとこれらの信号はESD保護ダイオードを順方向バイアスさせるほど大きくなる場合があります。差動信号パスを構成する4つの各入力には、負電源に直列に4個のESDダイオードと正電源に対して1個のダイオードがあります。 V_{OCM} 入力には各電源に対して1個のESDダイオードがあります。図60にESD保護回路を示します。

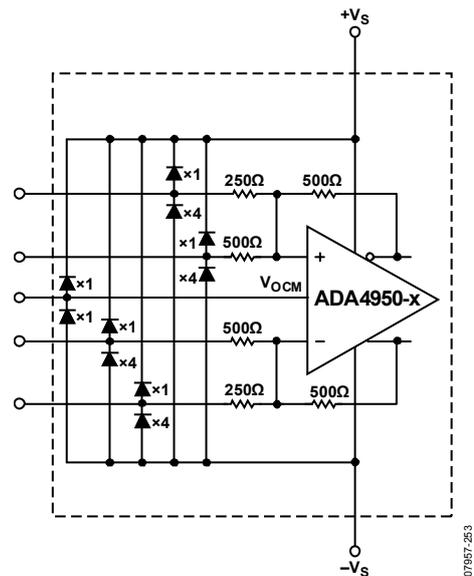


図 60. ESD 入力保護回路

出力同相モード電圧の設定

ADA4950-xの V_{OCM} ピンは内部で分圧器によりバイアスされています。この分圧器は2本の $50\text{ k}\Omega$ 抵抗から構成され、電源の中心 $[(+V_S) + (-V_S)]/2$ にほぼ等しい電圧になっています。この内部分圧器があるため、 V_{OCM} ピンは外付け電圧と対応するソース抵抗に応じて電流をソースまたはシンクすることができます。内部バイアスを使用すると、出力同相モード電圧が約 100 mV 以内の期待値で発生します。

出力同相モード・レベルの正確な制御が必要な場合には、外付け電源またはソース抵抗 $100\text{ }\Omega$ 以下の抵抗分圧器を使用することが推奨されます。等しい抵抗値で構成される外部分圧器を使って、内部分圧器より高い精度で V_{OCM} を電源電圧の中心値に設定する場合、外付け抵抗が内部抵抗と並列に接続されるため大きな抵抗値を使うことができます。仕様 のセクションに示す入力 V_{OCM} オフセットは、 V_{OCM} 入力を低インピーダンス電圧源から駆動した場合です。

V_{OCM} 入力をADCの同相モード・レベル(CML)出力に接続することもできますが、出力が十分な駆動能力を持つように注意する必要があります。 V_{OCM} ピンの入力インピーダンスは、電源公称中央値の電圧に対して約 $10\text{ k}\Omega$ です。複数のADA4950-xデバイスで1個のADCリファレンス出力を共用する場合は、並列入力を駆動するためにバッファが必要になります。

レイアウト、グラウンド接続、バイパス

他の高速デバイスの場合と同様に、ADA4950-x も PCB 環境に敏感です。優れた性能を実現するためには、高速 PCB デザインに細心の注意を払う必要があります。

最初の条件は、ADA4950-x を取り囲むできるだけ多くのボード領域をカバーする優れたグラウンド・プレーンですが、熱抵抗 θ_{JA} は、EIA/JESD51-7 に規定される高い熱伝導性を持つ 4 層回路ボードにハンダ付けしたデバイス (エクスポーズド・パッドを含む) に対して規定します。

電源ピンは、できるだけデバイスの近くで近くのグラウンド・プレーンへバイパスする必要があります。高周波セラミック・チップ・コンデンサを使用してください。2 個の並列バイパス・コンデンサ(1000 pF と 0.1 μ F)を各電源に対して使用することが推奨されます。1000 μ F のコンデンサをデバイスの近くに接続する必要があります。さらに離れたところに、低周波バイパスの 10 μ F タンタル・コンデンサを各電源とグラウンドとの間に接続します。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、対称なレイアウトを採用してバランス性能を強化する必要があります。差動信号を長い距離配線する場合は、PCB パターンを互いに近づけて、差動線をループ面積が最小になるように撚る必要があります。こうすることにより、放射エネルギーを減らして、回路を干渉に対して強くします。

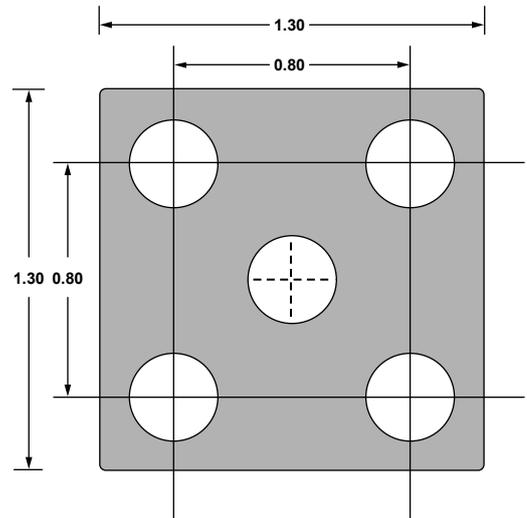


図 61.PCB サーマル・アタッチ・パッドの推奨寸法(mm)

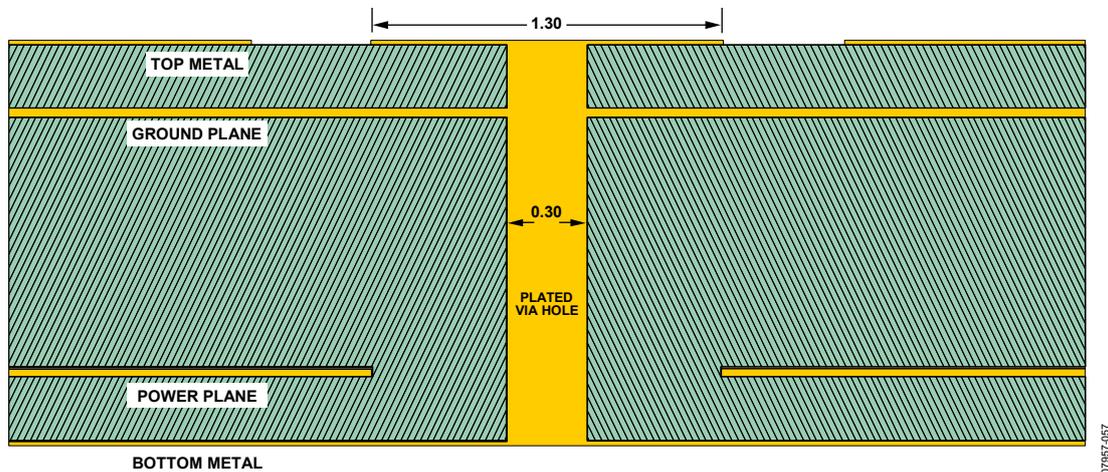


図 62.埋め込みグラウンド・プレーンへ接続したサーマル・ビア接続を示す 4 層 PCB の断面(寸法: mm)

高性能ADCの駆動

ADA4950-xは、広帯域DC結合アプリケーションに最適です。図 63の回路に、ADA4950-1 の入力と出力にDC結合を使用し、AD9245ADCを駆動するADA4950-1 のフロントエンド接続を示します(AD9245は差動で駆動したときに最適性能を実現します)。ADA4950-1 は、ADCを駆動し、シングルエンド/差動変換を行い、駆動信号のバッファリングを行うトランスを不要にします。

ADA4950-1 は、3.3 V単電源で、シングルエンド入力から差動出力までゲイン= 2 に設定されています。57.6 Ωの終端抵抗を375 Ωのシングルエンド入力インピーダンスと並列に接続して、ソースの50 Ω終端を行って行っています。さらに反転入力の26.7 Ω テブナン抵抗の追加により、50 Ωのソース抵抗と非反転入力を駆動する終端抵抗の並列インピーダンスとバランスをとります。下側ループに加えられる、必要な0.27 VDCのテブナン・バイアス電圧は、AD9245 のVREF 出力をスケールし、AD8031でバッファすることにより得られます。

この例では、50 Ω 信号ジェネレータは、解放時1 V p-p ユニポーラ出力電圧になり、50 Ω 終端時には0.5V p-p 出力電圧になります。V_{OCM} ピンはノイズ削減のためバイパスされて、外部で1%抵抗を使い、厳しい3.3 V 電源で出力ダイナミックレンジを最大にするように設定されています。

入力が DC 結合されているため、帰還ループには DC 同相モード電流が流れ、0.76 V の公称 DC レベルがアンプ入力ピンに加えられます。出力信号の一部も入力端子に同相モード信号として加わります。非反転出力での信号レベルは AC 出力振幅に等しく、下側ループの帰還係数により分割されます。この例では、リップルは $0.5 \text{ V p-p} \times [276.7 / (276.7 + 500)] = 0.18 \text{ V p-p}$ になります。この AC 信号は 0.76 V の DC レベルに重畳されて、入力端子で 0.67 V ~ 0.85 V の電圧振幅になります。この値は、0.2 V ~ 1.5 V の仕様規定値を満たしています。

出力同相モード電圧は 1.65 V、各 ADA4950-1 出力振幅は 1.4 V ~ 1.9 V、逆相、ゲイン= 2、ADC 入力は 1 V p-p 差動信号です。ADA4950-1 出力と ADC との間の差動 RC セクションは、1 極ローパス・フィルタを構成し、さらに SHA コンデンサが放電する際に ADC 入力から出力される電流スパイクに対するバッファとしても機能します。

SENSEピンをVREFに接続して、AD9245は1 V p-pのフルスケール入りに設定されています(図 63参照)。

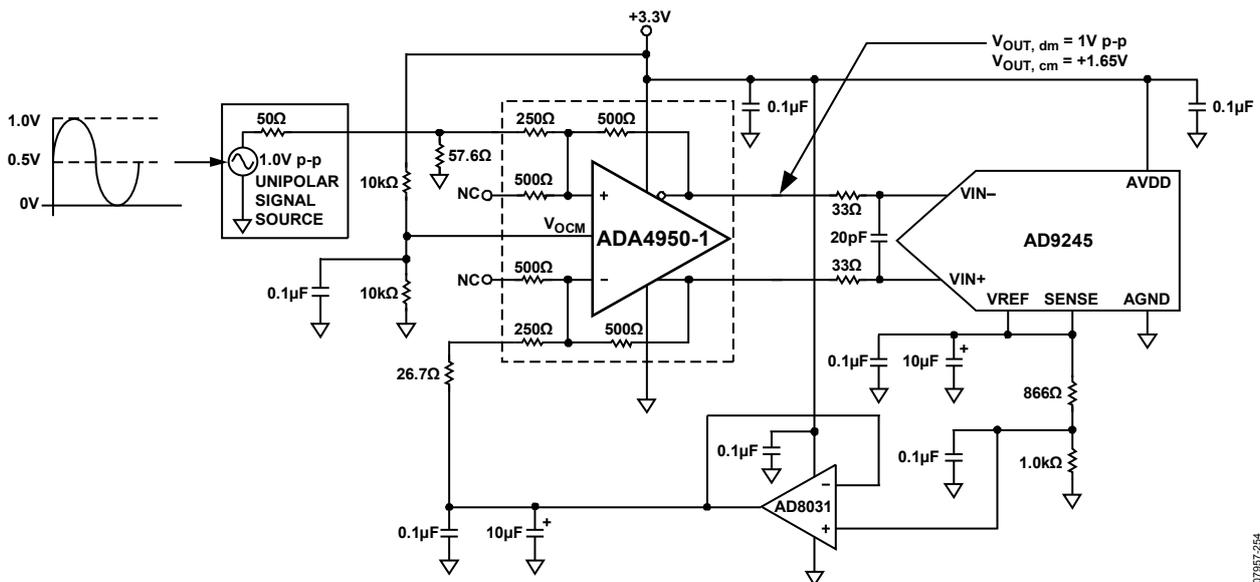
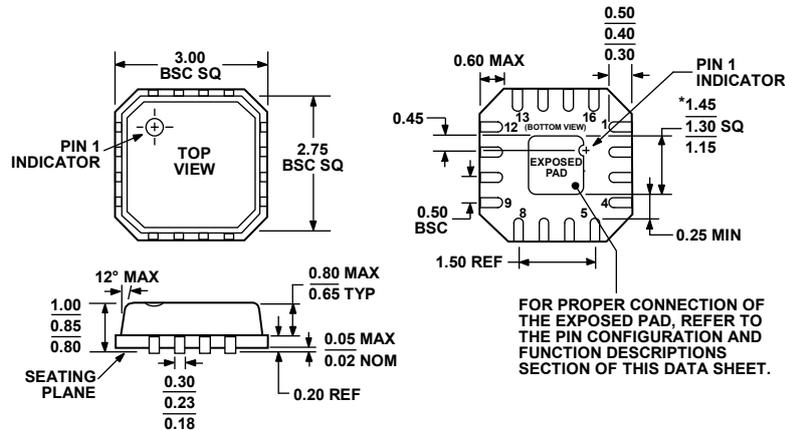


図 63. 入力と出力でユニポーラ DC 結合を使用して AD9245 ADC を駆動する ADA4950-1
ゲイン = 2

07957-254

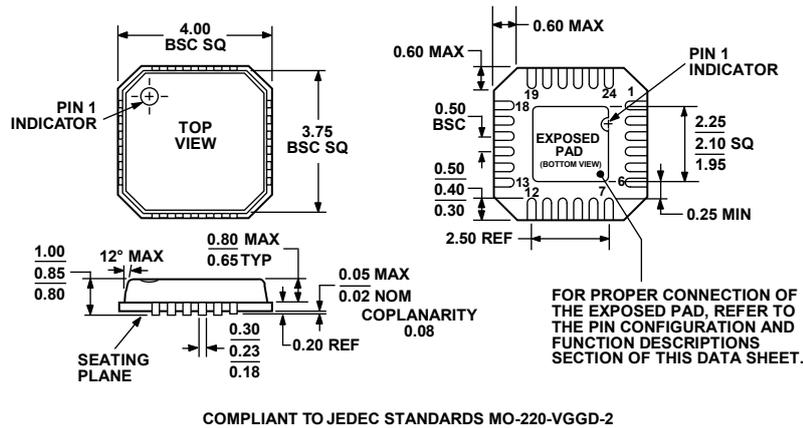
外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VEED-2 EXCEPT FOR EXPOSED PAD DIMENSION.

072208-A

図 64. 16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
3 mm × 3 mm ボディ、極薄クワッド(CP-16-2)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-2

072208-A

図 65. 24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド(CP-24-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4950-1YCPZ-R2 ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	250	H1L
ADA4950-1YCPZ-RL ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	5,000	H1L
ADA4950-1YCPZ-R7 ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	1,500	H1L
ADA4950-2YCPZ-R2 ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	250	
ADA4950-2YCPZ-RL ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	5,000	
ADA4950-2YCPZ-R7 ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	1,500	

¹ Z = RoHS 準拠製品