



1 nV/ $\sqrt{\text{Hz}}$ 低消費電力 レールtoレール出力アンプ

データシート

ADA4896-2/ADA4897-1/ADA4897-2

特長

低い広帯域ノイズ

1 nV/ $\sqrt{\text{Hz}}$

2.8 pA/ $\sqrt{\text{Hz}}$

低い 1/f ノイズ: 10 Hz で 2.4 nV/ $\sqrt{\text{Hz}}$

低歪み: 100 kHz、 $V_{\text{OUT}} = 2 \text{ V p-p}$ で -115 dBc

低消費電力: アンプあたり 3 mA

低入力オフセット電圧: 最大 0.5 mV

高速動作

-3 dB 帯域幅: 230 MHz ($G = +1$)

スルーレート: 120 V/ μs

0.1%へのセトリング・タイム: 45 ns

レール to レール出力

広い電源範囲: 3 V~10 V

ディスエーブル機能 (ADA4897-1/ADA4897-2)

アプリケーション

低ノイズ・プリアンプ

超音波アンプ

PLL ループ・フィルタ

高性能 ADC ドライバ

DAC バッファ

概要

ADA4896-2/ADA4897-1/ADA4897-2はユニティ・ゲイン安定動作、低ノイズ、レールtoレール出力の高速電圧帰還型アンプで、静止電流はわずか 3mAです。ADA4896-2/ADA4897-1/ADA4897-2は、10 Hzで 2.4 nV/ $\sqrt{\text{Hz}}$ の 1/fノイズおよび 2 MHzで -80 dBcのスプリアスフリー・ダイナミックレンジを持つため、超音波、低ノイズ・プリアンプ、高性能ADCドライバなどの種々のアプリケーションに最適なソリューションになっています。アナログ・デバイセズ社独自の次世代SiGeバイポーラ・プロセスと革新的なアーキテクチャにより、このような高性能のアンプが可能になりました。

ADA4896-2/ADA4897-1/ADA4897-2は、230 MHzの帯域幅、120 V/ μs のスルーレート、そして 0.1%に 45nsで到達するセトリング時間を備えています。ADA4896-2/ADA4897-1/ADA4897-2は、3 V~10 Vの広い電源電圧範囲を持つため、広いダイナミックレンジ、高精度、低消費電力、高速を必要とするシステムに最適な選択肢です。

ADA4896-2は、8ピンLFCSPパッケージまたは8ピンMSOPパッケージを採用しています。ADA4897-1は8ピンSOICパッケージまたは6ピンSOT-23パッケージを、ADA4897-2は10ピンMSOPパッケージを、それぞれ採用しています。ADA4896-2/ADA4897-1/ADA4897-2は、-40°C~+125°Cの拡張工業温度範囲で動作します。

機能ブロック図

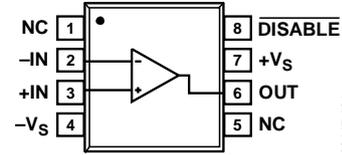


図 1.8 ピン SOIC (ADA4897-1)

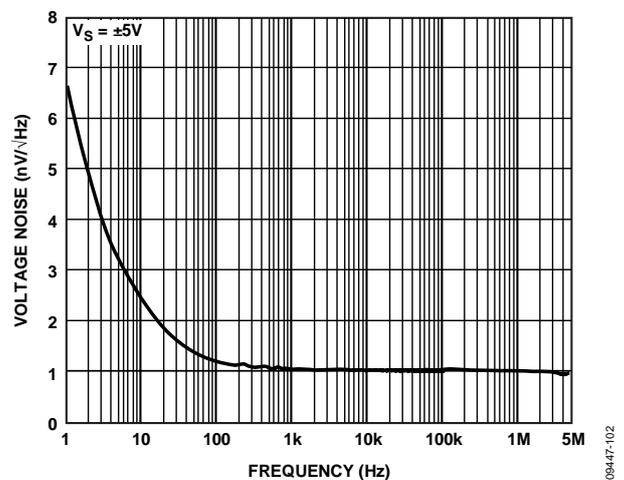


図 2. 電圧ノイズの周波数特性

表 1. その他の低ノイズ・アンプ

Part No.	V_N (nV/ $\sqrt{\text{Hz}}$)		BW (MHz)	Supply Voltage (V)
	At 1 kHz	At 100 kHz		
AD797	0.9	0.9	8	10 to 30
AD8021	5	2.1	490	5 to 24
AD8099	3	0.95	510	5 to 12
AD8045	6	3	1000	3.3 to 12
ADA4899-1	1.4	1	600	5 to 12
ADA4898-1/ ADA4898-2	0.9	0.9	65	10 to 32

表 2. 相補 ADC

Part No.	Bits	Speed (MSPS)	Power (mW)
AD7944	14	2.5	15.5
AD7985	16	2.5	15.5
AD7986	18	2	15

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2011 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1
アプリケーション	1
概要	1
機能ブロック図	1
改訂履歴	2
仕様	3
±5 V 電源	3
+5 V 電源	4
+3 V 電源	6
絶対最大定格	8
熱抵抗	8
最大消費電力	8
ESD の注意	8
ピン配置およびピン機能説明	9
代表的な性能特性	11

動作原理	17
アンプ説明	17
入力保護	17
ディスエーブル動作	17
DC 誤差	18
バイアス電流の相殺	18
ノイズに対する注意事項	19
容量駆動	19
アプリケーション情報	20
代表的な性能値	20
低ノイズの可変ゲイン・アンプ	21
医用超音波アプリケーション	22
レイアウト時の考慮事項	24
外形寸法	25
オーダー・ガイド	27

改訂履歴

10/11—Rev. 0 to Rev. A

Added ADA4897-2 and 10-Lead MSOP	Universal
Change to Table 1	1
Changes to Table 3	3
Changes to Table 4	4
Changes to Table 5	6
Changes to Table 7 and Figure 3	8
Changes to Figure 4, Table 8, and Table 9	9
Added Figure 8 and Table 10; Renumbered Sequentially	10
Changed Summary Statement for Typical Performance Characteristics Section	11
Changes to Figure 18	12
Change to Figure 20	12
Change to Figure 26; Moved Figure 26	13
Changes to Figure 37	15

Changes to Amplifier Description Section, Disable Operation Section, Figure 44, and Figure 45	17
Added Bias Current Cancellation Section, Figure 47, Table 11, and Table 12	18
Changes to Table 13	20
Changes to Low Noise, Gain Selectable Amplifier Section and Figure 52	21
Deleted Figure 51	22
Changes to Power Supply Bypassing Section	24
Moved Figure 57	25
Moved Figure 58	26
Added Figure 60	27
Changes to Ordering Guide	27

7/11—Revision 0: Initial Version

仕様

±5 V 電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_L = 1\text{ k}\Omega$ (グラウンドへ接続)。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1$, $V_{OUT} = 0.02\text{ V p-p}$		230		MHz
	$G = +1$, $V_{OUT} = 2\text{ V p-p}$		30		MHz
	$G = +2$, $V_{OUT} = 0.02\text{ V p-p}$		90		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 2\text{ V p-p}$, $R_L = 100\ \Omega$		7		MHz
Slew Rate	$G = +2$, $V_{OUT} = 6\text{ V step}$		120		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\text{ V step}$		45		ns
Settling Time to 0.01%	$G = +2$, $V_{OUT} = 2\text{ V step}$		90		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$V_{OUT} = 2\text{ V p-p}$				
	$f_C = 100\text{ kHz}$		-115		dBc
	$f_C = 1\text{ MHz}$		-93		dBc
	$f_C = 2\text{ MHz}$		-80		dBc
	$f_C = 5\text{ MHz}$		-61		dBc
Input Voltage Noise	$f = 10\text{ Hz}$		2.4		nV/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		1		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ Hz}$		11		pA/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		2.8		pA/ $\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz Noise	$G = +101$, $R_F = 1\text{ k}\Omega$, $R_G = 10\ \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		-500	-28	+500	μV
Input Offset Voltage Drift			0.2		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-17	-11	-4	μA
Input Bias Current Drift			3		nA/ $^\circ\text{C}$
Input Bias Offset Current		-0.6	-0.02	+0.6	μA
Open-Loop Gain	$V_{OUT} = -4\text{ V to }+4\text{ V}$	100	110		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common-Mode			10		M Ω
Differential			10		k Ω
Input Capacitance					
Common-Mode			3		pF
Differential			11		pF
Input Common-Mode Voltage Range			-4.9 to +4.1		V
Common-Mode Rejection Ratio (CMRR)	$V_{CM} = -2\text{ V to }+2\text{ V}$	-92	-120		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = \pm 5\text{ V}$, $G = +2$		81		ns
Output Voltage Swing					
Positive	$R_L = 1\text{ k}\Omega$	4.85	4.96		V
	$R_L = 100\ \Omega$	4.5	4.73		V
Negative	$R_L = 1\text{ k}\Omega$	-4.85	-4.97		V
	$R_L = 100\ \Omega$	-4.5	-4.84		V
Output Current	SFDR = -45 dBc		80		mA
Short-Circuit Current	Sinking/sourcing		135		mA
Capacitive Load Drive	30% overshoot, $G = +2$		39		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier		2.8	3.0	3.2	mA
	DISABLE = -5 V		0.13	0.25	mA
Power Supply Rejection Ratio (PSRR)					

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Positive	$+V_S = 4\text{ V to }6\text{ V}, -V_S = -5\text{ V}$	-96	-125		dB
Negative	$+V_S = 5\text{ V}, -V_S = -4\text{ V to }-6\text{ V}$	-96	-121		dB
DISABLE PIN (ADA4897-1/ADA4897-2)					
DISABLE Voltage	Enabled		$>+V_S - 0.5$		V
	Disabled		$<+V_S - 2$		V
Input Current					
Enabled	$\overline{\text{DISABLE}} = +5\text{ V}$		-1.2		μA
Disabled	$\overline{\text{DISABLE}} = -5\text{ V}$		-40		μA
Switching Speed					
Enabled			0.25		μs
Disabled			12		μs

+5 V電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_L = 1\text{ k}\Omega$ (電源中心に接続)。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1, V_{\text{OUT}} = 0.02\text{ V p-p}$		230		MHz
	$G = +1, V_{\text{OUT}} = 2\text{ V p-p}$		30		MHz
	$G = +2, V_{\text{OUT}} = 0.02\text{ V p-p}$		90		MHz
Bandwidth for 0.1 dB Flatness	$G = +2, V_{\text{OUT}} = 2\text{ V p-p}, R_L = 100\ \Omega$		7		MHz
Slew Rate	$G = +2, V_{\text{OUT}} = 3\text{ V step}$		100		$\text{V}/\mu\text{s}$
Settling Time to 0.1%	$G = +2, V_{\text{OUT}} = 2\text{ V step}$		45		ns
Settling Time to 0.01%	$G = +2, V_{\text{OUT}} = 2\text{ V step}$		95		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$V_{\text{OUT}} = 2\text{ V p-p}$				
	$f_C = 100\text{ kHz}$		-115		dBc
	$f_C = 1\text{ MHz}$		-93		dBc
	$f_C = 2\text{ MHz}$		-80		dBc
	$f_C = 5\text{ MHz}$		-61		dBc
Input Voltage Noise	$f = 10\text{ Hz}$		2.4		$\text{nV}/\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		1		$\text{nV}/\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ Hz}$		11		$\text{pA}/\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		2.8		$\text{pA}/\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz Noise	$G = +101, R_F = 1\text{ k}\Omega, R_G = 10\ \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		-500	-30	+500	μV
Input Offset Voltage Drift			0.2		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-17	-11	-4	μA
Input Bias Current Drift			3		$\text{nA}/^\circ\text{C}$
Input Bias Offset Current		-0.6	-0.02	+0.6	μA
Open-Loop Gain	$V_{\text{OUT}} = 0.5\text{ V to }4.5\text{ V}$	97	110		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common-Mode			10		$\text{M}\Omega$
Differential			10		$\text{k}\Omega$
Input Capacitance					
Common-Mode			3		pF
Differential			11		pF
Input Common-Mode Voltage Range			0.1 to 4.1		V
Common-Mode Rejection Ratio (CMRR)	$V_{\text{CM}} = 1\text{ V to }4\text{ V}$	-91	-118		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = 0\text{ V to }5\text{ V}, G = +2$		96		ns
Output Voltage Swing					
Positive	$R_L = 1\text{ k}\Omega$	4.85	4.98		V
	$R_L = 100\ \Omega$	4.8	4.88		V
Negative	$R_L = 1\text{ k}\Omega$	0.15	0.014		V
	$R_L = 100\ \Omega$	0.2	0.08		V
Output Current	SFDR = -45 dBc		70		mA
Short-Circuit Current	Sinking/sourcing		125		mA
Capacitive Load Drive	30% overshoot, $G = +2$		39		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier		2.6	2.8	2.9	mA
	$\overline{\text{DISABLE}} = 0\text{ V}$		0.05	0.18	mA
Power Supply Rejection Ratio (PSRR)					
Positive	$+V_S = 4.5\text{ V to }5.5\text{ V}, -V_S = 0\text{ V}$	-96	-123		dB
Negative	$+V_S = 5\text{ V}, -V_S = -0.5\text{ V to }+0.5\text{ V}$	-96	-121		dB
$\overline{\text{DISABLE}}$ PIN (ADA4897-1/ADA4897-2)					
$\overline{\text{DISABLE}}$ Voltage	Enabled		$>+V_S - 0.5$		V
	Disabled		$<+V_S - 2$		V
Input Current					
Enabled	$\overline{\text{DISABLE}} = +5\text{ V}$		-1.2		μA
Disabled	$\overline{\text{DISABLE}} = 0\text{ V}$		-20		μA
Switching Speed					
Enabled			0.25		μs
Disabled			12		μs

+3 V電源特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_L = 1\text{ k}\Omega$ (電源中心に接続)。

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1$, $V_{OUT} = 0.02\text{ V p-p}$		230		MHz
	$G = -1$, $V_{OUT} = 1\text{ V p-p}$		45		MHz
	$G = +2$, $V_{OUT} = 0.02\text{ V p-p}$		90		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 2\text{ V p-p}$, $R_L = 100\ \Omega$		7		MHz
Slew Rate	$G = +2$, $V_{OUT} = 1\text{ V step}$		85		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\text{ V step}$		45		ns
Settling Time to 0.01%	$G = +2$, $V_{OUT} = 2\text{ V step}$		96		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$f_C = 100\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$, $G = +2$		-105		dBc
	$f_C = 1\text{ MHz}$, $V_{OUT} = 1\text{ V p-p}$, $G = -1$		-84		dBc
	$f_C = 2\text{ MHz}$, $V_{OUT} = 1\text{ V p-p}$, $G = -1$		-77		dBc
	$f_C = 5\text{ MHz}$, $V_{OUT} = 1\text{ V p-p}$, $G = -1$		-60		dBc
Input Voltage Noise	$f = 10\text{ Hz}$		2.3		nV/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		1		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ Hz}$		11		pA/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		2.8		pA/ $\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz Noise	$G = +101$, $R_F = 1\text{ k}\Omega$, $R_G = 10\ \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		-500	-30	+500	μV
Input Offset Voltage Drift			0.2		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-17	-11	-4	μA
Input Bias Current Drift			3		nA/ $^\circ\text{C}$
Input Bias Offset Current		-0.6	-0.02	+0.6	μA
Open-Loop Gain	$V_{OUT} = 0.5\text{ V to }2.5\text{ V}$	95	108		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common-Mode			10		M Ω
Differential			10		k Ω
Input Capacitance					
Common-Mode			3		pF
Differential			11		pF
Input Common-Mode Voltage Range			0.1 to 2.1		V
Common-Mode Rejection Ratio (CMRR)	$V_{CM} = 1.1\text{ V to }1.9\text{ V}$	-90	-124		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = 0\text{ V to }3\text{ V}$, $G = +2$		83		ns
Output Voltage Swing					
Positive	$R_L = 1\text{ k}\Omega$	2.85	2.97		V
	$R_L = 100\ \Omega$	2.8	2.92		V
Negative	$R_L = 1\text{ k}\Omega$	0.15	0.01		V
	$R_L = 100\ \Omega$	0.2	0.05		V
Output Current	SFDR = -45 dBc		60		mA
Short-Circuit Current	Sinking/sourcing		120		mA
Capacitive Load Drive	30% overshoot, $G = +2$		39		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier		2.5	2.7	2.9	mA
	DISABLE = 0 V		0.035	0.15	mA
Power Supply Rejection Ratio (PSRR)					
Positive	$+V_S = 2.7\text{ V to }3.7\text{ V}$, $-V_S = 0\text{ V}$	-96	-121		dB
Negative	$+V_S = 3\text{ V}$, $-V_S = -0.3\text{ V to }+0.7\text{ V}$	-96	-120		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DISABLE PIN (ADA4897-1/ADA4897-2)					
DISABLE Voltage	Enabled		$>+V_S - 0.5$		V
	Disabled		$<-V_S + 2$		V
Input Current					
Enabled	$\overline{\text{DISABLE}} = +3 \text{ V}$		-1.2		μA
Disabled	$\overline{\text{DISABLE}} = 0 \text{ V}$		-15		μA
Switching Speed					
Enabled			0.25		μs
Disabled			12		μs

絶対最大定格

表 6.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See Figure 3
Common-Mode Input Voltage	$-V_S - 0.7 \text{ V}$ to $+V_S + 0.7 \text{ V}$
Differential Input Voltage	$\pm 0.7 \text{ V}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定します。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA} を規定します。表 7 に ADA4896-2/ADA4897-1/ADA4897-2 の θ_{JA} を示します。

表 7. 熱抵抗

Package Type	θ_{JA}	Unit
8-Lead Dual MSOP (ADA4896-2)	222	$^\circ\text{C}/\text{W}$
8-Lead Dual LFCSP (ADA4896-2)	61	$^\circ\text{C}/\text{W}$
8-Lead Single SOIC (ADA4897-1)	133	$^\circ\text{C}/\text{W}$
6-Lead Single SOT-23 (ADA4897-1)	306	$^\circ\text{C}/\text{W}$
10-Lead Dual MSOP (ADA4897-2)	210	$^\circ\text{C}/\text{W}$

最大消費電力

ADA4896-2/ ADA4897-1/ADA4897-2の安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力に変化して、ADA4896-2/ADA4897-1/ADA4897-2のパラメータ性能を永久的にシフトしてしまふことがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

パッケージ内の消費電力(P_b)は、静止消費電力と ADA4896-2/ADA4897-1/ADA4897-2 出力での駆動に起因するパッケージ内の消費電力との和になります。

静止消費電力は、電源ピン($\pm V_S$)間の電圧に静止電流(I_S)を乗算して計算されます。

$$P_D = \text{静止消費電力} + (\text{合計駆動電力} - \text{負荷消費電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

RMS 出力電圧についても検討する必要があります。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。rms 信号レベルが不確定の場合は、電源電圧の中点を基準とする R_L に対して $V_{OUT} = V_S/4$ とするときの、ワースト・ケースを検討します。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

$-V_S$ を基準とする R_L を使う単電源動作では、ワースト・ケースは $V_{OUT} = V_S/2$ となります。

空気流があると放熱効果が良くなり θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/エクスポーズド・パッドが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 3 に、4 層 JEDEC 標準ボードを使った場合のパッケージ最大安全消費電力対周囲温度を示します。 θ_{JA} 値は近似値です。

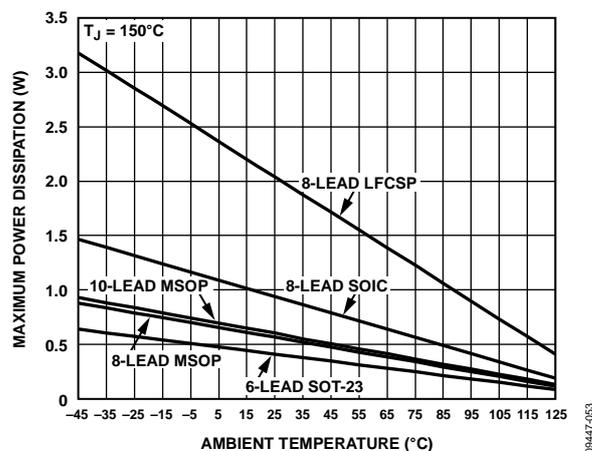


図 3. 最大消費電力の温度特性、4 層ボード

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

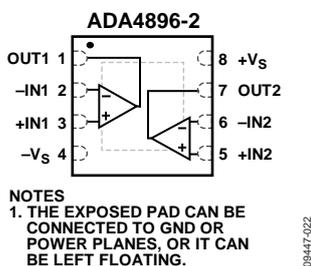


図 4.8 ピン LFCSP のピン配置

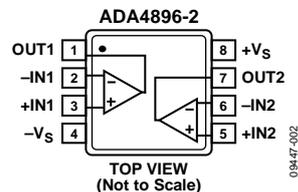


図 5.8 ピン MSOP のピン配置

表 8.ADA4896-2のピン機能説明

ピン番号	記号	説明
1	OUT1	出力 1。
2	-IN1	反転入力 1。
3	+IN1	非反転入力 1。
4	-Vs	負電源。
5	+IN2	非反転入力 2。
6	-IN2	反転入力 2。
7	OUT2	出力 2。
8	+Vs	正電源。
	EPAD	エクスポーズド・パッド(LFCSP の場合)エクスポーズド・パッドは GND プレーンまたは電源プレーンに接続するか、フローティングのままにすることができます。

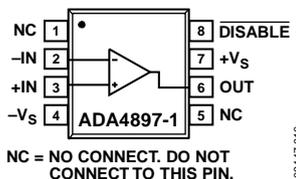


図 6.8 ピン SOIC のピン配置

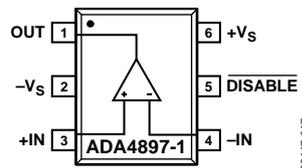


図 7.6 ピン SOT-23 のピン配置

表 9.ADA4897-1のピン機能説明

ピン番号		記号	説明
SOIC	SOT-23		
1、5	N/A	NC	未接続。これらのピンには何も接続しないでください。
2	4	-IN	反転入力。
3	3	+IN	非反転入力。
4	2	-Vs	負の電源。
6	1	OUT	出力。
7	6	+Vs	正の電源。
8	5	DISABLE	ディスエーブル。

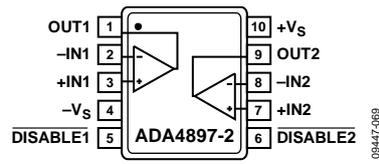


図 8.10 ピン MSOP のピン配置

表 10.ADA4897-2のピン機能説明

ピン番号	記号	説明
1	OUT1	出力 1。
2	-IN1	反転入力 1。
3	+IN1	非反転入力 1。
4	-Vs	負の電源。
5	$\overline{\text{DISABLE1}}$	ディスエーブル 1。
6	$\overline{\text{DISABLE2}}$	ディスエーブル 2。
7	+IN2	非反転入力 2。
8	-IN2	反転入力 2。
9	OUT2	出力 2。
10	+Vs	正の電源。

代表的な性能特性

特に指定がない限り、 $R_L = 1\text{ k}\Omega$ 。 $G = +1$ の場合、 $R_F = 0\ \Omega$ 。その他の場合、 $R_F = 249\ \Omega$ 。

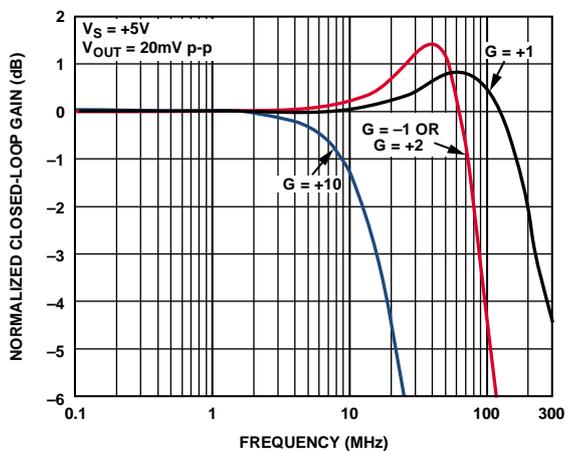


図 9. ゲイン対小信号周波数応答

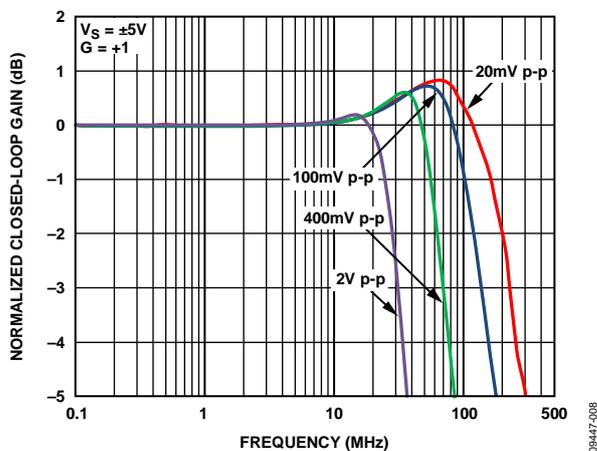


図 12. 様々な出力電圧での周波数応答

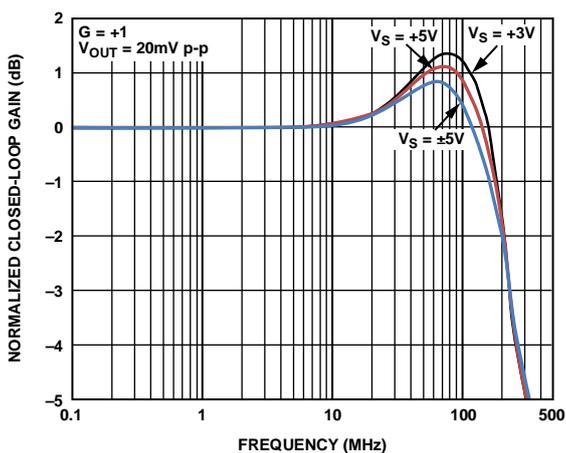


図 10. 電源電圧対小信号周波数応答

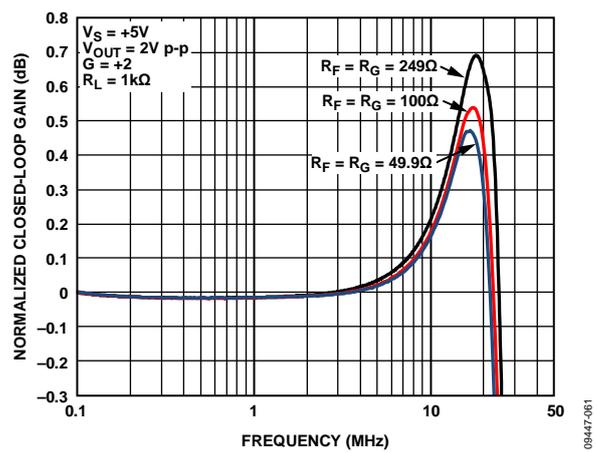


図 13. 選択した R_F 値での 0.1 dB 帯域幅

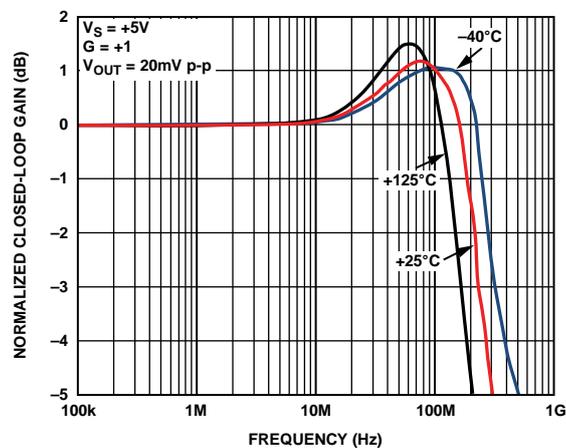


図 11. 小信号周波数応答の温度特性

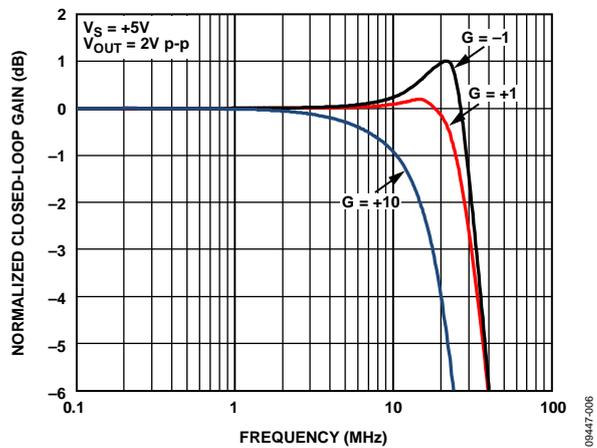


図 14. ゲイン対大信号周波数応答

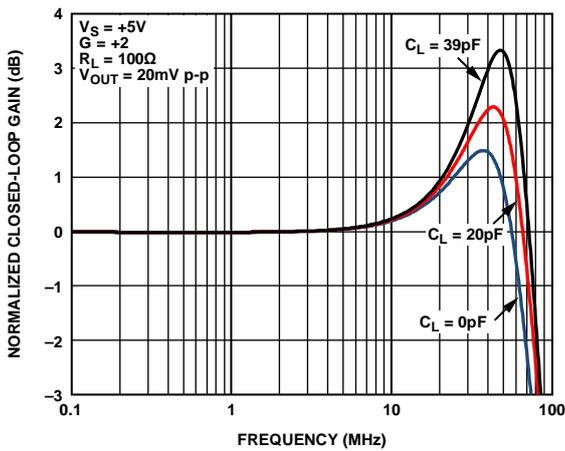


図 15. 容量負荷対小信号周波数応答

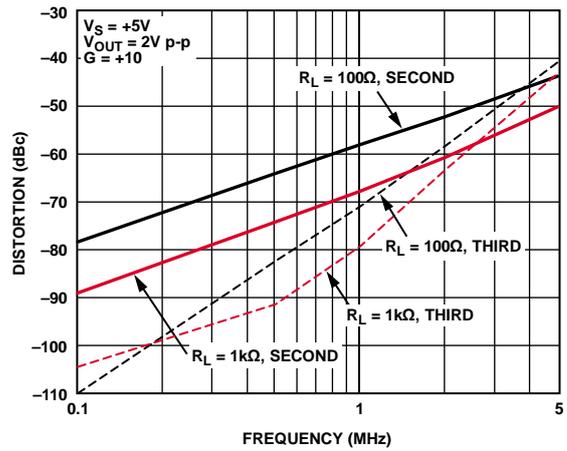


図 18. 高調波歪みの周波数特性、G = +10

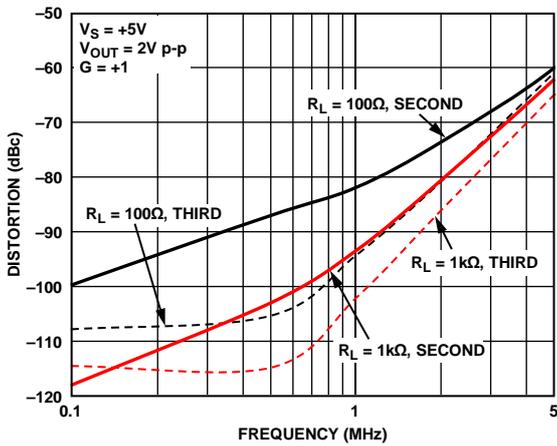


図 16. 高調波歪みの周波数特性、G = +1

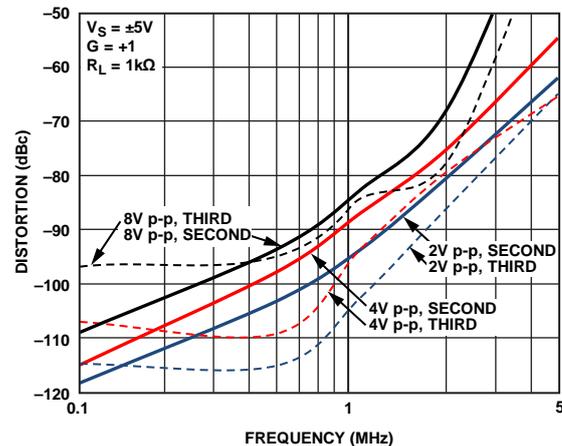


図 19. 様々な出力電圧での高調波歪みの周波数特性

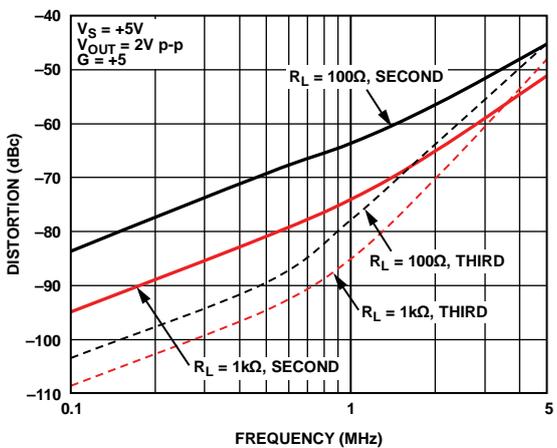


図 17. 高調波歪みの周波数特性、G = +5

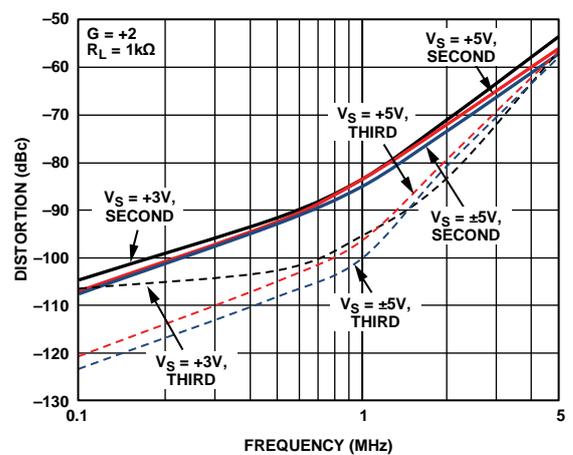


図 20. 様々な電源での高調波歪みの周波数特性

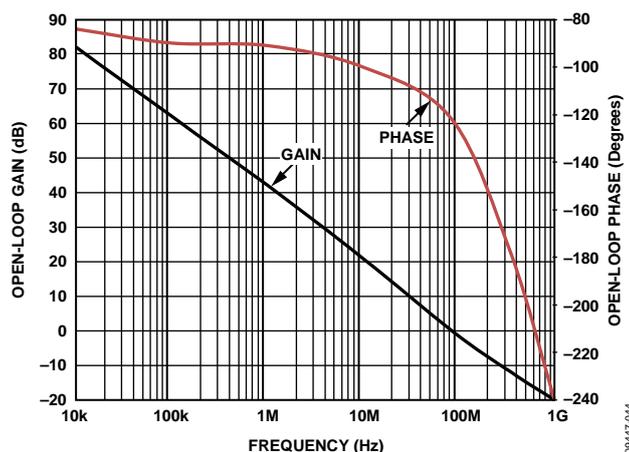


図 21. オープン・ループ・ゲインおよび位相の周波数特性

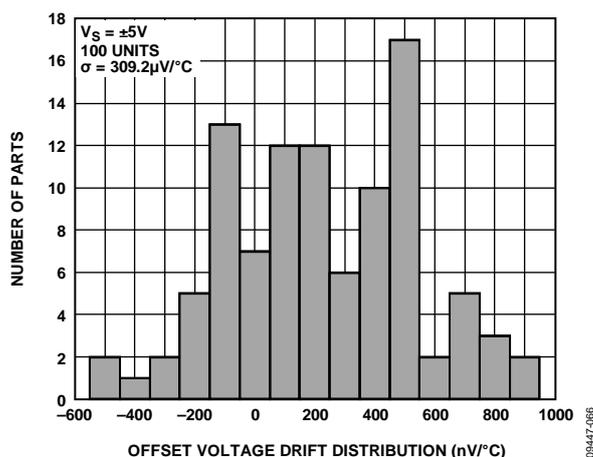


図 24. 入力オフセット電圧ドリフトの分布

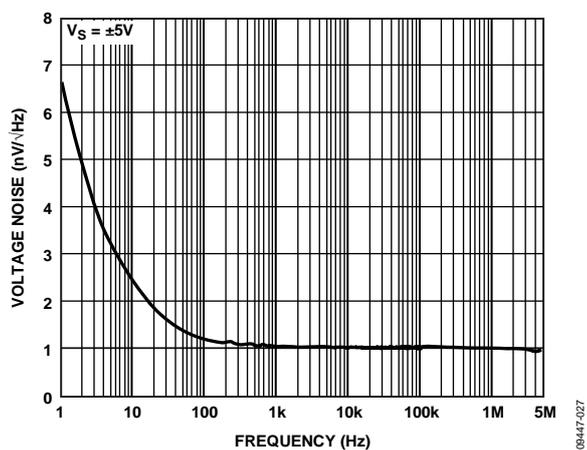


図 22. 電圧ノイズの周波数特性

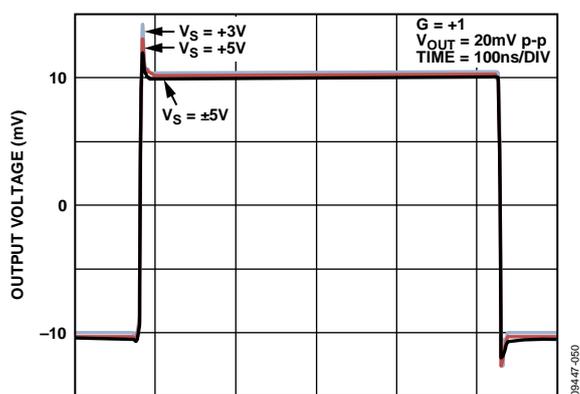


図 25. 様々な電源での小信号過渡応答、G = +1

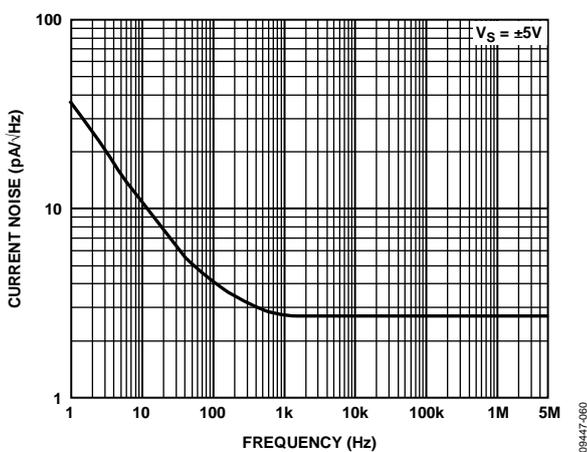


図 23. 電流ノイズの周波数特性

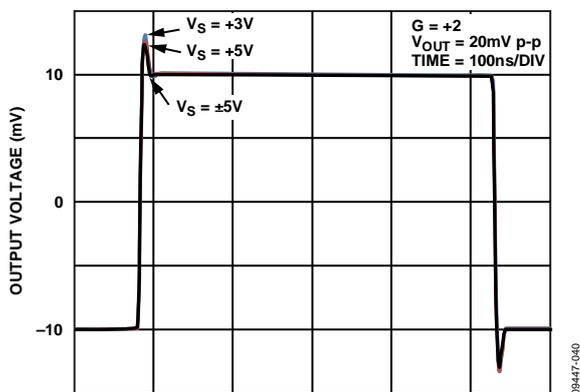


図 26. 様々な電源での小信号過渡応答、G = +2

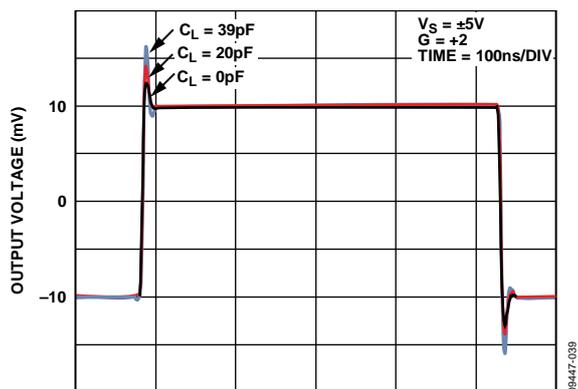


図 27.様々な容量負荷での小信号過渡応答

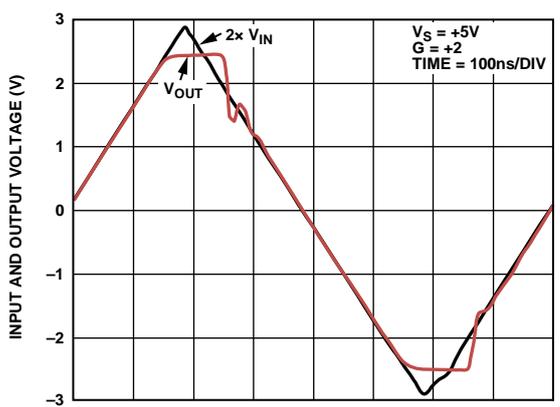


図 30.出力オーバードライブ回復時間

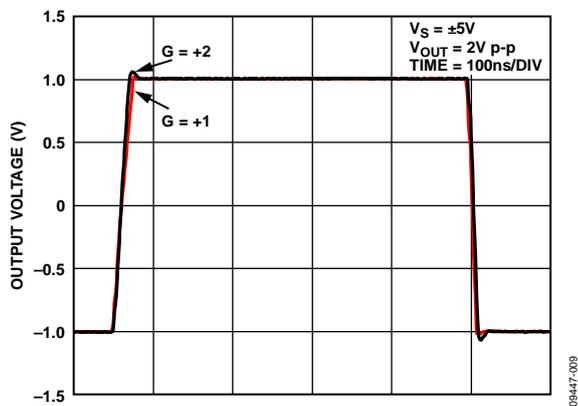


図 28.大信号過渡応答、G = +1、G = +2

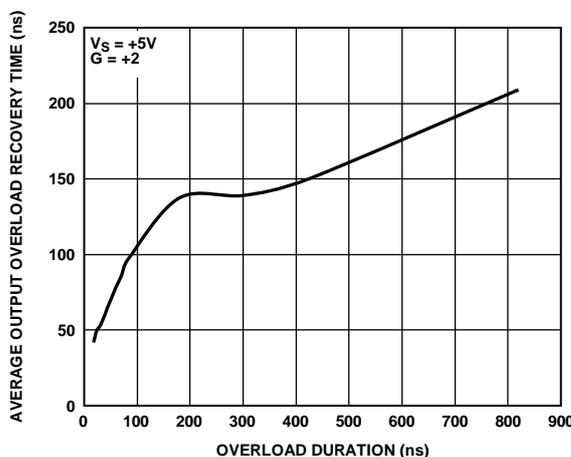


図 31.過負荷継続時間対平均出力過負荷回復時間

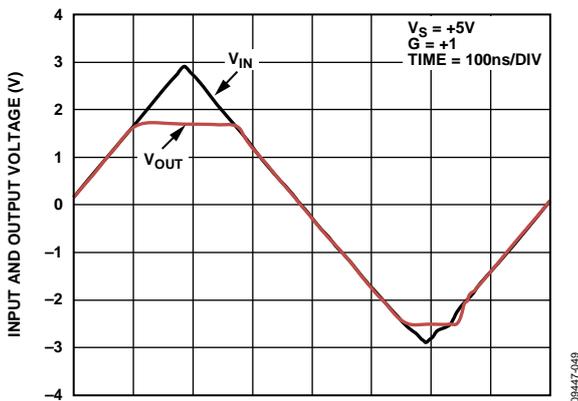


図 29.入力オーバードライブ回復時間

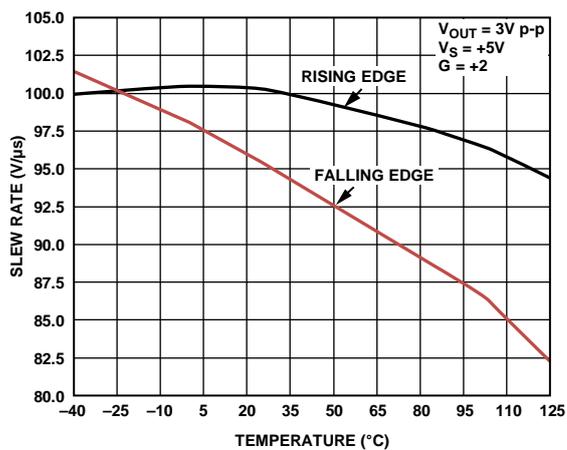


図 32.スルーレートの温度特性

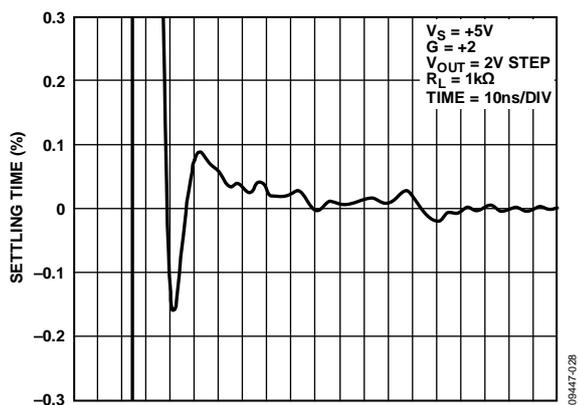


図 33.0.1%へのセトリング・タイム

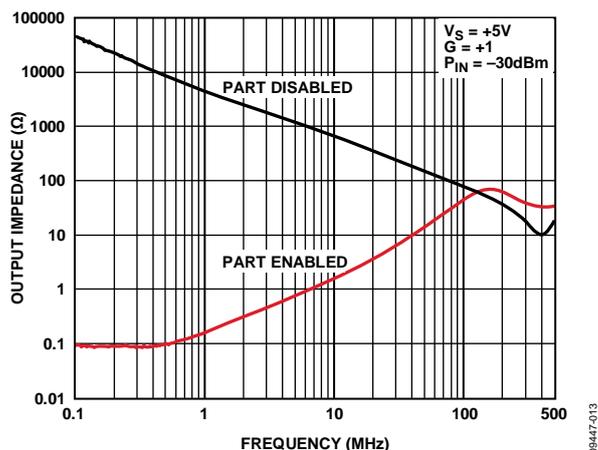


図 36.出カインピーダンスの周波数特性

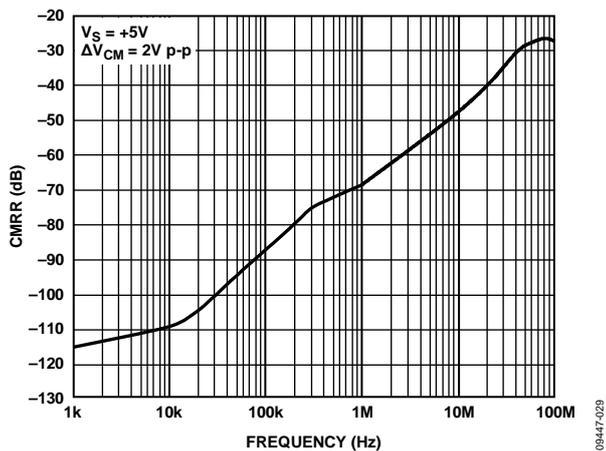


図 34.CMRR の周波数特性

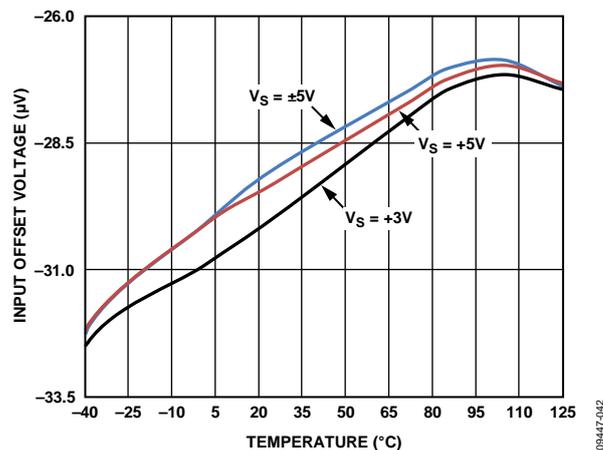


図 37.様々な電源での入力オフセット電圧の温度特性

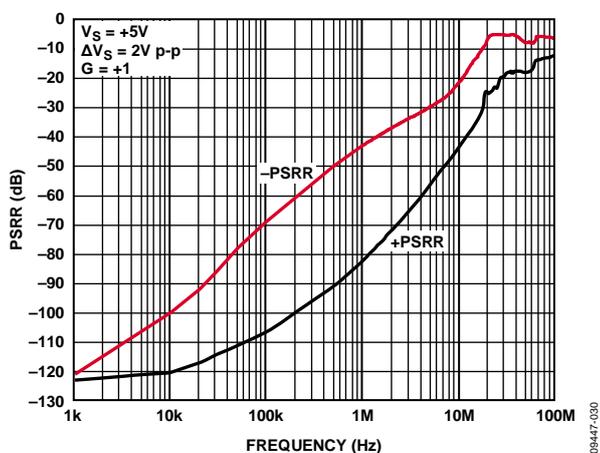


図 35.PSRR の周波数特性

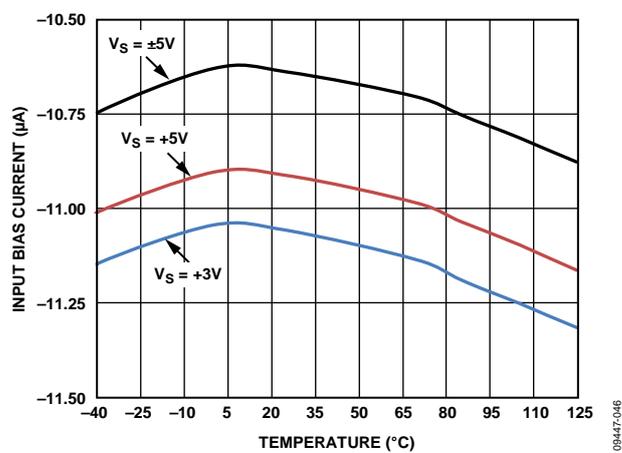


図 38.様々な電源での入力バイアス電流の温度特性

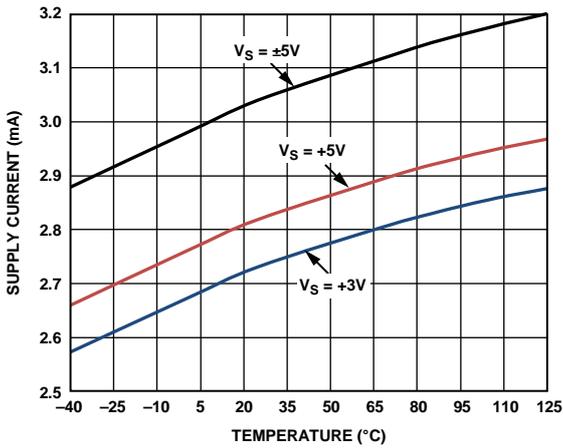


図 39.様々な電源での電源電流の温度特性

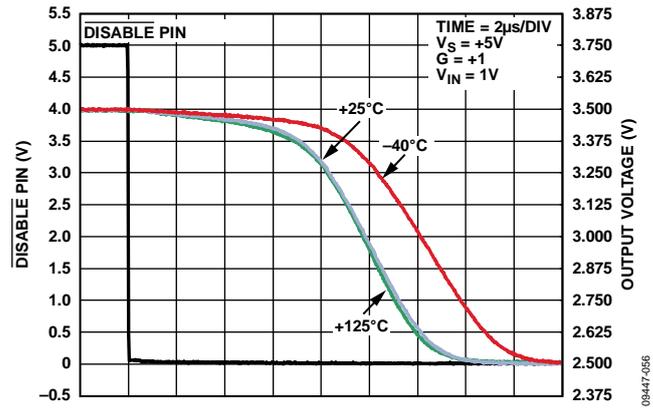


図 42.ターンオフ時間の温度特性
(ADA4897-1およびADA4897-2)

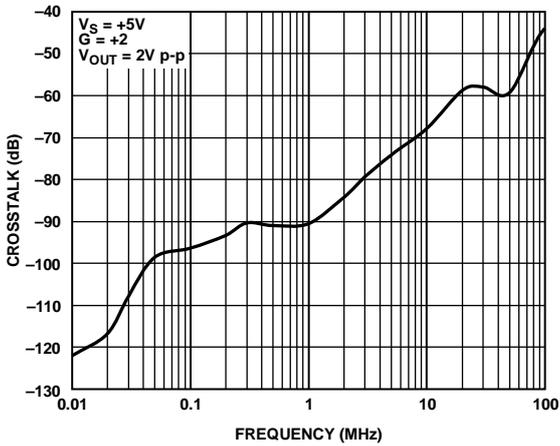


図 40.クロストーク、OUT1→OUT2
(ADA4896-2およびADA4897-2)

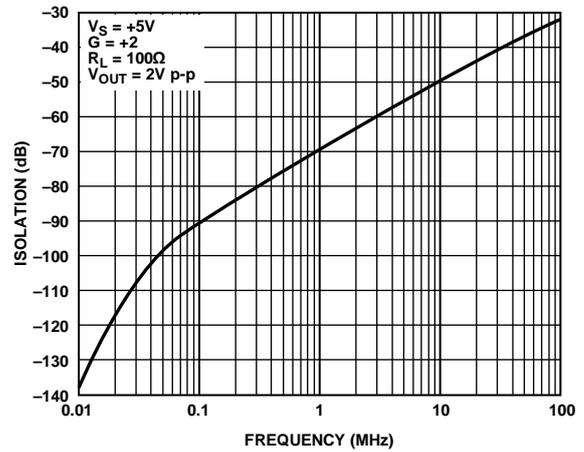


図 43.順方向アイソレーションの周波数特性

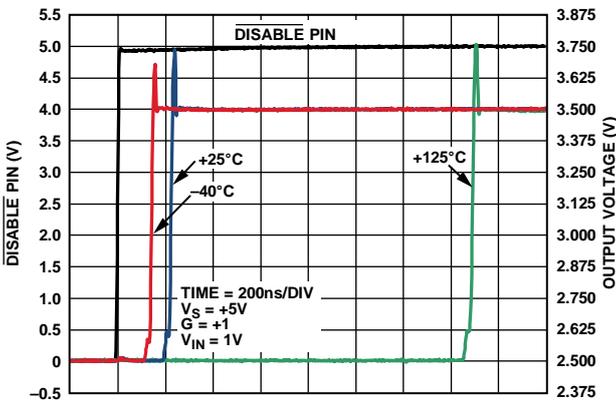


図 41.ターンオン時間の温度特性
(ADA4897-1およびADA4897-2)

動作原理

アンプ説明

ADA4896-2/ADA4897-1/ADA4897-2は入力ノイズが $1 \text{ nV}/\sqrt{\text{Hz}}$ のアンプで、 3 V ～ 10 V 電源での消費電流は 3 mA です。ADA4896-2/ADA4897-1/ADA4897-2は、アナログ・デバイセズのSiGe バイポーラ・プロセスで製造され、帯域幅は 200 MHz 以上です。これらのアンプはユニティ・ゲイン安定で、入力構造により高速アンプ向けの極めて低い入力 $1/f$ ノイズが得られています。

レールtoレール出力ステージは、低い出力換算ノイズを実現するために必要な重い帰還負荷を駆動するようにデザインされています。さらに厳しいシステム要求を満たすため、ADA4896-2/ADA4897-1/ADA4897-2の大信号帯域幅は、他の低ノイズ・ユニティ・ゲイン安定アンプの基本的な限界を超えて拡張されています。ADA4896-2/ADA4897-1/ADA4897-2の最大オフセット電圧は $500 \mu\text{V}$ で、ドリフトは $0.2 \mu\text{V}/^\circ\text{C}$ であるため、優れたアンプ選択肢になっています。低入力ノイズまたは広帯域幅を実現する際に消費電力の点で不利なため低ノイズ性能が不要な場合であっても、優れた選択肢になっています。

入力保護

ADA4896-2/ADA4897-1/ADA4897-2はESDからフルに保護されているため、測定可能な性能低下なしに、人体モデル ESD では 2.5 kV に、電荷デバイス・モデルでは 1 kV に、それぞれ耐えることができます。高精度入力は、電源と入力デバイス対のダイオード・クランプとの間のESD 回路で保護されています(図 44 参照)。

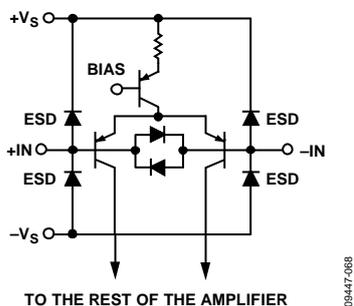


図 44. 入力ステージと保護ダイオード

約 0.7 V を超える差動電圧で、クランプ・ダイオードの導通が開始されます。電流が大きすぎると、発熱のために損傷することがあります。入力ピン間で大きな差動電圧が続く場合には、入力クランプを流れる電流を 10 mA 以下に制限することが推奨されます。予想される差動過電圧に対して適切なサイズの直列入力抵抗を接続すると、必要な保護を実現することができます。

正電源より 0.7 V 高い入力電圧と負電源より 0.7 V 低い入力電圧で、ESD クランプが導通を開始します。過電圧状態が予想される場合は、入力電流を 10 mA 以下に制限することが推奨されます。

ディスエーブル動作

図 45 に、ADA4897-1/ADA4897-2のパワーダウン回路を示します。DISABLE ピンを未接続のままにすると、入力 PNP トランジスタのベースが正電源へ接続された内部プルアップ抵抗によりハイ・レベルにされるため、デバイスがターンオンします。DISABLE ピンを正電源より 2 V 以上低くすると、デバイスがターンオフして、 5 V 電源電圧での電源電流が約 $18 \mu\text{A}$ に減少します。

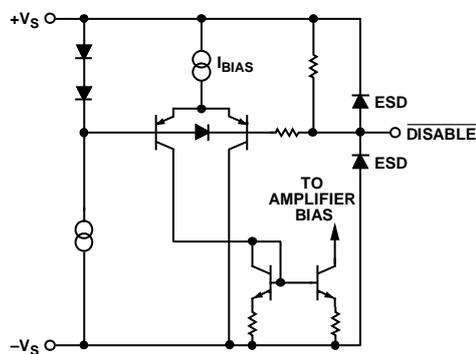


図 45. DISABLE 回路

DISABLE ピンは、ESD クランプにより保護されています(図 45 参照)。電圧が電源を超えると、これらのダイオードが導通します。DISABLE ピンを保護するため、このピンの電圧を、正電源より 0.7 V 以上上回らないように、さらに負電源より 0.7 V 以上下回らないようにする必要があります。過電圧状態が予想される場合は、入力電流を直列抵抗を使って 10 mA 以下に制限することが推奨されます。

アンプがディスエーブルされると、出力はハイ・インピーダンス状態になります。周波数が高くなると出力インピーダンスは小さくなります。この影響は図 36 から分かります。ディスエーブル・モードでは、 10 MHz で 50 dB の順方向アイソレーションを実現することができます。図 43 に、順方向アイソレーションの周波数特性データを示します。

DC誤差

図 46 に、一般的な接続図と主な DC 誤差原因を示します。

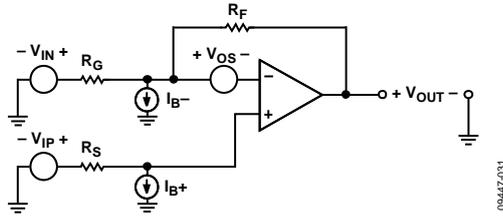


図 46.一般的な接続図と DC 誤差原因

理論伝達関数 (すべての誤差原因が 0 で DC ゲインが無限大) は次のように表すことができます。

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} - \left(\frac{R_F}{R_G}\right) \times V_{IN} \quad (1)$$

この式は、次の非反転オペアンプと反転オペアンプのゲイン式に簡素化できます。

非反転ゲイン ($V_{IN} = 0$ V)

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} \quad (2)$$

反転ゲイン ($V_{IP} = 0$ V)

$$V_{OUT} = \left(\frac{-R_F}{R_G}\right) \times V_{IN} \quad (3)$$

総合出力電圧誤差は、アンプ・オフセット電圧と入力電流に起因する誤差の和になります。オフセット電圧に起因する出力誤差は、次のように表すことができます。

$$V_{OUT_ERROR} = \left(V_{OFFSET_{NOM}} + \frac{V_{CM}}{CMRR} + \frac{V_P - V_{PNOM}}{PSRR} + \frac{V_{OUT}}{A} \right) \times \left(1 + \frac{R_F}{R_G}\right) \quad (4)$$

ここで、

$V_{OFFSET_{NOM}}$ は規定の電源電圧でのオフセット電圧で、入力と出力を電源中心に設定して測定されます。

V_{CM} は同相モード電圧。

V_P は電源電圧。

V_{PNOM} は規定の電源電圧。

$CMRR$ は同相モード除去比。

$PSRR$ は電源除去比。

A は DC オープンループ・ゲイン。

入力電流に起因する出力誤差は、次のように表すことができます。

$$V_{OUT_ERROR} = (R_F \parallel R_G) \times \left(1 + \frac{R_F}{R_G}\right) \times I_{B-} - R_S \times \left(1 + \frac{R_F}{R_G}\right) \times I_{B+} \quad (5)$$

バイアス電流の相殺

入力でのバイアス電流不一致に起因する出力電圧誤差を相殺させるときは、 R_{BP} と R_{BN} を使うことができます (図 47 参照)。

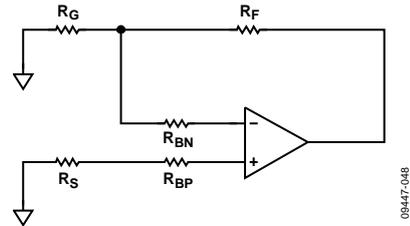


図 47. R_{BP} と R_{BN} を使用するバイアス電流誤差の相殺

2 つの入力でのバイアス電流不一致を補償するときは、 R_{BP} と R_{BN} を表 11 のように設定します。

表 11. R_{BN} と R_{BP} の設定によるバイアス電流誤差の相殺

Value of $R_F \parallel R_G$	Value of R_{BP} (Ω)	Value of R_{BN} (Ω)
Greater Than R_S	$R_F \parallel R_G - R_S$	0
Less Than R_S	0	$R_S - R_F \parallel R_G$

表 12 に、 $R_F \parallel R_G > R_S$ かつ $R_F \parallel R_G < R_S$ の場合の R_{BP} と R_{BN} の値の例を示します。

表 12. R_{BN} と R_{BP} の設定例

Gain	R_F (Ω)	R_G (Ω)	R_S (Ω)	R_{BP} (Ω)	R_{BN} (Ω)
+2	249	249	50	74.5	0
+10	249	27.4	50	0	25.3

ノイズに対する注意事項

図 48 に、一般的なゲイン設定に対する主なノイズ成分を示します。総合 rms 出力ノイズは、すべての成分の 2 乗平均になります。

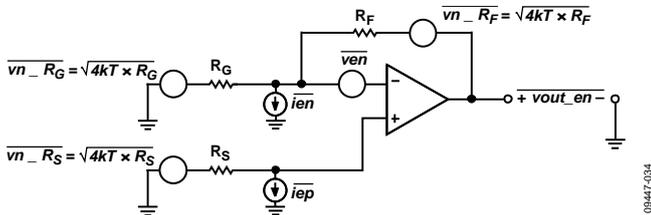


図 48.一般的な接続でのノイズ源

出力ノイズ・スペクトル密度は次式で計算することができます。

$$\overline{v_{out_en}} = \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left[4kTR_S + \overline{i_{ep}}^2 R_S^2 + \overline{v_{en}}^2\right] + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + \overline{i_{en}}^2 R_F^2}$$

(6)

ここで、
 k はボルツマン定数。
 T はケルビン単位の絶対温度。
 $\overline{i_{ep}}$ と $\overline{i_{en}}$ はアンプ入力電流ノイズのスペクトル密度(pA/√Hz)。
 $\overline{v_{en}}$ はアンプ入力電圧ノイズ・スペクトル密度(nV/√Hz)。
 R_S は図 48 に示すソース抵抗。
 R_F と R_G は図 48 に示す帰還回路抵抗。

ソース抵抗ノイズ、アンプ電圧ノイズ ($\overline{v_{en}}$)、アンプ電流ノイズからの電圧ノイズ ($\overline{i_{ep}} \times R_S$) はすべて、ノイズ・ゲインの項 ($1 + R_F/R_G$) に依存します。入力電圧ノイズ = 1 nV/√Hz および入力電流ノイズ = 2.8 pA/√Hz では、アンプのノイズ成分は約 50 Ω ~ 700 Ω のソース抵抗に対して比較的小さくなります。

図 49 に、アンプの総合 RTI ノイズ対ソース抵抗を示します。さらに、使用する帰還抵抗値もノイズに影響を与えます。総合ノイズを低く維持するためには、帰還抵抗値を 250 Ω ~ 1 kΩ に維持することが推奨されます。

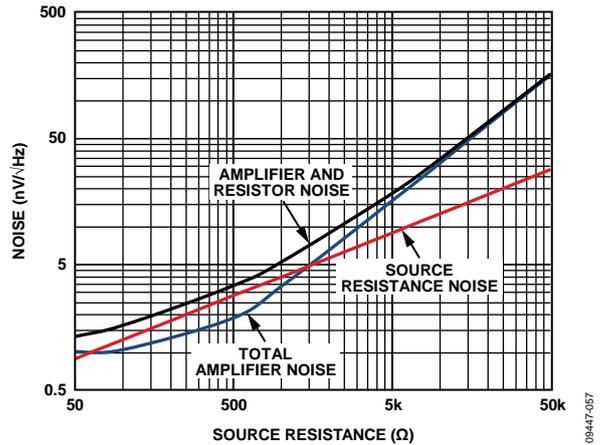


図 49.RTI ノイズ対ソース抵抗

容量駆動

アンプ出力に容量があると、帰還パス内に遅延が生じます。ローブ帯域内にある場合、これにより大きなリングングと発振が生ずることがあります。ADA4896-2/ADA4897-1/ ADA4897-2では、ゲイン = +2 でピーキングが最大になります (図 9 参照)。

アンプ出力と容量負荷に直列に小さいスナブ抵抗 (R_{SNUB}) を接続すると、問題が軽減されます。図 50 に、ワーストケース周波数応答 (ゲイン = +2) でのピーキング削減に対するスナブ抵抗 (R_{SNUB}) 使用の効果を示します。 $R_{SNUB} = 100 \Omega$ を使用すると、ピーキングが完全になくなりますが、出力での減衰のためにクロード・ループ・ゲインが 0.8 dB 低下します。 R_{SNUB} を 0 Ω ~ 100 Ω で調節して、ピーキングとクロード・ループ・ゲインの許容レベルを維持することができます (図 9 参照)。

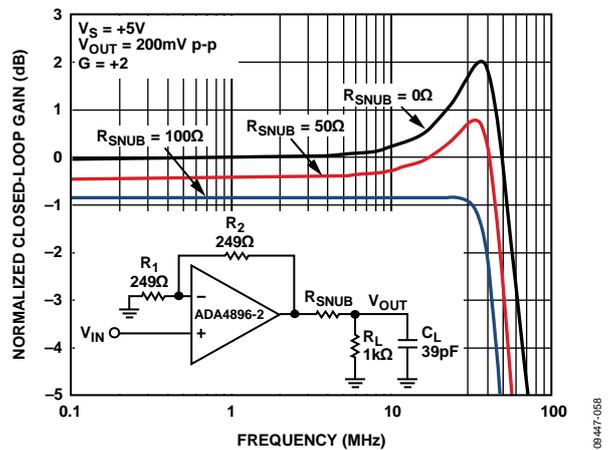


図 50.スナブ抵抗使用による、出力容量負荷から発生するピーキングの削減

アプリケーション情報

代表的な性能値

デザイン時間を短縮し、不確定性をなくするため、表 13 に、代表的なゲイン、部品値、性能パラメータの参考情報を示します。電源電圧は 5 V を使用しています。帯域幅は小信号出力 = 200 mV p-p で、スルーレートは 2 V 出力ステップで、それぞれ取得しました。

ゲイン帯域幅積の関係から明らかなように、ゲインが増加すると、小信号帯域幅が減少することに注意してください。さらに、ゲインが大きくなると位相マージンが改善され、アンプの安定性が強化されます。結果として、周波数応答のピーキングが小さくなります(図 51 参照)。

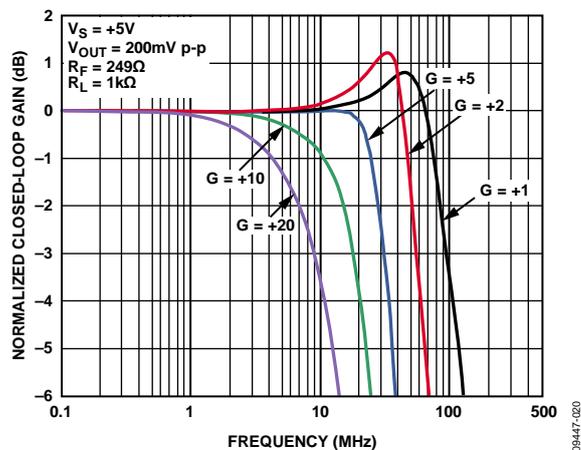


図 51. 様々なゲインでの小信号周波数応答

表 13. 推奨値と代表的な性能

Gain	R_F (Ω)	R_G (Ω)	-3 dB BW (MHz)	Slew Rate, t_R/t_F (V/ μ s)	Peaking (dB)	Total Output Noise Including Resistors (nV/ \sqrt{Hz})
+1	0	N/A	92	78/158	0.8	1.0
+2	249	249	54	101/140	1.2	3.6
+5	249	61.9	30	119/137	0	6.8
+10	249	27.4	17	87/88	0	12.0
+20	249	13.0	9	37/37	0	21.1

低ノイズの可変ゲイン・アンプ

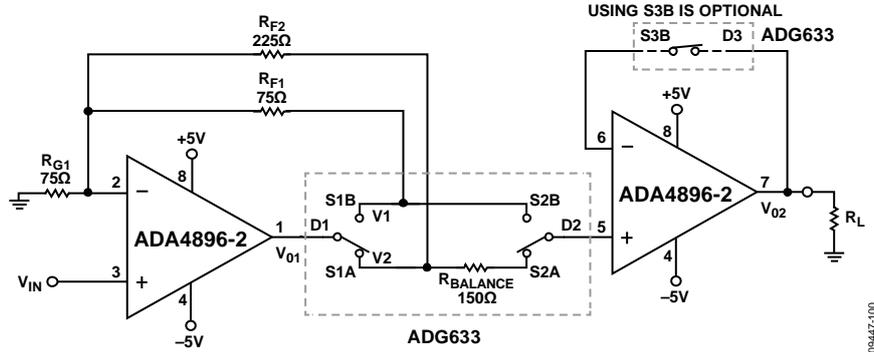


図 52.ADA4896-2とADG633を使用した、低抵抗負荷を駆動する低ノイズ可変ゲイン・アンプの構成

可変ゲイン・アンプを使用すると、広範囲な入力信号を処理することができます。従来型可変ゲイン・アンプでは、反転入力に接続される帰還ループ内にスイッチを使用しています。このスイッチ抵抗によりアンプのノイズ性能が低下し、さらに反転入力ノードの容量が大きくなります。このノイズと容量の問題は、低ノイズ・アンプの場合は特に困難になります。また、スイッチ抵抗は望ましくない非直線性ゲイン誤差の原因になります。

図 52 に、可変ゲイン・アンプで使用される技術革新的なスイッチング技術を示します。ここでは、ADA4896-2の 1 nV/Hz ノイズ性能が維持されると同時に非直線性ゲイン誤差が大幅に小さくなっています。この技術を使用すると、最小容量を持つスイッチを選択して、回路の帯域幅を最適化することができます。

図 52 に示す回路で、スイッチにはADG633で実現し、S1AおよびS2Aがオンか、またはS1BおよびS2Bがオンになるように設定されています。この例では、S1AとS2Aのスイッチがオンのとき、初段ステージ・アンプ・ゲイン = +4 に、S1BとS2Bのスイッチがオンの時、初段ステージ・アンプ・ゲイン = +2 に、それぞれなります。ADG633の 1 つ目のセットのスイッチは帰還ループの出力側に配置され、2 つ目のセットのスイッチはポイント (V1 またはV2) のサンプルに使われます。ここでは、スイッチ抵抗と非直線性抵抗は問題になりません。この方法では、ゲイン誤差を小さくすると同時にADA4896-2のノイズ性能が維持されます。

S2AとS2Bのサンプリング・スイッチのインピーダンスにより、出力バッファの入力バイアス電流が問題が発生することがあることに注意してください。両サンプリング・スイッチは、電圧ばかりではなく温度に対しても非直線です。これが問題となる場合は、ADG633 (S3B) の未使用スイッチを出力バッファの帰還パス内に配置して、バイアス電流のバランスをとります (図 52 参照)。

さらに、入力アンプのバイアス電流により、出力にオフセットが発生してゲイン設定により変化します。入力アンプと出力バッファはモノリシックであるため、バイアス電流の相対的な一致を利用して、変化するオフセットを相殺させることができます。スイッチ S2A に直列に RF2 と RF1 の差に等しい抵抗を接続すると、オフセット電圧はさらに安定します。

次式は、V1 でサンプリングすると、ゲイン誤差なしで所望の信号ゲインが得られることを示しています。RS はスイッチ抵抗です。V2 は同じ方法で導出することができます。

$$V_{O1} = V_{IN} \times \left(1 + \frac{R_{F1} + R_{S1}}{R_{G1}} \right) \tag{7}$$

$$V_I = V_{O1} \times \left(\frac{R_{F1} + R_{G1}}{R_{F1} + R_{G1} + R_{S1}} \right) \tag{8}$$

式 1 を式 2 に代入すると、次式が得られます。

$$V_I = V_{IN} \times \left(1 + \frac{R_{F1}}{R_{G1}} \right) \tag{9}$$

V01 によりゲイン誤差なしで所望の信号ゲインが得られる場合、バッファされた出力 V02 にもゲイン誤差がないことに注意してください。図 53 に、V02 での回路の正規化周波数応答を示します。

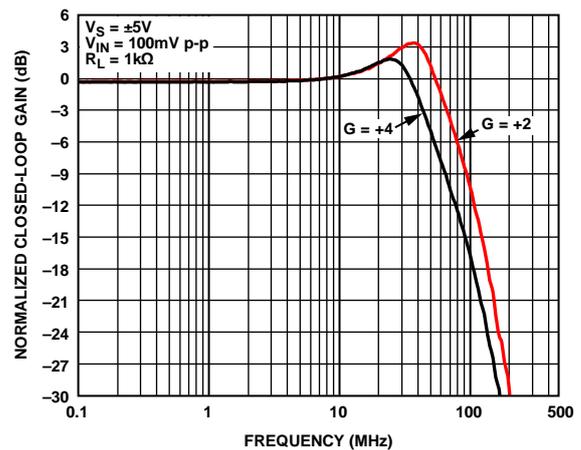


図 53.V02/VIN の周波数応答

医用超音波アプリケーション

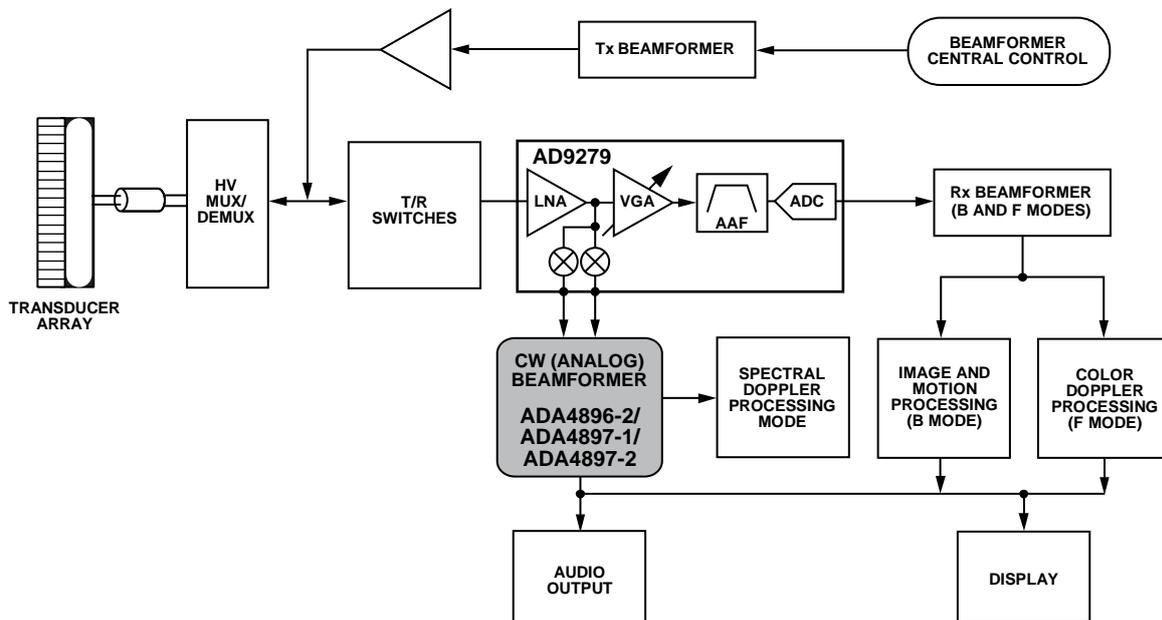


図 54. 超音波システムの簡略化したブロック図

超音波システムの概要

中でも医用超音波システムは、今日広く使用されている最も高度な信号処理システムです。超音波システムでは、人体へ音響エネルギーを送信し、反射を受信/処理して、内部器官と構造のイメージの発生、血流と組織の動きのマッピング、正確な血流速度情報の提供を行うことができます。図 54 に、簡略化した超音波システムのブロック図を示します。

超音波システムは、時間ゲイン制御 (TGC) 動作と連続波 (CW) ドプラー動作の 2 つのメイン動作から構成されています。[AD9279](#)では、これらの 2 つの動作に不可欠な部品を 1 個の IC に内蔵しています。このデバイスは、低ノイズ・プリアンプ (LNA) 付きの 8 チャンネル可変ゲイン・アンプ (VGA)、折り返し防止フィルタ (AAF)、A/D コンバータ (ADC)、プログラマブルな位相回転機能付きの I/Q 復調器を内蔵しています。超音波システムでの [AD9279](#) の使用方法については、[AD9279](#) データシートを参照してください。

09447-033

超音波システムでのADA4896-2/ADA4897-1/ADA4897-2

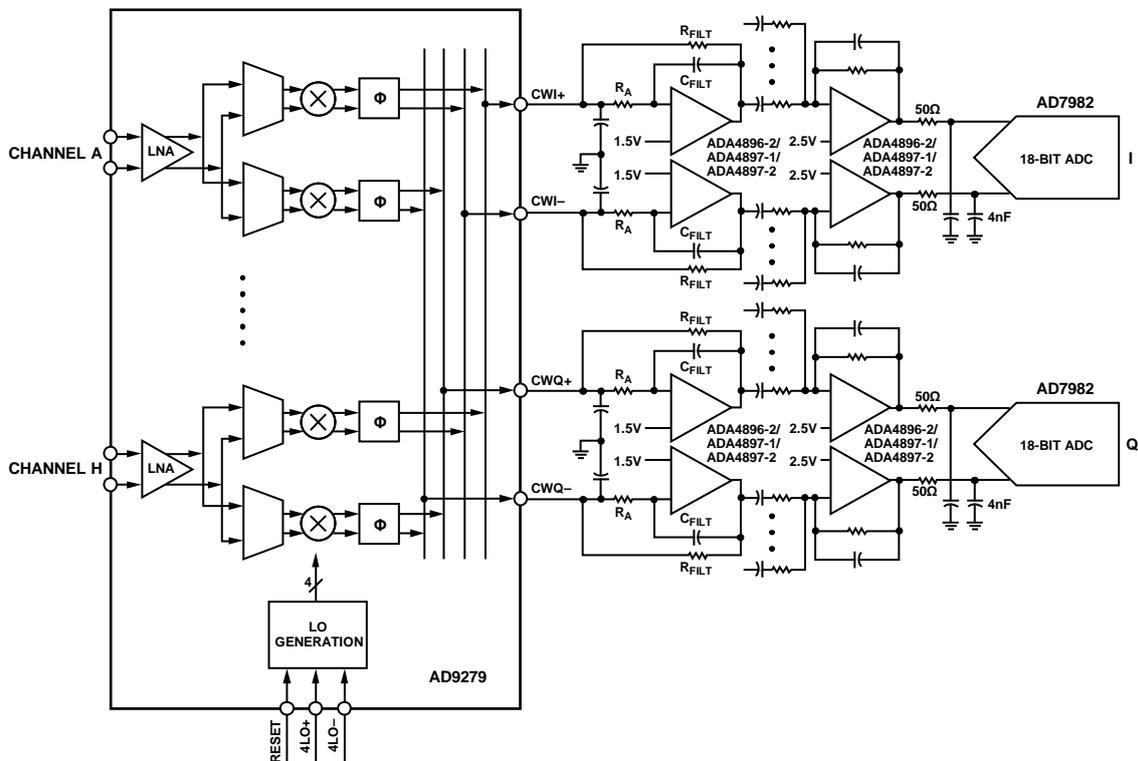


図 55. ADA4896-2/ADA4897-1/ADA4897-2 をフィルタ、I/V コンバータ、電流加算器、AD9279 I/Q 出力の後ろの ADC ドライバとして使用

ADA4896-2/ADA4897-1/ADA4897-2 は、AD9279 の I/Q 復調器の後ろで超音波アプリケーション内の CW ドプラー・パスで使用されています。ドプラー信号は一般に 100 Hz ~ 100 kHz です。ADA4896-2/ADA4897-1/ADA4897-2 は低ノイズ・フロアと広いダイナミックレンジを持つため、弱いドプラー信号の処理に対して優れた選択肢になっています。

ADA4896-2/ADA4897-1/ADA4897-2 は、レール to レール出力と大きな出力電流駆動能力を持つため、I/V コンバータ、電流加算器、ADC ドライバに適しています。

図 55 に、AD9279 の 8 チャンネルすべての接続ブロック図を示します。ADA4896-2 アンプの 2 ステージが使用されています。最初のステージは I/V 変換を行い、復調プロセスから生ずる高周波をフィルタします。ADA4896-2 アンプの 2 番目のステージは、複数の AD9279 デバイスの出力電流の加算、ゲインの提供、AD7982 デバイス (18 ビット SAR ADC) の駆動に使われています。

CW 信号パスの出力換算ノイズは、LNA ゲイン、最初のステージの加算アンプの選択、 R_{FILT} の値に依存します。出力換算ノイズを求めるためには、アクティブ・ローパス・フィルタ (LPF) の値 R_A 、 R_{FILT} 、 C_{FILT} を知ることが重要です (図 55)。1 個の AD9279 の 8 チャンネルすべての代表的なフィルタ値は、 $R_A = 100 \Omega$ 、 $R_{FILT} = 500 \Omega$ 、 $C_{FILT} = 2.0 \text{ nF}$ です。これらの値により 100 kHz 単極 LPF が構成されています。

I/V コンバータのゲインは、フィルタ抵抗 R_{FILT} を大きくすることにより増やすことができます。コーナー周波数を一定に維持するときは、フィルタ・コンデンサ C_{FILT} を同じファクタだけ減少させます。ゲインの大きさを制限するファクタは、I/V コンバータ用に選択したオペアンプ (この例では ADA4896-2/ADA4897-1/ADA4897-2) の出力振幅と駆動能力です。すべてのアンプには駆動能力の限界があるため、加算するチャンネル数は有限にする必要があります。

レイアウト時の考慮事項

最適性能を得るためには、ボード・レイアウト、信号ルーティング、電源バイパス、グラウンド接続に注意する必要があります。

グラウンド・プレーン

ADA4896-2/ADA4897-1/ADA4897-2の入力と出力の下と周囲の領域にグラウンドを設けないことが重要です。グラウンド・プレーンとデバイスの入力パッドおよび出力パッドとの間に形成される浮遊容量が、高速アンプ性能を決定します。反転入力の浮遊容量とアンプ入力容量により、位相マージンが低下して、安定性が損なわれます。出力の浮遊容量により帰還ループ内に極が形成されて、位相マージンが低下し、回路が不安定になります。

電源のバイパス

ADA4896-2/ADA4897-1/ADA4897-2の性能では、電源のバイパスが重要です。各電源ピンからグラウンドへのコンデンサの並列接続が最適です。小さい値の電解コンデンサほど優れた高周波応答を提供しますが、大きな値の電解コンデンサほど優れた低周波性能を提供します。

異なる値とサイズのコンデンサの並列接続は、広い周波数帯域で電源ピンの AC インピーダンスを小さくするのに役立ちます。これは、ノイズのアンプへの混入を小さくするのに重要です。特にアンプの PSRR がロールオフし始める場合には重要です。これは、バイパス・コンデンサが PSRR 性能の低下を小さくすることに役立つためです。

最小値のコンデンサをアンプと同じ側のボードに、かつアンプの電源ピンの近くに配置する必要があります。コンデンサのグラウンド端子はグラウンド・プレーンへ直接接続する必要があります。

0508 ケース・サイズの 0.1 μF セラミック・コンデンサを使用することが推奨されます。0508 ケース・サイズは、小さい直列インダクタンスと優れた高周波性能を提供します。10 μF の電解コンデンサは、0.1 μF と並列に接続する必要があります。回路パラメータに応じて、コンデンサの追加により性能を強化することができます。各回路は異なるので、最適性能を得るためには個別に解析する必要があります。

外形寸法

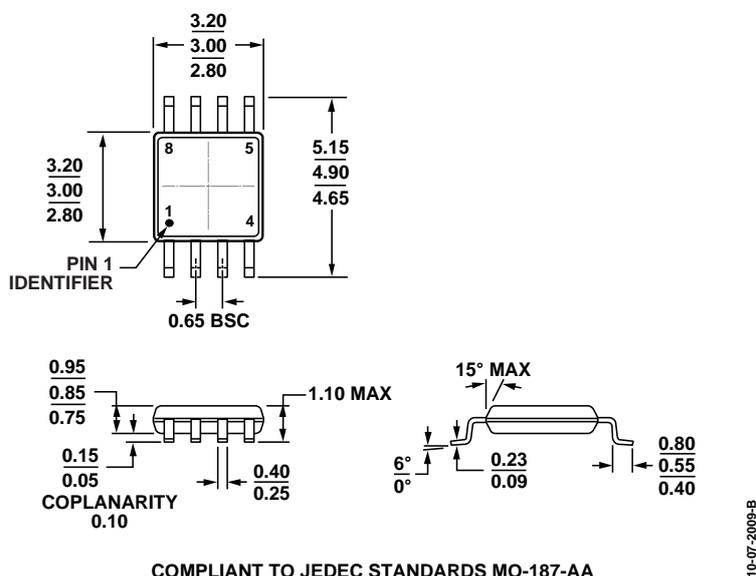


図 56.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法: mm

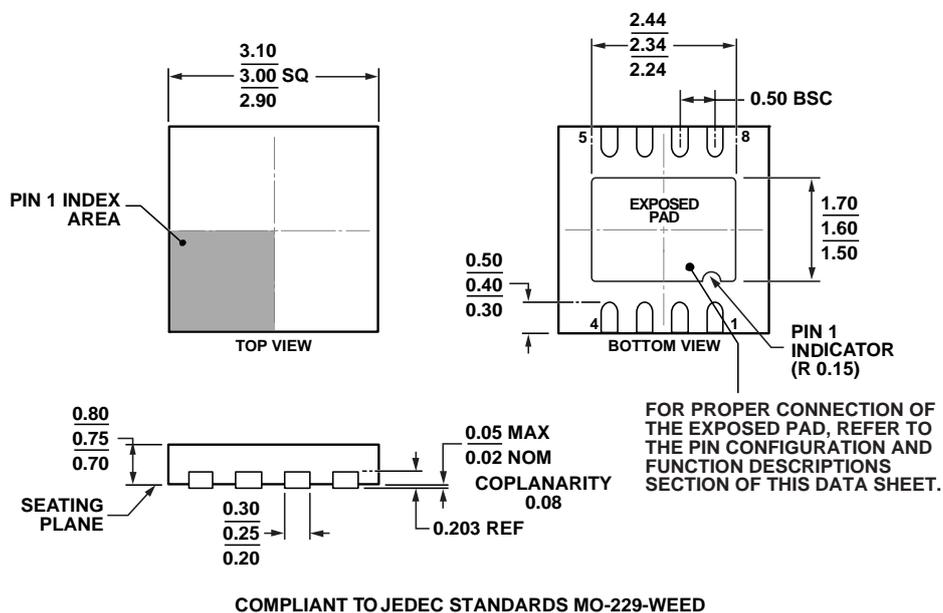
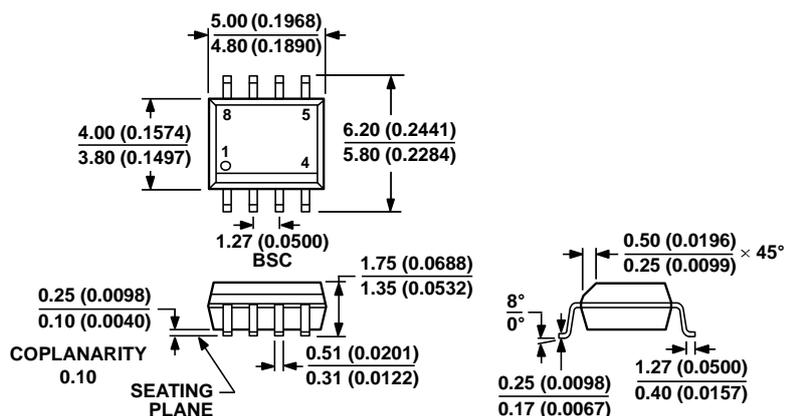


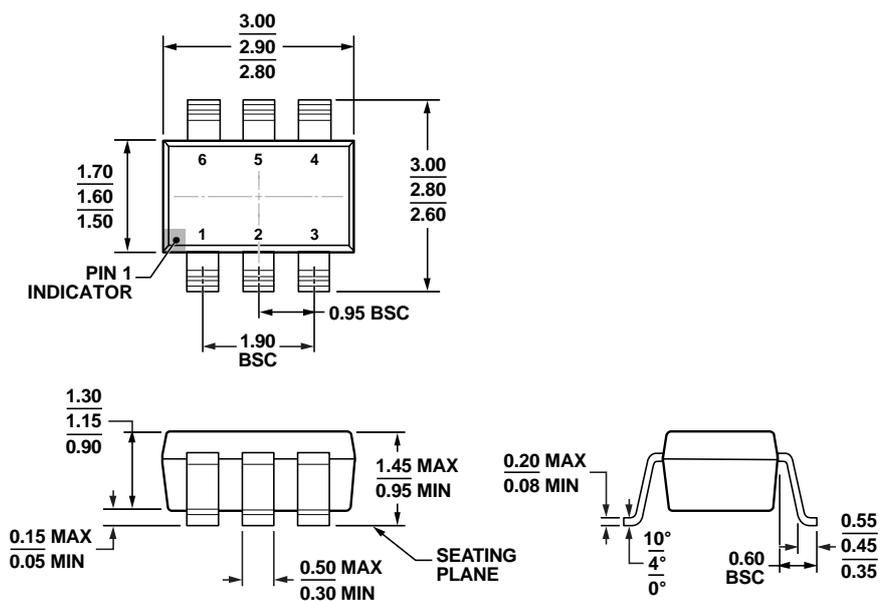
図 57.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WD] 3 mm x 3 mm ボディ、極薄、デュアル・リード (CP-8-11)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

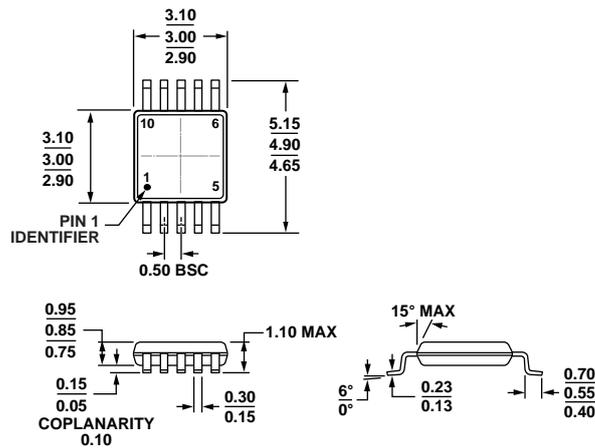
図 58.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-178-AB

図 59.6 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]
 (RJ-6)
 寸法: mm

12-16-2008-A



COMPLIANT TO JEDEC STANDARDS MO-187-BA

091709-A

図 60.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-10)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4896-2ARMZ	-40°C to +125°C	8-Lead MSOP	RM-8	50	H2P
ADA4896-2ARMZ-R7	-40°C to +125°C	8-Lead MSOP	RM-8	1,000	H2P
ADA4896-2ARMZ-RL	-40°C to +125°C	8-Lead MSOP	RM-8	3,000	H2P
ADA4896-2ACPZ-R2	-40°C to +125°C	8-Lead LFCSP_WD	CP-8-11	250	H2P
ADA4896-2ACPZ-R7	-40°C to +125°C	8-Lead LFCSP_WD	CP-8-11	1,500	H2P
ADA4896-2ACPZ-RL	-40°C to +125°C	8-Lead LFCSP_WD	CP-8-11	5,000	H2P
ADA4896-2ACP-EBZ		Evaluation Board for the 8-Lead LFCSP			
ADA4896-2ARM-EBZ		Evaluation Board for the 8-Lead MSOP			
ADA4897-1ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8	98	
ADA4897-1ARZ-R7	-40°C to +125°C	8-Lead SOIC_N	R-8	1,000	
ADA4897-1ARZ-RL	-40°C to +125°C	8-Lead SOIC_N	R-8	2,500	
ADA4897-1ARJZ-R2	-40°C to +125°C	6-Lead SOT-23	RJ-6	250	H2K
ADA4897-1ARJZ-R7	-40°C to +125°C	6-Lead SOT-23	RJ-6	3,000	H2K
ADA4897-1ARJZ-RL	-40°C to +125°C	6-Lead SOT-23	RJ-6	10,000	H2K
ADA4897-1AR-EBZ		Evaluation Board for the 8-Lead SOIC_N			
ADA4897-1ARJ-EBZ		Evaluation Board for the 6-Lead SOT-23			
ADA4897-2ARMZ	-40°C to +125°C	10-Lead MSOP	RM-10	50	H2N
ADA4897-2ARMZ-R7	-40°C to +125°C	10-Lead MSOP	RM-10	1,000	H2N
ADA4897-2ARMZ-RL	-40°C to +125°C	10-Lead MSOP	RM-10	3,000	H2N
ADA4897-2ARM-EBZ		Evaluation Board for the 10-Lead MSOP			

¹ Z = RoHS 準拠製品。