



10MHz、14.5 nV/√Hz、レール to レール I/O ゼロ入力クロスオーバー歪みアンプ

データシート

ADA4500-2

特長

- 電源除去比(PSRR): 最小 98 dB
- 同相モード除去比(CMRR): 最小 95 dB
- オフセット電圧: 最大 120 μV
- 単電源動作: 2.7 V~5.5 V
- 両電源動作: ±1.35 V~±2.75 V
- 広い帯域幅: 10 MHz
- レール to レールの入力および出力
- 低ノイズ
 - 0.1 Hz~10 Hz で 2 μV p-p
 - 1 kHz で 14.5 nV/√Hz
- 非常に小さい入力バイアス電流: 2 pA 最大

アプリケーション

- 圧力センサーと位置センサー
- リモート・セキュリティ
- 医用モニタ
- プロセス制御
- ハザード検出器
- フォトダイオード・アプリケーション

概要

ADA4500-2 は、レール to レールの入出力振幅を持ち、2.7 V~5.5 V の単電源で動作する、10 MHz、14.5 nV/√Hz、低消費電力のデュアル・アンプです。業界標準の公称電圧+3.0 V、+3.3 V、+5.0 V、±2.5 V と互換性を持っています。

このアンプは新しいゼロ・クロスオーバー歪み回路を採用し、レール to レール入力同相モード範囲で優れた直線性を提供し、従来型相補レール to レール入力ステージで生じるクロスオーバー歪みのない優れた電源除去比(PSRR)性能と同相モード除去比(CMRR)性能を提供します。このため、得られるオペアンプは、優れた精度、広帯域幅、非常に小さいバイアス電流も持ちます。

Rev. A

ピン配置

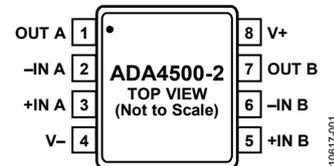


図 1.8 ピン MSOP のピン配置

ピン配置については、ピン配置およびピン機能説明のセクションを参照してください。

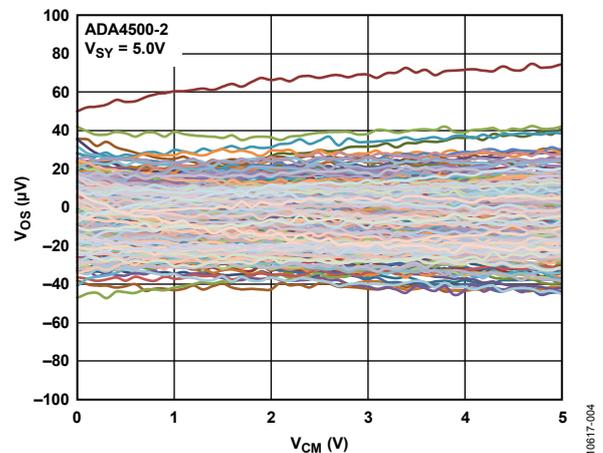


図 2.ADA4500-2 では全電源範囲でクロスオーバー歪みを解消

この機能の組み合わせを持つ ADA4500-2 は、電源変動による誤差が小さく、フル入力電圧範囲で高い CMRR を維持するため、高精度センサー・アプリケーションに最適です。ADA4500-2 は A/D コンバータ(ADC)駆動アンプとしても優れています。これは、同相モード電圧により出力が歪まないためです。この機能により ADC がフル入力電圧範囲を使用できるようになり、変換サブシステムのダイナミックレンジが広がります。

センサー、ハンドヘルド計装機器、高精度シグナル・コンディショニング、患者モニタなどの多くのアプリケーションで、ADA4500-2 の機能を利用することができます。

ADA4500-2 は-40°C~+125°C の拡張工業用温度範囲で動作し、標準の 8 ピン MSOP パッケージまたは 8 ピン LFCSP パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2012 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	動作原理.....	19
アプリケーション.....	1	レール to レール出力.....	19
ピン配置.....	1	レール to レール入力(RRI).....	19
概要.....	1	ゼロ・クロスオーバー歪み.....	19
改訂履歴.....	2	過負荷回復.....	20
仕様.....	3	パワーオン電流のプロファイル.....	21
電気的特性、 $V_{SY} = 2.7\text{ V}$	3	アプリケーション情報.....	22
電気的特性、 $V_{SY} = 5.0\text{ V}$	5	抵抗と容量のセンサー回路.....	22
絶対最大定格.....	7	適応型シングルエンド／差動信号コンバータ.....	22
熱抵抗.....	7	外形寸法.....	24
ESD の注意.....	7	オーダー・ガイド.....	24
ピン配置およびピン機能説明.....	8		
代表的な性能特性.....	9		

改訂履歴

10/12–Rev. 0 to Rev. A

Changes to Ordering Guide 24

10/12–Revision 0: Initial Version

仕様

電気的特性、 $V_{SY} = 2.7\text{ V}$ 特に指定がない限り、 $V_{SY} = 2.7\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			120	μV
					700	μV
Offset Voltage Drift	TCV_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.8	5.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.3	1	pA
					170	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.3	1	pA
					20	pA
Input Voltage Range	IVR	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	V-		V+	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = V^-$ to V^+	95	110		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	90			dB
		$V_{CM} = [(V^-) - 0.2\text{ V}]$ to $[(V^+) + 0.2\text{ V}]$	90	110		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	80			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $[(V^-) + 0.05\text{ V}] < V_{OUT} < [(V^+) - 0.05\text{ V}]$	100	110		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	100			dB
		$R_L = 10\text{ k}\Omega$, $[(V^-) + 0.05\text{ V}] < V_{OUT} < [(V^+) - 0.05\text{ V}]$	105	120		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	105			dB
Input Capacitance						
Common Mode	C_{INCM}			5		pF
Differential	C_{INDM}			1.7		pF
Input Resistance	R_{IN}	Common mode and differential mode		400		$\text{G}\Omega$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V-	2.685	2.695		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.68			V
		$R_L = 2\text{ k}\Omega$ to V-	2.65	2.68		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.65			V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to V+		3	5	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			10	mV
		$R_L = 2\text{ k}\Omega$ to V+		13	20	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			25	mV
Short Circuit Limit	I_{SC}	Sourcing, V_{OUT} shorted to V-		26		mA
		Sinking, V_{OUT} shorted to V+		-48		mA
Closed-Loop Impedance	Z_{OUT}	$f = 10\text{ MHz}$, $A_V = 1$		70		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V}$ to 5.5 V	98	119		dB
		-40°C to $+125^\circ\text{C}$	94			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$		1.5	1.65	mA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			1.7	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 10\text{ k}\Omega$, $C_L = 30\text{ pF}$, $A_V = +1$, $V_{IN} = V_{SY}$		5.5		$\text{V}/\mu\text{s}$
		$R_L = 10\text{ k}\Omega$, $C_L = 30\text{ pF}$, $A_V = -1$, $V_{IN} = V_{SY}$		8.7		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = +100$		10.1		MHz
Unity Gain Crossover	UGC	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = +1$		10.3		MHz
-3 dB Bandwidth	-3 dB	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = -1$		18.4		MHz
Phase Margin	Φ_M	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, $A_V = +1$		52		Degrees
Settling Time to 0.1%	t_s	$V_{IN} = 2\text{ V p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = -1$		1		μs

Parameter	Symbol	Test Conditions/Conditions	Min	Typ	Max	Unit
NOISE PERFORMANCE						
Total Harmonic Distortion + Noise	THD+N	G = 1, f = 10 Hz to 20 kHz, $V_{IN} = 0.7$ V rms at 1 kHz		0.0006		%
Bandwidth = 80 kHz				0.001		%
Bandwidth = 500 kHz						
Peak-to-Peak Noise	$e_{n\text{ p-p}}$	f = 0.1 Hz to 10 Hz		3		$\mu\text{V p-p}$
Voltage Noise Density	e_n	f = 1 kHz		14.5		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	f = 1 kHz		<0.5		$\text{fA}/\sqrt{\text{Hz}}$

電気的特性、 $V_{SY} = 5.0\text{ V}$ 特に指定がない限り、 $V_{SY} = 5.0\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			120	μV
					700	μV
Offset Voltage Drift	TCV_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.9	5.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.7	2	pA
					190	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.3	3	pA
					20	pA
Input Voltage Range	IVR	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	V-		V+	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = V^- \text{ to } V^+$	95	115		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	95			dB
		$V_{CM} = [(V^-) - 0.2\text{ V}] \text{ to } [(V^+) + 0.2\text{ V}]$	95	115		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	84			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $[(V^-) + 0.05\text{ V}] < V_{OUT} < [(V^+) - 0.05\text{ V}]$	105	110		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	80			dB
		$R_L = 10\text{ k}\Omega$, $[(V^-) + 0.05\text{ V}] < V_{OUT} < [(V^+) - 0.05\text{ V}]$	110	120		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	110			dB
Input Capacitance	C_{INCM}	Common Mode		5		pF
		Differential		1.7		pF
Input Resistance	R_{IN}	Common mode and differential mode		400		$\text{G}\Omega$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V-	4.975	4.99		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.97			V
		$R_L = 2\text{ k}\Omega$ to V-	4.95	4.97		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.95			V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to V+		7	15	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			20	mV
		$R_L = 2\text{ k}\Omega$ to V+		24	40	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			50	mV
Short Circuit Limit	I_{SC}	Sourcing, V_{OUT} shorted to V-		75		mA
		Sinking, V_{OUT} shorted to V+		-75		mA
Closed-Loop Impedance	Z_{OUT}	$f = 10\text{ MHz}$, $A_V = +1$		60		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to } 5.5\text{ V}$	98	119		dB
		$-40^\circ\text{C to } +125^\circ\text{C}$	94			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$		1.55	1.75	mA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			1.8	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 10\text{ k}\Omega$, $C_L = 30\text{ pF}$, $A_V = +1$, $V_{IN} = V_{SY}$		5.5		$\text{V}/\mu\text{s}$
		$R_L = 10\text{ k}\Omega$, $C_L = 30\text{ pF}$, $A_V = -1$, $V_{IN} = V_{SY}$		8.7		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = +100$		10		MHz
Unity Gain Crossover	UGC	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = +1$		10.5		MHz
-3 dB Bandwidth	-3 dB	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = -1$		19.2		MHz
Phase Margin	Φ_M	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, $A_V = +1$		57		Degrees
Settling Time to 0.1%	t_s	$V_{IN} = 4\text{ V p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = -1$		1		μs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE PERFORMANCE						
Total Harmonic Distortion + Noise	THD+N	G = 1, f = 20 Hz to 20 kHz, $V_{IN} = 1.4$ V rms at 1 kHz		0.0004		%
Bandwidth = 80 kHz				0.0008		%
Bandwidth = 500 kHz						
Peak-to-Peak Noise	$e_{n\ p-p}$	f = 0.1 Hz to 10 Hz		2		μ V p-p
Voltage Noise Density	e_n	f = 1 kHz		14.5		nV/ \sqrt Hz
Current Noise Density	i_n	f = 1 kHz		<0.5		fA/ \sqrt Hz

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	(V ₋) - 0.2 V to (V ₊) + 0.2 V
Differential Input Voltage ¹	(V ₋) - 0.2 V to (V ₊) + 0.2 V
Output Short-Circuit Duration	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹ 差動入力電圧は 5.6 V または電源電圧 + 0.6 V のいずれか小さい方までに制限されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP (RM-8) ¹	142	45	°C/W
8-Lead LFCSP (CP-8-12) ^{2,3}	85	2	°C/W

¹ 熱的数値は、4層 JEDEC プリント回路ボード(PCB)を使ってシミュレートされたものです。

² 熱的数値は、エクスポーズド・パッドをハンダ付けした 4層 JEDEC プリント回路ボード(PCB)を使ってシミュレートされたものです。

³ θ_{JC} は、パッケージ底面のエクスポーズド・パッドでシミュレートされたものです。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



図 3.8 ピン MSOP のピン配置

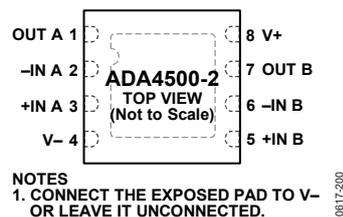


図 4.8 ピン LFCSP のピン配置

表 5.8 ピン MSOP と 8 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	OUT A	出力、チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	V+	正電源電圧
	EPAD	LFCSP パッケージの場合、エクスポーズド・パッドを V に接続するか、または未接続のままにしてください。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

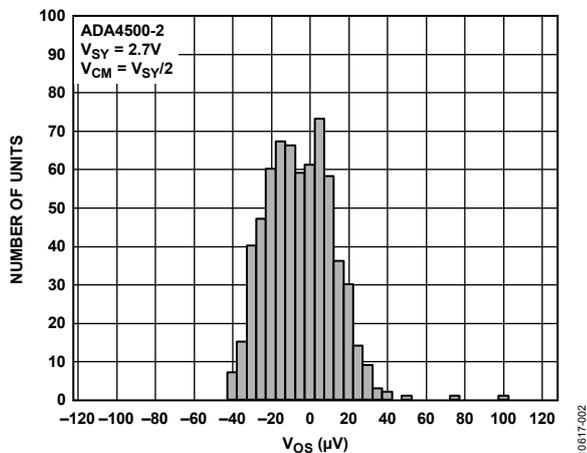


図 5. 入力オフセット電圧の分布、 $V_{SY} = 2.7\text{V}$

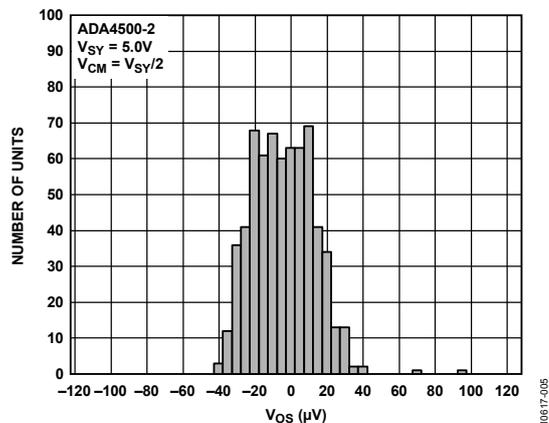


図 8. 入力オフセット電圧の分布、 $V_{SY} = 5.0\text{V}$

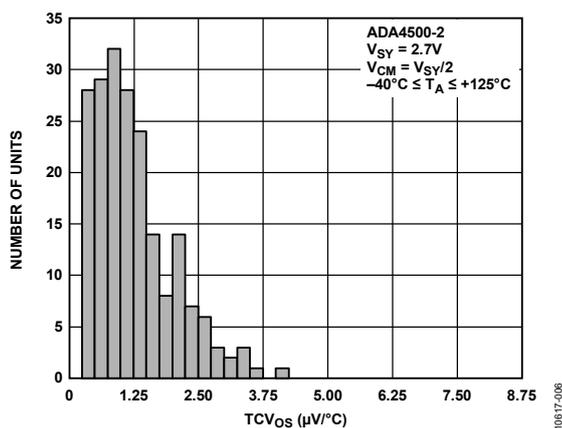


図 6. 入力オフセット電圧ドリフトの分布、 $V_{SY} = 2.7\text{V}$

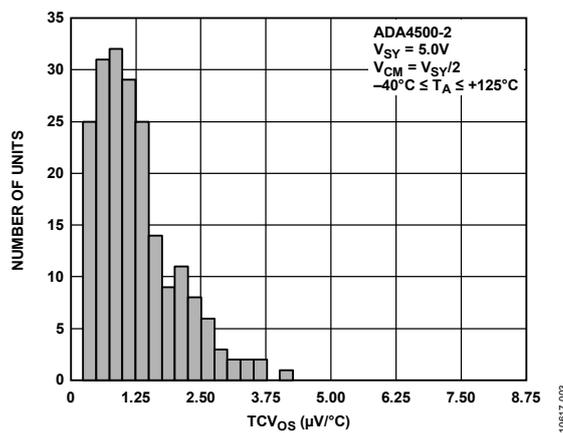


図 9. 入力オフセット電圧ドリフトの分布、 $V_{SY} = 5.0\text{V}$

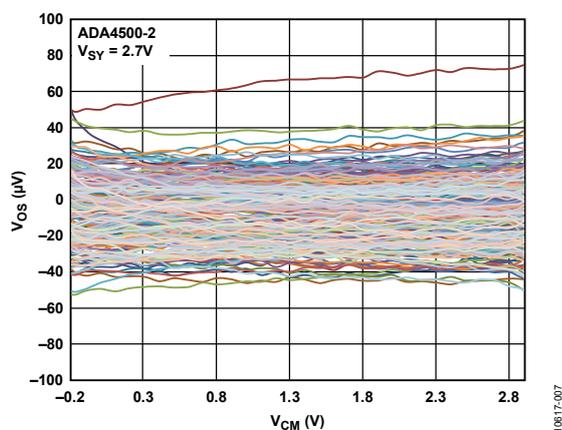


図 7. 同相モード電圧(V_{CM})対入力オフセット電圧(V_{OS})
 $V_{SY} = 2.7\text{V}$

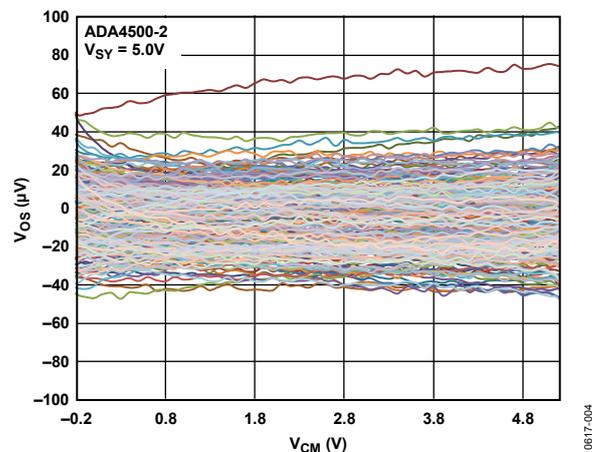


図 10. 同相モード電圧(V_{CM})対入力オフセット電圧(V_{OS})、
 $V_{SY} = 5.0\text{V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

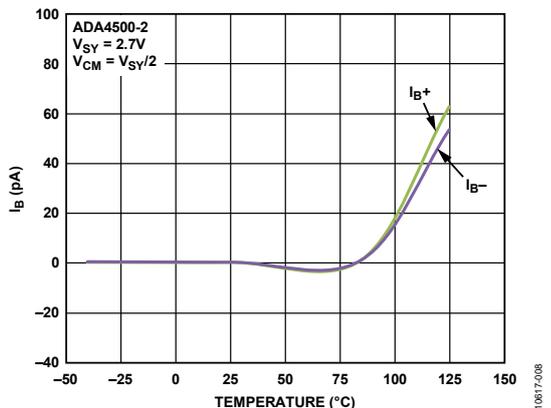


図 11. 入力バイアス電流(I_B)の温度特性、 $V_{SY} = 2.7\text{ V}$

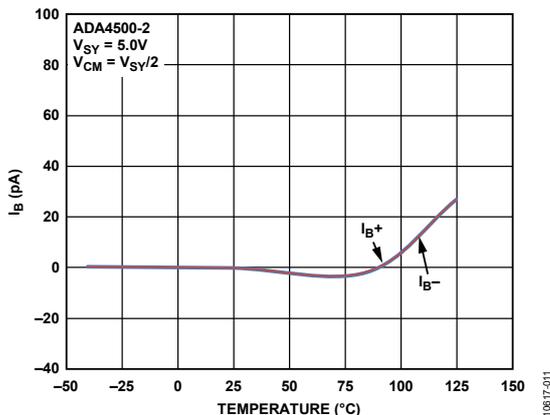


図 14. 入力バイアス電流(I_B)の温度特性、 $V_{SY} = 5.0\text{ V}$

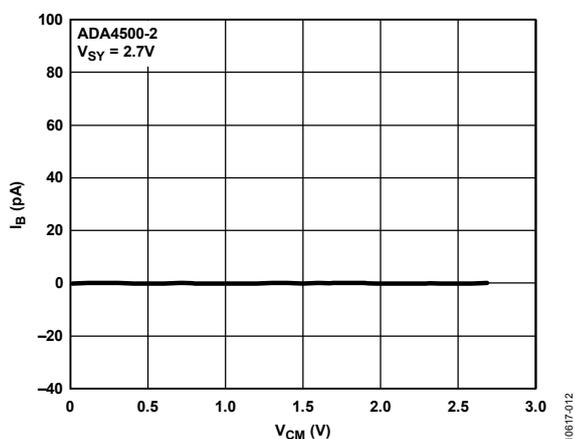


図 12. 同相モード電圧(V_{CM})対入力バイアス電流(I_B)
 $V_{SY} = 2.7\text{ V}$

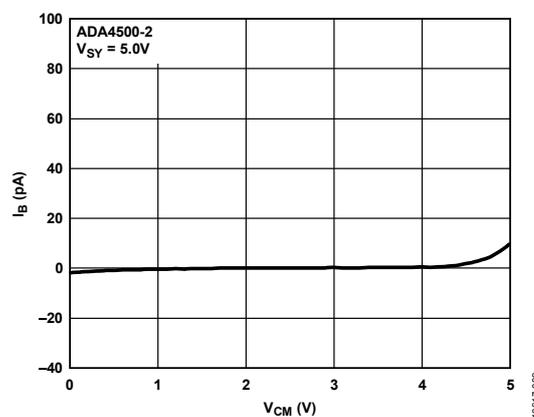


図 15. 同相モード電圧(V_{CM})対入力バイアス電流(I_B)
 $V_{SY} = 5.0\text{ V}$

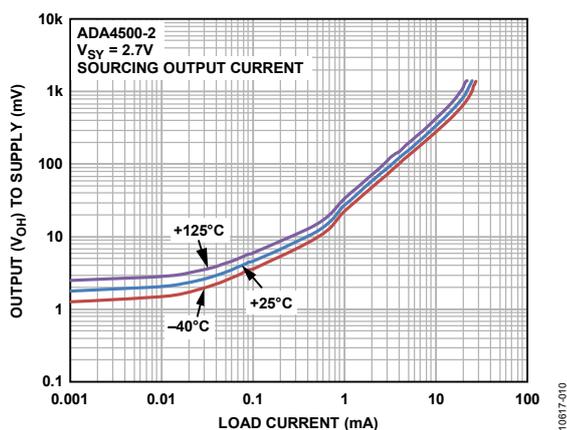


図 13. 負荷電流対電源レールまで近づく出力電圧(V_{OH})
 $V_{SY} = 2.7\text{ V}$

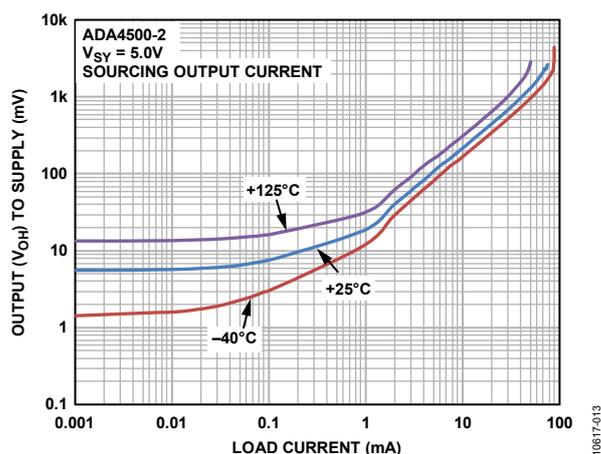


図 16. 負荷電流対電源レールまで近づく出力電圧(V_{OH})
 $V_{SY} = 5.0\text{ V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

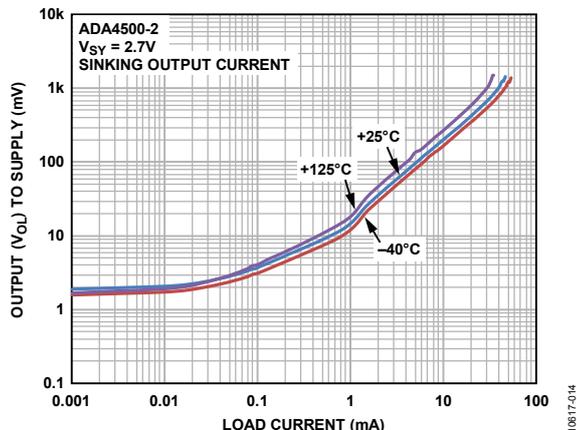


図 17. 電源レールまで近づく出力電圧(V_{OL})の温度特性
 $V_{SY} = 2.7\text{ V}$

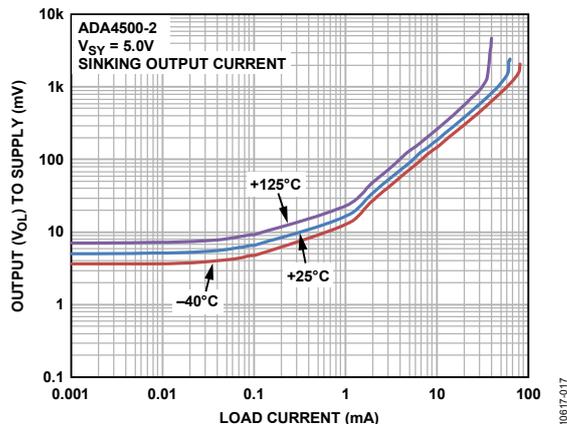


図 20. 負荷電流対電源レールまで近づく出力電圧(V_{OL})
 $V_{SY} = 5.0\text{ V}$

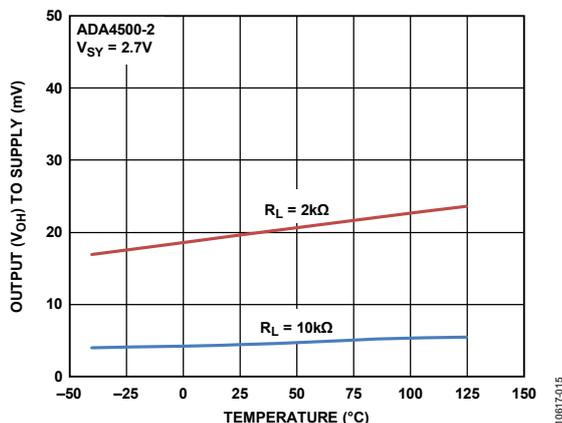


図 18. 電源レールまで近づく出力電圧(V_{OH})の温度特性
 $V_{SY} = 2.7\text{ V}$

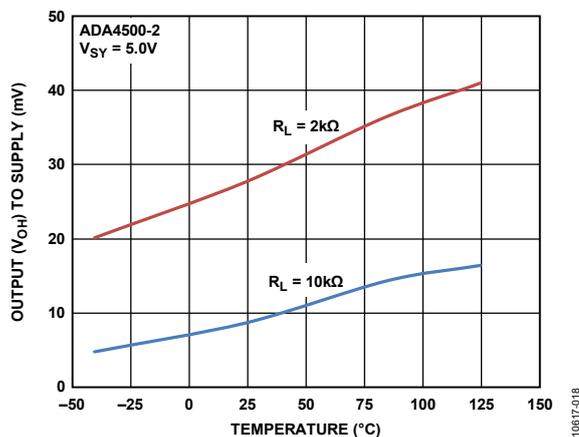


図 21. 電源レールまで近づく出力電圧(V_{OH})の温度特性
 $V_{SY} = 5.0\text{ V}$

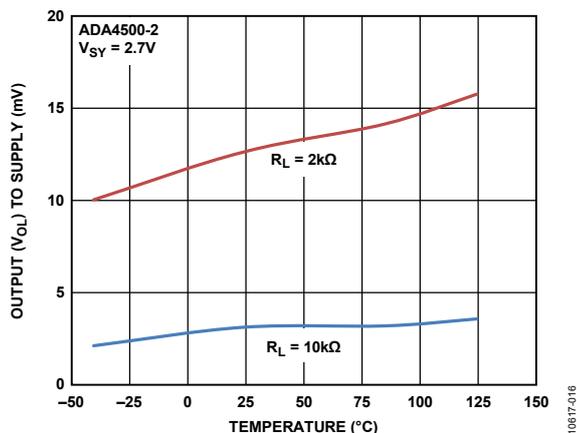


図 19. 電源レールまで近づく出力電圧(V_{OL})の温度特性
 $V_{SY} = 2.7\text{ V}$

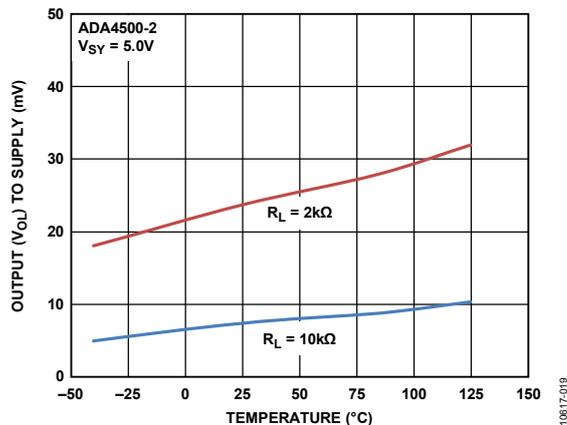


図 22. 電源レールまで近づく出力電圧(V_{OL})の温度特性
 $V_{SY} = 5.0\text{ V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

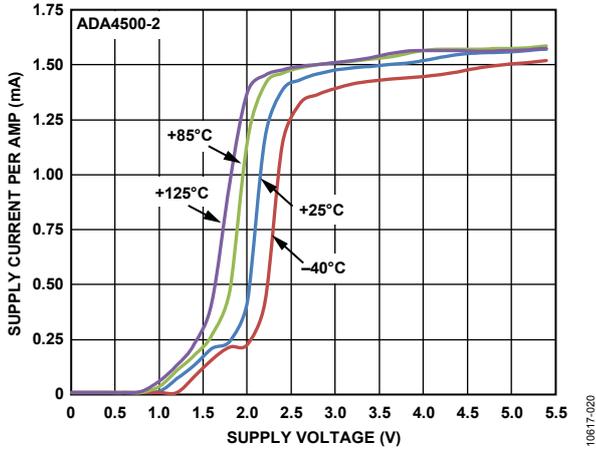


図 23.電源電圧対アンプあたりの電源電流

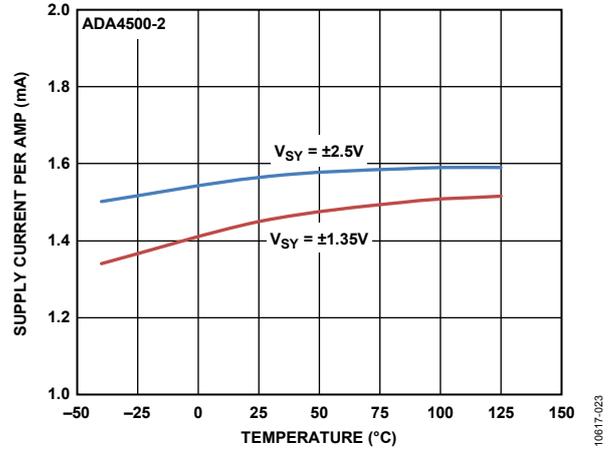


図 26.アンプあたりの電源電流の温度特性

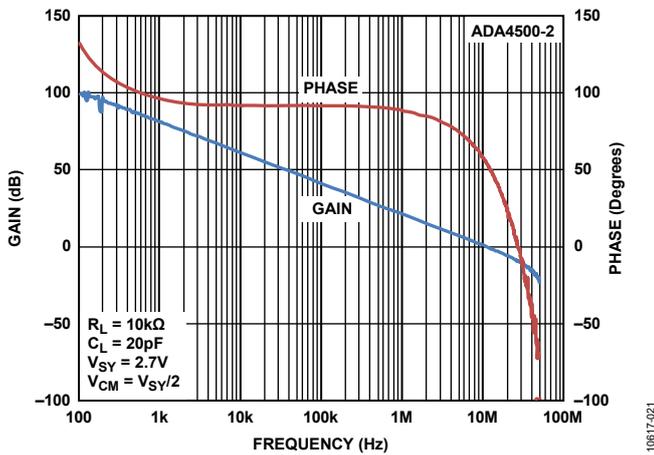


図 24.オープン・ループ・ゲインおよび位相の周波数特性 $V_{SY} = 2.7\text{V}$

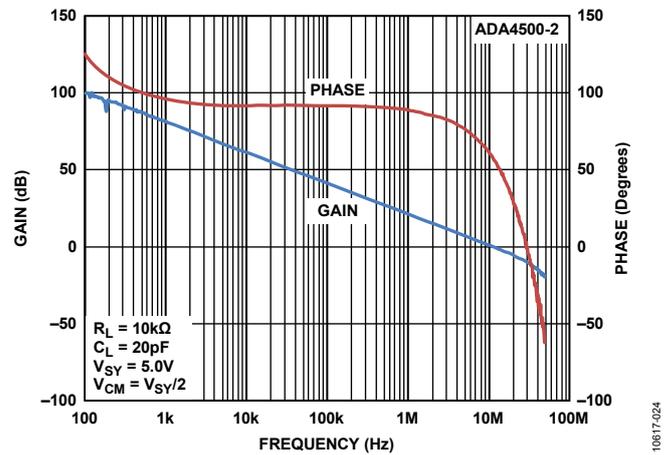


図 27.オープン・ループ・ゲインおよび位相の周波数特性 $V_{SY} = 5.0\text{V}$

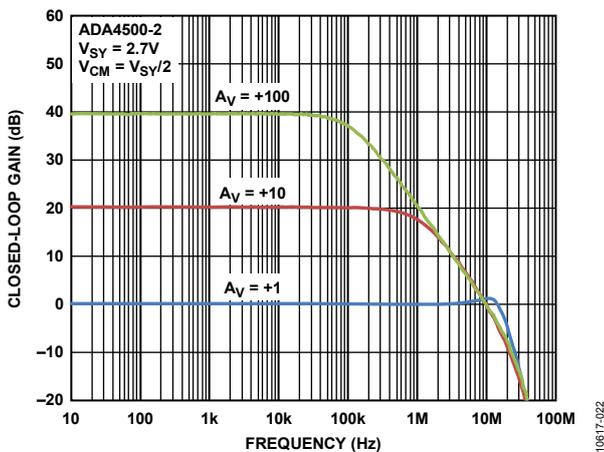


図 25.クローズド・ループ・ゲインの周波数特性 $V_{SY} = 2.7\text{V}$

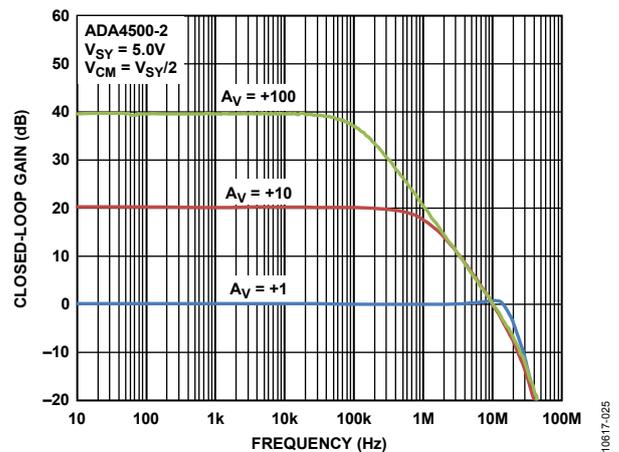


図 28.クローズド・ループ・ゲインの周波数特性 $V_{SY} = 5.0\text{V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

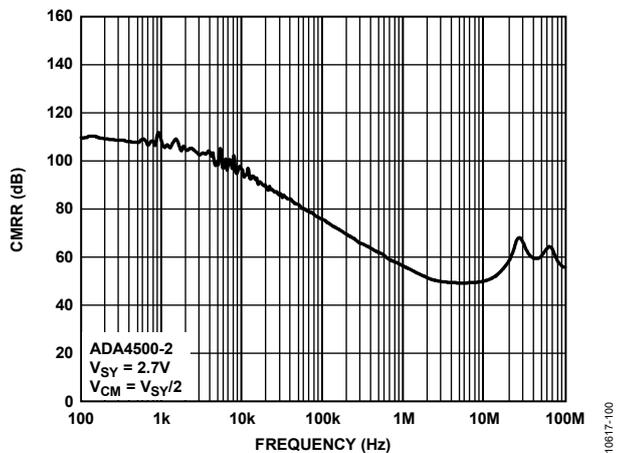


図 29. CMRR の周波数特性
 $V_{SY} = 2.7\text{ V}$

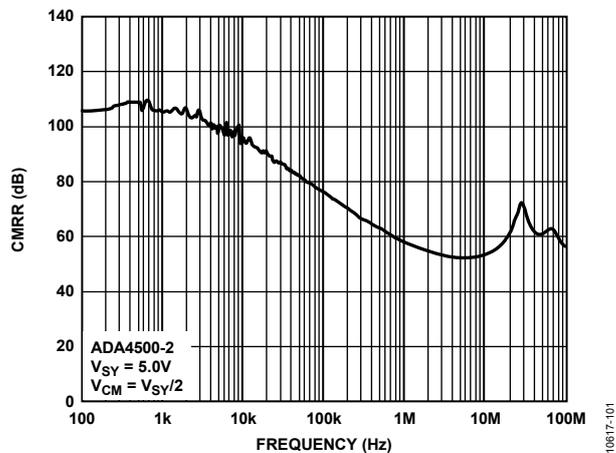


図 32. CMRR の周波数特性
 $V_{SY} = 5.0\text{ V}$

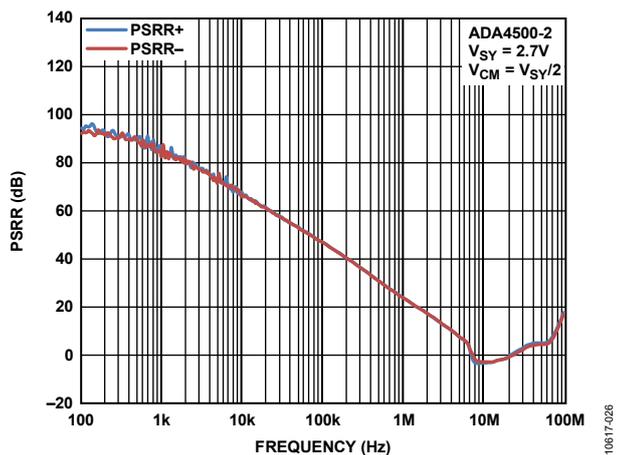


図 30. PSRR の周波数特性、 $V_{SY} = 2.7\text{ V}$

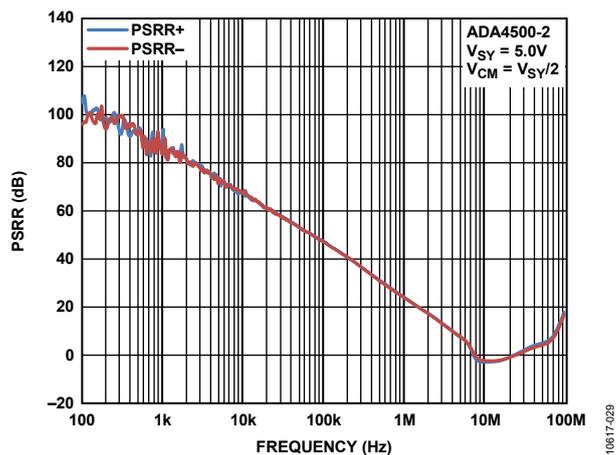


図 33. PSRR の周波数特性、 $V_{SY} = 5.0\text{ V}$

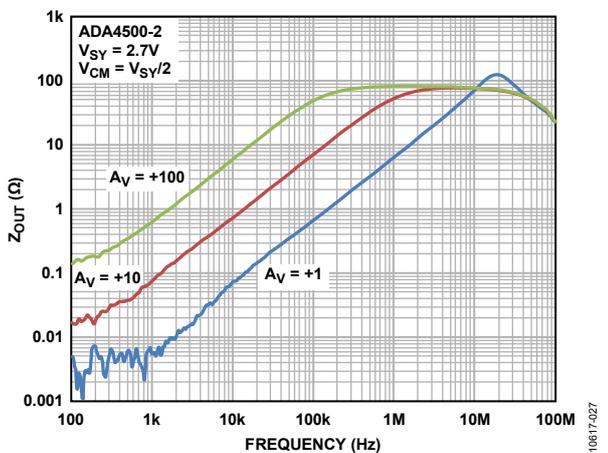


図 31. クローズド・ループ出力インピーダンス(Z_{OUT})の周波数特性、 $V_{SY} = 2.7\text{ V}$

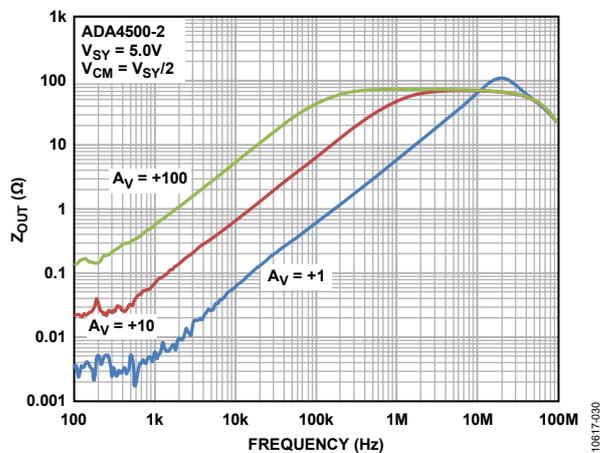


図 34. クローズド・ループ出力インピーダンス(Z_{OUT})の周波数特性、 $V_{SY} = 5.0\text{ V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

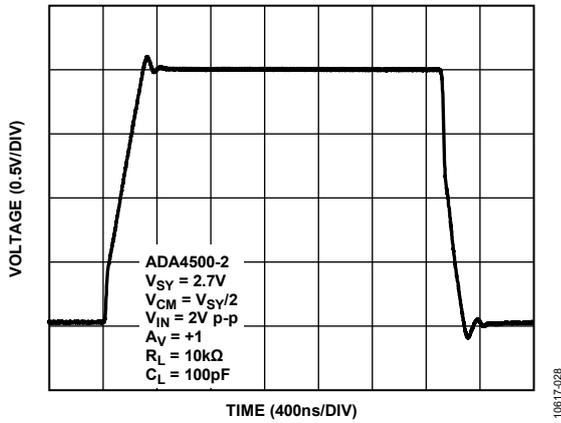


図 35.大信号過渡応答、 $V_{SY} = 2.7\text{ V}$

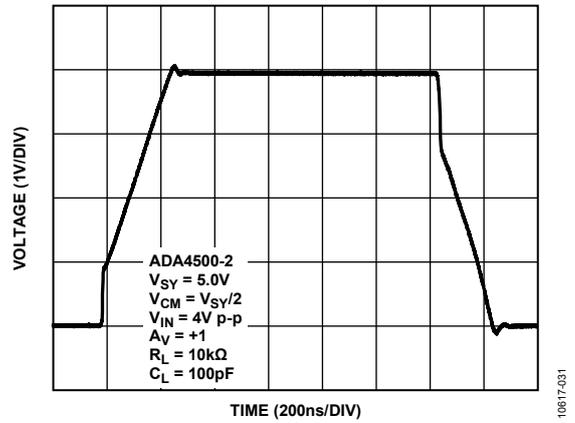


図 38.大信号過渡応答、 $V_{SY} = 5.0\text{ V}$

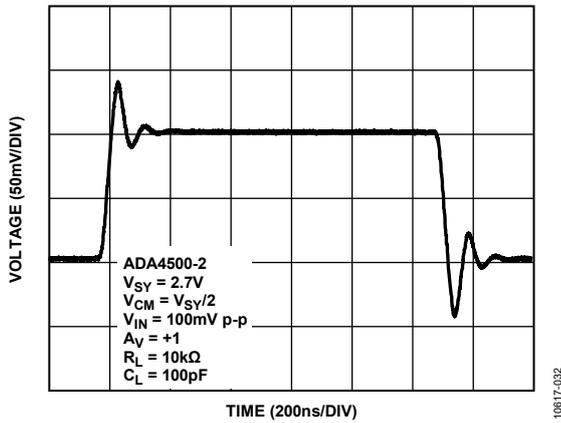


図 36.小信号過渡応答、 $V_{SY} = 2.7\text{ V}$

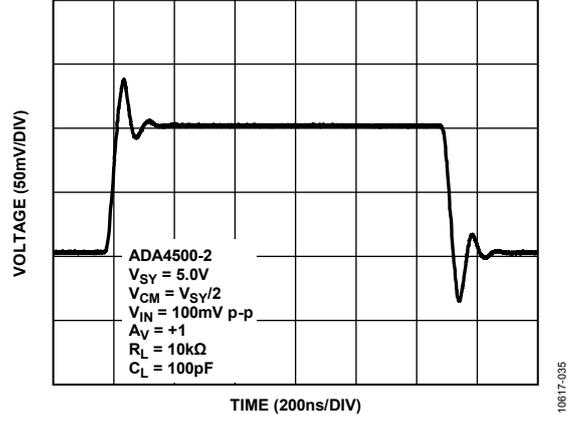


図 39.小信号過渡応答、 $V_{SY} = 5.0\text{ V}$

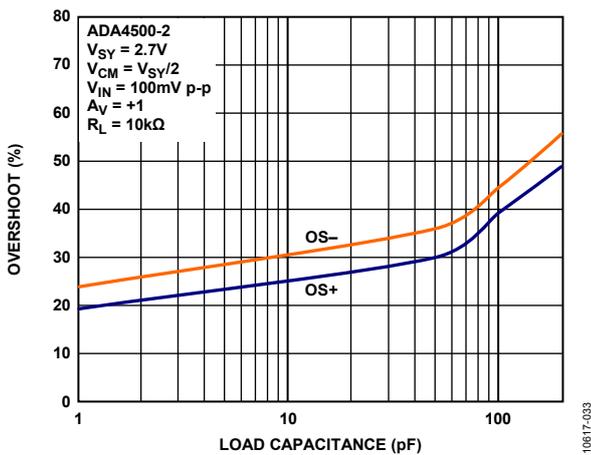


図 37.負荷容量対小信号オーバーシュート、 $V_{SY} = 2.7\text{ V}$

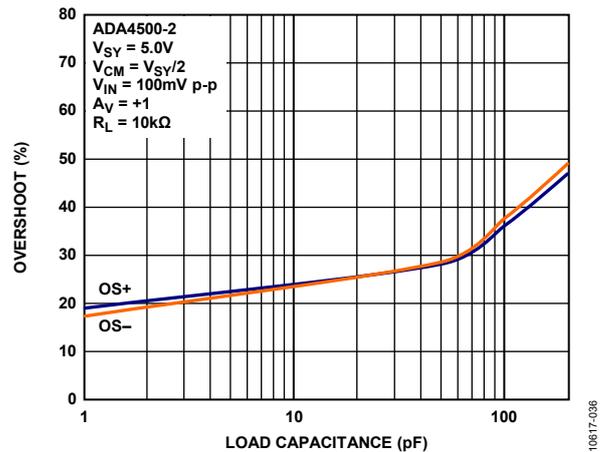


図 40.負荷容量対小信号オーバーシュート、 $V_{SY} = 5.0\text{ V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

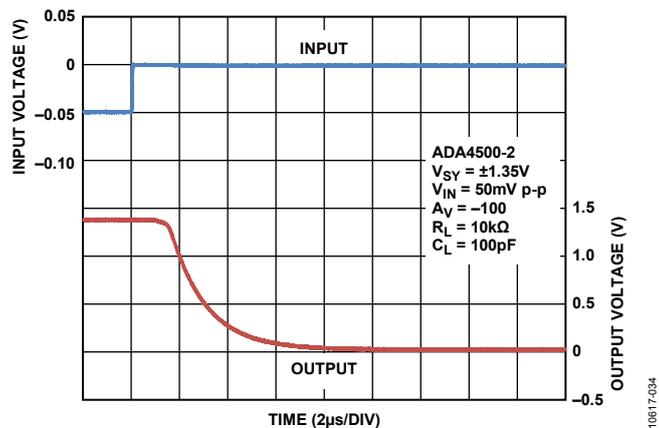


図 41.正側過負荷回復、 $V_{SY} = \pm 1.35\text{V}$

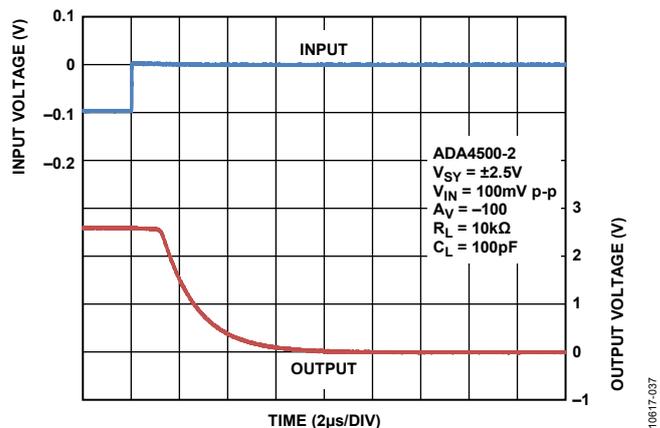


図 43.正側過負荷回復、 $V_{SY} = \pm 2.5\text{V}$

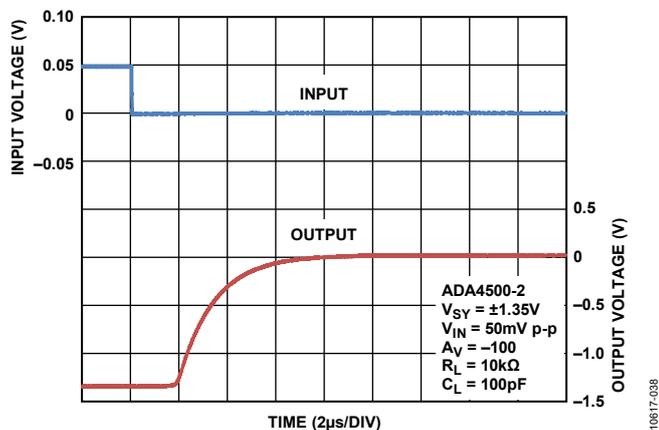


図 42.負側過負荷回復、 $V_{SY} = \pm 1.35\text{V}$

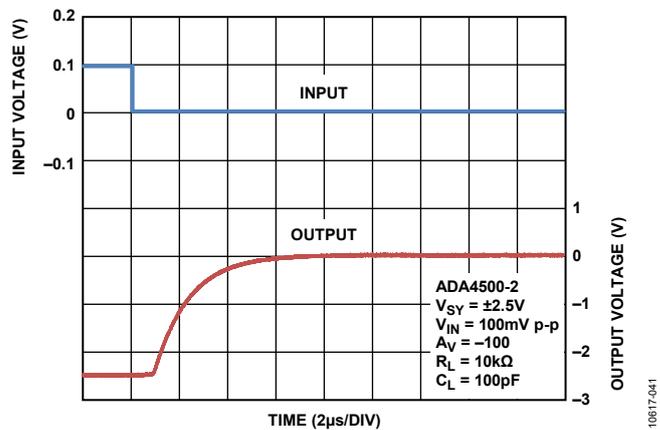


図 44.負側過負荷回復、 $V_{SY} = \pm 2.5\text{V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

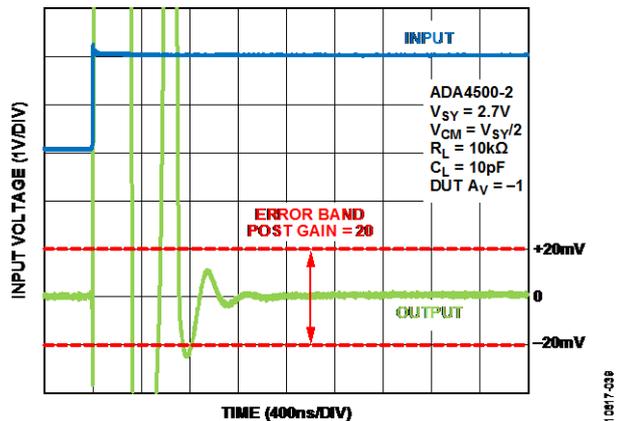


図 45.0.1%への正セトリング・タイム、 $V_{SY} = 2.7\text{V}$

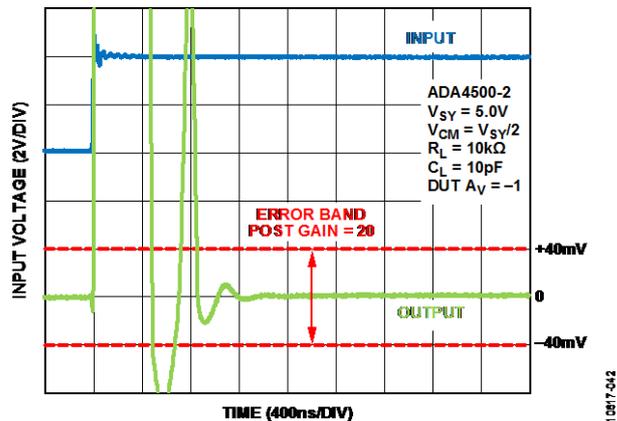


図 47.0.1%への正セトリング・タイム、 $V_{SY} = 5.0\text{V}$

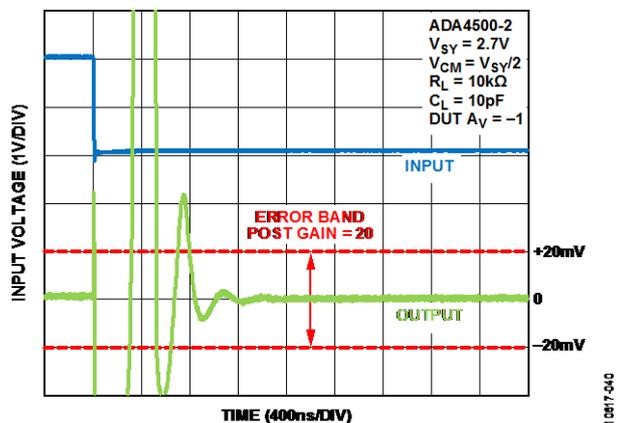


図 46.0.1%への負セトリング・タイム、 $V_{SY} = 2.7\text{V}$

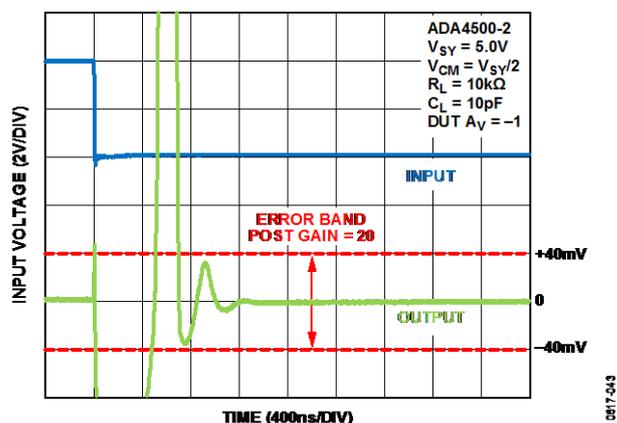


図 48.0.1%への負セトリング・タイム、 $V_{SY} = 5.0\text{V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

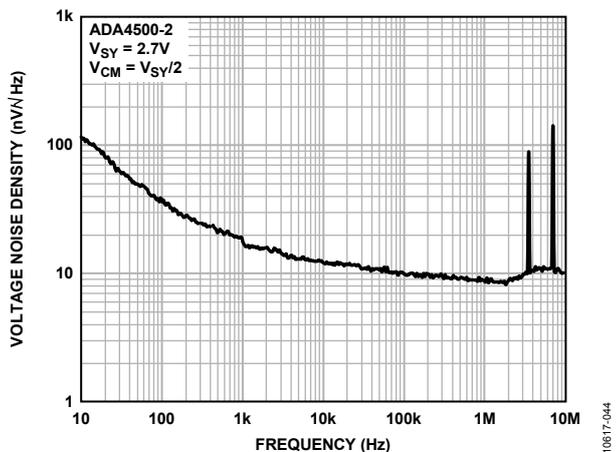


図 49. 電圧ノイズ密度の周波数特性、 $V_{SY} = 2.7\text{ V}$
(10 Hz~10 MHz)

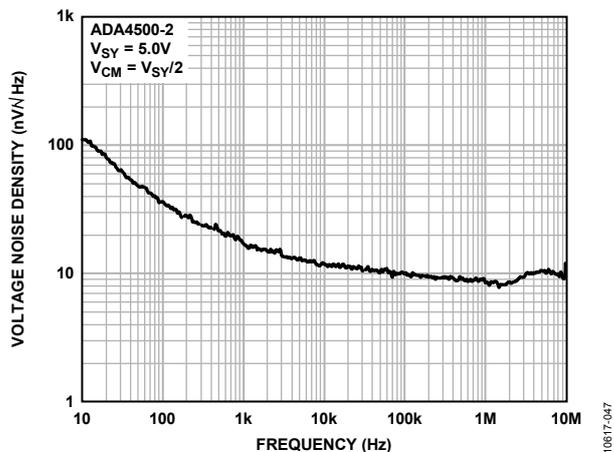


図 52. 電圧ノイズ密度の周波数特性、 $V_{SY} = 5.0\text{ V}$
(10 Hz~10 MHz)

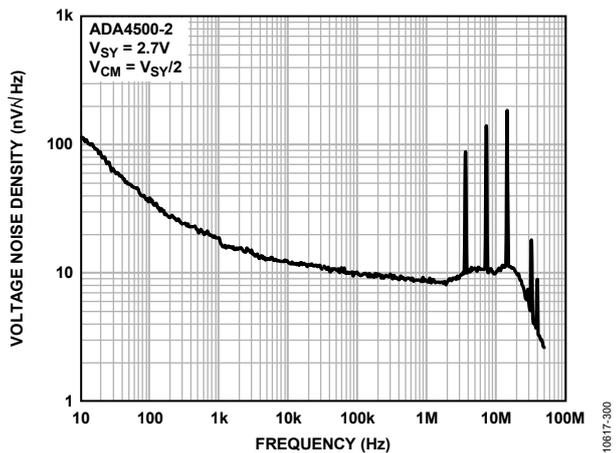


図 50. 電圧ノイズ密度の周波数特性、 $V_{SY} = 2.7\text{ V}$
(10 Hz~100 MHz)

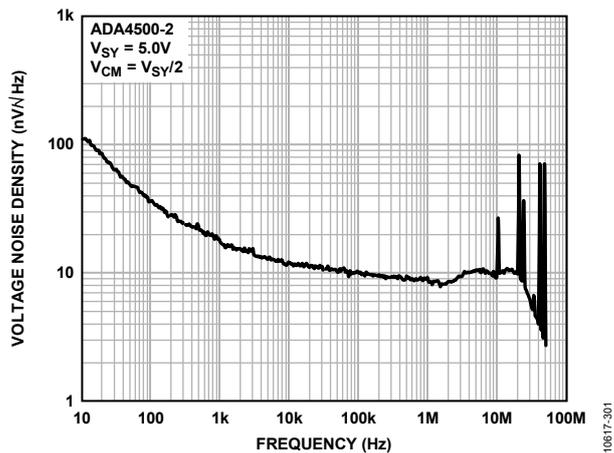


図 53. 電圧ノイズ密度の周波数特性、 $V_{SY} = 5.0\text{ V}$
(10 Hz~100 MHz)

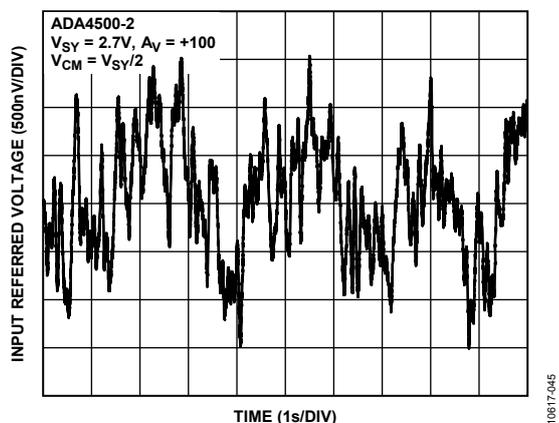


図 51. 0.1~10 Hz ノイズ、 $V_{SY} = 2.7\text{ V}$

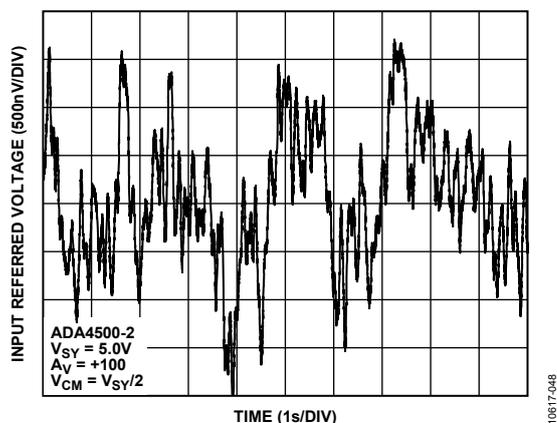


図 54. 0.1~10 Hz のノイズ、 $V_{SY} = 5.0\text{ V}$

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

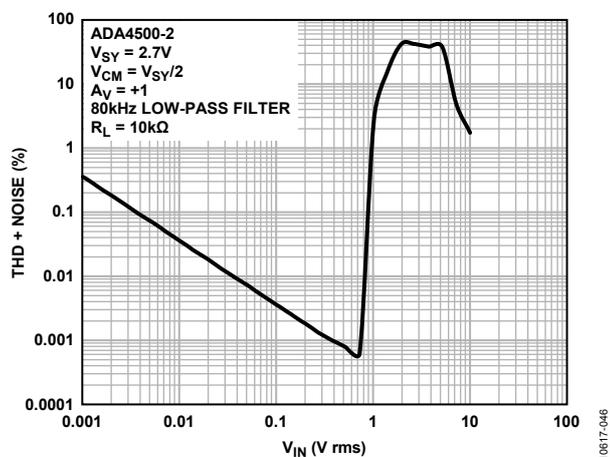


図 55. 振幅対 THD + ノイズ、 $V_{SY} = 2.7\text{V}$

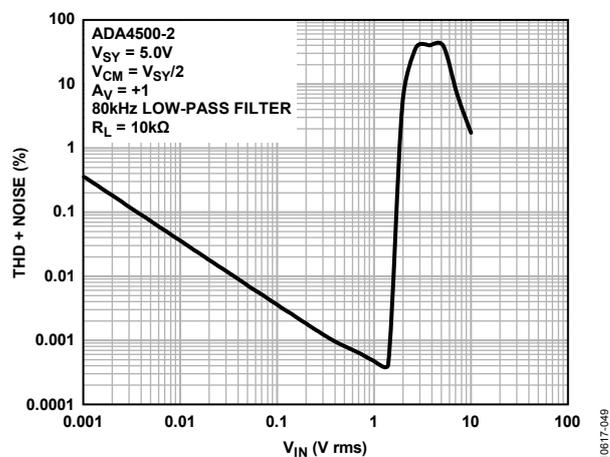


図 57. 振幅対 THD + ノイズ、 $V_{SY} = 5.0\text{V}$

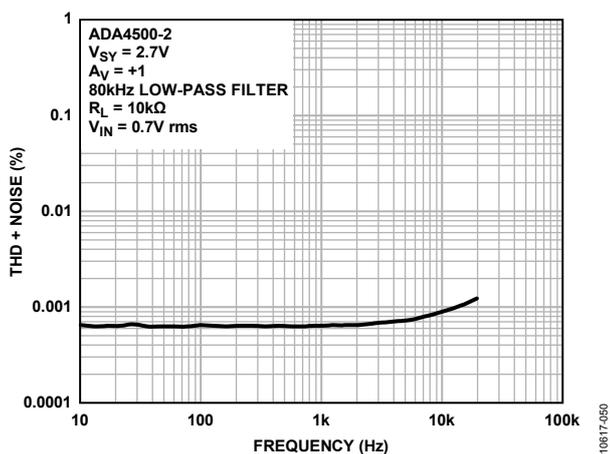


図 56. THD + ノイズの周波数特性、 $V_{SY} = 2.7\text{V}$

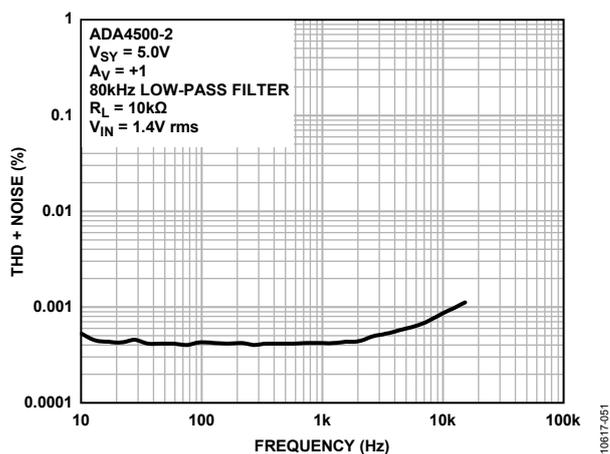


図 58. THD + ノイズの周波数特性、 $V_{SY} = 5.0\text{V}$

動作原理

レール to レール出力

オペアンプから負荷までの信号を処理する際、オペアンプ出力振幅ができるだけ電源レール電圧に近づくことが望ましいことがあります。例えば、オペアンプが ADC を駆動し、かつオペアンプと ADC が同じ電源レール電圧を使用する場合、オペアンプはできるだけ V+レールと V-レールの近くまで駆動して、ADC のすべてのコードを使用できるようにする必要があります。非レール to レール出力では出力とレールとの間に 1.5 V 以上を必要とするため、ADC の入力ダイナミックレンジが制限されて、変換された信号の精度(コード数)が低下します。

ADA4500-2 では出力を電源レールの内側数ミリボルトまで駆動できます(表 1 と表 2 の出力電圧ハイ仕様と出力電圧ロー仕様を参照)。レール to レール出力では、出力ダイナミックレンジが最大になるため、レンジと精度が向上し、コストとボード・スペースが削減され、追加ゲイン・ステージによる誤差の増加がなくなります。

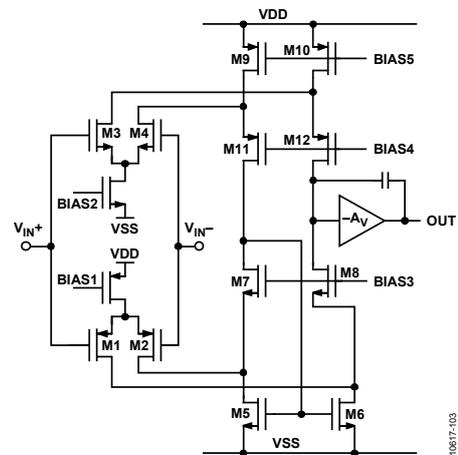


図 59. 代表的な PMOS-NMOS レール to レール入力構造

レール to レール入力(RRI)

CMOS の非レール to レール入力ステージ(シングル差動対)を使うと、入力電圧が電源ラインから約 1 個分のゲートソース間電圧(V_{GS})だけ離れた点に制限されてしまいます。通常動作での V_{GS} は一般に 1 V を超えるため、シングル差動対の入力ステージを使うオペアンプは、大幅に許容入力電圧範囲が制限されます。このため低電圧電源では制約が大きくなります。この問題を解決するため、入力信号範囲が電源電圧まで可能になるように RRI ステージがデザインされました(表 1 と表 2 の入力電圧範囲仕様参照)。ADA4500-2 の場合、入力は電源レールの上 200 mV まで動作を続けます(図 7 と図 10 参照)。

ゼロ・クロスオーバー歪み

一般的なレール to レール入力ステージでは 2 個の差動対を使います(図 59 参照)。同相モード電圧が上限側にある場合に一方の差動対が入力信号を増幅し、同相モード電圧が下限側にある場合に他方の差動対が入力信号を増幅します。この従来型デュアル差動対回路には潜在的な欠点があります。一方の入力ステージがターンオフし、他方がターンオンする範囲を信号レベルが通過する際に、大きな歪みが発生します。図 60 に、 V_{CM} (入力電圧)対 V_{OS} (反転と非反転の間の電位差)の代表的なプロットで歪みを示します。

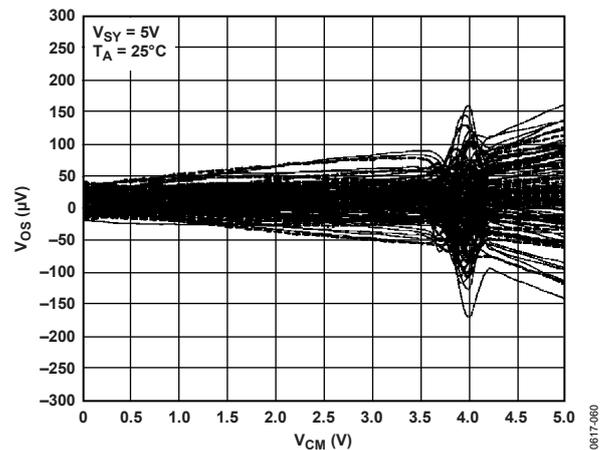


図 60. デュアル差動対入力ステージ・オペアンプの入力オフセット電圧(V_{OS})対同相モード電圧(V_{CM})応答 (5 V 電源、グラフあたり製品約 100 個の結果を表示)

オフセット誤差のこの歪みにより、同相モード誤差の増加を受け入れるか、あるいはクロスオーバー歪み領域を回避する非現実的な方法を採用することにより、オペアンプの同相モード・ダイナミックレンジが狭くなってしまいます。

ADA4500-2 は、入力差動対に電源を供給するチャージ・ポンプを入力構造内に内蔵することにより、このクロスオーバー歪みを解決しています(図 61 参照)。チャージ・ポンプは電源電圧より高い電圧を発生するため、2 つ目の差動対を使用することなく、入力ステージで広い範囲の入力信号電圧を処理することができるようになります。このソリューションを使用すると、歪みなしで入力電圧が一方の電源電圧から他方の電源電圧まで変化することができるため、オペアンプの同相モード・ダイナミックレンジが回復されます。

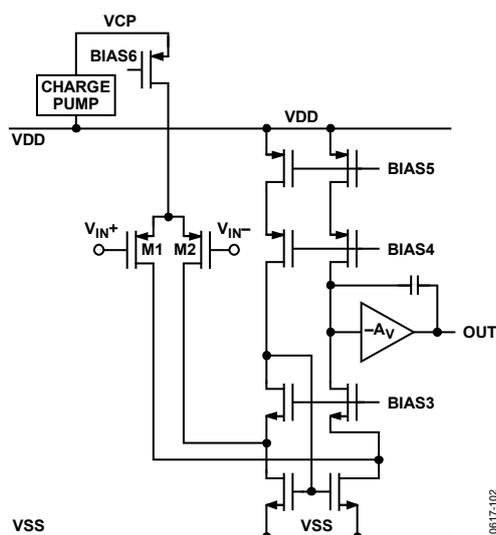


図 61.ADA4500-2 の入力構造

チャージ・ポンプによっては、オープン・ループ構成で動作するようにデザインされているものがあります。このデザインの欠点としては、出力でリップル電圧が大きいこと、出力レギュレーションがないこと、スタートアップが低速であること、電源電流リップルが大きいことなどがあります。このオペアンプのチャージ・ポンプでは、制御可能なクロック・ドライバと差動アンプを含む帰還回路を採用しています。この回路により、低いリップル電圧、ライン/負荷/製造プロセスの変動に対して強い出力レギュレーション、高速なパワーオン・スタートアップ、小さな電源電流リップルが実現されています¹。チャージ・ポンプのリップルはオシロスコープで表示されませんが、スペクトル・アナライザで高周波に表示することができます。チャージ・ポンプのクロック速度は、3.5 MHz (電源電圧= 2.7 V)~5 MHz ($V_{SY} = 5\text{ V}$)で調整できます。ノイズと歪みは、入力信号と熱ノイズまたはフリッカ・ノイズのみによって制限されます。

図 62 に、ADA4500-2 でクロスオーバー歪みが解消されていることを示します。このソリューションは、CMRR 性能を大幅に向上させます。例えば、入力変化が 5 V 電源レールでレール to レールである場合、最小 70 dB の CMRR を持つデバイスを使うと、入力換算誤差は 1581 μV になります。ADA4500-2 は CMRR = 最小 90 dB (フル動作温度範囲)と高いため、歪みを 5 V 電源で最大誤差 158 μV まで削減します。ADA4500-2 は、複雑な回路とコスト増なしでクロスオーバー歪みを解消します。

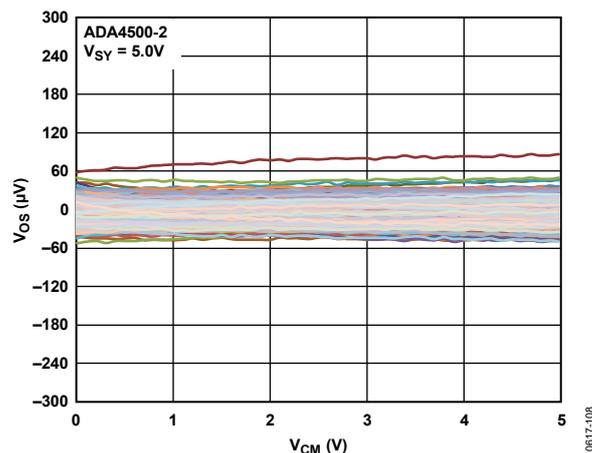


図 62.チャージ・ポンプ・デザインによりクロスオーバー歪みを解消

過負荷回復

出力を一方の電源レールまで駆動すると、ADA4500-2 は過負荷状態になります。ADA4500-2 は迅速に過負荷状態から回復します。一般的なオペアンプの回復時間は数十 μs になります。ADA4500-2 は、過負荷状態が除去されてから出力が再度アクティブになるまでに 1 μs 以内に過負荷状態から回復します。例えば、これは帰還制御システムで重要です。ADA4500-2 の高速な過負荷回復により、ループ遅延が大幅に小さくなるため制御ループの応答時間が向上します(図 41~図 44 参照)。

¹ Oto, D.H.; Dham, V.K.; Gudger, K.H.; Reitsma, M.J.; Gongwer, G.S.; Hu, Y.W.; Olund, J.F.; Jones, H.S.; Nieh, S.T.K.; "High-Voltage Regulation and Process Considerations for High-Density 5 V-Only $E^2\text{PROM's}$," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, No.5, pp.532-538, October 1983.

パワーオン電流のプロファイル

ADA4500-2 は、滑らかな電流プロファイルと電源電流オーバーシュートなしでパワーアップします(図 63 参照)。システムのパワーアップ時、パワーアップ電流にスパイクが生じることは望ましくありません(図 64)。システムのパワーアップ後には大きな電源が不要な場合でも、オーバーシュートに対しては、十分な大きな電源(例えば電圧レギュレータ)を使用してピーク電流を供給する必要があります。複数のアンプが電流にスパイクを生じさせる場合、システムを電流制限状態にしてパワーアップさせることができます。これらはすべて、ADA4500-2 の滑らかなパワーアップにより回避されます。

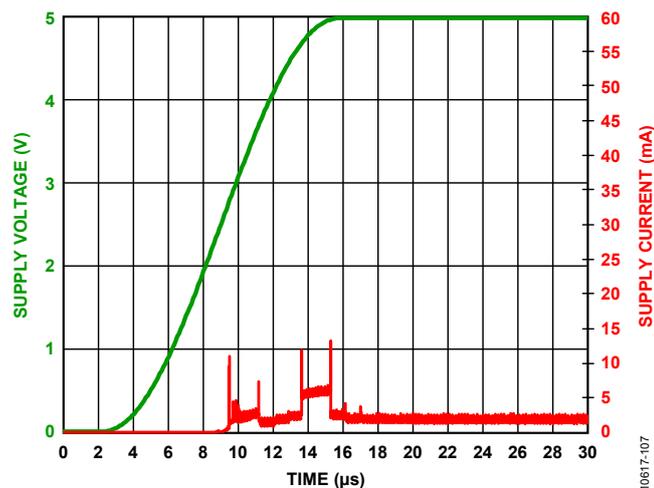


図 63. スパイクのない ADA4500-2 の I_{SY} と V_{SY} の時間変化

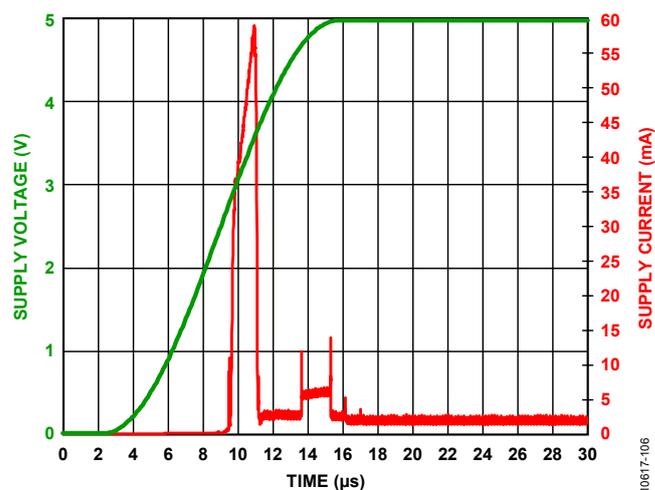


図 64. パワーアップ・スパイクがある場合の I_{SY} と V_{SY} の時間変化

オン/オフ・スイッチングを頻繁に行うシステムでは、パワーアップ・オーバーシュートにより消費電力が増えます。アンプがオン/オフするごとに、スパイクによる大きな電力消費が各パワーアップごとに繰り返されるため、総合消費電力が大幅に増えます。一例として、バッテリー駆動のセンサー・システムが周期的にセンサーと信号パスをパワーアップさせる場合、測定値を取得して次の読出しまでシャットダウンすることにより、ADA4500-2 はバッテリー寿命を延ばします。これは、各パワーアップで余分な電荷が消費されないために可能になります。

アプリケーション情報

抵抗と容量のセンサー回路

図 65 に示すアプリケーションでは、式 1 により周期が R_X 値と C_X 値に比例する方形波出力を発生します。 C_X を固定して、出力信号の周期を測定することにより、 R_X を求めることができます。 R_X を固定すると C_X の測定が可能になります。

$$\text{周期} = 4.80 \times R_X \times C_X \quad (1)$$

U1A は ADA4500-2 の高い入力インピーダンスと広いレール to レール入力ダイナミックレンジを利用して、広い範囲の抵抗 (R_X) を測定します。

U1B はコンパレータとして使用します。非反転入力範囲は $(1/12) \times V_{POS} \sim (11/12) \times V_{POS}$ で、出力振幅はレール to レールです。回路精度は各アンプの伝搬時間に依存するため、出力過負荷状態から U1B が高速に回復するので、このアプリケーションに最適になっています。

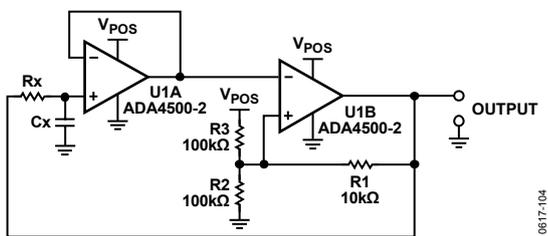


図 65. 抵抗/容量センサー

適応型シングルエンド/差動信号コンバータ

問題点

単電源で動作するシステムで信号パスをデザインするときは、正、ゼロ、負の値を持つ入力信号の全範囲を表す方法が最大の問題になります。出力にゼロを含む場合、出力信号は完全にグラウンドへ到達する必要があります。これは単電源アンプでは不可能です。シングルエンド/差動信号コンバータ回路を使用してシングルエンド入力信号を差動信号に変換すると、正出力と負出力を等しくすることによりゼロを表すことができるため、いずれのアンプもグラウンドへ到達しなくて済みます。

シングルエンド/差動信号変換には他の利点もあります。例えば、信号振幅を 2 倍にして信号対ノイズ比を改善すること、同相モード・ノイズを除去すること、高精度差動 ADC 入力を駆動することなどです。

差動信号変換の他に、負荷での AC 信号が最大振幅になるように回路出力の同相モード DC レベルを設定する必要があります(ADC 入力の場合のように)。

単電源使用のシングルエンド/差動信号コンバータ回路をデザインする際に遭遇する主な問題は次の 3 点です。

- 電源が 1 つの電圧に制限される場合、回路の入力信号レベルは一般にグラウンド～電源電圧 (V_{SY}) 範囲の動作に制限されます。入力ダイナミックレンジのこの制限のため、シングルエンド/差動信号コンバータに入力する場合でも、その前にソース信号の減衰および/またはレベルシフトを行う必要があります。このため、信号対ノイズ比 (SNR) が低下し、誤差が大きくなります。
- AC 信号が重畳されている入力信号の DC 成分は一般に、システム動作時には知られていません。例えば、種々のソースからの複数の入力信号がマルチプレクスされてシングルエンド/差動信号コンバータ回路に入力される場合、各信号の DC レベルは異なることがあります。複数の DC 入力レベルに対応することは、電源レールでクリップされないように入力 AC 成分の最大許容ピーク電圧をシステム・デザインで調整しなければならないことを意味します。
- システム・プロセッサは元の信号の DC レベルを知らないため、それを調整することができません。

解決策

これらの問題は、図 66 に示す適応型シングルエンド/差動コンバータで解決されます。この回路は 2.7 V～5.5 V の単電源で動作し、自動的に出力の DC 同相モードを所要のレベルへ調整して、入力信号の DC 成分を測定できるようにします。この回路は、正電源レール (V_{SY}) とリファレンス電圧 (V_{REF}) の 2 つの電圧源を使います。U1A は入力信号をバッファし、U1B はその信号を積分し、積分した (DC) 電圧を U1A へ帰還して、出力信号の中心が V_{REF} となるようにします。抵抗 R10 と抵抗 R11 を抵抗 R8 と抵抗 R9 のインピーダンスに一致するように設定して、AC 応答を一致させ、バイアス電流の影響をバランスさせます。

入力周波数範囲は 10 Hz～1 MHz が可能です。入力信号のピーク to ピーク振幅は、 $V_{SY} - 100 \text{ mV}$ まで可能です。入力信号の DC 同相モード (V_{CM}) は、 $+1.5 \times V_{SY}$ および $-0.5 \times V_{SY}$ まで可能であるため、+5 V 電源電圧を使用するシステムでは、5 V p-p の信号振幅で最大 +7.5 V と最小 -2.5 V の同相モードが可能になります。グラウンドの上下での広い範囲の V_{CM} 、および電源までの信号振幅により、入力信号振幅の圧縮と SNR の犠牲が不要になります。信号の AC 成分と DC 成分を測定するときは、コンデンサを信号パスに使用できません。図 66 に、シングルエンド/差動信号コンバータ回路の電圧範囲の例を示します。

AC 信号をシングルエンドから差動へ変換する他に、この回路は入力信号の AC 成分と DC 成分を分離し、出力信号の同相モード DC レベルを V_{REF} と同じ電圧へ自動的に調節します。出力信号は入力信号の差動バージョンになり、同相モード電圧は最適値(例えば ADC への $\frac{1}{2}$ フルスケール入力範囲)に設定されます。信号の非反転 AC 成分は OUTP に出力され、反転 AC 信号は OUTN に出力されます。差動出力信号(OUTP と OUTN)の中心電圧は REF に入力される電圧になります。このデザインでは、R3 と R4 により REF を $\frac{1}{2}V_{POS}$ に設定して、最大の信号ピーク to ピーク振幅となるようにしていますが、これらの抵抗を除くこともできます。また REF 入力をリファレンス電圧や D/A コンバータ

(DAC)出力のような外部ソースから駆動することもできます。

入力信号の DC 同相モード成分(V_{DC})は、REF に加えた電圧と帰還 (FB)出力で測定した電圧を使い、式 2 から求めました。入力信号の V_{CM} を既知とすると、例えば同相モードがレール電圧に非常に近い状況でも適切に応答することができます。

$$V_{DC} = (2 \times FB) - (REF) \tag{2}$$

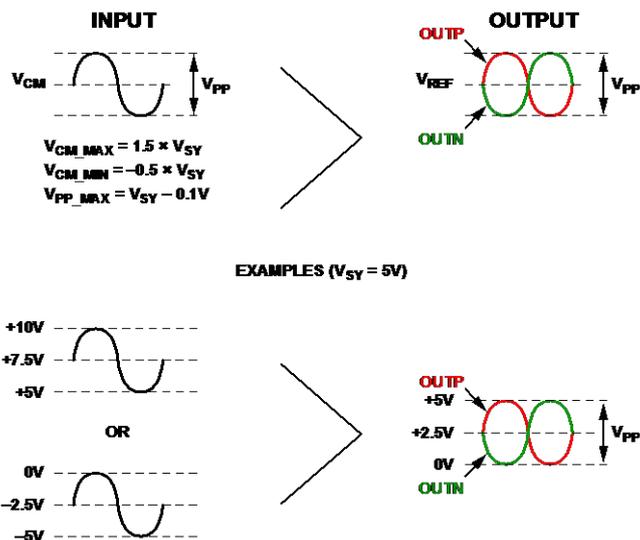
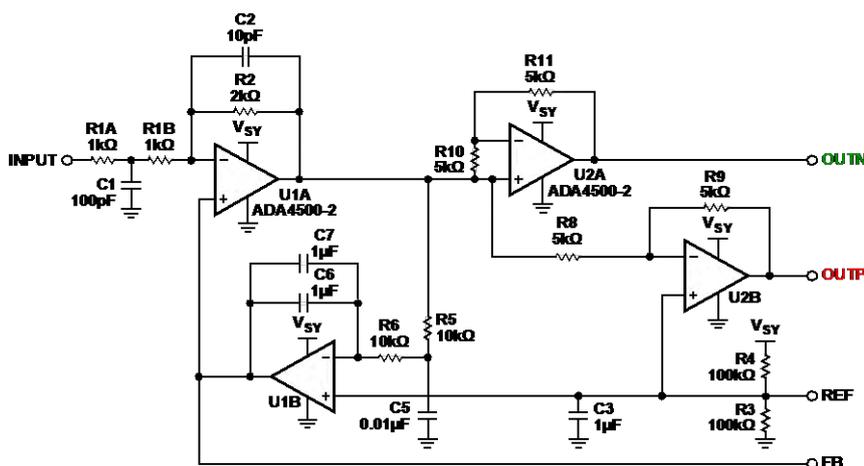


図 66. 信号の AC 成分と DC 成分を分離するシングルエンド/差動変換回路

外形寸法

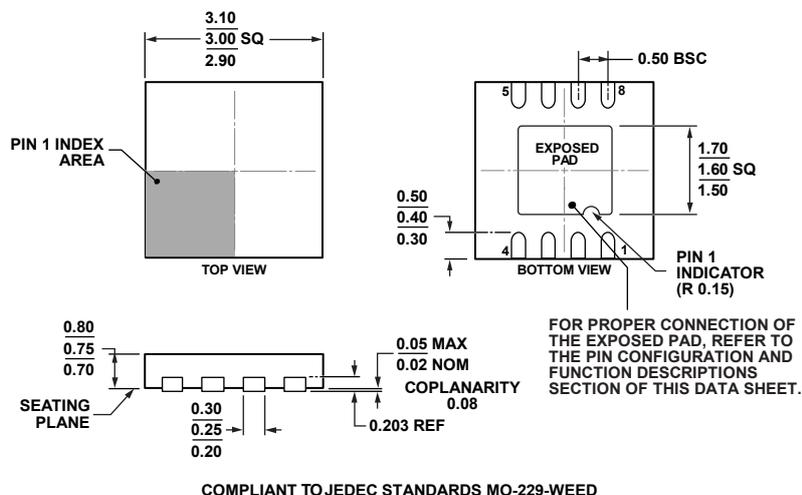


図 67.8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WD]
3 mm × 3 mm ボディ、極薄、デュアル・リード
(CP-8-12)
寸法: mm

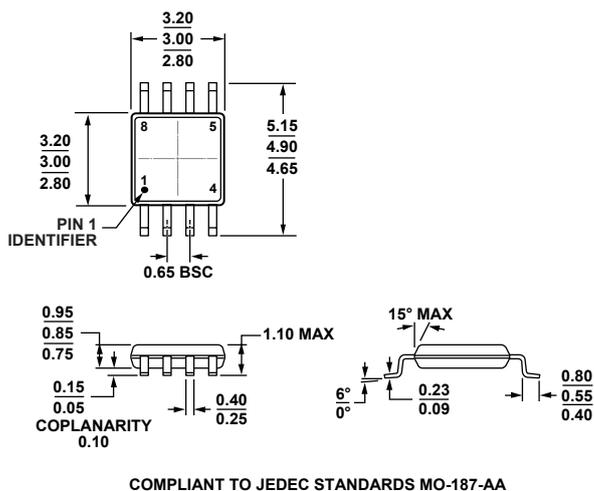


図 68.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature	Package Description	Package Option	Branding
ADA4500-2ACPZ-R7	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-8-12	A2Z
ADA4500-2ACPZ-RL	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-8-12	A2Z
ADA4500-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Z
ADA4500-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Z
ADA4500-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Z

¹ Z = RoHS 準拠製品。