



4 MHz、7 nV/√Hz、低オフセット 低ドリフトの高精度アンプ

データシート

ADA4077-1/ADA4077-2/ADA4077-4

特長

オフセット電圧およびオフセット電圧ドリフト

B グレード: $V_{SY} = \pm 5 V$ で $25 \mu V$ および $0.25 \mu V/^{\circ}C$

A グレード: $25^{\circ}C$ で最大オフセットおよび $-40^{\circ}C \sim +125^{\circ}C$ で最大ドリフト

SOIC: シングル/デュアルで $50 \mu V$ および $0.55 \mu V/^{\circ}C$ 、クワッドで $0.75 \mu V/^{\circ}C$

MSOP: デュアルで $90 \mu V$ および $1.2 \mu V/^{\circ}C$ 、シングルで $120 \mu V$ および $1.2 \mu V/^{\circ}C$

TSSOP: クワッドで $120 \mu V$ および $1.2 \mu V/^{\circ}C$

MSL1 定格

低入力バイアス電流: $T_A = 25^{\circ}C$ で最大 $1 nA$

低電圧ノイズ密度: $f = 1000 Hz$ で $6.9 nV/\sqrt{Hz}$ typ

CMRR、PSRR、 A_V が $120 dB$ 以上

低電源電流: アンプあたり $400 \mu A$ (typ)

広いゲイン帯域幅積: $\pm 5 V$ で $3.9 MHz$

両電源動作: $\pm 2.5 V \sim \pm 15 V$

ユニティ・ゲイン安定

位相反転なし

アプリケーション

プロセス制御のフロントエンド・アンプ

無線基地局制御回路

光ネットワーク制御回路

計装機器

センサーおよび制御: 熱電対、RTD、ストレイン・ブリッジ、シャント電流計測

高精度フィルタ

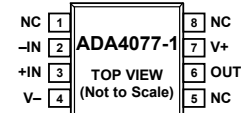
概要

シングル ADA4077-1、デュアル ADA4077-2、クワッド ADA4077-4 は、極めて低いオフセット電圧およびドリフトを持ち、低入力バイアス電流、低ノイズ、低消費電力のアンプです。出力は $1000 pF$ 以上の容量負荷で外部補償なしで安定しています。

このアンプのアプリケーションとしては、センサー・シグナル・コンディショニング (熱電対、RTD、ストレイン・ゲージなど)、プロセス制御フロントエンド・アンプ、光および無線伝送システムでの高精度ダイオード電力計測などがあります。ADA4077-1、ADA4077-2、ADA4077-4 は、ライン給電型およびポータブル型の計測機器、高精度フィルタ、電圧または電流計測、レベル設定に有効です。

ADA4077-1/ ADA4077-2/ADA4077-4 は、競合他社のアンプとは異なり、最も厳しいアセンブリ・プロセスに準拠する MSL1 定格を持ち、 $-40^{\circ}C \sim +125^{\circ}C$ の拡張工業用温度範囲で動作が規定されています。

ピン接続図



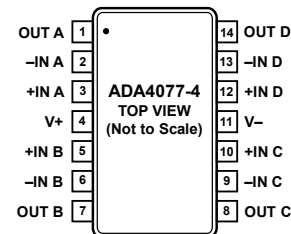
NC = NO CONNECT. NOT INTERNALLY CONNECTED. 10238-101

図 1. ADA4077-1、8 ピン SOIC (および 8 ピン MSOP)



10238-101

図 2. ADA4077-2、8 ピン MSOP (および 8 ピン SOIC)



10238-101

図 3. ADA4077-4、14 ピン TSSOP (および 14 ピン SOIC)

ADA4077-1 と ADA4077-2 は 8 ピン SOIC パッケージを採用し (B グレードを含む)、さらに 8 ピン MSOP パッケージも採用しています (A グレードのみ)。ADA4077-4 は、14 ピン TSSOP パッケージまたは 14 ピン SOIC パッケージを採用しています。

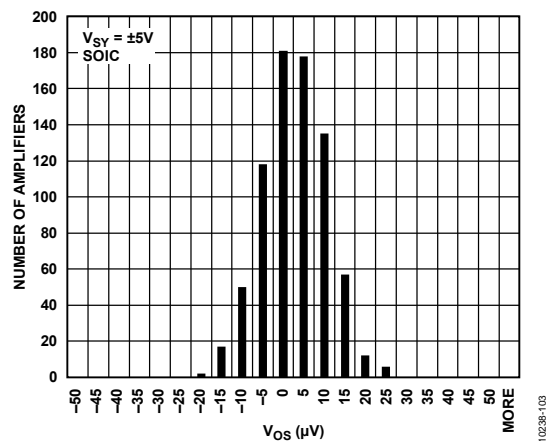


図 4. オフセット電圧の分布

表 1. 各世代の高精度デバイス

Op Amp	First	Second	Third	Fourth	Fifth	Sixth
Single	OP07	OP77	OP177	OP1177	AD8677	ADA4077-1
Dual				OP2177		ADA4077-2
Quad				OP4177		ADA4077-4

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ピン配置およびピン機能説明.....	7
アプリケーション.....	1	代表的な性能特性.....	10
概要.....	1	動作原理.....	20
ピン接続図.....	1	アプリケーション情報.....	21
改訂履歴.....	2	出力位相の反転.....	21
仕様.....	3	低消費電力の直線性 RTD.....	21
電気的特性、 $\pm 5\text{ V}$	3	適切なボード・レイアウト.....	21
電気的特性、 $\pm 15\text{ V}$	4	外形寸法.....	22
絶対最大定格.....	6	オーダー・ガイド.....	24
熱抵抗.....	6		
ESD の注意.....	6		

改訂履歴

1/14—Rev. A to Rev. B

Added ADA4077-1.....	Universal
Changes to Features Section.....	1
Added Figure 1; Renumbered Sequentially.....	1
Changes to Table 2.....	3
Changes to Table 3.....	4
Added Figure 5, Figure 6, and Table 6; Renumbered Sequentially.....	7
Changes to Figure 17, Figure 20, and Figure 21.....	11
Changes to Figure 65.....	19
Added Figure 67 and Figure 68.....	19
Changes to Output Phase Reversal Section and Figure 70.....	21
Changes to Ordering Guide.....	24

10/13—Rev. 0 to Rev. A

Added ADA4077-4.....	Universal
Changes to Features, General Description, and Figure 1.....	1
Deleted Figure 2; Renumbered Sequentially.....	1
Added Figure 2.....	1
Changes to Table 2.....	3
Changes to Table 3.....	4
Changes to Table 4.....	6
Added Figure 6, Figure 7, and Table 7; Renumbered Sequentially.....	8
Changes to Typical Performance Characteristics Section.....	9
Changes to Figure 65.....	20
Updated Outline Dimensions.....	21
Changes to Ordering Guide.....	23

10/12—Revision 0: Initial Version

仕様

電気的特性、±5 V

特に指定がない限り、 $V_{SY} = \pm 5.0 \text{ V}$ 、 $V_{CM} = 0 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade, 8-Lead SOIC, ADA4077-1/ADA4077-2)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		10	25	μV
Offset Voltage Drift (B Grade, 8-Lead SOIC, ADA4077-1/ADA4077-2)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	0.25	$\mu\text{V}/^\circ\text{C}$
Offset Voltage (A Grade) 8-Lead SOIC (ADA4077-1/ADA4077-2) and 14-Lead SOIC (ADA4077-4)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		15	50	μV
8-Lead MSOP (ADA4077-1)					105	μV
8-Lead MSOP (ADA4077-2)				50	120	μV
14-Lead TSSOP (ADA4077-4)				50	90	μV
Offset Voltage Drift (A Grade) 8-Lead SOIC (ADA4077-1/ADA4077-2) 14-Lead SOIC (ADA4077-4) 8-Lead MSOP (ADA4077-1/ADA4077-2) and 14-Lead TSSOP (ADA4077-4)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.25	0.55	$\mu\text{V}/^\circ\text{C}$
				0.4	0.75	$\mu\text{V}/^\circ\text{C}$
				0.5	1.2	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1	-0.4	+1	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1.5		+1.5	nA
Input Voltage Range			-3.8		+3	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -3.8 \text{ V to } +3 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	122	140		dB
Large Signal Voltage Gain	A_V	$R_L = 2 \text{ k}\Omega$, $V_O = -3.0 \text{ V to } +3.0 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	121	130		dB
Input Capacitance	C_{INCM}	Common mode		5		pF
Input Resistance	R_{IN}	Common mode		70		$\text{G}\Omega$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.1			V
Output Voltage Low	V_{OL}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4		-3.5	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.6 \text{ V}$		± 10		mA
Short-Circuit Current	I_{SC}	$T_A = 25^\circ\text{C}$		22		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1 \text{ kHz}$, $A_V = +1$		0.05		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	123	128		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	400	450	μA
					650	μA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		1.2		V/ μ s
Settling Time to 0.1%	t_s	$V_{IN} = 1\text{ V step}, R_L = 2\text{ k}\Omega, A_V = -1$		3		μ s
Gain Bandwidth Product	GBP	$V_{IN} = 10\text{ mV p-p}, R_L = 2\text{ k}\Omega, A_V = +100$		3.9		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10\text{ mV p-p}, R_L = 2\text{ k}\Omega, A_V = +1$		3.9		MHz
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = +1, V_{IN} = 10\text{ mV p-p}, R_L = 2\text{ k}\Omega$		5.9		MHz
Phase Margin	Φ_M	$V_{IN} = 10\text{ mV p-p}, R_L = 2\text{ k}\Omega, A_V = +1$		55		Degrees
Total Harmonic Distortion Plus Noise	THD + N	$V_{IN} = 1\text{ V rms}, A_V = +1, R_L = 2\text{ k}\Omega, f = 1\text{ kHz}$		0.004		%
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.25		μ V p-p
Voltage Noise Density	e_n	$f = 1\text{ Hz}$		13		nV/ $\sqrt{\text{Hz}}$
		$f = 100\text{ Hz}$		7		nV/ $\sqrt{\text{Hz}}$
		$f = 1000\text{ Hz}$		6.9		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.2		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION						
	C_S	$f = 1\text{ kHz}, R_L = 10\text{ k}\Omega$		-125		dB

電气的特性、 $\pm 15\text{ V}$

特に指定がない限り、 $V_{SY} = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade, 8-Lead SOIC, ADA4077-1/ADA4077-2)	V_{OS}			10	35	μ V
Offset Voltage Drift (B Grade, 8-Lead SOIC, ADA4077-1/ADA4077-2)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	0.25	$\mu\text{V}/^\circ\text{C}$
Offset Voltage (A Grade) 8-Lead SOIC (ADA4077-1/ADA4077-2) and 14-Lead SOIC (ADA4077-4)	V_{OS}			15	50	μ V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			105	μ V
8-Lead MSOP (ADA4077-1)					120	μ V
8-Lead MSOP (ADA4077-2)				50	90	μ V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			220	μ V
14-Lead TSSOP (ADA4077-4)				15	120	μ V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			220	μ V
Offset Voltage Drift (A Grade) 8-Lead SOIC (ADA4077-1/ADA4077-2) 14-Lead SOIC (ADA4077-4) 8-Lead MSOP (ADA4077-1/ADA4077-2) and 14-Lead TSSOP (ADA4077-4)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.55	$\mu\text{V}/^\circ\text{C}$
				0.4	0.75	$\mu\text{V}/^\circ\text{C}$
				0.5	1.2	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B		-1	-0.4	+1	nA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1.5		+1.5	nA
Input Offset Current	I_{OS}		-0.5	+0.1	+0.5	nA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1.0		+1.0	nA
Input Voltage Range			-13.8		+13	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -13.8\text{ V to }+13\text{ V}$	132	150		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	130			dB
Large Signal Voltage Gain 8-Lead SOIC and 8-Lead MSOP (ADA4077-1/ADA4077-2)	A_V	$R_L = 2\text{ k}\Omega, V_O = -13.0\text{ V to }+13.0\text{ V}$	125	130		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120			dB
14-Lead TSSOP and 14-Lead SOIC (ADA4077-4)	A_V	$R_L = 2\text{ k}\Omega, V_O = -13.0\text{ V to }+13.0\text{ V}$	122	130		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120			dB
Input Capacitance	C_{INDM}	Differential mode		3		pF
	C_{INCM}	Common mode		5		pF
Input Resistance	R_{IN}	Common mode		100		G Ω

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	14.1			V
Output Voltage Low	V_{OL}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	14		-13.5	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.2 \text{ V}$		± 10	-13.2	mA
Short-Circuit Current	I_{SC}	$T_A = 25^\circ\text{C}$		22		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1 \text{ kHz}, A_V = +1$		0.05		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	123	128		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	400	500	μA
					650	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2 \text{ k}\Omega$		1.2		V/ μs
Settling Time to 0.01%	t_s	$V_{IN} = 10 \text{ V p-p}, R_L = 2 \text{ k}\Omega, A_V = -1$		16		μs
Settling Time to 0.1%	t_s	$V_{IN} = 10 \text{ V p-p}, R_L = 2 \text{ k}\Omega, A_V = -1$		10		μs
Gain Bandwidth Product	GBP	$V_{IN} = 10 \text{ mV p-p}, R_L = 2 \text{ k}\Omega, A_V = +100$		3.6		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10 \text{ mV p-p}, R_L = 2 \text{ k}\Omega, A_V = +1$		3.9		MHz
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = +1, V_{IN} = 10 \text{ mV p-p}, R_L = 2 \text{ k}\Omega$		5.5		MHz
Phase Margin	Φ_M	$V_{IN} = 10 \text{ mV p-p}, R_L = 2 \text{ k}\Omega, A_V = +1$		58		Degrees
Total Harmonic Distortion Plus Noise	THD + N	$V_{IN} = 1 \text{ V rms}, A_V = +1, R_L = 2 \text{ k}\Omega,$ $f = 1 \text{ kHz}$		0.004		%
NOISE PERFORMANCE						
Voltage Noise	$e_n \text{ p-p}$	0.1 Hz to 10 Hz		0.25		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ Hz}$		13		nV/ $\sqrt{\text{Hz}}$
		$f = 100 \text{ Hz}$		7		nV/ $\sqrt{\text{Hz}}$
		$f = 1000 \text{ Hz}$		6.9		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1 \text{ kHz}$		0.2		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION						
	C_S	$f = 1 \text{ kHz}, R_L = 10 \text{ k}\Omega$		-125		dB

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	$\pm V_{SY}$
Input Current ¹	± 10 mA
Differential Input Voltage	$\pm V_{SY}$
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C
ESD Human Body Model (HBM) ²	6 kV
Field Induced Charge Device Model (FICDM) ³	1.25 kV

¹入力ピンでは、電源ピンおよび各ピン間にクランプ・ダイオードが接続されています。入力信号が電源レールを 0.3 V 以上超えるときは、入力電流を 10 mA 以下に制限する必要があります。

²ESDA/JEDEC JS-001-2011 適用可能規格。

³JESD22-C101 (JEDEC の ESD FICDM 規格)適用可能規格。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP	190	44	°C/W
8-Lead SOIC	158	43	°C/W
14-Lead TSSOP	240	43	°C/W
14-Lead SOIC	115	36	°C/W

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

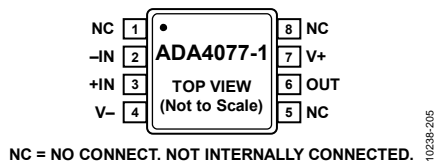


図 5.ADA4077-1 のピン配置、8 ピン MSOP (RM-8)

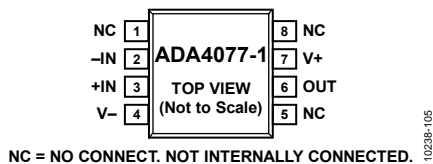


図 6.ADA4077-1 のピン配置、8 ピン SOIC (R-8)

表 6.ADA4077-1 のピン機能説明、8 ピン MSOP および 8 ピン SOIC

ピン番号	記号	説明
1、5、8	NC	未接続。内部で接続されていません。
2	-IN	反転入力。
3	+IN	非反転入力。
4	V-	負電源電圧。
6	OUT	出力。
7	V+	正電源電圧

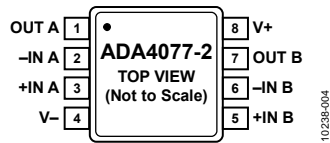


図 7.ADA4077-2 のピン配置、8 ピン MSOP

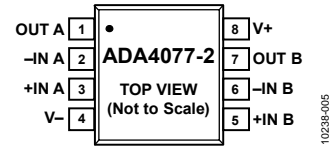


図 8.ADA4077-2 のピン配置、8 ピン SOIC

表 7.ADA4077-2 のピン機能説明、8 ピン MSOP および 8 ピン SOIC

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	反転入力チャンネル A。
3	+IN A	非反転入力チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力チャンネル B。
6	-IN B	反転入力チャンネル B。
7	OUT B	出力チャンネル B。
8	V+	正電源電圧

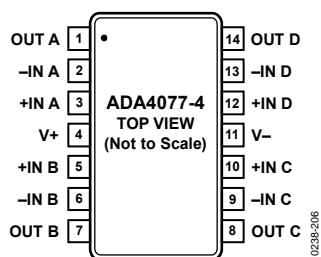


図 9.ADA4077-4 のピン配置、14 ピン TSSOP

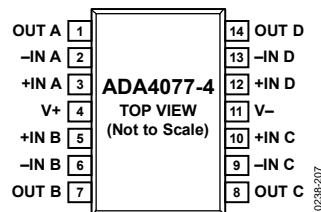


図 10.ADA4077-4 のピン配置、14 ピン SOIC

表 8.ADA4077-4 のピン機能説明、14 ピン TSSOP および 14 ピン SOIC

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	負入力チャンネル A。
3	+IN A	正入力チャンネル A。
4	V+	正電源電圧
5	+IN B	正入力チャンネル B。
6	-IN B	負入力チャンネル B。
7	OUT B	出力チャンネル B。
8	OUT C	出力チャンネル C。
9	-IN C	負入力チャンネル C。
10	+IN C	正入力チャンネル C。
11	V-	負電源電圧。
12	+IN D	正入力チャンネル D。
13	-IN D	負入力チャンネル D。
14	OUT D	出力チャンネル D。

代表的な性能特性

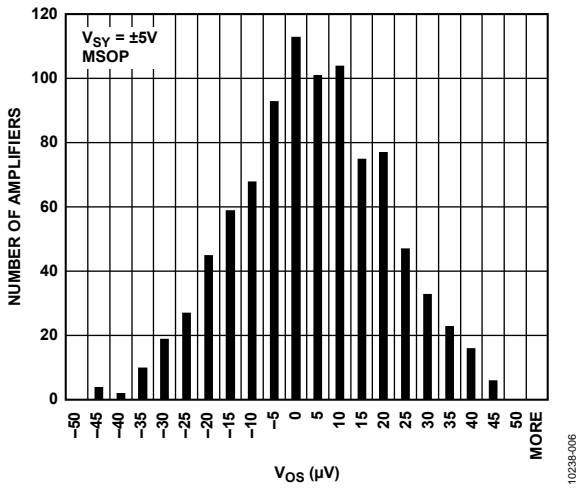


図 11.ADA4077-2 オフセット電圧 (V_{OS}) 分布、 $V_{SY} = \pm 5V$

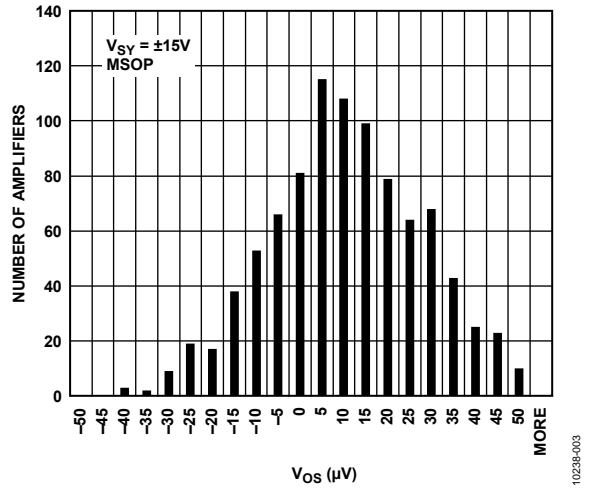


図 14.ADA4077-2 オフセット電圧 (V_{OS}) 分布、 $V_{SY} = \pm 15V$

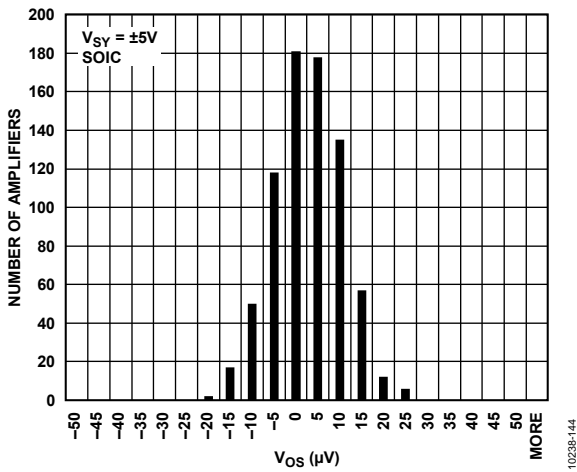


図 12.オフセット電圧 (V_{OS}) 分布、 $V_{SY} = \pm 5V$

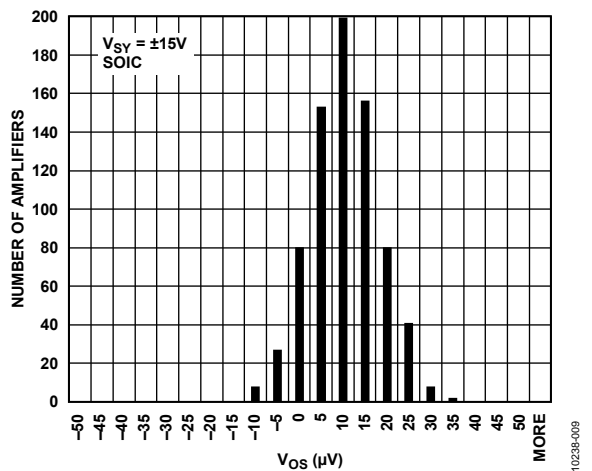


図 15.オフセット電圧 (V_{OS}) 分布、 $V_{SY} = \pm 15V$

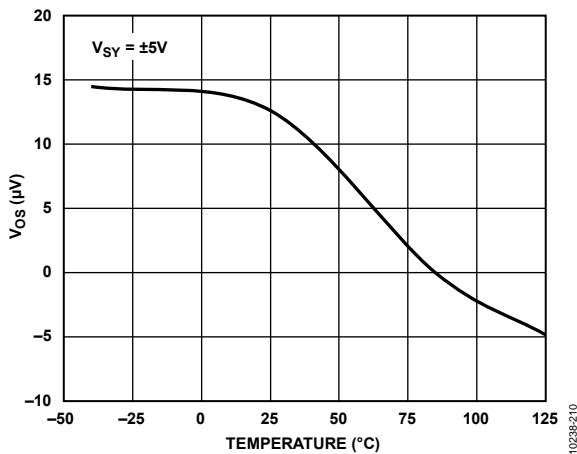


図 13.オフセット電圧 (V_{OS}) の温度特性、 $V_{SY} = \pm 5V$

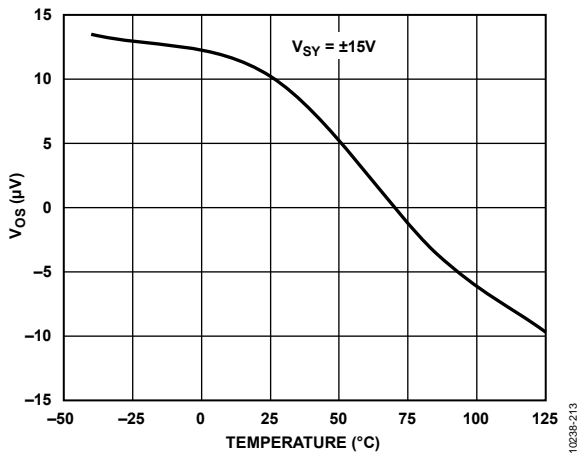


図 16. オフセット電圧 (V_{OS}) の温度特性、 $V_{SY} = \pm 15V$

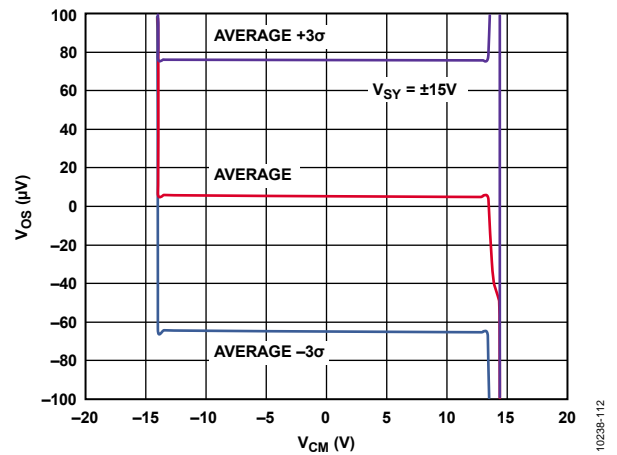


図 19. 同相モード電圧 (V_{CM}) 対オフセット電圧 (V_{OS})、 $V_{SY} = \pm 15V$

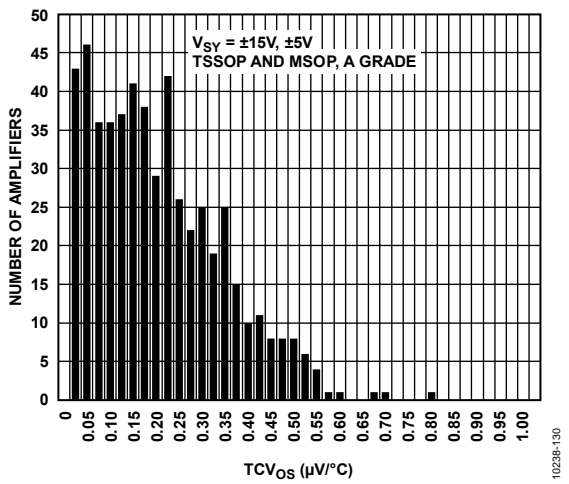


図 17. TCV_{OS} (TSSOP および MSOP、A グレード)

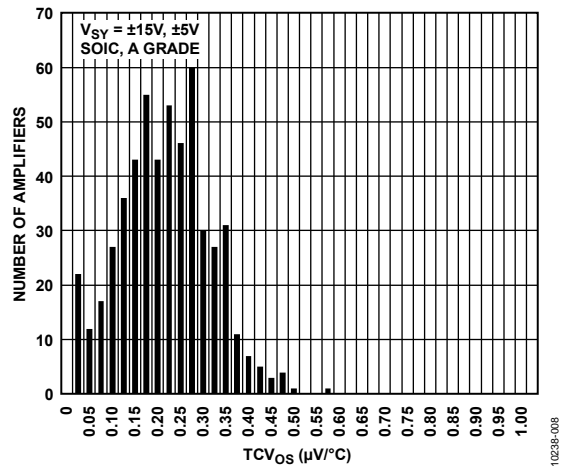


図 20. TCV_{OS} (SOIC、A グレード)

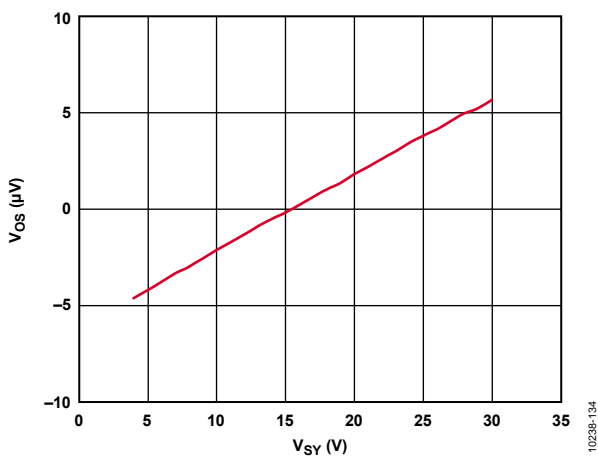


図 18. 電圧電源 (V_{SY}) 対オフセット電圧 (V_{OS})

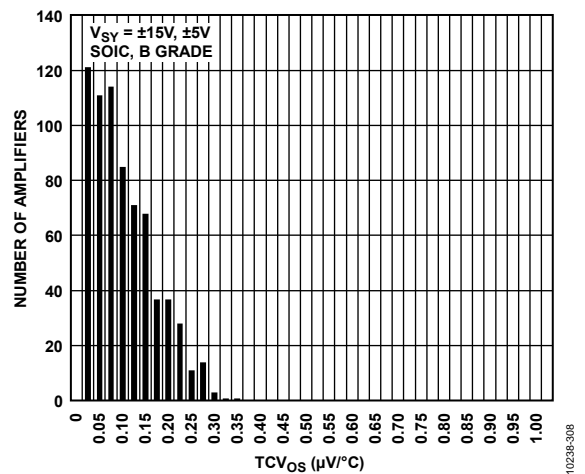


図 21. TCV_{OS} (SOIC、B グレード)

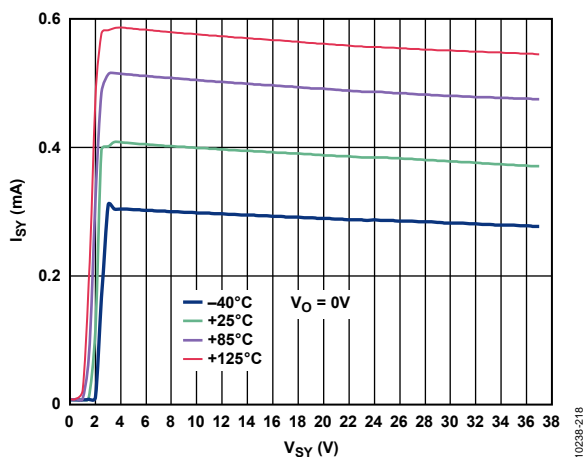


図 22.電源電圧 (V_{SY}) 対アンプあたりの電源電流 (I_S)

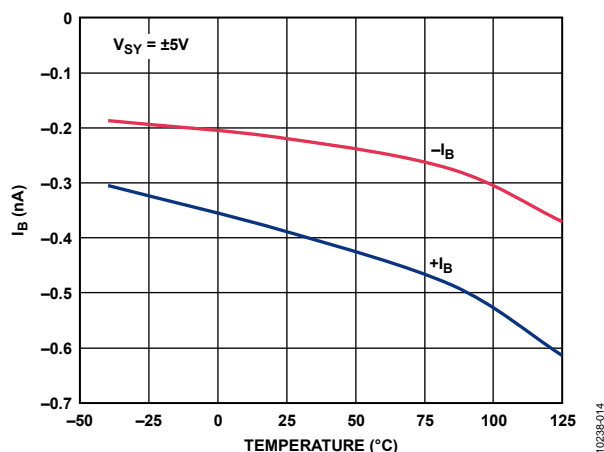


図 25.入力バイアス電流 (I_B) の温度特性、 $V_{SY} = \pm 5V$

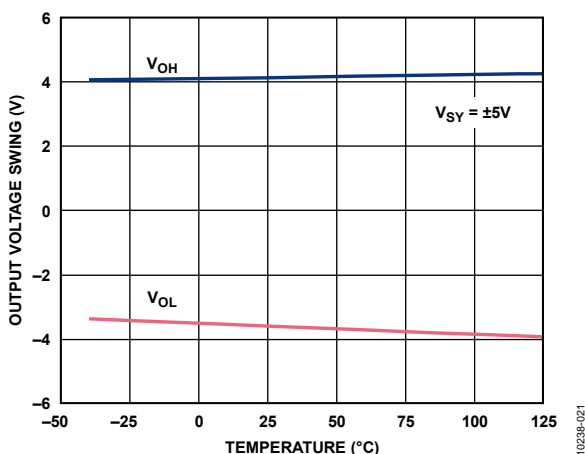


図 23.出力電圧振幅の温度特性、 $V_{SY} = \pm 5V$

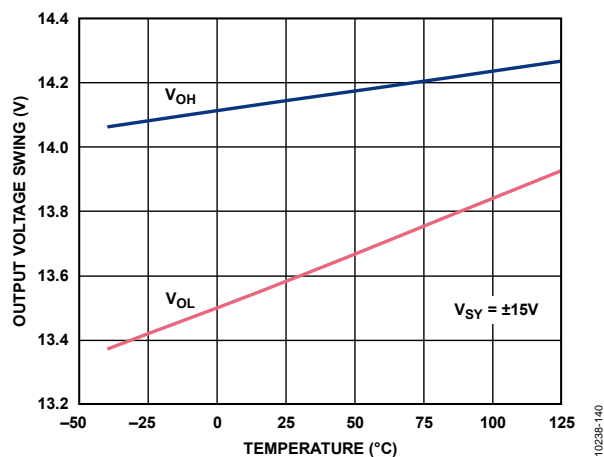


図 26.出力電圧振幅の温度特性、 $V_{SY} = \pm 15V$

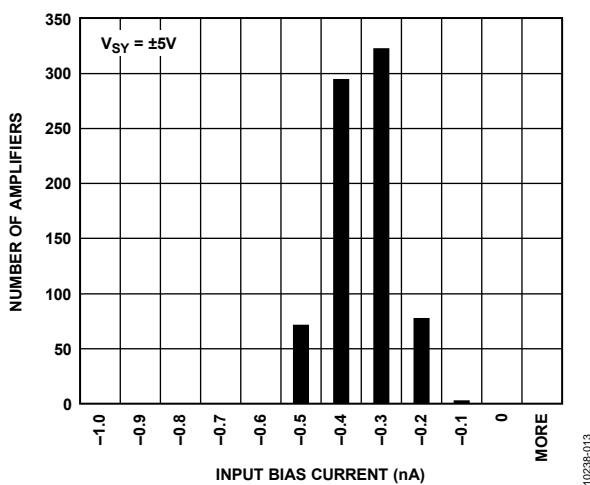


図 24.入力バイアス電流、 $V_{SY} = \pm 5V$

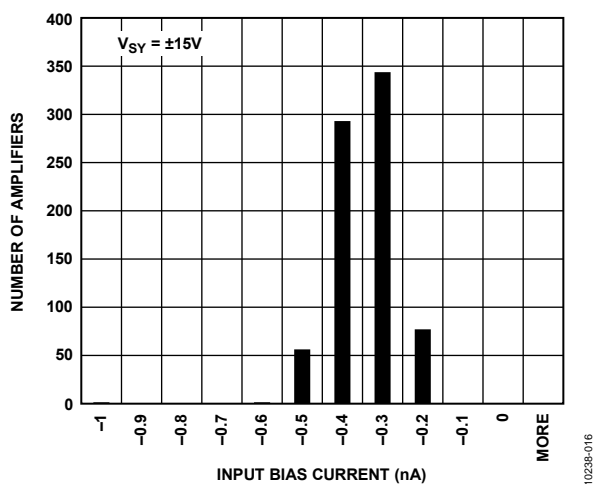


図 27.入力バイアス電流、 $V_{SY} = \pm 15V$

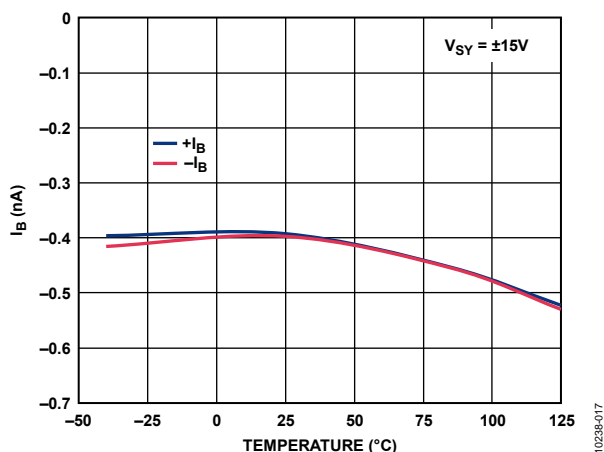


図 28. 入力バイアス電流 (I_B) の温度特性、 $V_{SY} = \pm 15V$

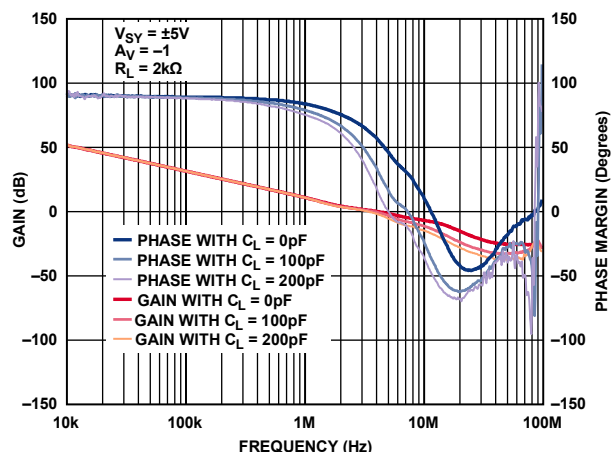


図 31. オープン・ループ・ゲインおよび位相の周波数特性 $V_{SY} = \pm 5V$

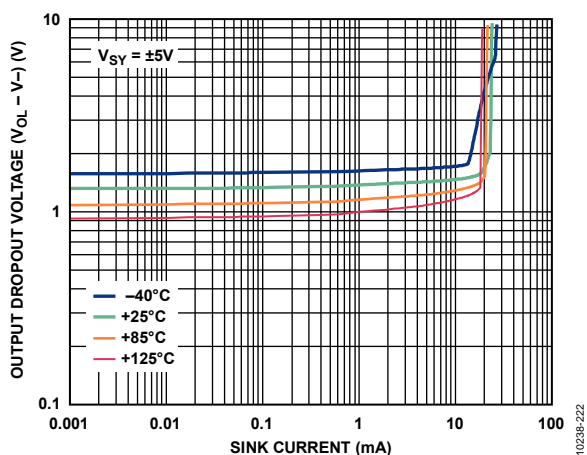


図 29. シンク電流対出力ドロップアウト電圧、 $V_{SY} = \pm 5V$

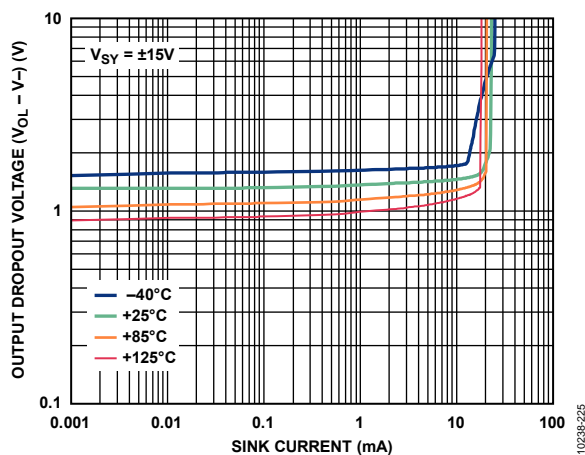


図 32. シンク電流対出力ドロップアウト電圧、 $V_{SY} = \pm 15V$

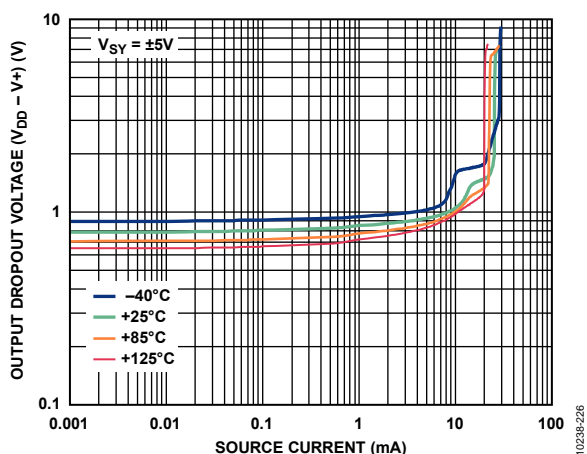


図 30. ソース電流対出力ドロップアウト電圧、 $V_{SY} = \pm 5V$

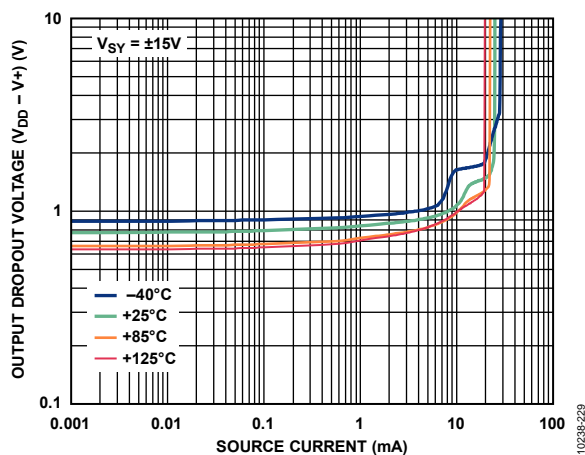


図 33. ソース電流対出力ドロップアウト電圧、 $V_{SY} = \pm 15V$

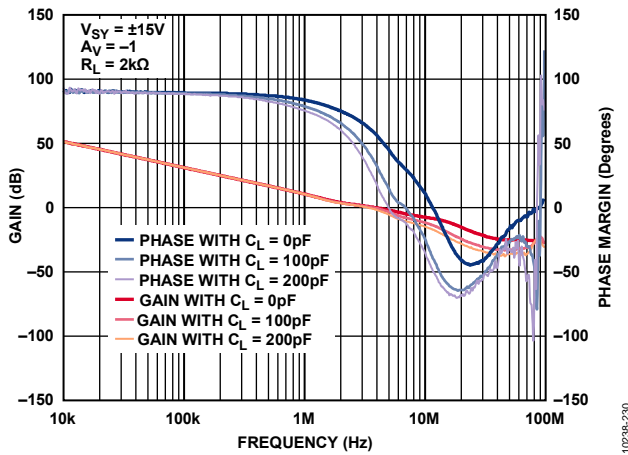


図 34. オープン・ループ・ゲインおよび位相の周波数特性
 $V_{SY} = \pm 15\text{ V}$

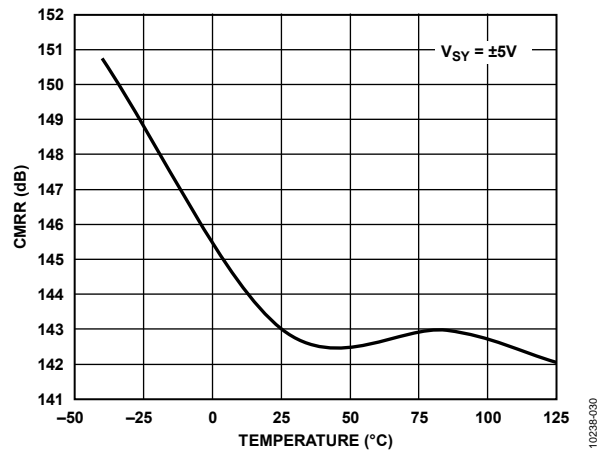


図 37. CMRR の温度特性、 $V_{SY} = \pm 5\text{ V}$

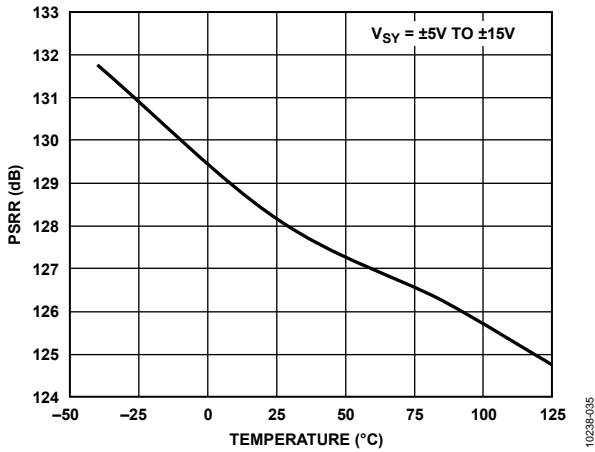


図 35. PSRR の温度特性、 $V_{SY} = \pm 5\text{ V} \sim \pm 15\text{ V}$

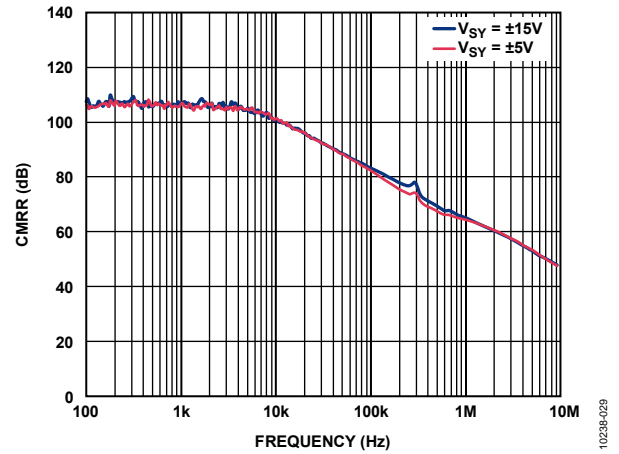


図 38. CMRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$ 、 $V_{SY} = \pm 15\text{ V}$

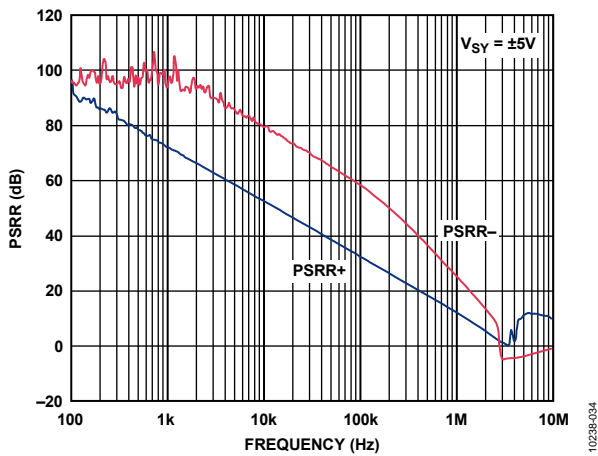


図 36. PSRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$

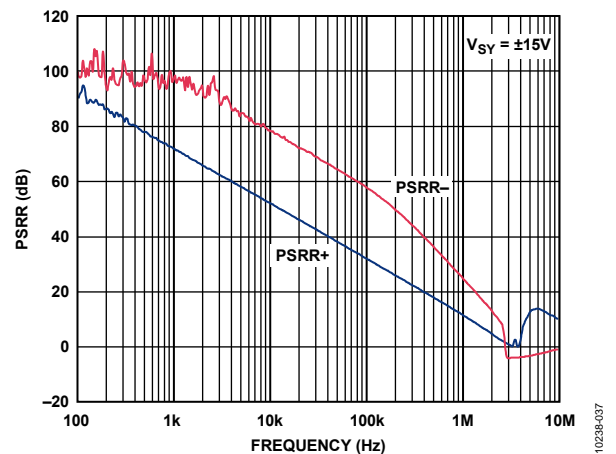


図 39. PSRR の周波数特性、 $V_{SY} = \pm 15\text{ V}$

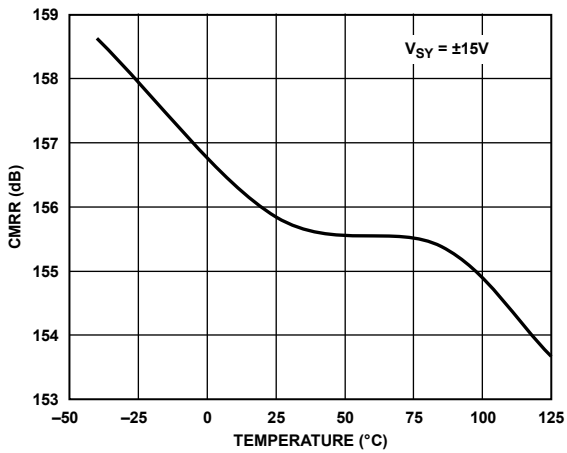


図 40. CMRR の温度特性、 $V_{SY} = \pm 15\text{ V}$

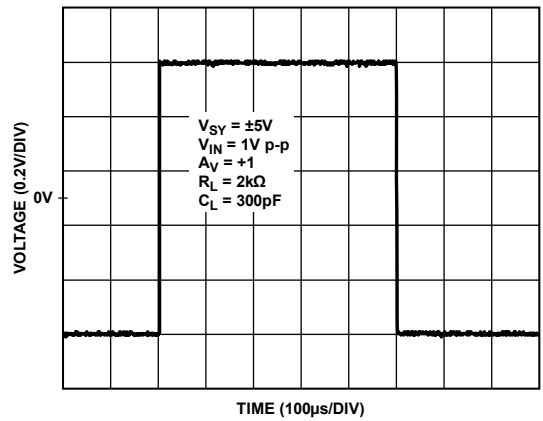


図 43. 大信号過渡応答、 $V_{SY} = \pm 5\text{ V}$

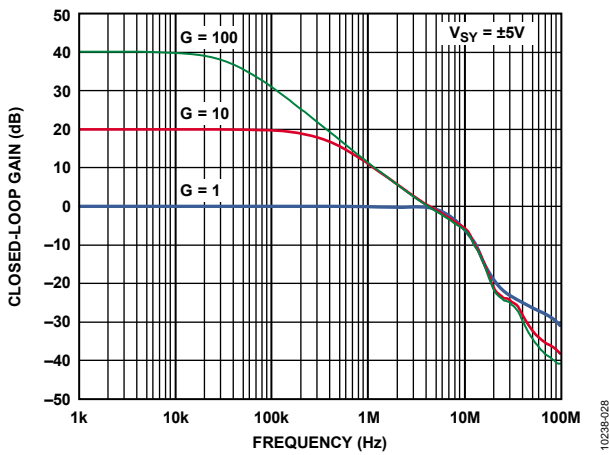


図 41. クローズド・ループ・ゲインの周波数特性、 $V_{SY} = \pm 5\text{ V}$

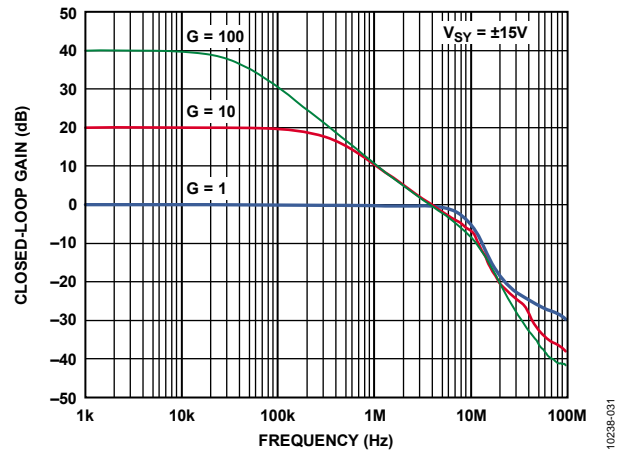


図 44. クローズド・ループ・ゲインの周波数特性、 $V_{SY} = \pm 15\text{ V}$

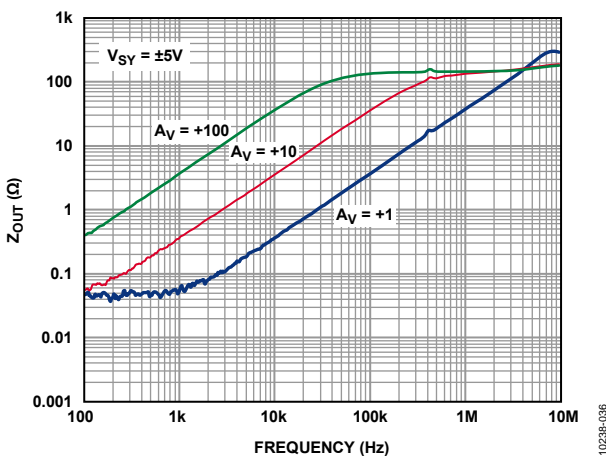


図 42. 出カインピーダンス (Z_{OUT}) の周波数特性、 $V_{SY} = \pm 5\text{ V}$

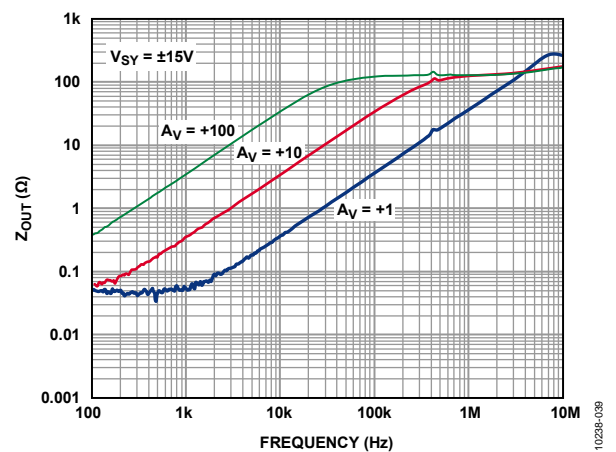


図 45. 出カインピーダンス (Z_{OUT}) の周波数特性、 $V_{SY} = \pm 15\text{ V}$

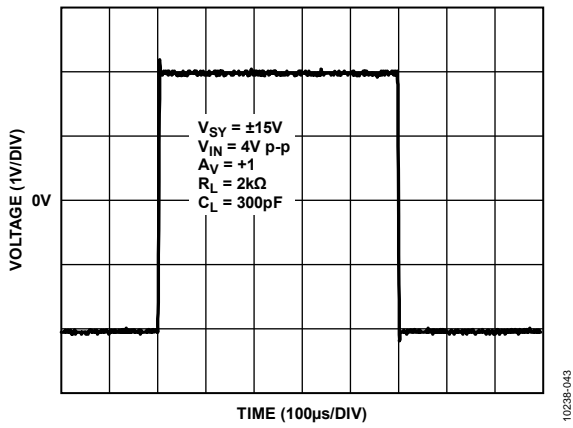


図 46.大信号過渡応答、 $V_{SY} = \pm 15\text{ V}$

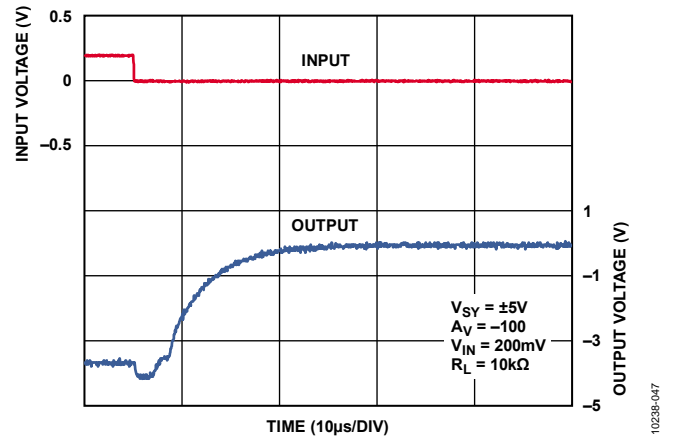


図 49.負側過負荷回復、 $V_{SY} = \pm 5\text{ V}$

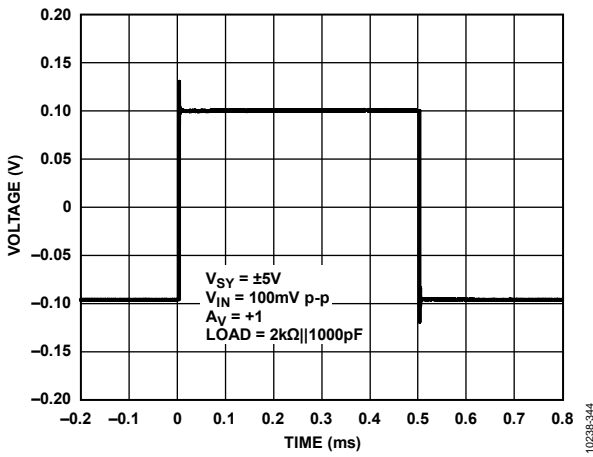


図 47.小信号過渡応答、 $V_{SY} = \pm 5\text{ V}$

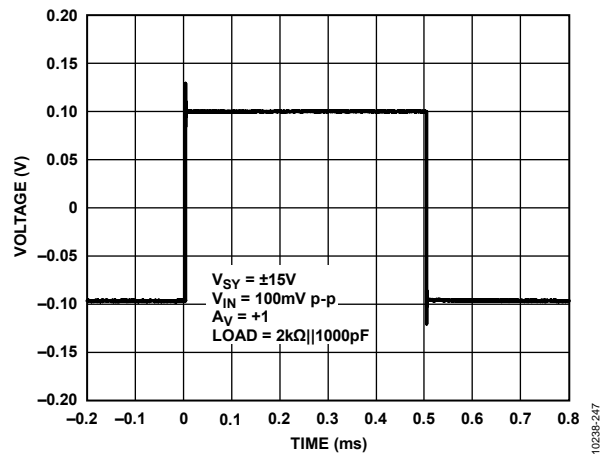


図 50.小信号過渡応答、 $V_{SY} = \pm 15\text{ V}$

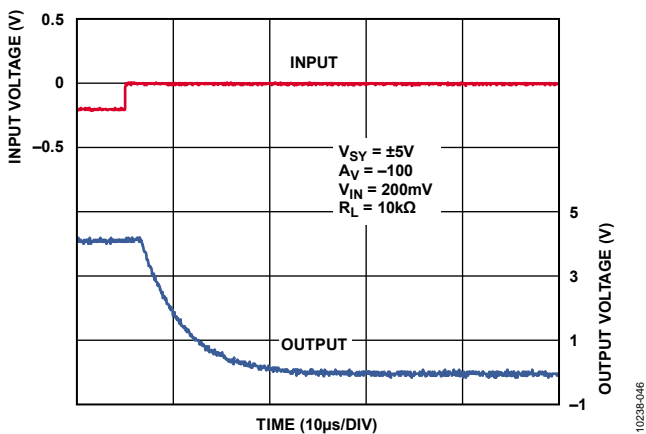


図 48.正側過負荷回復、 $V_{SY} = \pm 5\text{ V}$

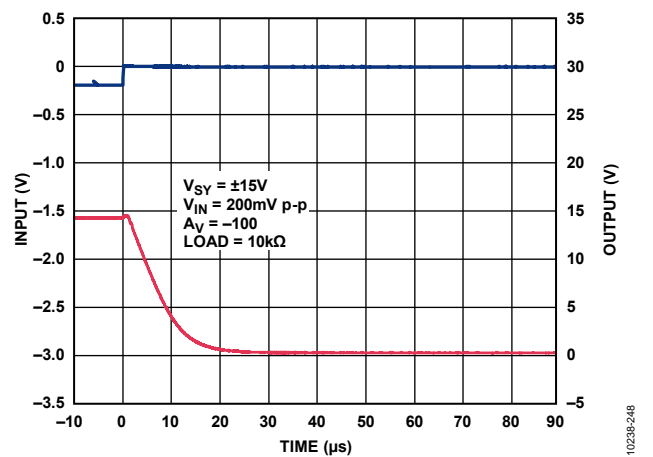


図 51.正側過負荷回復、 $V_{SY} = \pm 15\text{ V}$

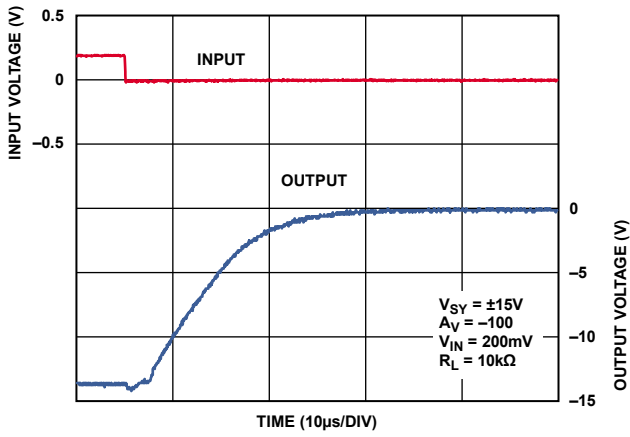


図 52. 負側過負荷回復、 $V_{SY} = \pm 15\text{ V}$

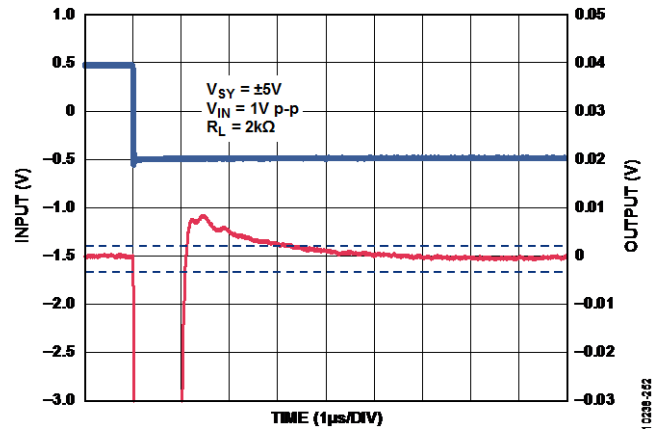


図 55. 0.1% への負セトリング・タイム、 $V_{SY} = \pm 5\text{ V}$

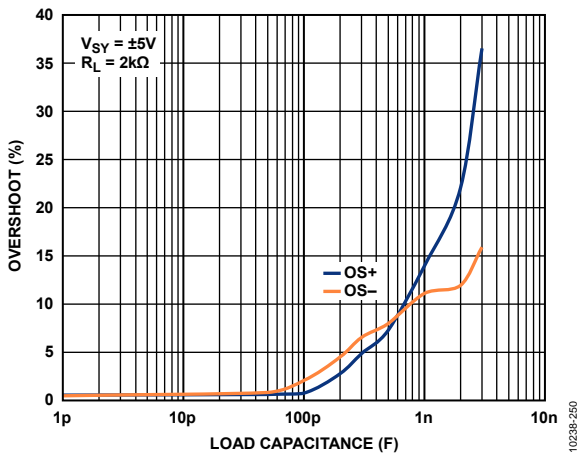


図 53. 負荷容量対小信号オーバーシュート、 $V_{SY} = \pm 5\text{ V}$

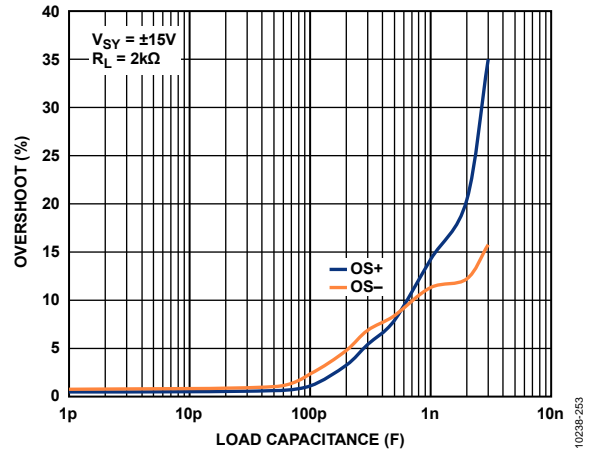


図 56. 負荷容量対小信号オーバーシュート、 $V_{SY} = \pm 15\text{ V}$

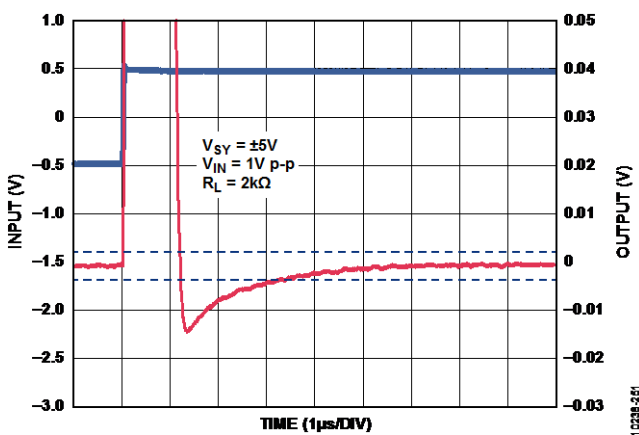


図 54. 0.1% への正セトリング・タイム、 $V_{SY} = \pm 5\text{ V}$

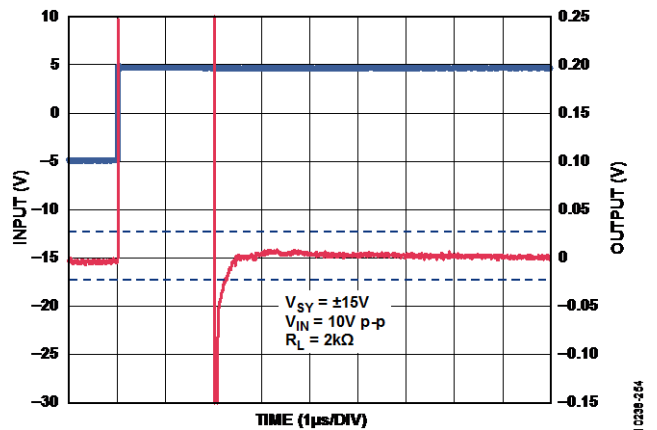


図 57. 0.1% への正セトリング・タイム、 $V_{SY} = \pm 15\text{ V}$

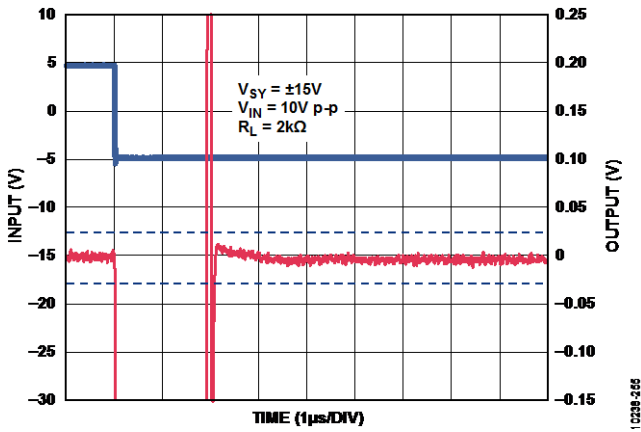


図 58. 0.1% への負セトリング・タイム、 $V_{SY} = \pm 15 V$

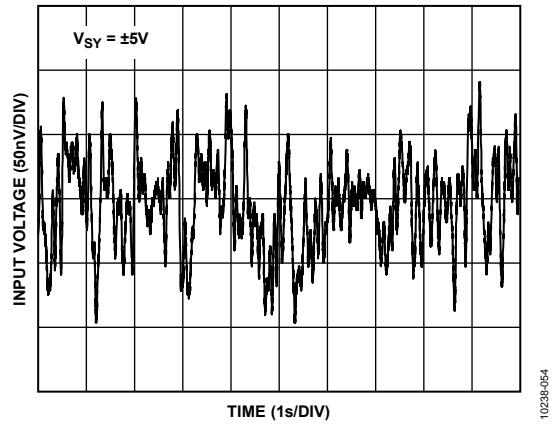


図 61. 0.1 Hz~10 Hz のノイズ、 $V_{SY} = \pm 5 V$

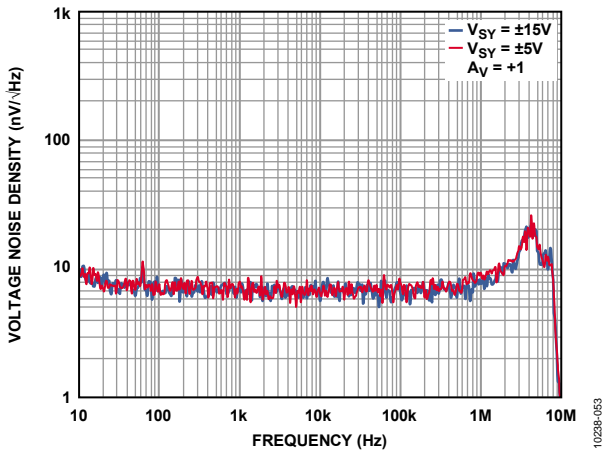


図 59. 電圧ノイズ密度の周波数特性
 $V_{SY} = \pm 5 V$ 、 $V_{SY} = \pm 15 V$

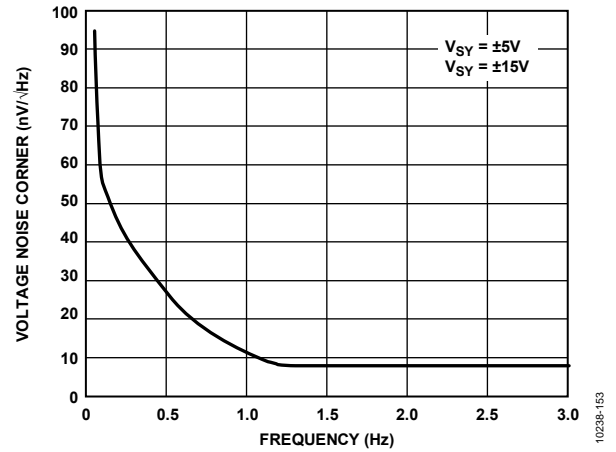


図 62. 電圧ノイズ・コーナーの周波数特性
 $V_{SY} = \pm 15 V$ 、 $V_{SY} = \pm 5 V$

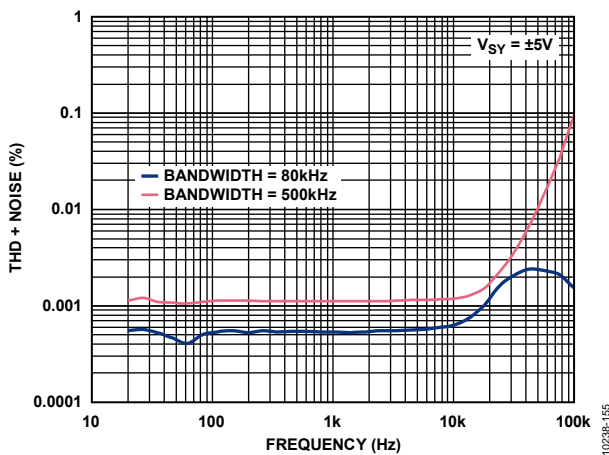


図 60. THD + N の周波数特性、 $V_{SY} = \pm 5 V$

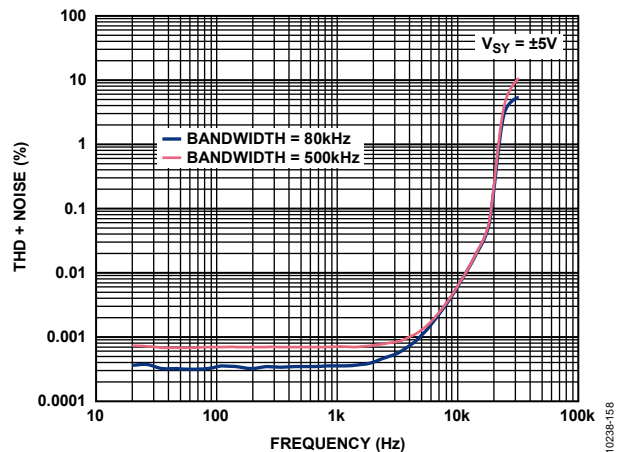


図 63. THD + N の周波数特性、 $V_{SY} = \pm 15 V$

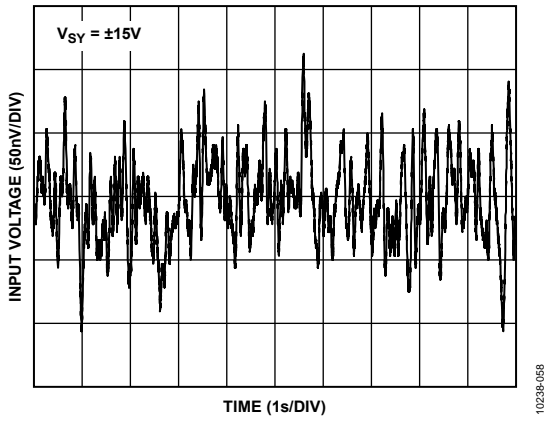


図 64. 0.1 Hz~10 Hz のノイズ、 $V_{SY} = \pm 15\text{ V}$

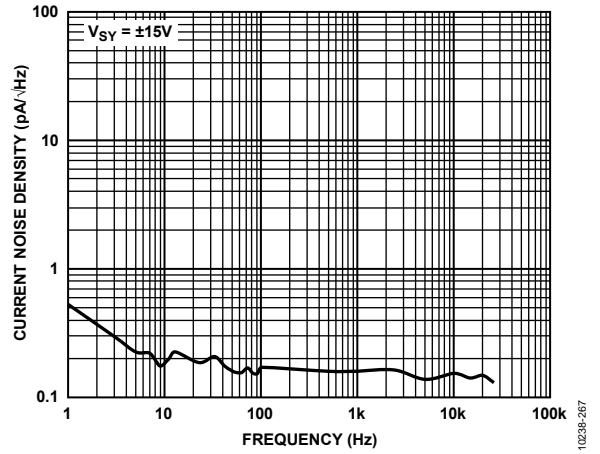


図 67. 電流ノイズ密度、 $V_{SY} = \pm 15\text{ V}$

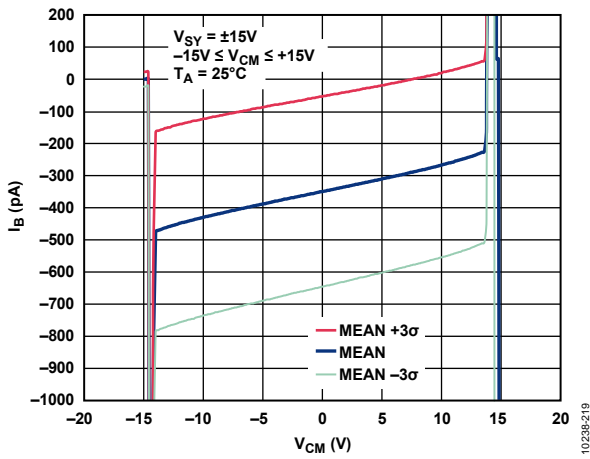


図 65. 同相モード電圧(V_{CM})対入力バイアス電流(I_B)

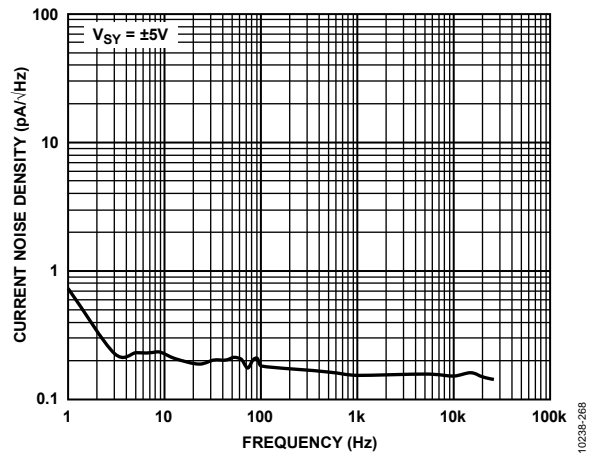


図 68. 電流ノイズ密度、 $V_{SY} = \pm 5\text{ V}$

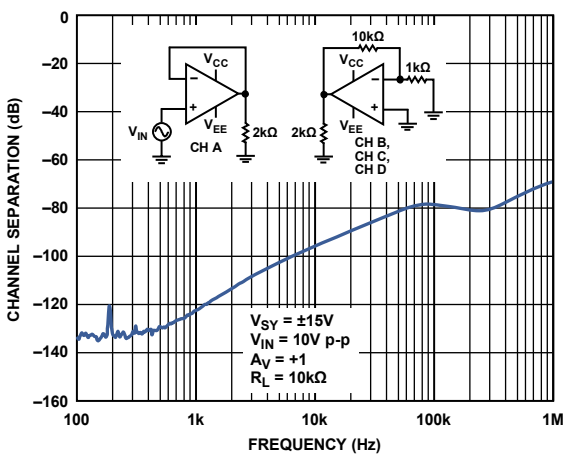


図 66. チャンネル・セパレーション、 $V_{SY} = \pm 15\text{ V}$

動作原理

ADA4077-1、ADA4077-2、ADA4077-4 は、アナログ・デバイセズの第六世代の業界標準 OP07 アンプ・ファミリーです。ADA4077-1、ADA4077-2、ADA4077-4 は、極めて小さいオフセット電圧と非常に小さい入力バイアス電流の組み合わせを持つ、高精度低ノイズのオペアンプです。JFET アンプとは異なり、低いバイアス電流と低いオフセット電流は 125°C までの周囲温度に対して比較的安定です。

アナログ・デバイセズは独自の製造プロセス技術とリニア・デザイン技術により、OP07、OP77、OP177、OP1177 より優れた性能を持つ、8 ピンの小型 SOIC パッケージまたは 8 ピンの小型 MSOP パッケージ採用の ADA4077-1 および ADA4077-2、14 ピンの TSSOP または SOIC パッケージ採用の ADA4077-4 からなる高電圧アンプを製造しています。ADA4077-1、ADA4077-2、ADA4077-4 では小型にもかかわらず、低い広帯域ノイズ、広い帯域幅、低いオフセットおよびオフセット・ドリフト、小さい入力バイアス電流、完全に位相反転なしなど、多くの改善が行

われています。

ADA4077-1、ADA4077-2、ADA4077-4 は、プラスチック表面実装パッケージの同様なデバイスと同等の MSL1 定格での動作仕様と -40°C ~ +125°C の温度範囲を持っています。この MSL1 定格は、プリント回路ボード (PCB) とシステム全体のサイズの小型化が進むと内部システム温度が上昇するため、ますます重要になります。

ADA4077-1、ADA4077-2、ADA4077-4 の消費電力は OP177 の 1/4 に減少し、帯域幅とスルーレートは 6 倍になりました。低消費電力と温度に対して非常に安定な性能も、ウォームアップ・ドリフト誤差を小さいレベルにすることに役立っています。

入力は、両電源レールを超える過電圧状態から内部で保護されています。すべての高性能アンプと同様に、最大性能は適切な回路と PCB のガイドラインに従うことにより実現されます。

アプリケーション情報

出力位相の反転

位相反転とは、アンプ伝達関数での極性変化のことを意味します。入力に加えられる電圧が最大同相モード電圧より大きい場合に、多くのオペアンプは位相反転を示します。場合によっては、位相反転によりアンプに恒久的な損傷が生じることがあります。帰還ループでは、システム・ロックアップまたは装置の損傷が発生します。ADA4077-1、ADA4077-2、ADA4077-4 では、入力電圧が電源を超える場合でも位相反転問題は発生しません。

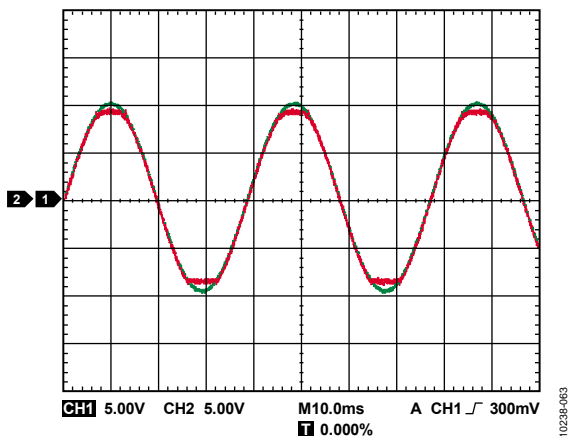


図 69.位相反転なし

低消費電力の直線性 RTD

シングル・エレメント可変ブリッジの一般的なアプリケーションは、図 70 に示す抵抗温度検出器(RTD)による 温度計用アンプです。ブリッジの励起電圧は、ブリッジの上部に加えられた 2.5 V リファレンス電圧から供給されます。

RTD は、 $0.5^{\circ}\text{C}/\text{mW} \sim 0.8^{\circ}\text{C}/\text{mW}$ の熱抵抗を持ちます。抵抗ドリフトによる誤差を小さくするため、ブリッジの各辺を流れる電流を小さくする必要があります。この回路では、アンプの電源電流がブリッジを流れますが、ADA4077-2 の場合、最大電源電流 = $500 \mu\text{A}$ で、最大抵抗値であっても RTD の消費電力は 0.1 mW 以下です。

このため、ブリッジの消費電力による誤差は、 0.1°C 以下に維持されています。

ブリッジのキャリブレーションは、被測定温度の最小値で、出力がゼロになるように R_p を調整することにより行われます。

出力振幅をキャリブレーションするときは、フルスケール・ポテンシオメータと直線性ポテンシオメータを中心点に設定し、 500°C の温度をセンサーに加えるか、または等価 500°C RTD 抵抗に置換えます。

フルスケール・ポテンシオメータを 5 V 出力になるように調整します。最後に、 250°C または等価 RTD 抵抗を接続して、直線性ポテンシオメータを 2.5 V 出力になるように調整します。調整後、この回路は $\pm 0.5^{\circ}\text{C}$ より優れた精度を実現します。

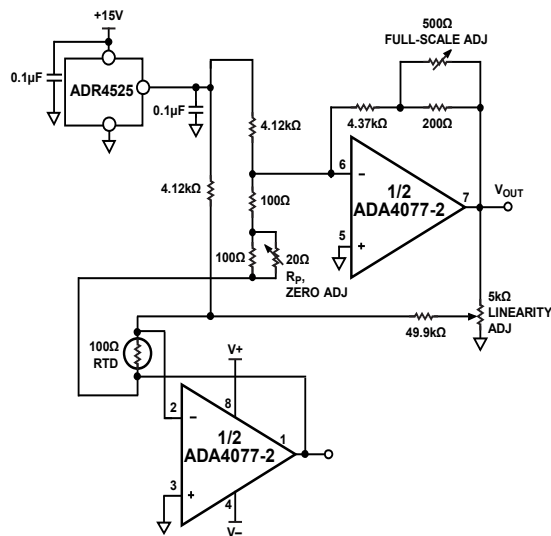


図 70.低消費電力の直線性 RTD 回路

適切なボード・レイアウト

ADA4077-1、ADA4077-2、ADA4077-4 は、高精度デバイスです。PCB レベルで最適性能を確保するためには、ボード・レイアウトに注意が必要です。

リーク電流をなくするために、ボード表面をクリーンにして湿気をなくす必要があります。表面をコーティングすると、表面の湿気の蓄積が少なくなり、湿度バリアが構成されて、ボード上の寄生抵抗が少なくなります。

電源パターンを短くし、電源を適切にバイパスすると、重い負荷で AC 信号を駆動する場合などに、出力電流変動による電源の乱れが小さくなります。バイパス・コンデンサをデバイス電源ピンのできるだけ近くに接続します。漂遊容量は、アンプの出力と入力で問題になります。信号パターンは電源ラインから少なくとも 5 mm 離して、ノイズの混入を小さくすることが推奨されます。

PCB を跨ぐ温度変動により、異なる金属が接触するハンダ接続ポイントとその他のポイントでのジープック電圧の不一致が発生し、熱電圧誤差が発生します。これらの熱電対効果を小さくするため、熱源により両端が等しく温度上昇するように抵抗の向きを調節してください。可能な場合には、入力信号パスに一致する部品番号と部品タイプを使用して、熱電対接合の番号とタイプに合わせる必要があります。例えば、抵抗値ゼロのようなダミー部品を使って、反対側入力パスの実抵抗に一致させます。一致する部品は互いに近づけて配置し、同じ向きに配置する必要があります。同じ長さのリードを使って、熱伝導の平衡状態を維持させます。PCB 上の発熱源をアンプ入力回路からできるだけ離します。

グラウンド・プレーンの使用も推奨されます。グラウンド・プレーンを使用すると、EMI ノイズが減り、回路ボード温度が一定に維持されます。

外形寸法

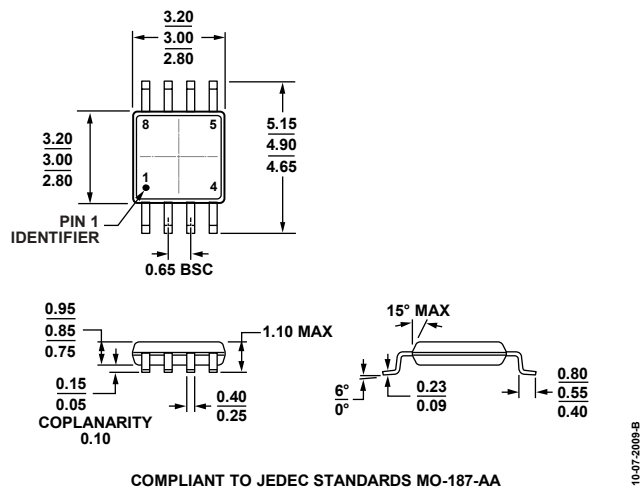


図 71.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法: mm

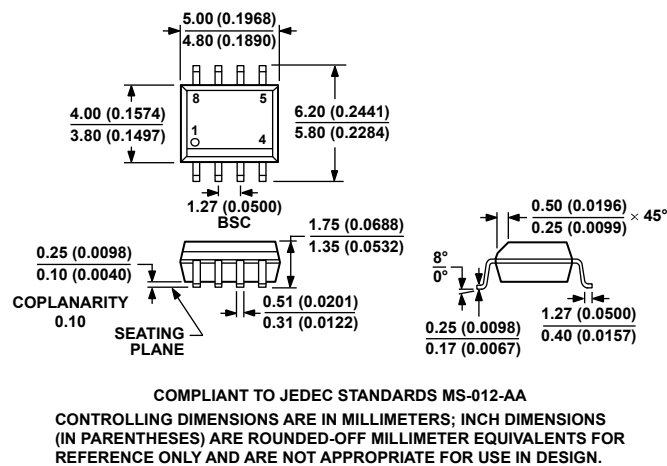
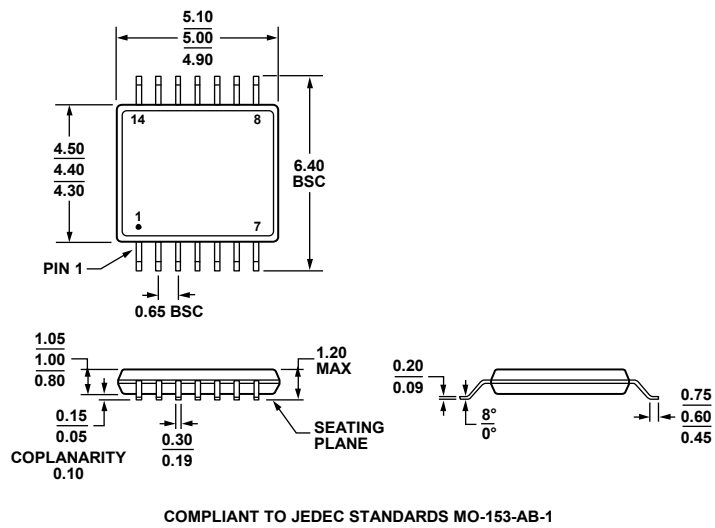
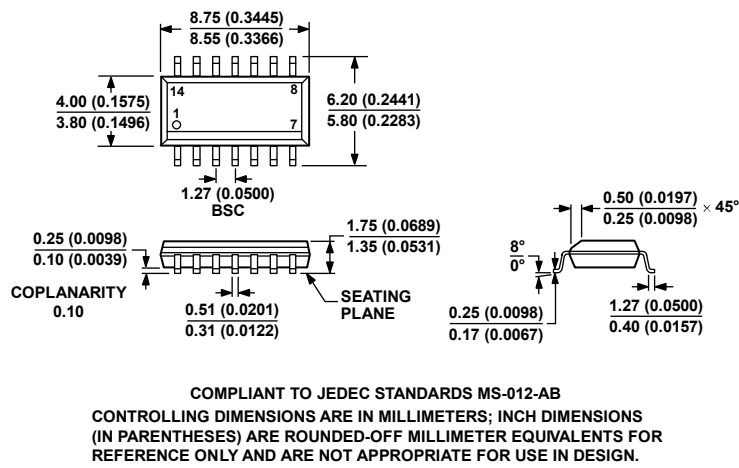


図 72.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N] ナロー・ボディ (R-8)
寸法: mm (インチ)



061988-A

図 73.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm



060606-A

図 74.14 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ
(R-14)
寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4077-1ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A35
ADA4077-1ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A35
ADA4077-1ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A35
ADA4077-1ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-1ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-1ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-1BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-1BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-1BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-4ARUZ	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4077-4ARUZ-R7	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4077-4ARUZ-RL	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4077-4ARZ	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4077-4ARZ-R7	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4077-4ARZ-RL	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	

¹ Z = RoHS 準拠製品