

特長

内部クロック速度: 3.5 GSPS
12ビットDACを内蔵
周波数チューニング分解能: 190 pHz
位相チューニング分解能: 16ビット
振幅スケールリング: 12ビット
プログラマブル・モジュラス
リニア/非リニア自動周波数スイープ機能
32ビット・パラレル・データパス・インターフェース
8種類の周波数/位相オフセット・プロファイル
位相ノイズ: -128 dBc/Hz (1396 MHzで1 kHzオフセット)
広帯域 SFDR: -50 dBc以下
シリアルまたはパラレル I/O 制御
電源電圧: 1.8 V/3.3 V
ソフトウェアおよびハードウェア制御によるパワーダウン

88ピンLFCSPパッケージを採用
REF CLK PLL 通倍器
位相変調機能
振幅変調機能

アプリケーション

即応性に優れたLO周波数シンセシス
プログラマブルなクロック発生器
レーダ・システムおよびスキャン・システム向けのFMチャープ・ソース
テスト装置および計測装置
音響/光デバイス・ドライバ
ポータブル変調器
高速周波数ホッピング

機能ブロック図

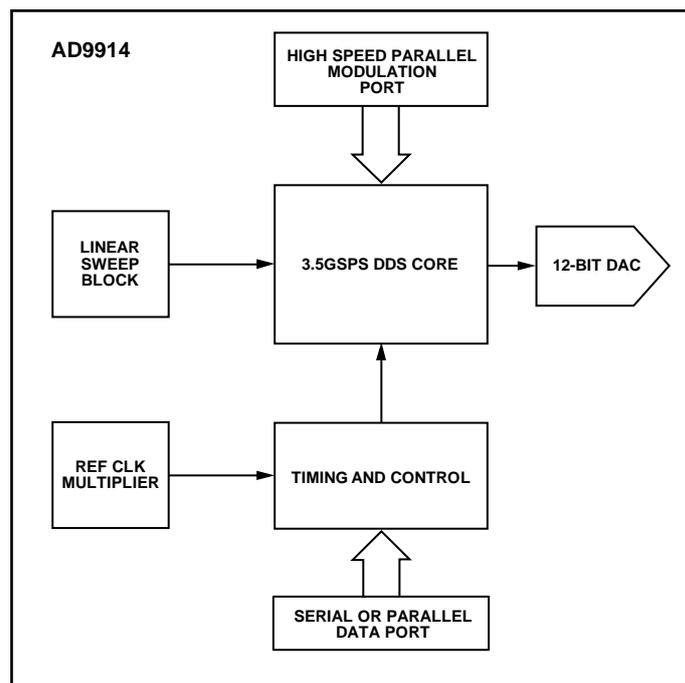


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

目次

特長	1	DDS コア	19
アプリケーション	1	12 ビット DAC 出力	20
機能ブロック図	1	DAC キャリブレーション出力	20
改訂履歴	2	再生フィルタ	20
概要	3	クロック入力(REF_CLK/REF_CLK)	21
仕様	4	PLL ロック表示	22
DC 仕様	4	出力シフト・キーイング(OSK)	22
AC 仕様	5	デジタル・ランプ・ジェネレータ(DRG)	23
絶対最大定格	8	パワーダウンのコントロール	27
熱性能	8	設定とファンクション・ピン	28
ESD の注意	8	シリアル設定	31
ピン配置およびピン機能説明	9	コントロール・インターフェース—シリアル I/O	31
代表的な性能特性	12	汎用シリアル I/O 動作	31
等価回路	16	命令バイト	31
動作原理	17	シリアル I/O ポートのピン説明	31
シングル・トーン・モード	17	シリアル I/O のタイミング図	32
プロファイル変調モード	17	MSB/LSB の転送	32
デジタル・ランプ変調モード	17	パラレル設定 (8/16 ビット)	33
パラレル・データ・ポート変調モード	17	レジスタ・マップとビット説明	34
プログラマブル・モジュラス・モード	17	レジスタ・ビットの説明	39
モードの優先順位	18	外形寸法	45
機能ブロックの詳細	19	オーダー・ガイド	45

改訂履歴

8/12—Rev. 0 to Rev. A

Changes to Features Section	1
Changed Differential Input Voltage Unit from mV p-p to V p-p	4
Changes to Table 14	34
Changes to Table 16	40
Changes to Table 28	44
Updated Outline Dimensions	45

7/12—Revision 0: Initial Version

仕様

DC仕様

特に指定がない限り、AVDD (1.8V)および DVDD (1.8V) = 1.8 V ± 5%、AVDD (3.3V)および DVDD_I/O (3.3V) = 3.3 V ± 5%、 $T_A = 25^\circ\text{C}$ 、 $R_{SET} = 3.3\text{ k}\Omega$ 、 $I_{OUT} = 20\text{ mA}$ 、外部リファレンス・クロック周波数 = 3.5 GHz、リファレンス・クロック(REF CLK)通倍器をバイパス。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE					
DVDD_I/O	3.135	3.30	3.465	V	Pin 16, Pin 83
DVDD	1.71	1.80	1.89	V	Pin 6, Pin 23, Pin 73
AVDD (3.3V)	3.135	3.30	3.465	V	Pin 34, Pin 36, Pin 39, Pin 40, Pin 43, Pin 47, Pin 50, Pin 52, Pin 53, Pin 60
AVDD (1.8V)	1.71	1.80	1.89	V	Pin 32, Pin 56, Pin 57
SUPPLY CURRENT					
$I_{DVDD_I/O}$			20	mA	See also the total power dissipation specifications Pin 16, Pin 83
I_{DVDD}			433	mA	Pin 6, Pin 23, Pin 73
$I_{AVDD(3.3V)}$			640	mA	Pin 34, Pin 36, Pin 39, Pin 40, Pin 43, Pin 47, Pin 50, Pin 52, Pin 53, Pin 60
$I_{AVDD(1.8V)}$			178	mA	Pin 32, Pin 56, Pin 57
TOTAL POWER DISSIPATION					
Base DDS Power, PLL Disabled		2392	3091	mW	3.5 GHz, single-tone mode, modules disabled, linear sweep disabled, amplitude scaler disabled
Base DDS Power, PLL Enabled		2237	2627	mW	2.5 GHz, single-tone mode, modules disabled, linear sweep disabled, amplitude scaler disabled
Linear Sweep Additional Power		28		mW	
Modulus Additional Power		20		mW	
Amplitude Scaler Additional Power		138		mW	Manual or automatic
Full Power-Down Mode		400	616	mW	Using either the power-down and enable register or the EXT_PWR_DWN pin
CMOS LOGIC INPUTS					
Input High Voltage (V_{IH})	2.0		DVDD_I/O	V	
Input Low Voltage (V_{IL})			0.8	V	
Input Current (I_{INH} , I_{INL})		±60	±200	μA	At $V_{IN} = 0\text{ V}$ and $V_{IN} = DVDD_I/O$
Maximum Input Capacitance (C_{IN})		3		pF	
CMOS LOGIC OUTPUTS					
Output High Voltage (V_{OH})	2.7		DVDD_I/O	V	$I_{OH} = 1\text{ mA}$
Output High Voltage (V_{OL})			0.4	V	$I_{OL} = 1\text{ mA}$
REF CLK INPUT CHARACTERISTICS					
REF CLK inputs should always be ac-coupled (both single-ended and differential)					
REF CLK Multiplier Bypassed					
Input Capacitance		1		pF	Single-ended, each pin
Input Resistance		1.4		kΩ	Differential
Internally Generated DC Bias Voltage		2		V	
Differential Input Voltage		0.8	1.5	V p-p	
REF CLK Multiplier Enabled					
Input Capacitance		1		pF	Single-ended, each pin
Input Resistance		1.4		kΩ	Differential
Internally Generated DC Bias Voltage		2		V	
Differential Input Voltage		0.8	1.5	V p-p	

AC仕様

特に指定がない限り、AVDD (1.8V)および DVDD (1.8V) = 1.8 V ± 5%、AVDD3 (3.3V)および DVDD_I/O (3.3V) = 3.3 V ± 5%、T_A = 25°C、R_{SET} = 3.3 kΩ、I_{OUT} = 20 mA、外部リファレンス・クロック周波数=3.5 GHz、リファレンス・クロック(REF CLK)逡倍器をバイパス。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REF CLK INPUT					Input frequency range
REF CLK Multiplier Bypassed					
Input Frequency Range	500		3500	MHz	Maximum f _{OUT} is 0.4 × f _{SYSCLK}
Duty Cycle	45		55	%	
Minimum Differential Input Level	632			mV p-p	Equivalent to 316 mV swing on each leg
System Clock (SYSCLK) PLL Enabled					
VCO Frequency Range	2400		2500	MHz	
VCO Gain (K _V)		60		MHz/V	
Maximum PFD Rate			125	MHz	
CLOCK DRIVERS					
SYNC_CLK Output Driver					
Frequency Range			146	MHz	
Duty Cycle	45	50	55	%	
Rise Time/Fall Time (20% to 80%)		650		ps	
SYNC_OUT Output Driver					10 pF load
Frequency Range			9.1	MHz	
Duty Cycle	33		66	%	CFR2 register, Bit 9 = 1
Rise Time (20% to 80%)		1350		ps	10 pF load
Fall Time (20% to 80%)		1670		ps	10 pF load
DAC OUTPUT CHARACTERISTICS					
Output Frequency Range (1 st Nyquist Zone)	0		1750	MHz	
Output Resistance		50		Ω	Single-ended (each pin internally terminated to AVDD (3.3V))
Output Capacitance		5		pF	
Full-Scale Output Current			20.48	mA	Range depends on DAC R _{SET} resistor
Gain Error	-10		+10	% FS	
Output Offset			0.6	μA	
Voltage Compliance Range	AVDD - 0.50		AVDD + 0.50	V	
Wideband SFDR					See the Typical Performance Characteristics section
101.1 MHz Output		-66		dBc	0 MHz to 1750 MHz
427.5 MHz Output		-65		dBc	0 MHz to 1750 MHz
696.5 MHz Output		-57		dBc	0 MHz to 1750 MHz
1396.5 MHz Output		-52		dBc	0 MHz to 1750 MHz
Narrow-Band SFDR					See the Typical Performance Characteristics section
100.5 MHz Output		-95		dBc	±500 kHz
427.5 MHz Output		-95		dBc	±500 kHz
696.5 MHz Output		-95		dBc	±500 kHz
1396.5 MHz Output		-92		dBc	±500 kHz
DIGITAL TIMING SPECIFICATIONS					
Time Required to Enter Power-Down		45		ns	Power-down mode loses DAC/PLL calibration settings
Time Required to Leave Power-Down		250		ns	Must recalibrate DAC/PLL
Minimum Master Reset time	24			SYSCLK cycles	
Maximum DAC Calibration Time (t _{CAL})			152	μs	f _{CAL} = f _{SYSCLK} /384 USR0 register, Bit 6 = 0; see the DAC Calibration Output section for formula
Maximum PLL Calibration Time (t _{REF_CLK})			16	ms	PFD rate = 25 MHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
Maximum Profile Toggle Rate			8 1	ms SYNC_CLK period	PFD rate = 50 MHz	
PARALLEL PORT TIMING						
Write Timing						
Address Setup Time to $\overline{\text{WR}}$ Active	1			ns		
Address Hold Time to $\overline{\text{WR}}$ Inactive			0	ns		
Data Setup Time to $\overline{\text{WR}}$ Inactive	3.8			ns		
Data Hold Time to $\overline{\text{WR}}$ Inactive			0	ns		
$\overline{\text{WR}}$ Minimum Low Time			2.1	ns		
$\overline{\text{WR}}$ Minimum High Time			3.8	ns		
Minimum $\overline{\text{WR}}$ Time			10.5	ns		
Read Timing						
Address to Data Valid			92	ns		
Address Hold to RD Inactive			0	ns		
$\overline{\text{RD}}$ Active to Data Valid			69	ns		
$\overline{\text{RD}}$ Inactive to Data Tristate			50	ns		
$\overline{\text{RD}}$ Minimum Low Time			69	ns		
$\overline{\text{RD}}$ Minimum High Time			50	ns		
SERIAL PORT TIMING						
SCLK Clock Rate ($1/t_{\text{CLK}}$)			80	MHz	SCLK duty cycle = 50%	
SCLK Pulse Width High, t_{HIGH}	1.5			ns		
SCLK Pulse Width Low, t_{LOW}	5.1			ns		
SDIO to SCLK Setup Time, t_{DS}	4.9			ns		
SDIO to SCLK Hold Time, t_{DH}			0	ns		
SCLK Falling Edge to Valid Data on SDIO/SDO, t_{DV}			78	ns		
$\overline{\text{CS}}$ to SCLK Setup Time, t_{S}	4			ns		
$\overline{\text{CS}}$ to SCLK Hold Time, t_{H}			0	ns		
$\overline{\text{CS}}$ Minimum Pulse Width High, t_{PWH}	4			ns		
DATA PORT TIMING						
D[31:0] Setup Time to SYNC_CLK	2			ns		
D[31:0] Hold Time to SYNC_CLK			0	ns		
F[3:0] Setup Time to SYNC_CLK	2			ns		
F[3:0] Hold Time to SYNC_CLK			0	ns		
IO_UPDATE Pin Setup Time to SYNC_CLK	2			ns		
IO_UPDATE Pin Hold Time to SYNC_CLK			0	ns		
Profile Pin Setup Time to SYNC_CLK				ns		
Profile Pin Hold Time to SYNC_CLK	2			ns		
DR_CTL/DR_HOLD Setup Time to SYNC_CLK	2		0	ns		
DR_CTL/DR_HOLD Hold Time to SYNC_CLK			0	ns		
DATA LATENCY (PIPELINE DELAY)						
Single Tone Mode (Matched Latency Disabled)						
Frequency		320		SYSCLK cycles	SYSCLK cycles = f_s = system clock frequency in GHz	
Phase		296		SYSCLK cycles		
Amplitude		104		SYSCLK cycles		
Single Tone Mode (Matched Latency Enabled)						
Frequency		320		SYSCLK cycles		
Phase		320		SYSCLK cycles		
Amplitude		320		SYSCLK cycles		

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Profile Pin Selection Mode					
Frequency		320		SYSCLK cycles	
Phase		296		SYSCLK cycles	
Amplitude		104		SYSCLK cycles	
Modulation Mode with 32-Bit Parallel Port					
Frequency		296		SYSCLK cycles	
Phase		272		SYSCLK cycles	
Amplitude		80		SYSCLK cycles	
Sweep Mode					
Frequency		392		SYSCLK cycles	
Phase		368		SYSCLK cycles	
Amplitude		176		SYSCLK cycles	

絶対最大定格

表 3.

Parameter	Rating
AVDD (1.8V), DVDD (1.8V) Supplies	2 V
AVDD (3.3V), DVDD_I/O (3.3V) Supplies	4 V
Digital Input Voltage	-0.7 V to +4 V
Digital Output Current	5 mA
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	150°C
Lead Temperature (10 sec Soldering)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱性能

表 4.

Symbol	Description	Value ¹	Unit
θ_{JA}	Junction-to-ambient thermal resistance (still air) per JEDEC JESD51-2	24.1	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance (1.0 m/sec airflow) per JEDEC JESD51-6	21.3	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance (2.0 m/sec air flow) per JEDEC JESD51-6	20.0	°C/W
θ_{JB}	Junction-to-board thermal resistance (still air) per JEDEC JESD51-8	13.3	°C/W
Ψ_{JB}	Junction-to-board characterization parameter (still air) per JEDEC JESD51-6	12.8	°C/W
θ_{JC}	Junction-to-case thermal resistance	2.21	°C/W
Ψ_{JT}	Junction-to-top-of-package characterization parameter (still air) per JEDEC JESD51-2	0.23	°C/W

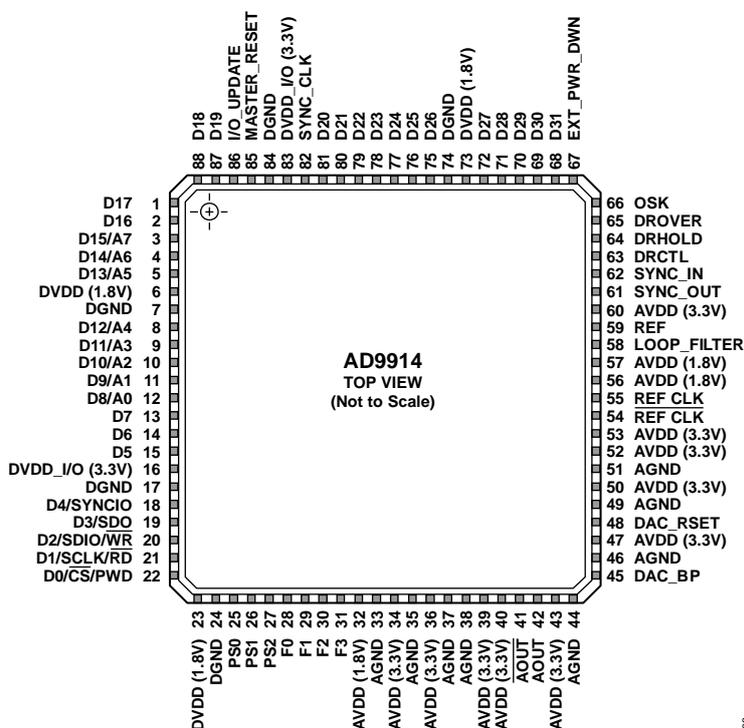
¹ 結果はシミュレーションから得たものです。PCBはJEDEC多層です。実際のアプリケーションの熱性能では、これらの計算での仮定と同じであることを確認するために、アプリケーションでの条件を注意深く調べる必要があります。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. THE EPAD MUST BE SOLDERED TO GROUND.

10898-003

図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	I/O ¹	説明
1、2、13~15、68~72、75~81、87、88	D5~D7、D16~D31、D27~D31	I/O	パラレル・ポート・ピン。32ビット・パラレル・ポートは、内部レジスタのシリアル書込またはパラレル書込のオプションを提供します。さらに、パラレル・ポートはダイレクト FSK、PSK、ASK (またはこれらの組み合わせ) 変調データを提供するように設定することができます。32ビット・パラレル・ポート構成は、4本のファンクション・ピン(F0~F3)の状態を設定されます。
3	D15/A7	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
4	D14/A6	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
5	D13/A5	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
8	D12/A4	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
9	D11/A3	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
10	D10/A2	I/O	パラレル・ポート・ピン/アドレス・ライン。ファンクション・ピン(F0~F3)の状態に依存する共用ピン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
11	D9/A1	I/O	パラレル・ポート・ピン/アドレス・ライン。ファンクション・ピン(F0~F3)の状態に依存する共用ピン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。

ピン番号	記号	I/O ¹	説明
12	D8/A0	I/O	パラレル・ポート・ピン/アドレス・ライン。このピンのダイレクト FSK、PSK または ASK データライン、または内部レジスタ書込用アドレス・ラインとしての機能は、ファンクション・ピン(F0~F3)の状態により指定されます。
18	D4/SYNCIO	I	パラレル・ポート・ピン/シリアル・ポート同期ピン。このピンは、ダイレクト FSK、PSK、または ASK データの D4 です。F0~F3 によりシリアル・モードが開始されると、このピンを使ってシリアル・ポートをリセットします。
19	D3/SDO	I/O	パラレル・ポート・ピン/シリアル・データ出力。このピンは、ダイレクト FSK、PSK、または ASK データの D3 です。F0~F3 によりシリアル・モードが開始されると、このピンはシリアル動作のリードバック・モードに使用されます。
20	D2/SDIO/WR	I/O	パラレル・ポート・ピン/シリアル・データ入出力/書込入力。このピンは、ダイレクト FSK、PSK、または ASK データの D2 です。F0~F3 によりシリアル・モードが開始されると、このピンはシリアル動作の SDIO に使用されます。パラレル・モードがイネーブルされると、このピンは内部レジスタ値を変更するための書込みに使用されます。
21	D1/SCLK/RD	I	パラレル・ポート・ピン/シリアル・クロック/読出入力。このピンは、ダイレクト FSK、PSK、または ASK データの D1 です。F0~F3 によりシリアル・モードが開始されると、このピンはシリアル動作の SCLK に使用されます。パラレル・モードがイネーブルされると、このピンは内部レジスタ値の読出しに使用されます。
22	D0/CS/PWD	I	パラレル・ポート・ピン/チップ・セレクト/パラレル幅。このピンは、ダイレクト FSK、PSK、または ASK データの D0 です。F0~F3 によりシリアル・モードが開始されると、このピンはシリアル動作のチップ・セレクトに使用されます。パラレル・モードがイネーブルされると、このピンは 8 ビット・データまたは 16 ビット・データの設定に使用されます。
6、23、73	DVDD (1.8V)	I	デジタル・コア電源(1.8 V)。
7、17、24、74、84	DGND	I	デジタル・グラウンド。
16、83	DVDD_I/O (3.3V)	I	デジタル入力/出力電源(3.3 V)。
32、56、57	AVDD (1.8V)	I	アナログ・コア電源(1.8 V)。
33、35、37、38、44、46、49、51	AGND	I	アナログ・グラウンド。
34、36、39、40、43、47、50、52、53、60	AVDD (3.3V)	I	アナログ DAC 電源(3.3 V)。
25、26、27	PS0~PS2	I	プロファイル選択ピン。デジタル入力(アクティブ・ハイ)。これらのピンを使って、DDS の 8 種類の位相/周波数プロファイルを選択します。これらのピンの内の 1 つのピンの状態を変更すると、すべての I/O バッファの現在値が対応するレジスタへ転送されます。状態変化は、SYNC_CLK ピン(ピン 82)で設定する必要があります。
28、29、30、31	F0~F3	I	ファンクション・ピン。デジタル入力。これらのピンの状態により、シリアル・インターフェースまたはパラレル・インターフェースのいずれを使用するか指定します。さらに、ファンクション・ピンは、FSK、PSK、または ASK 変調モードに対して 32 ビット・パラレル・データワードの分割方法を指定します。
41	AOUT	O	DAC 相補出力ソース。アナログ出力(電圧モード)。内部で 50 Ω 抵抗を介して AVDD (3.3V)に接続されています。
42	AOUT	O	DAC 出力ソース。アナログ出力(電圧モード)。内部で 50 Ω 抵抗を介して AVDD (3.3V)に接続されています。
45	DAC_BP	I	DAC バイパス・ピン。DAC 電流源の共通制御ノードへのアクセスを提供します。このピンとグラウンドとの間にコンデンサを接続すると、DAC 出力のノイズ性能を向上させることができます。
48	DAC_RSET	O	アナログ・リファレンス。DAC 出力のフルスケール・リファレンス電流を調整。このピンと AGND との間に 3.3 kΩ 抵抗を接続してください。
54	REF_CLK	I	相補リファレンス・クロック入力。アナログ入力。
55	REF_CLK	I	リファレンス・クロック入力。アナログ入力。
58	LOOP_FILTER	O	外部 PLL ループ・フィルタ・ノード。
59	REF	O	ローカル PLL リファレンス電源。電圧は 2.05 V (typ)。
61	SYNC_OUT	O	デジタル同期出力。複数チップの同期に使用します。
62	SYNC_IN	I	デジタル同期入力。複数チップの同期に使用します。
63	DRCTL	I	ランプ・コントロール。デジタル入力(アクティブ・ハイ)。このピンはスweep方向(アップ/ダウン)を制御します。
64	DRHOLD	I	ランプ・ホールド。デジタル入力(アクティブ・ハイ)。アクティブのときスweepを停止させます。

ピン番号	記号	I/O ¹	説明
65	DROVER	O	ランプ・オーバー。デジタル出力(アクティブ・ハイ)。このピンは、デジタル・ランプ・ジェネレータが、設定済みの上限または下限に到達するとロジック 1 になります。
66	OSK	I	出力シフト・キーイング。デジタル入力(アクティブ・ハイ)。OSK 機能がマニュアル・モードまたは自動モードのとき、このピンは OSK 機能を制御します。マニュアル・モードでは、通倍器を 0 (ロー・レベル)と設定された振幅スケール・ファクタ(ハイ・レベル)との間で切り替えます。自動モードでは、下側は振幅ゼロまで、上側は振幅スケール・ファクタまでスイープさせます。
67	EXT_PWR_DWN	I	外部パワーダウン。デジタル入力(アクティブ・ハイ)。このピンをハイ・レベルにすると、現在設定されているパワーダウン・モードが開始されます。
82	SYNC_CLK	O	クロック出力。デジタル出力。I/O_UPDATE、PS[2:0]、パラレル・データ・ポート(D0~D31)のようなチップ上の多くのデジタル入力は、この信号の立上がりエッジで設定される必要があります。
85	MASTER_RESET	I	マスター・リセット。デジタル入力(アクティブ・ハイ)。すべてのメモリ・エレメントをクリアし、レジスタにデフォルト値を設定します。
86	I/O_UPDATE	I	入力/出力更新。デジタル入力(アクティブ・ハイ)。このピンをハイ・レベルにすると、I/O バッファ値が対応する内部レジスタへ転送されます。
	EPAD		エクスポーズド・パッド。EPAD はグラウンドへハンダ付けする必要があります。

¹I = 入力、O = 出力。

代表的な性能特性

特に指定がない限り、公称電源電圧、DAC $R_{SET} = 3.3 \text{ k}\Omega$ 、 $T_A = 25^\circ\text{C}$ 。

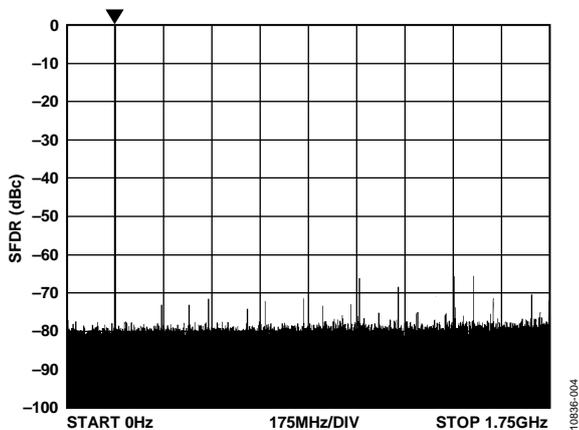


図 4. 171.5 MHz での広帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

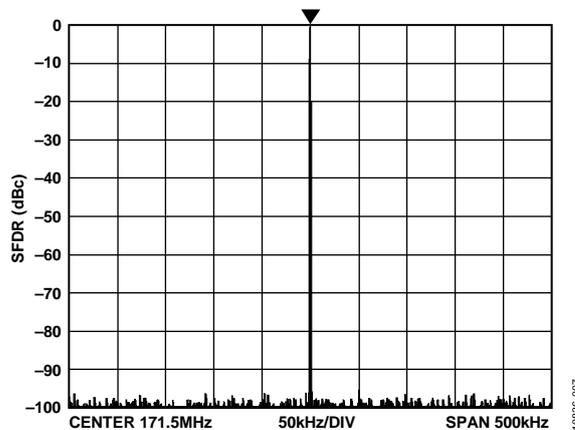


図 7. 171.5 MHz での狭帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

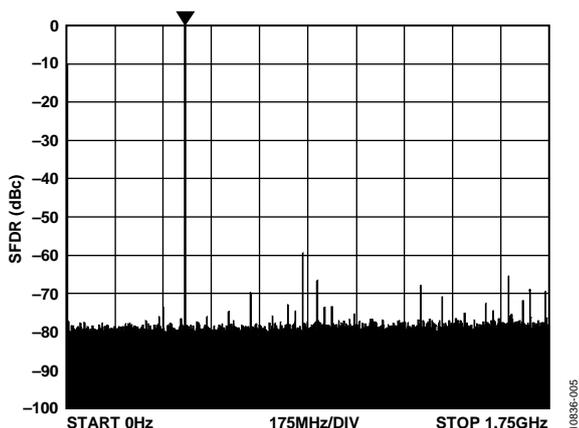


図 5. 427.5 MHz での広帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

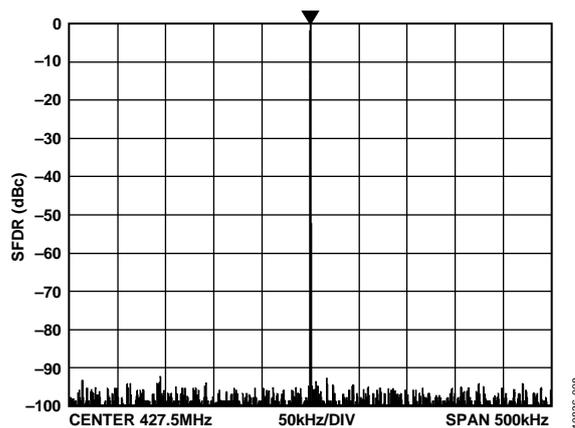


図 8. 427.5 MHz での狭帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

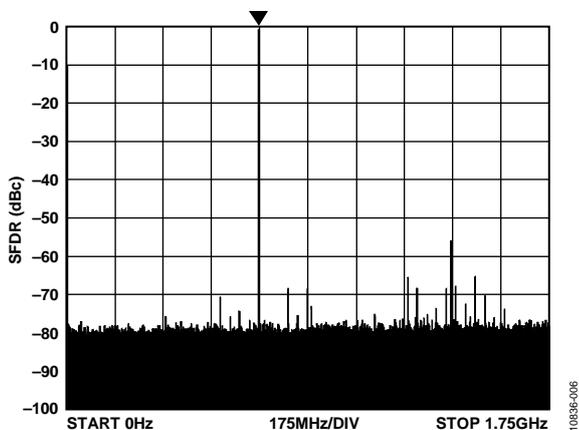


図 6. 696.5 MHz での広帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

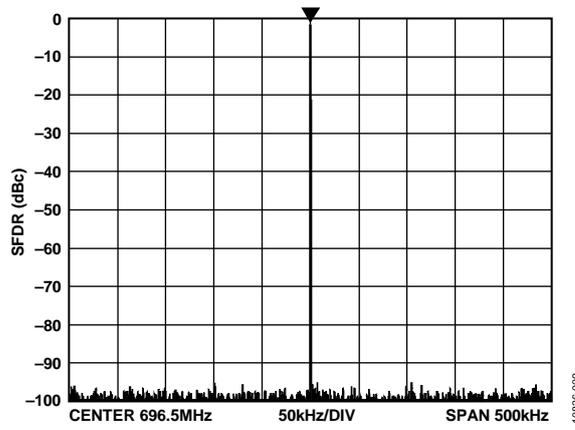


図 9. 696.5 MHz での狭帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

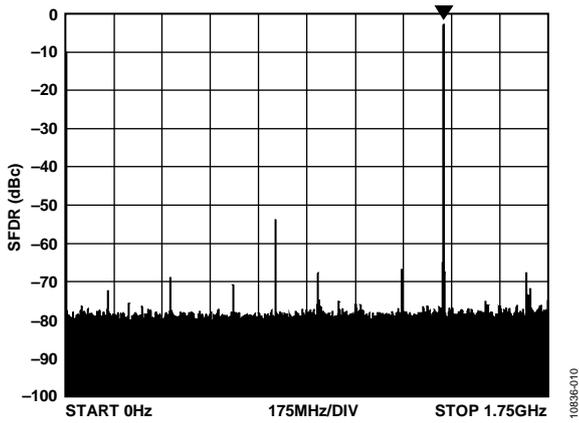


図 10. 1,396.5 MHz での広帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

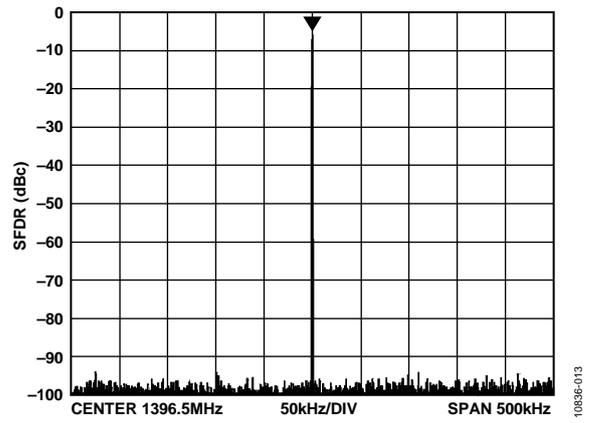


図 13. 1,396.5 MHz での狭帯域 SFDR
SYSCLK = 3.5 GHz (SYSCLK PLL をバイパス)

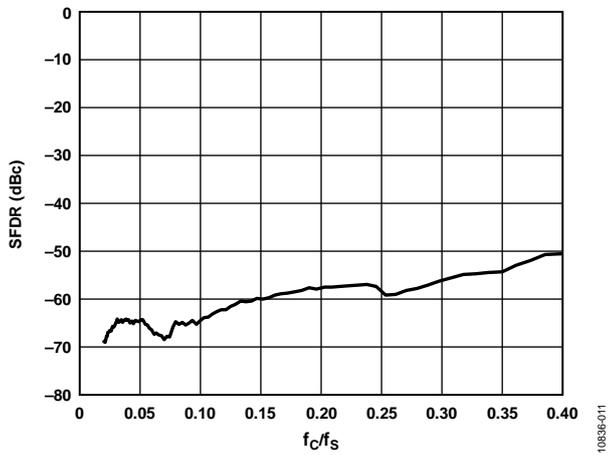


図 11. 正規化 f_{OUT} 対応帯域 SFDR
SYSCLK = 3.5 GHz

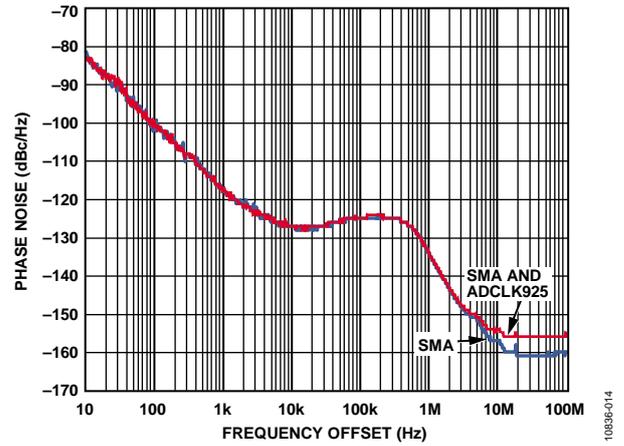


図 14. AD9914 を駆動する REF CLK ソースの絶対位相ノイズ
Rohde & Schwarz SMA100 信号ジェネレータ=3.5 GHz
シリーズ ADCLK925 でバッファ

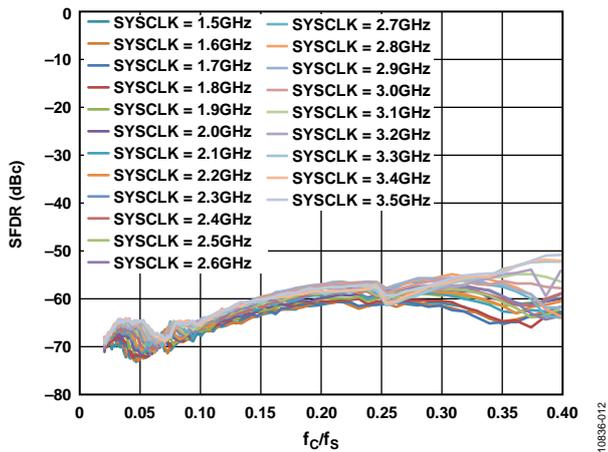


図 12. 正規化 f_{OUT} 対応帯域 SFDR
SYSCLK = 2.5 GHz~3.5 GHz

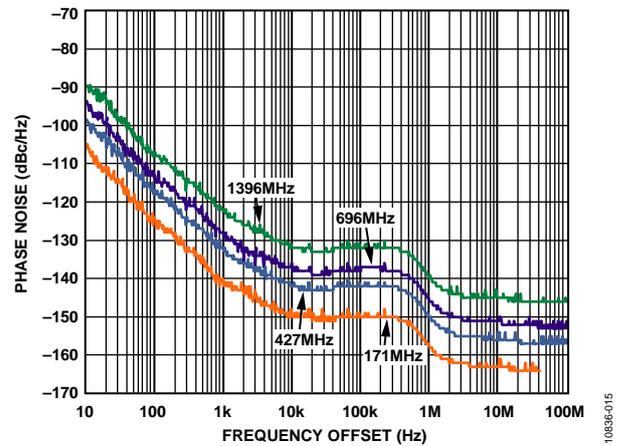


図 15. DDS 出力の絶対位相ノイズのカーブ
3.5 GHz 動作

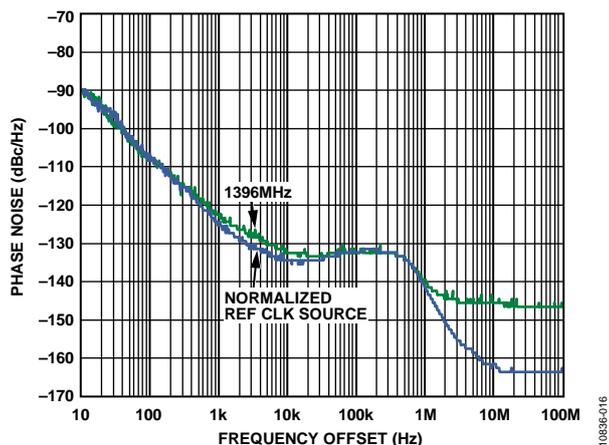


図 16.正規化 REF CLK ソースと DDS 出力 1396 MHz の絶対位相ノイズのカーブ(SYSCLK = 3.5 GHz)

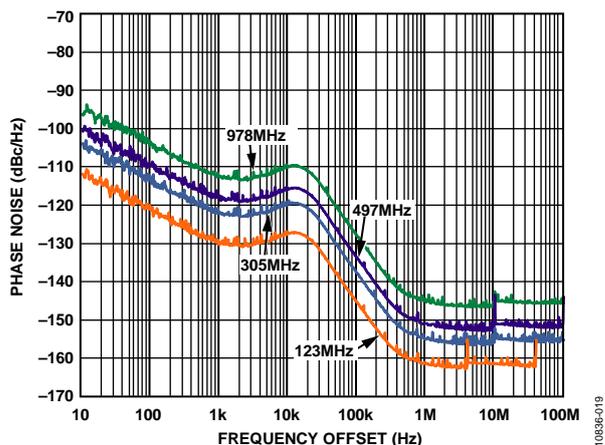


図 19.DDS 出力の絶対位相ノイズのカーブ 内部 PLL 使用、2.5 GHz 動作

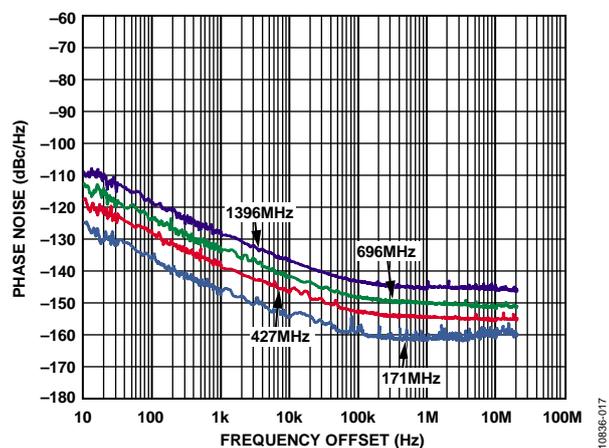


図 17.残留位相ノイズのカーブ

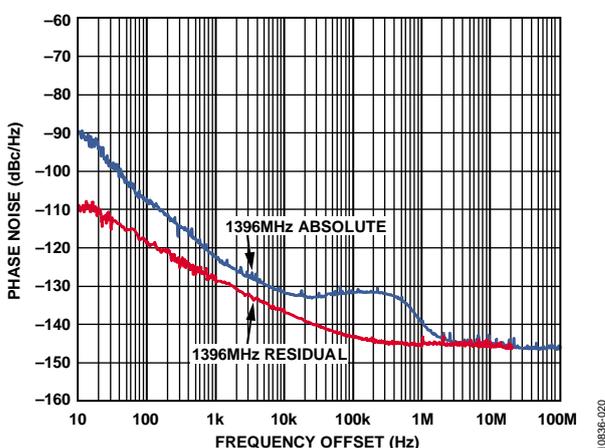


図 20.PN 測定値対絶対残留 PN のカーブ 1396 MHz

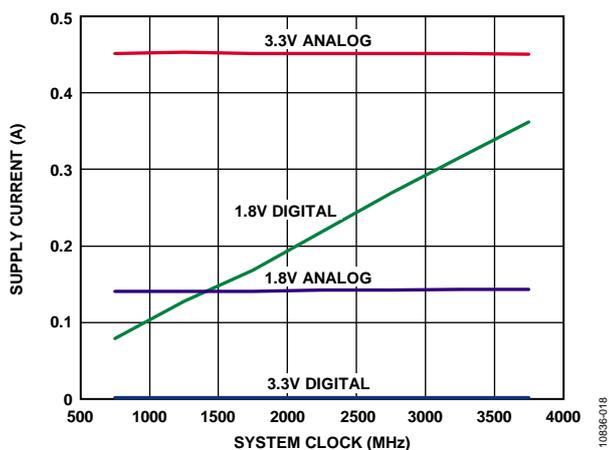


図 18.SYSCLK 対電源電流

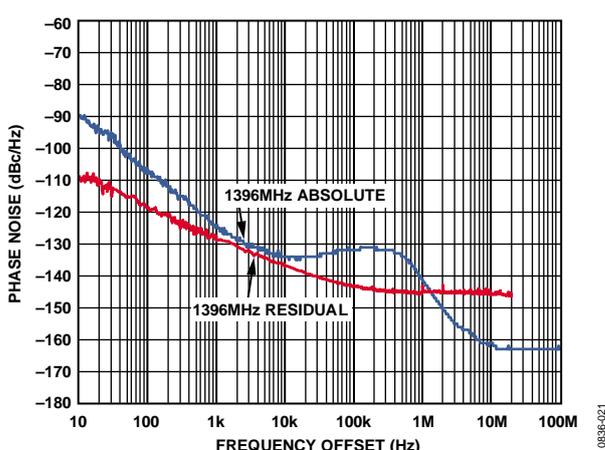


図 21.正規化絶対 REF CLK ソース位相ノイズ対 残留位相ノイズ、1396 MHz

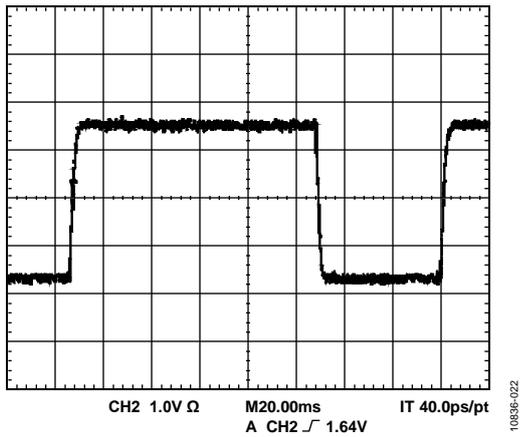


図 22. SYNC_OUT ($f_{\text{SYSCLK}}/384$)

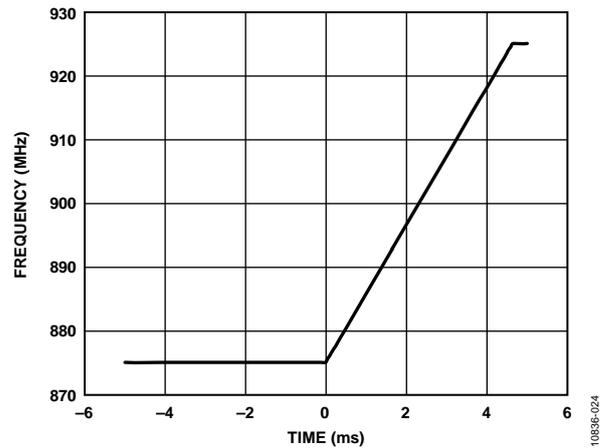


図 24. 上向きリニア周波数スイープの測定値

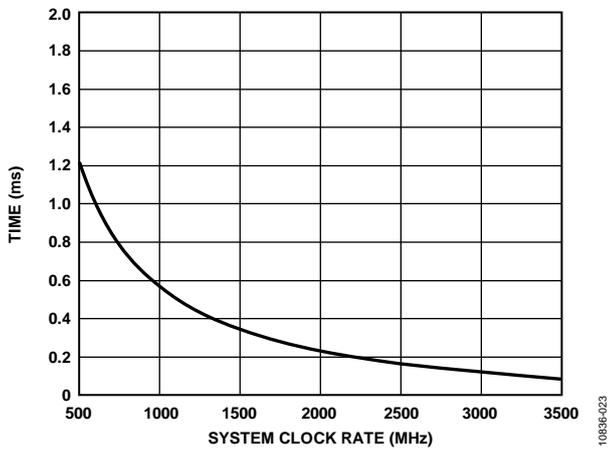


図 23. SYSCLK レート対 DAC キャリブレーション時間
式については DAC キャリブレーション出力のセクション参照

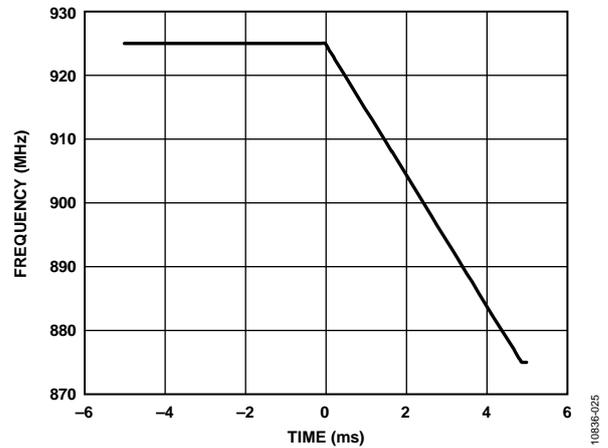


図 25. 下向きリニア周波数スイープの測定値

等価回路

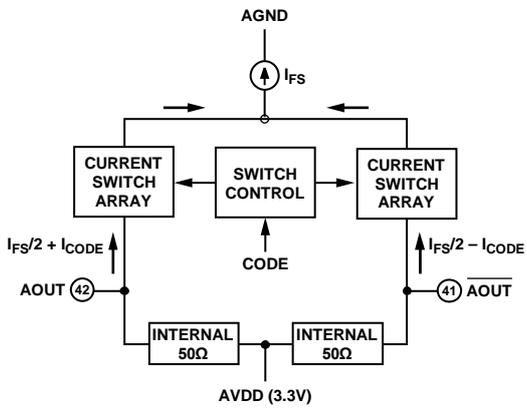


図 26. DAC 出力

10836-044

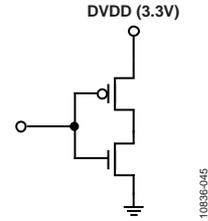


図 28. CMOS 入力

10836-045

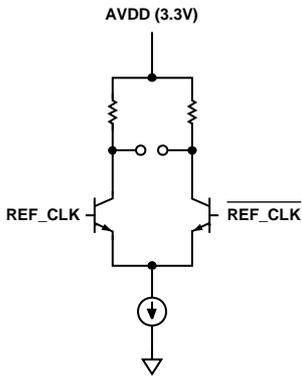


図 27. REF CLK 入力

10836-048

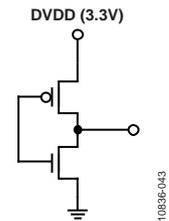


図 29. CMOS 出力

10836-043

動作原理

AD9914には次の5つの動作モードがあります。

- シングル・トーン
- プロファイル変調
- デジタル・ランプ変調(リニア・スイープ)
- パラレル・データ・ポート変調
- プログラマブル・モジュラス・モード

各モードは、周波数、位相、または振幅の信号制御パラメータを DDS へ与える際に使われるデータ・ソースを決定します。周波数、位相、振幅からなる種々の組み合わせでデータを分割する処理は、モードおよび/または特定のコントロール・ビットとファンクション・ピンに基づいて設定されます。

種々のモードは独立に規定されますが、同時にイネーブルすることができます。これにより、複素変調方式による生成でこれまでにないレベルの柔軟性を提供しますが、複数のデータ・ソースが同じ DDS 信号制御パラメータを駆動するのを防止するため、このデバイスは優先順位プロトコルを採用しています。

シングル・トーン・モードでは、DDS 信号制御パラメータは直接プロファイル・プログラミング・レジスタから取得します。デジタル・ランプ変調モードでは、DDS 信号制御パラメータはデジタル・ランプ・ジェネレータから取得します。パラレル・データ・ポート変調モードでは、DDS 信号制御パラメータは直接パラレル・ポートから取得します。

種々の変調モードは一般に、1つの DDS 信号制御パラメータでのみ動作します(パラレル・データ・ポートを使用するポーラ変調フォーマットでは2つ)。非変調 DDS 信号制御パラメータはプログラミング・レジスタに格納され、選択したモードに応じて自動的に DDS へ渡されます。

別の出力シフト・キーイング(OSK)機能も使用することができます。この機能では、DDS の振幅パラメータに対してのみ有効な別のデジタル・リニア・ランプ・ジェネレータを使用します。OSK 機能は、DDS 振幅パラメータを駆動できる他のデータ・ソースより高い優先順位を持っています。したがって、OSK 機能がイネーブルされているときは他のデータ・ソースが DDS 振幅を駆動できません。

シングル・トーン・モード

シングル・トーン・モードでは、DDS 信号制御パラメータが直接プロファイル・プログラミング・レジスタから適用されます。プロファイルは、DDS 信号制御パラメータを格納する独立なレジスタです。8個のプロファイル・レジスタがあります。プロファイル・ピンは希望のレジスタを選択するときに使用すること注意してください。

プロファイル変調モード

各プロファイルは、独立にアクセスすることができます。FSK、PSK、または ASK 変調の場合、3本の外部プロファイル・ピン(PS[2:0])を使って希望のプロファイルを選択します。SYNC_CLK の次の立上がりエッジでのプロファイル・ピンの状態によって、選択されたプロファイルの指定されるパラメータで DDS が更新されます。したがって、プロファイル・ピンの状態の変化するタイミングは、SYNC_CLK の立上がりエッジに対してセットアップ・タイムとホールド・タイムを満たす必要があります。CFR1 レジスタ(0x00[8])の OSK イネーブル・ビットを使って、振幅制御もイネーブルすること注意してください。

デジタル・ランプ変調モード

デジタル・ランプ変調モードでは、変調 DDS 信号制御パラメータは直接デジタル・ランプ・ジェネレータ(DRG)から適用されます。ランプ生成パラメータは、シリアルまたはパラレル I/O ポートを經由して制御されます。

ランプ生成パラメータを使うと、ランプの立上がりスロープと立下がりスロープを制御することができます。ランプの上限と下限、ランプの立上がり部分のステップ・サイズとステップ・レート、ランプの立下がり部分のステップ・サイズとステップ・レートがすべて、設定可能です。

ランプは 32 ビット出力分解能でデジタル的に発生されます。DRG の 32 ビット出力は周波数、位相、振幅を変更するのに設定可能です。周波数を設定するときは、32 ビットすべてを使いますが、位相または振幅を設定するときは、それぞれ上位 16 ビットまたは上位 12 ビットを使います。

ランプ方向(立上がりまたは立下がり)は、DRCTL ピンを使って外部から制御されます。追加ピン(DRHOLD)を使うと、ランプ・ジェネレータをプリセット状態に停止させることができます。CFR1 レジスタの OSK イネーブル・ビットを使って、振幅制御もイネーブルする必要があることに注意してください。

パラレル・データ・ポート変調モード

パラレル・データ・ポート変調モードでは、変調 DDS 信号制御パラメータは、直接 32 ビット・パラレル・データ・ポートから供給されます。ファンクション・ピンは、32 ビット・データワードを DDS 信号制御パラメータに適用する方法を指定します。32 ビット・データワードのフォーマットは、ディステーション(DRG)が適応されるパラメータである周波数または位相や振幅)に関係なく符号なしバイナリです。

パラレル・データ・クロック(SYNC_CLK)

AD9914 は SYNC_CLK ピンへクロック信号を発生し、DAC サンプル・レート(パラレル・データ・ポートのサンプル・レート)の 1/24 で動作します。SYNC_CLK は、パラレル・ポートのデータ・クロックとして機能します。

プログラマブル・モジュラス・モード

プログラマブル・モジュラス・モードでは、DRG を補助アキュムレータとして使って、DDS コアの周波数式を変えるため、分母での 2 の累乗値に制約されない小数値を実現することができます。標準の DDS では分母は 2 の累乗値に制約されます。これは、位相アキュムレータは周波数チューニング・ワード(FTW)と同じビット数であるためです。

ただし、プログラマブル・モジュラス・モードでは、周波数式は次のようになります。

$$f_o = (f_s)(FTW + A/B)/2^{32}$$

ここで、 $f_o/f_s < 1/2$ 、 $0 \leq FTW < 2^{31}$ 、 $2 \leq B \leq 2^{32} - 1$ 、 $A < B$ 。

この式は $B \times 2^{32}$ のモジュラスであること(標準 DDS は 2^{32} のモジュラス)を意味します。さらに、 B が設定可能であるため、プログラマブルなモジュラスを持つ DDS が得られます。

プログラマブル・モジュラス・モードの場合、32 ビット補助アキュムレータは、 2^{32} の最大値以外の値でロールオーバーできる方法で動作します。すなわち、設定可能な値 B に基づいて変更したモジュラスで動作します。補助アキュムレータの各ロールオーバーで、32 ビット位相アキュムレータの現在値に 1 LSB の値が加算されます。この動作により、位相アキュムレータのモジュラスが B

$\times 2^{32}$ に変更されるため(2^{32} の代わりに)、所望の f_0 を合成することができますようにします。

FTW、A、B に対するプログラマブル・モジュラス・モード・レジスタ値を求めるときは、まず f_0/f_s を整数比 M/N として求める必要があります。すなわち、 f_0 と f_s を整数 M と N に変換した後に、分数 M/N の既約分数を求めます。次に $M \times 2^{32}$ を N で除算します。この除算の整数部分を FTW 値(レジスタ 0x04[31:0])とします。この除算の余り Y は、

$$Y = (2^{32} \times M) - (FTW \times N)$$

Y の値から、分数 Y/N の既約分数を求めることにより、A と B を求めることができます。次に、既約分数の分子を A (レジスタ 0x06[31:0])とし、分母を B (レジスタ 0x05[31:0])とします。

例えば、300 MHz を正確に 1 GHz システム・クロックと動機させることは標準の DDS では不可能ですが、プログラマブル・モジュラスを使うと、次のように可能になります。

まず、 f_0/f_s を次のように整数比として表します。

$$300,000,000/1,000,000,000$$

この分数を既約分数 3/10 にすると、 $M = 3$ と $N = 10$ が得られます。FTW は $(M \times 2^{32})/N$ すなわち $(3 \times 2^{32})/10$ の整数部分で、1,288,490,188 (32 ビット 16 進表示では 0x4CCCCCCC)に等しくな

表 6. データ・ソースの優先順位

DDS Signal Control Parameters		
Priority	Data Source	Conditions
Highest Priority	Programmable modulus	If programmable modulus mode is used to output frequency only, no other data source can be used to control the output frequency in this mode. Note that the DRG is used in conjunction with programmable modulus mode; therefore, the DRG cannot be used to sweep phase or amplitude in programmable modulus mode. If output phase offset control is desired, enable profile mode and use the profile registers and profile pins accordingly to control output phase adjustment. If output amplitude control is desired, enable profile mode and use the profile registers and profile pins accordingly to control output amplitude adjustment. Note that the OSK enable bit must be set to control the output amplitude.
	DRG	The digital ramp modulation mode is the next highest priority mode. If the DRG is enabled to sweep output frequency, phase, or amplitude, the two parameters not being swept can be controlled independently via the profile mode.
	Profiles	The profile modulation mode is the next highest priority mode. Profile mode can be used to control all three parameters independently, if desired.
Lowest Priority	Parallel port	Parallel data port modulation has the lowest priority but the most flexibility as far as changing any parameter at the high rate. See the Programming and Function Pins section.

ります。 $(3 \times 2^{32})/10$ の余り Y は、 $(2^{32} \times 3) - (1,288,490,188 \times 10)$ で、8 に等しくなります。このため、 Y/N は 8/10 になり、既約の 4/5 になります。したがって、A = 4 と B = 5 が得られます(32 ビット 16 進表示では、それぞれ 0x00000004 と 0x00000005)。FTW、A、B のこれらの値で AD9914 を設定すると、システム・クロック周波数の正確に 3/10 に等しい出力周波数を得ることができます。

モードの優先順位

各モードを独立に開始できる機能があるため、同じ DDS 信号制御パラメータ(周波数、位相、振幅)を駆動しようとする複数のデータ・ソースを持つことが可能です。競合を避けるため、AD9914 は優先順位システムを採用しています。表 6 に、各 DDS モードの優先順位をまとめます。表 6 のデータ・ソースの列に、特定の DDS 信号制御パラメータのデータ・ソースを降順に示します。例えば、プロファイル・モード・イネーブル・ビットとパラレル・データ・ポート・イネーブル・ビット(0x01[23:22])がロジック 1 に設定されて、両方とも DDS 出力へ周波数チューニング・ワードを供給するように設定されると、プロファイル変調モードがパラレル・データ・ポート変調モードより優先されます。

機能ブロックの詳細

DDS コア

ダイレクト・デジタル・シンセサイザ(DDS)ブロックは、リファレンス信号(イネーブル正弦波出力ビット 0x00[16]に基づきサイン波またはコサイン波)を発生します。リファレンス信号のパラメータ(周波数、位相、振幅)は、周波数、位相オフセット、振幅の各コントロール入力から DDS に適用されます(図 30 参照)。

AD9914 の出力周波数(f_{OUT})は、DDS に対する周波数コントロール入力からの周波数チューニング・ワード(FTW)で制御されます。 f_{OUT} 、FTW、 f_{SYSCLK} の間の関係は次式で与えられます。

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (1)$$

ここで、FTWは0~2,147,483,647 ($2^{31} - 1$)の範囲の32ビット整数で、フル32ビット範囲の下半分を表します。この範囲が、DC~ナイキスト($\frac{1}{2} f_{SYSCLK}$)の周波数を構成します。

所望の値 f_{OUT} を発生するために必要なFTWは、式1をFTWについて解くことにより式2のように求めます。

$$FTW = \text{round} \left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (2)$$

ここで、 $\text{round}(x)$ 関数は、引数(xの値)に対する最寄りの整数を返します。これは、FTWが整数値に制約されているために必要です。例えば、 $f_{OUT} = 41 \text{ MHz}$ かつ $f_{SYSCLK} = 122.88 \text{ MHz}$ の場合、 $FTW = 1,433,053,867$ (0x556AAAAB)になります。

FTWを 2^{31} より大きく設定すると、次式で与えられる周波数にイメージが発生します。

$$f_{OUT} = \left(1 - \frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (FTW \geq 2^{31})$$

16 ビット位相オフセット・ワード(POW)を使うと、DDS 信号の相対位相をデジタル的に制御することができます。この位相オフセットは、DDS コア内部の角度/振幅変換ブロック内部の前で加え

られます。相対位相オフセット($\Delta\theta$)は次式で与えられます。

$$\Delta\theta = \begin{cases} 2\pi \left(\frac{POW}{2^{14}} \right) \\ 360 \left(\frac{POW}{2^{14}} \right) \end{cases}$$

ここで、位相オフセットの上の値はラジアン単位で表し、下の値は度単位で表しています。

任意の $\Delta\theta$ を表すために必要な POW 値を求めるときは、上式を POW について解き結果をまるめ処理します(任意の FTW を求めた方法と同じ方法を使用)。

12 ビット振幅スケール・ファクタ(ASF)を使うと、DDS 信号の相対振幅をデジタル的にスケールすることができます(フルスケールに対して)。この振幅スケール値は、DDS コア内部の角度/振幅変換ブロック出力で適用されます。振幅スケールは次式で与えられます。

$$\text{Amplitude Scale} = \begin{cases} \frac{ASF}{2^{12}} \\ 20 \log \left(\frac{ASF}{2^{12}} \right) \end{cases} \quad (3)$$

ここで、上の値はフルスケールの分数として表した振幅で、下の値はフルスケールに対するデシベル値です。

特定のスケール・ファクタに対して必要な ASF 値を求めるときは、式3を ASF について解き丸め処理します(任意の FTW を求めた方法と同じ方法を使用)。

任意の DDS 信号制御パラメータを変調するように AD9914 を設定する場合は、最大変調サンプル・レートが $\frac{1}{4} f_{SYSCLK}$ になります。これは、変調信号では $\frac{1}{4} f_{SYSCLK}$ の整数倍にイメージが現れることを意味します。このデバイスを変調器として使用する場合には、これらのイメージの影響を考慮する必要があります。

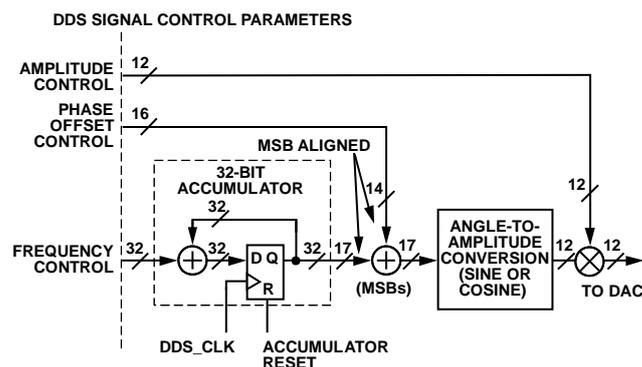


図 30.DDS のブロック図

12 ビット DAC 出力

AD9914 は 12 ビットの電流出力 DAC を内蔵しています。出力電流は、2 つの出力を使う平衡信号として出力されます。平衡出力を使うと、DAC 出力に現れる同相モード・ノイズの電位が小さくなるので、信号対ノイズ比が大きくなる利点があります。DAC_RSET ピンと AGND との間に外付け抵抗(R_{SET})を接続するとリファレンス電流が設定されます。 R_{SET} の推奨値は 3.3 k Ω です。

出力電圧が規定のコンプライアンス・レンジ内に留まるように負荷終端に注意してください。電圧がこの範囲を超えると、歪みが大きくなり、DAC 出力回路に損傷を与えることがあります。

DAC キャリブレーション出力

CFR4 コントロール・レジスタ(0x03[24])の DAC CAL イネーブル・ビットはマニュアルでセットし、その後各パワーアップ後および REF CLK または内部システム・クロックを変えるごとにクリアする必要があります。これにより、内蔵 DAC タイミングのセットアップ・タイムとホールド・タイムを最適化する内部キャリブレーション・ルーチンが起動されます。キャリブレーションに失敗すると、性能が低下し、機能が失われることもあります。DAC クロックのキャリブレーションに要する時間は、次式で計算されま

$$t_{CAL}(f_s) = \frac{531,840}{f_s}$$

再生フィルタ

DAC 出力信号は、 f_s でサンプルした正弦波として現れます。正弦

波の周波数は、DDS 入力に現れる周波数チューニング・ワード (FTW)により決定されます。DAC 出力は一般に外付け再生フィルタを通過させます。このフィルタは、サンプリング・プロセスのノイズとフィルタ帯域外のその他のスプリアスを除去します。

DAC はサンプル・システムを構成するので、DAC に入力されるデジタル・サンプルをアナログ波形に正確に表すようにするため出力をフィルタする必要があります。フィルタされない DAC 出力には、DC からナイキスト周波数($f_s/2$)までの必要なベースバンド信号が含まれています。理論的には無限大まで広がるベースバンド信号のイメージも含まれています。奇数番号のイメージ(図 31 参照)はベースバンド信号の鏡像イメージであることに注意してください。さらに、DAC 出力スペクトル全体は $\sin(x)/x$ 応答の影響を受けています。これは、DAC 出力信号のサンプル・アンド・ホールドにより発生します。

DAC 出力の基本周波数を使用するアプリケーションの場合、再生フィルタの応答はベースバンド信号(イメージ 0)を通過させ、他のすべてのイメージを完全に除去する必要がありますが、実際のフィルタは一般に、所望出力周波数+ 20%をカバーする比較的平坦な通過帯域を持ち、できるだけ急峻にロールオフし、残りのイメージに対して大きな除去比を維持します(完全ではありませんが)。不要なスプリアスと所望信号の距離に応じて、3次、5次、または7次の楕円ローパス・フィルタが一般に使用されます。

ナイキスト周波数の上のイメージで動作するアプリケーションでは、ローパス・フィルタの代わりにバンドパス・フィルタを使用します。再生フィルタのデザインは、信号性能全体に大きな影響を与えます。このため、優れたフィルタ・デザインと実現技術が最適ジッタ性能を得るために重要です。

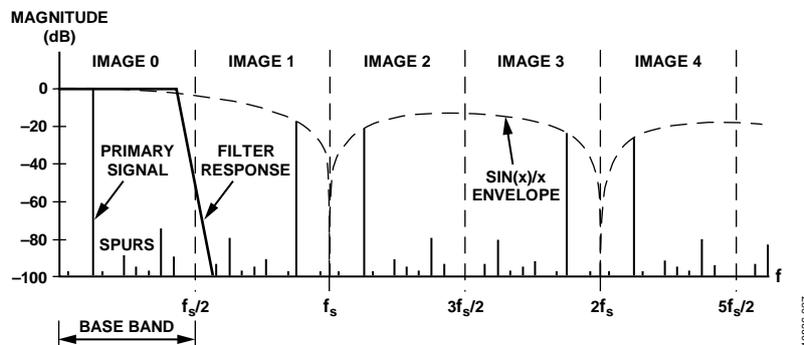


図 31.再生フィルタ応答対 DAC スペクトル

クロック入力(REF_CLK/REF_CLK)

REF_CLK/REF_CLKの概要

AD9914 では、REF_CLK/REF_CLK入力ピンを使って内部SYSCLK信号(すなわちDACサンプル・クロック)を発生する多くのオプションをサポートしています。REF_CLK入力は、差動またはシングルエンドのソースから直接駆動することができます。また、独立にイネーブ爾できる内部位相ロック・ループ(PLL)通倍器もあります。ただし、PLLはSYSCLK信号を 2.4 GHz~2.5 GHzの動作に制限します。PLLをバイパスするときは、差動信号の使用が推奨されます。REF_CLK機能のブロック図を図 32 に示します。図 32 に、CFR3 コントロール・ビットと特定の機能ブロックとの対応を示します。

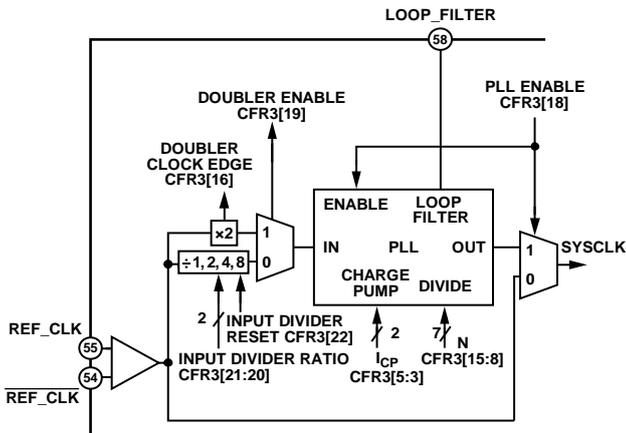


図 32. REF_CLK のブロック図

PLLイネーブ爾・ビットを使ってPLLパスまたは直接入力パスを選択します。直接入力パスを選択する場合、REF_CLK/REF_CLKピンは外部信号ソース(シングルエンドまたは差動)から駆動する必要があります。最大 3.5 GHzの入力周波数をサポートしています。

REF_CLK/REF_CLKの直接駆動

差動信号ソースを使う場合、REF_CLK/REF_CLKピンを相補信号で駆動し、0.1 μFのコンデンサでAC結合します。シングルエンド信号ソースを使う場合は、シングルエンド/差動変換を使うか、またはREF_CLK入力をシングルエンドで直接駆動することができます。いずれの場合も、0.1 μFのコンデンサを使って、両REF_CLK/REF_CLKピンをAC結合して、約 1.35 Vの内部DCバイアス電圧に影響を与えないようにする必要があります。詳細については、図 33 を参照してください。

REF_CLK/REF_CLK入力抵抗は差動で約 2.5 kΩです(シングルエンドでは約 1.2 kΩ)。大部分の信号ソースは比較的低い出力インピーダンスを持っています。REF_CLK/REF_CLKの入力抵抗は比較的高いため、終端インピーダンスへの影響は無視できるので、信号ソースの出力インピーダンスと同じ値を使うことができます。図 33 の 2 つの例では、50 Ω出力インピーダンスの信号ソースを使っています。

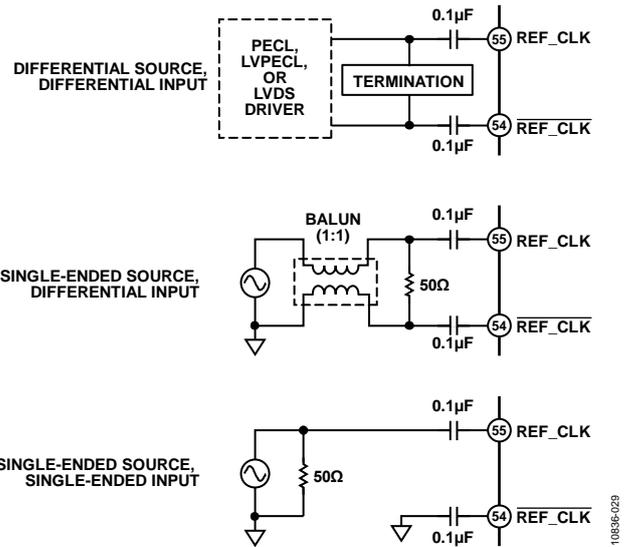


図 33. 直接接続の図

位相ロック・ループ(PLL)通倍器

内部位相ロック・ループ(PLL)は、システム・クロック周波数より大幅に低いリファレンス・クロック周波数を使うオプションを提供します。PLL は、広い範囲のプログラマブルな周波数通倍率(8x~255x)、プログラマブルなチャージ・ポンプ電流、ループ・フィルタ外付け部品(PLL LOOP_FILTER ピンへ接続)をサポートしています。これらの機能は PLL の柔軟性を強化し、位相ノイズ性能の最適化を可能にし、周波数プランの制限に柔軟性を与えます。PLL には PLL ロック・ビット・インジケータ(0x1B[24])もあります。

PLL の出力周波数範囲(f_{SYSCLK})は、内蔵 VCO により $2.4 \text{ GHz} \leq f_{SYSCLK} \leq 2.5 \text{ GHz}$ の範囲に制限されます。

VCOのキャリブレーション

PLL を使ってシステム・クロックを発生する場合、VCO を適切にチューニングして優れた性能を実現するために VCO のキャリブレーションが必要です。リファレンス入力信号が安定な場合、CFR1 レジスタ 0x00[24]の VCO キャリブレーション・イネーブ爾・ビットをアサートする必要があります。後続の VCO キャリブレーションでは、VCO キャリブレーション・ビットをクリアした後に次の VCO キャリブレーションを開始する必要があります。VCO キャリブレーションは、DAC キャリブレーションにより最適性能と機能が確保された後に行う必要があります。

PLL チャージ・ポンプ

チャージ・ポンプ電流(I_{CP})値は、VCO キャリブレーション・プロセスで CFR3 レジスタ(0x02[15:8])の帰還分周比 N[7:0]に格納された帰還分周値(N=8~255)を使って自動的に選択されます。チャージ・ポンプ電流値をマニュアルで上書きするときは、CFR3 (0x02[6])のマニュアル I_{CP} 選択ビットをロジック 1 に設定する必要があります。

これにより、PLL 性能を最適化する柔軟性が強化されます。表 7 に、ビット設定と公称チャージ・ポンプ電流の対応を示します。

表 7.PLL チャージ・ポンプ電流

I_{CP} Bits (CFR3[5:3])	Charge Pump Current, I_{CP} (μ A)
000	125
001	250
010	375
011	500 (default)
100	625
101	750
110	875
111	1000

表 8.N 分周比とチャージ・ポンプ電流の対応

N Divider Range	Recommended Charge Pump Current, I_{CP} (μ A)
8 to 15	125
16 to 23	250
24 to 35	375
36 to 43	500
44 to 55	625
56 to 63	750
64 to 79	875
80 to 100	1000

PLL ループ・フィルタ部品

ループ・フィルタの大部分は、デバイス内部にあります(図 34 参照)。推奨外付けコンデンサ値は 560 pF です。C_p と R_{pz} は内蔵されているため、外付けコンデンサ値を使ってループ帯域幅を調節することは推奨されません。粗調整ですがチャージ・ポンプ電流を調整する方が望まれます。

例えば、 $I_{CP} = 375 \mu$ A、 $K_V = 60$ MHz/V、N = 50 とするように PLL をマニュアル設定する場合、ループ帯域幅は約 250 kHz になります。

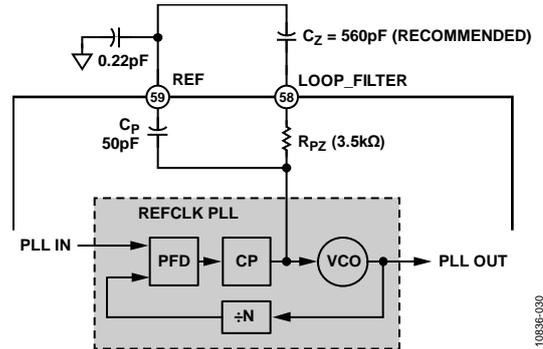


図 34.REF CLK PLL 外付けループ・フィルタ

PLL ロック表示

PLL を使用している場合、PLL ロック・ビット(0x1B[24])がアクティブ・ハイになって、PLL が REF CLK 入力信号にロックしたことを表示します。

出力シフト・キーイング(OSK)

OSK機能(図 35)を使うと、DDSの出力信号振幅を制御することができます。OSKブロックで発生された振幅データは、振幅データを DDSへ供給するように設定された他の機能ブロックより優先されます。このため、OSKデータ・ソースがイネーブルされると、他のすべての振幅データ・ソースが上書きされます。

OSK機能の動作は、CFR1 レジスタ内のOSKイネーブル(0x00[8])と外部OSKイネーブル(0x00[9])の 2 ビット、外部OSKピン、プロファイル・ピン、8 個のプロファイル・レジスタの内の 1 つにある振幅スケール・ファクタの 12 ビットから制御されます。プロファイル・ピンを使って所望の振幅スケール・ファクタを格納しているプロファイル・レジスタを選択します。

OSKブロックのプライマリ制御は、OSKイネーブル・ビット(0x00[8])です。OSK機能をディスエーブルすると、OSK入力が制御し、OSKピンは無視されます。

OSKピンの機能は、外部OSKイネーブル・ビットとOSKイネーブル・ビットの状態に依存します。両ビットをロジック 1 に設定し、OSKピンをロジック 0 に設定すると、出力振幅は 0 になります。その他の場合、OSKピンをロジック 1 にすると、プロファイル・ピン選択に応じて 8 個のプロファイル・レジスタの内の 1 つにある振幅スケール・ファクタ値によって出力振幅が設定されます。

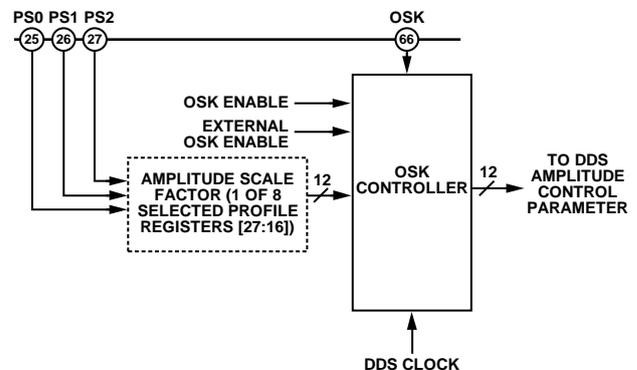


図 35.OSK のブロック図

デジタル・ランプ・ジェネレータ(DRG)

DRG の概要

位相、周波数、または振幅を指定した開始ポイントから指定した終了ポイントまでスイープするために、AD9914 は完全なデジタル・ランプ・ジェネレータを内蔵しています。DRGでは、コントロール・レジスタの 8 ビット、3 本の外部ピン、5 個の 32 ビット・レジスタを使用しています(図 36 参照)。

DRGのプライマリ制御は、デジタル・ランプ・イネーブル・ビット(0x01[19])です。ディスエーブルされると、他のDRG入力制御が無視されて、内部クロックがシャットダウンされて消費電力を削減します。

DRG出力は 32 ビット符号なしデータ・バスであり、表 9 に従ってコントロール・ファンクション・レジスタ 2 の 2 ビットのデジタル・ランプ・ディステネーション・ビットから制御されて、3 つのDDS信号制御パラメータの内の任意の 1 つへ接続することができます。この 32 ビット出力バスは、ディステネーション・ビットによって指定される、MSB整列の 32 ビット周波数パラメータ、16 ビット位相パラメータ、または 12 ビット振幅パラメータです。ディステネーションが位相または振幅の場合、未使用の下位ビットは無視されます。

表 9. デジタル・ランプのディステネーション

Digital Ramp Destination Bits (CFR2[21:20])	DDS Signal Control Parameter	Bits Assigned to DDS Parameter
00	Frequency	31:0
01	Phase	31:18
1x ¹	Amplitude	31:20

¹ x = don't care.

DRGのランプ特性はすべてプログラマブルです。これには、ランプの上下限、およびランプの正と負のスロープ特性に対するステップ・サイズとステップ・レートの独立な制御が含まれます。DRGの詳細ブロック図を図 37 に示します。

ランプの方向は、DRCTL ピンにより制御されます。このピンをロジック 0 にすると DRG ランプは負スロープに、ロジック 1 にすると DRG ランプは正スロープに、それぞれなります。

DRGは、DRHOLD ピンから制御されるホールド機能もサポートしています。このピンをロジック 1 に設定すると、DRGは直前の状態で停止し、ロジック 0 の場合はDRGは通常動作します。DRGのディステネーションになっていないDDS信号制御パラメータは、アクティブ・プロファイルから取得されます。

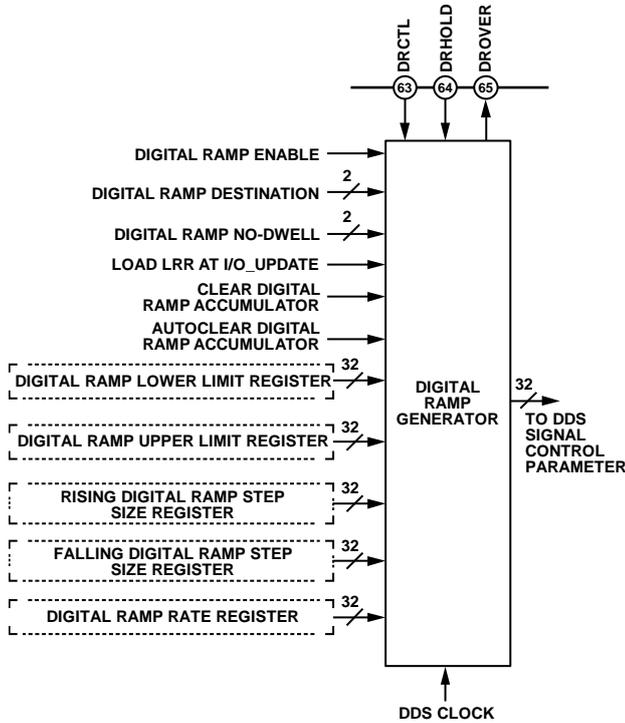


図 36. デジタル・ランプのブロック図

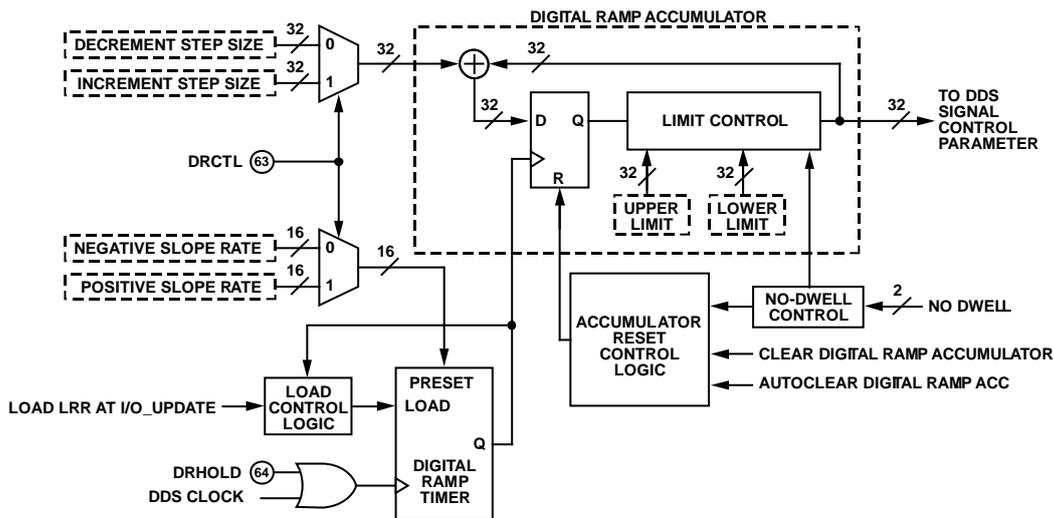


図 37. デジタル・ランプ・ジェネレータの詳細

DRG のスロープ制御

DRG のコアは、プログラマブルなタイマからクロック駆動される 32 ビット・アキュムレータです。タイマのタイム・ベースは、 $1/24 f_{\text{SYSCLK}}$ で動作する DDS クロックです。このタイマは、アキュムレータの連続更新の間の間隔を設定します。正(+ Δt)と負(- Δt)のスロープ・ステップ間隔は、独立に次式のように設定可能です。

$$+\Delta t = \frac{24P}{f_{\text{SYSCLK}}}$$

$$-\Delta t = \frac{24N}{f_{\text{SYSCLK}}}$$

ここで、 P と N は 2 つの 16 ビット値で 32 ビット・デジタル・ランプ・レート・レジスタに格納され、ステップ間隔を制御します。 N はランプの負スロープ部分のステップ間隔を指定します。 P はランプの正スロープ部分のステップ間隔を指定します。

ランプのスロープ部分の正ステップ・サイズ(STEP_P)と負ステップ・サイズ(STEP_N)は、32 ビット値で、32 ビットの立上がりおよび立下がりデジタル・ランプ・ステップ・サイズ・レジスタ(0x06 と 0x07)に設定されます。各ステップ・サイズは符号なし整数として設定します(ハードウェアは自動的にSTEP_Nを負値と見なします)。32 ビット・ステップ・サイズ値と周波数、位相、または振幅の実際の単位との間の関係は、デジタル・ランプ・ディステーション・ビットに依存します。実際の周波数、位相、または振幅ステップ・サイズは、必要に応じて、次式のMのSTEP_NまたはSTEP_Pを減算して計算してください。

$$\text{FrequencyStep} = \left(\frac{M}{2^{32}}\right) f_{\text{SYSCLK}}$$

$$\text{PhaseStep} = \frac{\pi M}{2^{31}} \quad (\text{ラジアン})$$

$$\text{PhaseStep} = \frac{45M}{2^{29}} \quad (\text{度})$$

$$\text{Amplitude Step} = \left(\frac{M}{2^{32}}\right) I_{\text{FS}}$$

周波数単位は、 f_{SYSCLK} を表す場合と同じ(例えばMHz)であることに注意してください。振幅単位は、DACのフルスケール出力電流 I_{FS} を表す場合と同じです(例えばmA)。

位相と振幅のステップ・サイズの式から平均ステップ・サイズが得られます。ステップ・サイズは 32 ビット精度でアキュムレートされますが、位相または振幅ディステーションは、それぞれ 16 ビットまたは 12 ビットです。このため、ディステーションでは、実際の位相または振幅ステップは 32 ビットでアキュムレートされ、それぞれ 16 ビットまたは 12 ビットに切り詰められます。

前述のように、ステップ間隔はプログラマブルな 16 ビット・タイマから制御されます。タイムアウトする前にこのタイマを再ロードするイベントは 3 つあります。デジタル・ランプ・イネーブル・ビットがクリア状態からセット状態に変化し、続いて I/O が更新されたとき 1 つ目のイベントが発生します。2 つ目のイベントは、DRCTL ビンの状態が変化したとき発生します。3 つ目のイベントは、I/O 更新ビット(0x00[15])にロード LRR を使ったときに発生します。

DRG のリミット制御

ランプ・アキュムレータの後ろには、ランプ・ジェネレータ出力を上下限値に抑えるリミット制御ロジックがあります。DRG のイネーブル中に、DRG 出力が設定された制限値を超えることはありません。制限値は、64 ビット・デジタル・ランプ・リミット・レジスタを使って設定されます。通常動作では、上限値は下限値より大きい必要があることに注意してください。

DRG アキュムレータのクリア

ランプ・アキュムレータをプログラム制御によりクリア(0へリセット)することができます。ランプ・アキュムレータをクリアすると、DRG出力がデジタル・ランプ・リミット・レジスタに設定された下限値になります。

リミット制御ブロックがアキュムレータの帰還パスに組み込まれているため、アキュムレータをリセットすることは、下限値にプリセットすることと同じです。

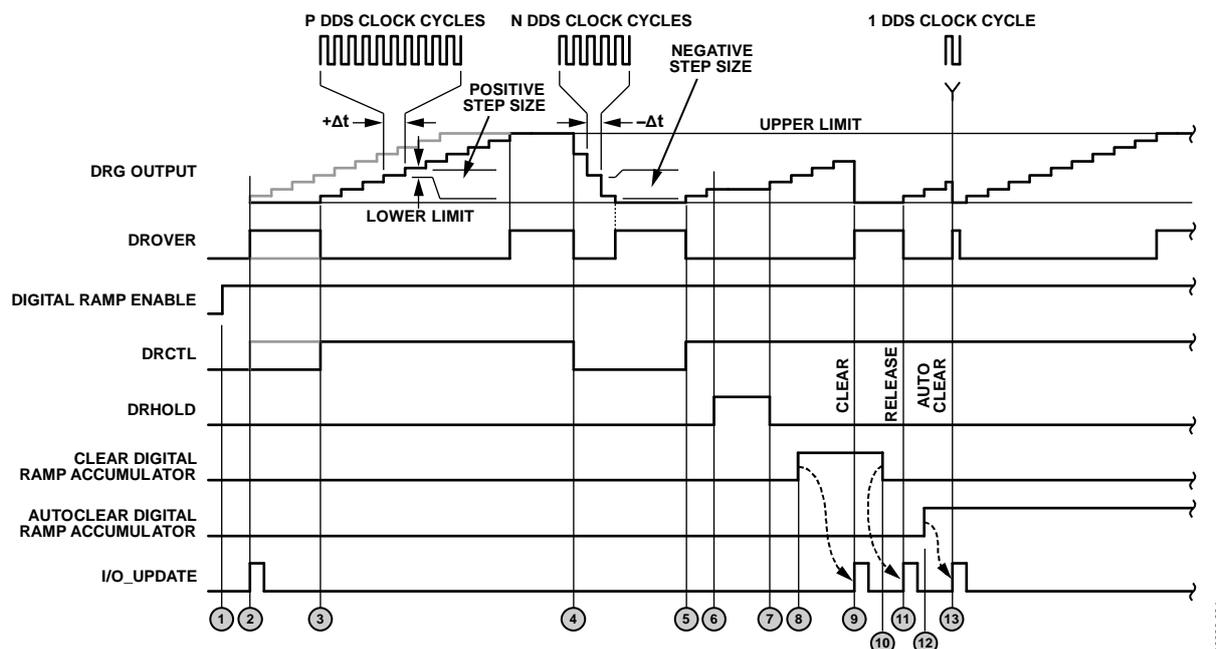


図 38. ノーマル・ランプの生成

ノーマル・ランプの生成

ノーマル・ランプの生成は、両 no-dwell ビットがクリアされたことを意味します(詳細については、No-Dwell ランプの生成のセクション参照)。図 38 に、ランプ波形の例と必要な制御信号を示します。上のトレースは DRG 出力です。次のトレースは DROVER 出力ピンのステータスです(DRG オーバー出力イネーブル・ビットがセットされている場合)。残りのトレースはコントロール・ビットとコントロール・ピンです。関係するランプ・パラメータも示してあります(上下限值、ステップ・サイズ、正と負のスロープの Δt)。下の丸数字は、特定のイベントを表します。以降の説明では、これらのイベントを番号で識別します(イベント 1 など)。

この例では、ランプの正と負のスロープは、DRG の柔軟性を示すため異なっています。両スロープのパラメータは、正と負のスロープを同じにするように設定することもできます。

イベント 1—デジタル・ランプ・イネーブル・ビットがセットされていますが、DRG 出力に影響はありません。これは、このビットが I/O 更新が発生するまで無効であるためです。

イベント 2—I/O 更新によりデジタル・ランプ・イネーブル・ビットが記録されます。DRCTL = 1 が有効の場合(DRCTL トレースのグレイ部分)、DRG 出力は直ちに正スロープを開始します(DRG 出力トレースのグレイ部分)。その他の場合、DRCTL = 0 のとき、DRG 出力は下限値に初期化されます。

イベント 3—DRCTL がロジック 1 へ変化して DRG 出力で正スロープを開始されます。この例では、DRCTL ピンが長時間維持されるため、DRG が設定された上限値に到達します。ランプ・アキュムレータがクリアされるか(DRCTL = 0)、または上限値がさらに高い値に再設定されるまで、DRG は上限値を維持します。後者の場合、DRG は直ちに前の正スロープ・プロファイルを再開します。

イベント 4—DRCTL がロジック 0 へ変化して DRG 出力で負スロープを開始します。この例では、DRCTL ピンが長時間維持されるため、DRG が設定された下限値に到達します。DRCTL = 1 になるか、または下限値がさらに低い値に再設定されるまで、DRG は下限値を維持します。後者の場合、DRG は直ちに前の負スロープ・プロファイルを再開します。

イベント 5—DRCTL は 2 回目のロジック 1 への変化を行い、2 番目の正スロープを開始します。

イベント 6—正スロープ・プロファイルは、DRHOLD のロジック 1 への変化により中断されます。これにより、ランプ・アキュムレータが停止し、DRG 出力は直前の値を維持します。

イベント 7—DRHOLD はロジック 0 へ変化し、ランプ・アキュムレータを開放し、前の正スロープ・プロファイルを再開します。

イベント 8—クリア・デジタル・ランプ・アキュムレータ・ビットがセットされていますが、DRG に影響はありません。これは、このビットが I/O 更新が発生するまで無効であるためです。

イベント 9—I/O 更新により、クリア・デジタル・ランプ・アキュムレータ・ビットがセットされていることが記録され、ランプ・アキュムレータが再設定されて DRG 出力が設定された下限値になります。クリア条件がなくなるまで、DRG 出力は下限値を維持します。

イベント 10—クリア・デジタル・ランプ・アキュムレータ・ビットがクリアされていますが、DRG 出力に影響はありません。これは、このビットが I/O 更新が発生するまで無効であるためです。

イベント 11—I/O 更新によりクリア・デジタル・ランプ・アキュムレータ・ビットがクリアされたことが記録され、ランプ・アキュムレータが開放され、前の正スロープ・プロファイルが再開されます。

イベント 12—自動クリア・デジタル・ランプ・アキュムレータ・ビットがセットされていますが、DRG 出力に影響はありません。これは、このビットが I/O 更新が発生するまで無効であるためです。

イベント 13—自動クリア・デジタル・ランプ・アキュムレータ・ビットがセットされたことが I/O 更新により記録されて、ランプ・アキュムレータがリセットされますが、自動クリアにより、ランプ・アキュムレータは DDS クロックの 1 サイクル間だけリセットに維持されます。これにより、DRG 出力は下限値にされますが、ランプ・アキュムレータは直ちに通常動作で使えるようになります。この例では、DRCTL ピンがロジック 1 を維持するため、DRG 出力は前の正ランプ・プロファイルを再開します。

No-Dwell ランプの生成

CFR2 にある 2 ビットの no-dwell ハイ・ビットと no-dwell ロー・ビット(0x01[18:17])により、DRG 機能の柔軟性が強化されます。通常のランプ生成では、DRG 出力が設定された上限または下限に到達すると、動作パラメータが他の指示を行うまで単にその制限値を維持しますが、no-dwell 動作では、DRG 出力はその制限値を維持するとは限りません。例えば、DRG が上限値に到達したとき、デジタル・ランプ no-dwell ハイ・ビットがセットされると、自動的に(かつ直ちに)下限値になります(すなわち、ランプは下限値に戻るのではなく、下限値へジャンプします)。同様に、DRG が下限値に到達したとき、デジタル・ランプ no-dwell ロー・ビットがセットされると、自動的に(かつ直ちに)上限値になります(すなわち、ランプは上限値に戻るのではなく、上限値へジャンプします)。

no-dwell 動作では、DRCTL ピンの状態変化だけがモニタされます。すなわち、スタティック・ロジック・レベルは無視されます。

no-dwell ハイ動作では、DRCTL ピンの正の変化で正スロープ・ランプが開始されて、上限値に到達するまで中断なしに続きます(DRCTL ピンの次の動作に無関係に)。

no-dwell ロー動作では、DRCTL ピンの負の変化で負スロープ・ランプが開始されて、下限値に到達するまで中断なしに続きます(DRCTL ピンの次の動作に無関係に)。

両 no-dwell ビットをセットすると、連続ランプ動作モードが開始されます。すなわち、設定されたスロープ・パラメータを使って 2 つの制限値の間で DRG 出力が自動的に発振します。さらに、DRCTL ピンの機能は少し異なっています。ランプ・シーケンスの開始を制御する代わりに、ランプの方向だけを変えるように機能します。すなわち、DRG 出力が正スロープの中央にあり、かつ DRCTL ピンがロジック 1 からロジック 0 へ変化すると、DRG は直ちに負スロープ・パラメータへ切り替えて、制限値の間で発振を再開します。同様に、DRG 出力が負スロープの中央にあり、かつ DRCTL ピンがロジック 0 からロジック 1 へ変化すると、DRG は直ちに正スロープ・パラメータへ切り替えて、制限値の間で発振を再開します。

両 no-dwell ビットがセットされている場合、DRG 出力がいずれかの設定された制限値に到達するごとに、DROVER 信号が正パルス(DDS クロックの 2 サイクル)を発生します(DRG オーバー出力イネーブル・ビット(0x01[13])がセットされている場合)。

no-dwell ハイ DRG 出力波形を図 39 に示します。この波形図は、デジタル・ランプ no-dwell ハイ・ビットがセットされ、これを I/O 更新が記録している場合の図です。DROVER 出力イネーブル・ビットがセットされている場合の、DROVER ピンのステータスも示してあります。

図 39 の丸数字は、次に説明する特定のイベントを表します。

イベント 1—デジタル・ランプ・イネーブル・ビットがセットされたことを I/O 更新が記録するタイミングを表示します。

イベント 2—DRCTL がロジック 1 へ変化して、DRG 出力で正スロープが開始されます。

イベント 3—DRCTL がロジック 0 へ変化しますが、DRG 出力に影響しません。

イベント 4—デジタル・ランプ no-dwell ハイ・ビットがセットされているため、DRG 出力が上限値に到達したタイミングで、直ちに下限値へ切り替わり、DRCTL でロジック 0 からロジック 1 への変化があるまで下限値を維持します。

イベント 5—DRCTL のロジック 0 からロジック 1 への変化、これにより正スロープ・ランプが再開されます。

イベント 6 とイベント 7—DRCTL の変化は、DRG 出力が設定された上限値へ到達するまで無視されます。

イベント 8—デジタル・ランプ no-dwell ハイ・ビットがセットされているため、DRG 出力が上限値に到達したタイミングで、直ちに下限値へ切り替わり、DRCTL でロジック 0 からロジック 1 への変化があるまで下限値を維持します。

デジタル・ランプ no-dwell ロー・ビット(デジタル・ランプ no-dwell ハイ・ビットの代わりに)がセットされたときの動作は同じですが、DRCTL のロジック 1 からロジック 0 への変化で DRG 出力が負方向へランプし、下限値に到達すると上限値へジャンプする点が異なります。

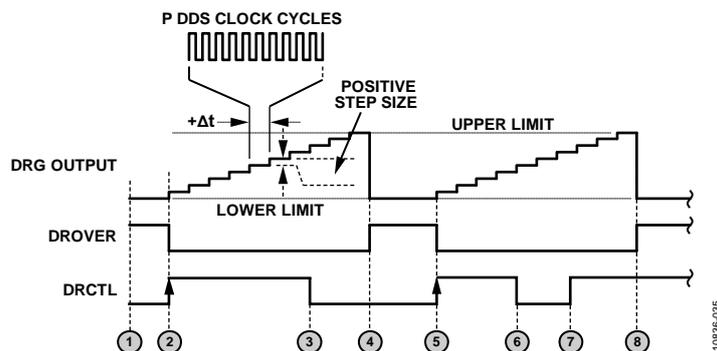


図 39.No-Dwell ハイ・ランプの生成

DROVER ピン

DROVER ピンは、DRG のステータスを表示する外部信号を出力します。特に、DRG 出力が設定されたいずれかの制限値のとき、DROVER ピンはロジック 1 になり、その他の場合にはロジック 0 になります。両 no-dwell ビットがセットされた特別なケースでは、DROVER ピンは DRG 出力がいずれかの設定された制限値に到達するごとに DDS クロックの 2 サイクル間ハイ・レベルになるパルスが発生します。

DRG モードでの周波数ジャンプ機能

AD9914 の別の機能を使うと、通常のスイープで予め定めた周波数範囲をスキップさせることができます。CFR2 (0x01[14])の周波数ジャンプ・イネーブル・ビットでこの機能をイネーブルします。このビットがセットされると、スイープ・ロジックが瞬時周波数をモニタします。次のアキュムレート・サイクルで下側周波数ジャンプ・レジスタ(0x09)で指定されている周波数ポイントに到達すると、通常のスイープのようにデルタ・チューニング・ワードをアキュムレートする代わりに、上側周波数ジャンプ・レジスタ(0x0A)に設定された周波数値へ直接スキップします。逆の場合も同様です。図 40 に、この機能の動作を示します。

スイープが完了する前に周波数ジャンプ・レジスタを再設定すると 2 番目の周波数ジャンプも可能です。

この機能をイネーブルしたときは次のルールが適用されます。

- 周波数ジャンプ値は、周波数スイープ範囲の下限值と上限値の間にある必要があります。
- 下側周波数ジャンプ・レジスタ値は、上側周波数ジャンプ・レジスタ値より小さい必要があります。

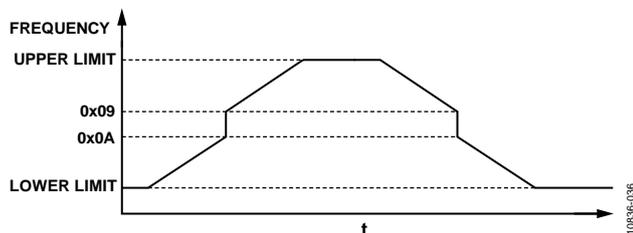


図 40.時間対周波数

パワーダウンのコントロール

AD9914 は、デバイスの 3 つのセクションを独立にパワーダウンさせる機能を持っています。パワーダウン機能は次に適用されます。

- デジタル・コア
- DAC
- 入力 REF CLK クロック回路

デジタル・コアのパワーダウンにより、シリアル/パラレル I/O ポートを更新する機能がディスエーブルされますが、回復不能な状態に陥ることを防止するために、デジタル・パワーダウン・ビット(0x00[7])をクリアすることができます。

ソフトウェア・パワーダウンは、CFR1 内の 3 ビットの独立なパワーダウン・ビットを使って制御されます。ソフトウェア制御では、EXT_PWR_DWN ピンがロジック 0 状態になっていることが必要です。この場合、シリアル I/O ポートを使って所望のパワーダウン・ビット(0x00[7:5])をセットすると、対応する機能ブロックがパワーダウンします。このビットをクリアすると、この機能が回復します。

あるいは、EXT_PWR_DWN ピンを使った外部ハードウェア制御により、3 つの機能すべてを同時にパワーダウンさせることができます。このピンをロジック 1 にすると、パワーダウン・ビットの状態に無関係に、4 個すべての回路ブロックがパワーダウンされます。すなわち、EXT_PWR_DWN がロジック 1 のとき、CFR1 の独立なパワーダウン・ビットが無視されて上書きされます。

外部パワーダウン・コントロール・ビットの状態に基づいて、EXT_PWR_DWN ピンはフル・パワーダウンまたは高速回復パワーダウンを発生させます。高速回復パワーダウン・モードでは、DAC バイアス回路、PLL、VCO、入力クロック回路の電源を維持します。高速回復パワーダウンでの消費電力の節約はフル・パワーダウンほど大きくありませんが、デバイスはパワーダウン状態から迅速に復旧します。

設定とファンクション・ピン

AD9914 は 32 ビット・パラレル・ポートを内蔵しています。32 ビット・ポートを使って、シリアル・モードまたはパラレル・モードでデバイスの内部レジスタを設定し、さらに周波数(FTW)、位相(POW)、振幅(AMP)のダイレクト変調制御を行います。外部ファンクション・ピン(F0~F3)の状態により、32 ビット・パラレル・ポートの構成が決定されます。ピン 28~ピン 31 がファンク

ション・ピンです。可能な構成については表 10 を参照してください。

振幅制御をイネーブルするときは、OSK イネーブル・ビット、CFR1[8]をセットする必要があることに注意してください(表 10 参照)。

表 10.パラレル・ポートの構成

Function Pins, F[3:0] ¹	Mode Description	32-Bit Parallel Port Pin Assignment			
		Bits[31:24] ²	Bits[23:16] ³	Bits[15:8] ⁴	Bits[7:0] ⁵
0000	Parallel programming mode	Data[15:8] (optional)	Data[7:0]	Address[7:0]	Used to control writes, reads, and 8-bit or 16-bit data-word. See the Parallel Programming section for details.
0001	Serial programming mode	Not used	Not used	Not used	Used to control SCLK, SDIO, SDO, CS, and SYNCIO. See the Serial Programming section for details.
0010	Full 32 bits of direct frequency tuning word control. MSB and LSB aligned to parallel port pins	FTW[31:24]	FTW[23:16]	FTW[15:8]	FTW[7:0]
0011	Full 32 bits of direct frequency tuning word control with different parallel port pin assignments	FTW[15:8]	FTW[7:0]	FTW[31:24]	FTW[23:16]
0100	Full 16 bits of direct phase offset control and full 12 bits of direct amplitude control	POW[15:8]	POW[7:0]	AMP[11:8]	AMP[7:0]
0101	Full 12 bits of direct amplitude control and full 16 bits of direct phase offset control	AMP[11:8]	AMP[7:0]	POW[15:8]	POW[7:0]
0110	24 bits of partial FTW control and 8 bits of partial amplitude control	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[15:8]
0111	24 bits of partial FTW control and 8 bits of partial phase offset control	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[15:8]
1000	24 bits of partial FTW control and 8 bits of partial amplitude control	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[7:0]
1001	24 bits of partial FTW control and 8 bits of partial phase offset control	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[7:0]
1010	24 bits of partial FTW control and 8 bits of partial amplitude control	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[15:8]
1011	24 bits of partial FTW control and 8 bits of partial phase offset control	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[15:8]
1100	24 bits of partial FTW control and 8 bits of partial amplitude control	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[7:0]
1101	24 bits of partial FTW control and 8 bits of partial phase offset control	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[7:0]
1110		Not used	Not used	Not used	Not used
1111		Not used	Not used	Not used	Not used

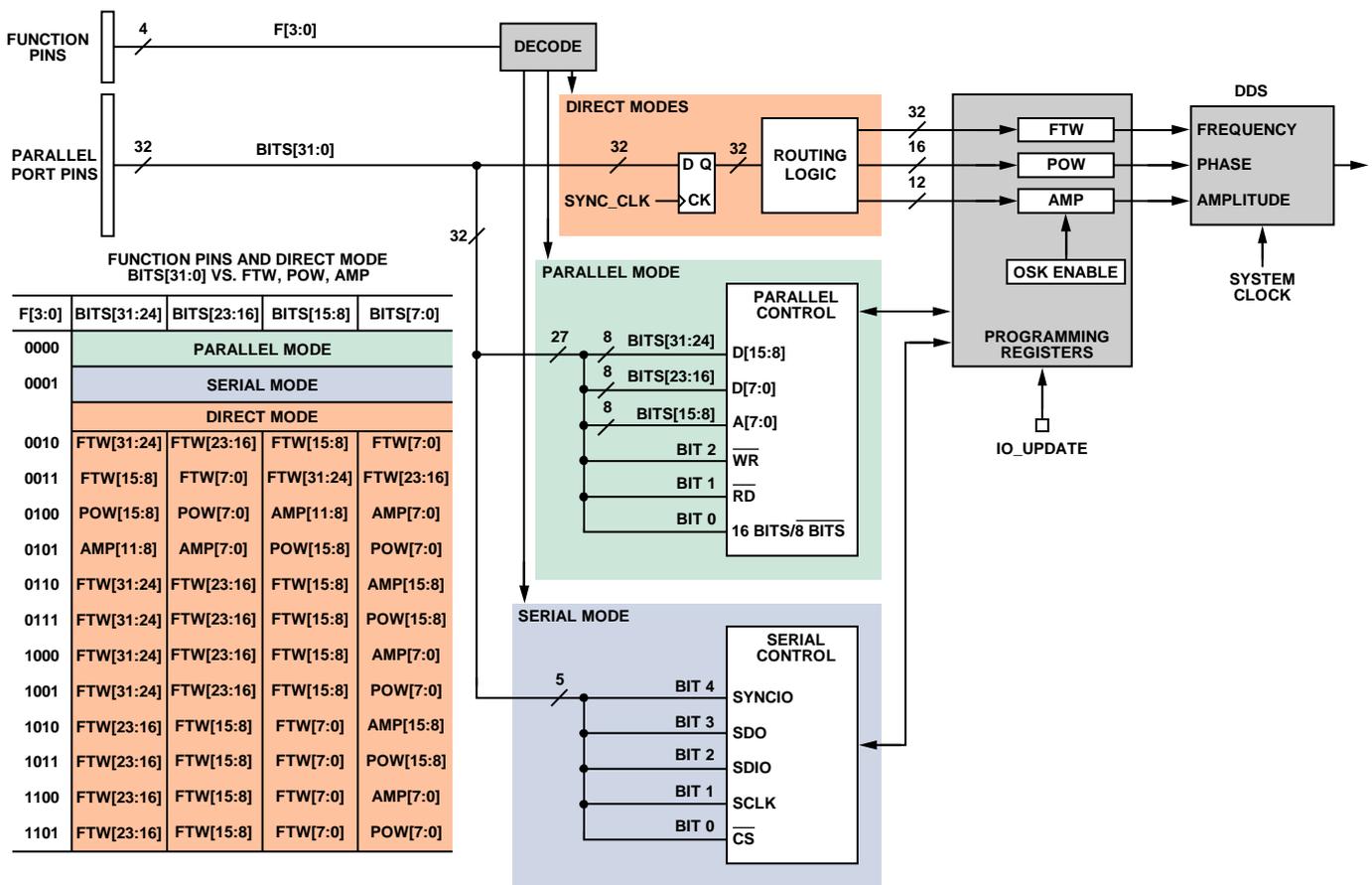
¹ ピン 31~ピン 28。

² ピン 68~ピン 72、ピン 75~77。

³ ピン 78~ピン 81、ピン 87、ピン 88、ピン 1、ピン 2。

⁴ ピン 3~ピン 5、ピン 8~ピン 12。

⁵ ピン 13~ピン 15、ピン 18~ピン 22。



NOTES
1. AMP[11:0] CONTROLS AMPLITUDE. AMP[15:12] UNUSED.

図 41. パラレル・ポートのブロック図

AD9914 の 32 ピン・パラレル・ポートは、パラレル・ポートの機能を制御する 4 本のファンクション・ピンの独立なセットと組み合わせることで機能します。パラレル・ポートの 32 本のピンはビット [31:0] で表される 32 ビット・ワードを構成します。31 は最上位ビット (MSB)、0 は最下位ビット (LSB) をそれぞれ表し、4 本のファンクション・ピンは F[3:0] と表されます。ファンクション・ピン、32 ピン・パラレル・ポート、内部プログラミング・レジスタ、DDS 制御パラメータ (周波数、位相、振幅) の間の関係を図 41 に示します。パラレル・ポートは、ファンクション・ピンで指定される 3 種類のモードで動作することに注意してください。

パラレル・モードは、ファンクション・ピンに入力されるロジック・レベルが F[3:0] = 0000 のとき有効になります。これにより、パラレル・ポートがパラレル・インターフェースとして機能して、すべてのデバイス・プログラミング・レジスタに対するアクセスを提供します。パラレル・モードでは、32 ピン・ポート (ビット [31:0]) は 3 つのグループに分けられ、ビット [31:16] は 16 データビットを、ビット [15:8] は 8 ビットのアドレス・ビットを、ビット [2:0] は 3 ビットのコントロール・ビットを、それぞれ構成します。アドレス・ビットは、特定のデバイス・レジスタを指定し、データビットはレジスタ値を構成します。コントロール・ビットは、読みまたは書き込み機能とデータ・バス幅を指定します。すなわち、データ・バス幅 16 ビット (ビット [31:16]) または 8 ビット (ビット [23:16]) を選択することができます。パラレル・モードを使うと、デバイス・レジスタに対する書き込みを 16 ビット・データの場合最大 200 MBps のレート (または 8 ビット・データの場合 100 MBps) 行うことができます。

シリアル・モードは、ファンクション・ピンに入力されるロジック・レベルが F[3:0] = 0001 のとき有効になります。これにより、パラレル・ポートがシリアル・インターフェースとして機能して、すべてのデバイス・プログラミング・レジスタに対するアクセスを提供します。このモードでは、32 ピン・パラレル・ポートの内の 5 本のピンだけが機能します (ビット [4:0])。これらのピンは、チップ・セレクト (CS)、シリアル・クロック (SCLK)、シリアル・インターフェースの I/O 同期 (SYNCIO)、2 本のシリアル・データライン (SDO と SDIO) として機能します。シリアル・モードは、最大 80 Mbps のデータレートをサポートします。

ファンクション・ピンに入力されるロジック・レベルが F[3:0] = 0010 ~ 1101 のとき (1110 と 1111 は未使用)、パラレル・ポートは高速インターフェースとして機能し、DDS コアの 32 ビット周波数、16 ビット位相、12 ビット振幅パラメータを直接アクセスすることができます。図 41 の表に、32 ピン・パラレル・ポートの分割を示します。ビット [31:0] は DDS の周波数 (FTW[31:0])、位相 (POW[15:0])、振幅 (AMP[15:0]) の各パラメータに分けられます。ただし、AMP[15:0] は 16 ビット分解能を表しますが、実際の振幅分解能は 12 ビットであることに注意してください。このため、AMP[11:0] だけが振幅制御になります (AMP[15:12] は使用されません)。

さらに、振幅制御を使用するためには、CFR1 レジスタ (0x00[8]) の OSK イネーブル・ビットをロジック 1 に設定する必要があります。F[3:0] ピンとビット [31:0] の組み合わせにより、DDS パラメータ (周波数、位相、振幅、またはこれらの種々の組み合わせ) をユーザーから直接制御できるようになるため、AD9914 はこれまでにない変調機能を持つようになります。さらに、パラレル・ポートは

システム・サンプル・クロックの 1/24 に等しいサンプル・レートで動作します。このため、DDS パラメータの更新が最大 145 MSPS (システム・クロック=3.5 GHz の場合)のレートで可能になるので、AD9914 は広帯域変調を必要とするアプリケーションに対応できるようになります。

パラレル・ポートに入力される周波数、位相、振幅の変化は異なるパスを経て DDS コアに到達するため、異なる伝搬遅延(レイテンシ)を持つことに注意してください。このため、複数の DDS パラメータを変調するときは、CFR2 レジスタ(0x01[15])内にあるデバイスのマッチド・レイテンシ・イネーブル・ビットをセットする必要があります。このビットは、各 DDS パラメータがパラレル・ポートから DDS コアまで伝搬する際のレイテンシを等しくします。高速変調では、瞬時時間領域変化に対応できる十分な帯域幅を持つ DAC 再生フィルタが必要となることに注意してください。

DDS パラメータに対する直接アクセスは、FTW、POW、AMP の各レジスタを使って行うため、IO_UPDATE ピン(図 41 参照)はさらに柔軟性を強化します。この機能を提供するため、AD9914 はレジスタ・コントロール・ビットであるパラレル・ポート・ストリーミング・イネーブル(0x00[17])を持っています。このビットにロジック 1 を設定すると、I/O 更新の必要なしでパラレル・ポートが動作します。このビットにロジック 0 を設定すると、デバイスはパラレル・ポート・データを DDS コアではなく該当するレジスタ(FTW、POW、AMP)へ渡します。ユーザーが IO_UPDATE ピン

ンをアサートするまで、データは DDS コアへ転送されません。

例えば、アプリケーションでフル 32 ビット周波数分解能の周波数変調とフル 12 ビット振幅分解能の振幅変調を必要とするとして、F[3:0]ピンの組み合わせでは、このような変調機能を直接サポートしていないことに注意してください。この問題を回避するためには、パラレル・ポート・ストリーミング・イネーブル・ビット(0x00[17])をロジック 0 に設定してください。これにより、32 ビット・パラレル・ポートの 2 つのダイレクト・モード・サイクル(各々異なるファンクション・ピン設定)の使用が可能になり、IO_UPDATE ピンがアサートされるまで DDS コアに影響を与えることはありません。すなわち、1 つ目のダイレクト・モード・サイクルで、ファンクション・ピンを F[3:0] = 0010 に設定して、32 ビットすべてを FTW レジスタ(周波数)へ渡します。2 つ目のダイレクト・モード・サイクルで、ファンクション・ピンを F[3:0] = 0100 に設定して、AMP レジスタ(振幅)に対するフル 12 ビット・アクセスを可能にします。ただし、これにより POW レジスタ(位相)に対するアクセスも可能になるため、位相ビットを静止させておくことに注意してください。次に、IO_UPDATE ピンをトグルさせると、FTW レジスタと POW レジスタから DDS コアへ新しい周波数値と位相値が同期して転送されます。この動作モードでは、全体変調レートが 1/2 になります。これは、パラレル・ポート上で 2 つの動作が必要になるためですが、それでも最大 72.5 MSPS の変調サンプル・レートが可能です。

シリアル設定

SPI 動作をイネーブルするときは、ピン 28 (F0)をハイ・レベルに、ピン 29～ピン 31 (F1～F3)をロー・レベルに、それぞれ設定します。AD9914 のパラレル・インターフェースを使用した設定については、パラレル設定のセクションを参照してください。

コントロール・インターフェース—シリアル I/O

AD9914 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。シリアル I/O は、大部分の同期転送フォーマットと互換性を持っています。

このインターフェースを使うと、AD9914 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSBファーストまたはLSBファーストの転送フォーマットをサポートしています。さらに、シリアル・インターフェース・ポートは、1本のI/O (SDIO)として設定できます。これを使うと、2線式インターフェースまたは入力と出力(SDIOとSDO)用の2本の単方向ピン(3線式インターフェースが可能)が可能になります。2本のオプション・ピン(I/O_SYNCとCS)は、AD9914 を使用するシステム・デザインで大幅に柔軟性を強化します。

表 11.シリアル I/O ピンの説明

Pin No.	Mnemonic	Serial I/O Description
18	D4/SYNCIO	SYNCIO
19	D3/SDO	SDO
20	D2/SDIO/WR	SDIO
21	D1/SCLK/RD	SCLK
22	D0/CS/PWD	CS—chip select

汎用シリアル I/O 動作

シリアル通信サイクルには2つのフェーズがあります。1つ目は、命令バイトをAD9914へ書込む命令フェーズです。命令バイトはアクセス対象レジスタのアドレスを含み、次のデータ転送が書込み動作または読出し動作のいずれであるかを指定します。

書込みサイクルの場合、フェーズ2はシリアル・ポート・コントローラからシリアル・ポート・バッファへのデータ転送を表します。転送バイト数は、アクセス対象レジスタによって決まります。例えば、コントロール・ファンクション・レジスタ2(アドレス0x01)にアクセスするときは、フェーズ2では4バイトの転送が必要です。データの各ビットは、SCLKの各対応する立上がりエッジでレジスタに入力されます。シリアル・ポート・コントローラは、レジスタのすべてのバイトがアクセスされるものと見なします。そうでない場合は、シリアル・ポート・コントローラは次の通信サイクルのシーケンスを停止しますが、必要バイト数より少ない書込みを行う1つの方法は、SYNCIOピン機能を使う方法です。SYNCIOピン機能を使うと、I/O動作を中止して、シリアル・ポート・コントローラのポインタをリセットすることができます。SYNCIOの後、次のバイトは命令バイトになります。SYNCIOの前に書込まれた各バイトはシリアル・ポート・バッファに保存されていることに注意してください。バイトの一部だけが書込まれたときは保存されません。通信サイクルの終わりで、AD9914のシリアル・ポート・コントローラは、次の8個のSCLK立上がりエッジは次の通信サイクルの命令バイトであると予測します。

書込みサイクルの後、設定されたデータはシリアル・ポート・バッファ内にあるため非アクティブ状態にあります。I/O_UPDATEにより、データがシリアル・ポート・バッファからアクティブ・レジスタへ転送されます。I/O更新は各通信サイクルの後に送信することができます。あるいは、すべてのシリアル動作が完了したとき送信することができます。さらに、プロファイル・ピンの変化によりI/O更新を開始することもできます。

読出しサイクルの場合、フェーズ2は書込みサイクルと同じですが、データがシリアル・ポート・バッファからではなくアクティブ・レジスタから読出され、SCLKの立下がりエッジでデータが駆動される点が異なります。

プロファイル・レジスタ(0x0B～0x1A)をリードバックするときは、3本の外部プロファイル・ピンを使う必要があることに注意してください。例えば、プロファイル・レジスタがプロファイル5(0x15)の場合、PS[0:2]ピン=101である必要があります。これは、プロファイル・レジスタを書込むときは必要ありません。

命令バイト

命令バイトは、次のビット・マップに示す情報から構成されています。

命令バイト情報のビット・マップ

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
R/W	X	A5	A4	A3	A2	A1	A0

R/W—命令バイトのビット7は、命令バイトの書込み後に、読出しと書込みのいずれのデータ転送が行われるかを指定します。ロジック1は読出し動作を指定します。ロジック0は書込み動作を指定します。

X—命令バイトのビット6は don't care です。

A5、A4、A3、A2、A1、A0—命令バイトのビット5、ビット4、ビット3、ビット2、ビット1、ビット0は、通信サイクルのデータ転送部分でアクセス対象のレジスタを指定します。

シリアル I/O ポートのピン説明

SCLK—シリアル・クロック

シリアル・クロック・ピンは、AD9914 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。

CS—チップ・セレクト・バー

CSは、同じシリアル通信ライン上に複数のデバイスを可能にするアクティブ・ロー入力です。この入力が高レベルになると、SDOピンとSDIOピンはハイ・インピーダンス状態になります。通信サイクル中にハイ・レベルに駆動されると、そのサイクルは、CSが再度ロー・レベルになるまで中断されます。SCLKの制御を維持するシステムでは、チップ・セレクト(CS)をロー・レベルに固定することができます。

SDIO—シリアル・データ入力/出力

データは常にこのピンからAD9914へ書込まれます。このピンは双方向データラインとして使うことができます。CFR1(0x00)のビット1により、このピンの構成が制御されます。デフォルトはロジック0で、SDIOピンは双方向に設定されます。

SDO—シリアル・データ出力

データの送信と受信に別々のラインを使うプロトコルでは、このピンからデータが読出されます。AD9914 がシングル双方向 I/O モードで動作する場合、このピンからデータは出力されず、ハイ・インピーダンス状態になります。

SYNCIO—入力/出力リセット

SYNCIO はアドレス指定可能なレジスタの値に影響を与えることなく I/O ポート・ステート・マシンを同期化します。SYNCIO ピンにアクティブ・ハイを入力すると、現在の通信サイクルが中止されます。SYNCIO がロー・レベル(ロジック 0)に戻ると、次の通信サイクルが開始され、命令バイトの書込みから始まります。

I/O_UPDATE—入力/出力更新

I/O 更新は、シリアルまたはパラレル I/O ポート・バッファからアクティブ・レジスタへの、書込まれたデータの転送を開始します。I/O_UPDATE は立上がりエッジがアクティブであり、パルス幅は SYNC_CLK の 1 周期より大きい必要があります。

シリアル I/O のタイミング図

図 42 ~ 図 45 に、シリアル I/O ポートの種々の制御信号の間のタイミング関係の基本例を示します。レジスタ・マップの大部分のビットは、I/O 更新がアサートされるまでそれぞれの内部ディスティネーションへ転送されません。これは以下のタイミング図には含まれていません。

図 42~図 45 で、命令バイト・サイクルとデータ転送サイクルとの間の SCLK 停止状態は必要ないことに注意してください。

MSB/LSB の転送

AD9914 シリアル・ポートでは、MSB ファーストまたは LSB ファースト両データ・フォーマットをサポートすることができます。この機能は、CFR1 (0x00)のビット 0 により制御されます。デフォルト・フォーマットは MSB ファーストです。LSB ファーストがアクティブの場合、命令バイトを含むすべてのデータは、LSB ファースト規約に従う必要があります。次の表の各レジスタのビット範囲の列に記載する最大値は MSB であり、最小値はそのレジスタの LSB であることに注意してください。

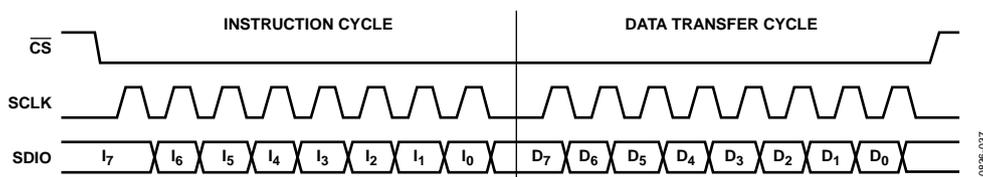


図 42.シリアル・ポートの書込みタイミング—クロック停止時ロー・レベル

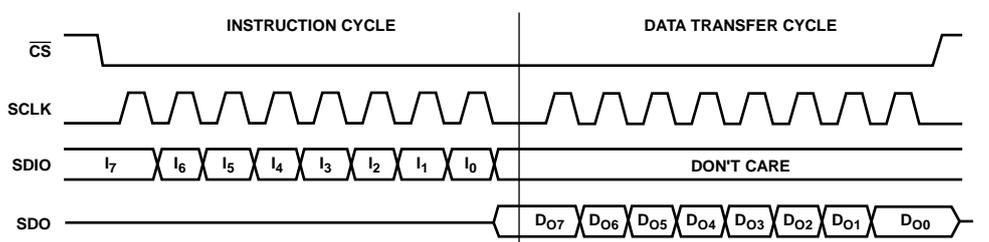


図 43.3 線式シリアル・ポートの読出しタイミング—クロック停止時ロー・レベル

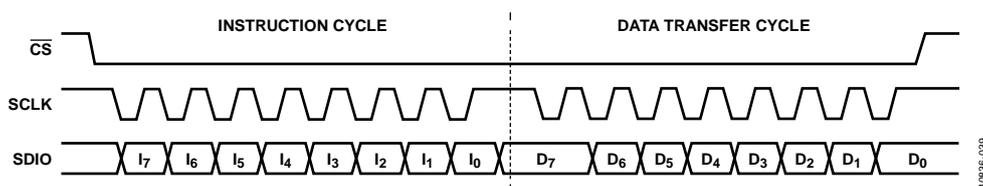


図 44.シリアル・ポートの書込みタイミング—クロック停止時ハイ・レベル

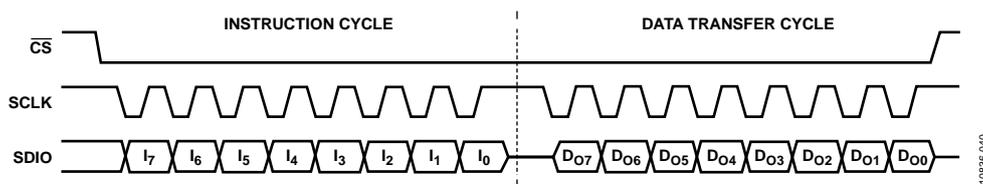


図 45.2 線式シリアル・ポートの読出しタイミング—クロック停止時ハイ・レベル

パラレル設定 (8/16ビット)

外部ファンクション・ピン(F0~F3)の状態により、AD9914で使用するインターフェースのタイプが決定されます。ピン 28~ピン 31 は専用ファンクション・ピンです。パラレル・モード・インターフェースをイネーブルするときは、ピン 28~ピン 31 をロー・レベルに設定します。

パラレル設定は、8本のアドレス・ラインと、リード/ライト動作の8本または16本の双方向データラインで構成されます。ピン 22のロジック状態により、使用するデータラインの幅が指定されます。ピン22をロー・レベルにするとデータ幅が8ビットに、ハイ・レベルにするとデータ幅が16ビットに、それぞれ設定されます。さらに、パラレル・モードには、専用の書込/読出制御入力があります。16ビット・モードを使用する場合、上位バイトのビット[15:8]がアドレス指定対象レジスタのアドレスに、下位バイトのビット[7:0]が隣接下位アドレスに、それぞれなります。

パラレルI/O動作を使うと、レジスタの各バイトに対する書込みアクセスがシングルI/O動作で可能になります。AD9914を使用したデザインを容易にするため、各レジスタのリードバック機能も内蔵しています。

表 12.パラレル・ポートの読出タイミング(図 46 参照)

Parameter	Value	Unit	Test Conditions/Comments
t_{ADV}	92	ns max	Address to data valid time
t_{AHD}	0	ns min	Address hold time to \overline{RD} signal inactive
t_{RDLOV}	69	ns max	\overline{RD} low to output valid
t_{RDHOZ}	50	ns max	\overline{RD} high to data three-state
t_{RDLOW}	69	ns max	\overline{RD} signal minimum low time
t_{RDHIGH}	50	ns max	\overline{RD} signal minimum high time

表 13.パラレル・ポートの書込タイミング(図 47 参照)

Parameter	Value	Unit	Test Conditions / Comments
t_{ASU}	1	ns	Address setup time to \overline{WR} signal active
t_{DSU}	3.8	ns	Data setup time to \overline{WR} signal active
t_{AHD}	0	ns	Address hold time to \overline{WR} signal inactive
t_{DHD}	0	ns	Data hold time to \overline{WR} signal inactive
t_{WRLOW}	2.1	ns	\overline{WR} signal minimum low time
t_{WRHIGH}	3.8	ns	\overline{WR} signal minimum high time
t_{WR}	10.5	ns	Minimum write time

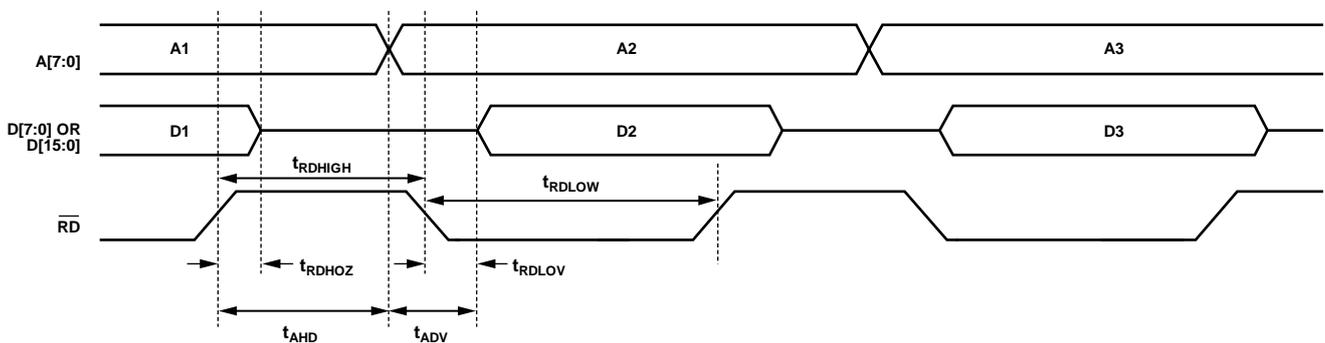


図 46.パラレル・ポート読出のタイミング図

10836-041

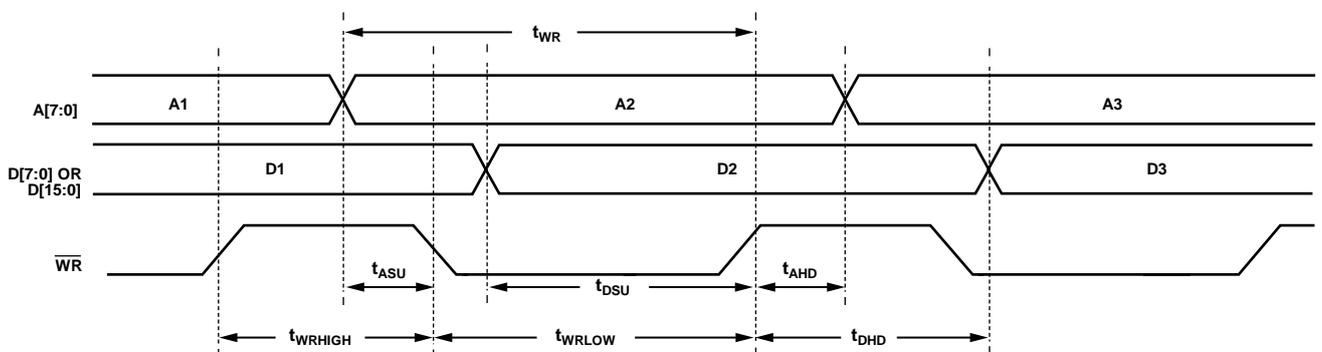


図 47.パラレル・ポート書込のタイミング図

10836-042

レジスタ・マップとビット説明

表 14. レジスタ・マップ

Register Name (Serial Address)	Bit Range (Parallel Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex) ¹	
CFR1—Control Function Register 1 (0x00)	[7:0] (0x00)	Digital power-down	DAC power-down	REF CLK input power-down	Open	External power-down control	Open	SDIO input only	LSB first mode	0x08	
	[15:8] (0x01)	Load LRR at I/O update	Autoclear digital ramp accumulator	Autoclear phase accumulator	Clear digital ramp accumulator	Clear phase accumulator	Open	External OSK enable	OSK enable	0x00	
	[23:16] (0x02)	Open						Parallel port streaming enable	Enable sine output	0x01	
	[31:24] (0x03)	Open						VCO cal enable	0x00		
CFR2—Control Function Register 2 (0x01)	[7:0] (0x04)	Open									0x00
	[15:8] (0x05)	Matched latency enable	Frequency jump enable	DRG over output enable	Open	SYNC_CLK enable	SYNC_CLK invert	Reserved	Open	0x09	
	[23:16] (0x06)	Profile mode enable	Parallel data port enable	Digital ramp destination		Digital ramp enable	Digital ramp no-dwell high	Digital ramp no-dwell low	Program modulus enable	0x00	
	[31:24] (0x07)	Open									0x00
CFR3—Control Function Register 3 (0x02)	[7:0] (0x08)	Open	Manual I _{CP} selection	I _{CP} [2:0]			Lock detect enable	Minimum LDW[1:0]		0x1C	
	[15:8] (0x09)	Feedback Divider N[7:0]									0x19
	[23:16] (0x0A)	Open	Input divider reset	Input divider[1:0]		Doubler enable	PLL enable	PLL ref disable	Doubler clock edge	0x00	
	[31:24] (0x0B)	Open									0x00
CFR4—Control Function Register 4 (0x03)	[7:0] (0x0C)	Requires register default value settings (0x20)									0x20
	[15:8] (0x0D)	Requires register default value settings (0x31)									0x31
	[23:16] (0x0E)	Requires register default value settings (0x05)									0x05
	[31:24] (0x0F)	Open						Auxiliary divider power-down	DAC CAL clock power-down	DAC CAL enable ²	0x00
Digital Ramp Lower Limit Register (0x04)	[7:0] (0x10)	Digital ramp lower limit[7:0]									0x00
	[15:8] (0x11)	Digital ramp lower limit[15:8]									0x00
	[23:16] (0x12)	Digital ramp lower limit[23:16]									0x00
	[31:24] (0x13)	Digital ramp lower limit[31:24]									0x00

Register Name (Serial Address)	Bit Range (Parallel Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex) ¹
Digital Ramp Upper Limit Register (0x05)	[7:0] (0x14)	Digital ramp upper limit[7:0]								0x00
	[15:8] (0x15)	Digital ramp upper limit[15:8]								0x00
	[23:16] (0x16)	Digital ramp upper limit[23:16]								0x00
	[31:24] (0x17)	Digital ramp upper limit[31:24]								0x00
Rising Digital Ramp Step Size Register (0x06)	[7:0] (0x18)	Rising digital ramp increment step size[7:0]								N/A
	[15:8] (0x19)	Rising digital ramp increment step size[15:8]								N/A
	[23:16] (0x1A)	Rising digital ramp increment step size[23:16]								N/A
	[31:24] (0x1B)	Rising digital ramp increment step size[31:24]								N/A
Falling Digital Ramp Step Size Register (0x07)	[7:0] (0x1C)	Falling digital ramp decrement step size[7:0]								N/A
	[15:8] (0x1D)	Falling digital ramp decrement step size[15:8]								N/A
	[23:16] (0x1E)	Falling digital ramp decrement step size[23:16]								N/A
	[31:24] (0x1F)	Falling digital ramp decrement step size[31:24]								N/A
Digital Ramp Rate Register (0x08)	[7:0] (0x20)	Digital ramp positive slope rate[7:0]								N/A
	[15:8] (0x21)	Digital ramp positive slope rate[15:8]								N/A
	[23:16] (0x22)	Digital ramp negative slope rate[7:0]								N/A
	[31:24] (0x23)	Digital ramp negative slope rate[15:8]								N/A
Lower Frequency Jump Register (0x09)	[7:0] (0x24)	Lower frequency jump point[7:0]								0x00
	[15:8] (0x25)	Lower frequency jump point[15:8]								0x00
	[23:16] (0x26)	Lower frequency jump point[23:16]								0x00
	[31:24] (0x27)	Lower frequency jump point[31:24]								0x00
Upper Frequency Jump Register (0x0A)	[7:0] (0x28)	Upper frequency jump point[7:0]								0x00
	[15:8] (0x29)	Upper frequency jump point[15:8]								0x00
	[23:16] (0x2A)	Upper frequency jump point[23:16]								0x00
	[31:24] (0x2B)	Upper frequency jump point[31:24]								0x00
Profile 0 (P0) Frequency Tuning Word 0 Register (0x0B)	[7:0] (0x2C)	Frequency Tuning Word 0[7:0]								0x00
	[15:8] (0x2D)	Frequency Tuning Word 0[15:8]								0x00
	[23:16] (0x2E)	Frequency Tuning Word 0[23:16]								0x00
	[31:24] (0x2F)	Frequency Tuning Word 0[31:24]								0x00

Register Name (Serial Address)	Bit Range (Parallel Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex) ¹
Profile 0 (P0) Phase/ Amplitude Register (0x0C)	[7:0] (0x30)	Phase Offset Word 0[7:0]								0x00
	[15:8] (0x31)	Phase Offset Word 0[15:8]								0x00
	[23:16] (0x32)	Amplitude Scale Factor 0[7:0]								0x00
	[31:24] (0x33)	Open				Amplitude Scale Factor 0[11:8]				0x00
Profile 1 (P1) Frequency Tuning Word 1 Register (0x0D)	[7:0] (0x34)	Frequency Tuning Word 1[7:0]								N/A
	[15:8] (0x35)	Frequency Tuning Word 1[15:8]								N/A
	[23:16] (0x36)	Frequency Tuning Word 1[23:16]								N/A
	[31:24] (0x37)	Frequency Tuning Word 1[31:24]								N/A
Profile 1 (P1) Phase/ Amplitude Register (0x0E)	[7:0] (0x38)	Phase Offset Word 1[7:0]								N/A
	[15:8] (0x39)	Phase Offset Word 1[15:8]								N/A
	[23:16] (0x3A)	Amplitude Scale Factor 1[7:0]								N/A
	[31:24] (0x3B)	Open				Amplitude Scale Factor 1[11:8]				N/A
Profile 2 (P2) Frequency Tuning Word 2 Register (0x0F)	[7:0] (0x3C)	Frequency Tuning Word 2[7:0]								N/A
	[15:8] (0x3D)	Frequency Tuning Word 2[15:8]								N/A
	[23:16] (0x3E)	Frequency Tuning Word 2[23:16]								N/A
	[31:24] (0x3F)	Frequency Tuning Word 2[31:24]								N/A
Profile 2 (P2) Phase/ Amplitude Register (0x10)	[7:0] (0x40)	Phase Offset Word 2[7:0]								N/A
	[15:8] (0x41)	Phase Offset Word 2[15:8]								N/A
	[23:16] (0x42)	Amplitude Scale Factor 2[7:0]								N/A
	[31:24] (0x43)	Open				Amplitude Scale Factor 2[11:8]				N/A
Profile 3 (P3) Frequency Tuning Word 3 Register (0x11)	[7:0] (0x44)	Frequency Tuning Word 3[7:0]								N/A
	[15:8] (0x45)	Frequency Tuning Word 3[15:8]								N/A
	[23:16] (0x46)	Frequency Tuning Word 3[23:16]								N/A
	[31:24] (0x47)	Frequency Tuning Word 3[31:24]								N/A
Profile 3 (P3) Phase/ Amplitude Register (0x12)	[7:0] (0x48)	Phase Offset Word 3[7:0]								N/A
	[15:8] (0x49)	Phase Offset Word 3[15:8]								N/A
	[23:16] (0x4A)	Amplitude Scale Factor 3[7:0]								N/A
	[31:24] (0x4B)	Open				Amplitude Scale Factor 3[11:8]				N/A

Register Name (Serial Address)	Bit Range (Parallel Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex) ¹
Profile 4 (P4) Frequency Tuning Word 4 Register (0x13)	[7:0] (0x4C)	Frequency Tuning Word 4[7:0]								N/A
	[15:8] (0x4D)	Frequency Tuning Word 4[15:8]								N/A
	[23:16] (0x4E)	Frequency Tuning Word 4[23:16]								N/A
	[31:24] (0x4F)	Frequency Tuning Word 4[31:24]								N/A
Profile 4 (P4) Phase/ Amplitude Register (0x14)	[7:0] (0x50)	Phase Offset Word 4[7:0]								N/A
	[15:8] (0x51)	Phase Offset Word 4[15:8]								N/A
	[23:16] (0x52)	Amplitude Scale Factor 4[7:0]								N/A
	[31:24] (0x53)	Open				Amplitude Scale Factor 4[11:8]				N/A
Profile 5 (P5) Frequency Tuning Word 5 Register (0x15)	[7:0] (0x54)	Frequency Tuning Word 5[7:0]								N/A
	[15:8] (0x55)	Frequency Tuning Word 5[15:8]								N/A
	[23:16] (0x56)	Frequency Tuning Word 5[23:16]								N/A
	[31:24] (0x57)	Frequency Tuning Word 5[31:24]								N/A
Profile 5 (P5) Phase/ Amplitude Register (0x16)	[7:0] (0x58)	Phase Offset Word 5[7:0]								N/A
	[15:8] (0x59)	Phase Offset Word 5[15:8]								N/A
	[23:16] (0x5A)	Amplitude Scale Factor 5[7:0]								N/A
	[31:24] (0x5B)	Open				Amplitude Scale Factor 5[11:8]				N/A
Profile 6 (P6) Frequency Tuning Word 6 Register (0x17)	[7:0] (0x5C)	Frequency Tuning Word 6[7:0]								N/A
	[15:8] (0x5D)	Frequency Tuning Word 6[15:8]								N/A
	[23:16] (0x5E)	Frequency Tuning Word 6[23:16]								N/A
	[31:24] (0x5F)	Frequency Tuning Word 6[31:24]								N/A
Profile 6 (P6) Phase/ Amplitude Register (0x18)	[7:0] (0x60)	Phase Offset Word 6[7:0]								N/A
	[15:8] (0x61)	Phase Offset Word 6[15:8]								N/A
	[23:16] (0x62)	Amplitude Scale Factor 6[7:0]								N/A
	[31:24] (0x63)	Open				Amplitude Scale Factor 6[11:8]				n/a
Profile 7 (P7) Frequency Tuning Word 7 Register (0x19)	[7:0] (0x64)	Frequency Tuning Word 7[7:0]								N/A
	[15:8] (0x65)	Frequency Tuning Word 7[15:8]								N/A
	[23:16] (0x66)	Frequency Tuning Word 7[23:16]								N/A
	[31:24] (0x67)	Frequency Tuning Word 7[31:24]								N/A

Register Name (Serial Address)	Bit Range (Parallel Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex) ¹
Profile 7 (P7) Phase/ Amplitude Register (0x1A)	[7:0] (0x68)	Phase Offset Word 7[7:0]								N/A
	[15:8] (0x69)	Phase Offset Word 7[15:8]								N/A
	[23:16] (0x6A)	Amplitude Scale Factor 7[7:0]								N/A
	[31:24] (0x6B)	Open				Amplitude Scale Factor 7[11:8]				N/A
USR0 (0x1B)	[7:0] (0x6C)	Requires register default value settings (0x00)								0x00
	[15:8] (0x6D)	Requires register default value settings (0x08)								0x08
	[23:16] (0x6E)	Requires register default value settings (0x00)								0x00
	[31:24] (0x6F)	Open							PLL lock	Read only

¹ パワーアップ後にマスター・リセットが必要です。マスター・リセットでは内部レジスタがデフォルト値に戻ります。

² DAC CAL イネーブル・ビットはマニュアルでセットし、その後各パワーアップ後および REF CLK または内部システム・クロックを変えるごとにクリアされます。これにより、内蔵 DAC タイミングのセットアップ・タイムとホールド・タイムを最適化する内部キャリブレーション・ルーチンが起動されます。キャリブレーションに失敗すると、AC 性能が低下するか、デバイスが機能しなくなります。

レジスタ・ビットの説明

シリアル I/O ポートのレジスタ群は、0~27 (16 進では 0x00~0x1B) のアドレス範囲に配置されています。合計 28 個のシリアル・レジスタが示してあります。パラレル・モードで設定する場合は、パラレル・レジスタ数が 112 個のパラレル・レジスタに増えます。さらに、レジスタには機能に従って名前が付けられています。場合によっては、レジスタにネモニックが付いていることがあります。たとえば、シリアル・アドレス 0x00 のレジスタには、コントロール・ファンクション・レジスタ 1 の名前が与えられ、ネモニック CFR1 が与えられています。

次のセクションでは、AD9914 レジスタ・マップの各ビットの詳細な説明を行います。ビットのグループが特定の機能を持つ場合、グループ全体をバイナリ・ワードと見なして、一括して説明します。

このセクションは、レジスタのシリアル・アドレス順で構成されています。各サブ・ヘッダーには、レジスタ名とオプションのレジスタ・ネモニック(括弧内)も記載してあります。16 進のシリアル・アドレスとレジスタに割り当てられたバイト数も記載してあります。

各サブ・ヘッダーに続いて、特定のレジスタの各ビット説明の表を示します。レジスタ内のビット位置は、単一の数値またはコマンドで区切った一対の数値で示します。すなわち、一対の数値(A:B)は、上位(A)~下位(B)のビット範囲を表します。例えば、[5:2]は 5~2 のビット位置を表し、ビット 0 はレジスタの LSB を表します。

別に注記がないかぎり、書込まれたビットは、I/O_UPDATE ピンのアサーションまたはプロファイル・ピンの変化があるまで、内部ディステネーションへ転送されません。

コントロール・ファンクション・レジスタ 1 (CFR1)—アドレス 0x00

表 15.CFR1 のビット説明

Bits	Mnemonic	Description
[31:25]	Open	
24	VCO cal enable	1 = initializes the auto internal PLL calibration. The calibration is required if the PLL is to provide the internal system clock. Must first be reset to Logic 0 before another calibration can be issued.
[23:18]	Open	Open.
17	Parallel port streaming enable	0 = the 32 bit parallel port needs an I/O update to activate or register any FTW, POW, or AMP data presented to the 32-bit parallel port. 1 = the parallel port continuously samples data on the 32 input pins using SYNC_CLK and multiplexes the value of FTW/POW/AMP accordingly, per the configuration of the F0 to F3 pins, without the need of an I/O update. Data must meet the setup and hold times of the SYNC_CLK rising edge. If the function pins are used dynamically to alter data between parameters, they must also meet the timing of the SYNC_CLK edge.
16	Enable sine output	0 = cosine output of the DDS is selected. 1 = sine output of the DDS is selected (default).
15	Load LRR at I/O update	Ineffective unless CFR2[19] = 1. 0 = normal operation of the digital ramp timer (default). 1 = interrupts the digital ramp timer operation to load a new linear ramp rate (LRR) value any time I/O_UPDATE is asserted or a PS[2:0] change occurs.
14	Autoclear digital ramp accumulator	0 = normal operation of the DRG accumulator (default). 1 = the digital ramp accumulator is reset for one cycle of the DDS clock (SYNC_CLK), after which the accumulator automatically resumes normal operation. As long as this bit remains set, the ramp accumulator is momentarily reset each time an I/O update is asserted or a PS[2:0] change occurs. This bit is synchronized with either an I/O update or a PS[2:0] change and the next rising edge of SYNC_CLK.
13	Autoclear phase accumulator	0 = normal operation of the DDS phase accumulator (default). 1 = synchronously resets the DDS phase accumulator anytime I/O_UPDATE is asserted or a profile change occurs.
12	Clear digital ramp accumulator	0 = normal operation of the digital ramp generator (default). 1 = asynchronous, static reset of the DRG accumulator. The ramp accumulator remains reset as long as this bit remains set. This bit is synchronized with either an I/O update or a PS[2:0] change and the next rising edge of SYNC_CLK.
11	Clear phase accumulator	0 = normal operation of the DDS phase accumulator (default). 1 = asynchronous, static reset of the DDS phase accumulator as long as this bit is set. This bit is synchronized with either an I/O update or a PS[2:0] change and the next rising edge of SYNC_CLK.
10	Open	Open.
9	External OSK enable	0 = manual OSK enabled (default). 1 = automatic OSK enabled. Ineffective unless CFR1[8] = 1.
8	OSK enable	0 = OSK disabled (default). 1 = OSK enabled. To engage any digital amplitude adjust using DRG, profile, or direct mode via the 32-bit parallel port, or OSK pin, this bit must be set.

Bits	Mnemonic	Description
7	Digital power-down	This bit is effective without the need for an I/O update. 0 = clock signals to the digital core are active (default). 1 = clock signals to the digital core are disabled.
6	DAC power-down	0 = DAC clock signals and bias circuits are active (default). 1 = DAC clock signals and bias circuits are disabled.
5	REFCLK input power-down	This bit is effective without the need for an I/O update. 0 = REFCLK input circuits and PLL are active (default). 1 = REFCLK input circuits and PLL are disabled.
4	Open	Open.
3	External power-down control	0 = assertion of the EXT_PWR_DWN pin affects power-down (default). 1 = assertion of the EXT_PWR_DWN pin affects fast recovery power-down.
2	Open	Open.
1	SDIO input only	0 = configures the SDIO pin for bidirectional operation; 2-wire serial programming mode (default). 1 = configures the serial data I/O pin (SDIO) as an input only pin; 3-wire serial programming mode.
0	LSB first mode	0 = configures the serial I/O port for MSB-first format (default). 1 = configures the serial I/O port for LSB-first format.

コントロール・ファンクション・レジスタ 2 (CFR2)—アドレス 0x01

表 16.CFR2 のビット説明

Bit(s)	Mnemonic	Description
[31:24]	Open	Open.
23	Profile mode enable	0 = disables profile mode functionality (default). 1 = enables profile mode functionality. Profile pins are used to select the desired profile.
22	Parallel data port enable	See the Parallel Data Port Modulation Mode section for more details. 0 = disables parallel data port modulation functionality (default). 1 = enables parallel data port modulation functionality.
[21:20]	Digital ramp destination	See Table 9 for details. Default is 00. See the Digital Ramp Generator (DRG) section for more details.
19	Digital ramp enable	0 = disables digital ramp generator functionality (default). 1 = enables digital ramp generator functionality.
18	Digital ramp no-dwell high	See the Digital Ramp Generator (DRG) section for details. 0 = disables no-dwell high functionality (default). 1 = enables no-dwell high functionality.
17	Digital ramp no-dwell low	See the Digital Ramp Generator (DRG) section for details. 0 = disables no-dwell low functionality (default). 1 = enables no-dwell low functionality.
16	Programmable modulus enable	0 = disables programmable modulus. 1 = enables programmable modulus.
15	Matched latency enable	0 = simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output in the order listed in Table 2 under data latency (pipe line delay)(default). 1 = simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output simultaneously.
14	Frequency jump enable	0 = disables frequency jump. 1 = enables frequency jump mode. Must have the digital generator DRG enabled for this feature.
13	DRG over output enable	0 = disables the DROVER output. 1 = enables the DROVER output.
12	Open	Open.
11	SYNC_CLK enable	0 = the SYNC_CLK pin is disabled and forced to a static Logic 0 state; the internal clock signal continues to operate and provide timing to the data assembler. 1 = the internal SYNC_CLK signal appears at the SYNC_CLK pin (default).
10	SYNC_CLK invert	0 = normal SYNC_CLK polarity; Q data associated with Logic 1, I data with Logic 0 (default). 1 = inverted SYNC_CLK polarity.
9	Reserved	Keep logic 0.
[8:0]	Open	Open.

コントロール・ファンクション・レジスタ 3 (CFR3)—アドレス 0x02

表 17.CFR3 のビット説明

Bit(s)	Mnemonic	Description
[31:23]	Open	Open.
22	Input divider reset	0 = disables input divider reset function. 1 = initiates a input divider reset.
[21:20]	Input divider	Divides the input REF CLK signal by one of four values (1, 2, 4, 8).
19	Doubler enable	0 = disables the doubler feature. 1 = enables the doubler feature. Must have the doubler clock edge bit set to Logic 1 to utilize this feature.
18	PLL enable	0 = disables the internal PLL. 1 = the internal PLL is enabled and the output generates the system clock. The PLL must be calibrated when enabled via VCO calibration in Register CFR1, Bit 24.
17	PLL ref disable	This bit should remain Logic 0 (default).
16	Doubler clock edge	0 = disables the internal doubler circuit. 1 = enables the doubler circuit. Must have doubler enable bit set to Logic 1 to utilize this feature.
[15:8]	Feedback divider N	Sets the feedback divider of the PLL. The divider range is 8× to 255×. Bits[15:8] = 0000 = 8×, 0001 = 9× ... 1111 = 255×
7	Open	Open.
6	Manual I _{CP} selection	0 = the internal charge pump current is chosen automatically during the VCO calibration routine (default). 1 = the internal charge pump is set manually per Table 7.
[5:3]	I _{CP}	Manual charge pump current selection. See Table 7.
2	Lock detect enable	0 = disables PLL lock detection. 1 = enables PLL lock detection.
[1:0]	Minimum LDW	Selects the number of REF CLK cycles that the phase error (at the PFD inputs) must remain within before a PLL lock condition can be read back via Bit 24 in Register 0x00. 00 = 128 REF CLK cycles 01 = 256 REF CLK cycles 10 = 512 REF CLK cycles 11 = 1024 REF CLK cycles

コントロール・ファンクション・レジスタ 4 (CFR4)—アドレス 0x03

表 18. DAC のビット説明

Bit(s)	Mnemonic	Description
[31:27]	Open	Open
26	Auxiliary divider power-down	0 = enables the SYNC OUT circuitry. 1 = disables the SYNC OUT circuitry
25	DAC CAL clock power-own	0 = enables the DAC CAL clock if Bit 26 in Register 0x03 is Logic 0. 1 = disables the DAC CAL clock.
24	DAC CAL enable	1 = initiates an auto DAC calibration. The DAC CAL calibration is required at power-up and any time the internal system clock is changed.
[23:0]	(See description)	These bits must always be programmed with the default values listed in the default column in Table 14.

デジタル・ランプ下限レジスタ—アドレス 0x04

CFR2 レジスタ (0x01[19]) のデジタル・ランプ・イネーブル・ビット=1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ (DRG) のセクションを参照してください。

表 19. デジタル・ランプ下限レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:0]	Digital ramp lower limit	32-bit digital ramp lower limit value.

デジタル・ランプ上限レジスタ—アドレス 0x05

CFR2 レジスタ (0x01[19]) のデジタル・ランプ・イネーブル・ビット=1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ (DRG) のセクションを参照してください。

表 20. デジタル・ランプ上限レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:0]	Digital ramp upper limit	32-bit digital ramp upper limit value.

立上がりデジタル・ランプ・ステップ・サイズ・レジスタ—アドレス 0x06

CFR2 レジスタ (0x01[19]) のデジタル・ランプ・イネーブル・ビット=1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ (DRG) のセクションを参照してください。

表 21. 立上がりデジタル・ランプ・ステップ・サイズ・レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:0]	Rising digital ramp increment step size	32-bit digital ramp increment step size value.

立下がりデジタル・ランプ・ステップ・サイズ・レジスタ—アドレス 0x07

CFR2 レジスタ (0x01[19]) のデジタル・ランプ・イネーブル・ビット=1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ (DRG) のセクションを参照してください。

表 22. 立下がりデジタル・ランプ・ステップ・サイズ・レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:0]	Falling digital ramp decrement step size	32-bit digital ramp decrement step size value.

デジタル・ランプ・レート・レジスタアドレス 0x08

CFR2 レジスタ(0x01[19])のデジタル・ランプ・イネーブル・ビット=1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表 23. デジタル・ランプ・レート・レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:16]	Digital ramp negative slope rate	16-bit digital ramp negative slope value that defines the time interval between decrement values.
[15:0]	Digital ramp positive slope rate	16-bit digital ramp positive slope value that defines the time interval between increment values.

下側周波数ジャンプ・レジスタアドレス 0x09

CFR2 レジスタのデジタル・ランプ・イネーブル・ビット(0x01[19]) = 1、かつ周波数ジャンプ・イネーブル・ビット(0x01[14]) = 1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表 24. 下側周波数ジャンプ・レジスタのビット説明

Bit(s)	Mnemonic	Description
[31:0]	Lower frequency jump point	32-bit digital lower frequency jump value. Any time the lower frequency jump value is reached during a frequency sweep, the output frequency jumps to the upper frequency value instantaneously and continues frequency sweeping in a phase-continuous manner.

上側周波数ジャンプ・レジスタアドレス 0x0A

CFR2 レジスタのデジタル・ランプ・イネーブル・ビット(0x01[19]) = 1、かつ周波数ジャンプ・イネーブル・ビット(0x01[14]) = 1 の場合にのみ、このレジスタは有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表 25. 上側周波数ジャンプ・レジスタのビット説明

Bit(s)	Mnemonic	Description
[31:0]	Upper frequency jump point	32-bit digital upper frequency jump value. Any time the upper frequency jump value is reached during a frequency sweep, the output frequency jumps to the lower frequency value instantaneously and continues frequency sweeping in a phase-continuous manner.

プロファイル・レジスタ

16 個のシリアル I/O アドレス(アドレス 0x0B~アドレス 0x01A)がデバイス・プロファイルに割り当てられています。16 個のプロファイルの内の 8 個で、最大 8 個のシングル・トーン周波数が構成されます。残りの 8 個のプロファイルには、プロファイル・ピンの設定値に対応する位相オフセットと振幅パラメータが含まれて

います。プロファイル・モードをイネーブルするときは、CFR2 (0x01[23])のプロファイル・モード・イネーブル・ビット = 1 を設定します。アクティブ・プロファイル・レジスタは、外部 PS[2:0] ピンを使って選択します。

プロファイル 0~プロファイル 7、シングル・トーン・レジスタ—0x0B、0x0D、0x0F、0x11、0x13、0x15、0x17、0x19
各レジスタには 4 バイトが割り当てられています。

表 26. プロファイル 0~プロファイル 7 シングル・トーン・レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:0]	Frequency tuning word	This 32-bit number controls the DDS frequency.

プロファイル 0~プロファイル 7、位相オフセット・レジスタおよび振幅レジスタ—0x0C、0x0E、0x10、0x12、0x14、0x16、0x18、0x1A

各レジスタには 4 バイトが割り当てられています。

表 27. プロファイル 0~プロファイル 7 位相オフセット・レジスタおよび振幅レジスタ・ビットの説明

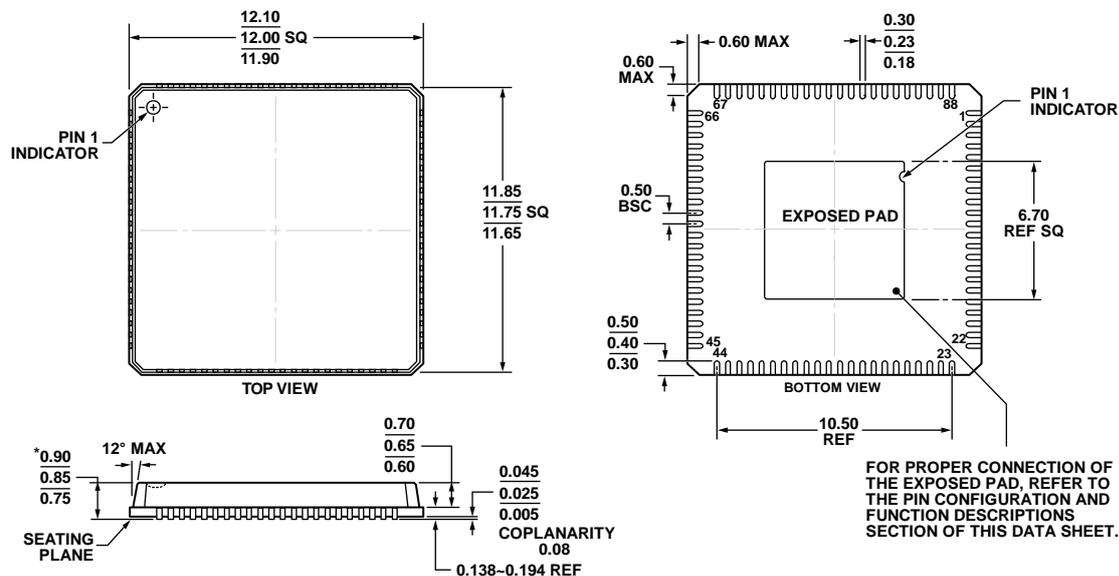
Bit(s)	Mnemonic	Description
[31:28]	Open	Open.
[27:16]	Amplitude scale factor	This 12-bit word controls the DDS frequency. Note that the OSK enable bit (0x00[8]) must be set to logic high to make amplitude adjustments.
[15:0]	Phase offset word	This 16-bit word controls the DDS frequency.

USR0 レジスタ—アドレス 0x1B

表 28. USR0 レジスタ・ビットの説明

Bit(s)	Mnemonic	Description
[31:25]	Open	
24	PLL lock	This is a readback bit only. If Logic 1 is read back, the PLL is locked. Logic 0 represents a nonlocked state.
[23:0]	(See description)	These bits must always be programmed with the default values listed in the default column in Table 14.

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VRRD EXCEPT FOR MINIMUM THICKNESS AND LEAD COUNT.

07-02-2012-B

図 48.88 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 12 mm × 12 mm ボディ、極薄クワッド
 (CP-88-5)
 寸法: mm

オーダー・ガイド

Parameter ¹	Temperature Range	Package Description	Package Option
AD9914BCPZ	-40°C to +85°C	88-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-88-5
AD9914BCPZ-REEL7	-40°C to +85°C	88-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-88-5
AD9914/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。