

AD9785/AD9787/AD9788

特長

アナログ出力が 8.7 mA~31.7 mA および $R_L = 25 \Omega \sim 50 \Omega$ で調整可能

低消費電力の複素 NCO により、DAC 帯域内でのキャリア任意配置が可能、これによる電力増は 300 mW 以下

補助 DAC により、I と Q のゲイン・マッチングとオフセット制御が可能

I と Q の位相補償が設定可能

デジタル・アップ・コンバージョン機能を内蔵

複数チップ同期インターフェース

高性能低ノイズの PLL クロック通倍器を内蔵

デジタル逆 sinc フィルタ

100 ピン露出パドル TQFP パッケージを採用

アプリケーション

ワイヤレス・インフラストラクチャ
WCDMA、CDMA2000、TD-SCDMA、WiMAX、GSM

ハイまたはローIF のデジタル・シンセシス

送信ダイバーシティー

広帯域通信

LMDS/MMDS、1対1

概要

AD9785/AD9787/AD9788 は、それぞれ 12/14/16 ビットの TxDAC[®]デバイスであり、ナイキスト周波数までのマルチキャリアを発生できる 800 MSPS のサンプル・レートと広いダイナミック・レンジを持っています。複素デジタル変調や、ゲイン、位相、オフセットの補償などの、ダイレクト・コンバージョン送信アプリケーションを最適化する機能が内蔵されています。DAC 出力は、アナログ・デバイスサイズの ADL537x ファミリーのようなアナログ直交変調器とシームレスにインターフェースするように最適化されています。シリアル・ペリフェラル・インターフェース(SPI)を内蔵しているため、多くの内部パラメータの書き込みと読み出しを行うことができます。フル・スケール出力電流は、10 mA~30 mA の範囲で設定することができます。AD978x ファミリーは 0.18 μm の CMOS プロセスで製造され、1.8 V と 3.3 V の電源で動作します。このデバイスは 100 ピンの TQFP パッケージを採用しています。

製品のハイライト

ベースバンドから高い中間周波数までの広帯域信号の高品質なシンセシスを可能にする低いノイズと低い相互変調歪み(IMD)。ダイナミック性能を強化する当社独自の DAC 出力スイッチング技術

調整可能なセットアップとホールドを持つ CMOS データ入力インターフェース

低消費電力の複素型 32 ビット数値制御発振器(NCO)。

一般的なシグナル・チェーン

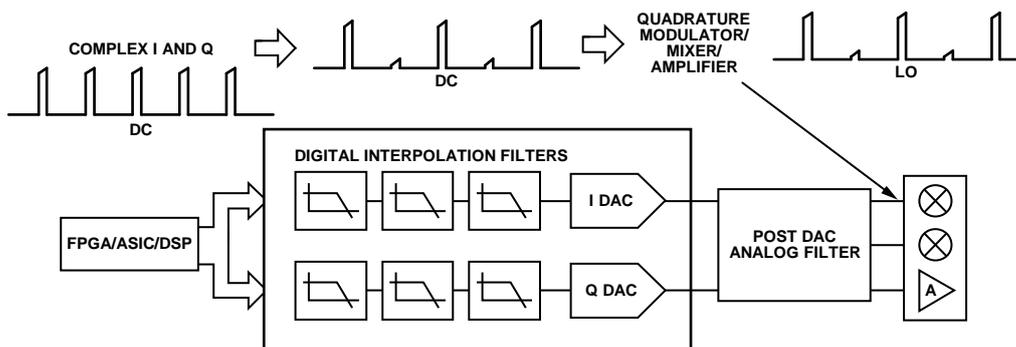


図 1.

100-0980-00

目次

特長.....	1	入力データ RAM.....	37
アプリケーション.....	1	デジタル・データパス.....	38
概要.....	1	インターポレーション・フィルタ.....	38
製品のハイライト.....	1	直交変調器.....	40
一般的なシグナル・チェーン.....	1	数値制御発振器.....	40
改訂履歴.....	2	逆 Sinc フィルタ.....	40
仕様.....	3	振幅とオフセットのデジタル制御.....	41
DC仕様.....	3	位相のデジタル補正.....	41
デジタル仕様.....	4	デバイスの同期.....	42
AC仕様.....	5	同期ロジックの概要.....	42
絶対最大定格.....	6	デバイスのシステム・クロックへの同期.....	44
熱抵抗.....	6	複数デバイス間の相互同期.....	45
ESDの注意.....	6	割り込み要求動作.....	46
ピン配置およびピン機能説明.....	7	REFCLK 入力の駆動.....	47
代表的な性能特性.....	13	DAC REFCLK の設定.....	47
用語.....	20	アナログ出力.....	50
動作原理.....	21	振幅のデジタル・スケーリング.....	50
シリアル・ポート・インターフェース.....	21	消費電力.....	52
SPI レジスタ・マップ.....	24	AD9785/AD9787/AD9788 の評価ボード.....	54
SPI レジスタの説明.....	25	出力の設定.....	54
入力データ・ポート.....	33	評価ボードの写真.....	54
シングル・ポート・モード.....	33	評価ボード・ソフトウェア.....	55
デュアル・ポート・モード.....	33	評価ボードの回路図.....	56
DATACLK を基準とする入力データ.....	33	外形寸法.....	62
REFCLK を基準とする入力データ.....	35	オーダー・ガイド.....	62
データ入力タイミングの最適化.....	36		

改訂履歴

1/08—Revision 0: Initial Version

仕様

DC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{OUTFS} = 20 \text{ mA}$ 、最大サンプル・レート。特に指定がない限り、LVDS ドライバとレシーバは IEEE 1596 短距離回線に準拠。

表 1.

Parameter	AD9785			AD9787			AD9788			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION		12			14			16		Bits
ACCURACY										
Differential Nonlinearity (DNL)		±0.2			±0.5			±2.1		LSB
Integral Nonlinearity (INL)		±0.3			±1.0			±3.7		LSB
MAIN DAC OUTPUTS										
Offset Error	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
Gain Error (with Internal Reference)		±2			±2			±2		% FSR
Full-Scale Output Current	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
Output Compliance Range	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
Output Resistance		10			10			10		MΩ
Gain DAC Monotonicity Guaranteed		10			10			10		Bits
MAIN DAC TEMPERATURE DRIFT										
Offset		0.04			0.04			0.04		ppm/°C
Gain		100			100			100		ppm/°C
Reference Voltage		30			30			30		ppm/°C
AUX DAC OUTPUTS										
Resolution		10			10			10		Bits
Full-Scale Output Current ¹	-1.998		+1.998	-1.998		+1.998	-1.998		+1.998	mA
Output Compliance Range (Source)	0		1.6	0		1.6	0		1.6	V
Output Compliance Range (Sink)	0.8		1.6	0.8		1.6	0.8		1.6	V
Output Resistance		1			1			1		MΩ
Aux DAC Monotonicity Guaranteed		10			10			10		Bits
REFERENCE										
Internal Reference Voltage		1.2			1.2			1.2		V
Output Resistance		5			5			5		kΩ
ANALOG SUPPLY VOLTAGES										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
DIGITAL SUPPLY VOLTAGES										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
POWER CONSUMPTION										
1× Mode, $f_{DATA} = 100 \text{ MSPS}$, PLL Off, IF = 2 MHz		375	450		375	450		375	450	mW
2× Mode, $f_{DATA} = 100 \text{ MSPS}$, Inverse Sinc Off, PLL Off		533			533			533		mW
4× Mode, $f_{DATA} = 100 \text{ MSPS}$, Inverse Sinc Off, PLL Off		754			754			754		mW
8× Mode, $f_{DATA} = 100 \text{ MSPS}$, Inverse Sinc Off, PLL Off		1054			1054			1054		mW
Power-Down Mode		2.5	9.0		2.5	9.0		2.5	9.0	mW
OPERATING RANGE	-40	+25	+85	-40	+25	+85	-40	+25	+85	°C

¹ 10 Ω の外付け抵抗を使用。

デジタル仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{OUTFS} = 20 \text{ mA}$ 、最大サンプル・レート。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL					
Input V_{IN} Logic High		2.0			V
Input V_{IN} Logic Low				0.8	V
LVDS INPUT (SYNC_I+, SYNC_I-)	SYNC_I+ = V_{IA} , SYNC_I- = V_{IB}				
Input Voltage Range, V_{IA} or V_{IB}		825		1575	mV
Input Differential Threshold, V_{IDTH}		-100		+100	mV
Input Differential Hysteresis, $V_{IDTHH} - V_{IDTHL}$			20		mV
Receiver Differential Input Impedance, R_{IN}		80		120	Ω
LVDS Input Rate ($f_{SYNC_I} = f_{DATA}$)		30			MHz
Setup Time, SYNC_I to DAC Clock		0.45			ns
Hold Time, SYNC_I to DAC Clock		0.25			ns
LVDS DRIVER OUTPUTS (SYNC_O+, SYNC_O-)	SYNC_O+ = V_{OA} , SYNC_O- = V_{OB} , 100 Ω termination				
Output Voltage High, V_{OA} or V_{OB}		825		1575	mV
Output Voltage Low, V_{OA} or V_{OB}		1025			mV
Output Differential Voltage, $ V_{OD} $		150	200	250	mV
Output Offset Voltage, V_{OS}		1150		1250	mV
Output Impedance, Single-Ended, R_O		80	100	120	Ω
DAC CLOCK INPUT (REFCLK+, REFCLK-)					
Differential Peak-to-Peak Voltage		400	800	1600	mV
Common-Mode Voltage		300	400	500	mV
Maximum Clock Rate					
DVDD18 = 1.8 V \pm 5%		800			MHz
DVDD18 = 1.9 V \pm 5%		900			MHz
MAXIMUM INPUT DATA RATE					
1 \times Interpolation			250		MSPS
2 \times Interpolation			250		MSPS
4 \times Interpolation					
DVDD18 = 1.8 V \pm 5%		200			MSPS
DVDD18 = 1.9 V \pm 5%		225			MSPS
8 \times Interpolation					
DVDD18 = 1.8 V \pm 5%		100			MSPS
DVDD18 = 1.9 V \pm 5%		112.5			MSPS
SERIAL PERIPHERAL INTERFACE					
Maximum Clock Rate (SCLK)		40			MHz
Minimum Pulse Width High		12.5			ns
Minimum Pulse Width Low		12.5			ns
Setup Time, SPI_SDIO to SCLK		2.8			ns
Hold Time, SPI_SDIO to SCLK		0.0			ns
Setup Time, SPI_CSB to SCLK		3.0			ns
Data Valid, SPI_SDO to SCLK		10.0			ns
INPUT DATA	All modes, -40°C to $+85^\circ\text{C}^1$				
Setup Time, Input Data to DATACLK		460			ns
Hold Time, Input Data to DATACLK		-1.5			ns
Setup Time, Input Data to REFCLK		-0.25			ns
Hold Time, Input Data to REFCLK		2.4			ns
LATENCY (DACCLK CYCLES)					
1 \times Interpolation	With or without modulation		40		Cycles
2 \times Interpolation	With or without modulation		83		Cycles
4 \times Interpolation	With or without modulation		155		Cycles
8 \times Interpolation	With or without modulation		294		Cycles
Inverse Sinc			18		Cycles
POWER-UP TIME ²			260		ms

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DAC Wake-Up Time ³	I _{OUT} current settling to 1%		22		ms
DAC Sleep Time ⁴	I _{OUT} current to less than 1% of full scale		22		ms

¹ タイミングの温度特性とデータ有効ウィンドウは、表 25 に示します。

² レジスタ 0x00 の SPI_CSB の立ち上がりエッジから測定。ビット 4 を 0 から 1 へトグル。VREF デカップリング・コンデンサ = 0.1 μF。

³ レジスタ 0x05 またはレジスタ 0x07 の SPI_CSB の立ち上がりエッジから測定。ビット 15 またはビット 14 を 0 から 1 へトグル。

⁴ レジスタ 1x05 またはレジスタ 0x07 の SPI_CSB の立ち上がりエッジから測定。ビット 15 またはビット 14 を 0 から 0 へトグル。

AC 仕様

特に指定がない限り、T_{MIN}~T_{MAX}、AVDD33 = 3.3 V、DVDD33 = 3.3 V、DVDD18 = 1.8 V、CVDD18 = 1.8 V、I_{OUTFS} = 20 mA、最大サンプル・レート。

表 3.

Parameter	AD9785			AD9787			AD9788			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS-FREE DYNAMIC RANGE (IN-BAND SFDR)										
f _{DACCLK} = 200 MSPS, f _{OUT} = 70 MHz 1× Interpolation		80			82			83		dBc
f _{DACCLK} = 200 MSPS, f _{OUT} = 70 MHz 2× Interpolation		80			82			83		dBc
f _{DACCLK} = 200 MSPS, f _{OUT} = 70 MHz 4× Interpolation		78			80			81		dBc
f _{DACCLK} = 800 MSPS, f _{OUT} = 40 MHz 8× Interpolation		85			87			90		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)										
f _{DATA} = 200 MSPS, f _{OUT} = 50 MHz 1× Interpolation		80			82			83		dBc
f _{DATA} = 200 MSPS, f _{OUT} = 50 MHz 2× Interpolation		78			79			80		dBc
f _{DATA} = 200 MSPS, f _{OUT} = 100 MHz 4× Interpolation		78			79			80		dBc
f _{DATA} = 100 MSPS, f _{OUT} = 100 MHz 8× Interpolation		70			70			70		dBc
NOISE SPECTRAL DENSITY (NSD), EIGHT TONE, 500 kHz TONE SPACING										
f _{DACCLK} = 200 MSPS, f _{OUT} = 80 MHz		-154			-157			-158		dBm/Hz
f _{DACCLK} = 400 MSPS, f _{OUT} = 80 MHz		-154			-158			-161		dBm/Hz
f _{DACCLK} = 800 MSPS, f _{OUT} = 80 MHz		-154			-159			-162		dBm/Hz
WCDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER										
f _{DACCLK} = 491.52 MSPS, f _{OUT} = 100 MHz 4× Interpolation		78			80			82		dBc
f _{DACCLK} = 491.52 MSPS, f _{OUT} = 200 MHz 4× Interpolation		72			74			76		dBc
WCDMA SECOND ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER										
f _{DACCLK} = 491.52 MSPS, f _{OUT} = 100 MHz 4× Interpolation		80			82			88		dBc
f _{DACCLK} = 491.52 MSPS, f _{OUT} = 200 MHz 4× Interpolation		78			80			82		dBc

絶対最大定格

表 4.

Parameter	Rating
AVDD33 to AGND, DGND, CGND	-0.3 V to +3.6 V
DVDD33, DVDD18, CVDD18 to AGND, DGND, CGND	-0.3 V to +2.1 V
AGND to DGND, CGND	-0.3 V to +0.3 V
DGND to AGND, CGND	-0.3 V to +0.3 V
CGND to AGND, DGND	-0.3 V to +0.3 V
I120, VREF, IPTAT to AGND	-0.3 V to AVDD33 + 0.3 V
OUT1_P, OUT1_N, OUT2_P, OUT2_N, AUX1_P, AUX1_N, AUX2_P, AUX2_N to AGND	-1.0 V to AVDD33 + 0.3 V
P1D[15] to P1D[0], P2D[15] to P2D[0] to DGND	-0.3 V to DVDD33 + 0.3 V
DATACLK, TXENABLE to DGND	-0.3 V to DVDD33 + 0.3 V
REFCLK+, REFCLK-, RESET, IRQ, PLL_LOCK, SYNC_O+, SYNC_O-, SYNC_I+, SYNC_I- to CGND	-0.3 V to CVDD18 + 0.3 V
RESET, IRQ, PLL_LOCK, SYNC_O+, SYNC_O-, SYNC_I+, SYNC_I-, SPI_CSB, SCLK, SPI_SDIO, SPI_SDO to DGND	-0.3 V to DVDD33 + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

この 100 ピンの熱強化型 TQFP では、露出パドル(EPAD)をグラウンド・プレーンへハンダ付けする必要があります。これらの仕様は自然空冷を対象としていることに注意してください。

表 5.熱抵抗

Resistance	Unit	Conditions
θ_{JA}	19.1°C/W	EPAD soldered. No airflow.
θ_{JB}	12.4°C/W	EPAD soldered. No airflow.
θ_{JC}	7.1°C/W	EPAD soldered. No airflow.

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

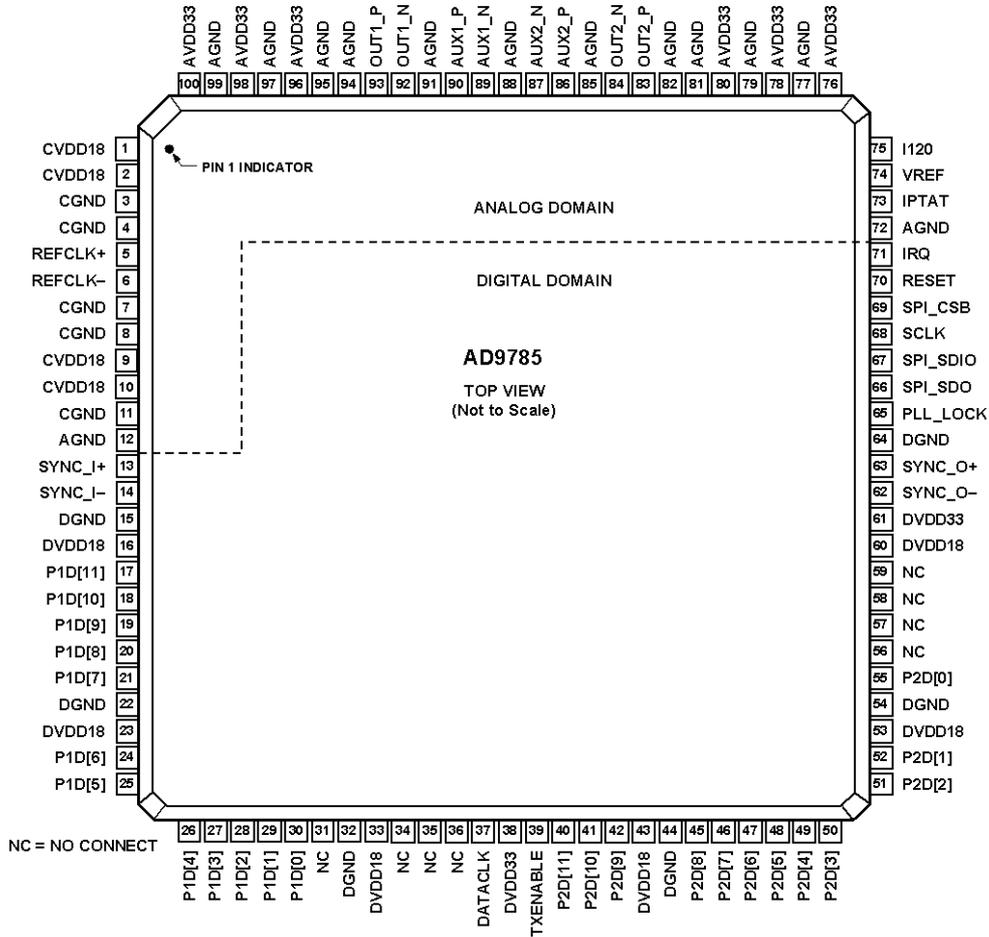


図 2.AD9785 のピン配置

表 6.AD9785 のピン機能説明

ピン番号	記号	説明
1、2、9、10	CVDD18	1.8 V クロック電源。
3、4、7、8、11	CGND	クロック・コモン。
5	REFCLK+	差動クロック入力ー正。
6	REFCLK-	差動クロック入力ー負。
12、72、77、79、81、 82、85、88、91、94、 95、97、99	AGND	アナログ・コモン。
13	SYNC_I+	差動同期入力ー正。
14	SYNC_I-	差動同期入力ー負。
15、22、32、44、54、64	DGND	デジタル・コモン。
16、23、33、43、53、60	DVDD18	1.8 V デジタル電源。
17	P1D[11]	ポート 1 のデータ入力 D11 (MSB)。
18	P1D[10]	ポート 1 のデータ入力 D10。
19	P1D[9]	ポート 1 のデータ入力 D9。
20	P1D[8]	ポート 1 のデータ入力 D8。
21	P1D[7]	ポート 1 のデータ入力 D7。
24	P1D[6]	ポート 1 のデータ入力 D6。
25	P1D[5]	ポート 1 のデータ入力 D5。
26	P1D[4]	ポート 1 のデータ入力 D4。
27	P1D[3]	ポート 1 のデータ入力 D3。

ピン番号	記号	説明
28	P1D[2]	ポート 1 のデータ入力 D2。
29	P1D[1]	ポート 1 のデータ入力 D1。
30	P1D[0]	ポート 1 のデータ入力 D0 (LSB)。
31、34 to 36、56 to 59	NC	接続不要。
37	DATACLK	データ・クロック出力。
38、61	DVDD33	3.3 V のデジタル電源。
39	TXENABLE	送信イネーブル。
40	P2D[11]	ポート 2 のデータ入力 D11 (MSB)。
41	P2D[10]	ポート 2 のデータ入力 D10。
42	P2D[9]	ポート 2 のデータ入力 D9。
45	P2D[8]	ポート 2 のデータ入力 D8。
46	P2D[7]	ポート 2 のデータ入力 D7。
47	P2D[6]	ポート 2 のデータ入力 D6。
48	P2D[5]	ポート 2 のデータ入力 D5。
49	P2D[4]	ポート 2 のデータ入力 D4。
50	P2D[3]	ポート 2 のデータ入力 D3。
51	P2D[2]	ポート 2 のデータ入力 D2。
52	P2D[1]	ポート 2 のデータ入力 D1。
55	P2D[0]	ポート 2 のデータ入力 D0 (LSB)。
62	SYNC_O-	差動同期出力ー負。
63	SYNC_O+	差動同期出力ー正。
65	PLL_LOCK	PLL のロック表示。
66	SPI_SDO	SPI ポート・データ出力。
67	SPI_SDIO	SPI ポート・データ入力/出力。
68	SCLK	SPI ポート・クロック。
69	SPI_CSB	SPI ポート・チップ・セレクト・バー。
70	RESET	リセット、アクティブ・ハイ。
71	IRQ	割り込み要求。
73	IPTAT	出荷テスト・ピン。出力電流は絶対温度に比例し、25°C で約 10 μ A、傾き約 20 nA/°C。このピンはフローティング状態のままにしておく必要があります。
74	VREF	リファレンス電圧出力。
75	I120	120 μ A のリファレンス電流。
76、78、80、96、98、100	AVDD33	3.3 V のアナログ電源。
83	OUT2_P	差動 DAC 電流出力ー正、チャンネル 2。
84	OUT2_N	差動 DAC 電流出力ー負、チャンネル 2。
86	AUX2_P	補助 DAC 電流出力ー正、チャンネル 2。
87	AUX2_N	補助 DAC 電流出力ー負、チャンネル 2。
89	AUX1_N	補助 DAC 電流出力ー負、チャンネル 1。
90	AUX1_P	補助 DAC 電流出力ー正、チャンネル 1。
92	OUT1_N	差動 DAC 電流出力ー負、チャンネル 1。
93	OUT1_P	差動 DAC 電流出力ー正、チャンネル 1。
露出パドル	EPAD	ヒート・シンク。アナログ・コモン(AGND)に接続。

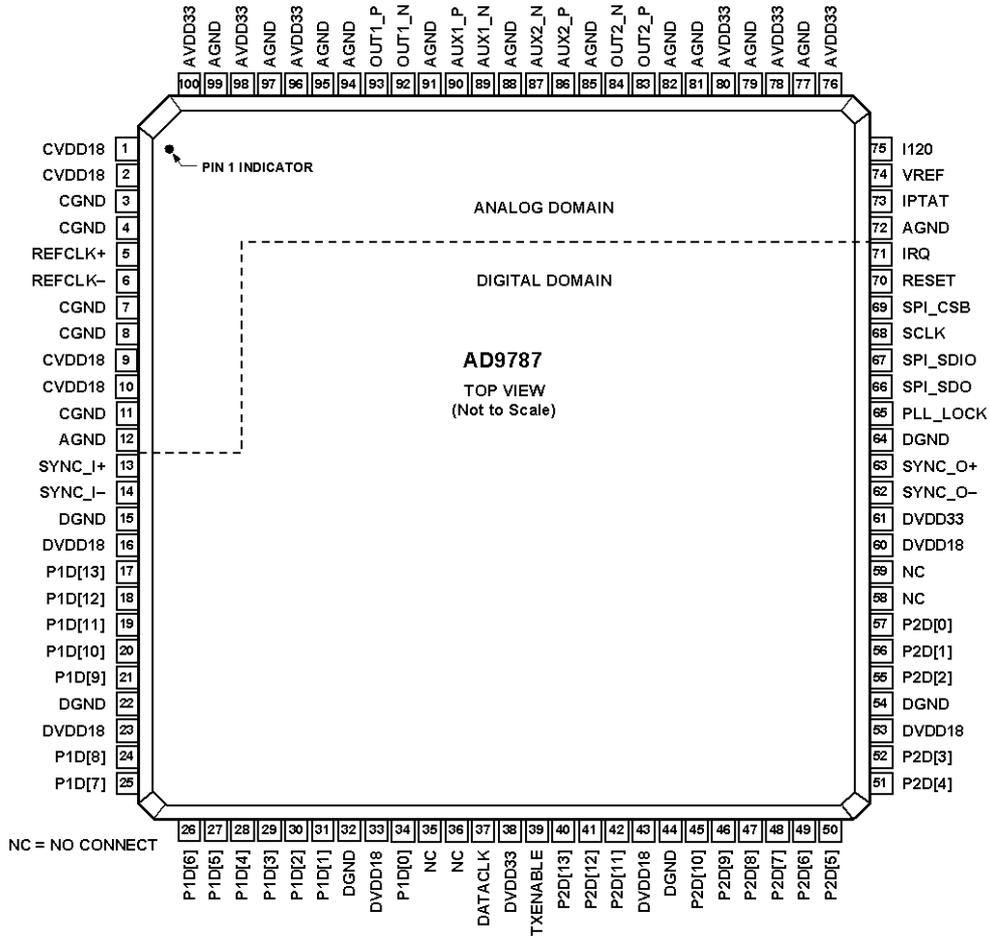
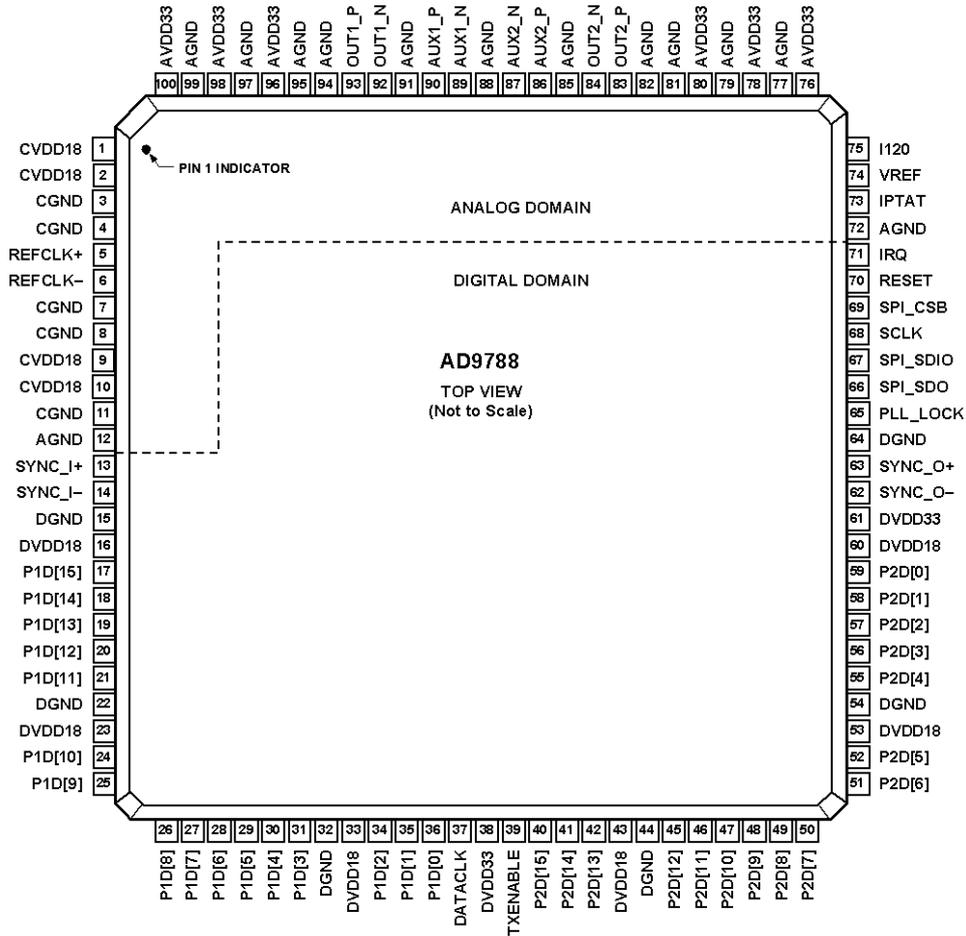


図 3.AD9787 のピン配置

表 7.AD9787 のピン機能説明

ピン番号	記号	説明
1、2、9、10	CVDD18	1.8 V のクロック電源。
3、4、7、8、11	CGND	クロック・コモン。
5	REFCLK+	差動クロック入力ー正。
6	REFCLK-	差動クロック入力ー負。
12、72、77、79、81、 82、85、88、91、94、 95、97、99	AGND	アナログ・コモン。
13	SYNC_I+	差動同期入力ー正。
14	SYNC_I-	差動同期入力ー負。
15、22、32、44、54、64	DGND	デジタル・コモン。
16、23、33、43、53、60	DVDD18	1.8 V デジタル電源。
17	P1D[13]	ポート 1 のデータ入力 D13 (MSB)。
18	P1D[12]	ポート 1 のデータ入力 D12。
19	P1D[11]	ポート 1 のデータ入力 D11。
20	P1D[10]	ポート 1 のデータ入力 D10。
21	P1D[9]	ポート 1 のデータ入力 D9。
24	P1D[8]	ポート 1 のデータ入力 D8。
25	P1D[7]	ポート 1 のデータ入力 D7。
26	P1D[6]	ポート 1 のデータ入力 D6。
27	P1D[5]	ポート 1 のデータ入力 D5。
28	P1D[4]	ポート 1 のデータ入力 D4。
29	P1D[3]	ポート 1 のデータ入力 D3。

ピン番号	記号	説明
30	P1D[2]	ポート 1 のデータ入力 D2。
31	P1D[1]	ポート 1 のデータ入力 D1。
34	P1D[0]	ポート 1 のデータ入力 D0 (LSB)。
35、36、58、59	NC	接続不要。
37	DATACLK	データ・クロック出力。
38、61	DVDD33	3.3 V のデジタル電源。
39	TXENABLE	送信イネーブル。
40	P2D[13]	ポート 2 のデータ入力 D13 (MSB)。
41	P2D[12]	ポート 2 のデータ入力 D12。
42	P2D[11]	ポート 2 のデータ入力 D11。
45	P2D[10]	ポート 2 のデータ入力 D10。
46	P2D[9]	ポート 2 のデータ入力 D9。
47	P2D[8]	ポート 2 のデータ入力 D8。
48	P2D[7]	ポート 2 のデータ入力 D7。
49	P2D[6]	ポート 2 のデータ入力 D6。
50	P2D[5]	ポート 2 のデータ入力 D5。
51	P2D[4]	ポート 2 のデータ入力 D4。
52	P2D[3]	ポート 2 のデータ入力 D3。
55	P2D[2]	ポート 2 のデータ入力 D2。
56	P2D[1]	ポート 2 のデータ入力 D1。
57	P2D[0]	ポート 2 のデータ入力 D0 (LSB)。
62	SYNC_O-	差動同期出力—負。
63	SYNC_O+	差動同期出力—正。
65	PLL_LOCK	PLL のロック表示。
66	SPI_SDO	SPI ポート・データ出力。
67	SPI_SDIO	SPI ポート・データ入力/出力。
68	SCLK	SPI ポート・クロック。
69	SPI_CSB	SPI ポート・チップ・セレクト・バー。
70	RESET	リセット、アクティブ・ハイ。
71	IRQ	割り込み要求。
73	IPTAT	出荷テスト・ピン。出力電流は絶対温度に比例し、25°C で約 10 μ A、傾き約 20 nA/°C。このピンはフローティング状態のままにしておく必要があります。
74	VREF	リファレンス電圧出力。
75	I120	120 μ A のリファレンス電流。
76、78、80、96、98、100	AVDD33	3.3 V のアナログ電源。
83	OUT2_P	差動 DAC 電流出力—正、チャンネル 2。
84	OUT2_N	差動 DAC 電流出力—負、チャンネル 2。
86	AUX2_P	補助 DAC 電流出力—正、チャンネル 2。
87	AUX2_N	補助 DAC 電流出力—負、チャンネル 2。
89	AUX1_N	補助 DAC 電流出力—負、チャンネル 1。
90	AUX1_P	補助 DAC 電流出力—正、チャンネル 1。
92	OUT1_N	差動 DAC 電流出力—負、チャンネル 1。
93	OUT1_P	差動 DAC 電流出力—正、チャンネル 1。
露出パドル	EPAD	ヒート・シンク。アナログ・コモン(AGND)に接続。



07996-003

図 4.AD9788 のピン配置

表 8.AD9788 ピン機能説明 s

ピン番号	記号	説明
1、2、9、10	CVDD18	1.8 V のクロック電源。
3、4、7、8、11	CGND	クロック・コモン。
5	REFCLK+	差動クロック入力ー正。
6	REFCLK-	差動クロック入力ー負。
12、72、77、79、81、 82、85、88、91、94、 95、97、99	AGND	アナログ・コモン。
13	SYNC_I+	差動同期入力ー正。
14	SYNC_I-	差動同期入力ー負。
15、22、32、44、54、64	DGND	デジタル・コモン。
16、23、33、43、53、60	DVDD18	1.8 V デジタル電源。
17	P1D[15]	ポート 1 のデータ入力 D15 (MSB)。
18	P1D[14]	ポート 1 のデータ入力 D14。
19	P1D[13]	ポート 1 のデータ入力 D13。
20	P1D[12]	ポート 1 のデータ入力 D12。
21	P1D[11]	ポート 1 のデータ入力 D11。
24	P1D[10]	ポート 1 のデータ入力 D10。
25	P1D[9]	ポート 1 のデータ入力 D9。
26	P1D[8]	ポート 1 のデータ入力 D8。
27	P1D[7]	ポート 1 のデータ入力 D7。
28	P1D[6]	ポート 1 のデータ入力 D6。
29	P1D[5]	ポート 1 のデータ入力 D5。

ピン番号	記号	説明
30	P1D[4]	ポート 1 のデータ入力 D4。
31	P1D[3]	ポート 1 のデータ入力 D3。
34	P1D[2]	ポート 1 のデータ入力 D2。
35	P1D[1]	ポート 1 のデータ入力 D1。
36	P1D[0]	ポート 1 のデータ入力 D0 (LSB)。
37	DATACLK	データ・クロック出力。
38、61	DVDD33	3.3 V のデジタル電源。
39	TXENABLE	送信イネーブル。
40	P2D[15]	ポート 2 のデータ入力 D15 (MSB)。
41	P2D[14]	ポート 2 のデータ入力 D14。
42	P2D[13]	ポート 2 のデータ入力 D13。
45	P2D[12]	ポート 2 のデータ入力 D12。
46	P2D[11]	ポート 2 のデータ入力 D11。
47	P2D[10]	ポート 2 のデータ入力 D10。
48	P2D[9]	ポート 2 のデータ入力 D9。
49	P2D[8]	ポート 2 のデータ入力 D8。
50	P2D[7]	ポート 2 のデータ入力 D7。
51	P2D[6]	ポート 2 のデータ入力 D6。
52	P2D[5]	ポート 2 のデータ入力 D5。
55	P2D[4]	ポート 2 のデータ入力 D4。
56	P2D[3]	ポート 2 のデータ入力 D3。
57	P2D[2]	ポート 2 のデータ入力 D2。
58	P2D[1]	ポート 2 のデータ入力 D1。
59	P2D[0]	ポート 2 のデータ入力 D0 (LSB)。
62	SYNC_O-	差動同期出力ー負。
63	SYNC_O+	差動同期出力ー正。
65	PLL_LOCK	PLL のロック表示。
66	SPI_SDO	SPI ポート・データ出力。
67	SPI_SDIO	SPI ポート・データ入力/出力。
68	SCLK	SPI ポート・クロック。
69	SPI_CSB	SPI ポート・チップ・セレクト・バー。
70	RESET	リセット、アクティブ・ハイ。
71	IRQ	割り込み要求。
73	IPTAT	出荷テスト・ピン。出力電流は絶対温度に比例し、25°C で約 10 μ A、傾き約 20 nA/°C。このピンはフローティング状態のままにしておく必要があります。
74	VREF	リファレンス電圧出力。
75	I120	120 μ A のリファレンス電流。
76、78、80、96、98、100	AVDD33	3.3 V のアナログ電源。
83	OUT2_P	差動 DAC 電流出力ー正、チャンネル 2。
84	OUT2_N	差動 DAC 電流出力ー負、チャンネル 2。
86	AUX2_P	補助 DAC 電流出力ー正、チャンネル 2。
87	AUX2_N	補助 DAC 電流出力ー負、チャンネル 2。
89	AUX1_N	補助 DAC 電流出力ー負、チャンネル 1。
90	AUX1_P	補助 DAC 電流出力ー正、チャンネル 1。
92	OUT1_N	差動 DAC 電流出力ー負、チャンネル 1。
93	OUT1_P	差動 DAC 電流出力ー正、チャンネル 1。
露出パドル	EPAD	ヒート・シンク。アナログ・コモン (AGND) に接続。

代表的な性能特性

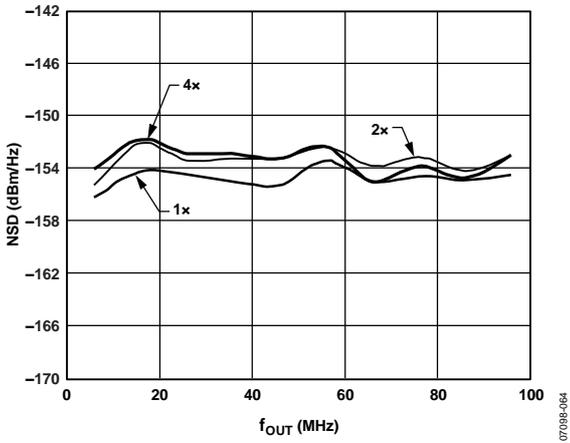


図 5.AD9785 ノイズ・スペクトル密度対 f_{OUT}
マルチトーン入力
 $f_{DATA} = 200$ MSPS

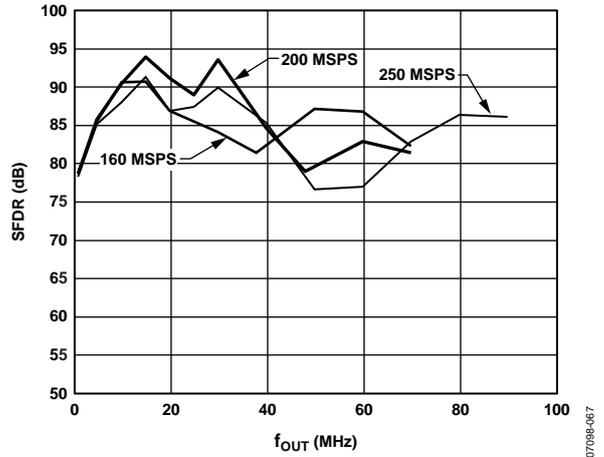


図 8.AD9785 帯域内 SFDR 対 f_{OUT}
2xインターポレーション

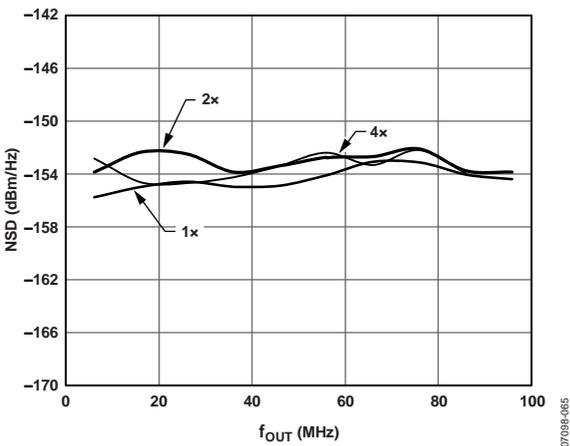


図 6.AD9785 ノイズ・スペクトル密度対 f_{OUT}
シングル・トーン入力
 $f_{DATA} = 200$ MSPS

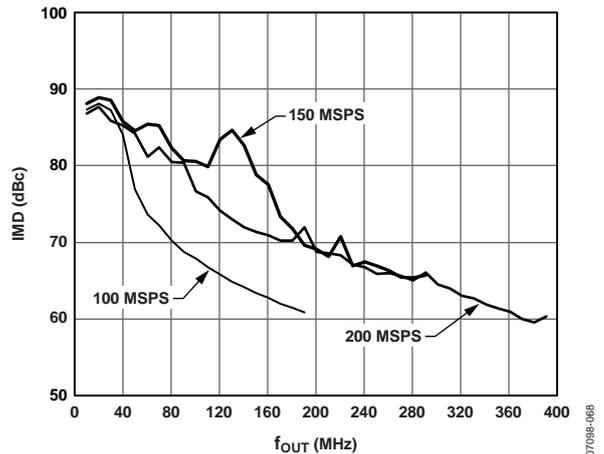


図 9.AD9785 IMD 対 f_{OUT}
4xインターポレーション

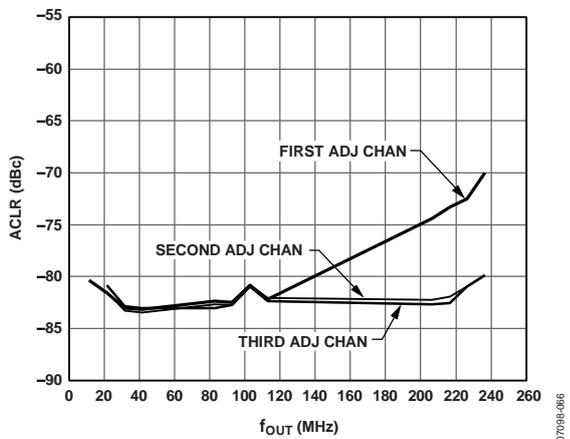


図 7.AD9785 ACLR、4xインターポレーション
 $f_{DATA} = 122.88$ MSPS

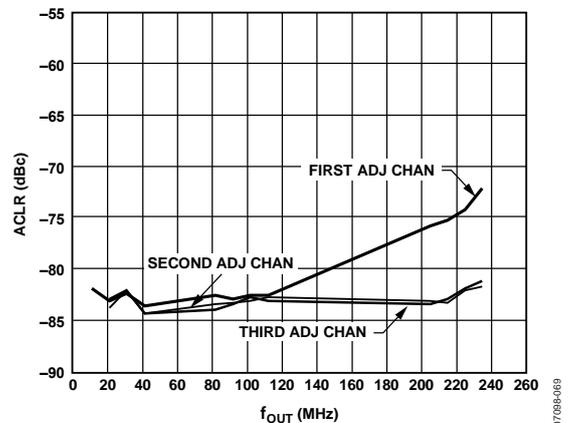


図 10.AD9787 ACLR、4xインターポレーション
 $f_{DATA} = 122.88$ MSPS

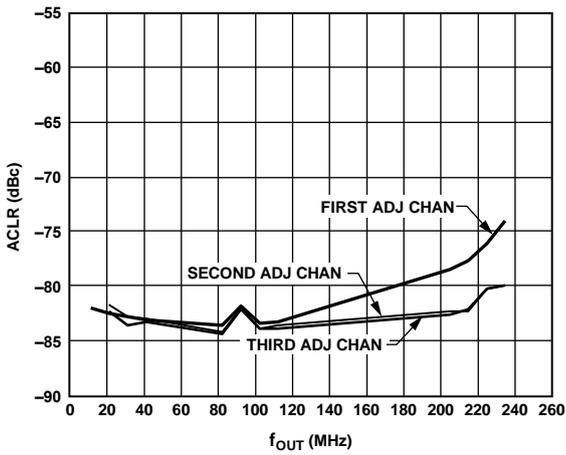


図 11. AD9787 ACLR、4x インターポレーション
 $f_{DATA} = 122.88$ MSPS
 振幅 = -3 dB

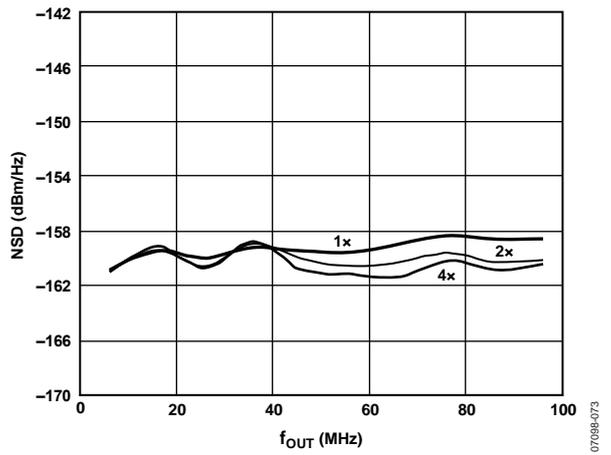


図 14. AD9787 ノイズ・スペクトル密度対 f_{OUT}
 マルチトーン入力での出力周波数
 $f_{DATA} = 200$ MSPS

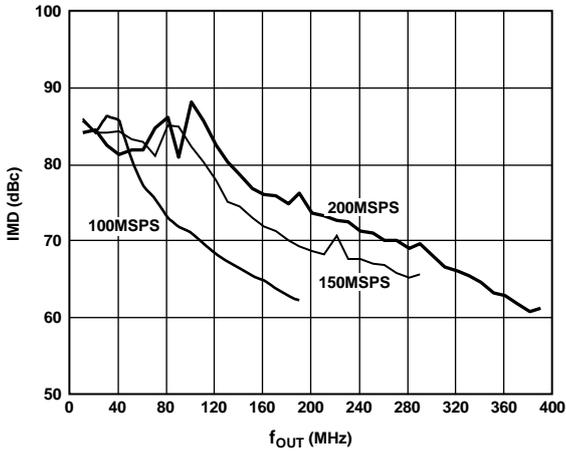


図 12. AD9787 IMD 対 f_{OUT}
 4x インターポレーション

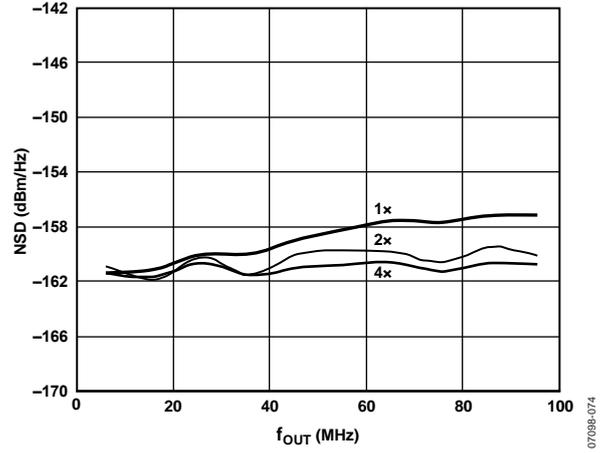


図 15. AD9787 ノイズ・スペクトル密度対 f_{OUT}
 シングル・トーン入力
 $f_{DATA} = 200$ MSPS

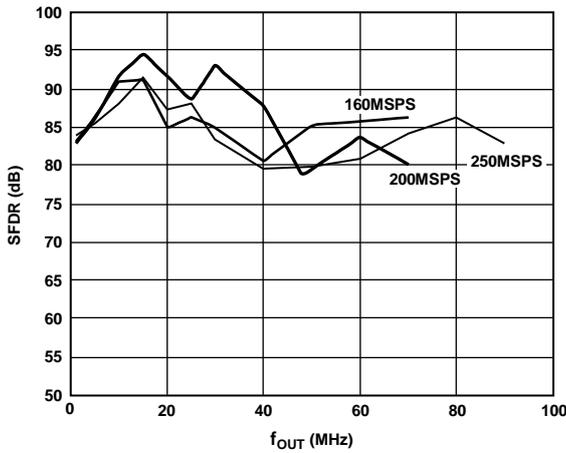


図 13. AD9787 帯域内 SFDR 対 f_{OUT}
 2x インターポレーション

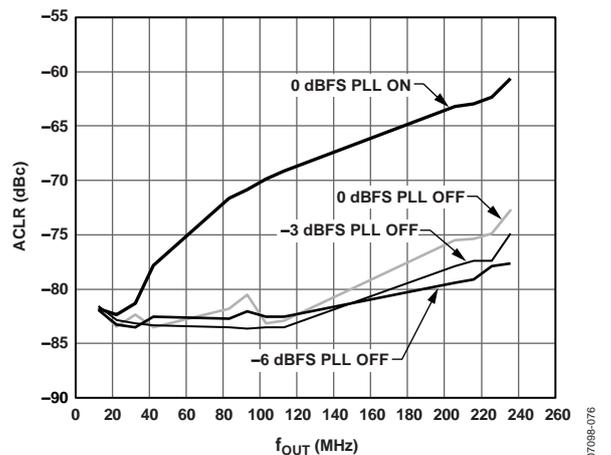


図 16. 最初の隣接帯域 WCDMA に対する AD9788 の ACLR
 4x インターポレーション、 $f_{DATA} = 122.88$ MSPS
 NCO はベースバンド信号から IF へ変換

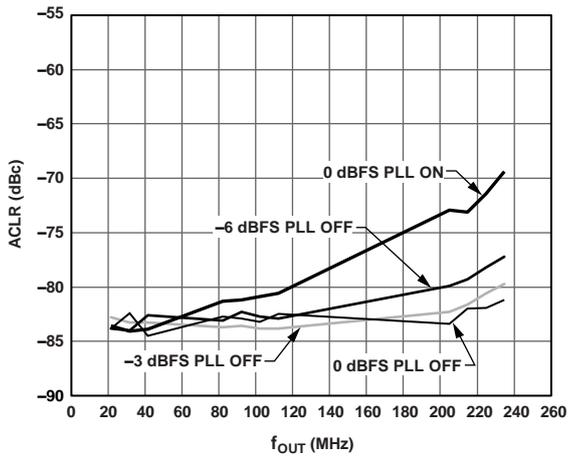


図 17.2 番目の隣接帯域 WCDMA に対する AD9788 の ACLR
4x インターポレーション、 $f_{DATA} = 122.88$ MSPS
NCO はベースバンド信号から IF へ変換

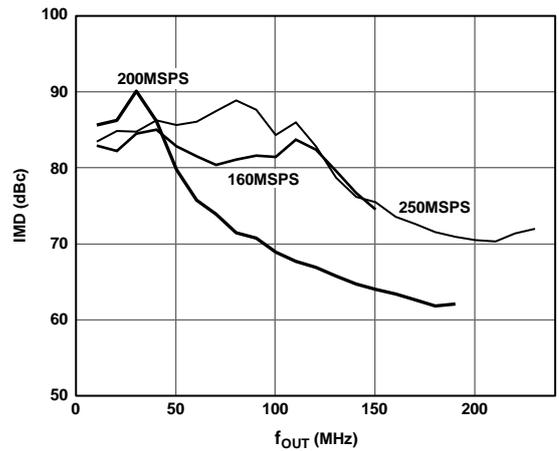


図 20. AD9788 IMD 対 f_{OUT}
2x インターポレーション

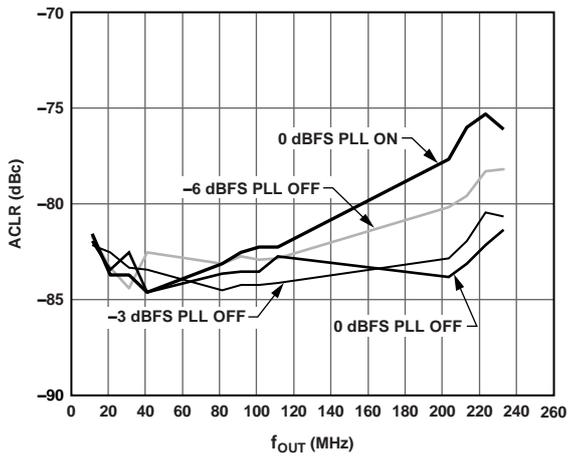


図 18.3 番目の隣接帯域 WCDMA に対する AD9788 の ACLR
4x インターポレーション、 $f_{DATA} = 122.88$ MSPS
NCO はベースバンド信号から IF へ変換

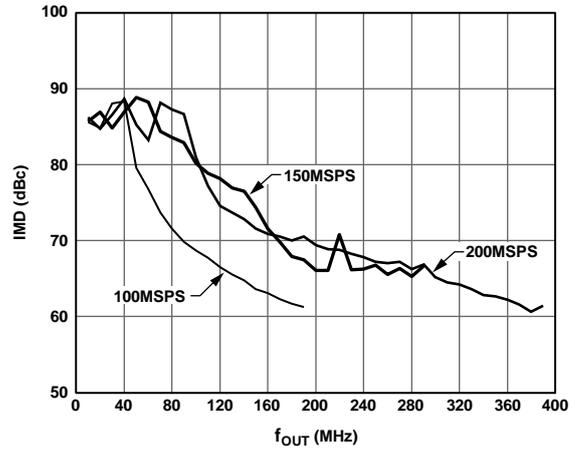


図 21. AD9788 IMD 対 f_{OUT}
4x インターポレーション

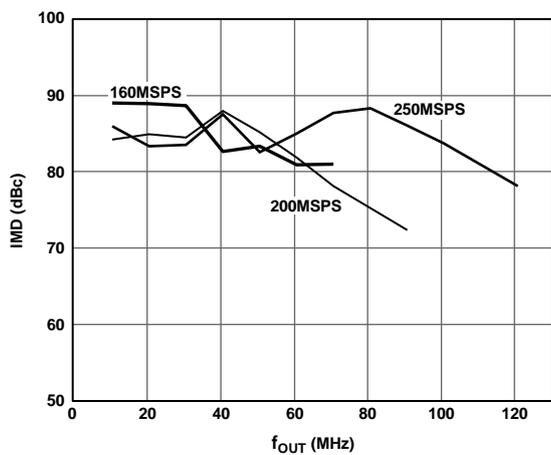


図 19. AD9788 IMD 対 f_{OUT}
1x インターポレーション

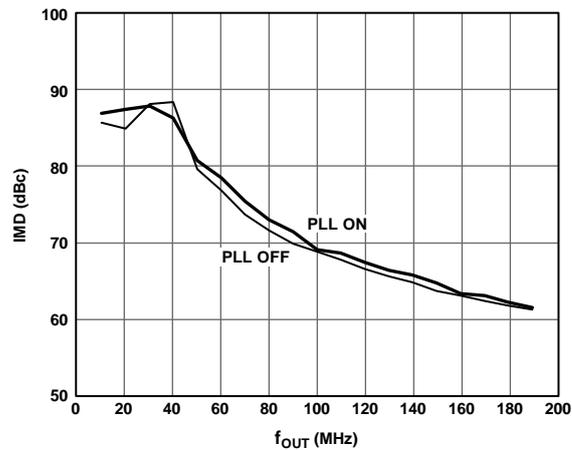


図 22. AD9788 IMD 対 f_{OUT}
8x インターポレーション、 $f_{DATA} = 100$ MSPS、
PLL On/PLL Off

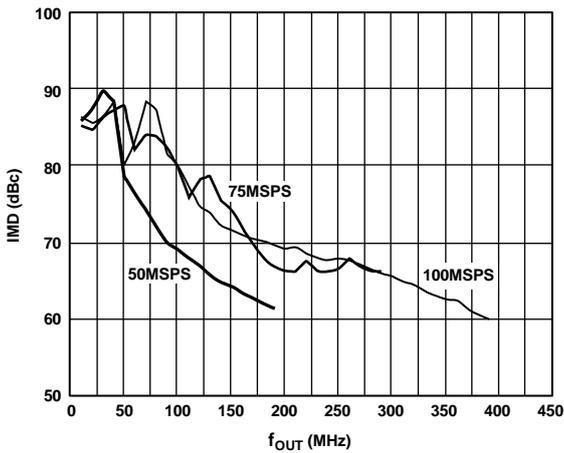


図 23.AD9788 IMD 対 f_{OUT}
8xインターポレーション

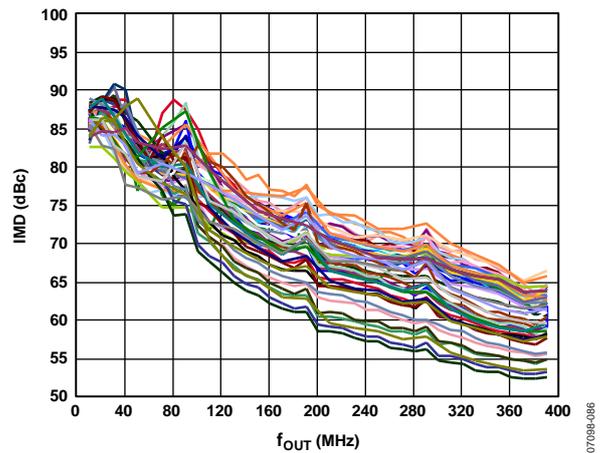


図 26.デバイス 50 個についての AD9788 IMD 対 f_{OUT}
4xインターポレーション
 $f_{DATA} = 200$ MSPS

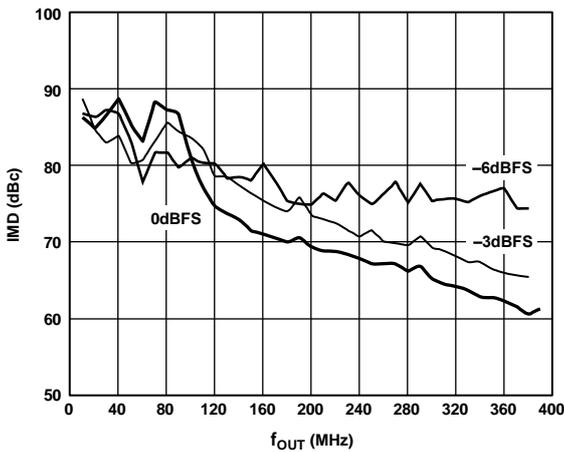


図 24.AD9788 IMD 性能対デジタル・フル・スケール入力
4xインターポレーション、 $f_{DATA} = 200$ MSPS

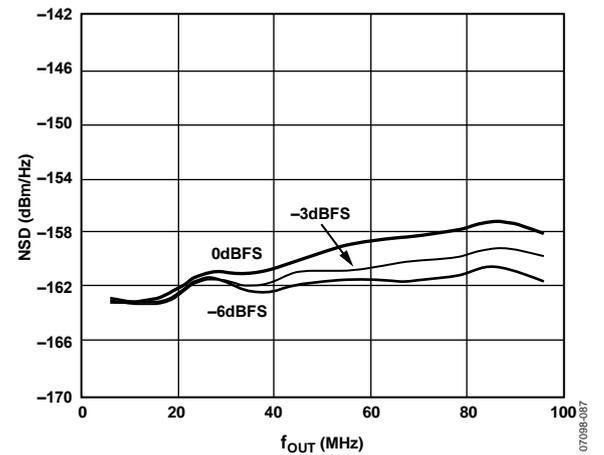


図 27.AD9788 ノイズ・スペクトル密度対
デジタル・フル・スケール・シングル・トーン入力
 $f_{DATA} = 200$ MSPS、2xインターポレーション

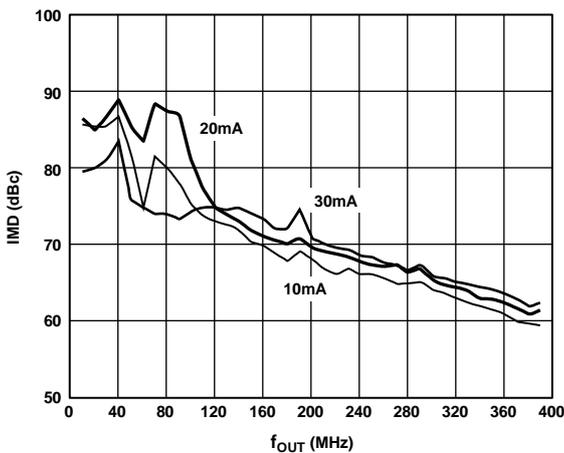


図 25.AD9788 IMD 性能対フル・スケール出力電流
4xインターポレーション、 $f_{DATA} = 200$ MSPS

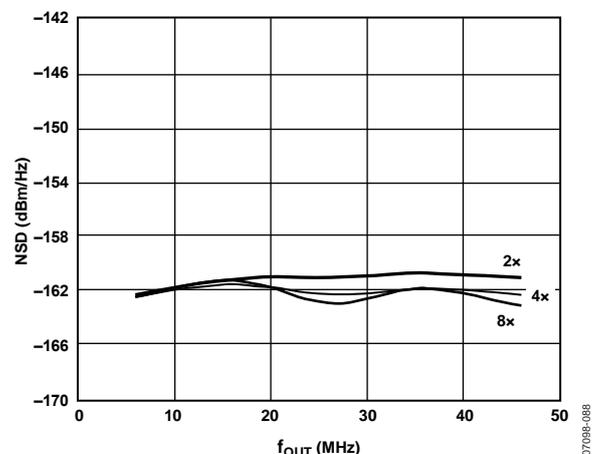


図 28.AD9788 ノイズ・スペクトル密度対 f_{OUT}
マルチトーン入力、 $f_{DATA} = 100$ MSPS

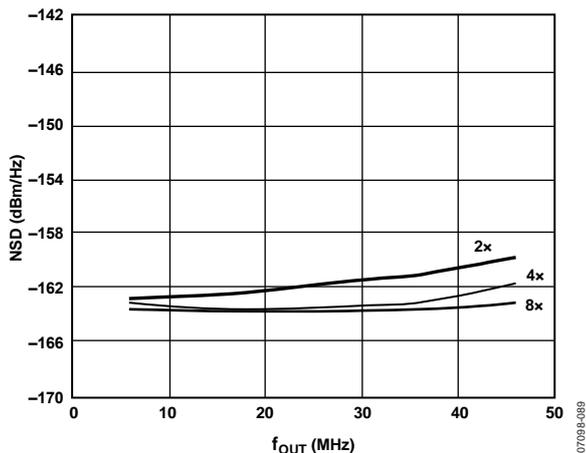


図 29.AD9788 ノイズ・スペクトル密度対 f_{OUT}
シングル・トーン入力、 $f_{DATA} = 100$ MSPS

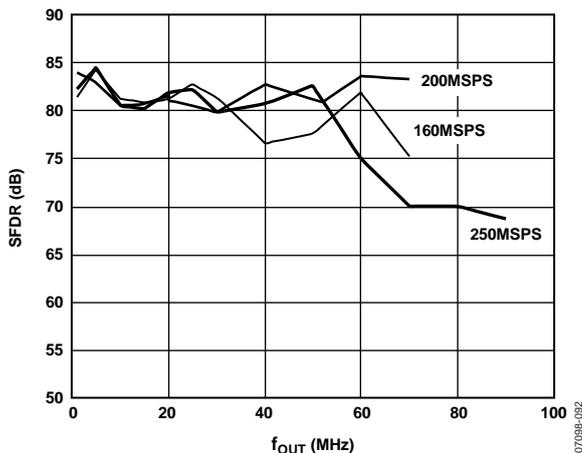


図 32.AD9788 帯域内 SFDR 対 f_{OUT}
1xインターポレーション

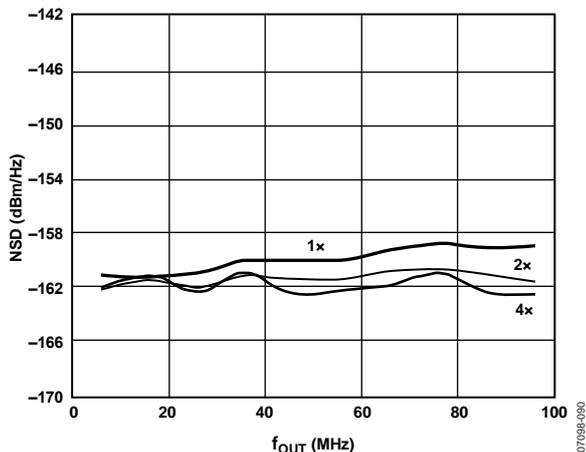


図 30.AD9788 ノイズ・スペクトル密度対 f_{DAC}
8 トーン入力、500 kHz 間隔、 $f_{DATA} = 200$ MSPS

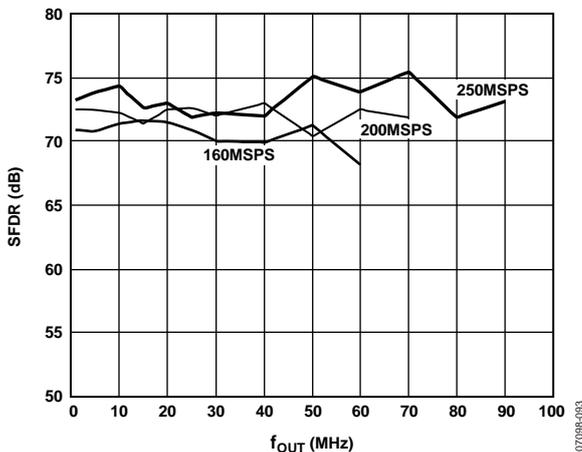


図 33.AD9788 帯域外 SFDR 対 f_{OUT}
2xインターポレーション

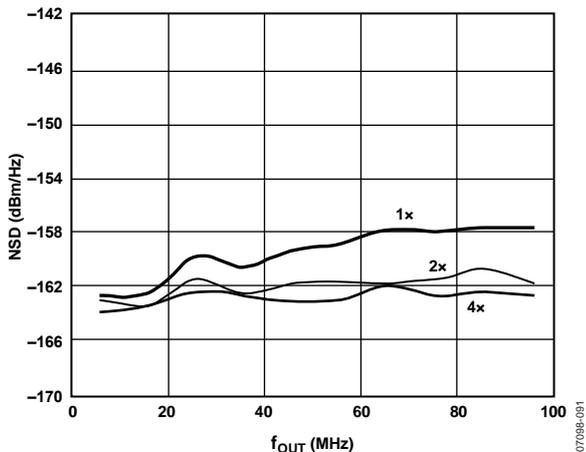


図 31.AD9788 ノイズ・スペクトル密度対 f_{DAC}
-6 dB のフル・スケール・シングル・トーン入力
 $f_{DATA} = 200$ MSPS

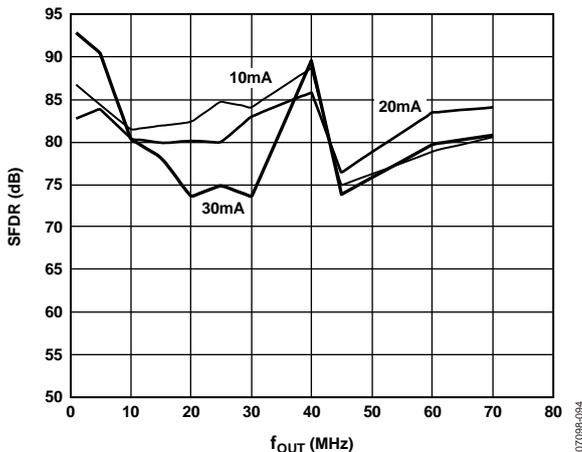


図 34.AD9788 帯域内 SFDR 対フル・スケール出力電流
2xインターポレーション
 $f_{DATA} = 200$ MSPS

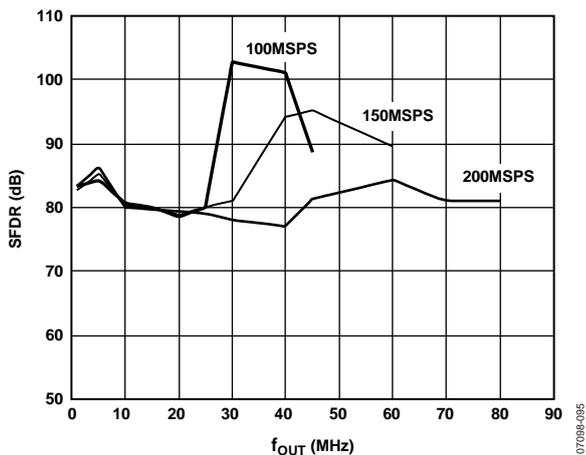


図 35.AD9788 帯域内 SFDR 対 f_{OUT}
4xインターポレーション

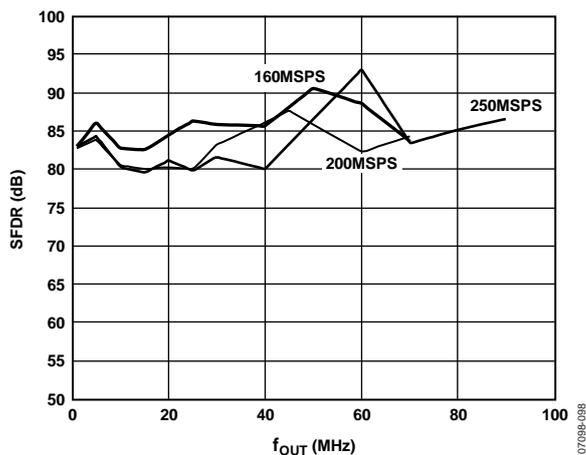


図 38.AD9788 帯域内 SFDR 対 f_{OUT}
2xインターポレーション

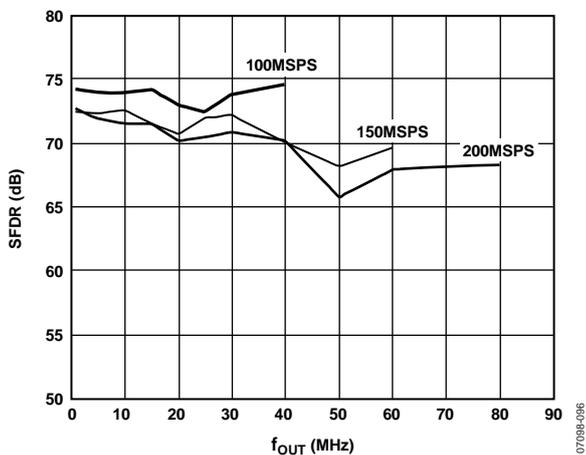


図 36.AD9788 帯域外 SFDR 対 f_{OUT}
4xインターポレーション

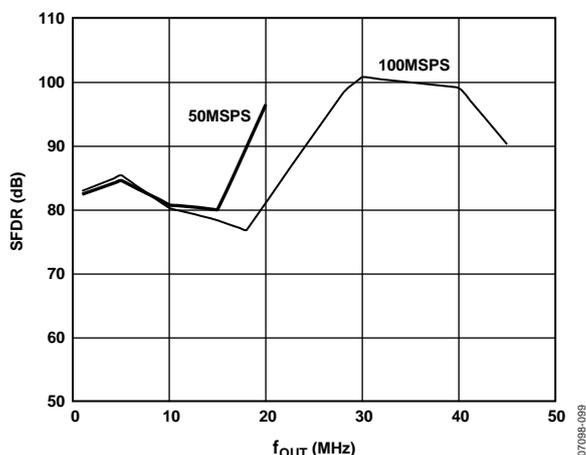


図 39.AD9788 帯域内 SFDR 対 f_{OUT}
8xインターポレーション

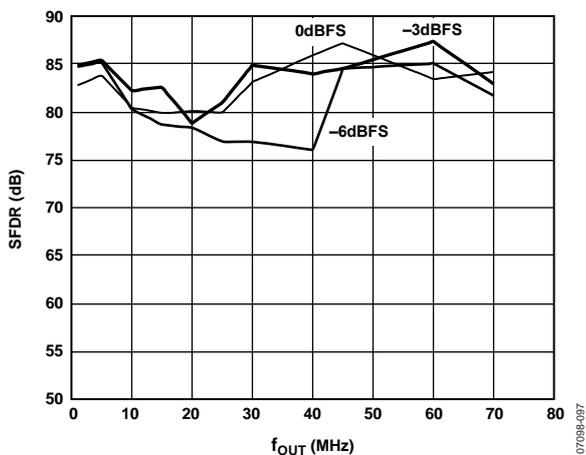


図 37.AD9788 帯域内 SFDR 対デジタル・フル・スケール入力
2xインターポレーション、 $f_{DATA} = 200$ MSPS

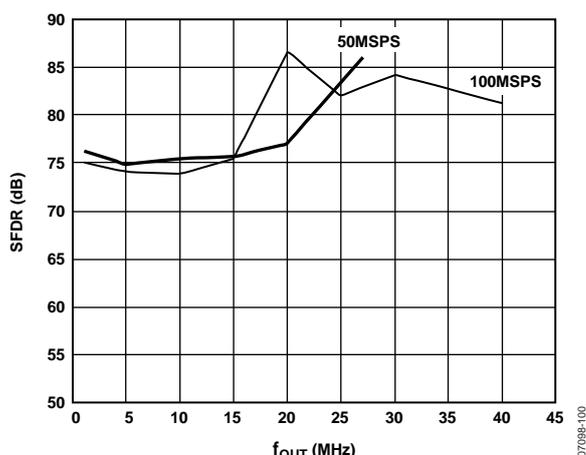


図 40.AD9788 帯域外 SFDR 対 f_{OUT}
8xインターポレーション

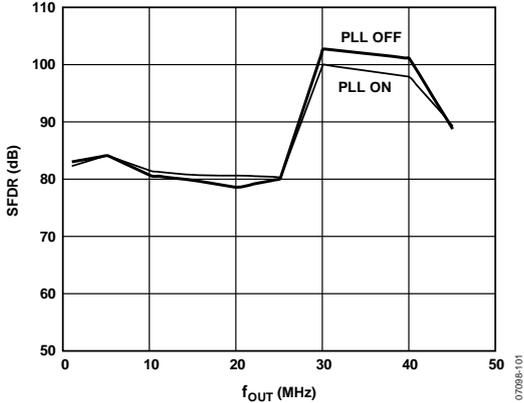


図 41.AD9788 帯域内 SFDR 対 f_{OUT}
4xインターポレーション
f_{DATA} = 100 MSPS
PLL On/PLL Off

07098-101

用語

積分非直線性(INL)

INL は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

入力が増加したとき、出力が増加するか不変である場合に、DAC は単調であるといえます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。I_{OUTA} に対しては、全入力ビットが 0 の場合に 0 mA 出力が期待されます。I_{OUTB} に対しては、全入力ビットが 1 の場合に 0 mA 出力が期待されます。

ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から全入力ビットが 0 に設定されたときの出力を減算したときの差として定義されます。

出カコンプライアンス・レンジ

出カコンプライアンス・レンジとは、電流出力 DAC の出力での許容電圧範囲を意味します。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(+25°C)での値から T_{MIN} または T_{MAX} での値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフル・スケール範囲(FSR)に対する ppm 値で表されます。リファレンス電圧ドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

電源除去比(PSR)

電源が最小規定電圧値から最大規定電圧値へ変化したときのフル・スケール出力の最大変化をいいます。

セトリング・タイム

出力が最終値の規定誤差範囲内に入るまでに要する時間で、出力変化の開始から測定します。

SFDR (スプリアス・フリー・ダイナミック・レンジ)

出力信号のピーク振幅値と規定帯域内の最大スプリアス信号のピーク振幅値との差をいい、dB 値で表します。帯域外 SFDR の場合、周波数帯域は 0~DAC サンプル・レート×1/2 です。帯域内 SFDR の場合、周波数帯域は 0 ~入力データ・レート×1/2 です。

総合高調波歪み(THD)

THD は、基本波測定値(rms 値)と最初の 6 種類の高調波成分の rms 値の和との比をいい、パーセント値またはデシベル値(dB)で表されます。

ノイズ・スペクトル密度(NSD)

1 Hz 帯域幅で測定されたアナログ出力のノイズ電力。

インターポレーション・フィルタ

DAC へのデジタル入力を f_{DATA} (インターポレーション・レート)の倍数でサンプルすると、f_{DATA}/2 付近で急峻な変化帯域を持つデジタル・フィルタが構成されます。f_{DAC} (出力データ・レート)の付近に発生するイメージを大幅に減衰させることができます。

隣接チャンネル・リーク比(ACLR)

チャンネル内とその隣接チャンネル内の電力測定値間の比を dBc で表した値。

複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2 次 IF 周波数の周辺に 2 個のイメージが発生します。これらのイメージは、送信電力とシステム帯域幅を浪費させる効果を持っています。2 番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2 次 IF 周辺の上側または下側の周波数イメージを除去することができます。

Sinc

Sinc は数学関数です。

$$\text{sinc}(x) = \sin(x)/x$$

この関数は、デジタル信号処理で便利なツールです。ここでは正規化した sinc 関数を使い、次のように定義します。

$$\text{sinc}(x) = \sin(\pi \times x)/(\pi \times x)$$

動作原理

AD9785/AD9787/AD9788 デバイスでは、有線と無線の通信システムで使用する DAC にとって便利な多くの機能を内蔵しています。デュアル・デジタル信号パスとデュアル DAC 構造の採用により、シングル・サイドバンド・トランスミッタをデザインする際に広く採用されている直交変調器に対するインターフェースが容易になります。AD9785/AD9787/AD9788 の速度と性能により、これまでの DAC に比べて広い帯域幅と多くのキャリア数を合成することができます。さらに、これらのデバイスには周波数配置を大幅に簡素化する技術革新的な低消費電力 32 ビット複素型 NCO が内蔵されています。

AD9785/AD9787/AD9788 は、着信データとの容易な同期、複数のデバイス間での容易な同期、さらに複数のデバイス上にある各 NCO との位相同期を可能にする機能を提供します。また、出力 DC オフセット補償(SSB トランスミッタでの LO 補償)とゲイン・マッチング(SSB トランスミッタでのイメージ除去の最適化)に使える補助 DAC も内蔵しています。その他の技術革新的な内蔵機能としては、デジタル的に設定可能な出力位相補償などがあります。この機能は SSB (シングル・サイドバンド)トランスミッタでのイメージ相殺能力を強化します。

シリアル・ポート・インターフェース

AD9785/AD9787/AD9788 のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイ

クロコントローラやマイクロプロセッサとのインターフェースを容易に行うことができます。このシリアル I/O は、Motorola® 6905/11 SPI プロトコルや Intel® 8051 SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。

このインターフェースを使うと、AD9785/AD9787/AD9788 の内部パラメータを設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストと LSB ファーストの転送フォーマットをサポートしています。さらに、シリアル・インターフェース・ポートは、シングル・ピン I/O (SDIO)として構成することもできます。この構成を使うと、3 線式インターフェースが可能になります。あるいは入力/出力 (SDIO/SDO)として 2 本の単方向ピンを使うことができます(これにより 4 線式インターフェースが可能になります)。オプションの SPI_CSB (チップ・セレクト)ピンを使うと、1 本のバスに複数のデバイスを接続することができます。

AD9785/AD9787/AD9788 では、命令バイトでリード/ライト動作とレジスタ・アドレスを指定します。AD9785/AD9787/AD9788 のシリアル動作は、命令バイト内のバイト・アドレス・スペースが不足しているため、バイト・レベルではなくレジスタ・レベルでのみ行われます。

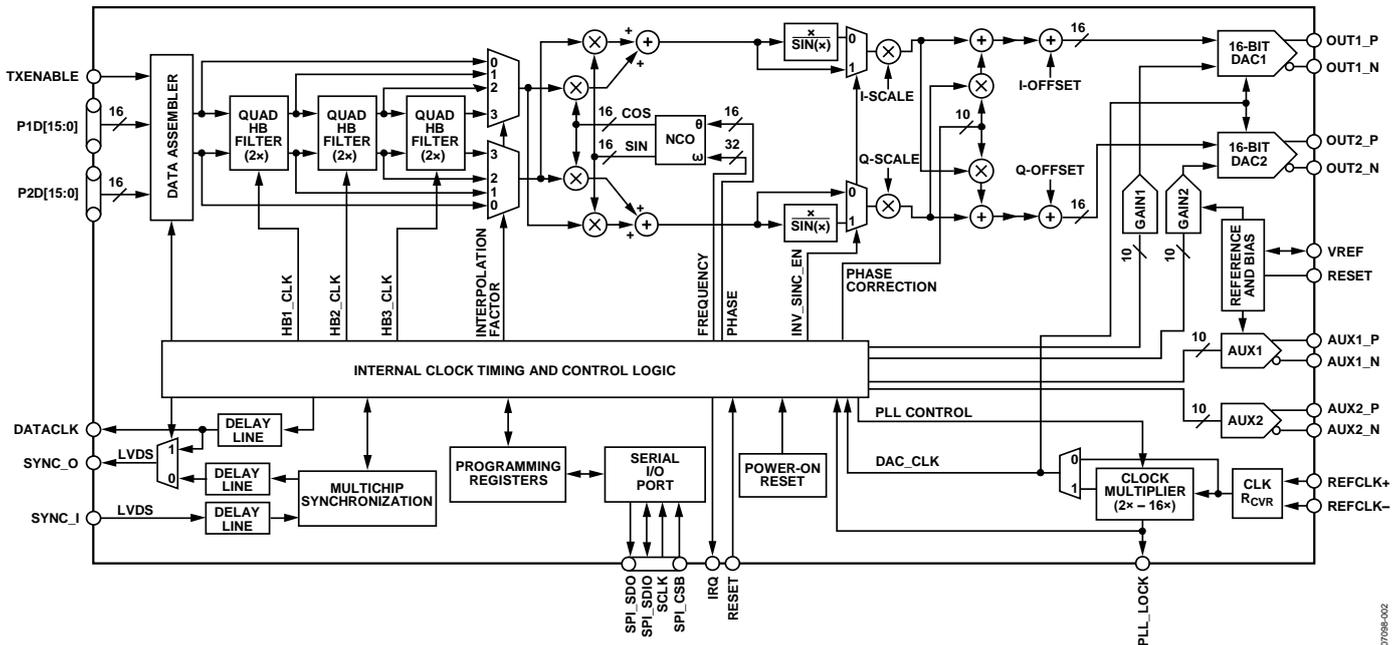


図 42.機能ブロック図

AD9785/AD9787/AD9788 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は、AD9785/ AD9787/AD9788 へ命令バイトを書き込む命令サイクルであり、SCLK の最初の 8 個の立ち上がりエッジに該当します。命令バイトは AD9785/AD9787/AD9788 シリアル・ポート・コントローラにデータ転送サイクルに関する情報を提供します。このデータ転送サイクルが通信サイクルのフェーズ 2 になります。この命令バイトは、次に実行されるデータ転送の識別(読み出し/書き込み)とアクセス対象レジスタのシリアル・アドレスを指定します。

各通信サイクルでは、SCLK の最初の 8 個の立ち上がりエッジを使って、命令バイトを AD9785/AD9787/ AD9788 に書き込みます。残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、AD9785/AD9787/AD9788 とシステム・コントローラとの間で実際にデータが転送されます。通信サイクルのフェーズ 2 で転送されるバイト数は、アクセスされるレジスタによって決まります。

たとえば、周波数チューニング・ワード(FTW)レジスタ(4 バイト幅)をアクセスするときは、フェーズ 2 では 4 バイトの転送が必要です。振幅スケール・ファクタ(ASF)レジスタ(3 バイト幅)をアクセスするときは、フェーズ 2 では 3 バイトの転送が必要です。命令バイトのすべてのデータ・バイトを転送すると、通信サイクルが完了します。

通信サイクルが完了すると、AD9785/ AD9787/AD9788 シリアル・ポート・コントローラは、次の通信サイクルの命令バイトとなる SCLK の次の 8 個の立ち上がりエッジを待ちます。

すべての入力データは、SCLK の立ち上がりエッジでレジスタに入力されます。すべてのデータは、SCLK の立ち下がりエッジで AD9785/AD9787/AD9788 から出力されます。

図 43 ~ 図 46 に、AD9785/AD9787/AD9788 シリアル・ポートの全体的な動作を示します。

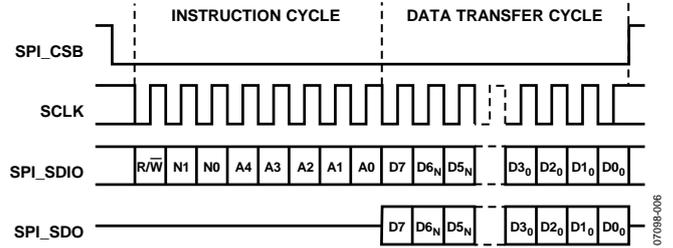


図 43. シリアル・レジスタ・インターフェース・タイミング、MSB ファースト

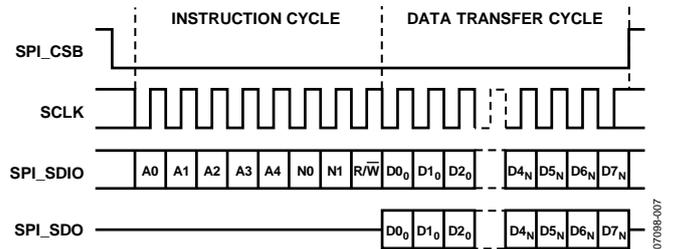


図 44. シリアル・レジスタ・インターフェース・タイミング、LSB ファースト

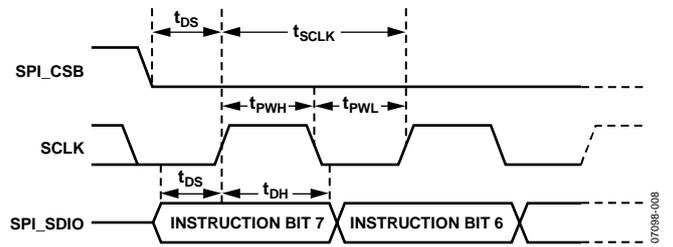


図 45. SPI レジスタ書き込みタイミング

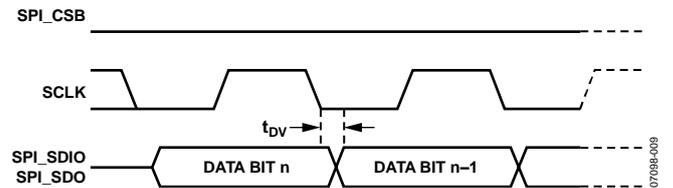


図 46. SPI レジスタ読み出しタイミング、命令バイト

命令バイト

命令バイトは次に示す情報から構成されています。

命令バイト情報ビット・マップ

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
R/W	X	X	A4	A3	A2	A1	A0

R/W—命令バイトのビット 7 は、命令バイト書き込みの後に、読み出しましたは書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。

X, X—命令バイトのビット 6 とビット 5 は don't care です。AD9779 などのこれまでの TxDAC では、これらのビットが SPI リード/ライト動作で書き込み/読み出し対象となるレジスタ数を指定していました。AD9785/AD9787/AD9788 では、レジスタ自体が読み書きするバイト数を決めるようになりました。

A4, A3, A2, A1, A0—命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。

シリアル・インタフェース・ポート・ピンの説明

SCLK—シリアル・クロック

シリアル・クロック・ピンは、AD9785/AD9787/AD9788 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。SCLK の最大周波数は 40 MHz です。

SPI_CSB—チップ・セレクト

同じシリアル通信ラインに複数のデバイスを接続できるようにするアクティブ・ローの入力。SPI_SDO ピンと SPI_SDIO ピンは、この入力がハイ・レベルのとき高インピーダンス状態になります。通信サイクル中にこの信号をハイ・レベルにすると、SPI_CSB が再度ロー・レベルになるまでそのサイクルが停止されます。SCLK の制御権を常に持つシステムでは、チップ・セレクトをロー・レベルに固定しておくことができます。

SPI_SDIO—シリアル・データ I/O

このピンを使って常にデータが AD9785/AD9787/AD9788 に書き込まれます。ただし、このピンは双方向データ・ラインとして使うこともできます。このピンの構成は、レジスタ 0x00 のビット 7 により制御されます。デフォルトではロジック 0 に設定され、SPI_SDIO ピンは双方向として構成されます。

SPI_SDO—シリアル・データ出力

データの送信と受信に別々のラインを使用するプロトコルでは、このピンからデータが読み出されます。

AD9785/AD9787/AD9788 がシングル双方向 I/O モードで動作する場合、このピンはデータを出力せず、高インピーダンス状態に設定されます。

MSB/LSB の転送

AD9785/AD9787/AD978 シリアル・ポートでは、MSB ファーストまたは LSB ファーストのデータ・フォーマットをサポートすることができます。この機能は、通信(COMM)レジスタのビット 6 により制御されます。COMM レジスタのビット 6 のデフォルト値はロー・レベルです(MSB ファースト)。COMM レジスタのビット 6 がハイ・レベルに設定されると、シリアル・ポートは LSB ファーストのフォーマットになります。命令バイトは、COMM レジスタのビット 6 で指定されたフォーマットで書き込む必要があります。すなわち、デバイスが LSB ファースト・モードの場合、命令バイトは最下位ビットから最上位ビットへの順に書き込む必要があります。

MSB ファースト動作の場合、シリアル・ポート・コントローラは指定されたレジスタの最上位バイト・アドレスを先に生成し、この後に下位バイト・アドレスの生成を I/O 動作が完了するまで続けます。AD9785/AD9787/AD9788 に対するすべての読み書きデータは MSB ファーストである必要があります。

LSB モードの場合、シリアル・ポート・コントローラは最下位バイト・アドレスを先に生成し、これに続いて上位バイト・アドレスの生成を I/O 動作が完了するまで続けます。AD9785/AD9787/AD9788 に対するすべての読み書きデータは LSB ファーストである必要があります。

SPI 再同期機能

SPI ポートの同期が外れた場合には、SPI_CSB をハイ・レベルにして SCLK を 8 回以上トグルさせると、SPI ポートのステート・マシンがリセットされます。これにより、デバイスは次のレジスタ読み出しましたは書き込みアクセスが可能になります。

SPIレジスタ・マップ

AD9785/AD9787/AD9788 は 32 ビット・デバイスです。表 9 の 4~11 列目は 8 ビットのセットを表しています(先頭は MSB で、終わりが LSB)。説明されている実際のビット位置については Bit Range の列を参照してください。

表 9.

Address	Register Name	Bit Range	MSB	MSB - 1	MSB - 2	MSB - 3	MSB - 4	MSB - 5	MSB - 6	LSB	Default	
0x00	Comm. (COMM) Register	[7:0]	SPI_SDIO bidirectional (active high, 3-wire)	LSB first	Software reset	Power-down mode	Auto power-down enable	I/O transfer (self-reset)	Automatic I/O transfer enable	Open	0x02	
0x01	Digital Control Register	[7:0]	Interpolation Factor [1:0]			Data format	Single-port mode	Real mode	IQ select invert	Q first	Modulator gain control	0x00
		[15:8]	Reserved	Clear phase accumulator	PN code sync enable	Sync mode select	Pulse sync enable	Spectral inversion	Inverse sinc enable	DATACLK output enable		0x31
0x02	Data Sync Control Register	[7:0]	Data Timing Margin [0]	LVDS data clock enable	DATACLK invert	DATACLK delay enable	Data timing mode	Set low	Data sync polarity	Reserved	0x00	
		[15:8]	DATACLK Delay [4:0]					Data Timing Margin [3:1]			0x00	
0x03	Multichip Sync Control Register	[7:0]	Clock State [3:0]				Sync Timing Margin [3:0]				0x00	
		[15:8]	SYNC_O Delay [4:0]					Set high	SYNC_O polarity	Sync loopback enable	0x00	
		[23:16]	SYNC_I Delay [4:0]					Sync error check mode	Set low	DATACLK input	0x00	
		[31:24]	Correlate Threshold [4:0]					SYNC_I enable	SYNC_O enable	Set low	0x80	
0x04	PLL Control Register	[7:0]	PLL Band Select [5:0]						PLL VCO Drive [1:0]		0xCF	
		[15:8]	PLL enable	PLL VCO Divisor [1:0]		PLL Loop Divisor [1:0]		PLL Bias [2:0]			0x37	
		[23:16]	VCO Control Voltage [2:0]			PLL Loop Bandwidth [4:0]					0x38	
0x05	I DAC Control Register	[7:0]	I DAC Gain Adjustment [7:0]								0xF9	
		[15:8]	I DAC sleep	I DAC power-down	Reserved				I DAC Gain Adjustment [9:8]		0x01	
0x06	Auxiliary DAC 1 Control Register	[7:0]	Auxiliary DAC 1 Data [7:0]								0x00	
		[15:8]	Auxiliary DAC 1 sign	Auxiliary DAC 1 current direction	Auxiliary DAC 1 power-down	Reserved			Auxiliary DAC 1 Data [9:8]		0x00	
0x07	Q DAC Control Register	[7:0]	Q DAC Gain Adjustment [7:0]								0xF9	
		[15:8]	Q DAC sleep	Q DAC power-down	Reserved				Q DAC Gain Adjustment [9:8]		0x01	
0x08	Auxiliary DAC 2 Control Register	[7:0]	Auxiliary DAC 2 Data [7:0]								0x00	
		[15:8]	Auxiliary DAC 2 sign	Auxiliary DAC 2 current direction	Auxiliary DAC 2 power-down	Reserved			Auxiliary DAC 2 Data [9:8]		0x00	
0x09	Interrupt Control Register	[7:0]	Data timing error IRQ	Sync timing error IRQ	Data timing error type	Sync timing error type	PLL lock indicator	Reserved	Data port IRQ enable	Sync port IRQ enable	0x00	
		[15:8]	Reserved				Clear lock indicator (self-reset)	Sync lock lost status	Sync lock status	Reserved		0x00
0x0A	Frequency Tuning	[31:0]	Frequency Tuning Word [31:0]								0x00	

Address	Register Name	Bit Range	MSB	MSB - 1	MSB - 2	MSB - 3	MSB - 4	MSB - 5	MSB - 6	LSB	Default
	Word Register										
0x0B	Phase Control Register	[15:0]	NCO Phase Offset Word [15:0]								0x00
		[23:16]	Phase Correction Word [7:0]								0x00
		[31:24]	Reserved						Phase Correction Word [9:8]		0x00
0x0C	Amplitude Scale Factor Register	[7:0]	I DAC Amplitude Scale Factor [7:0]								0x80
		[15:8]	Q DAC Amplitude Scale Factor [6:0]						I DAC Amplitude Scale Factor [8]		0x00
		[23:16]	Reserved						Q DAC Amplitude Scale Factor [8:7]		0x01
0x0D	Output Offset Register	[15:0]	I DAC Offset [15:0]								0x00
		[31:16]	Q DAC Offset [15:0]								0x00
0x0E ¹	Version Register	[7:0]	Version ID								
		[15:8]	Reserved								
0x1D	RAM	[31:0]	RAM								
0x1E	Test Register	[31:0]	Test								

¹ アドレス 0x0E とアドレス 0x1D の間のアドレス空間は意図的にオープンにしています。

SPI レジスタの説明

通信(COMM)レジスタは、アドレス 0x00 にある 1 バイトで構成されています。

表 10.通信(COMM)レジスタ

Address	Bit	Name	Description
0x00	[7]	SPI_SDIO bidirectional	0: Default. Use the SPI_SDIO pin for input data only, 4-wire serial mode. 1: Use SPI_SDIO as a read/write pin, 3-wire serial mode.
	[6]	LSB first	0: Default. MSB first format is active. 1: Serial interface accepts serial data in LSB first format.
	[5]	Software reset	0: Default. Bit is in the inactive state. 1: In the AD9785/AD9787/AD9788, all programmable bits return to their power-up state except for the COMM register bits, which are unaffected by the software reset. The software reset remains in effect until this bit is set to 0 (inactive state).
	[4]	Power-down mode	0: Default. The full chip power-down is not active. 1: The AD9785/AD9787/AD9788 enter a power-down mode in which all functions are powered down. This power-down puts the part into its lowest possible power dissipation state. The part remains in this low power state until the user sets this bit to a Logic 0. The analog circuitry requires 250 ms to become operational.
	[3]	Auto power-down enable	0: Default. Inactive state, automatic power-down feature is not enabled. 1: The device automatically switches into its low power mode whenever TXENABLE is deasserted for a sufficiently long period of time.
	[2]	I/O transfer (self-reset)	0: Default. Inactive state. 1: The contents of the frequency tuning word memory buffer, phase control memory buffer, amplitude scale factor memory buffer, and the output offset memory buffer are moved to a memory location that affects operation of the device. The one-word memory buffer is employed to simultaneously update the NCO frequency, phase, amplitude, and offset control. Note that this bit automatically clears itself after the I/O transfer occurs. For this reason, unless the reference clock is stopped, it is difficult to read back a Logic 1 on this bit.
	[1]	Automatic I/O transfer enable	0: Automatic I/O transfer disabled. The I/O transfer bit (Bit 2) must be set to update the device in the event that changes have been made to Register 0x0A, Register 0x0B, Register 0x0C, or Register 0x0D. This allows the user to change important operating modes of the device all at once, rather than one at a time with individual SPI writes. 1: Default. Automatic I/O transfer enabled. The device updates its operation immediately when SPI writes are completed to Register 0x0A, Register 0x0B, Register 0x0C, or Register 0x0D.

デジタル・コントロール(DCTL)レジスタは、アドレス 0x01 にある 2 バイトで構成されています。

表 11. デジタル・コントロール(DCTL)レジスタ

Address	Bit	Name	Description
0x01	[15]	Reserved	Reserved for future use.
	[14]	Clear phase accumulator	0: Default. The feature that clears the NCO phase accumulator is inactive. The phase accumulator operates as normal. 1: The NCO phase accumulator is held in the reset state until this bit is cleared.
	[13]	PN code sync enable	0: PN code synchronization mode is disabled. 1: PN code synchronization mode is enabled. See the Device Synchronization section for details.
	[12]	Sync mode select	0: Selects pulse mode synchronization. 1: Selects PN code synchronization. See the Device Synchronization section for details.
	[11]	Pulse sync enable	0: Pulse mode synchronization is disabled. 1: Pulse mode synchronization is enabled. See the Device Synchronization section for details.
	[10]	Spectral inversion	0: The modulator outputs high-side image. 1: The modulator outputs low-side image. The image is spectrally inverted compared to the input data.
	[9]	Inverse sinc enable	0: Default. The inverse sinc filter is bypassed. 1: The inverse sinc filter is enabled and operational.
	[8]	DATACLK output enable	0: Data clock pin is disabled. 1: Default. The output data clock pin is active (configured as an output).
	[7:6]	Interpolation Factor [1:0]	Specifies the filter interpolation rate where: 00: 1× interpolation 01: 2× interpolation 10: 4× interpolation 11: 8× interpolation
	[5]	Data format	0: Default. The incoming data is expected to be twos complement. 1: The incoming data is expected to be offset binary.
	[4]	Single-port mode	0: Default. When the single-port bit is cleared, I/Q data is sampled simultaneously on the P1D and P2D input ports. Specifically, I data is registered from the P1D[15:0] pins and Q data is registered from the P2D[15:0] pins. 1: When the single-port bit is set, I/Q data is sampled in a serial word fashion on the P1D input port. In this mode, the I/Q data is sampled into the part at twice the I/Q sample rate.
	[3]	Real mode	0: Default. Logic 0 is the inactive state for this bit. 1: When the real mode bit is set, the Q path logic after modulation and phase compensation is disabled.
	[2]	IQ select invert	0: Default. When the IQ Select Invert bit is cleared, a Logic 1 on the TXENABLE pin indicates I data, and a Logic 0 on the TXENABLE pin indicates Q data, if the user is employing a continuous timing style on the TXENABLE pin. 1: When the IQ Select Invert bit is set, a Logic 1 on the TXENABLE pin indicates Q data, and a Logic 0 on the TXENABLE pin indicates I data, if the user is employing a continuous timing style on the TXENABLE pin.
[1]	Q first (data pairing)	0: Default. When the Q first bit is cleared, the I/Q data pairing is nominal, that is, the I data precedes the Q data in the assembly of the I/Q data pair. As such, data input to the device as I0, Q0, I1, Q1 . . . In, Qn is paired as follows: (I0/Q0), (I1/Q1) . . . (In/Qn). 1: When the Q first bit is set, the I/Q data pairing is altered such that the I data is paired with the previous Q data. As such, data input to the device as I0, Q0, I1, Q1, I2, Q2, I3, Q3 . . . In, Qn is paired as follows: (I1/Q0), (I2/Q1), (I3/Q2) . . . (In + 1/Qn).	
[0]	Modulator gain control	0: Default. No gain scaling is applied to the NCO input to the internal digital modulator. 1: Gain scaling of 0.5 is applied to the NCO input to the modulator. This can eliminate saturation of the modulator output for some combinations of data inputs and NCO signals.	

データ同期コントロール・レジスタ(DSCR)は、アドレス 0x02 にある 2 バイトで構成されています。

表 12. データ同期コントロール・レジスタ(DSCR)

Address	Bit	Name	Description
0x02	[15:11]	DATACLK Delay [4:0]	Controls the amount of delay applied to the output data clock signal. The minimum delay corresponds to the 00000 state, and the maximum delay corresponds to the 11111 state. The minimum delay is 0.7 ns and the maximum delay is 6.5 ns. The incremental delay is 190 ps and corresponds to an incremental change in the data clock delay bits.
	[10:7]	Data Timing Margin [3:0]	The data timing margin bits control the amount of delay applied to the data and clock signals used for checking setup and hold times, respectively, on the input data ports, with respect to the internal data assembler clock. The minimum delay corresponds to the 0000 state, and the maximum delay corresponds to the 1111 state. The delays are 190 ps.
	[6]	LVDS data clock enable	0: Default. When the LVDS data clock enable bit is cleared, the SYNC_O+ and SYNC_O- LVDS pad cells are driven by the multichip synchronization logic. 1: When the LVDS data clock enable bit is set, the SYNC_O+ and SYNC_O- LVDS pad cells are driven by the signal that drives the CMOS DATACLK output pad.
	[5]	DATACLK invert	0: Default. When the data clock invert bit is cleared, the DATACLK signal is in phase with the clock that samples the data into the part. 1: When the DATACLK invert bit is set, the DATACLK signal is inverted from the clock that samples the data into the part.
	[4]	DATACLK delay enable	0: Default. When the DATACLK delay enable bit is cleared, the data port input synchronization function is effectively inactive and the delay is bypassed. 1: When the DATACLK delay enable bit is set, the data port input synchronization function is active and controlled by the data delay mode bits. The data output clock is routed through the delay cell.
	[3]	Data timing mode	Determines the timing optimization mode. See the Optimizing the Data Input Timing section for details. 0: Manual timing optimization mode 1: Automatic timing optimization mode
	[2]	Set low	This bit should always be set low.
	[1]	Data sync polarity	0: Default. The digital input data sampling edge is aligned with the falling edge of DCI. 1: The digital input data sampling edge is aligned with the rising edge of DCI. Used only in slave mode (see the MSCR register, Address 0x03, Bit 16).
	[0]	Reserved	Reserved for future use.

マルチチップ同期化レジスタ(MSCR)は、アドレス 0x03 にある 4 バイトで構成されています。

表 13. マルチチップ同期レジスタ(MSCR)

Address	Bit	Name	Description
0x03	[31:27]	Correlate Threshold [4:0]	Sets the threshold for determining if the received synchronization data can be demodulated accurately. A smaller threshold value makes the demodulator more noise immune; however, the system becomes more susceptible to false locks (or demodulation errors).
	[26]	SYNC_I enable	0: Default. The synchronization receive logic is disabled. 1: The synchronization receive logic is enabled.
	[25]	SYNC_O enable	0: Default. The output synchronization pulse generation logic is disabled. 1: The output synchronization pulse generation logic is enabled.
	[24]	Set low	This bit should always be set low.
	[23:19]	SYNC_I Delay [4:0]	These bits are the input synchronization pulse delay word. These bits are don't care if the synchronization driver enable bit is cleared.
	[18]	Sync error check mode	Specifies the synchronization pulse error check mode. 0: Manual error check 1: Automatic continuous error check
	[17]	Set low	This bit should always be set low.
	[16]	DATACLK input	0: Default. Slave mode is disabled. 1: Slave mode is enabled. Pin 37 functions as an input for the DATACLK signal, called DCI (DATACLK input) in this mode. Depending on the state of Bit 1 in the DSCR register (Address 0x02), the sampling edge (where the data is latched into the AD9785/AD9787/AD9788) can be programmed to be aligned with either the rising or falling edge of DCI. This mode can only be used with 4× or 8× interpolation.
	[15:11]	SYNC_O Delay [4:0]	These bits are the output synchronization pulse delay word. These bits control the DAC sample rate clock to output the delay time of the synchronization pulse. These bits are don't care if the synchronization driver enable bit is cleared.
	[10]	Set high	This bit should always be set high.
	[9]	SYNC_O polarity	0: Default. SYNC_O changes state on the rising edge of DACCLK. 1: SYNC_O is generated on the falling edge of DACCLK.
	[8]	Sync loopback enable	0: Default. The AD9785/AD9787/AD9788 are not operating in internal loopback mode. 1: If the SYNC_O enable and Sync loopback enable bits are set, the AD9785/AD9787/AD9788 are operating in a mode in which the internal synchronization pulse of the device is used at the multichip receiver logic and the SYNC_I+ and SYNC_I- input pins are ignored. For proper operation of the loopback synchronization mode, the synchronization driver enable and sync enable bits must be set.
	[7:4]	Clock State [3:0]	This value determines the state of the internal clock generation state machine upon synchronization.
	[3:0]	Sync Timing Margin [3:0]	These bits are the synchronization window delay word. These bits are don't care if the synchronization driver enable bit is cleared.

PLL コントロール(PLLCTL)レジスタは、アドレス 0x04 にある 3 バイトで構成されています。これらのビットは、デジタル・ロジックの周辺に直接配線されます。メイン・デジタル・ブロック内でデジタル機能は不要です。

表 14.PLL コントロール(PLLCTL)レジスタ

Address	Bit	Name	Description
0x04	[23:21]	VCO Control Voltage [2:0]	000 to 111, proportional to voltage at VCO, control voltage input (readback only). A value of 011 indicates that the VCO control voltage is centered.
	[20:16]	PLL Loop Bandwidth [4:0]	These bits control the bandwidth of the PLL filter. Increasing the value lowers the loop bandwidth. Set to 01111 for optimal performance.
	[15]	PLL enable	0: Default. With PLL off, the DAC sample clock is sourced directly by the REFCLK input. 1: With PLL on, the DAC clock is synthesized internally from the REFCLK input via the PLL clock multiplier. See the Clock Multiplication section for details.
	[14:13]	PLL VCO Divisor [1:0]	Sets the value of the VCO output divider, which determines the ratio of the VCO output frequency to the DAC sample clock frequency, f_{VCO}/f_{DACCLK} . 00: $f_{VCO}/f_{DACCLK} = 1$ 01: $f_{VCO}/f_{DACCLK} = 2$ 10: $f_{VCO}/f_{DACCLK} = 4$ 11: $f_{VCO}/f_{DACCLK} = 8$
	[12:11]	PLL Loop Divisor [1:0]	Sets the value of the DACCLK divider, which determines the ratio of the DAC sample clock frequency to the REFCLK frequency, f_{DACCLK}/f_{REFCLK} . 00: $f_{DACCLK}/f_{REFCLK} = 2$ 01: $f_{DACCLK}/f_{REFCLK} = 4$ 10: $f_{DACCLK}/f_{REFCLK} = 8$ 11: $f_{DACCLK}/f_{REFCLK} = 16$
	[10:8]	PLL Bias [2:0]	These bits control the VCO bias current. Set to 011 for optimal performance.
	[7:2]	PLL Band Select [5:0]	These bits set the operating frequency of the VCO. For further details, refer to Table 35.
	[1:0]	PLL VCO Drive [1:0]	These bits control the signal strength of the VCO output. Set to 11 for optimal performance.

I DAC コントロール・レジスタは、アドレス 0x05 にある 2 バイトで構成されています。これらのビットは、デジタル・ロジックの周辺に直接配線されます。メイン・デジタル・ブロック内でデジタル機能は不要です。

表 15.I DAC コントロール・レジスタ

Address	Bit	Name	Description
0x05	[15]	I DAC sleep	0: Default. If the I DAC sleep bit is cleared, the I DAC is active. 1: If the I DAC sleep bit is set, the I DAC is inactive and enters a low power state.
	[14]	I DAC power-down	0: Default. If the I DAC power-down bit is cleared, the I DAC is active. 1: If the I DAC power-down bit is set, the I DAC is inactive and enters a low power state.
	[13:10]	Reserved	Reserved for future use.
	[9:0]	I DAC gain adjustment	These bits are the I DAC gain adjustment bits.

補助 DAC 1 コントロール・レジスタは、アドレス 0x06 にある 2 バイトで構成されています。これらのビットは、デジタル・ロジックの周辺に直接配線されます。メイン・デジタル・ブロック内でデジタル機能は不要です。

表 16.補助 DAC 1 コントロール・レジスタ

Address	Bit	Name	Description
0x06	[15]	Auxiliary DAC 1 sign	0: Default. If the Auxiliary DAC 1 sign bit is cleared, the Aux DAC 1 sign is positive. Pin 90 is the active pin. 1: If the Auxiliary DAC 1 sign bit is set, the Aux DAC 1 sign is negative. Pin 89 is the active pin.
	[14]	Auxiliary DAC 1 current direction	0: Default. If the Auxiliary DAC 1 current direction bit is cleared, the Aux DAC 1 sources current. 1: If the Auxiliary DAC 1 current direction bit is set, the Aux DAC 1 sinks current.
	[13]	Auxiliary DAC 1 power-down	0: Default. If the Auxiliary DAC 1 power-down bit is cleared, the Aux DAC 1 is active. 1: If the Auxiliary DAC 1 power-down bit is set, the Aux DAC 1 is inactive and enters a low power state.
	[12:10]	Reserved	Reserved for future use.
	[9:0]	Auxiliary DAC 1 data	These bits are the Auxiliary DAC 1 gain adjustment bits.

Q DAC コントロール・レジスタは、アドレス 0x07 にある 2 バイトで構成されています。これらのビットは、デジタル・ロジックの周辺に直接配線されます。メイン・デジタル・ブロック内でデジタル機能は不要です。

表 17.Q DAC コントロール・レジスタ

Address	Bit	Name	Description
0x07	[15]	Q DAC sleep	0: Default. If the Q DAC sleep bit is cleared, the Q DAC is active. 1: If the Q DAC sleep bit is set, the Q DAC is inactive and enters a low power state.
	[14]	Q DAC power-down	0: Default. If the Q DAC power-down bit is cleared, the Q DAC is active. 1: If the Q DAC power-down bit is set, the Q DAC is inactive and enters a low power state.
	[13:10]	Reserved	Reserved for future use.
	[9:0]	Q DAC gain adjustment	These bits are the Q DAC gain adjustment bits.

補助 DAC 2 コントロール・レジスタは、アドレス 0x08 にある 2 バイトで構成されています。これらのビットは、デジタル・ロジックの周辺に直接配線されます。メイン・デジタル・ブロック内でデジタル機能は不要です。

表 18.補助 DAC 2 コントロール・レジスタ

Address	Bit	Name	Description
0x08	[15]	Auxiliary DAC 2 sign	0: Default. If the Auxiliary DAC 2 sign bit is cleared, the Aux DAC 2 sign is positive. Pin 86 is the active pin. 1: If the Auxiliary DAC 2 sign bit is set, the Aux DAC 2 sign is negative. Pin 87 is the active pin.
	[14]	Auxiliary DAC 2 current direction	0: Default. If the Auxiliary DAC 2 current direction bit is cleared, the Aux DAC 2 sources current. 1: If the Auxiliary DAC 2 current direction bit is set, the Aux DAC 2 sinks current.
	[13]	Auxiliary DAC 2 power-down	0: Default. If the Auxiliary DAC 2 power-down bit is cleared, the Aux DAC 2 is active. 1: If the Auxiliary DAC 2 power-down bit is set, the Aux DAC 2 is inactive and enters a low power state.
	[12:10]	Reserved	Reserved for future use.
	[9:0]	Auxiliary DAC 2 data	These bits are the Auxiliary DAC 2 gain adjustment bits.

割り込みコントロール・レジスタは、アドレス 0x09 にある 2 バイトで構成されています。ビット[11:10]とビット[7:3]は読み出し専用ビットであり、割り込み要求(IRQ ピンのアクティブ・ロー)を発生するイベントの現在のステータスを表示します。これらのビットは、デジタル・ロジックから制御され、シリアル・ポート経由でのみ読み出されます。ビット[1:0]は IRQ マスク(すなわちイネーブル)ビットであり、ユーザーから読み書き可能です。

表 19.割り込みコントロール・レジスタ

Address	Bit	Name	Description
0x09	[15:13]	Reserved	Reserved for future use.
	[12]	Clear lock indicator	Writing a 1 to this bit clears the sync lock lost status bit. This bit does not automatically reset itself to 0 when the reset is complete.
	[11]	Sync lock lost status	When high, this bit indicates that the device has lost synchronization. This bit is latched and does not reset automatically after the device regains synchronization. To reset this bit to 0, a 1 must be written to the clear lock indicator bit.
	[10]	Sync lock status	When this bit is low, the device is not synchronized. When this bit is high, the device is synchronized.
	[9:8]	Reserved	Reserved for future use.
	[7]	Data timing error IRQ	0: Default. No setup or hold time error has been detected via the input data port setup/hold error checking logic. 1: A setup or hold time error has been detected via the input data port setup/hold error checking logic.
	[6]	Sync timing error IRQ	0: Default. No setup or hold time error has been detected via the multichip synchronization receive pulse setup/hold error checking logic. 1: A setup or hold time error has been detected via the multichip synchronization receive pulse setup/hold error checking logic.
	[5]	Data timing error type	0: Default. A hold error has been detected via the input data port setup/hold error checking logic. This bit is valid only if the data timing error IRQ bit (Bit 7) is set. 1: A setup error has been detected via the input data port setup/hold error checking logic. This bit is valid only if the data timing error IRQ bit (Bit 7) bit is set.
	[4]	Sync timing error type	0: Default. A hold error has been detected via the multichip synchronization receive pulse setup/hold error checking logic. This bit is valid only if the sync timing error IRQ bit (Bit 6) is set. 1: A setup error has been detected via the multichip synchronization receive pulse setup/hold error checking logic. This bit is valid only if the sync timing error IRQ bit (Bit 6) is set.
	[3]	PLL lock indicator	0: Default. The PLL clock multiplier is not locked to the input reference clock. 1: The PLL clock multiplier is locked to the input reference clock.
	[2]	Reserved	Reserved for future use.
	[1]	Data port IRQ enable	0: Default. The data IRQ bit (and the IRQ pin) are not enabled (masked) for any errors that may be detected via the input data port setup/hold error checking logic. 1: The data IRQ bit (and the IRQ pin) are enabled and go active if a setup or hold error is detected via the input data port setup/hold error checking logic.
	[0]	Sync port IRQ enable	0: Default. The sync IRQ bit (and the IRQ pin) are not enabled (masked) for any errors that may be detected via the multichip synchronization receive pulse setup/hold error checking logic. 1: The sync IRQ bit (and the IRQ pin) are enabled and go active if a setup or hold error is detected via the multichip synchronization receive pulse setup/hold error checking logic.

周波数チューニング・ワード(FTW)レジスタは、アドレス 0x0A にある 4 バイトで構成されています。

表 20.周波数チューニング・ワード(FTW)レジスタ

Address	Bit	Name	Description
0x0A	[31:0]	Frequency Tuning Word [31:0]	These bits make up the frequency tuning word applied to the NCO phase accumulator. See the Numerically Controlled Oscillator section for details.

位相コントロール・レジスタ(PCR)は、アドレス 0x0B にある 4 バイトで構成されています。

表 21.位相コントロール・レジスタ(PCR)

Address	Bit	Name	Description
0x0B	[31:26]	Reserved	Reserved for future use.
	[25:16]	Phase Correction Word [9:0]	These bits are the 10-bit phase correction word.
	[15:0]	NCO Phase Offset Word [15:0]	These bits are the 16-bit NCO phase offset word. See the Numerically Controlled Oscillator section for details.

振幅スケール・ファクタ(ASF)レジスタは、アドレス 0x0C にある 3 バイトで構成されています。

表 22.振幅スケール・ファクタ(ASF)レジスタ

Address	Bit	Name	Description
0x0C	[23:18]	Reserved	Reserved for future use.
	[17:9]	Q DAC Amplitude Scale Factor [8:0]	These bits are the 9-bit Q DAC amplitude scale factor. The bit weighting is $MSB = 2^1$, $LSB = 2^{-7}$, which yields a multiplier range of 0 to 3.9921875.
	[8:0]	I DAC Amplitude Scale Factor [8:0]	These bits are the 9-bit I DAC amplitude scale factor. The bit weighting is $MSB = 2^1$, $LSB = 2^{-7}$, which yields a multiplier range of 0 to 3.9921875.

出力オフセット(OOF)レジスタは、アドレス 0x0D にある 4 バイトで構成されています。

表 23.出力オフセット(OOF)レジスタ

Address	Bit	Name	Description
0x0D	[31:16]	Q DAC Offset [15:0]	These bits are the 16-bit Q DAC offset factor. The LSB bit weight is 2^0 .
	[15:0]	I DAC Offset [15:0]	These bits are the 16-bit I DAC offset factor. The LSB bit weight is 2^0 .

バージョン・レジスタ(VR)は、アドレス 0x0E にある 2 バイトで構成され、読み出し専用です。

表 24.バージョン・レジスタ(VR)

Address	Bit	Name	Description
0x0E	[15:8]	Reserved	Reserved for future use.
	[7:0]	Version ID	These bits read back the current version of the product.

入力データ・ポート

AD9785/AD9787/AD9788 は、デュアル・ポート・モードとシングル・ポート・モードの 2 つのデータ入力モードで動作することができます。デフォルトのデュアル・ポート・モード(シングル・ポート・モード= 0)では、各 DAC が専用入力ポートからデータを受信します。シングル・ポート・モード(シングル・ポート・モード= 1)では、両 DAC がポート 1 からデータを受信します。シングル・ポート・モードでは、DAC 1 と DAC 2 のデータはインターリーブされ、TXENABLE 入力を使って、データを入力する DAC を選択します。デュアル・ポート・モードでは、TXENABLE 入力を使って、デジタル・データパスをパワーダウンさせます。

デュアル・ポート・モードでは、データは入力データ・レートで渡される必要があります。シングル・ポート・モードでは、データは各 DAC の入力データ・レートの 2 倍で渡される必要があります。データ入力は最大 300 MSPS まで動作できるため、シングル・ポート・モードでは DAC あたり最大 150 MHz の入力データ・レートで動作することができます。

デュアル・ポート・モードとシングル・ポート・モードでは、データ・クロック出力(DATACLK)信号は、FPGA (フィールド・プログラマブル・ゲート・アレイ)や、その他のデータ・ソースからデータが出力される時の固定タイムベースとして提供されます。この出力信号は、入力データ・レートで動作します。DATACLK ピンは、入力または出力として動作することができます。

シングル・ポート・モード

シングル・ポート・モードでは、両 DAC のデータはポート 1 入力バス(P1D[15:0])で受信されます。I データ・サンプルと Q データ・サンプルはインターリーブされ、DATACLK の立ち上がりエッジでラッチされます。データには TXENABLE 入力信号(ピン 39)が付いているため、これを使って着信データを該当する DAC へ接続します。TXENABLE がハイ・レベルの場合には、対応するデータワードは I DAC へ、TXENABLE がロー・レベルの場合には、対応するデータは Q DAC へ、それぞれ送られます。インターリーブ・モードでのデジタル・インターフェースのタイミングを図 48 に示します。

Q ファースト・ビット(レジスタ 0x01、ビット 1)は、入力データ対の順序を制御します。Q ファースト・ビットをデフォルトの 0 に設定すると、DAC へ送られる I/Q 対は、TXENABLE のロー・レベルとそれに続く TXENABLE のハイ・レベルに対応する 2 つの入力データワードになります。

Q ファースト・ビットを 1 に設定すると、DAC へ送られる I/Q 対は、TXENABLE のハイ・レベルとそれに続く TXENABLE のロー・レベルに対応する 2 つの入力データワードになります。Q ファーストをセットした場合、I データは TXENABLE ハイワードに、Q データは TXENABLE ローワードに、それぞれ対応したままで、対の順序のみが変わることに注意してください。

デュアル・ポート・モード

デュアル・ポート・モードでは、各 DAC のデータは、それぞれの入力バス(P1D[15:0]または P2D[15:0])で受信されます。I と Q データは同時に到着し、DATACLK に同期している内部サンプリング・クロック(SMP_CLK)の立ち上がりエッジでサンプルされます。

DATACLK を基準とする入力データ

入力データが DATACLK 出力を基準とする場合は、AD9785/AD9787/ AD9788 へのインターフェースが最もシンプルになります。DATACLK 出力は、入力データのラッチに使う内部クロックに位相ロックされています(ただしオフセットはあります)。したがって、DATACLK に対して入力データのセットアップとホールド・タイムが満たされると、インターフェースでデータは正しくラッチされます。

表 25 に、デバイスの全動作温度範囲での入力データのセットアップとホールド・タイム条件を示します。また、表 25 に、データ有効ウィンドウ(DVW)を示します。データ有効ウィンドウは、インターフェースのセットアップとホールド・タイムの和を意味し、サンプリングが正しく行われるためにデバイスへ入力される必要のあるデータの最小有効時間です。

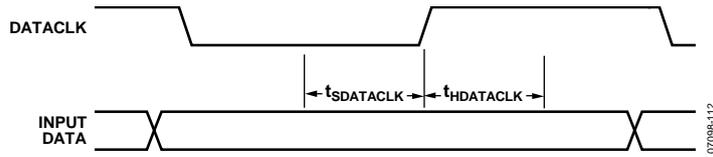


図 47. DATACLK のタイミング

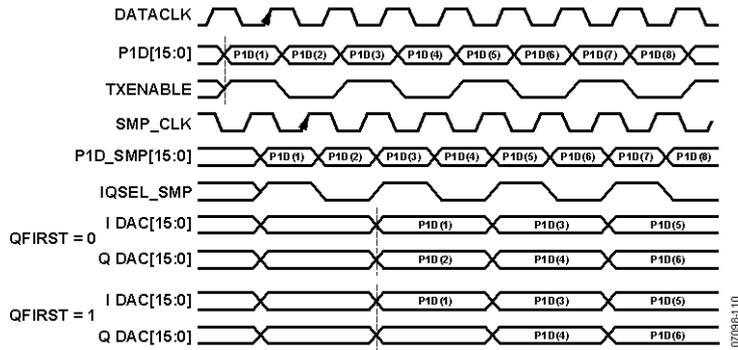


図 48. シングル・ポート(インターリーブ)モード・デジタル・インターフェースのタイミング

表 25. データ・タイミング仕様の温度特性

Timing Parameter	Temperature	Min t_S (ns)	Min t_H (ns)	Min DVW (ns)
Data with respect to REFCLK	-40°C	-0.25	1.7	1.45
	+25°C	-0.45	2.1	1.65
	+85°C	-0.6	2.4	1.8
	-40°C to +85°C	-0.25	2.4	2.15
Data with respect to DATACLK	-40°C	3.7	-1.5	2.2
	+25°C	4.2	-1.8	2.4
	+85°C	4.6	-2.0	2.6
	-40°C to +85°C	4.6	-1.5	3.1
SYNC_I with respect to REFCLK	-40°C	0.45	-0.1	0.35
	+25°C	0.3	0.1	0.4
	+85°C	0.2	0.25	0.45
	-40°C to +85°C	0.45	0.25	0.7

DATACLK 周波数の設定

DATACLK 信号は、内部 DAC サンプル・クロック DACCLK から発生されます。DATACLK 出力の周波数は、複数の設定により決定されます。DACCLK 周波数と DATACLK 周波数との関係は、

$$f_{DATACLK} = \frac{f_{DACCLK}}{IF \times P}$$

ここで、変数は表 26 の値をとります。

表 26. DACCLK 対 DATACLK の分周比

Variable	Value	Address Register	Bits
IF	Interpolation factor	0x01	[7:6]
P	0.5 (if single port is enabled) 1 (if dual port is selected)	0x01	[4]

REFCLK を基準とする入力データ

システムによっては、DATACLK 出力の代わりに REFCLK 入力を入力データのタイミング基準として使った方が便利な場合があります。DACCLK 周波数がデータ入力周波数に一致する場合 (PLL をバイパスし、インターポレーションを不使用の場合)、表 25 に示す「Data with respect to REFCLK」のタイミング・パラメータが直接使用できます。DACCLK 周波数がデータ入力周波数より大きい場合、分周器を使って内部データ・サンプリング・クロック (DCLK_SMP) を発生します。この分周器により REFCLK と DCLK_SMP との間に位相の不確定性が発生するため、サンプリング時間が不確定になります。データ・インターフェースのセットアップとホールド・タイムを一定にするためには、この位相の不確定性を除去する必要があります。

位相の不確定性をなくするために、SYNC_I 入力ピン (ピン 13 とピン 14) を使ってデータを特定の DCLK_SMP 位相に同期させる必要があります。これを実施する各ステップをデバイスの同期のセクションに示します。SYNC_I、DACCLK、REFCLK、入力データとの間のタイミング関係を図 49～図 51 に示します。

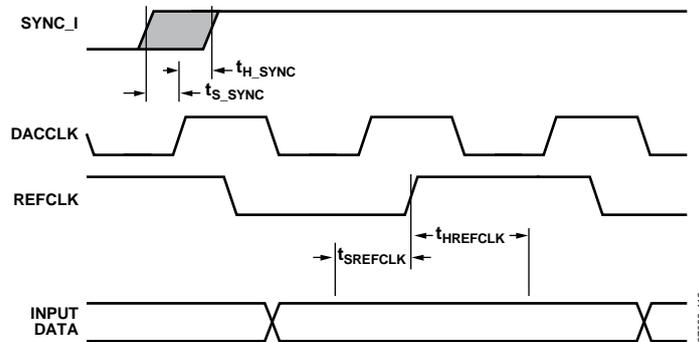


図 49. REFCLK 2x

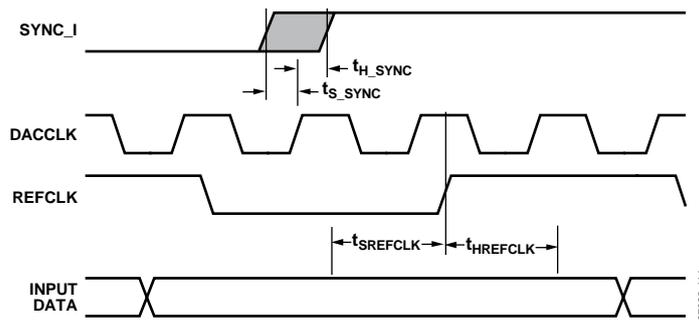


図 50. REFCLK 4x

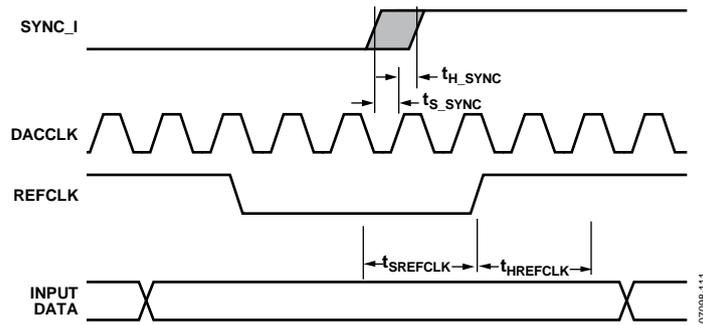


図 51.REFCLK 8x

データ入力タイミングの最適化

AD9785/AD9787/AD9788 は、DATACLK 出力、DCLK_SMP、入力データをサンプルする内部クロックとの間の関係を調整することにより、入力データのタイミングを最適化する回路を内蔵しています。この最適化は、SPI レジスタの読み出し動作と書き込み動作のシーケンスにより行われます。タイミングの最適化はユーザーによる厳密な制御により行うか、あるいはタイミング・マージンを自動的に維持するようにデバイスを設定することもできます。

図 52 に、サンプル・タイミング・エラーを検出してデータ・インターフェース・タイミングを調節する回路を示します。DCLK_SMP 信号は、入力データをラッチするときに使う内部クロックです。最終的には、入力データの有効なサンプリング周期の中央にこの信号の立ち上がりエッジをもってくようになります。これは遅延時間 t_b を調節することにより行われ、これにより DATACLK タイミングが変わるため、DCLK_SMP を基準とする入力データの到着時間が変わります。

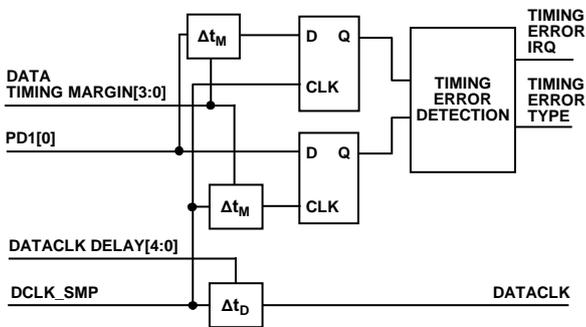


図 52. タイミング・エラーの検出と最適化回路

エラー検出回路は、サンプル・データ(マージン・テスト・データと呼びます)とデバイス・データパスで実際にサンプルしたデータの 2 つのデータ・セットを生成します。一方のセットのサンプル・データは、実際のデータ・サンプリング・ポイントの前にラッチします。他方のセットのサンプル・データは、実際のデータ・サンプリング・ポイントの後にラッチします。マージン・テスト・データが実際のデータに一致する場合、サンプリングが有効と見なされエラーなしと判断されます。実際のデータとマージン・テスト・データが一致しない場合には、エラーありと判断されます。

データ・タイミング・マージン[3:0]変数(レジスタ 0x02、ビット [10:7])は、マージン・テスト・データがラッチされる実際のデータ・サンプリング・ポイントの前後の時間長を指定します。すなわち、このデータ・タイミング・マージン[3:0]変数は、データ・タイミング・エラーIRQが発生しない(エラーなし状態)ようにするために、インターフェースで必要とされるセットアップとホールド・マージンの大きさを指定します。したがって、セットアップとホールド・マージンがデータ・タイミング・マージン[3:0]値を下回るごとに、データ・タイミング・エラーIRQが発生します。これは、必ずしもデバイスにラッチされたデータが正しくないことを表示するものではありません。

エラー発生時に、データ・タイミング・エラーIRQ の設定の他に、データ・タイミング・エラー・タイプ・ビット(レジスタ 0x09、ビット 5)が設定されます。このデータ・タイミング・エラー・ビットがロー・レベルの場合にはホールドエラーを、ハイ・レベルの場合にはセットアップ・エラーを、それぞれ示します。図 53 に、データ・インターフェースとデータ・タイミング・エラー・タイプ・ビットのステータスのタイミング図を示します。

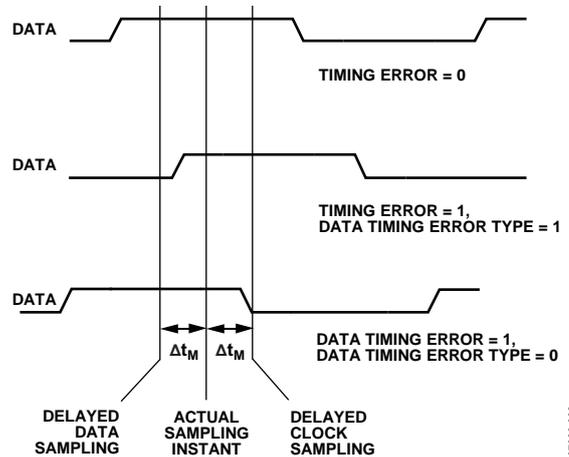


図 53. マージン・テスト・データのタイミング図

自動タイミング最適化モード

自動タイミング最適化モードをイネーブルすると(レジスタ 0x02、ビット 3 = 1)、デバイスはタイミング・エラーIRQ ビットとタイミング・エラー・タイプ・ビットを連続的にモニターします。セットアップ・エラーが検出されると、DATACLK 遅延[4:0]値(レジスタ 0x02、ビット [4:0])が増え、ホールド・エラーが検出されると、この値が減ります。現在使用中の DATACLK 遅延[4:0]の設定値はユーザーから読み出すことができます。

手動タイミング最適化モード

デバイスが手動タイミング最適化モード(レジスタ 0x02、ビット 3 = 0)で動作している場合、デバイスはユーザーが設定した DATACLK 遅延[4:0]値を変更しません。デフォルトでは、DATACLK 遅延がディセーブルされています。DATACLK 遅延[4:0]値を使うときはこのビットをハイ・レベルに設定する必要があります。

DATACLK 遅延を 00000~11111 に設定すると、遅延(絶対時間)は約 700 ps~約 6.5 ns で変化します。温度に対する代表的な遅延増加を表 27 に示します。

表 27. 温度に対するデータ遅延ラインの代表的な遅延

Delay	-40°C	+25°C	+85°C	Unit
Zero code delay (delay upon enabling delay line)	630	700	740	ps
Average unit delay	175	190	210	ps

手動モードでは、エラー・チェック・ロジックが起動されるため、セットアップ/ホールド違反が検出されると、割り込みが発生します。デバイスを設定するごとにエラー・チェック動作が 1 回行われます。データ・タイミング・マージン[3:0]または DATACLK 遅延[4:0]値への変更が発生すると、新しいエラー・チェック動作が開始されます。

入力データ RAM

AD9785/AD9787/AD9788 は、入力データ・ピンの代わりに入力データ・ソースとして使える RAM を内蔵しています。入力データ RAM は SPI ポートを使ってロードされます。入力データをメモリに保存すると、入力データ・ピンからデータを受信する代わりに、保存したデータを送信するようにデバイスを設定することができます。このテスト・モードは、工場出荷またはイン・システム・テストで便利です。

RAM は、32 ビット幅で 64 ワード長です。上位 16 ビットが I データバスを駆動し、下位 16 ビットが Q データバスを駆動します。RAM の構成を図 54 に示します。

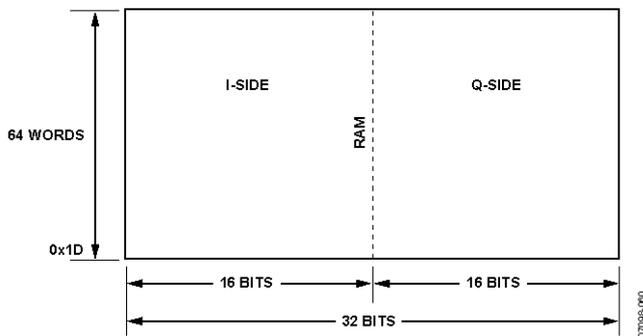


図 54. 入力データ RAM の構成

データは LSB ファーストまたは MSB ファーストのフォーマットで RAM に書き込むことができます。

MSB ファースト・フォーマットで RAM に書き込むときは、次のステップを実行します。

1. レジスタ 0x00 のビット 6 を 0 に設定します。
2. 命令バイト 0xEE とその後ろに保存するデータを入力します。

命令バイト(レジスタ 0x1D への書き込み)が受信されると、デバイスは RAM の書き込みに必要なアドレス(最上位アドレスから開始)を自動的に発生します。命令バイトに続く 32 個の立ち上がり SCLK エッジにより、先頭 RAM ワードが書き込まれます。この時点で、内部アドレス・ジェネレータがデクリメントし、SCLK の次の 32 個の立ち上がりエッジで 2 番目の RAM ワードに書き込まれます。この RAM アドレスのデクリメントと 32 ビット・ワードの書き込みのサイクルが、最終ワードが書き込まれるまで繰り返されます。64 番目のワードが書き込まれると、通信サイクルが完了します。

LSB ファースト・フォーマットで RAM に書き込むときは、次のステップを実行します。

1. レジスタ 0x00 のビット 6 を 1 に設定します。
2. 命令バイト 0xEE とその後ろに保存するデータを入力します。

すべてのメモリ・エレメントをアクセスして通信サイクルを完了させます。RAM はデュアル・ポート・メモリ素子でないため、RAM を使って信号処理パスへデータを出力中に I/O 動作が開始されると、I/O 動作が優先されます。

RAM を内部データ・ジェネレータとして使うときは、レジスタ 0x1E (テスト・レジスタ)に値 0x0C0 を設定します。これらの 24 ビットを書き込むと、DAC はメモリに保存されている波形の出力を開始します。

デジタル・データパス

AD9785/AD9787/AD9788 のデジタル・データパスは、3 個の 2x ハーフバンド・インターポレーション・フィルタ、直交変調器、逆 sinc フィルタで構成されています。32 ビットの NCO は、直交変調器に必要な sine と cosine のキャリア信号を発生します。

インターポレーション・フィルタ

AD9785/AD9787/AD9788 は、3 個のハーフバンド・フィルタ(バイパス可能)を内蔵しています。この機能を使うと、デバイスは 2x、4x、または 8x のインターポレーション・レートで、あるいはインターポレーションなしで、動作することができます。インターポレーション・フィルタは、リニア位相応答を持っています。ローパス・フィルタの係数を表 28、表 29、表 30 に示します。フィルタ応答のスペクトル・プロットを図 55、図 56、図 57 に示します。

2x、4x、または 8x のインターポレーション・モードでは、インターポレーション・フィルタの有効帯域幅は複素入力データ・レートの 80% です。有効帯域には、0.0005 dB 以下の通過帯域リップルと 85 dB 以上の阻止帯域減衰があります。インターポレーション・フィルタの中心周波数は、NCO 周波数チューニング・ワード(レジスタ 0x0A、ビット[31:0])で設定されるため、ベースバンド入力信号は常にインターポレーション・フィルタ通過帯域の中央にあります。

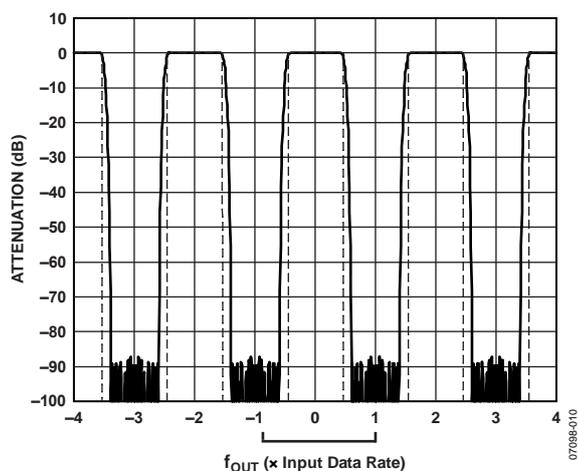


図 55. ± 4 x 入力データレートに対する 2x インターポレーション、ローパス応答(点線は 1 dB ロールオフ)

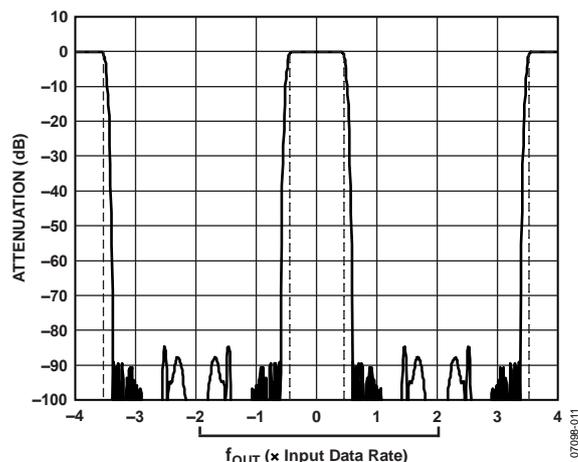


図 56. ± 4 x 入力データレートに対する 4x インターポレーション、ローパス応答(点線は 1 dB ロールオフ)

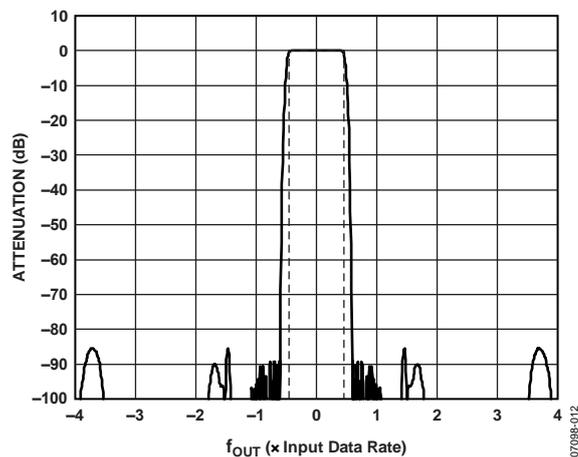


図 57. ± 4 x 入力データレートに対する 8x インターポレーション、ローパス応答(点線は 1 dB ロールオフ)

表 28. ハーフバンド・フィルタ 1

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-34
H(6)	H(50)	0
H(7)	H(49)	+72
H(8)	H(48)	0
H(9)	H(47)	-138
H(10)	H(46)	0
H(11)	H(45)	+245
H(12)	H(44)	0
H(13)	H(43)	-408
H(14)	H(42)	0
H(15)	H(41)	+650
H(16)	H(40)	0
H(17)	H(39)	-1003
H(18)	H(38)	0
H(19)	H(37)	+1521
H(20)	H(36)	0
H(21)	H(35)	-2315
H(22)	H(34)	0
H(23)	H(33)	+3671
H(24)	H(32)	0
H(25)	H(31)	-6642
H(26)	H(30)	0
H(27)	H(29)	+20,755
H(28)		+32,768

表 29. ハーフバンド・フィルタ 2

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(23)	-2
H(2)	H(22)	0
H(3)	H(21)	+17
H(4)	H(20)	0
H(5)	H(19)	-75
H(6)	H(18)	0
H(7)	H(17)	+238
H(8)	H(16)	0
H(9)	H(15)	-660
H(10)	H(14)	0
H(11)	H(13)	+2530
H(12)		+4096

表 30. ハーフバンド・フィルタ 3

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(15)	-39
H(2)	H(14)	0
H(3)	H(13)	+273
H(4)	H(12)	0
H(5)	H(11)	-1102
H(6)	H(10)	0
H(7)	H(9)	+4964
H(8)		+8192

直交変調器

直交変調器は、NCO から発生されたキャリア信号とデバイスの 16 ビット並列入力ポートに入力される、アップサンプルされた I と Q データをミックスする際に使われます。図 58 に、直交変調器の詳しいブロック図を示します。

NCO は、レジスタ 0x0A のビット[31:0]で設定された 32 ビットの周波数チューニング・ワード(FTW)で指定される周波数を持つ直交キャリア信号を発生します。NCO は、アップサンプルされた I データと Q データに一致するレートで動作します。発生されたキャリア信号は、乗算器を使って I データおよび Q データとミックスされます。次に直交積が加算されます。

NCO の sine 出力にはデータの反転を可能にするマルチプレクサが付いていることに注意してください。このマルチプレクサは、ユーザが I/O レジスタ(レジスタ 0x01、ビット 10)に格納したスペクトル反転ビットにより制御されます。デフォルトでは sine データの反転に設定されます。

数値制御発振器

NCO は、入力信号を新しい中心周波数に変換する複素キャリア信号を発生します。複素キャリア信号は、互いに 90°オフセットした同じ周波数の正弦波形の対です。複素キャリア信号の周波数は、レジスタ 0x0A の周波数チューニング・ワード[31:0]値を使って設定します。複素キャリア信号の周波数は次のように計算されます。

$\{0 \leq \text{FTW} \leq 2^{31}\}$ の場合、 $f_{\text{CENTER}} = (\text{FTW}) (f_{\text{DACCLK}}) / 2^{32}$ を使用

$\{2^{31} < \text{FTW} < 2^{32} - 1\}$ の場合、 $f_{\text{CENTER}} = f_{\text{DACCLK}} \times (1 - (\text{FTW} / 2^{32}))$ を使用

16 ビットの位相オフセットをシリアル・ポートを経由して位相アキュムレータの出力に加算することができます。

このスタティック位相調整により、公称信号に対して一定角度だけオフセットした出力信号が発生されます。この機能を使うと、ユーザーは必要に応じて NCO 出力と外部信号の位相を一致させることができます。この機能は、特に複数の AD9785/AD9787/AD9788 デバイスの NCO が同期するように設定される場合に便利です。この位相オフセットにより、デバイス間の出力タイミングの調整が可能になります。スタティック位相調整値は、レジスタ 0x0B の NCO 位相オフセット・ワード[15:0]値から得られます。

デフォルトでは、周波数チューニング・ワード、位相制御、DAC ゲイン・スケーリング、または DAC オフセット・レジスタ(レジスタ 0x0A~レジスタ 0x0D)に対する SPI 書き込みが完了すると、AD9785/AD9787/AD9788 の動作はこれらの変更を反映するように直ちに更新されます。ただし、多くのアプリケーションで、これらすべての機能を 1 回で更新するまではデバイス動作を変更しないでこれらのレジスタを更新する方が便利なことがあります。COMM レジスタ(レジスタ 0x00、ビット 1)で自動 I/O 転送イネーブル・ビットをロー・レベルに設定すると、初期 SPI 書き込み後に、これらすべての機能の値がバッファに保存されます。これらすべての機能を同時に更新するときは、COMM レジスタのビット 2 を設定する必要があります。このビットはセルフ・リセット機能を持つため、後続の SPI 書き込みでリセットする必要はありません。

逆 Sinc フィルタ

逆 sinc フィルタは、9 タップの FIR フィルタとして構成されています。0.4 × f_{DACCLK} までの周波数で ±0.05 dB 以下の通過帯域リップルを持つようにデザインされています。通過帯域の上端で必要なピーキングを持たせるため、逆 sinc フィルタは 3.4 dB の固有挿入損失を持ちます。タップ係数を表 31 に示します。

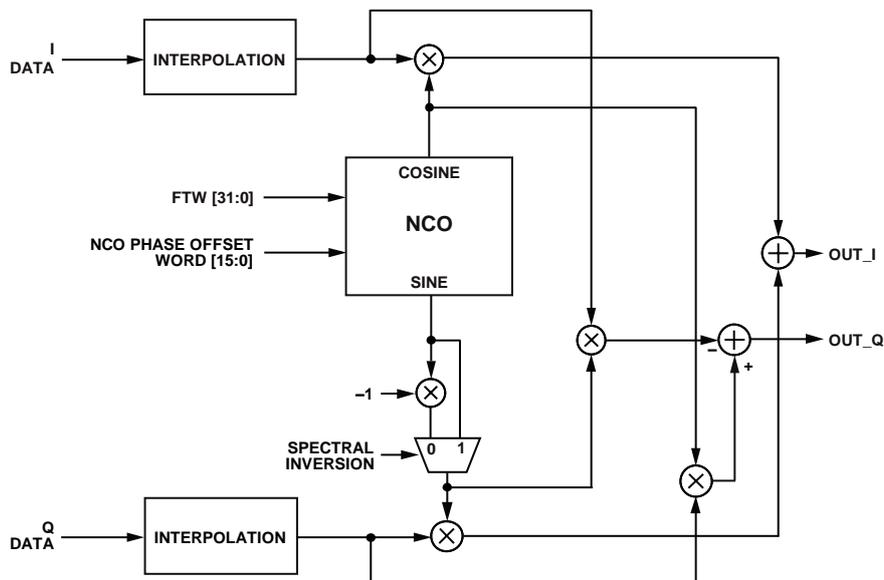


図 58 . 直交変調器ブロック図

07098-107

表 31. 逆 Sinc フィルタ

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(9)	+2
H(2)	H(8)	-4
H(3)	H(7)	+10
H(4)	H(6)	-35
H(5)	-	+401

逆 sinc フィルタはデフォルトでディセーブルされています。レジスタ 0x01 の逆 sinc イネーブル・ビット(ビット 9)を設定すると、イネーブルすることができます。

振幅とオフセットのデジタル制御

I データパスと Q データパスのゲインは、レジスタ 0x0C の I DAC 振幅スケール・ファクタ[8:0]または Q DAC 振幅スケール・ファクタ[8:0]値を調整することにより、独立にスケールすることができます。これらの値は、デジタル乗算器への入力を制御します。スケール・ファクタ値の範囲は 0 ~ 3.9921875 で、次のように計算されます。

$$\text{ScaleFactorValue} = \frac{\text{ScaleFactor}[8:0]}{128}$$

デジタル・スケール・ファクタは、デジタル変調器や逆 sinc フィルタまたはその他のファクタによって発生する減衰を補償するときに使うことができます。

I データパスと Q データパスの DC 値は、独立に制御することができます。これは、レジスタ 0x0D の I DAC オフセット[15:0]値と Q DAC オフセット[15:0]値を調整することにより行われます。これらの値は、データパス値に直接加算されます。送信値が範囲外にならないように注意してください。

図 59 に、I DAC オフセット[15:0]値と Q DAC オフセット[15:0]値の関数としての DAC オフセット電流の変化を示します。デジタル入力をミッドスケール(0x0000、2 の補数データ・フォーマット)に固定して、DAC オフセット値を 0~65535 で変化させたときの $I_{\text{OUTX,P}}$ と $I_{\text{OUTX,N}}$ の公称電流値を示しています。 $I_{\text{OUTX,P}}$ と $I_{\text{OUTX,N}}$ は相補電流出力であるため、 $I_{\text{OUTX,P}}$ と $I_{\text{OUTX,N}}$ の和は常に 20 mA になります。

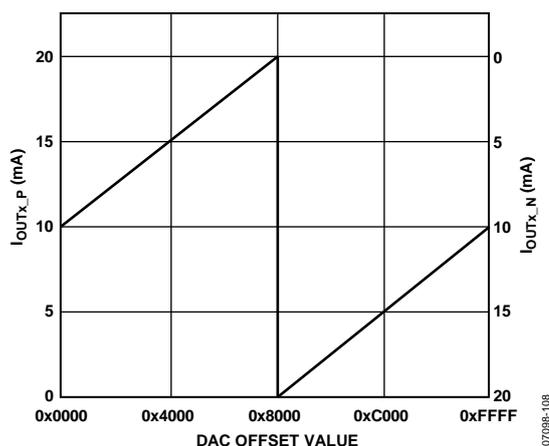


図 59. DAC 出力電流対 DAC オフセット値

DAC オフセット・パラメータにより発生されるオフセット電流は、オフセットが 0 から 0x7FFF へ変化すると、0 mA から 10 mA に増えます。オフセット電流は、オフセットが 0x8000 から 0xFFFF へ変化すると、-10 mA から 0 mA へ増えます。

位相のデジタル補正

位相補正ブロックは、DAC の後ろのアナログ直交変調器の位相のアンバランスを補正するために設けてあります。直交変調器の位相がバランスしていないと、大きなエネルギーを持つサイドバンドが発生します。位相補正ワードを調整すると、シングル・サイドバンド無線でイメージ除去を最適化することができます。

I チャンネルと Q チャンネルは正確に 90°ずれている必要があります。位相補正ワード[9:0] (レジスタ 0x0B)を使って、I チャンネルと Q チャンネルとの間の位相角を変更することができます。位相補正ワード[9:0]を 1000000000b に設定すると、Q DAC 出力が I DAC 出力から約 14°離れて、チャンネル間の位相角が 104°になります。位相補正ワード[9:0]を 011111111b に設定すると、Q DAC 出力が I DAC 出力から約 14°近づき、チャンネル間の位相角が 76°になります。これらの 2 ポイントに基づくと、位相補正レジスタの分解能は、約 28°/1024 すなわちコードあたり 0.027°になります。

デバイスの同期

システムには 2 つの異なる同期条件が要求されることがあります。複数の DAC を互いに同期させることが必要なシステムがあります。たとえば、送信ダイバーシティまたはビーム形成をサポートするシステムでは、関連した信号を送信するために複数のアンテナを使います。この場合、DAC 出力の位相は互いに一致している必要がありますが、DAC 出力がシステム・レベルのリファレンス・クロックに一致する要求はありません。時間領域多重送信チェーンを持つシステムでは、1 個または複数の DAC がシステム・レベルのリファレンス・クロックに同期することが要求されます。

クロック発生ステート・マシンの状態がすべてのデバイスで一致し、かつ NCO 位相アキュムレータがすべてのデバイスで一致しているとき、複数のデバイスは互いに同期しているものと見なされます。システム・クロックの特定のクロック・エッジについてクロック発生ステート・マシンとデバイスの NCO 位相アキュムレータとの間に既知の固定な関係がある場合に、デバイスはシステム・クロックに同期しているものと見なされます。AD9785/AD9787/AD9788 は、これらの 2 つの条件でのデバイスの同期に対して、パルス・モードと PN コード・モードの 2 つの動作モードをサポートしています。

同期ロジックの概要

図 60 に、内蔵同期受信ロジックのブロック図を示します。マルチチップ同期機能としては、パルス・モードと疑似ランダム・ノイズ・コード(PN コード)変調/復調モードの 2 つの動作モードがあります。これらの 2 つのモードの基本機能は、外部信号がデバイスに加えられたときに、内部クロック発生ステート・マシンと NCO 位相アキュムレータを初期化することです。

クロック発生ステート・マシンの初期化を行う受信ロジックが、DACCLK で 1 サイクル幅の初期化パルスを発生して、これがクロック発生ステート・マシン・ロジックを既知状態に設定しま

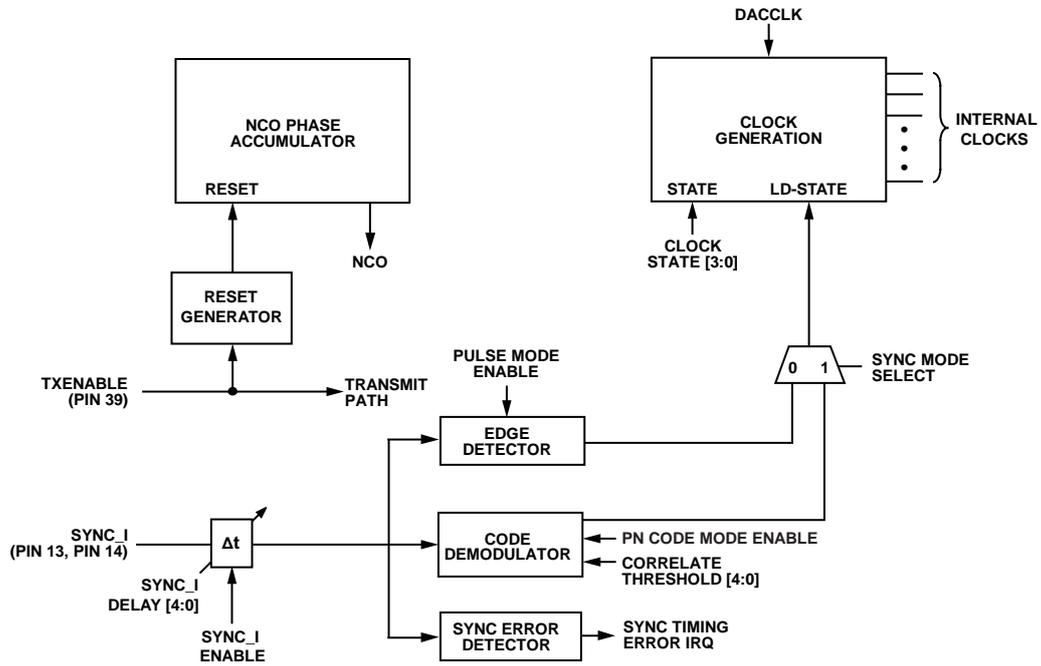
す。パルス・モードでは、このパルスが SYNC_I 入力の各立ち上がりエッジで発生されます。PN コード・モードでは、このパルスが SYNC_I 入力で正しいコード・シーケンスが受信されるごとに発生されます。

この初期化パルスによって、クロック発生ステート・マシンに次の状態としてクロック状態[3:0]値(レジスタ 0x03、ビット [7:4])がロードされます。同期ロジックからの初期化パルスが正しく発生されると、DAC クロックで 32 (または 32 の倍数)サイクルごとに、DAC クロックの 1 サイクル間アクティブになります。クロック発生ステート・マシンは DACCLK レートで動作する 32 個の状態を持つため、最初のパルスの後に受信する各初期化パルスごとに現在の状態(ステート・マシンが既に設定済みの状態)をロードして、デバイスの正しいクロック動作を維持します。

クロック状態[3:0]値は、クロック発生ステート・マシンが初期化時にリセットする状態です。この値を変更すると、SYNC_I 信号に対する内部クロックのタイミングを調整することができます。クロック状態[3:0]値をインクリメントするごとに、内部クロックが DACCLK の 1 周期分進みます。

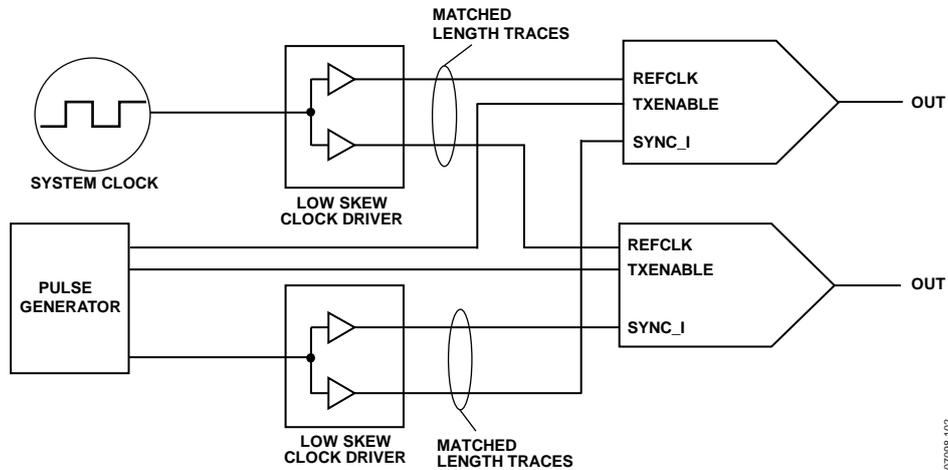
NCO 位相アキュムレータは、パルス・モードまたは PN コード・モードで初期化することができます。パルス・モードでは、DATACLK 信号に同期されるすべてのデバイスの TXENABLE ピンに同時ストロブ信号を送る必要があります。この信号がすべてのデバイスの NCO の位相アキュムレータをリセットして、NCO を同期化します。

PN コード・モードでは、マスター・デバイスの位相情報が SYNC_I 信号を使ってスレーブ・デバイスに送られます。スレーブ・デバイスはこの位相情報をデコードして、マスター・デバイスに一致するように NCO 位相アキュムレータを自動的に初期化します。



07098F-104

図 60.同期受信回路のブロック図



07098F-102

図 61.パルス・モードでのマルチチップ同期

デバイスのシステム・クロックへの同期

AD9785/AD9787/AD9788 は、システム内の複数のデバイスの DAC 出力を同じ DAC クロック・エッジに一致させるパルス・モード同期方式(図 61 参照)を提供します。このパルス・モード同期方式は 2 つの部分からなる動作です。最初の部分では、ワンタイム・パルスまたは周期的信号を SYNC_I (SYNC_I+/SYNC_I-)に入力することにより内部クロックが同期化されます。SYNC_I 信号は、内部 DACCLK サンプル・レート・クロックでサンプルされます。

SYNC_I 入力周波数には次の 2 つの制約があります。

$$f_{\text{SYNC_IN}} \leq f_{\text{DACCLK}}$$

$$f_{\text{SYNC_IN}} = \frac{f_{\text{DAC}}}{16 \times N}$$

ここで、 N は整数です。

内部クロックが同期化されると、データ・サンプリング・クロックはすべてのデバイス間で位相が一致します。次のステップでは、DATACLK 信号に同期するすべてのデバイスの TXENABLE ピンに同時ストロブ信号が必要になります。この信号がすべてのデバイスの NCO の位相アキュムレータをリセットして、NCO を同期化します。ストロブ信号は f_{DACCLK} でサンプルされ、入力データと同じセットアップとホールド・タイムを満たす必要があります。TXENABLE ピンはアクティブ・ハ

イのロジック・レベル・ピンであるため、TXENABLE 反転ビットが SPI 内でセットされるまで、ストロブ信号はロー・ロジック・レベルのパルスである必要があります。

この同期方式では、すべてのデバイスがスレーブ・デバイスであり、システム・クロック発生/分配チップがマスターとし機能します。外部 LVDS 信号は、制約に従いすべてのスレーブ・デバイスの SYNC_I 入力に接続する必要があります。DAC クロック入力と SYNC_I 入力は、すべてのデバイスで長さが一致する必要があります。

SYNC_I 信号は複数の DAC に低スキューで分配されることが不可欠です。同様に、REFCLK 信号も低スキューで分配する必要があります。複数の DAC 間のこれらの信号のすべてのスキューは、タイミング条件として考慮する必要があります。SYNC_I 信号は DACCLK レートでサンプルされるため、SYNC_I パルスのデータ有効ウィンドウは同じ DACCLK 周期内にすべての DAC で使用される必要があります。

図 62 に、REFCLK 入力に対する SYNC_I 入力のタイミングを示します。タイミングは REFCLK 信号に対して相対的ですが、SYNC_I は DACCLK レートでサンプルされることに注意してください。これは、SYNC_I 信号の立ち上がりエッジは、先行する REFCLK の立ち上がりエッジではなく、先行する DACCLK の立ち上がりエッジのホールド・タイムの後で発生する必要があることを意味します。図 63 に、TXENABLE 入力のタイミング図を示します。

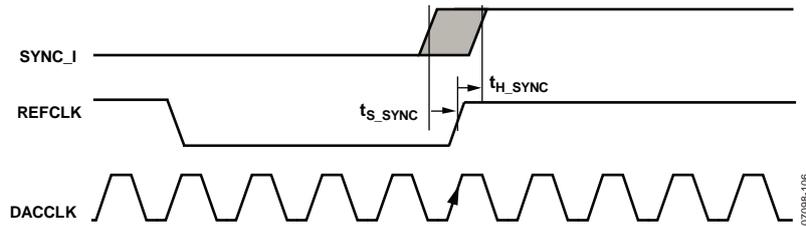


図 62. REFCLK に対する SYNC_I のタイミング図

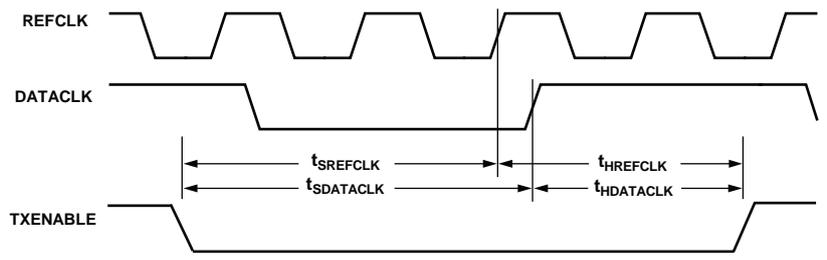


図 63. TXENABLE 対 DATACLK および REFCLK のタイミング図

表 32 に、パルス・モード同期機能をイネーブルするときに必要なレジスタ設定を示します。

表 32.パルス同期モードのイネーブルに必要なレジスタ設定

Register	Bit	Parameter	Value
0x01	[13]	PN code sync enable	0
	[12]	Sync mode select	0
	[11]	Pulse sync enable	1
0x03	[26]	SYNC_I enable	1
	[25]	SYNC_O enable	0
	[10]	Set high	1

同期タイミング・エラーの検出

同期ロジックは、入力データ・タイミングと同じエラー検出回路を持っています。同期タイミング・マージン[3:0]変数(レジスタ 0x03)は、同期インターフェースで SYNC タイミング・エラーIRQ を発生させない(すなわちエラーなし状態を表示する)ようにするために必要なセットアップとホールド・マージンを指定します。したがって、セットアップとホールド・マージンが同期タイミング・マージン[3:0]値を下回るごとに SYNC タイミング・エラーIRQ が発生されますが、必ずしも SYNC_I 入力が増えてラッチされたことを示すものではありません。

SYNC タイミング・エラーIRQ がセットされると、補正動作によりタイミング・マージンを復元することができます。デバイスを手動モード同期エラー・モニターとエラー補正を行うように設定することができます。

手動モードで、SYNC_I のセットアップとホールド・タイミング・マージンをモニターするときは、次のステップを実行します。

1. 同期エラー・チェック・モード(レジスタ 0x03、ビット 18) = 0 を設定します(マニュアル・チェック・モード)。
2. 同期タイミング・マージン[3:0] (レジスタ 0x03、ビット [3:0]) = 0000 (タイミング・マージンを最小値に)を設定します。

3. SYNC_I 遅延[4:0] (レジスタ 0x03、ビット[23:19]) = 00000 (SYNC_I 遅延ラインを最小値に)を設定します。
4. 同期ポート IRQ イネーブル(レジスタ 0x09、ビット 0) = 1 を設定します。
5. 同期タイミング・エラーIRQ (レジスタ 0x09、ビット 6)に1の書を入れてクリアします。
6. 同期タイミング・エラーIRQ と同期タイミング・エラー・タイプ(レジスタ 0x09、ビット 4)を読み出します。同期タイミング・エラーIRQ がハイ・レベルの場合、サンプリング・エラーが発生し、同期タイミング・エラー・タイプは、サンプリング・エラーがセットアップ・タイム違反、またはホールド・タイム違反のいずれによるかを表示します。
7. 同期タイミング・エラーIRQ が発生しなくなるように、SYNC_I 遅延[4:0]値を調整します。

複数デバイス間の相互同期

AD9785/AD9787/AD9788 同期エンジンは、PN コード同期方式を使って、システム内の複数デバイスを同じ DAC クロック・エッジに一致させます。PN コード方式は、すべての内部クロック、およびすべてのデバイスの NCO の位相アキュムレータを同期させます。この方式では、1 個のデバイスがマスターとして機能し、残りのデバイスはスレーブとして構成されます。

マスター・デバイスは PN 符号化された信号を発生して、SYNC_O (SYNC_O+/SYNC_O-)ピンから出力します。この信号は、すべてのスレーブ・デバイスと自分自身の SYNC_I (SYNC_I+/SYNC_I-)入力に接続されます。スレーブ・デバイスはマスターからのコードを受信し、有効なコードが受信されるたびに、信号を復調して同期パルスを発生します。各デバイスの符号化された信号は、同期対象の各デバイスと同じ DAC クロック・エッジでサンプルする必要があります。したがって、REFCLK 信号が可能な限り少ないスキューですべてのデバイスに届くことが極めて重要です。さらに、SYNC_I 信号も少ないスキューですべてのデバイスに届くことが必要です。高い DACCLK 周波数では、スキューの少ないクロック分配デバイスを使って REFCLK 信号と SYNC_I 信号を分配し、これらの信号のパターン長を一致させるようにプリント回路ボード・デザインに注意する必要があります。

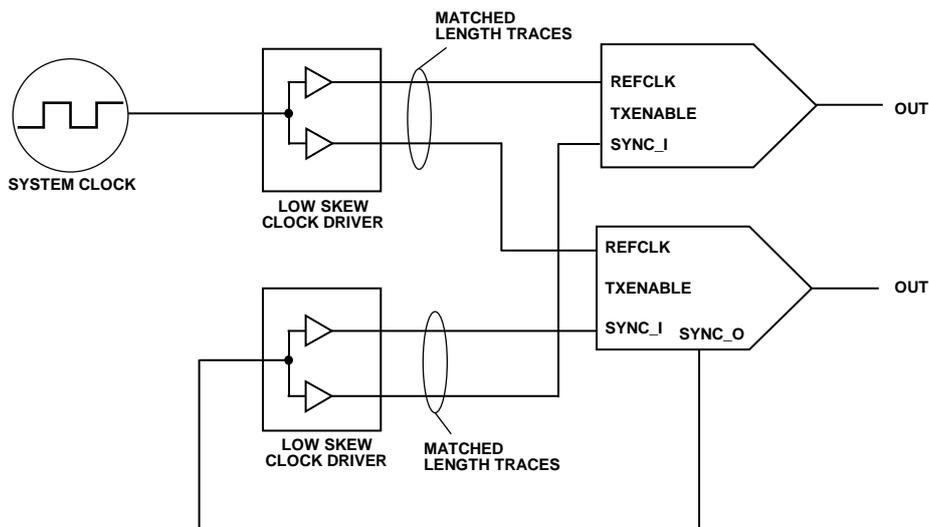


図 64. PN コード・モードでのマルチチップ同期

表 33 に、PN コード・モード同期機能をイネーブルするときに必要なレジスタ設定を示します。

表 33. PN コード・モードのイネーブルに必要なレジスタ設定

Register	Bit	Parameter	Value
0x01	[13]	PN code sync enable	1
	[12]	Sync mode select	1
	[11]	Pulse sync enable	0
0x03	[31:27]	Correlate Threshold [4:0]	10000
	[26]	SYNC_I enable	1
	[25]	SYNC_O enable	0 (slave devices) 1 (master device)
	[10]	Set high	1

デバイスが正常に同期したことを確認するときは、すべてのデバイスの同期ロック・ステータス・ビット(レジスタ 0x09、ビット 10)を読み出します。読み出した同期ロック・ステータス・ビットは、すべてのデバイスで 1 である必要があります。次に、すべてのデバイスの同期ロック喪失ステータス・ビット(レジスタ 0x09、ビット 11)を読み出します。読み出した同期ロック喪失ステータス・ビットは、すべてのデバイスで 0 である必要があります。同期ロック喪失ステータス・ビットをクリアするときは、クリア・ロック・インジケータ・ビットを 1 に設定し、続いて 0 に設定します(レジスタ 0x09、ビット 12)。

マスターによって発生される SYNC_O 信号は多くのビットに分散しているため、この方法による同期は非常に強固です。壊れたビットまたはスレーブ・デバイスが誤読するビットがあっても、通常、デバイスの同期には影響を与えません。デバイス同期の信頼性が低い場合、複数の対策オプションがあります。マスター・デバイスの SYNC_O 遅延[4:0]値(レジスタ 0x03、ビット [15:11])を使って、すべてのデバイスについて 80 ps ステップでタイミングを調整することができます。さらに、マスター・デバイスの SYNC_O 極性ビット(レジスタ 0x03、ビット 9)を DACCLK 周期の 1/2 の遅延を提供するように設定することができます。SYNC_I 遅延[4:0]ビット(レジスタ 0x03、ビット [23:19])を使って、1 個のスレーブ・デバイスのタイミングを 80 ps ステップで調整することができます。

関連スレッショールド[4:0]値(レジスタ 0x03、Bits [31:27])は、受信した SYNC_I 信号のコードと期待コードとの一致度を表します。同期ロック・ステータス・ビットをセットするためには、スレッショールドが高いほど符号化された信号の高い一致度が要求されます。スレッショールドが低い場合は低い一致度で同期ロック・ステータス・ビットがセットされます。

関連スレッショールド[4:0]値を大きくすると、デバイスは誤同期し難くなりますが、ロック状態を維持するためには SYNC_I 入力でのビット・エラー・レートが低い必要があります。関連スレッショールド[4:0]値を小さくすると、デバイスは誤同期し易くなりますが、SYNC_I 入力でのビット・エラー・レートが高くなってもロック状態を維持します(すなわち、ノイズに強くなります)。関連スレッショールド[4:0]の推奨値は、デフォルトで 16 です。

割り込み要求動作

IRQ ピン(ピン 71)は警報として機能し、デバイスでタイミング・エラーが発生したこと、および詳しい故障状態はレジスタ 0x09 を読み出すことによって得られることを知らせます。この IRQ ピンはオープン・ドレインの、アクティブ・ロー出力です。この IRQ ピンは、デバイスの外部でプルアップする必要があります。このピンは、他のデバイスの IRQ ピンと接続(オープン・ドレイン出力のワイヤード OR 接続)することができます。

割り込み要求を発生するエラー・フラグとしては、データ・タイミング・エラーと同期タイミング・エラーの 2 種類があります。デフォルトでは、これらのエラー・フラグはセットされ、IRQ ピンはアクティブ・ローになっています。これらのエラー・フラグは、IRQ ピンの割り込みが発生しないようにマスクすることができます。

エラー・フラグはラッチされ、フラグ・ビットが上書きされるまでアクティブを維持します。

REFCLK入力の駆動

REFCLK 入力には低ジッタの差動駆動信号が必要です。REFCLK は 1.8 V の電源を使う PMOS 入力差動対であるため、規定の 400 mV の入力コモン・モード電圧を維持することは重要です。各入力ピンでは、400 mV のコモン・モード電圧を中心に 200 mV p-p ~ 1 V p-p の振幅が可能です。これらの入力レベルは LVDS に直接互換ではありませんが、REFCLK をオフセットした AC 結合 LVDS 信号から駆動することができます(図 65 参照)。

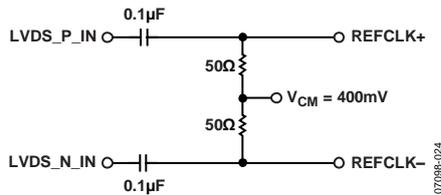


図 65. LVDS の REFCLK 駆動回路

クリーンな sine クロックが使用可能な場合、REFCLK ヘトランス結合することができます(図 66 参照)。低いサンプル・レートに対しては、CMOS または TTL のクロックの使用も可能です。CMOS から LVDS への変換の後に AC 結合することができます。

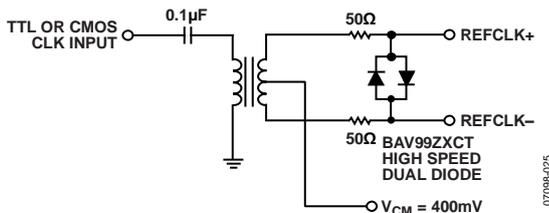


図 66. TTL または CMOS の REFCLK 駆動回路

V_{CM} を発生するシンプルなバイアス回路を図 67 に示します。クロック・バイアス回路に対しては CVDD18 と CGND を使うことが重要です。クロックに混入するノイズやその他の信号は DAC デジタル入力信号により増幅され、DAC 性能を低下させます。

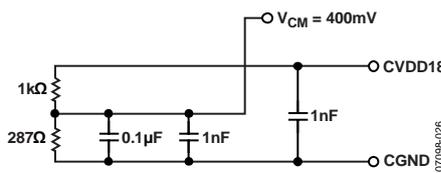


図 67. REFCLK の V_{CM} 発生回路

DAC REFCLK の設定

AD9785/AD9787/AD9788 には、DAC サンプル・クロック (DACCLK) を提供する 2 つのモードがあります。1 つ目のモードでは、低い入力周波数で動作するリファレンス・クロック、最も一般的にはデータ入力周波数を入力する内蔵クロック通倍器を採用しています。内蔵フェーズ・ロック・ループ(PLL)を使ってリファレンス・クロックを高い周波数に上げ、これを DAC で必要とされるすべての内部クロックの発生に使用します。

このクロック通倍器は、大部分のアプリケーションの性能要求を満たす高品質なクロックを提供します。内蔵のクロック通倍器を使うと、高速な DACCLK を発生して分配する負担がなくなります。

2 つ目のモードでは、クロック通倍器回路をバイパスして、DACCLK を直接 REFCLK ピンから入力します。このモードでは、非常に高品質のクロックを DAC コアへ直接入力することができます。REFCLK ピンを使って DACCLK を直接入力することは、高い出力周波数で DAC 出力ノイズが小さいことが要求されるアプリケーションで必要になります。

内蔵のクロック通倍器の使用または REFCLK ピンからの DACCLK の直接入力では、REFCLK 信号のジッタを小さくして DAC ノイズ性能を最大化する必要があります。

クロックの直接駆動

PLL をディスエーブルした場合(レジスタ 0x04、ビット 15 = 0)、REFCLK 入力が直接 DAC サンプル・クロック (DACCLK) として使われます。DATACLK 出力ピンの出力周波数は、

$$f_{DATACLK} = f_{DACCLK} \div IF$$

ここで、 IF はインターポレーション・ファクタ(レジスタ 0x01、ビット[7:6]で設定)。

クロックの通倍

PLL をイネーブルした場合(レジスタ 0x04、ビット 15 = 1)、クロック通倍回路が低レートの REFCLK 入力から DAC サンプル・クロックを発生します。クロック通倍器の機能ブロック図を図 68 に示します。

クロック通倍回路は、VCO 出力周波数 f_{VCO} が REFCLK 入力信号周波数の $N1 \times N2$ 倍になるように動作します。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N2)$$

DAC サンプル・クロック周波数 f_{DACCLK} は、次のようになります。

$$f_{DACCLK} = f_{REFCLK} \times N2$$

$N1$ と $N2$ の値は、 f_{VCO} が 1.0 GHz ~ 2.0 GHz の最適動作範囲内を維持するように選択する必要があります。VCO 出力周波数が既知の場合、該当する PLL バンド・セレクト値(レジスタ 0x04、ビット[7:2])を選択することができます。

PLL のバイアス設定

PLL 回路には 3 つのバイアス設定があり、公称値を設定する必要があります。表 34 に示す PLL 値は、これらのパラメータの推奨設定です。

表 34. PLL の設定

PLL SPI Control	Address		Optimal Setting
	Register	Bit	
PLL Loop Bandwidth	0x04	[20:16]	01111
PLL VCO Drive	0x04	[1:0]	11
PLL Bias	0x04	[10:8]	011

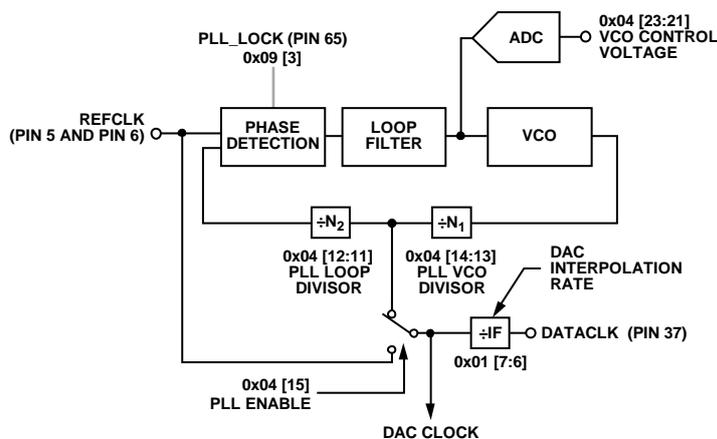


図 68. クロック通信回路

表 35. 代表的な VCO 周波数範囲対 PLL バンド・セレクト値

PLL Lock Ranges over Temperature, -40°C to +85°C		
PLL Band Select	VCO Frequency Range in MHz ¹	
	f _{LOW}	f _{HIGH}
111111 (63)	Auto mode	Auto mode
111110 (62)	1975	2026
111101 (61)	1956	2008
111100 (60)	1938	1992
111011 (59)	1923	1977
111010 (58)	1902	1961
111001 (57)	1883	1942
111000 (56)	1870	1931
110111 (55)	1848	1915
110110 (54)	1830	1897
110101 (53)	1822	1885
110100 (52)	1794	1869
110011 (51)	1779	1853
110010 (50)	1774	1840
110001 (49)	1748	1825
110000 (48)	1729	1810
101111 (47)	1730	1794
101110 (46)	1699	1780
101101 (45)	1685	1766
101100 (44)	1684	1748
101011 (43)	1651	1729
101010 (42)	1640	1702
101001 (41)	1604	1681
101000 (40)	1596	1658
100111 (39)	1564	1639
100110 (38)	1555	1606
100101 (37)	1521	1600
100100 (36)	1514	1575
100011 (35)	1480	1553
100010 (34)	1475	1529
100001 (33)	1439	1505
100000 (32)	1435	1489

PLL Lock Ranges over Temperature, -40°C to +85°C		
PLL Band Select	VCO Frequency Range in MHz ¹	
	f _{LOW}	f _{HIGH}
011111 (31)	1402	1468
011110 (30)	1397	1451
011101 (29)	1361	1427
011100 (28)	1356	1412
011011 (27)	1324	1389
011010 (26)	1317	1375
011001 (25)	1287	1352
011000 (24)	1282	1336
010111 (23)	1250	1313
010110 (22)	1245	1299
010101 (21)	1215	1277
010100 (20)	1210	1264
010011 (19)	1182	1242
010010 (18)	1174	1231
010001 (17)	1149	1210
010000 (16)	1141	1198
001111 (15)	1115	1178
001110 (14)	1109	1166
001101 (13)	1086	1145
001100 (12)	1078	1135
001011 (11)	1055	1106
001010 (10)	1047	1103
001001 (9)	1026	1067
001000 (8)	1019	1072
000111 (7)	998	1049
000110 (6)	991	1041
000101 (5)	976	1026
000100 (4)	963	1011
000011 (3)	950	996
000010 (2)	935	981
000001 (1)	922	966
000000 (0)	911	951

¹ この表のロック・レンジは typ 値です。実際のロック・レンジはデバイスごとに変わります。

PLL バンド・セレクト値の設定

PLL VCO は約 1.0 GHz~2.0 GHz の有効動作範囲を持ち、表 35 に示すように 63 個の重複する周波数帯域でカバーされています。所望の VCO 出力周波数に対して、複数の有効 PLL バンド・セレクト値が存在します。表 35 に示すデータは、代表的なデバイスのデータであることに注意してください。デバイス間の変動により、実際の VCO 出力周波数範囲は 30 MHz~40 MHz だけシフトすることがあります。また、VCO 出力周波数は温度の関数として変化します。したがって、最適な PLL バンド・セレクト値は各デバイスに対して特定の動作温度で指定する必要があります。

デバイスは自動 PLL バンド・セレクト機能を内蔵しています。イネーブルすると、デバイスは与えられた温度でデバイスの最適 PLL バンド設定を決定します。この設定は、周囲温度で $\pm 60^{\circ}\text{C}$ の温度変化に耐えることができます。デバイスがこれより大きな温度変化がある環境で動作する場合には、オフセットを自動的に選択された PLL バンドに加える必要があります。次の手順に、ユーザーの介入なしにデバイスが -40°C ~ $+85^{\circ}\text{C}$ の合計動作範囲で周囲温度の変化に耐えるデバイスの PLL バンド・セレクト値の設定方法を示します。(この手順中に、デバイスに REFCLK を入力している必要があることに注意してください)。

温度検出による PLL バンド・セレクトの設定

N1 (レジスタ 0x04、ビット[14:13])と N2 (レジスタ 0x04、ビット[12:11])の値を表 34 に示す PLL 設定と一緒に設定する必要があります。

1. PLL バンド・セレクト[5:0]値(レジスタ 0x04、Bits [7:2])を 63 に設定して、PLL 自動モードをイネーブルします。
2. PLL_LOCK ピンまたは PLL ロック・インジケータ(レジスタ 0x09、ビット 3)がハイ・レベルになるのを待ちます。これは 5 ms 以内に発生する必要があります。
3. 6 ビットの PLL バンド・セレクト値(レジスタ 0x04、ビット[7:2])を読み出します。

4. PLL 自動モードをイネーブルしたときの温度に基づいて、リードバック値を PLL バンド・セレクト[5:0]パラメータ(レジスタ 0x04、ビット[7:2])に再書き込みすることにより、表 36 または表 37 に示す PLL バンドを設定します。

表 36. 低域(0~31)バンドに対する最適 PLL バンドの設定

System Start-Up Temperature	Set PLL Band to
-40°C to -10°C	Readback Band + 2
-10°C to $+15^{\circ}\text{C}$	Readback Band + 1
15°C to 55°C	Readback Band
55°C to 85°C	Readback Band - 1

表 37. 高域(32~62)バンドに対する最適 PLL バンドの設定

System Start-Up Temperature	Set PLL Band to
-40°C to -30°C	Readback Band + 3
-30°C to -10°C	Readback Band + 2
-10°C to $+15^{\circ}\text{C}$	Readback Band + 1
15°C to 55°C	Readback Band
55°C to 85°C	Readback Band - 1

メモリを使う既知温度キャリブレーション

温度検出による PLL バンド・セレクトの設定のセクションの手順では、動作温度全域に耐える最適 PLL バンド・セレクト値を選択するためには、スタートアップ時またはデバイスのリセット時に温度検出が必要です。温度検出機能がシステム内にはない場合は、別のオプションとして、自動 PLL バンド・セレクトを使ってデバイスが既知温度の工場環境にあるときにデバイスの最適設定を決めることです。最適バンドは不揮発性メモリに保存されます。システムがパワーアップまたはリスタートするたびに、最適値がデバイスにロードされます。

アナログ出力

I DAC と Q DAC のフル・スケール電流は、8.66 mA～31.66 mA に設定することができます。まず、1.2 V のバンド・ギャップ・リファレンス電圧を使って、I120 (Pin 75)に接続された外付け抵抗の電流を設定します。リファレンス回路の簡略化したブロック図を図 69 に示します。

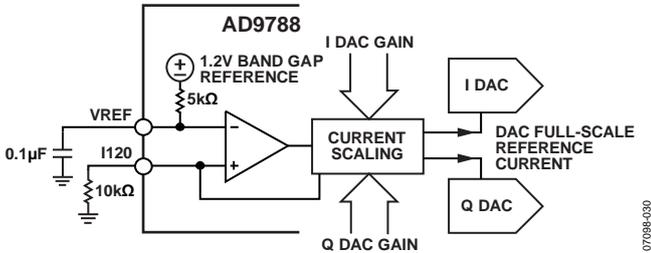


図 69.フル・スケール電流発生回路

外付け抵抗の推奨値は 10 kΩ であり、抵抗を流れる $I_{\text{REFERENCE}}$ を 120 μA に設定します。この電流が DAC の出力フル・スケール電流を 20 mA に決定します。ゲイン誤差はこの抵抗の線形関数であるため、高精度の抵抗を使うと、デバイスの内部マッチング仕様に従ってゲイン・マッチングを向上させることができます。内部電流ミラーは電流ゲイン・スケール機能を提供します。DAC ゲインは、SPI ポート・レジスタ(レジスタ 0x05 とレジスタ 0x07)内の 10 ビット・ワードで指定されます。DAC ゲイン・レジスタのデフォルト値は約 20 mA の I_{FS} を与え、ここで、I DAC または Q DAC の I_{FS} は次式で与えられます。

$$\frac{1.2 \text{ V}}{R} \times \left(\frac{27}{12} + \left(\frac{6}{1024} \times \text{DAC gain} \right) \right) \times 32$$

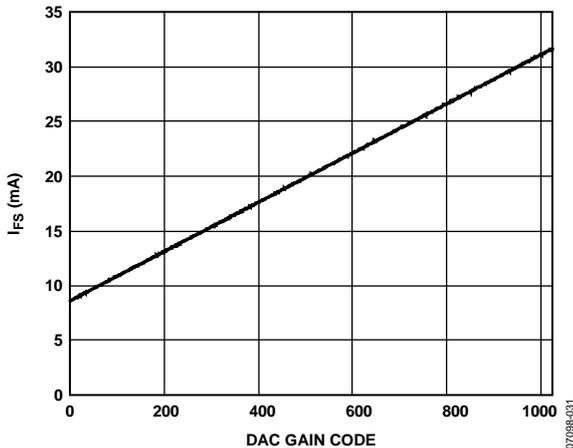


図 70.DAC フル・スケール電流対 DAC ゲイン・コード

振幅のデジタル・スケーリング

アナログ DAC 出力のゲイン・スケーリングは、レジスタ 0x05 とレジスタ 0x07 の値を変更することにより行われます。ただし、これを行うと、アナログ出力での出力コモン・モード電圧も比例して小さくなります。AD9785/AD9787/AD9788 が直交変調器に DC 結合されている場合には、これによって問題が生ずることがあります。一般的な直交変調器は、入力コモン・モードの変動に対して厳しい制約を持っています。

AD9785/AD9787/AD9788 では、デジタル・ゲイン・スケーリング・ブロックを使ってこの問題に対処しています。ゲイン・スケーリングは AD9785/AD9787/AD9788 内でデジタル処理によって行われているため、出力フル・スケール電流に対する影響はありません。このデジタル・ゲイン・スケーリングは、信号のミッドスケール値に影響を与えない方法で行われます。ミッドスケールを中心とする信号変化の大きさは、レジスタの設定で調整される値に一致しています。デジタル・ゲイン・スケーリングは、振幅スケール・ファクタ(ASF)レジスタ(レジスタ 0x0C)を使って行われます。

補助 DAC の動作

AD9785/AD9787/AD9788 には 2 個の補助 DAC があります。これらの DAC のフル・スケール出力電流は、1.2 V のバンド・ギャップ・リファレンス電圧と外付け抵抗から発生されます。リファレンス・アンパ電流 $I_{\text{REFERENCE}}$ から補助 DAC リファレンス電流へのゲイン・スケールは、補助 DAC ゲインをフルスケールに設定した場合 16.67 です(10 ビット値、レジスタ 0x06 のビット[9:0]とレジスタ 0x08 のビット[9:0])。この値が、補助 DAC 1 と補助 DAC 2 の約 2 mA のフル・スケール電流を与えます。

補助 DAC 出力は、差動ではありません。補助 DAC の両方(P と N)が同時にアクティブになることはできません。非アクティブな方は高インピーダンス状態(100 kΩ)になります。さらに、P 出力または N 出力が電流ソースまたは電流シンクとして機能することができます。両補助 DAC の P 側と N 側の制御は、レジスタ 0x06 とレジスタ 0x08 のビット[15:14]を使って行います。電流ソースのときの出力コンプライアンス電圧は 0 V～1.6 V で、電流シンクのときの出力コンプライアンス電圧は 0.8 V～1.6 V です。

各補助 DAC には 2 つの出力信号があります。一方の信号は P と、他方は N と、それぞれ呼ばれます。各補助 DAC コントロール・レジスタ(ビット 15)の符号ビットにより、補助 DAC の P 側または N 側のいずれがターンオンするかが指定されます。補助 DAC の両方が同時にアクティブになることはできません。補助 DAC の構造を図 71 に示します。

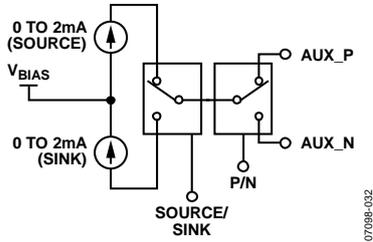


図 71. 補助 DAC の構造

補助 DAC 1 の電流の大きさは、補助 DAC 1 コントロール・レジスタ(レジスタ 0x06)により、補助 DAC 2 の電流の大きさは、補助 DAC 2 コントロール・レジスタ(レジスタ 0x08)により、それぞれ制御されます。これらの補助 DAC は、電流のソースまたはシンク能力を持っています。この選択は、いずれかの補助 DAC コントロール・レジスタのビット 14 で行います。

シンクまたはソースの選択は、回路デザイン時に行う必要があります。回路が完成した後の電流のソースとシンクとの間の切り替えには利点がありません。

DAC 出力の後ろに直交変調器が続く場合には、補助 DAC をローカル発振器(LO)フィードスルーの相殺に使うことができます。この LO のフィードスルーは直交変調器の入力換算 DC オフセット電圧(および DAC 出力オフセット電圧の不一致)によって発生するため、システム性能が低下します。DAC と直交変調器との間の代表的なインターフェースを図 72 と図 73 に示します。変調器の入力共通・モード電圧が DAC の出力コンプライアンス・レンジより大きくなることもあるため、AC 結合または DC レベル・シフトが必要になります。直交変調器の所要共通・モード入力電圧が DAC のそれと一致する場合は、図 72 の DC 阻止コンデンサは不要になります。

直交変調器入力での DAC からのスプリアス信号(歪みと DAC イメージ)がシステム性能に影響を与える場合には、ローパスまたはバンドパスの受動フィルタの使用が推奨されます。図 72 と図 73 に示す位置にフィルタを接続すると、ソース・インピーダンスと負荷インピーダンスを容易に 50 Ω に近づけることができるため、フィルタのデザインが容易になります。

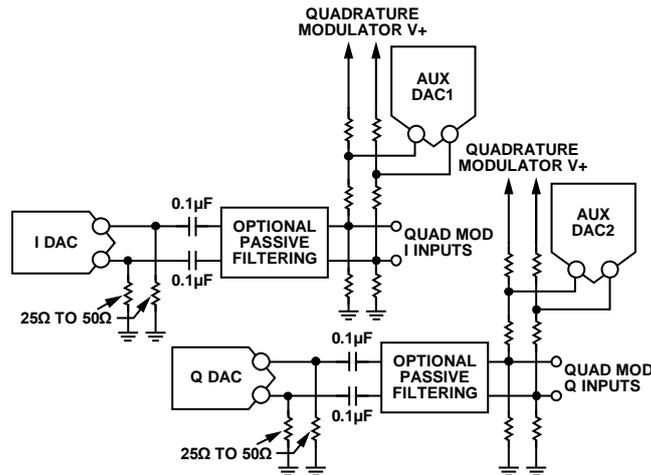


図 72. 直交変調器に AC 結合した補助 DAC の代表的な使い方

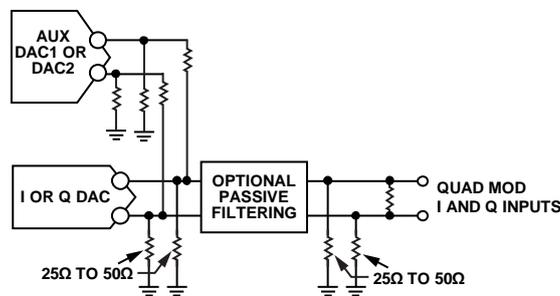


図 73. 直交変調器に DC シフト付きで DC 結合した補助 DAC の代表的な使い方

消費電力

図 74 ~ 図 78 に、種々の動作条件での AD9785/AD9787/AD9788 の消費電力を示します。すべてのグラフは、I チャンネルと Q チャンネルにデータを入力して取得したものです。デバイスの消費電力は、変調モードまたはアナログ出力周波数が変化しても大幅に変わることはありません。全消費電力のグラフは、DVDD18、DVDD33、CVDD18 の各電源の消費電力と一緒に示してあります。

AVDD33 電源レールの消費電力は、デジタル動作モードとサンプル・レートに依存しません。I DAC と Q DAC のフル・スケール電流を公称値の 20 mA に設定したときの、AVDD33 電源レールの電流(typ)は 51 mA (182 mW)です。フル・スケール電流を変えると、AVDD33 レールの電源電流に直接影響があります。たとえば、I DAC と Q DAC のフル・スケール電流をそれぞれ 10 mA に変えると、AVDD33 電源電流は 31 mA に減少します。

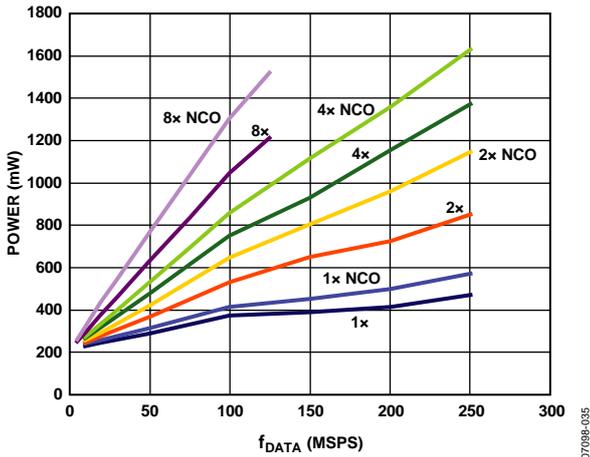


図 74.消費電力、I と Q にデータあり、デュアル DAC モード

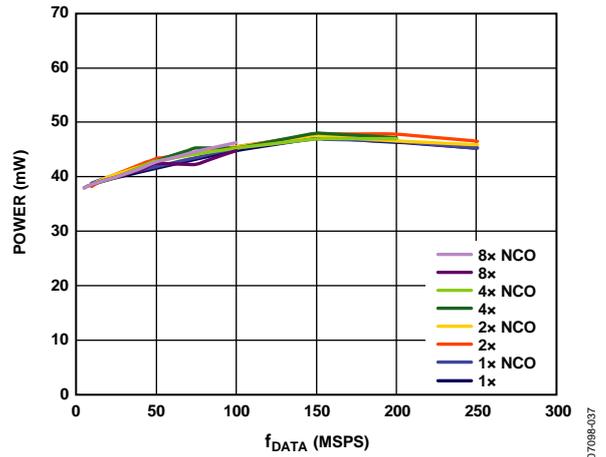


図 76.消費電力、デジタル 3.3 V 電源、I と Q にデータあり、デュアル DAC モード

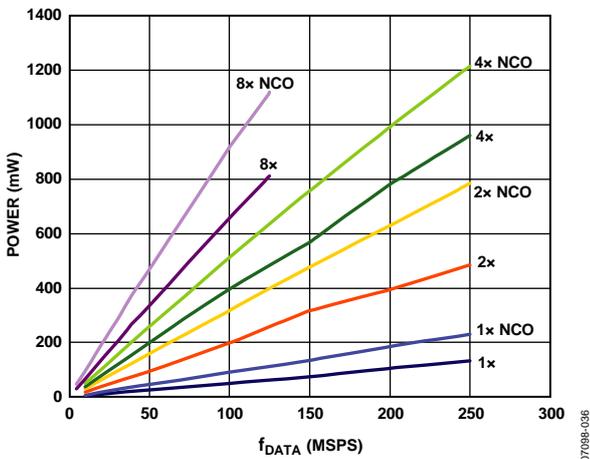


図 75.消費電力、デジタル 1.8 V 電源、I と Q にデータあり、デュアル DAC モード

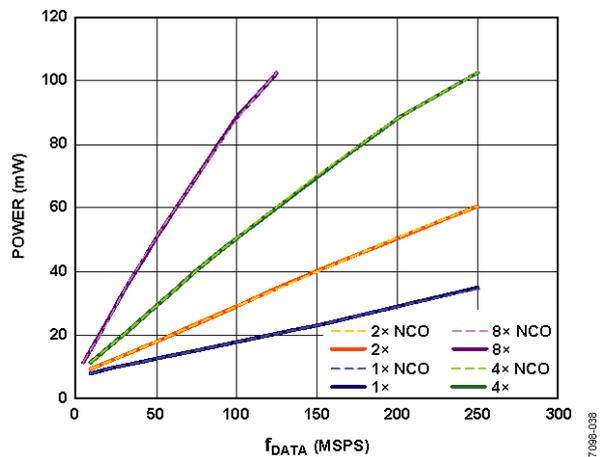


図 77.消費電力、クロック 1.8 V 電源、I と Q にデータあり、デュアル DAC モード

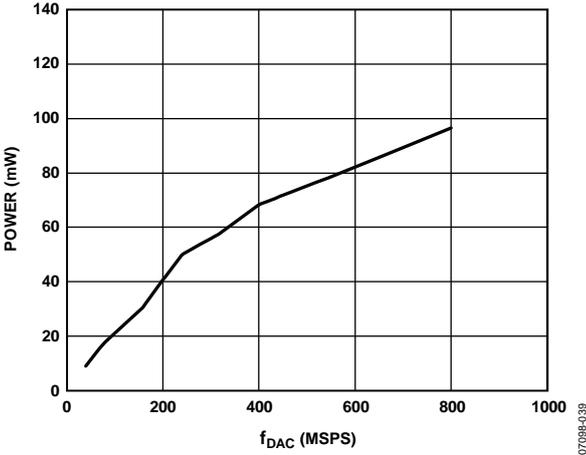


図 78. デジタル 1.8 V 電源、逆 Sinc フィルタの消費電力

AD9785/AD9787/AD9788の評価ボード

このデータ・シートの以降部分では、AD9785、AD9787、AD9788 の各デバイスをテストするための評価ボードについて説明します。

出力の設定

各評価ボードにはアナログ・デバイゼズの ADL5372 直交変調器が実装されています。AD9785/AD9787/AD9788 デバイスと ADL5372 により、評価ボード上で容易に評価でき、かつインターフェースが容易な DAC と変調器の組み合わせを提供します。

AD9785/AD9787/AD9788 のシングルエンド出力または差動出力を評価するためにハンダ付け可能なジャンパを設定することができます。

出荷時のデフォルト・ジャンパ設定

- ジャンパーJP2、JP3、JP4、JP8 のハンダ接続はありません。
- ジャンパーJP14、JP15、JP16、JP17 はハンダ接続済みです。

評価ボード上で ADL5372 を評価するときは、ジャンパ位置を次のように変えてください。

- ジャンパーJP2、JP3、JP4、JP8 をハンダ接続します。
- ジャンパーJP14、JP15、JP16、JP17 のハンダ接続を外します。

ADL5372 も評価ボード上で 5 V と GND の分離を必要とすることに注意してください。

評価ボードの写真

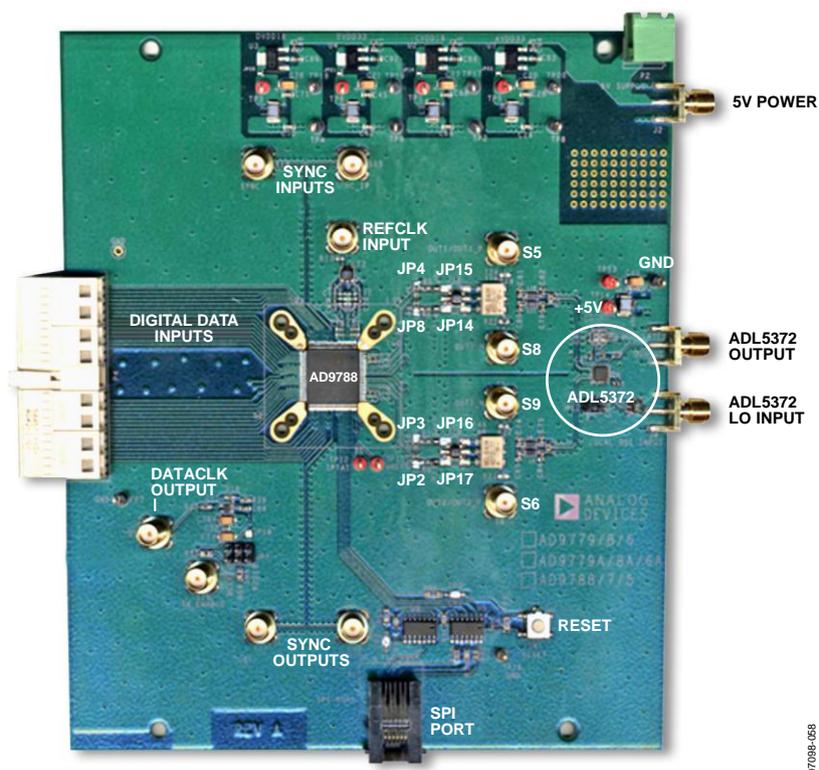


図 79. 評価ボード

07095e-058

評価ボード・ソフトウェア

Microsoft® Windows®向けの GUI.exe ファイルが評価ボードに添付されている CD に含まれています。このファイルを使うと、ユーザーは AD9785/AD9787/AD9788 上のすべての機能を容易に

設定することができます。図 80 に、このユーザー・インターフェースを示します。図には AD9785/AD9787/AD9788 の設定で最も重要な機能を示してあります。

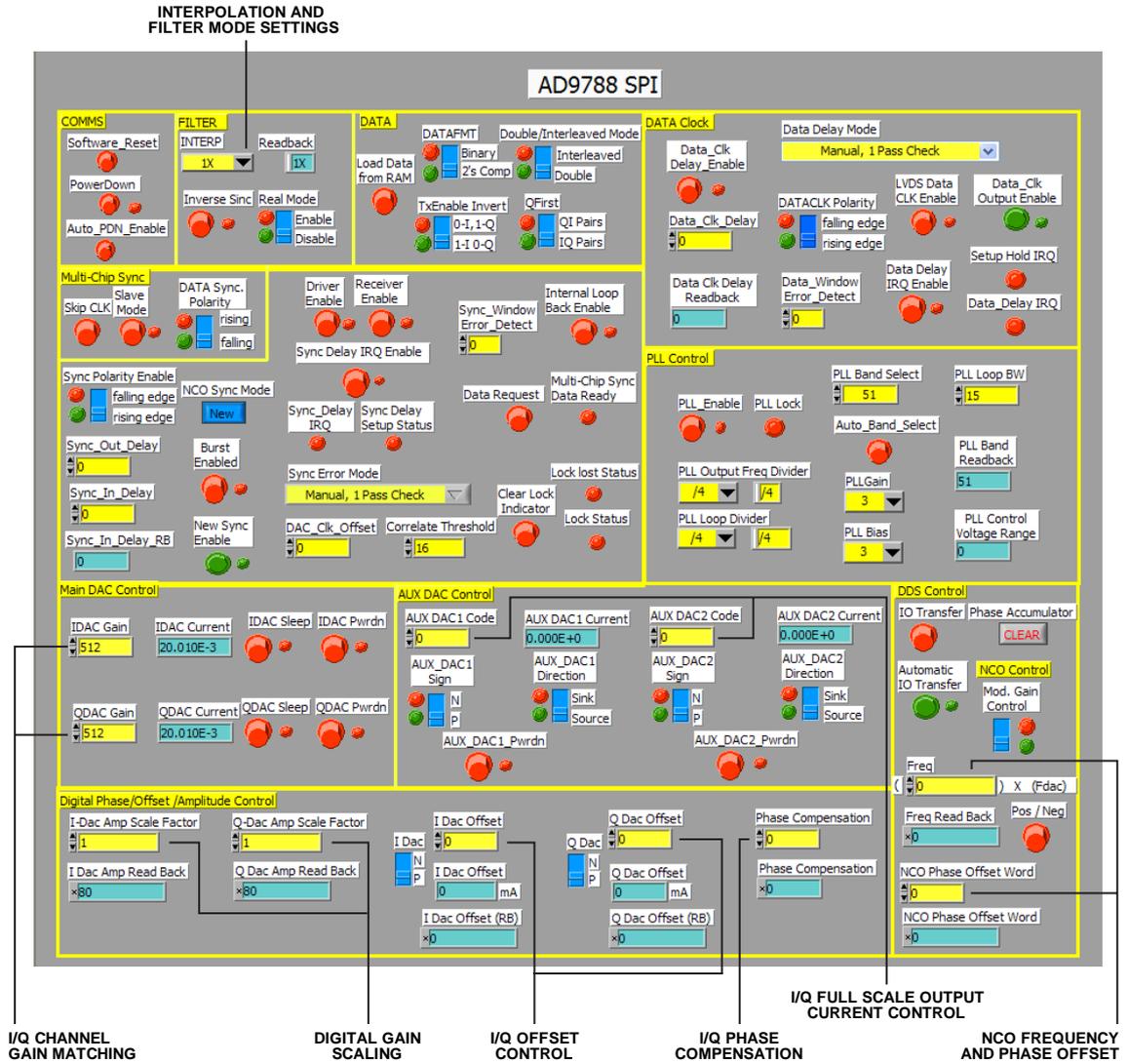


図 80. AD9788 のユーザー・インターフェース

評価ボードの回路図

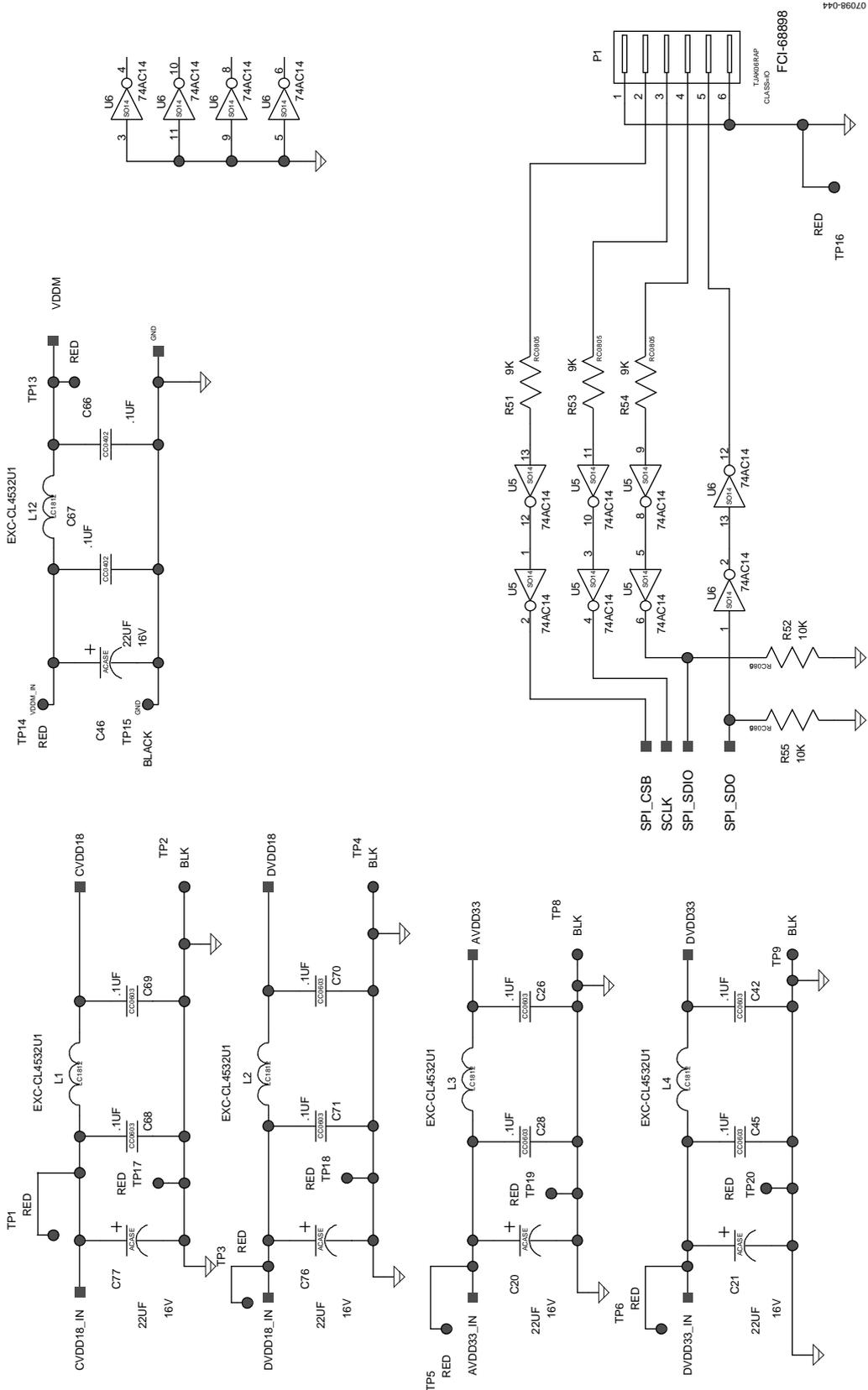


図 81. 評価ボード、電源とデカップリング・コンデンサ

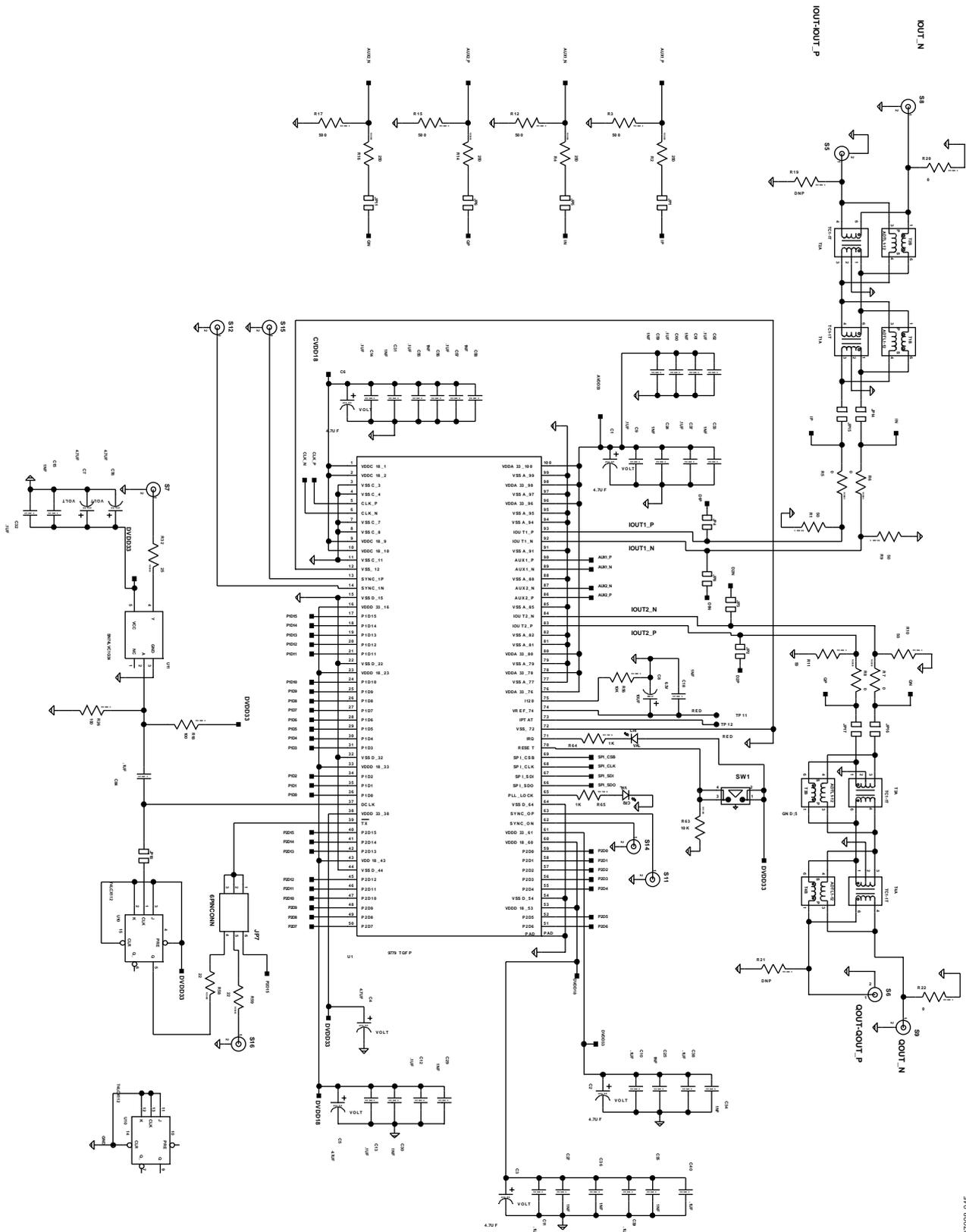


図 82. 評価ボード、TxDAC に対するアナログ・インターフェースとデジタル・インターフェース

070985-045

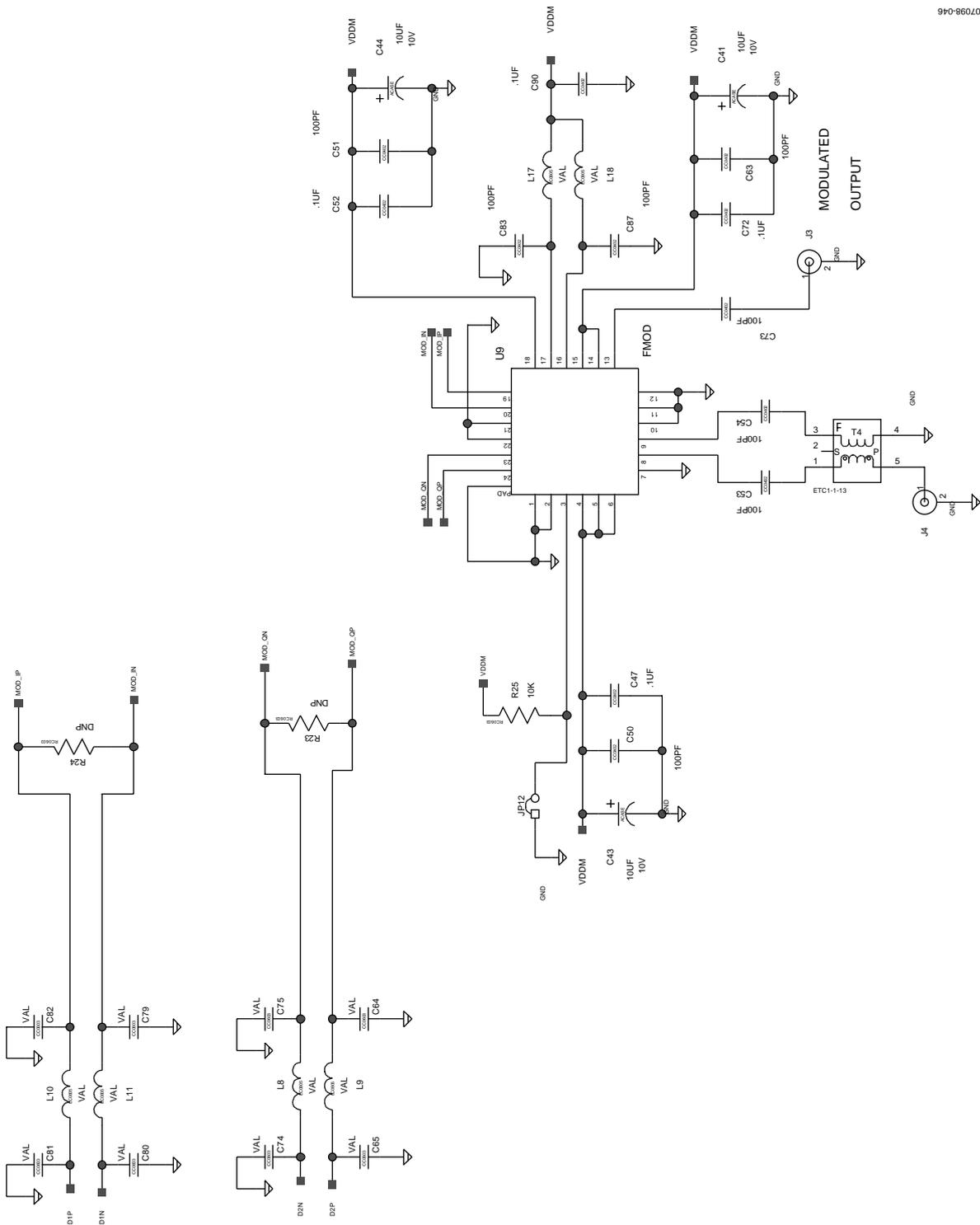


图 83. 評価ボード、ADL5372 (FMOD2) 直交変調器

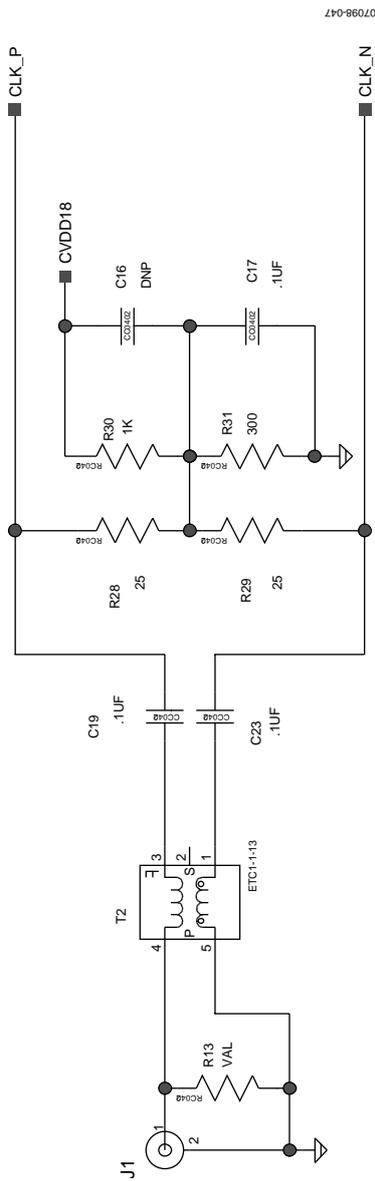


図 84. 評価ボード、TxDAC クロック・インターフェース

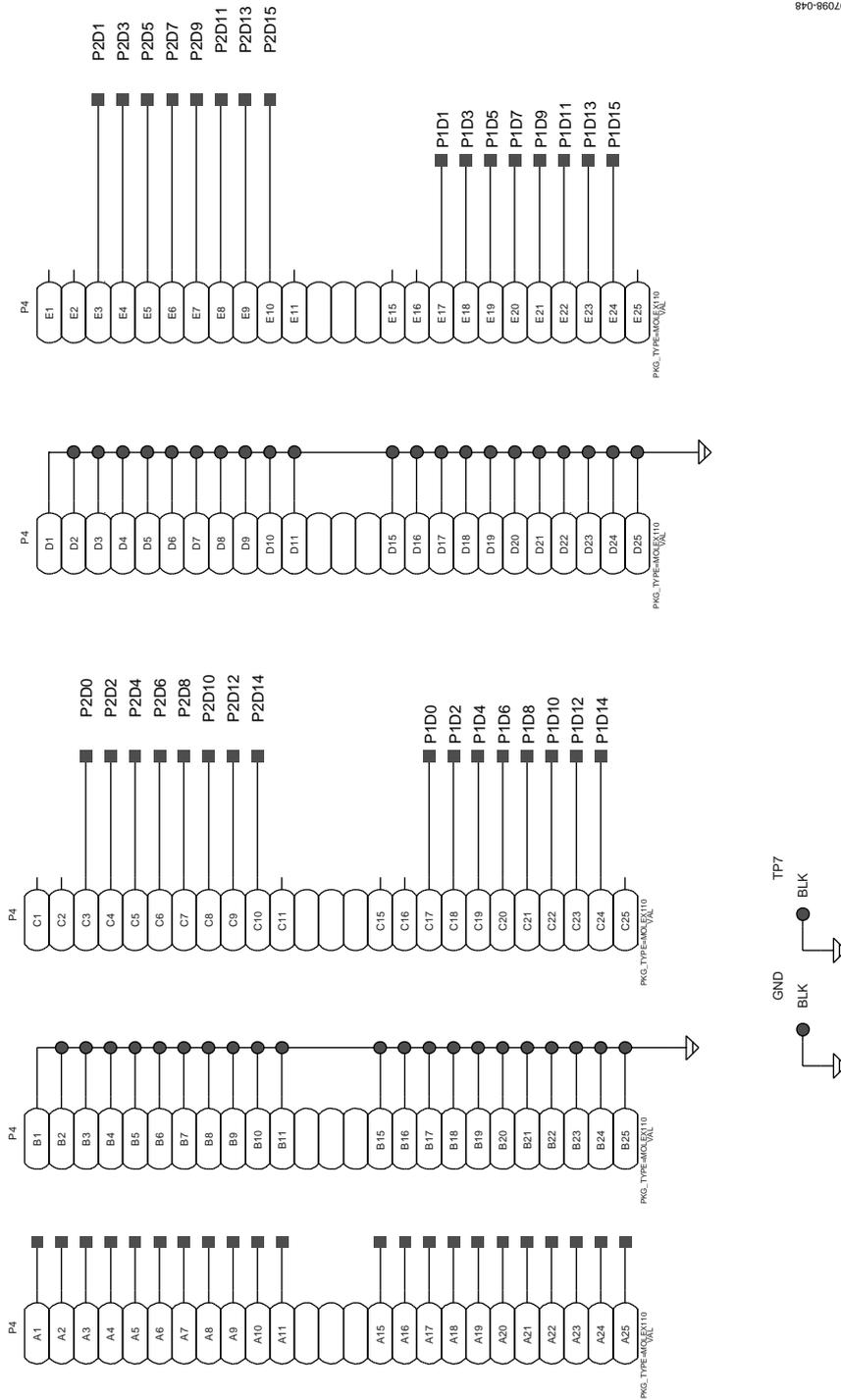


図 85. 評価ボード、デジタル入力データ・ライン

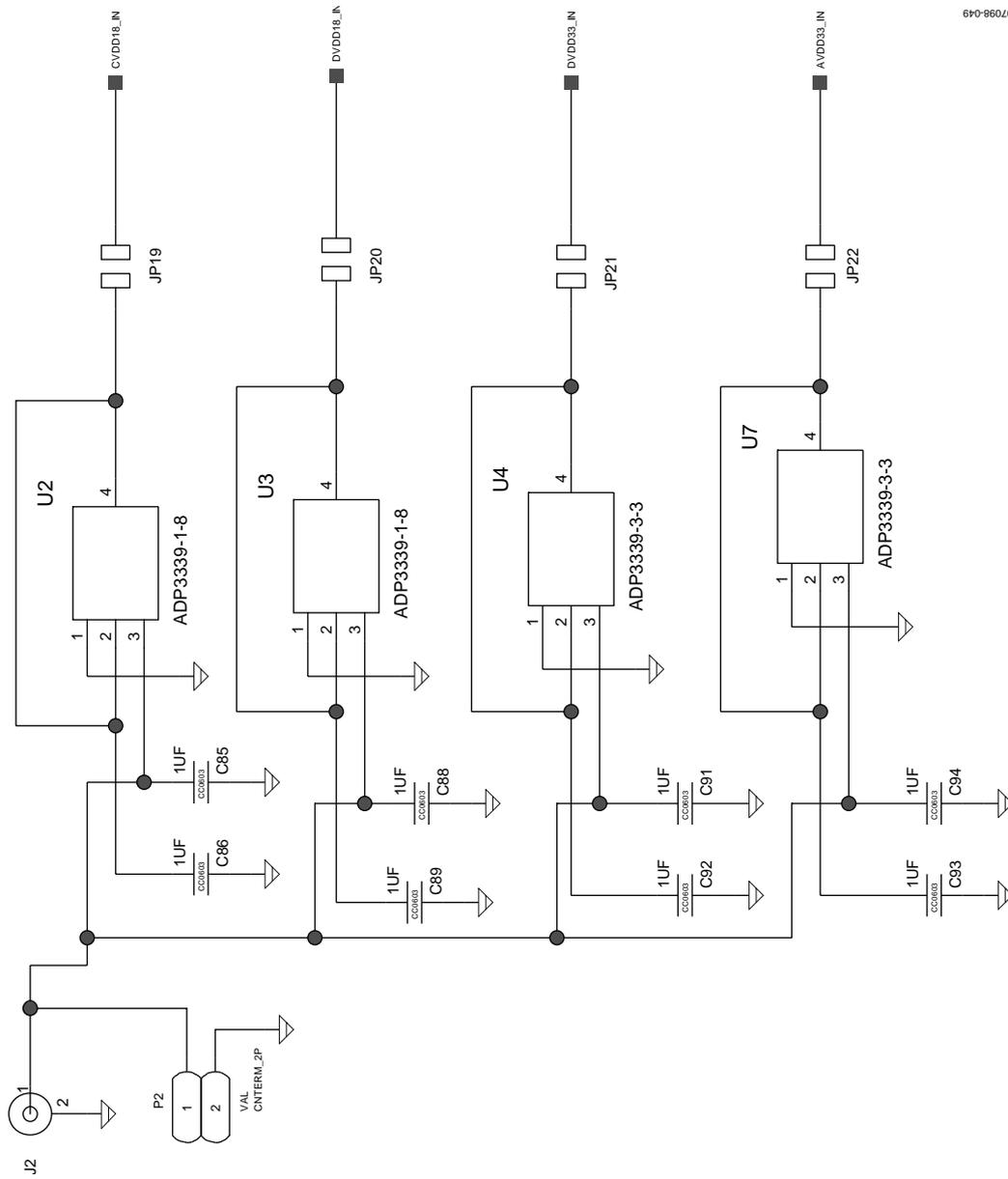
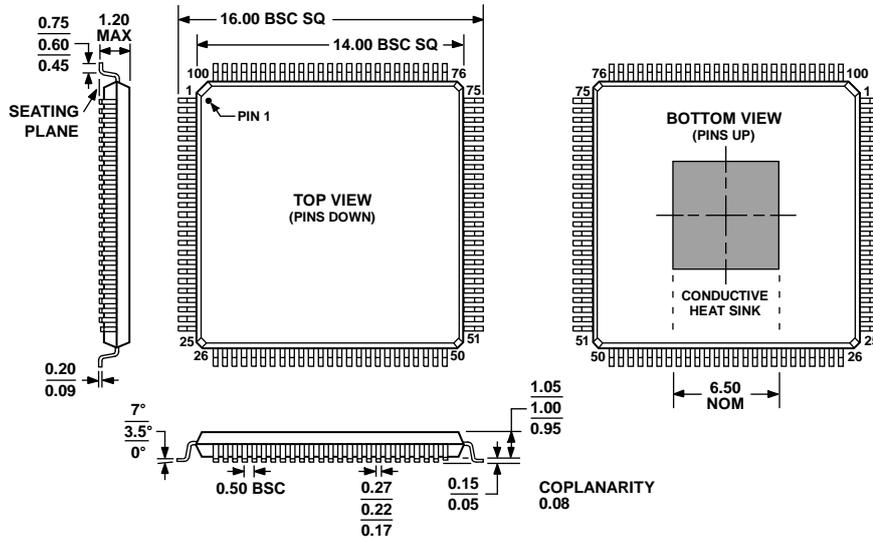


図 86. 評価ボード、内蔵電源

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HDT

- NOTES:
1. CENTER FIGURES ARE TYPICAL UNLESS OTHERWISE NOTED.
 2. THE PACKAGE HAS A CONDUCTIVE HEAT SLUG TO HELP DISSIPATE HEAT AND ENSURE RELIABLE OPERATION OF THE DEVICE OVER THE FULL INDUSTRIAL TEMPERATURE RANGE. THE SLUG IS EXPOSED ON THE BOTTOM OF THE PACKAGE AND ELECTRICALLY CONNECTED TO CHIP GROUND. IT IS RECOMMENDED THAT NO PCB SIGNAL TRACES OR VIAS BE LOCATED UNDER THE PACKAGE THAT COULD COME IN CONTACT WITH THE CONDUCTIVE SLUG. ATTACHING THE SLUG TO A GROUND PLANE WILL REDUCE THE JUNCTION TEMPERATURE OF THE DEVICE, WHICH MAY BE BENEFICIAL IN HIGH TEMPERATURE ENVIRONMENTS.
 3. θ_{JA} : 27.4°C/W WITH THERMAL PAD UNSOLDERED, 19.1°C/W WITH THERMAL PAD SOLDERED TO PCB.

図 87.100 ピン薄型クワッド・フラット・パッケージ、露出パッド[TQFP_EP] (SV-100-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9785BSVZ ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9785BSVZRL ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9787BSVZ ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9787BSVZRL ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9788BSVZ ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9788BSVZRL ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-1
AD9785-EBZ ¹		Evaluation Board	
AD9787-EBZ ¹		Evaluation Board	
AD9788-EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品

D07098-0-1/08(0)-J

121207-A