

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2009年10月27日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2009年10月27日

製品名：AD9780/9781/9783

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正(補足説明)箇所：

1) P.17 ページ右下 「複素イメージ除去」の部分

この説明は適切ではないので、この部分は無視してください。

2) P.25 表 14 および本文右欄部分

「600MHz」での説明がありますが、製品としては500MHzが性能上限周波数となっており、この「600MHz」は誤記でありますので、この部分は無視してください。表14の右列の $f_{DACCLK} = 600MHz$ の部分も同様に無視してください。

3) P.25 ページ右欄 「SMP値の決定」の部分

項目1. から項目4. それぞれで600MHzの例が示されており、かつ数字も適切ではないために、この600MHzを例にした数字の部分は無視してください。項目4. の「600MHzの場合、SMPの最適値は7です。」の説明も無視してください。

また項目3. の説明が適切ではないため、この項目3. は削除いただいたうえで、項目4. をあらたに項目3. として読みかえてください。

特長

- 広いダイナミック・レンジ、デュアル DAC 製品
- 低いノイズと相互変調歪み
- シングル・キャリア W-CDMA ACLR = 80 dBc @ 61.44 MHz IF
- 技術革新的なスイッチング出力段により、ナイキスト周波数を超える有効出力を実現
- デュアル・ポートまたはオプションのシングル・ポート（インターリーブ）動作による LVDS 入力
- 8.6~31.7 mA フルスケールの設定が可能な差動アナログ電流出力
- 外部オフセット調整用として電流ソース/シンク能力を備えた 10 ビット電流出力補助 DAC
- 1.2 V の高精度リファレンス電圧源を内蔵
- 1.8 V および 3.3 V 電源動作
- 315 mW の消費電力
- 小型フットプリント、RoHS 準拠の 72 ピン LFCSP

アプリケーション

- 無線インフラストラクチャ
- W-CDMA、CDMA2000、TD-SCDMA、WiMAX
- ワイドバンド通信
- LMDS/MMDS、ポイント to ポイント
- RF 信号発生器、任意波形発生器

概要

AD9780/AD9781/AD9783 は、それぞれピン互換で 12/14/16 ビット分解能を持ち、最大サンプリング・レート 500 MSPS および広いダイナミック・レンジを持つデュアル D/A コンバータ (DAC) です。各デバイスは、ゲインおよびオフセット補正機能を内蔵し、ダイレクト・コンバージョン送信アプリケーションに特化した機能を持ち、ADL5370 などのアナログ直交変調器とシームレスに接続できます。

独自開発のダイナミック出力アーキテクチャにより、基本周波数からイメージ周波数にエネルギーをシフトすることによって、ナイキスト周波数を超えたアナログ出力でも生成が可能です。

シリアル・ペリフェラル・インターフェース (SPI) ポートを通じてすべての設定が可能です。また、コントローラを使用しないアプリケーション向けに、ピン設定によるプログラム機能も用意されています。

製品のハイライト

1. ノイズと相互変調歪み (IMD) が低いため、広帯域信号を高品質に生成可能
2. 独自のスイッチング出力により、動的性能が向上
3. プログラマブルな電流出力とデュアル補助 DAC により、柔軟性とシステム性能が向上

機能ブロック図

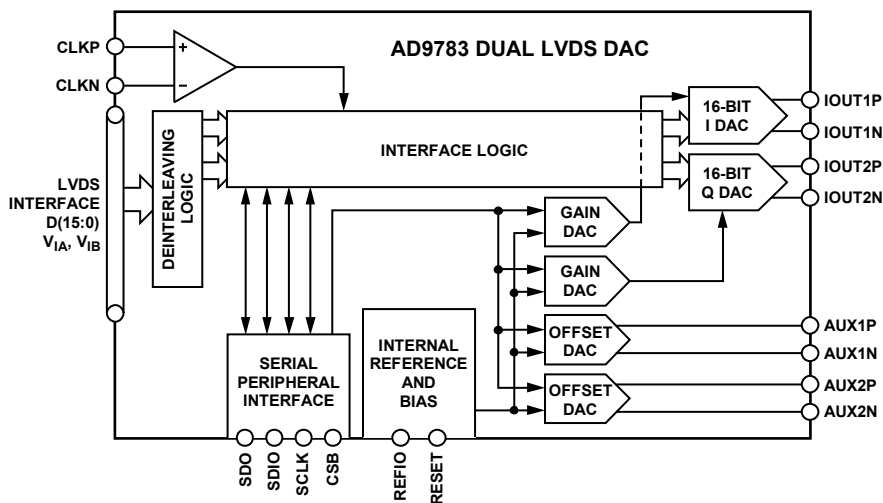


図 1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007-2008 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	シリアル・インターフェースの一般的な動作.....	18
アプリケーション.....	1	命令バイト.....	18
概要.....	1	MSB/LSB 転送.....	19
製品のハイライト.....	1	シリアル・インターフェース・ポート・ピンの説明.....	19
機能ブロック図.....	1	SPI レジスタ・マップ.....	20
改訂履歴.....	2	SPI レジスタの説明.....	21
仕様.....	3	SPI ポート、リセット、およびピン・モード.....	23
DC 仕様.....	3	パラレル・データ・ポート・インターフェース.....	24
デジタル仕様.....	4	パラレル・ポート・タイミングの最適化.....	24
AC 仕様.....	4	CLK 入力の駆動.....	26
絶対最大定格.....	5	フルスケール電流の生成.....	26
熱抵抗.....	5	DAC の伝達関数.....	27
ESD に関する注意.....	5	アナログ動作モード.....	27
ピン配置とピン機能の説明.....	6	消費電力.....	29
代表的な性能特性.....	9	評価用ボードの回路図.....	30
用語の説明.....	17	外形寸法.....	35
動作原理.....	18	オーダー・ガイド.....	35
シリアル・ペリフェラル・インターフェース.....	18		

改訂履歴

6/08—Rev. 0 to Rev. A

Changed Maximum Sample Rate to 500 MHz Throughout.....	1
Changes to Table 3.....	4
Changes to Building the Array Section.....	25
Changes to Determining the SMP Value Section.....	25
Added Evaluation Board Schematics Section.....	30
Updated Outline Dimensions.....	35

11/07—Revision 0: Initial Version

仕様

DC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプリング・レート。

表 1.

Parameter	AD9780			AD9781			AD9783			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION		12			14			16		Bits
ACCURACY										
Differential Nonlinearity (DNL)		±0.13			±0.5			±2		LSB
Integral Nonlinearity (INL)		±0.25			±1			±4		LSB
MAIN DAC OUTPUTS										
Offset Error	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
Gain Error (with Internal Reference)		±2			±2			±2		% FSR
Full-Scale Output Current ¹	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
Output Compliance Range	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
Output Resistance		10			10			10		MΩ
Main DAC Monotonicity Guaranteed										
MAIN DAC TEMPERATURE DRIFT										
Offset		0.04			0.04			0.04		ppm/°C
Gain		100			100			100		ppm/°C
Reference Voltage		30			30			30		ppm/°C
AUX DAC OUTPUTS										
Resolution		10			10			10		Bits
Full-Scale Output Current	-2		+2	-2		+2	-2		+2	mA
Output Compliance Range (Source)	0		1.6	0		1.6	0		1.6	V
Output Compliance Range (Sink)	0.8		1.6	0.8		1.6	0.8		1.6	V
Output Resistance		1			1			1		MΩ
AUX DAC Monotonicity Guaranteed										
REFERENCE										
Internal Reference Voltage		1.2			1.2			1.2		V
Output Resistance		5			5			5		kΩ
ANALOG SUPPLY VOLTAGES										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
DIGITAL SUPPLY VOLTAGES										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
POWER CONSUMPTION										
$f_{DAC} = 500\text{ MSPS}$, $I_F = 20\text{ MHz}$		$V \times I$	$V \times I$		$V \times I$	$V \times I$		$V \times I$	$V \times I$	mW
$f_{DAC} = 500\text{ MSPS}$, $I_F = 10\text{ MHz}$		440			440			440		mW
Power-Down Mode		3	5		3	5		3	35	mW
SUPPLY CURRENTS ²										
AVDD33		55	58		55	58		55	58	mA
CVDD18		34	38		34	38		34	38	mA
DVDD33		13	15		13	15		13	15	mA
DVDD18		68	85		68	85		68	85	mA

¹ 10 kΩ 外部抵抗に基づく。

² $f_{DAC} = 500\text{ MSPS}$ 、 $f_{OUT} = 20\text{ MHz}$

デジタル仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプリング・レート。

表 2.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUT (CLKP, CLKN)				
Peak-to-Peak Voltage at CLKP and CLKN	400	800	1600	mV
Common-Mode Voltage	300	400	500	mV
Maximum Clock Rate	500			MSPS
SERIAL PERIPHERAL INTERFACE (CMOS INTERFACE)				
Maximum Clock Rate (SCLK)			40	MHz
Minimum Pulse Width High			12.5	ns
Minimum Pulse Width Low			12.5	ns
DIGITAL INPUT DATA (LVDS INTERFACE)				
Input Voltage Range, V_{IA} or V_{IB}	800		1600	mV
Input Differential Threshold, V_{IDTH}	-100		+100	mV
Input Differential Hysteresis, V_{IDTHH} to V_{IDTHL}		20		mV
Input Differential Input Impedance, R_{IN}	80		120	Ω
Maximum LVDS Input Rate (per DAC)	500			MSPS

AC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプリング・レート。

表 3.

Parameter	AD9780			AD9781			AD9783			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		79			78			80		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 120\text{ MHz}$		67			66			68		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 380\text{ MHz}$ (Mix Mode)		55			58			62		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 480\text{ MHz}$ (Mix Mode)		58			62			59		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)										
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		91			93			86		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 120\text{ MHz}$		80			75			79		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 380\text{ MHz}$ (Mix Mode)		69			70			64		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 480\text{ MHz}$ (Mix Mode)		60.5			61.5			66		dBc
ONE-TONE NOISE SPECTRAL DENSITY (NSD)										
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 40\text{ MHz}$		-157			-162			-165		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 120\text{ MHz}$		-154.5			-156.5			-157		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 380\text{ MHz}$ (Mix Mode)		-153			-153			-154		dBc
$f_{DAC} = 500\text{ MSPS}$, $f_{OUT} = 480\text{ MHz}$ (Mix Mode)		-152			-152			-153		dBc
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER										
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		-81			-82.5			-82		dBc
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 80\text{ MHz}$		-80			-82.5			-81		dBc
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 411.52\text{ MHz}$		-71			-68			-69		dBc
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 471.52\text{ MHz}$		-69			-69			-70		dBc

絶対最大定格

表 4.

Parameter	With Respect to	Rating
AVDD33, DVDD33	AGND, DGND, CGND	-0.3 V to +3.6 V
DVDD18, CVDD18	AGND, DGND, CGND	-0.3 V to +1.98 V
AGND	DGND, CGND	-0.3 V to +0.3 V
DGND	AGND, CGND	-0.3 V to +0.3 V
CGND	AGND, DGND	-0.3 V to +0.3 V
REFIO	AGND	-0.3 V to AVDD33 + 0.3 V
IOUT1P, IOUT1N, IOUT2P, IOUT2N, AUX1P, AUX1N, AUX2P, AUX2N	AGND	-1.0 V to AVDD33 + 0.3 V
D15 to D0	DGND	-0.3 V to DVDD33 + 0.3 V
CLKP, CLKN	CGND	-0.3 V to CVDD18 + 0.3 V
CSB, SCLK, SDIO, SDO	DGND	-0.3 V to DVDD33 + 0.3 V
Junction Temperature		+125°C
Storage Temperature		-65°C to +150°C

熱抵抗

熱抵抗のテストは、気流のない状態で JEDEC 規格の 4 層サーマル・テスト用ボードを使用して実施しました。

表 5.

Package Type	θ_{JA}	Unit
CP-72-1 (Exposed Pad Soldered to PCB)	25	°C/W

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能の説明

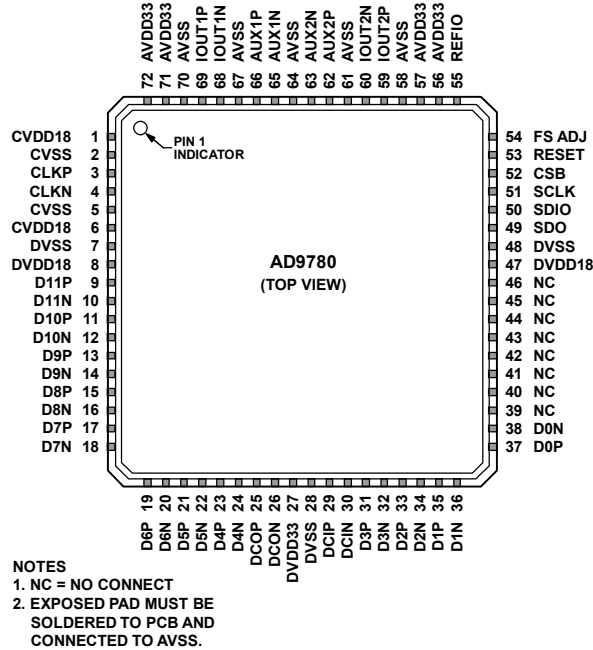
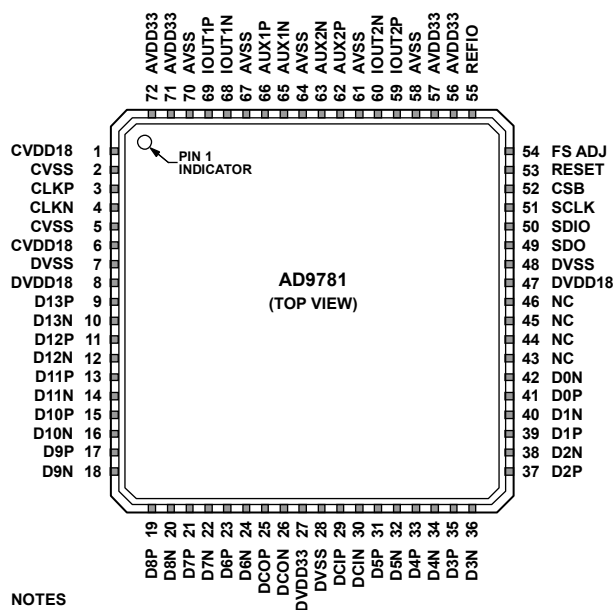


図 2. AD9780 のピン配置

表 6. AD9780 のピン機能説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8 V)
2, 5	CVSS	クロック電源リターン
3, 4	CLKP, CLKN	差動 DAC サンプリング・クロック入力
7, 28, 48	DVSS	デジタル・コモン
8, 47	DVDD18	デジタル電源電圧 (1.8 V)
9 to 24, 31 to 38	D11P, D11N to D0P, D0N	LVDS データ入力。D11 は MSB、D0 は LSB です。
25, 26	DCOP, DCON	差動データ・クロック出力。DAC サンプリング・レート of LVDS クロック
27	DVDD33	デジタル入力および出力パッド電源電圧 (3.3 V)
29, 30	DCIP, DCIN	差動データ・クロック入力。入力データと同期した LVDS クロック
39 to 46	NC	無接続。これらのピンは、フローティング状態にしてください。
49	SDO	シリアル・ポート・データ出力
50	SDIO	シリアル・ポート・データ入力 (4線式モード) または、双方向シリアル・データ・ライン (3線式モード)
51	SCLK	シリアル・ポート・クロック入力
52	CSB	シリアル・ポート・チップ・セレクト (アクティブ・ロー)
53	RESET	チップ・リセット (アクティブ・ハイ)
54	FS ADJ	フルスケール電流出力調整
55	REFIO	アナログ・リファレンス入出力 (公称値 1.2 V)
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3 V)
58, 61, 64, 67, 70	AVSS	アナログ・コモン
59	IOUT2P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
60	IOUT2N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
62, 63	AUX2P, AUX2N	差動補助 DAC 電流出力 (チャンネル 2)
65, 66	AUX1N, AUX1P	差動補助 DAC 電流出力 (チャンネル 1)
68	IOUT1N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
69	IOUT1P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
ヒート・シンク・パッド	N/A	パッケージ底面のヒート・シンク・パッドは、AVSS の電位が接続される PCB 上のパターンにハンダ付けしてください。



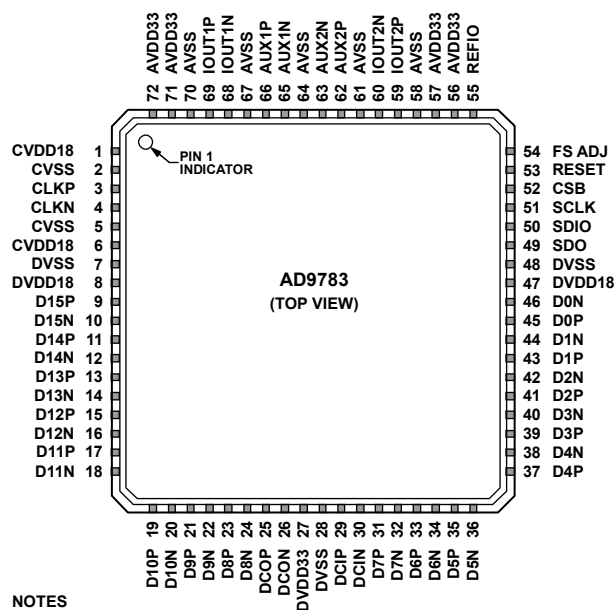
- NOTES
 1. NC = NO CONNECT
 2. EXPOSED PAD MUST BE SOLDERED TO PCB AND CONNECTED TO AVSS.

06936-003

図3. AD9781のピン配置

表7. AD9781のピン機能説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8 V)
2, 5	CVSS	クロック電源リターン
3, 4	CLKP, CLKN	差動 DAC サンプリング・クロック入力
7, 28, 48	DVSS	デジタル・コモン
8, 47	DVDD18	デジタル電源電圧 (1.8 V)
9 to 24, 31 to 42	D13P, D13N to D0P, D0N	LVDS データ入力。D13 は MSB、D0 は LSB です。
25, 26	DCOP, DCON	差動データ・クロック出力。DAC サンプリング・レートの LVDS クロック
27	DVDD33	デジタル入力および出力パッド電源電圧 (3.3 V)
29, 30	DCIP, DCIN	差動データ・クロック入力。入力データと同期した LVDS クロック
43 to 46	NC	無接続。これらのピンは、フローティング状態にしてください。
49	SDO	シリアル・ポート・データ出力
50	SDIO	シリアル・ポート・データ入力 (4線式モードまたは、双方向シリアル・データ・ライン (3線式モード))
51	SCLK	シリアル・ポート・クロック入力
52	CSB	シリアル・ポート・チップ・セレクト (アクティブ・ロー)
53	RESET	チップ・リセット (アクティブ・ハイ)
54	FS ADJ	フルスケール電流出力調整
55	REFIO	アナログ・リファレンス入出力 (公称値 1.2 V)
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3 V)
58, 61, 64, 67, 70	AVSS	アナログ・コモン
59	IOUT2P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
60	IOUT2N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
62, 63	AUX2P, AUX2N	差動補助 DAC 電流出力 (チャンネル 2)
65, 66	AUX1N, AUX1P	差動補助 DAC 電流出力 (チャンネル 1)
68	IOUT1N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
69	IOUT1P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
ヒート・シンク・パッド	N/A	パッケージ底面のヒート・シンク・パッドは、AVSS の電位が接続される PCB 上のパターンにハンダ付けしてください。



NOTES
1. EXPOSED PAD MUST BE SOLDERED TO PCB AND CONNECTED TO AVSS.

08936-004

図 4. AD9783 のピン配置

表 8. AD9783 のピン機能説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8 V)
2, 5	CVSS	クロック電源リターン
3, 4	CLKP, CLKN	差動 DAC サンプリング・クロック入力
7, 28, 48	DVSS	デジタル・コモン
8, 47	DVDD18	デジタル電源電圧 (1.8 V)
9 to 24, 31 to 46	D15P, D15N to D0P, D0N	LVDS データ入力。D15 は MSB、D0 は LSB です。
25, 26	DCOP, DCON	差動データ・クロック出力。DAC サンプリング・レートの LVDS クロック
27	DVDD33	デジタル入力および出力パッド電源電圧 (3.3 V)
29, 30	DCIP, DCIN	差動データ・クロック入力。入力データと同期した LVDS クロック
49	SDO	シリアル・ポート・データ出力
50	SDIO	シリアル・ポート・データ入力 (4 線式モード) または、双方向シリアル・データ・ライン (3 線式モード)
51	SCLK	シリアル・ポート・クロック入力
52	CSB	シリアル・ポート・チップ・セレクト (アクティブ・ロー)
53	RESET	チップ・リセット (アクティブ・ハイ)
54	FS ADJ	フルスケール電流出力調整
55	REFIO	アナログ・リファレンス入出力 (公称値 1.2 V)
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3 V)
58, 61, 64, 67, 70	AVSS	アナログ・コモン
59	IOUT2P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
60	IOUT2N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
62, 63	AUX2P, AUX2N	差動補助 DAC 電流出力 (チャンネル 2)
65, 66	AUX1N, AUX1P	差動補助 DAC 電流出力 (チャンネル 1)
68	IOUT1N	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流を出力します。
69	IOUT1P	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流を出力します。
ヒート・シンク・パッド	N/A	パッケージ底面のヒート・シンク・パッドは、AVSS の電位が接続される PCB 上のパターンにハンダ付けしてください。

代表的な性能特性

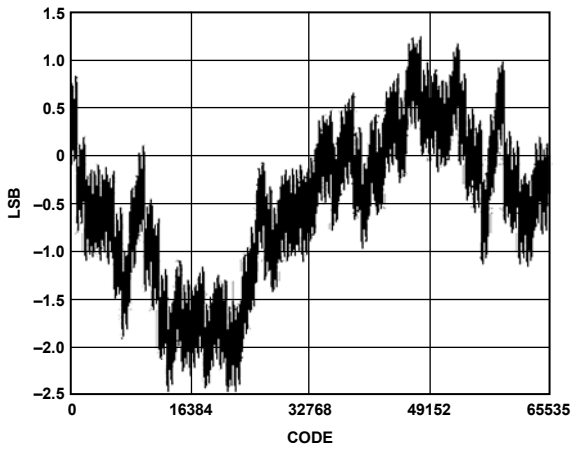


図 5. AD9783 の INL ($T_A = 85^\circ\text{C}$ 、FS = 20 mA)

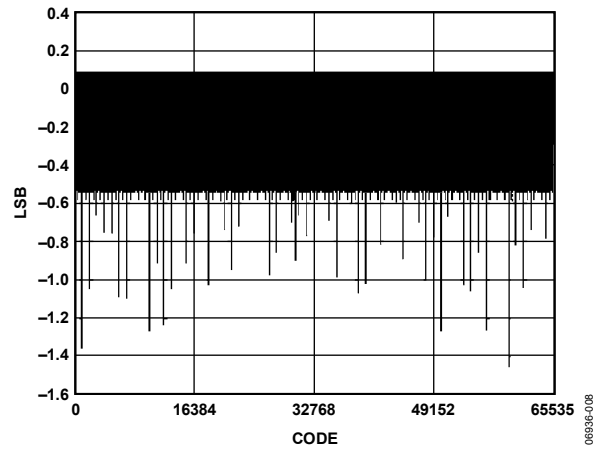


図 8. AD9783 の DNL ($T_A = 85^\circ\text{C}$ 、FS = 20 mA)

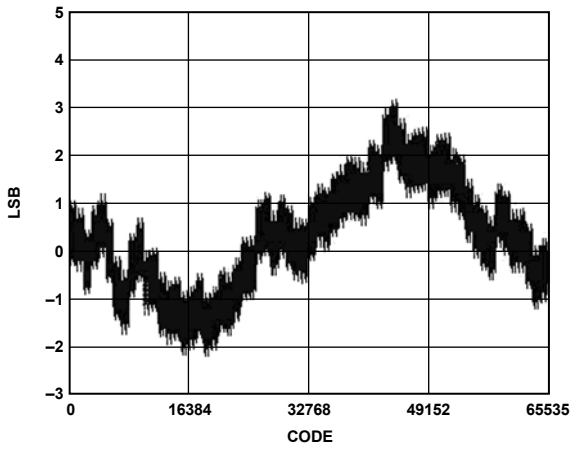


図 6. AD9783 の INL ($T_A = 25^\circ\text{C}$ 、FS = 20 mA)

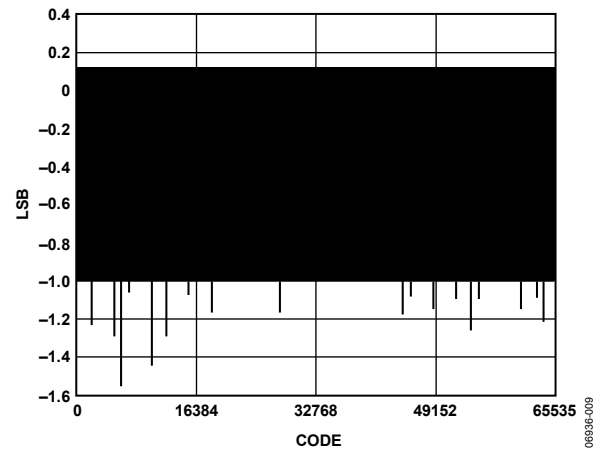


図 9. AD9783 の DNL ($T_A = 25^\circ\text{C}$ 、FS = 20 mA)

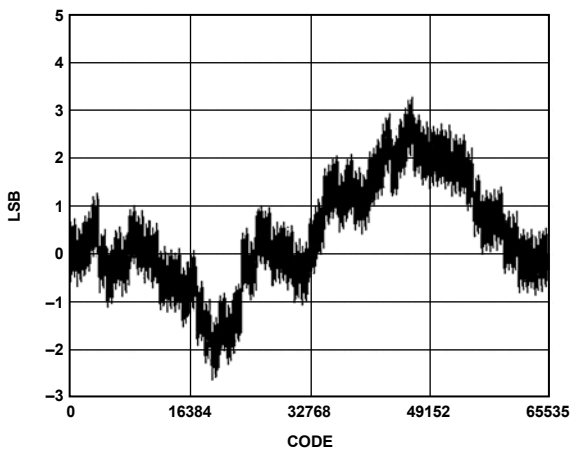


図 7. AD9783 の INL ($T_A = -40^\circ\text{C}$ 、FS = 20 mA)

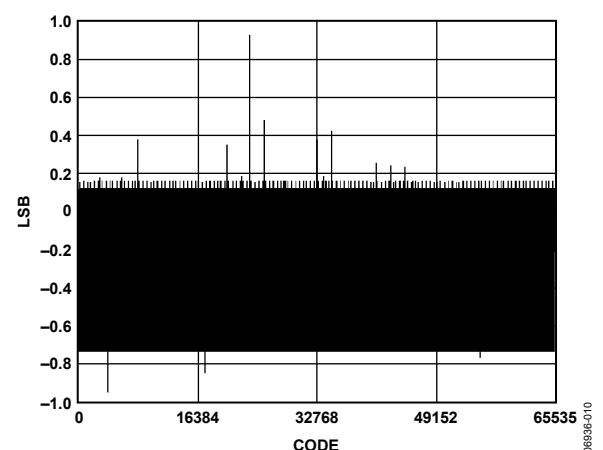


図 10. AD9783 の DNL ($T_A = -40^\circ\text{C}$ 、FS = 20 mA)

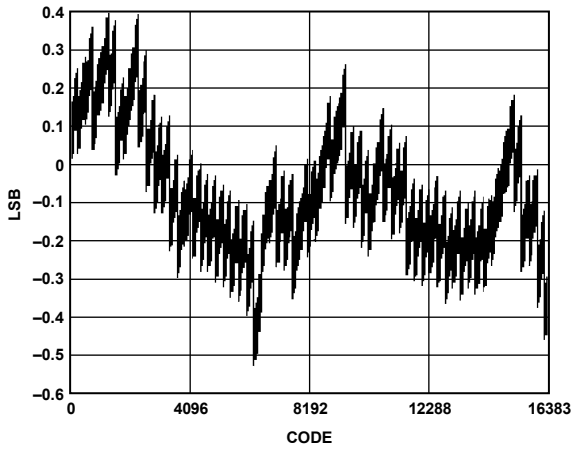


図 11. AD9781 の INL ($T_A = 85^\circ\text{C}$, FS = 20 mA)

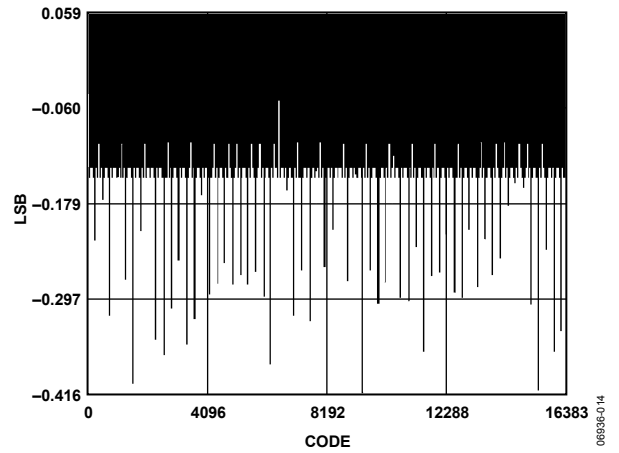


図 14. AD9781 の DNL ($T_A = 85^\circ\text{C}$, FS = 20 mA)

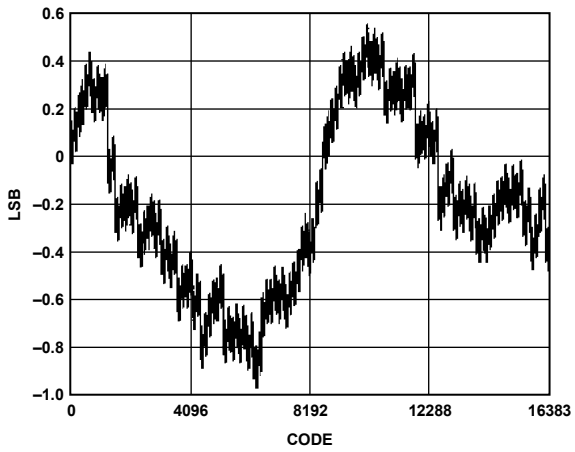


図 12. AD9781 の INL ($T_A = -40^\circ\text{C}$, FS = 20 mA)

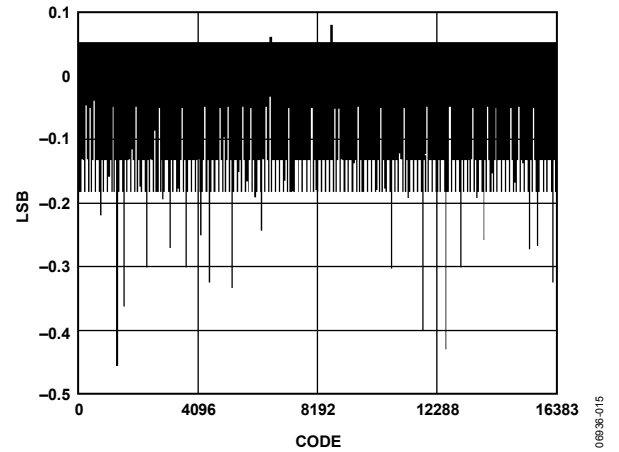


図 15. AD9781 の DNL ($T_A = -40^\circ\text{C}$, FS = 20 mA)

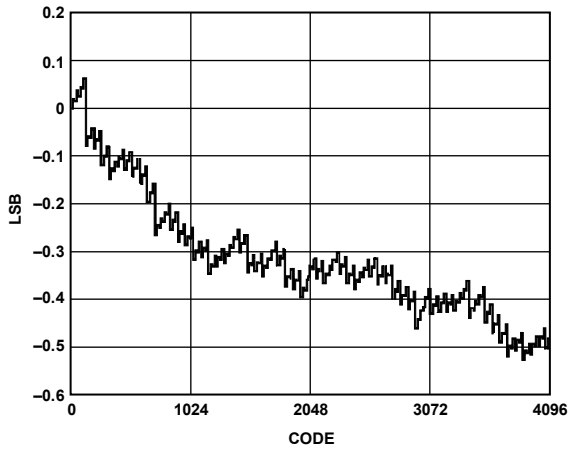


図 13. AD9780 の INL ($T_A = -40^\circ\text{C}$, FS = 20 mA)

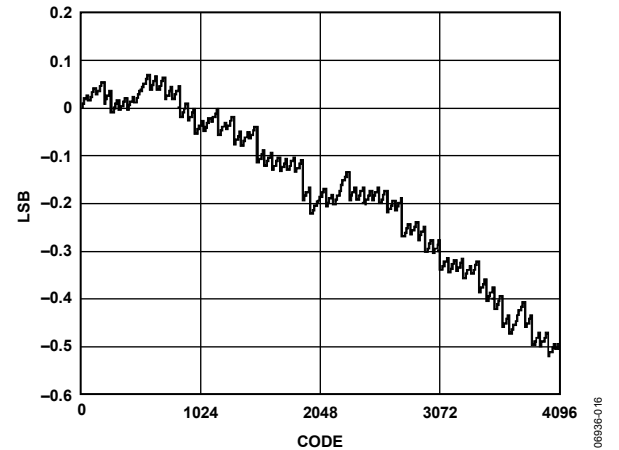


図 16. AD9780 の INL ($T_A = 85^\circ\text{C}$, FS = 20 mA)

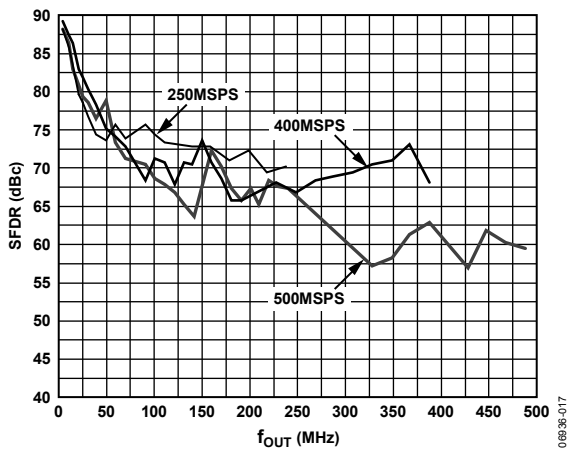


図 17 AD9783 の f_{OUT} 対 SFDR (f_{DAC} ごとの特性、ベースバンドおよびミックス・モード、FS = 20 mA)

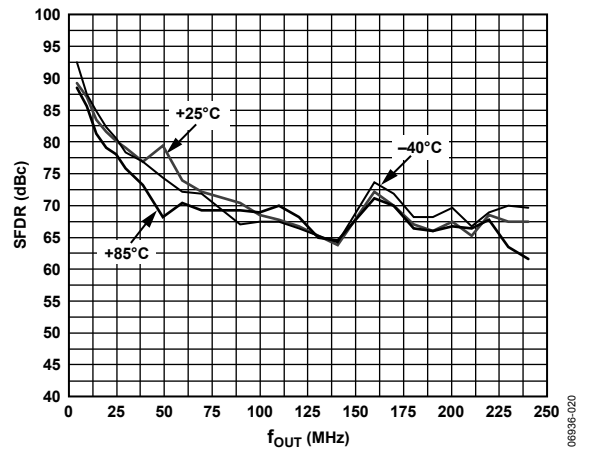


図 20. AD9783 の f_{OUT} 対 SFDR (温度ごとの特性、500 MSPS、FS = 20 mA)

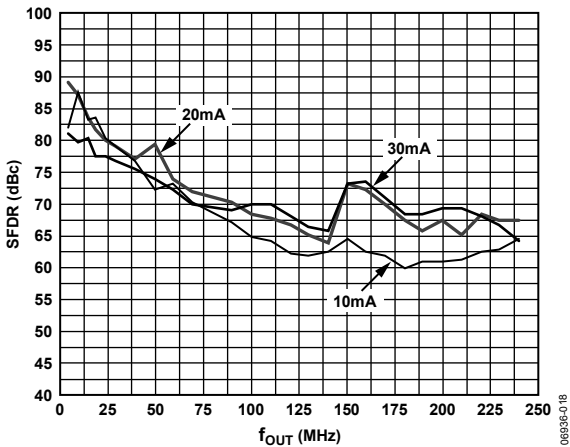


図 18. AD9783 の f_{OUT} 対 SFDR (アナログ出力電流ごとの特性、 $T_A = 25^\circ\text{C}$ 、500 MSPS)

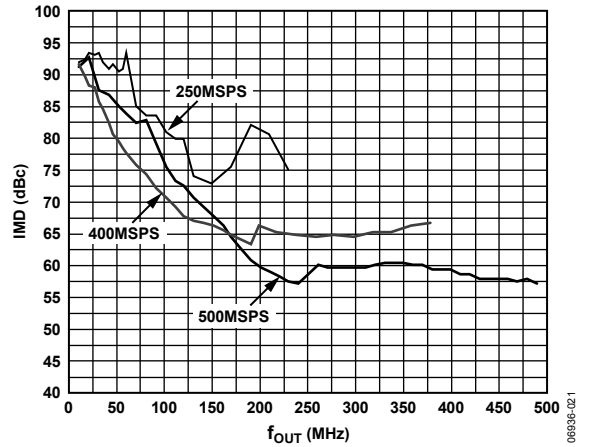


図 21. AD9783 の f_{OUT} 対 IMD (f_{DAC} ごとの特性、ベースバンドおよびミックス・モード、FS = 20 mA)

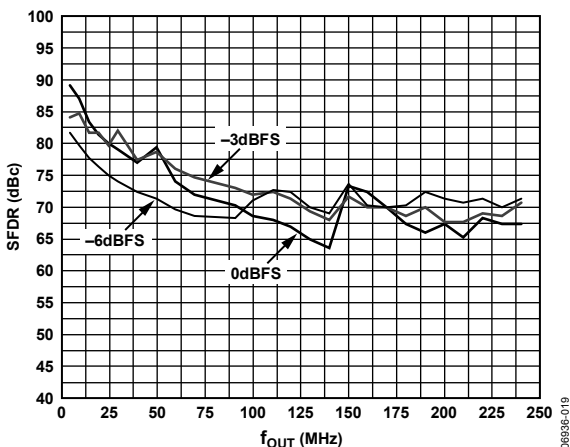


図 19. AD9783 の f_{OUT} 対 SFDR (デジタル入力レベルごとの特性、 $T_A = 25^\circ\text{C}$ 、500 MSPS、FS = 20 mA)

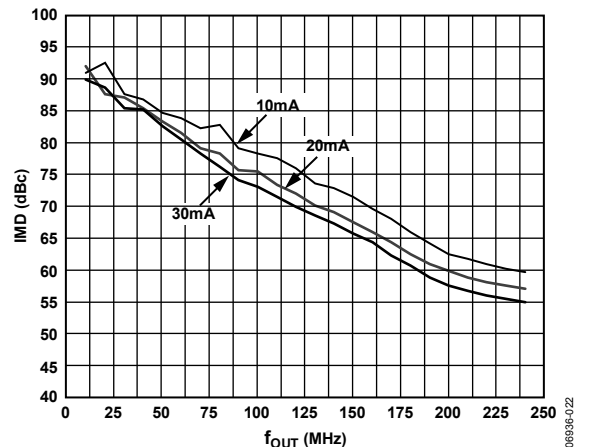


図 22. AD9783 の f_{OUT} 対 IMD (アナログ出力電流ごとの特性、 $T_A = 25^\circ\text{C}$ 、500 MSPS)

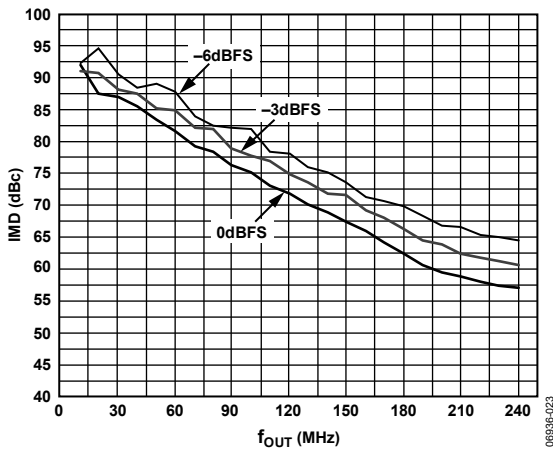


図 23. AD9783 の f_{OUT} 対 IMD (デジタル入力レベルごとの特性、 $T_A = 25^\circ\text{C}$ 、500 MSPS、FS = 20 mA)

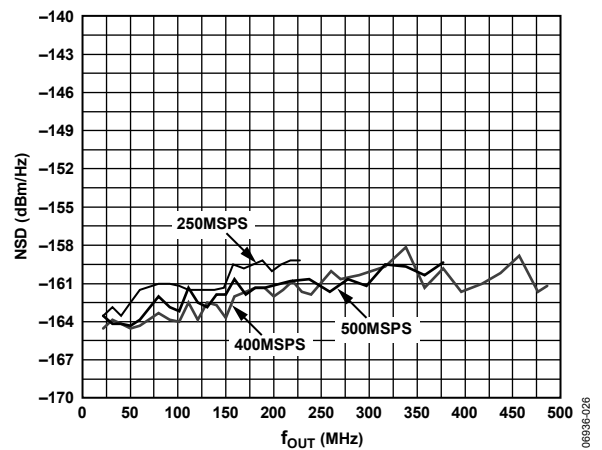


図 26. AD9783 の f_{OUT} 対 8 トーン NSD (f_{DAC} ごとの特性、ベースバンドおよびミックス・モード、FS = 20 mA)

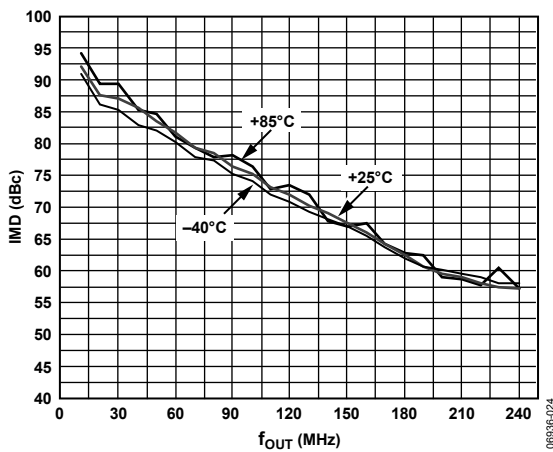


図 24. AD9783 の f_{OUT} 対 IMD (温度ごとの特性、500 MSPS、FS = 20 mA)

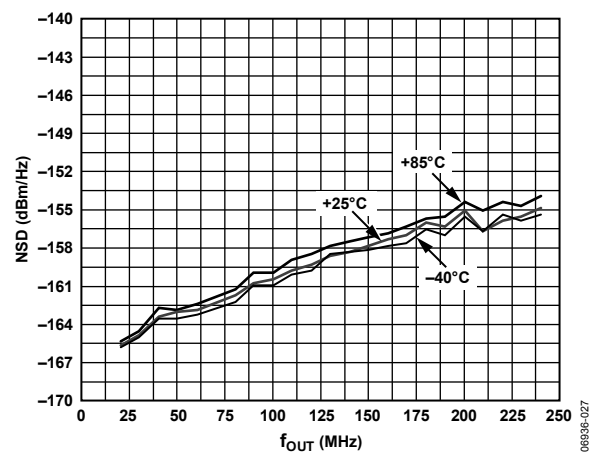


図 27. AD9783 の f_{OUT} 対 シングルトーン NSD (温度ごとの特性、500 MSPS、FS = 20 mA)

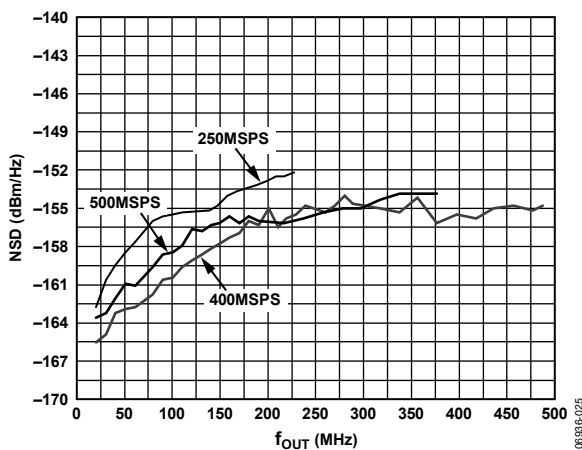


図 25. AD9783 の f_{OUT} 対 シングルトーン NSD (f_{DAC} ごとの特性、ベースバンドおよびミックス・モード、FS = 20 mA)

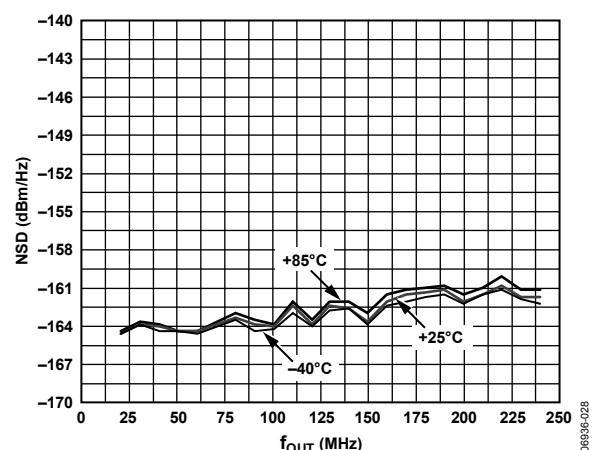


図 28. AD9783 の f_{OUT} 対 8 トーン NSD (温度ごとの特性、500 MSPS、FS = 20 mA)

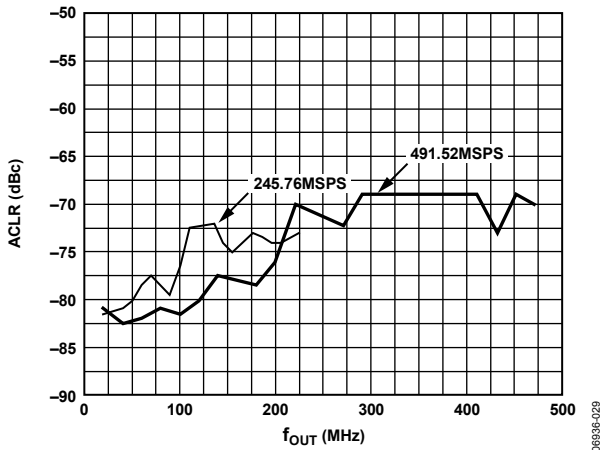


図 29. AD9783 の第 1 隣接帯域 ACLR (シングル・キャリア W-CDMA、ベースバンドおよびミックス・モード、FS = 20 mA)

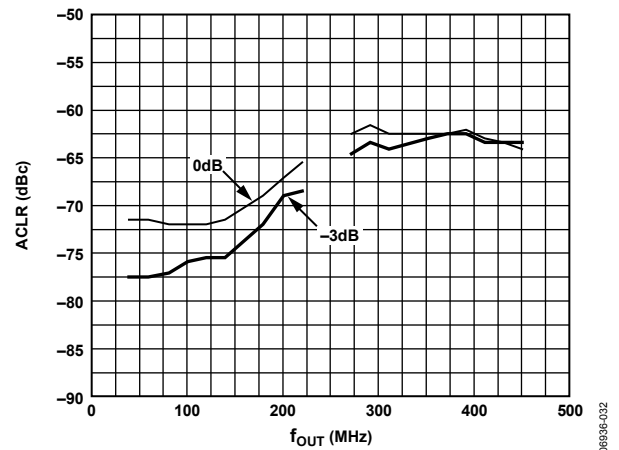


図 32. AD9783 の第 1 隣接チャンネル ACLR (2 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

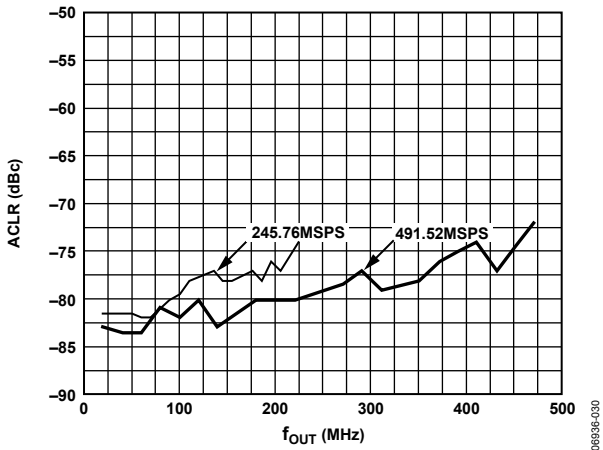


図 30. AD9783 の第 2 隣接帯域 ACLR (シングル・キャリア W-CDMA、ベースバンドおよびミックス・モード、FS = 20 mA)

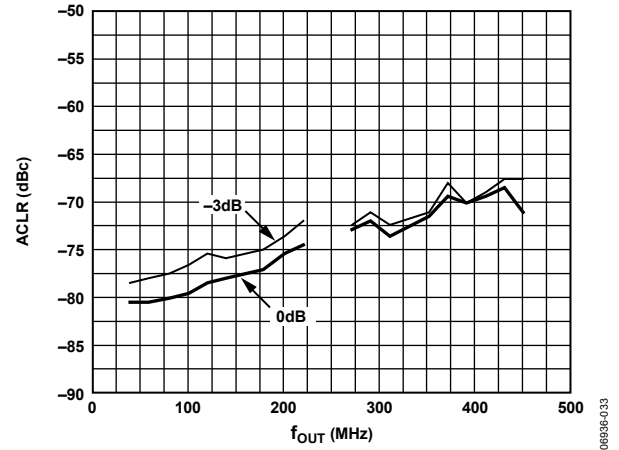


図 33. AD9783 の第 2 隣接チャンネル ACLR (2 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

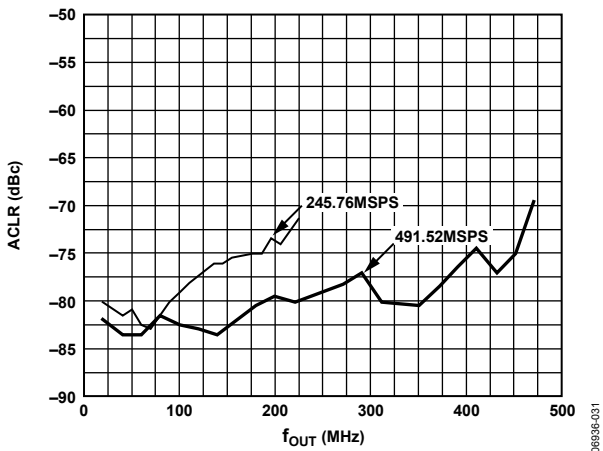


図 31. AD9783 の第 3 隣接帯域 ACLR (シングル・キャリア W-CDMA、ベースバンドおよびミックス・モード、FS = 20 mA)

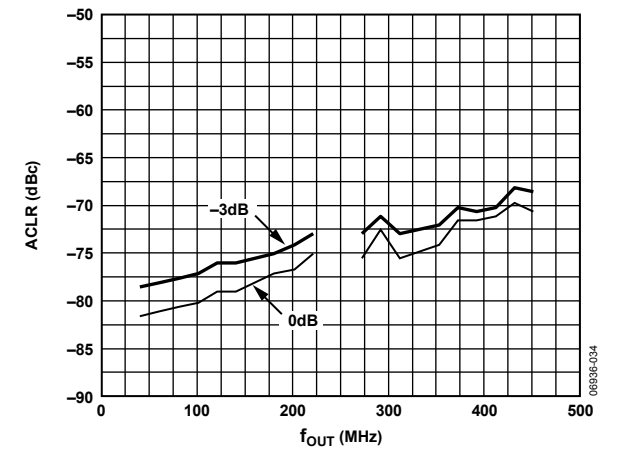


図 34. AD9783 の第 3 隣接チャンネル ACLR (2 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

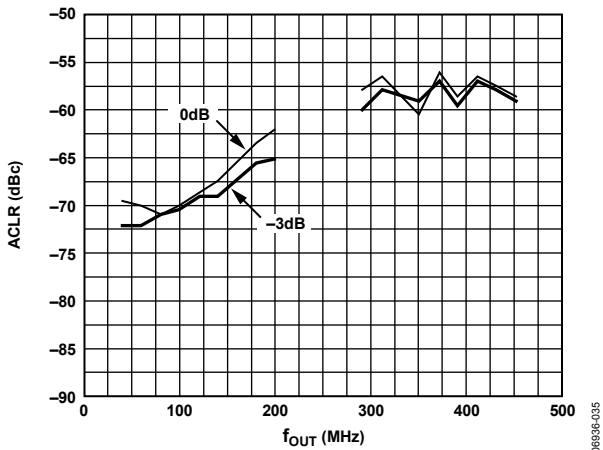


図 35. AD9783 の第 1 隣接チャンネル ACLR (4 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

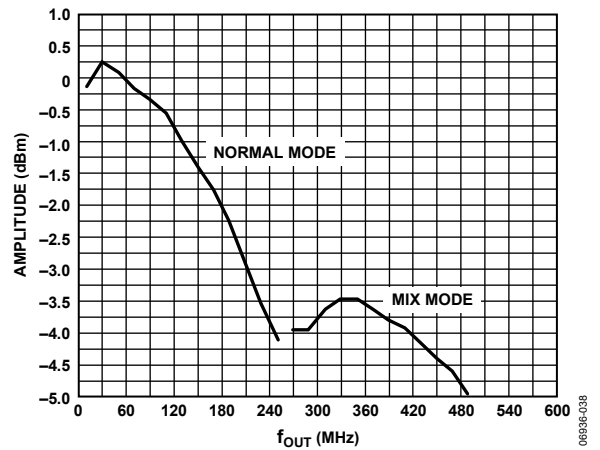


図 38. 基本周波数の公称パワー (500 MSPS、FS = 20 mA)

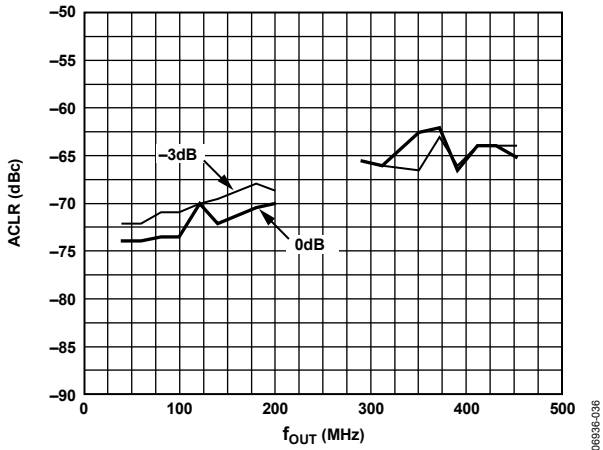


図 36. AD9783 の第 2 隣接チャンネル ACLR (4 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

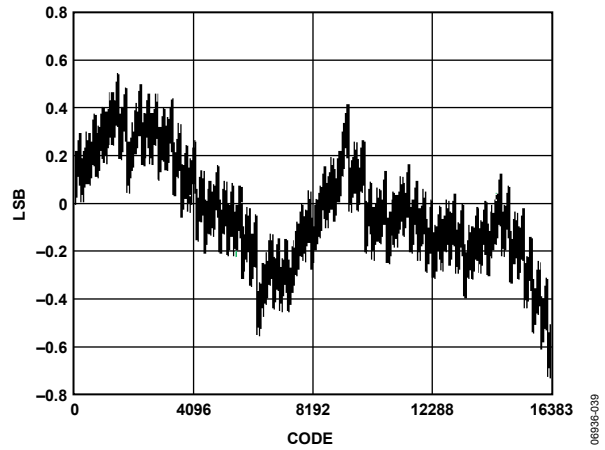


図 39. AD9781 の INL (FS = 20 mA)

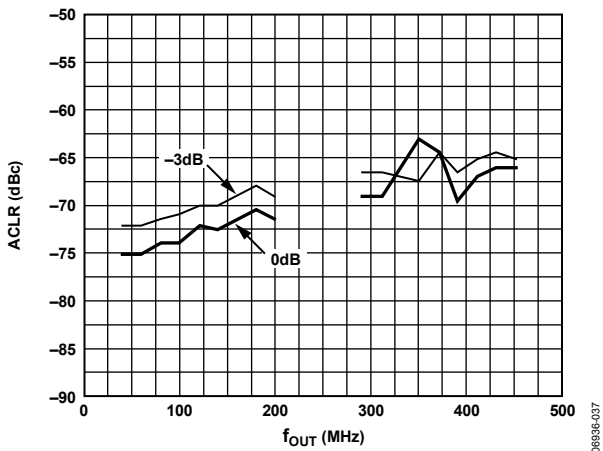


図 37. AD9783 の第 3 隣接チャンネル ACLR (4 キャリア W-CDMA、デジタル入力レベルごとの特性、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

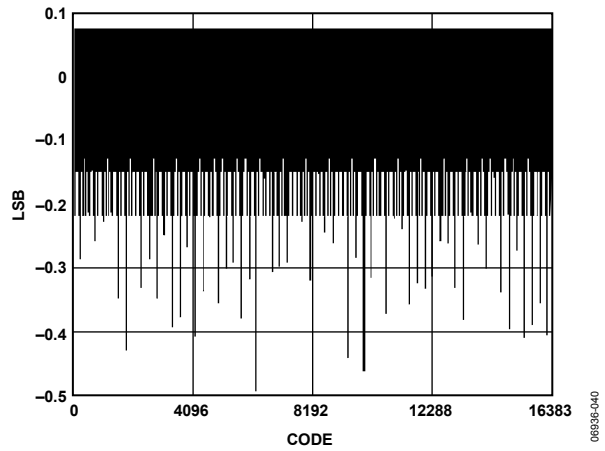


図 40. AD9781 の DNL (FS = 20 mA)

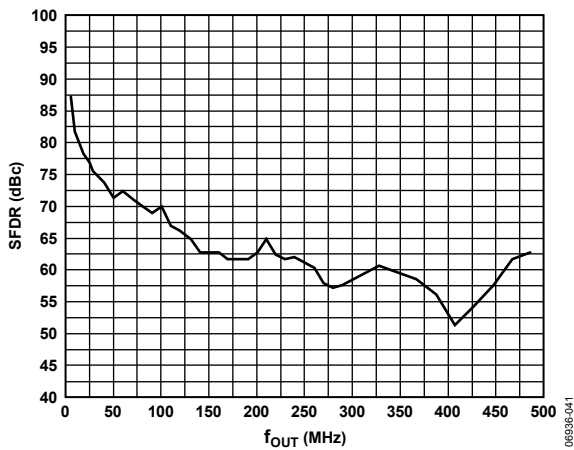


図 41. AD9781 の f_{OUT} 対 SFDR (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

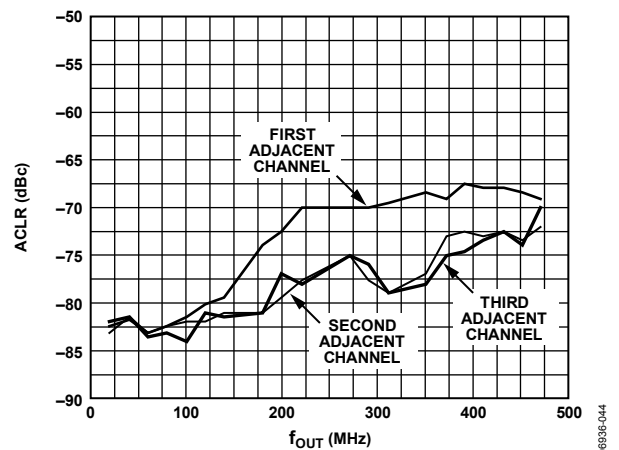


図 44. AD9781 の ACLR (シングル・キャリア W-CDMA、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

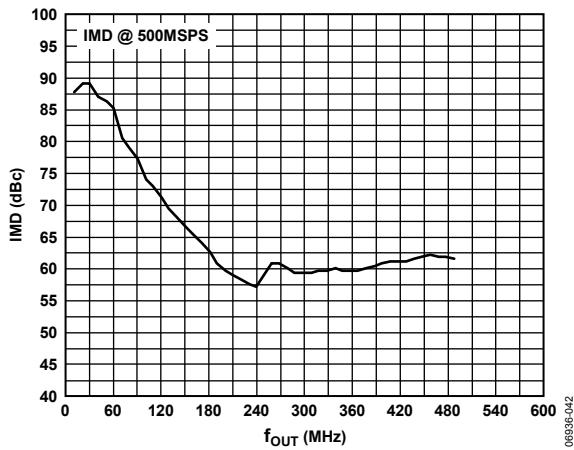


図 42. AD9781 の f_{OUT} 対 IMD (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

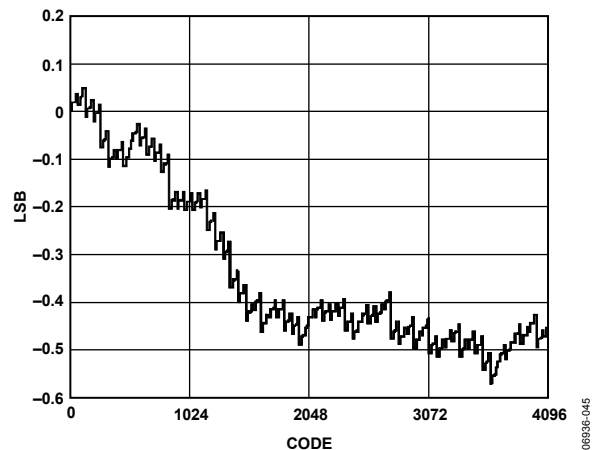


図 45. AD9780 の INL (FS = 20 mA)

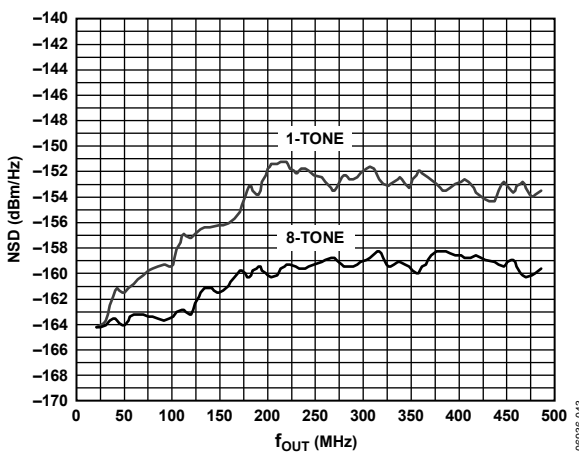


図 43. AD9781 の f_{OUT} 対 シングル・トーン、8 トーン NSD (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

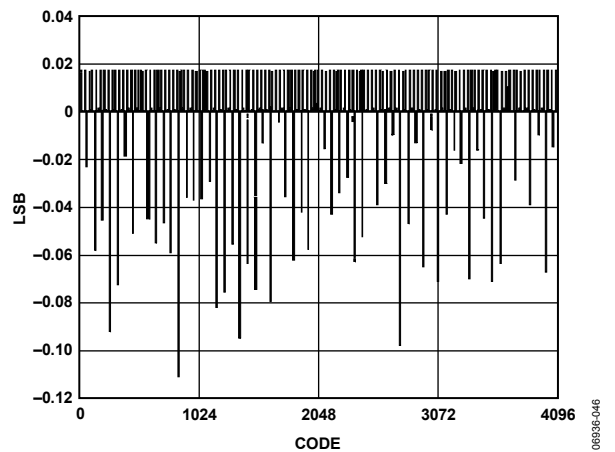


図 46. AD9780 の DNL (FS = 20 mA)

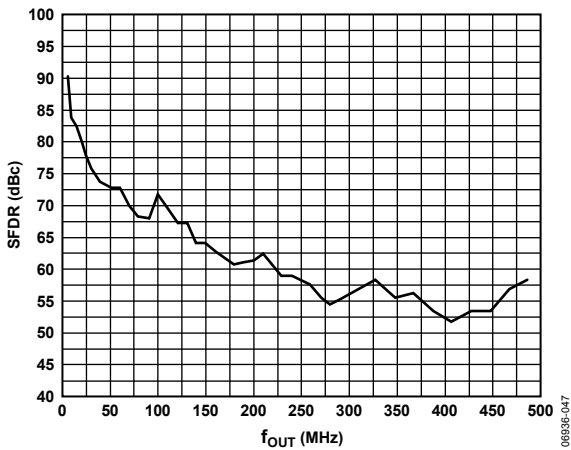


図 47. AD9780 の f_{OUT} 対 SFDR (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

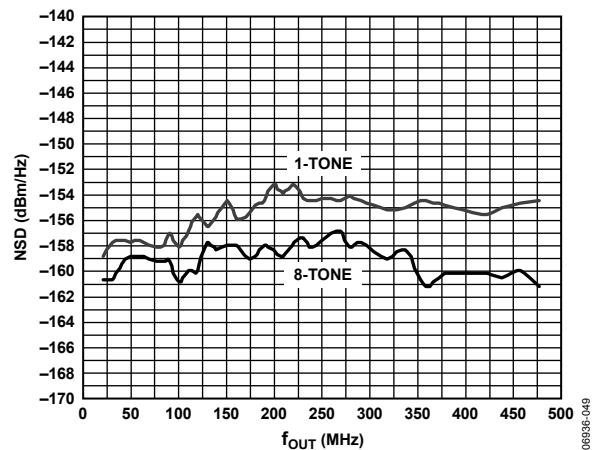


図 49. AD9780 の f_{OUT} 対 シングルトーン、8 トーン NSD (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

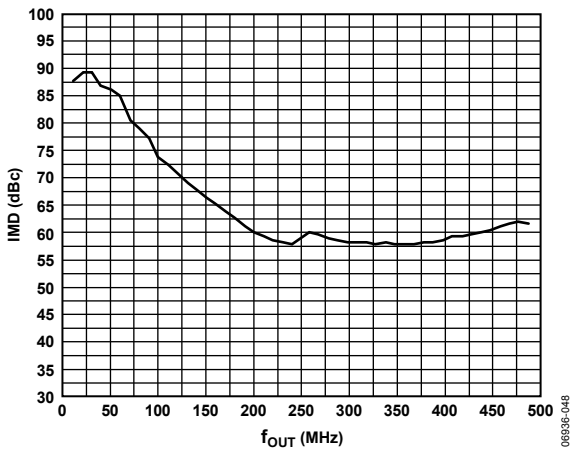


図 48. AD9780 の f_{OUT} 対 IMD (ベースバンドおよびミックス・モード、500 MSPS、FS = 20 mA)

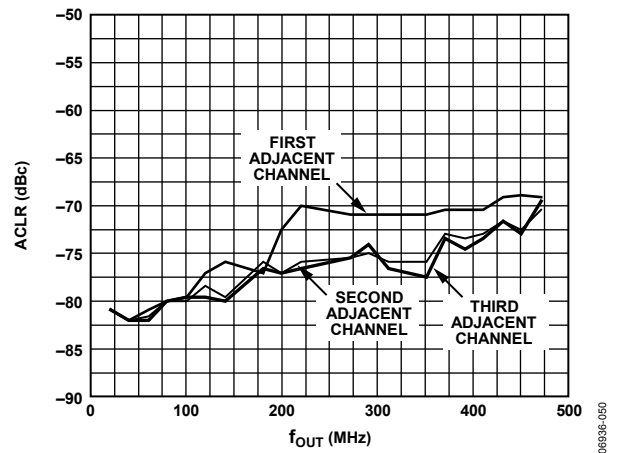


図 50. AD9780 の ACLR (シングル・キャリア W-CDMA、ベースバンドおよびミックス・モード、491.52 MSPS、FS = 20 mA)

用語の説明

直線性誤差または積分非直線性 (INL)

ゼロスケールとフルスケールを結ぶ直線で表される理論的な出力に対する実際のアナログ出力の最大偏差です。

微分非直線性 (DNL)

理論的な LSB を基準としてデジタル入力コードが 1 だけ値を変えたときに発生するアナログ出力の最大偏差の測定値です。

単調性

デジタル入力の増加に対応してアナログ出力が増加するか、または一定のレベルを維持する場合、その DAC は単調であるといえます。

オフセット誤差

ゼロスケール電流の理論値に対する出力電流の偏差です。差動出力の場合、すべての入力がローレベルのときに I_{OUTA} で 0 mA が期待され、すべての入力がハイレベルのときに I_{OUTB} で 0 mA が期待されます。

ゲイン誤差

フルスケール出力の理論値に対する実際の出力の偏差です。実際のフルスケール出力は、すべての入力がハイレベルのときの出力から、すべての入力がローレベルのときの出力を減算することによって求めます。

出力コンプライアンス範囲

電流出力 DAC のアナログ出力で許容される電圧範囲です。動作がコンプライアンス範囲を超えると、出力段の飽和やブレイクダウンが生じ、性能が非線形になることがあります。

温度ドリフト

温度ドリフトは、周囲温度 (25°C) から T_{MIN} または T_{MAX} に変化するときのパラメータの最大変化と定義されます。オフセットおよびゲイン・ドリフトは、フルスケール範囲 (FSR) での ppm/°C 単位で表します。リファレンスのドリフトは ppm/°C 単位で表します。

電源電圧変動除去比

電源が規定電圧の最小から最大に変化する時のフルスケール出力の最大変動です。

セトリング時間

出力がその最終値について規定された誤差範囲に到達し、その帯域範囲内に収まるまでの所要時間のことであり、出力の遷移開始時点から測定します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力データレートの 1/2 の周波数と DC の間に生じるスプリアス信号のピークと、出力信号のピーク振幅との差であり、dB の単位で表します。

全高調波歪み (THD)

6 次までの高調波成分の rms 値の総和と、測定された基本波の rms 値との比で、% または dB の単位で表します。

S/N 比 (SNR)

測定された出力信号の rms 値と、ナイキスト周波数より下の、出力信号以外の全スペクトル成分の rms 値の総和から、6 次までの高調波成分と DC 成分を除いた値との比です。S/N 比は dB の単位で表します。

隣接チャンネル漏れ率 (ACLR)

目的のチャンネル電力を基準にして、隣接チャンネル内で測定した電力との比で、dBc の単位で表します。

複素イメージ除去

従来の 2 段階のアップ・コンバージョンでは、2 番目の IF 周波数の周囲に 2 つのイメージが生成されます。通常これらのイメージは、送信機の電力とシステム帯域幅を浪費してしまいます。1 段階の複素変調器と直列に 2 段階の複素変調器の実数部を配置することにより、2 番目の IF 周波数付近の上側/下側周波数のイメージを除去できます。

動作原理

AD9780/AD9781/AD9783 は、有線および無線通信システムに最適な機能を数多く備えています。シングル・サイドバンドの送信機を設計する場合、このデュアル DAC アーキテクチャを使うと、一般的な直交変調器と簡単に接続ができます。また、これらの各デバイスは高速性と高性能を備えているため、従来の製品よりも広い帯域幅と多くのキャリアを合成できます。

すべての機能とオプションは、SPI ポートを介してソフトウェアから設定できます。

シリアル・ペリフェラル・インターフェース

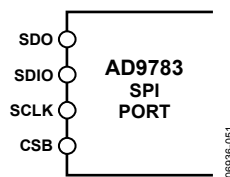


図 51. SPI ポート

SPI ポートは、柔軟性に優れた同期シリアル通信ポートであり、業界標準の数多くのマイクロコントローラやマイクロプロセッサと簡単に接続できます。このポートは、Motorola の SPI プロトコルや Intel® SSR プロトコルなど、多くの同期転送フォーマットと互換性があります。

このインターフェースを介して、AD9780/AD9781/AD9783 の設定に使用するすべてのレジスタに対し読出し/書込みが可能です。シングル・バイト転送やマルチバイト転送のほか、MSB ファーストや LSB ファーストの転送フォーマットにも対応しています。シリアル・データの入出力は、1 本の双方向ピン (SDIO)、もしくは 2 本の単方向ピン (SDIO/SDO) を使用して行います。

シリアル・ポート設定は、レジスタ 0x00 のビット[7:6]を使用します。このバイトの最終ビットへの書込み直後にシリアル・ポート設定が変更されます。したがって、マルチバイト転送の場合、このレジスタへの書込みによる設定変更が通信サイクルの途中で生じることがあります。現在の通信サイクルの残りのバイトに対しては、この新しい設定で通信してください。

デバイスの予期しない動作を防ぐために、シリアル・ポートの設定を変更する場合は、シングル・バイト転送を使用することを推奨します。

シリアル・インターフェースの一般的な動作

AD9780/AD9781/AD9783 の通信サイクルには、フェーズ 1 とフェーズ 2 の 2 つの段階があります。フェーズ 1 は、各デバイスに命令バイトを書き込む命令サイクルです。このバイトによって、通信サイクルのフェーズ 2 となるデータ転送サイクルに関する情報がシリアル・ポート・コントローラに通知されます。

フェーズ 1 の命令バイトは、次に実行されるデータ転送が、読出しか書込みのどちらであるかを指定するほか、転送データのバイト数、データ転送の先頭のバイトが参照するレジスタのアドレスを指定します。CSB ピンがロジック・ハイレベルになってからロジック・ローレベルに変化すると、SPI ポートが初期状態にリセットされ、命令サイクルが開始されます。この時点から次の 8 個の SCLK 立上がりエッジで、この回の通信サイクルで使用される命令バイトの 8 ビットが設定されます。

それ以降の SCLK のエッジは、通信サイクルのフェーズ 2 で使用されます。フェーズ 2 では、シリアル・ポート・コントローラとシステム・コントローラ間のデータ転送を行いません。フェーズ 2 では、命令バイトの指定によって 1、2、3、4 バイトのデータを転送できます。一般にはマルチバイトが適していますが、シングル・バイトでのデータ転送のほうが CPU のオーバーヘッドを軽減する場合や、単一のレジスタへアクセスする場合に便利です。

すべてのシリアル・ポート・データは、SCLK ピンに同期してデバイス間で転送されます。入力データは常に SCLK の立上がりエッジでラッチされ、出力データは SCLK の立下がりエッジの後で有効になります。各転送バイトの最後のビットが書込まれると、ただちにレジスタの内容が変更されます。

同期が失われた場合は、CSB ピンをロジック・ハイレベルにするとデバイスは I/O 動作を非同期に中止できます。I/O 動作が中止されると、書込みが行われていないレジスタのデータ値はすべて消失します。この後、CSB をローレベルにすると、シリアル・ポート・コントローラがリセットされ、通信サイクルが再開されます。

命令バイト

命令バイトには、表 9 に示す情報が含まれます。

表 9.

MSB							LSB
B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

ビット 7 の R/W は、命令バイトが書込まれた後でデータ転送を読出しまたは書込みのどちらで実行するかを指定します。ロジック・ハイレベルは読出し、ロジック 0 は書込み動作を指示します。

ビット[6:5]の N1 と N0 は、データ転送サイクルで転送されるバイト数を指定します。このビットの意味合いを表 10 に示します。

表 10. バイト転送数

N1	N0	Description
0	0	Transfer one byte
0	1	Transfer two bytes
1	0	Transfer three bytes
1	1	Transfer four bytes

ビット[4:0]の A4、A3、A2、A1、A0 で、通信サイクルのデータ転送時にアクセスされるレジスタを指定します。マルチバイト転送の場合は、設定されたデータ転送モードに応じて開始アドレスか終了アドレスになります。MSB ファーストのフォーマットでは、指定されたアドレスがそのサイクルの終了アドレスまたは最上位アドレスになります。マルチバイト転送での残りのレジスタ・アドレスは、シリアル・ポート・コントローラ内部で指定アドレスからデクリメントして生成されます。LSB ファーストのフォーマットでは、指定されたアドレスがそのサイクルの開始アドレスまたは最下位アドレスになります。マルチバイト転送での残りのレジスタ・アドレスは、シリアル・ポート・コントローラ内部で指定アドレスからインクリメントして生成されます。

MSB/LSB転送

シリアル・ポートは、MSB ファーストと LSB ファーストの両方のデータ・フォーマットをサポートしています。この機能は、レジスタ 0x00 のビット 6 で制御します。デフォルトはロジック 0 で、MSB ファーストのフォーマットです。

MSB ファーストのフォーマット (LSBFIRST=0) では、命令バイトとデータ・バイトは MSB から LSB の順に書き込む必要があります。MSB ファーストのフォーマットでのマルチバイト転送は、最上位データ・バイトのレジスタ・アドレスが指定された命令バイトから開始されます。その後続くデータ・バイトは、上位アドレスから下位アドレスの順番でロードされます。MSB ファースト・モードでは、シリアル・ポートの内部アドレス生成器はマルチバイト転送のバイトごとにデクリメントします。

LSB ファーストのフォーマット (LSBFIRST=1) では、命令バイトとデータ・バイトは LSB から MSB の順に書き込む必要があります。LSB ファーストのフォーマットでのマルチバイト転送は、最下位データ・バイトのレジスタ・アドレスが指定された命令バイトから開始されます。その後続くデータ・バイトは、下位アドレスから上位アドレスの順番でロードされます。LSB ファースト・モードでは、シリアル・ポートの内部アドレス生成器はマルチバイト転送のバイトごとにインクリメントします。

デバイスの予期しない動作を防ぐために、シリアル・ポートのデータ・フォーマットを変更する場合はシングル・バイト転送を使用することを推奨します。

シリアル・インターフェース・ポート・ピンの説明

チップ・セレクト・バー (CSB)

アクティブ・ロー入力で、通信サイクルの開始とゲーティングを行います。このピンにより、同じシリアル通信ライン上で複数のデバイスを使用できます。通信サイクルの間は、CSB をローレベルに保持する必要があります。CSB ピンをハイレベルにすると不完全なデータ転送を強制終了できます。この入力がハイレベルのとき、SDO と SDIO はハイ・インピーダンス状態になります。

シリアル・クロック (SCLK)

シリアル・クロック・ピンを使用して、デバイスの入出力データを同期させ、内部ステート・マシンを実行します。SCLK の最大周波数は 40MHz です。入力データはすべて、SCLK の立上がりエッジでレジスタに格納されます。すべての出力データは SCLK の立下がりエッジで出力されます。

シリアル・ポート・データ I/O (SDIO)

データは必ずこのピンからデバイスに書き込みます。ただし、SDIO は双方向のデータ出力ラインにもなります。このピンの設

定は、レジスタ 0x00 のビット 7 で制御します。デフォルトはロジック 0 で、単方向のデータ・ラインに設定されています。

シリアル・ポート・データ出力 (SDO)

データ送受信に異なるラインを使用するプロトコルの場合に、このピンからデータを読み出します。このピンの設定は、レジスタ 0x00 のビット 7 で制御します。このビットがロジック 1 に設定されていると、データは出力されず、SDO ピンはハイ・インピーダンス状態になります。

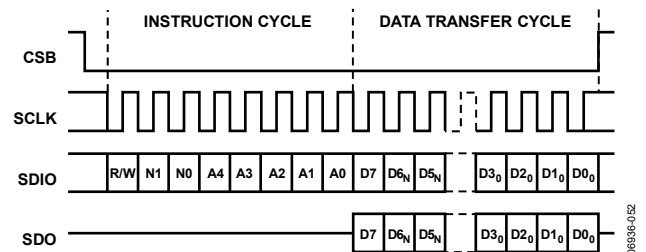


図 52. シリアル・レジスタ・インターフェースのタイミング図 (MSB ファースト)

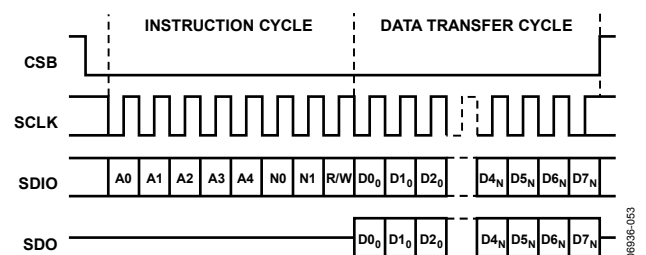


図 53. シリアル・レジスタ・インターフェースのタイミング図 (LSB ファースト)

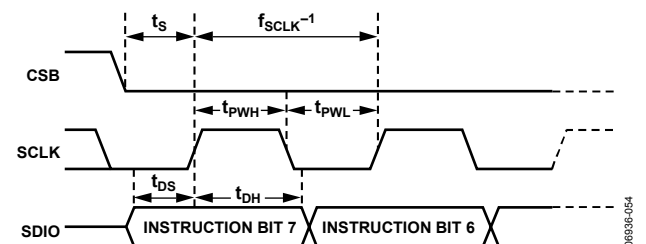


図 54. SPI レジスタの書き込みタイミング図

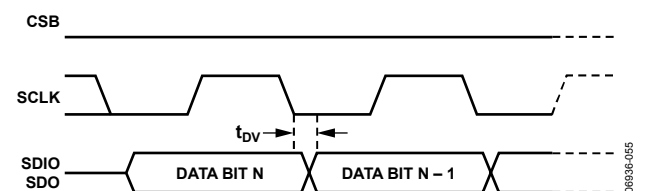


図 55. SPI レジスタの読み出しタイミング図

SPIレジスタ・マップ

表 11.

Register Name	Addr	Default	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI Control	0x00	0x00	SDIO_DIR	LSBFIRST	RESET					
Data Control	0x02	0x00	DATA			INVDCO				
Power-Down	0x03	0x00	PD_DCO	PD_INPT	PD_AUX2	PD_AUX1	PD_BIAS	PD_CLK	PD_DAC2	PD_DAC1
Setup and Hold	0x04	0x00	SET[3:0]				HLD[3:0]			
Timing Adjust	0x05	0x00				SAMP_DLY[4:0]				
Seek	0x06	0x00						LVDS low	LVDS high	SEEK
Mix Mode	0x0A	0x00					DAC1MIX[1:0]		DAC2MIX[1:0]	
DAC1 FSC	0x0B	0xF9	DAC1FSC[7:0]							
DAC1 FSC MSBs	0x0C	0x01							DAC1FSC[9:8]	
AUXDAC1	0x0D	0x00	AUXDAC1[7:0]							
AUXDAC1 MSB	0x0E	0x00	AUX1SGN	AUX1DIR					AUXDAC1[9:8]	
DAC2 FSC	0x0F	0xF9	DAC2FSC[7:0]							
DAC2 FSC MSBs	0x10	0x01							DAC2FSC[9:8]	
AUXDAC2	0x11	0x00	AUXDAC2[7:0]							
AUXDAC2 MSB	0x12	0x00	AUX2SGN	AUX2DIR					AUXDAC2[9:8]	
BIST Control	0x1A	0x00	BISTEN	BISTRD	BISTCLR					
BIST Result 1 Low	0x1B	0x00	BISTRES1[7:0]							
BIST Result 1 High	0x1C	0x00	BISTRES1[15:8]							
BIST Result 2 Low	0x1D	0x00	BISTRES2[7:0]							
BIST Result 2 High	0x1E	0x00	BISTRES2[15:8]							
Hardware Version	0x1F	N/A	VERSION[3:0]			DEVICE[3:0]				

SPIレジスタの説明

特に指定のない限り、これらのレジスタを読み出すと、すべての定義されたレジスタ・ビットにすでに書き込まれた値が返されます。

表 12.

Register	Address	Bit	Name	Function
SPI Control	0x00	7	SDIO_DIR	0, operate SPI in 4-wire mode. The SDIO pin operates as an input only pin. 1, operate SPI in 3-wire mode. The SDIO pin operates as a bidirectional data line.
		6	LSBFIRST	0, MSB first per SPI standard. 1, LSB first per SPI standard. Only change LSB/MSB order in single-byte instructions to avoid erratic behavior due to bit order errors.
		5	RESET	0, execute software reset of SPI and controllers, reload default register values except Register 0x00. 1, set software reset, write 0 on the next (or any following) cycle to release the reset.
Data Control	0x02	7	DATA	0, DAC input data is twos complement binary format. 1, DAC input data is unsigned binary format.
		4	INVDCO	1, inverts the data clock output. Used for adjusting timing of input data.
Power-Down	0x03	7	PD_DCO	1, power down data clock output driver circuit.
		6	PD_INPT	1, power down input.
		5	PD_AUX2	1, power down AUX2 DAC
		4	PD_AUX1	1, power down AUX1 DAC.
		3	PD_BIAS	1, power down voltage reference bias circuit.
		2	PD_CLK	1, power down DAC clock input circuit.
		1	PD_DAC2	1, power down DAC2.
		0	PD_DAC1	1, power down DAC1.
Setup and Hold	0x04	7:4	SET[3:0]	4-bit value used to determine input data setup timing.
		3:0	HLD[3:0]	4-bit value used to determine input data hold timing.
Timing Adjust	0x05	4:0	SAMP_DLY[4:0]	5-bit value used to optimally position input data relative to internal sampling clock.
Seek	0x06	2	LVDS low	One of the LVDS inputs is above the input voltage limits of the IEEE reduced link specification.
		1	LVDS high	One of the LVDS inputs is below the input voltage limits of the IEEE reduced link specification.
		0	SEEK	Indicator bit used with LVDS_SET and LVDS_HLD to determine input data timing margin.
Mix Mode	0x0A	3:2	DAC1MIX[1:0]	00, selects normal mode, DAC1. 01, selects return-to-zero mode, DAC1. 10, selects return-to-zero mode, DAC1. 11, selects mix mode, DAC1.
		1:0	DAC2MIX[1:0]	00, selects normal mode, DAC2. 01, selects return-to-zero mode, DAC2. 10, selects return-to-zero mode, DAC2. 11, selects mix mode, DAC2.
DAC1 FSC	0x0B	7:0	DAC1FSC[9:0]	DAC1 full-scale 10-bit adjustment word. 0x3FF, sets DAC full-scale output current to the maximum value of 31.66 mA. 0x200, sets DAC full-scale output current to the nominal value of 20.0 mA. 0x000, sets DAC full-scale output current to the minimum value of 8.66 mA.
	0x0C	1:0		

Register	Address	Bit	Name	Function
AUXDAC1	0x0D 0x0E	7:0	AUXDAC1[9:0]	AUXDAC1 output current adjustment word. 0x3FF, sets AUXDAC1 output current to 2.0 mA. 0x200, sets AUXDAC1 output current to 1.0 mA. 0x000, sets AUXDAC1 output current to 0.0 mA.
		1:0		
	0x0E	7	AUX1SGN	0, AUX1P output pin is active. 1, AUX1N output pin is active.
		6	AUX1DIR	0, configures AUXDAC1 output to source current. 1, configures AUXDAC1 output to sink current.
DAC2 FSC	0x0F 0x10	7:0 1:0	DAC2FSC[9:0]	DAC2 full-scale 10-bit adjustment word. 0x3FF, sets DAC full-scale output current to the maximum value of 31.66 mA. 0x200, sets DAC full-scale output current to the nominal value of 20.0 mA. 0x000, sets DAC full-scale output current to the minimum value of 8.66 mA.
AUXDAC2	0x11 0x12	7:0	AUXDAC2[9:0]	AUXDAC2 output current adjustment word. 0x3FF, sets AUXDAC2 output current to 2.0 mA. 0x200, sets AUXDAC2 output current to 1.0 mA. 0x000, sets AUXDAC2 output current to 0.0 mA.
		1:0		
	0x12	7	AUX2SGN	0, AUX2P output pin is active. 1, AUX2N output pin is active
		6	AUX2DIR	0, configures AUXDAC2 output to source current. 1, configures AUXDAC2 output to sink current.
BIST Control	0x1A	7	BISTEN	1, enables and starts built-in self-test.
		6	BISTRD	1, transfers BIST result registers to SPI for readback.
		5	BISTCLR	1, reset BIST logic and clear BIST result registers.
BIST Result 1	0x1B 0x1C	7:0	BISTRES1[15:0]	16-bit result generated by BIST 1.
		7:0		
BIST Result 2	0x1D 0x1E	7:0	BISTRES2[15:0]	16-bit result generated by BIST 2.
		7:0		
Hardware Version	0x1F	7:4	VERSION[3:0]	Read only register; indicates the version of the chip.
		3:0	DEVICE[3:0]	Read only register; indicates the device type.

SPIポート、リセット、およびピン・モード

通常は AD9780/AD9781/AD9783 がパワーアップした後に RESET ピンにアクティブ・ハイのパルスを加えます。これにより、コントロール・レジスタのすべてのビットがデフォルト状態になります。また、RESET ピンをローレベルにすると、SPI ポートがアクティブになるため、CSB をハイレベルに保持する必要があります。

AD9780/AD9781/ AD9783 ではコントローラを使用しないアプリケーションのために、SPI ポートを使用しなくても、ピンを使用して一部のオプション機能を選択できるピン・モード動作が可能です。RESET ピンをハイレベルにすると、ピン・モードが有効

になります。ピン・モードでは、表 13 に示すように 4 本の SPI ポート・ピンは 2 つ目の機能になります。

表 13: SPI ピンの機能 (ピン・モード)

Pin Name	Pin Mode Function
SDIO	DATA (Register 0x02, Bit 7), bit value (1/0) equals pin state (high/low).
CSB	Enable mix mode. If CSB is high, Register 0x0A is set to 0x05, putting both DAC1 and DAC2 into mix mode.
SDO	Enable full power-down. If SDO is high, Register 0x03 is set to 0xFF.

パラレル・データ・ポート・インターフェース

図 56 に示すように、パラレル・ポート・データ・インターフェースは最大 18 本の差動 LVDS 信号、DCO、DCI、最大 16 本のデータ・ライン (D[15:0]) で構成されています。DCO は AD9780/AD9781/AD9783 が生成する出力クロックで、デジタル・データ・エンジンからデータをクロックに合わせて出力させるために使用されます。DATA ラインは、I DAC および Q DAC に対してマルチプレクスされた I および Q データ・ワードをそれぞれ伝送します。DCI はパラレル・データに関するタイミング情報と、データの I/Q 状態を示す信号になります。

図 56 に示すように、LVDS 入力データはデータ・サンプリング信号 (DSS) と呼ばれる、内部で生成されたクロックによってラッチされます。DSS はメイン DAC クロック信号である CLKP/CLKN を遅延した信号です。DATA 入力信号を基準とする DSS の立上がりおよび立下がりエッジの位置決めを最適化すると、最も信頼性の高い DAC データの伝送が可能になります。DATA 入力信号を基準とする DSS のエッジの位置決めは、プログラマブル遅延要素 SMP の値を選定して行います。SMP の最適値を決定する手順は、「パラレル・ポート・タイミングの最適化」で説明しています。

DSS エッジの正しい位置決めに加えて、クロック入力 (DCIP/DCIN) およびデータ信号のアイ・パターンが最大限に開けば、データ・ポートのインターフェースの信頼性が向上します。クロック入力およびデータ信号のジッタと信号間スキューはアイを狭くする 2 つの性能劣化要因になります。そのため、DATA 信号と同じ出力ドライバとデータ・ラインの配線を用いて、同じ方法でこのクロック入力信号を構成することを推奨します。つまり、この信号を (010101...) の繰り返しビット・シーケンスを持つ 17 番目の DATA ラインとして設定してください。

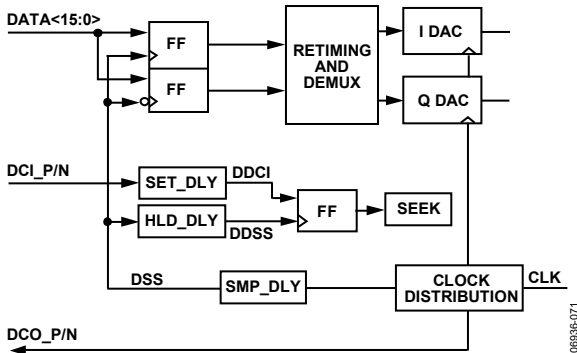


図 56. デジタル・データ・ポートのブロック図

パラレル・ポート・タイミングの最適化

SMP での遅延量 (つまり DATA 信号を基準とする DSS の位置決め) の決定手順を説明する前に、デジタル・データ・ポートの簡略ブロック図を示します。図 57 に示すように、DATA 信号は DSS の立上がりおよび立下がりエッジでサンプリングされます。次に、データのデマルチプレクシングとタイミング補正が行われた後に各 DAC に送られます。

クロック入力信号は、パラレル・データのタイミング情報を与えると同時に、データの送り先 (つまり、I DAC または Q DAC) を与えます。DCI の遅延信号が遅延要素 SET により生成されますが、この信号を DDCI と表記しています。DDCI は、図 56 で DDSS と表記されている DSS を遅延した信号によってサンプリングされます。DDSS は、DSS を HLD の時間だけ遅延した信号です。SET と HLD の 2 つの遅延信号の組合せによって、クロック入力から正確なタイミング情報を抽出することができます。HLD ブロックの遅延を長くすると、クロック入力とそのサイクルの後半でサンプリングされます。SET ブロックの遅延を長くすると、クロック入力とそのサイクルの前半でサンプリングされます。このサンプリング結果は、SEEK ビットを读出すことにより保存された結果を参照できます。DSS とクロック入力は周波数が同じであるため、SEEK ビットは一定値になります。SET および HLD 遅延ブロックの値を変更し、これに伴う SEEK ビットの変化を確認することにより、クロック入力 (および同様に DATA) を基準とする DSS のセットアップおよびホールド・タイミングを測定できます。

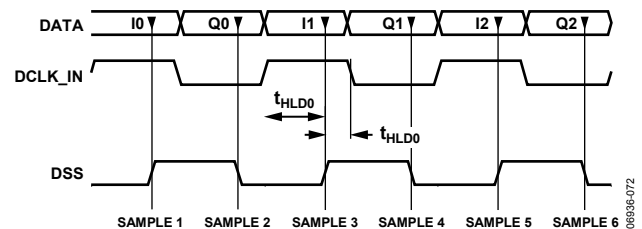


図 57. パラレル・インターフェースのタイミング図

SET、HLD、SMP の時間インクリメント量はクロック・サイクル比ではなく、実時間の単位です。SET と HLD の公称ステップ・サイズは 80 ps です。SMP の公称ステップ・サイズは 160 ps です。SMP の値はレジスタ 0x05 のビット [4:0]、SET の値はレジスタ 0x04 のビット [7:4]、HLD の値はレジスタ 0x04 のビット [3:0] になります。

DATA 信号が有効にサンプリングされることを確保するために、次のような手順でデバイスを設定します。一般的なやりかたとしては、まず一連のセットアップ値とホールド値の配列を設定します。これは数値の範囲内でサンプリング遅延量がスイープ (まっぴんなく変化) するかたちになります。この情報に基づき、最適なサンプリング・ポイントが得られるように、SMP の値を変えていきます。その後、最適な設定になっているかを確認するために、この新しいサンプリング・ポイントを再度チェックします。

配列の作成

以下の手順で配列を作成します。

1. SMP、SET、HLD の値を 0 に設定します。SEEK ビット の値を読み出して、記録しておきます。
2. SMP と SET を 0 に設定した状態にして、SEEK ビットがトグルするまで HLD 値をインクリメントし、そのときの HLD 値を記録します。この手順によって、図 57 に示すホールド時間を測定できます。
3. SMP と HLD を 0 に設定した状態にして、SEEK ビットがトグルするまで SET 値をインクリメントし、そのときの SET 値を記録します。この手順によって、図 57 に示すセットアップ時間を測定できます。
4. SET と HLD の値を 0 に設定します。SMP の値をインクリメントし、SEEK ビット値を記録しておきます。
5. SEEK ビットがトグルするまで HLD をインクリメントし、そのときの HLD 値を記録します。HLD を 0 に設定し、SEEK ビットがトグルするまで SET 値をインクリメントし、そのときの SET 値を記録します。
6. 上記のステップ 4 と 5 の手順を、SMP の値が 0 から 31 まで完了するまで、繰り返します。

表を作成している最中に SEEK ビットがトグルする SET または HLD の値が見つからない場合があります。この場合は、値を 15 と想定してください。

表 14. タイミング・データ・配列

SMP	f _{DACCLK} = 200 MHz			f _{DACCLK} = 400 MHz			f _{DACCLK} = 600 MHz		
	SEEK	SET	HLD	SEEK	SET	HLD	SEEK	SET	HLD
0	0	6	15	0	2	13	0	0	11
1	0	8	15	0	4	11	0	2	9
2	0	10	15	0	6	9	0	3	7
3	0	12	15	0	8	7	0	5	5
4	0	15	15	0	10	4	0	8	2
5	0	15	13	0	12	2	0	10	1
6	0	15	11	0	14	1	1	1	9
7	0	15	9	1	1	13	1	2	7
8	0	15	7	1	3	11	1	4	4
9	0	15	5	1	4	9	1	7	2
10	0	15	3	1	6	7	1	9	1
11	0	15	1	1	8	5	0	1	10
12	0	15	0	1	10	3	0	2	8
13	1	1	15	1	12	1	0	4	7
14	1	4	15	0	0	15	0	6	4
15	1	6	15	0	2	13	0	9	2
16	1	8	15	0	4	11	0	11	0
17	1	10	15	0	6	9	1	1	8
18	1	12	15	0	7	7	1	3	7
19	1	13	15	0	9	5	1	5	5
20	1	15	13	0	11	3	1	7	2
21	1	15	11	0	13	1	1	9	1
22	1	15	9	0	15	0	0	1	10
23	1	15	7	1	2	11	0	2	8
24	1	15	5	1	4	9	0	4	6
25	1	15	3	1	6	7	0	7	4
26	1	15	1	1	8	5	0	9	2
27	1	15	0	1	9	3	0	10	0
28	0	1	15	1	11	2	1	1	8
29	0	1	15	1	11	2	1	1	8
30	0	1	15	1	11	2	1	1	8
31	0	1	15	1	11	2	1	1	8

表 14 に DAC サンプルング・レートが 200 MHz、400 MHz、600 MHz のときに作成された配列の例を示します。データ・ソース（エンジン）の DCO 入力から DCI 出力までの遅延が、SMP 値の範囲に対して SEEK ビットがトグルするタイミングに大きく影響を及ぼします。そのため、ある特定のシステムで作成した表は、表 14 に示すタイミング・データ配列とは必ずしも一致しません。

表 14 から明らかなように、600 MHz 時のデバイスの SMP 動作設定は 2 つのみです。タイミング・マージンをリアルタイムでモニタする方法がないため、タイミング誤差をチェックあるいは補正するためには、出力を中断させる必要があります。したがって、100% の連続動作が要求されるアプリケーションでは、500 MHz を越えるクロックでデバイスを動作させないでください。

SMP 値の決定

タイミング・データ配列の作成が完了すると、以下の手順に従って SMP 値を決定できます。

1. 表から SEEK ビットが 0 から 1 へ遷移するところの SMP 値を見つけます。表 14 から 600 MHz の場合、SMP 値は 6 になります。
2. 表から SEEK ビットが 1 から 0 へ遷移するところの SMP 値を見つけます。表 14 から 600 MHz の場合、SMP 値は 11 になります。
3. ステップ 1 と 2 で見つけた 2 つの値が同じであれば、サンプルリング・ウィンドウが有効であることを示します。500 MHz の場合、11 の SMP 値がこれに相当します。
4. 有効なサンプルリング・ウィンドウで、最適な SMP 値は、SET < HLD かつ |HLD-SET| が最小値であるという、2 つの条件が満たされる場合の数値です。

600 MHz の場合、SMP の最適値は 7 です。

SMP の計算値（以降、SMP_{OPTIMAL} と表記）をデバイスに設定した後で、十分なタイミング・マージンが確保されているかを確認するために、設定のテストを行う必要があります。これは、SMP 値を SMP_{OPTIMAL} + 1 および SMP_{OPTIMAL} - 1 とし、SEEK ビットが 1 として読み出されることを確認する方法で行うことができます。さらに、SET と HLD を足し算したときの最小値を 8 とする点にも注意が必要です。この合計値が 8 よりも小さければ、クロック入力ラインのジッタが過大になっていないか、またクロック入力の周波数がデータシートで規定される最大値の 500 MHz（または 1000 Mbps）を超えていないことを確認する必要があります。

前述のように、入力最大データレートで信頼性の高い動作を確保するには、ジッタおよび入力データビットと DCI 間のスキューを低減することがきわめて重要です。表 14 のデータを得るために使用された入力データ信号のアイ・ダイアグラムを図 58 に示します。

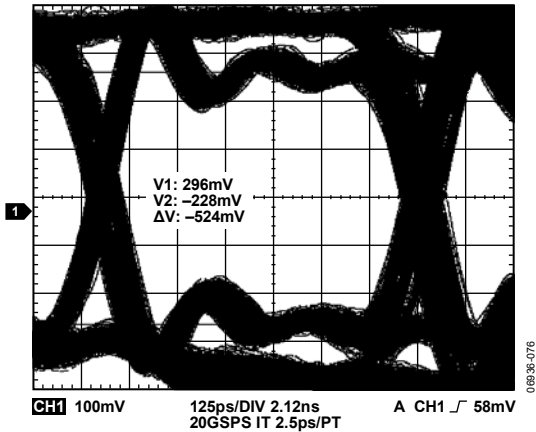


図 58. 表 14 の 600 MHz タイミング・データ配列の作成で使用されたデータ・ソースのアイ・ダイアグラム

有効なサンプリング・ウィンドウは、温度変化によってシフトします。そのためデバイスを 500 MHz を超える周波数で動作させようとするとき、デバイスが 20°C 以上の温度変化を受ける場合は、必ずタイミングの最適化を再度行ってください。もう 1 つのデジタル・データ・ポートのタイミングに関する留意点は、クロック出力 (DCOP/DCON) とクロック入力間の伝播遅延変動です。温度変化やその他の影響により、この時間変動が大きくなる場合は (SET または HLD の 25% を超える変化)、このタイミング・キャリブレーション手順を繰り返してください。

サンプリング・レートが 400 MSPS 以下のときは、簡単な手順でインターフェースのタイミング・マージンを十分に確保できます。この場合は、0 から 31 までの範囲で SMP をスイープ (まんべんなく変化) させて、SEEK ビットの状態を記録します。その後、最初の有効サンプリング・ウィンドウの中心値を SMP の最適値として選択します。表 14 に示す 400 MHz のケースを例に挙げると、SMP 値が 7 から 13 のときに最初の有効サンプリング・ウィンドウになります。このウィンドウの中心値は 10 であるため、SMP の最適値として 10 を設定できます。

CLK 入力の駆動

CLK 入力には低ジッタの駆動用差動信号が必要です。この端子は、1.8 V 電源で動作する PMOS 入力差動ペアであるため、仕様で規定された入力同相電圧 400 mV を維持することが重要です。各入力ピンは、この 400 mV の同相電圧を中心として 200 mV p-p から 1 V p-p までの範囲で安全に振幅させることが可能です。これらの入力レベルは LVDS と直接の互換性はありませんが、図 59 に示すように AC 結合のオフセット LVDS 信号によって CLK を駆動できます。

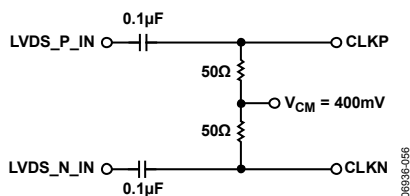


図 59. LVDS の DAC CLK 駆動回路

きれいなサイン波のクロックを使用できる場合は、図 60 に示すようにこのクロックを CLKP と CLKN にトランス結合で供給できます。サンプリング・レートが低い場合は、CMOS クロックや TTL クロックも使用できます。すでに説明したように、このクロックは CMOS/LVDS トランスレータを通して AC 結合もできま

す。あるいは図 60 に示すように、トランス結合してクランプすることもできます。

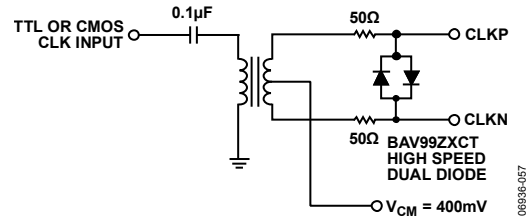


図 60. TTL または CMOS の DAC CLK 駆動回路

図 61 に、400 mV の同相電圧を生成する単純な構成のバイアス・ネットワークを示します。このクロック・バイアス回路には、CVDD18 と CGND を使用することが重要です。クロックに混入したノイズやその他の信号が、DAC のデジタル入力信号と掛け算されて、DAC の性能を低下させることがあります。

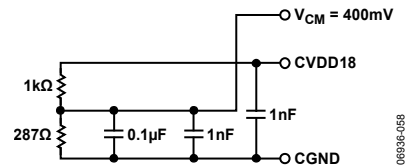


図 61. DAC CLK の VCM 発生器回路

フルスケール電流の生成

内部リファレンス

8.66 ~ 31.66 mA の範囲で I DAC と Q DAC のフルスケール電流を設定できます。最初に 1.2 V のバンドギャップ・リファレンスを使用して、FS ADJ (54 番ピン) に接続された外部抵抗の電流を設定します。図 62 にリファレンス回路の簡略ブロック図を示します。外部抵抗が抵抗を流れるように設定され、これにより 120 µA の I_{REFERENCE} が抵抗を流れるように設定され、これで 20 mA の DAC 出力フルスケール電流が生じます。ゲイン誤差はこの抵抗に比例して変化するので、高精度の抵抗を使用することによって、この各デバイスの内部マッチング仕様までゲイン・マッチングが改善されます。内部電流ミラー回路で電流ゲインのスケールリングが行なわれます。I DAC または Q DAC ゲインは SPI ポート・レジスタの 10 ビット・ワードで設定します。この DAC ゲイン・レジスタのデフォルト値では、約 20 mA のフルスケール電流出力 (I_{FS}) が発生します。I_{FS} は以下の式から求められます。

$$I_{FS} = (86.6 + (0.220 \times DAC \text{ gain})) \times 1000/R$$

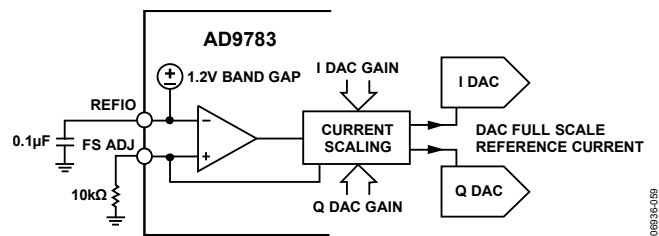


図 62. リファレンス回路

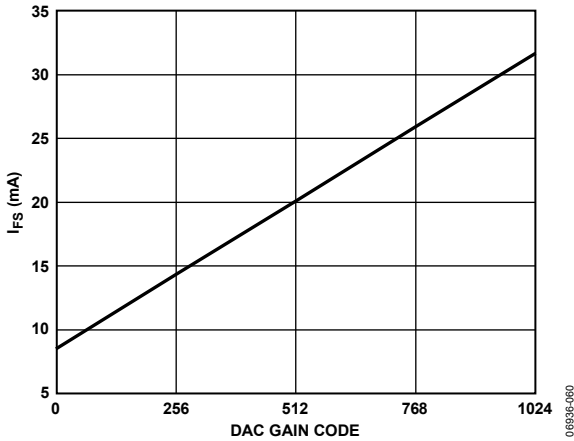


図 63. DAC ゲイン・コード 対 I_{FS}

DACの伝達関数

AD9780/AD9781/AD9783 の各 DAC 出力は、 I_{OUTP} と I_{OUTN} の相補電流出力を駆動します。全ビットがハイレベルのときに、フルスケール電流出力 (I_{FS}) に近い電流が I_{OUTP} から供給されます。たとえば次のようになります。

$$DAC\ CODE = 2^N - 1$$

ここで、 $N = 12/14/16$ ビット（それぞれ AD9780/AD9781/AD9783 の分解能）で、 I_{OUTN} からは電流が出力されません。

I_{OUTP} と I_{OUTN} の電流出力は、入力コードと I_{FS} の関数であり、次の式で表すことができます。

$$I_{OUTP} = (DAC\ DATA / 2^N) \times I_{FS} \quad (1)$$

$$I_{OUTN} = ((2^N - 1) - DAC\ DATA) / 2^N \times I_{FS} \quad (2)$$

ここで、 $DAC\ DATA = 0$ to $2^N - 1$ (10進表記) です。

通常この2つの電流出力で、直接またはトランスを介して抵抗負荷を駆動します。DC 結合が必要な場合は、一致した抵抗負荷 (R_{LOAD}) を I_{OUTP} と I_{OUTN} に接続し、各抵抗負荷をアナログ・コモン (AVSS) に接続してください。 I_{OUTP} ピンと I_{OUTN} ピンのシングルエンド電圧出力は、次の式から求めることができます。

$$V_{OUTP} = I_{OUTP} \times R_{LOAD} \quad (3)$$

$$V_{OUTN} = I_{OUTN} \times R_{LOAD} \quad (4)$$

20 mA の公称出力電流で 1 V の最大出力コンプライアンスを達成するには、 R_{LOAD} を $50\ \Omega$ に設定する必要があります。また V_{OUTP} と V_{OUTN} のフルスケール値が出力コンプライアンスの規定範囲を超えないようにして、規定の歪みおよび直線性を維持できるようにしてください。

AD9780/ AD9781/AD9783 を差動で動作させることによって、2つの利点が得られます。第1に差動動作により、ノイズや歪み、DC オフセットなど I_{OUTP} と I_{OUTN} に関連した同相誤差発生要因をキャンセルできます。第2には、コードに対応した差動電流レベルと、後段の出力電圧 (V_{DIFF}) が、シングルエンド電圧出力 (V_{OUTP} または V_{OUTN}) の2倍になるため、負荷に対して2倍の信号パワーが得られます。

$$V_{DIFF} = (I_{OUTP} - I_{OUTN}) \times R_{LOAD} \quad (5)$$

アナログ動作モード

AD9780/AD9781/AD9783 は、DAC 出力の歪みを低減する独自のクワッドスイッチ・アーキテクチャを採用しており、従来型のデュアルスイッチ・アーキテクチャで発生するコード依存のグリッチがありません。ただし、コード依存のグリッチはなくなるものの、このアーキテクチャでは $2 \times f_{DAC}$ のレートで一定のグリッチが発生します。しかし周波数領域で十分な性能が要求される通信システムやその他のアプリケーションでは、これはほとんど問題になりません。

クワッドスイッチ・アーキテクチャは、ミックス・モードとゼロ・リターン (RZ) モードの2つの動作モードを追加でサポートしています。この2つのモードの波形を図 64 に示します。ミックス・モード時は半クロック・サイクルおきに出力が反転します。これにより、サンプリング・レートで DAC 出力がチョッピングされます。このチョッピングにより、sinc ロールオフを DC から f_{DAC} に周波数シフトできます。さらに出力スペクトルに対するもう1つのちょっとした効果もあります。シフトされたスペクトルは、 $2 \times f_{DAC}$ が最初のヌル点となる2番目の sinc 関数を形成します。これは、データがクロック・レートの2倍でランダムに変化するのではなく、単に繰り返されるためです。

RZ モードでは、半クロック・サイクルおきに出力がミッドスケールに戻ります。出力はノーマル・モード時の DAC 出力と同じですが、出力パルスの幅と領域が半分になる点だけが異なります。出力パルス幅が半分であるため、sinc 関数は2倍に周波数スケールリングされ、最初のヌル点が $2 \times f_{DAC}$ になります。ノーマル・モード時と比べパルス領域が半分になるため、出力パワーはノーマル・モード時の1/2になります。

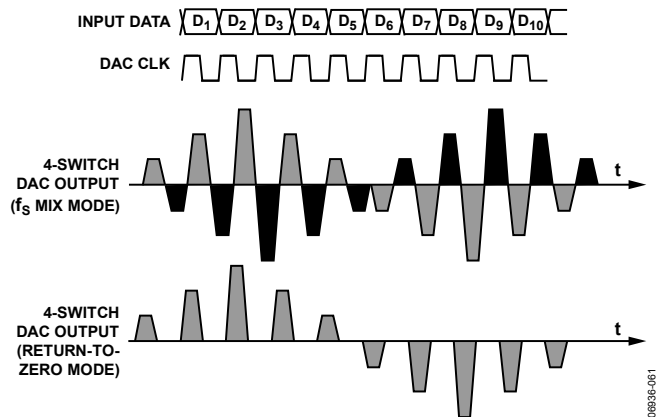


図 64. ミックス・モードとゼロ復帰モードでの DAC 波形

ノーマル・モード、ミックス・モード、RZ モードそれぞれの出力スペクトル形状を示す関数を図 65 に示します。モードを切り替えると、モード固有の sinc ロールオフが DAC 出力で再形成されます。このモード変更機能により、AD9780/AD9781/ AD9783 はダイレクト IF アプリケーションに適しています。選択した動作モードに応じて、最初の3つのナイキスト・ゾーンのうちどこにもキャリアを配置することができます。図 65 に示すように、3つのゾーンすべてにおける性能と最大振幅レベルは、キャリアをどこに配置するかによって、sinc ロールオフの形状により決まります。

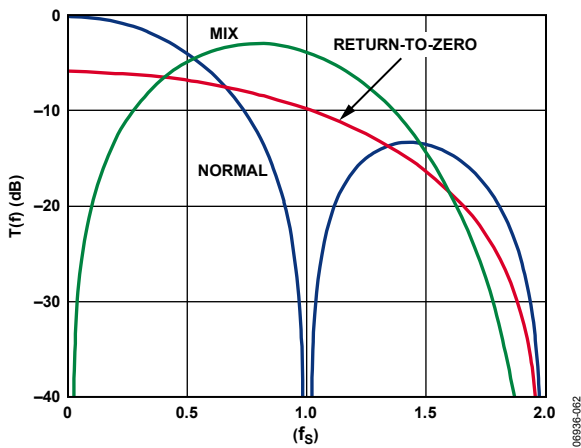


図 65. 各アナログ動作モードの伝達関数

補助 DAC

AD9780/AD9781/AD9783 には、2 個の補助 DAC が備わっています。図 66 に機能図を示します。補助 DAC は、AUXP と AUXN の 2 本の出力ピンをもつ電流出力デバイスです。アクティブ・ピンは、電流ソースまたは電流シンクのどちらにも設定できます。電流シンクまたはソースのいずれの場合も、フルスケール電流レベルは 2 mA です。この補助 DAC 出力の有効コンプライアンス範囲は、出力をシンク電流またはソース電流のどちらに設定するかによって異なります。電流ソース時のコンプライアンス電圧は 0~1.6 V ですが、電流シンク時の出力コンプライアンス電圧は 0.8~1.6 V になります。どちらの出力も使用できますが、アクティブにできるのは補助 DAC の出力の 1 つ (P または N) のみです。非アクティブのピンは、常にハイ・インピーダンス状態になりま (>100 kΩ) 。

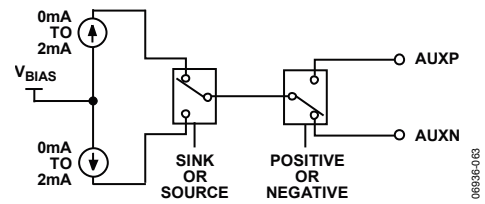


図 66. 補助 DAC の機能図

シングル・サイドバンド送信機のアプリケーションでは、直交変調器の入力換算 DC オフセット電圧と DAC 出力のオフセット電圧の組合せにより、変調器の出力でローカル発振器 (LO) のフィード・スルーが発生し、システム性能が低下することがあります。補助 DAC を使用することで、この DC オフセットとそれに伴って発生する LO フィード・スルーをなくすことができます。DC オフセット補正を行うために補助 DAC を使用する回路構成は、DAC と変調器とのインターフェース回路の詳細によって異なります。図 67 に、ローパス・フィルタを使用した DC 結合構成の例を示します。

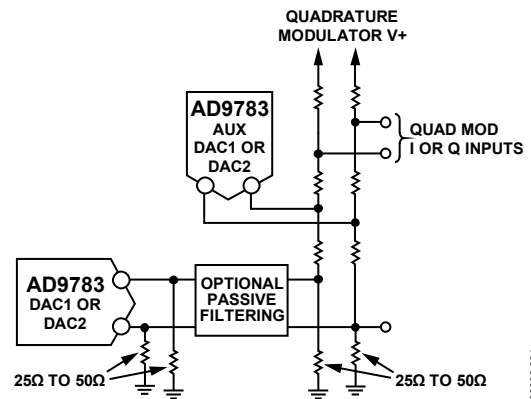


図 67. 受動 DC シフトを用いた DAC と直交変調器の DC 結合

消費電力

シングル DAC モードとデュアル DAC モードのデバイスの消費電力を図 68～図 73 に示します。

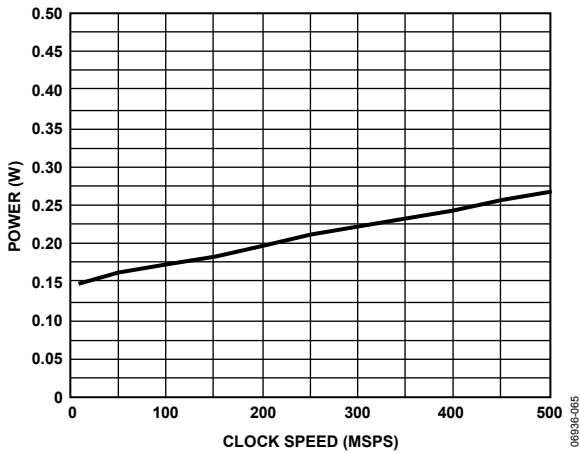


図 68. 消費電力、I データのみ、シングル DAC モード

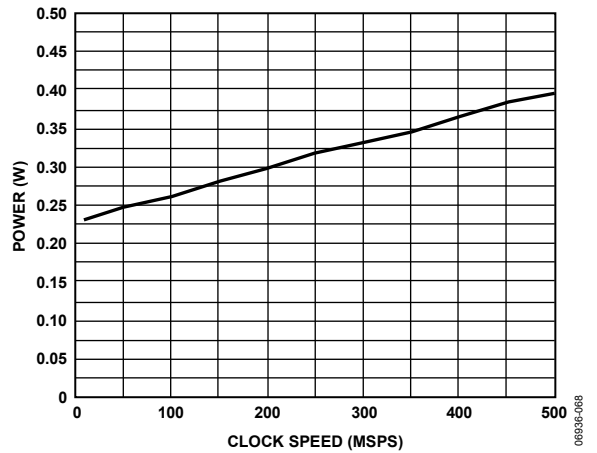


図 71. 消費電力、I および Q データ、デュアル DAC モード

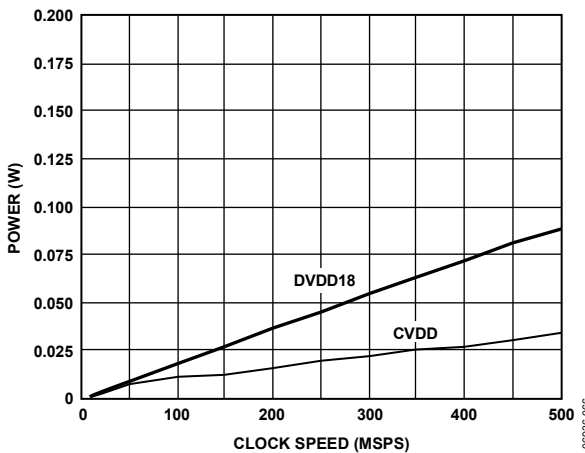


図 69. 消費電力、1.8 V デジタル電源、1.8 V クロック電源、I データのみ

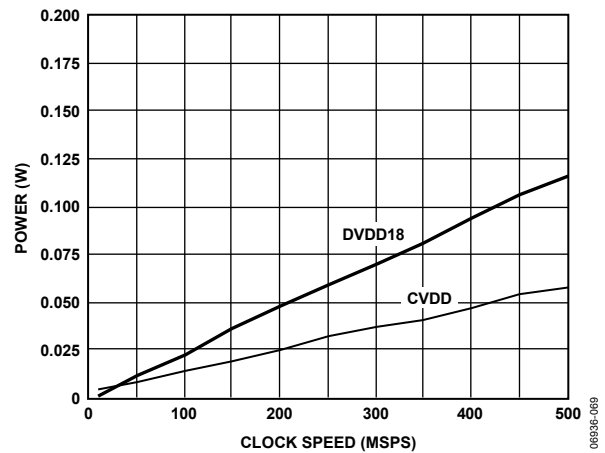


図 72. 消費電力、1.8 V デジタル電源、1.8 V クロック電源、I および Q データ、デュアル DAC モード

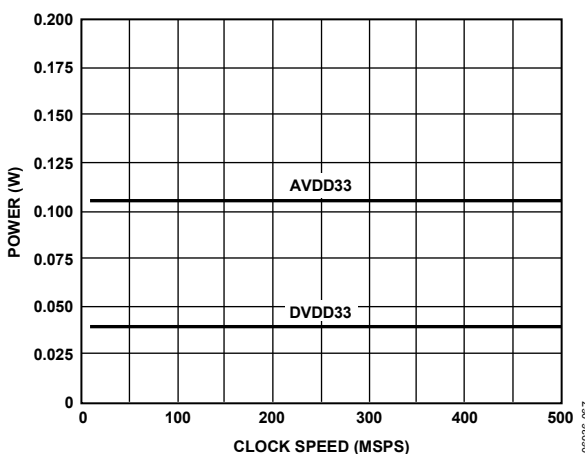


図 70. 消費電力、3.3 V デジタル電源、3.3 V アナログ電源、I データのみ

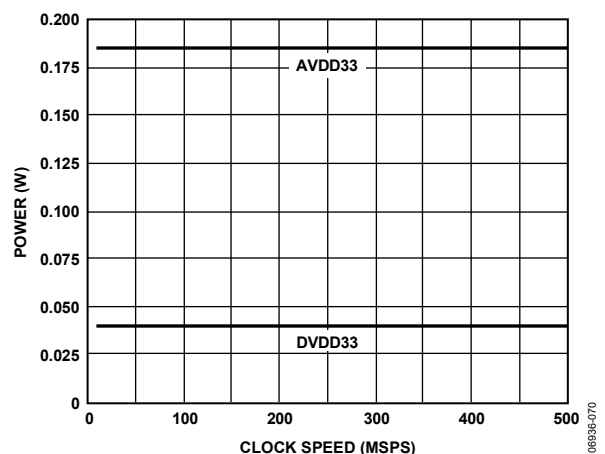


図 73. 消費電力、3.3 V デジタル電源、3.3 V アナログ電源、I および Q データ、デュアル DAC モード

評価用ボードの回路図

ZZ0-96690

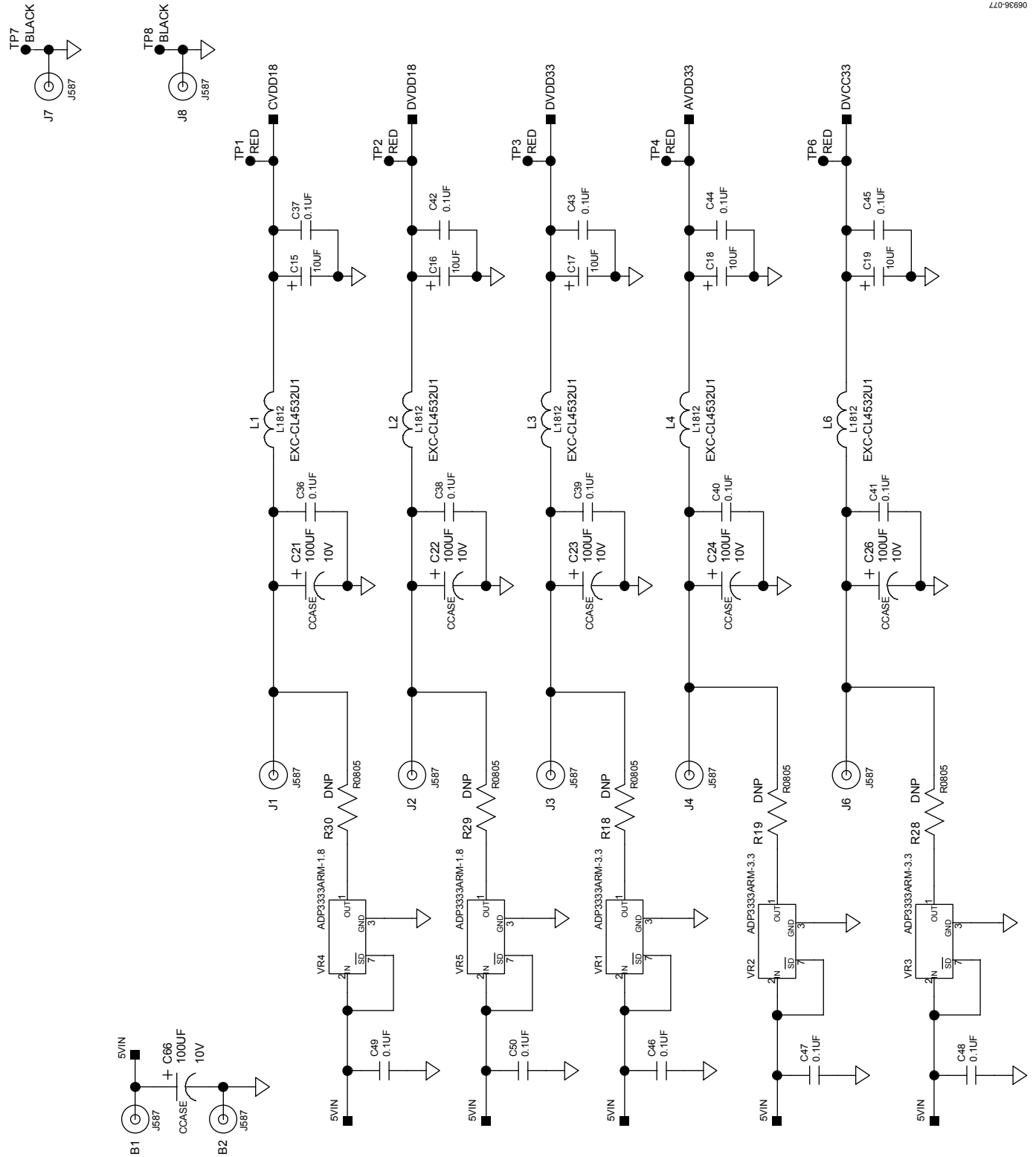


図 74. 電源分配

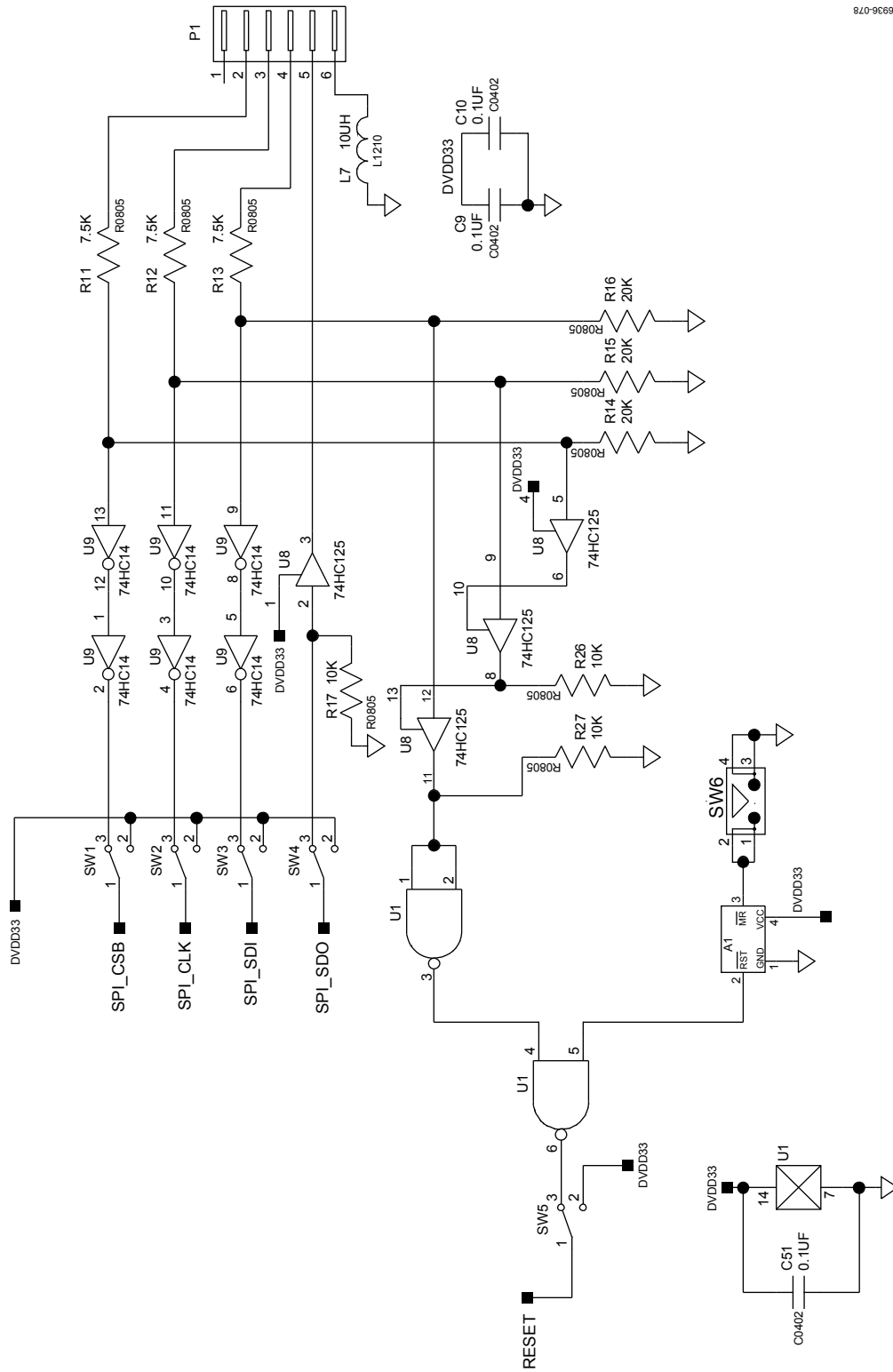


図 75. SPI インターフェース

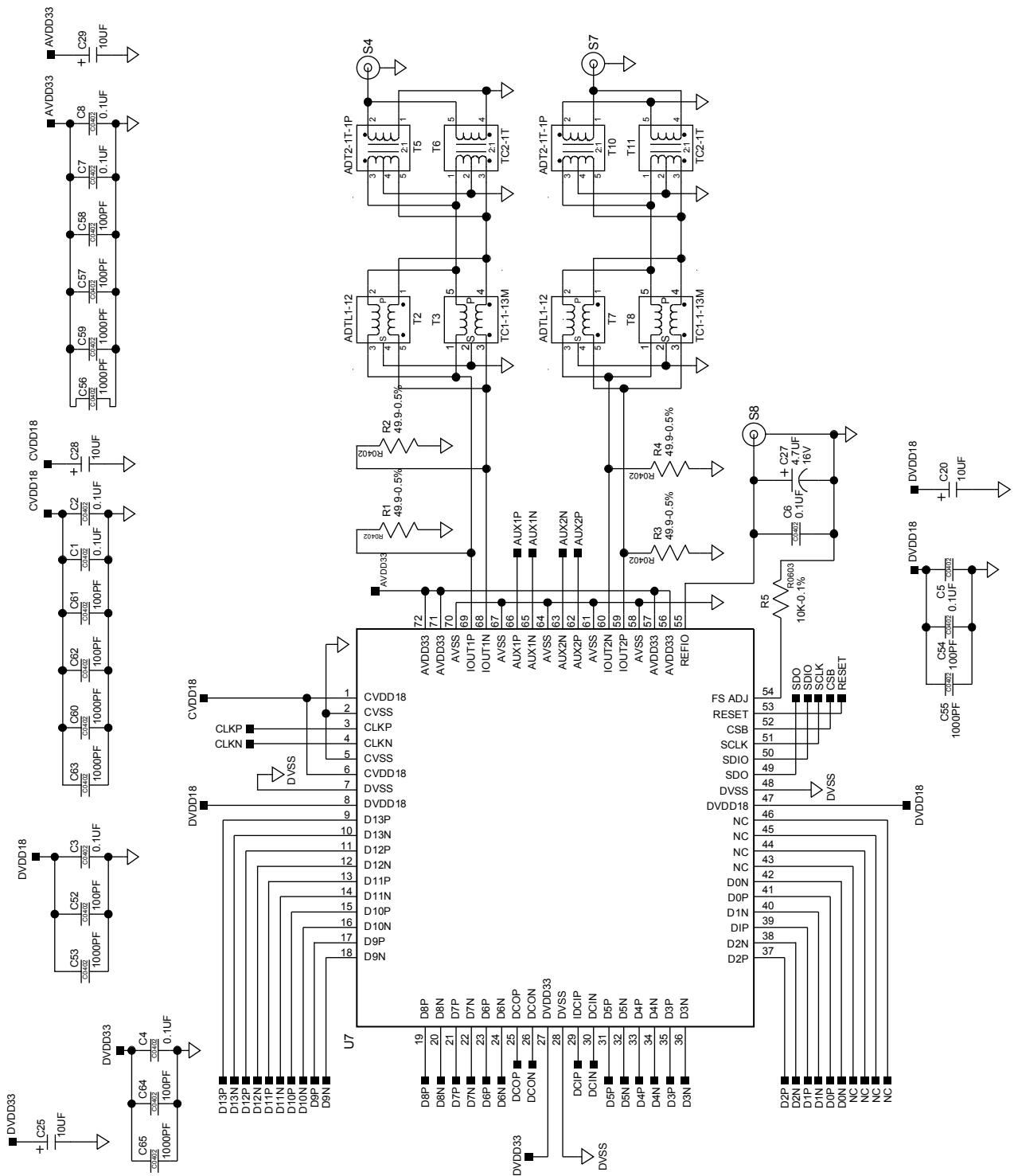


図 76. メイン回路図

090-96690

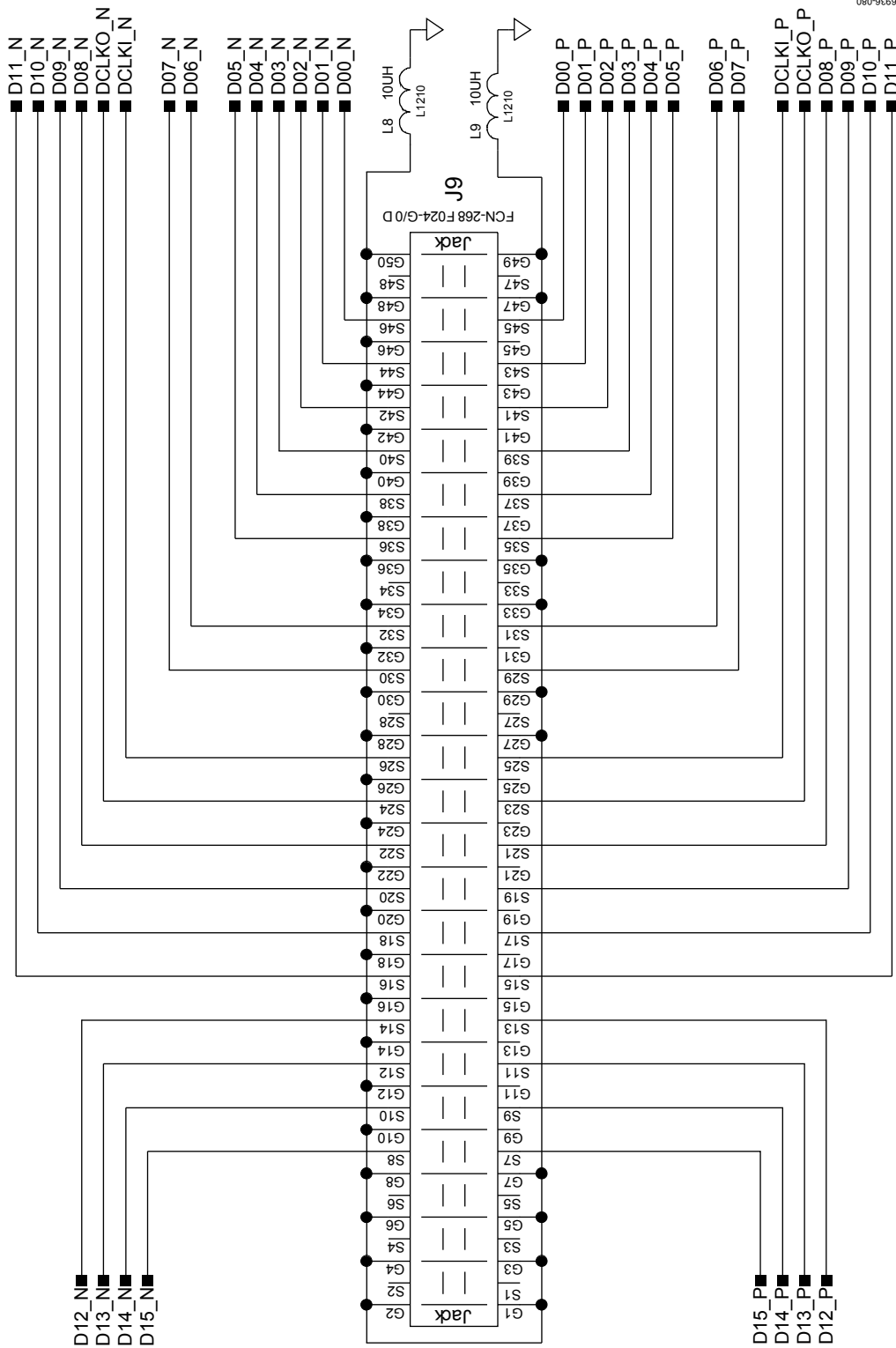


図 77. データ入力の詳細

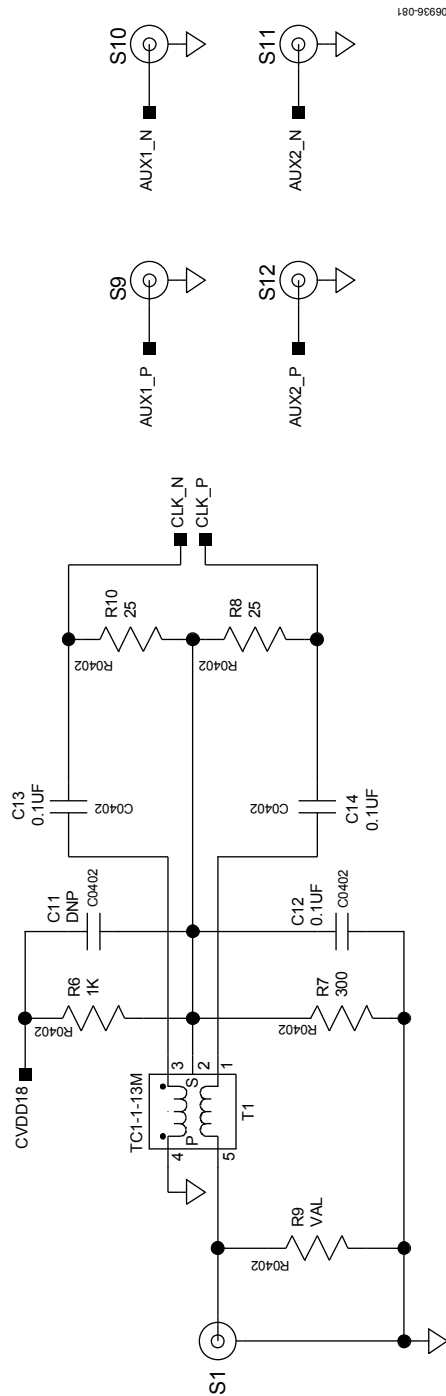


図 78. AUX DAC およびクロック入力回路の詳細

外形寸法

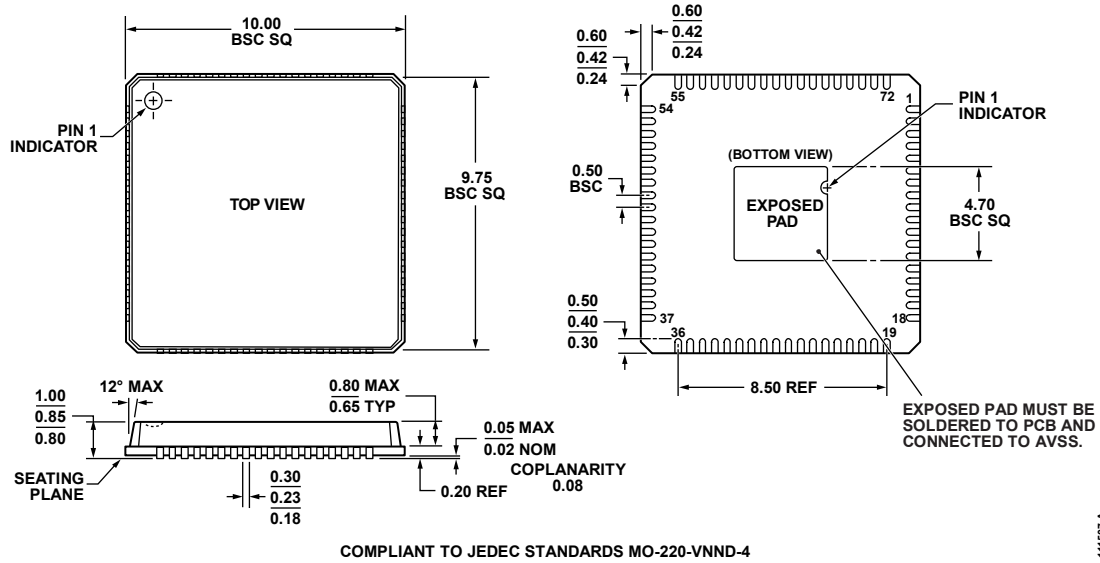


図 79. 72ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
 10 mm × 10 mm、極薄クワッド
 (CP-72-1)
 寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9780BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9780BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9781BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9781BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9783BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9783BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9780-EBZ ¹		Evaluation Board	
AD9781-EBZ ¹		Evaluation Board	
AD9783-EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品