

AD9776/AD9778/AD9779**特長**

DAC出力サンプル・レート：1GSPS
単電源動作：1.8V/3.3V
低消費電力：1.0W@1GSPS、600mW@500MSPS、フル動作条件
SFDR=78dBc (f_{OUT} =100MHzまで)
シングル・キャリアWCDMA ACLR=79dBc@80MHz IF
調整可能なセットアップ/ホールドを備えたCMOSデータ入力インターフェース
アナログ出力：8.7~31.7mAで調節可能、 $RL=25\sim50\Omega$
新しい2/4/8×インターポレータ/複素変調器により、DAC帯域幅のどこにでもキャリアを配置可能
補助DACにより外付けVGAの制御とオフセット制御が可能
マルチチップ同期インターフェース
高性能、低ノイズのPLLクロック逡倍器
デジタル反転sincフィルタ
100ピン、露出パドル型TQFPパッケージ

アプリケーション

無線インフラストラクチャ
デジタル高/低IF合成
内部デジタル・アップコンバージョン機能
送信ダイバーシティ
ワイドバンド通信システム
ポイントtoポイント無線、LMDS
マルチキャリアWCDMA
マルチキャリアGSM

概要

AD9776 (12ビット) / AD9778 (14ビット) / AD9779 (16ビット) は、1GSPSのサンプル・レートを提供する、高ダイナミック・レンジのデュアルD/Aコンバータ (DAC) で、ナイキスト周波数までのマルチキャリアの生成が可能です。これらのデバイスは、複雑なデジタル変調やゲイン/オフセット補償など、ダイレクト・コンバージョン方式の送信アプリケーションに最適な機能を備えています。DAC出力は、AD8349などのアナログ直交変調器とのシームレスなインターフェースを実現できるように最適化されています。シリアル・ペリフェラル・インターフェース (SPI) によって、多くの内部パラメータの設定/読出しが可能です。出力フルスケール電流は、10~30mAの範囲で設定できます。高度な0.18 μ m CMOSプロセスで製造され、1.8V電源と3.3V電源で動作し、総消費電力は1.0Wです。100ピンTQFPパッケージで提供しています。

製品のハイライト

1. 超低ノイズと優れた相互変調歪み (IMD) 性能により、ベースバンドから中間周波数までのワイドバンド信号の高品質合成が可能です。
2. 独自のDAC出力スイッチング技術により、動的性能を高めます。
3. 電流出力は、さまざまなシングルエンド回路または差動回路トポロジ用に簡単に設定できます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

AD9776/AD9778/AD9779

目次

機能ブロック図	3	DACCLK入力の駆動	33
仕様	4	フルスケール電流の生成.....	36
絶対最大定格	7	消費電力.....	37
ESDに関する注意	5	パワーダウン・モードとスリープ・モード.....	38
ピン配置と機能の説明.....	8	インターリーブ・データ・モード.....	39
代表的な性能特性	14	タイミング情報.....	39
用語の説明	22	評価用ボードの動作	45
動作原理.....	23	実装された直交変調器AD8349を使用するための	
シリアル・ペリフェラル・インターフェース.....	23	評価用ボードの変更.....	47
MSB/LSB転送	24	評価用ボードの回路図.....	48
SPIレジスタのマップ	25	外形寸法	55
インターポレーション・フィルタのアーキテクチャ	29	オーダー・ガイド.....	55
インターポレーション・フィルタの最小/最大幅仕様 ..	33		

改訂履歴

7/05—Revision 0: Initial Version

機能ブロック図

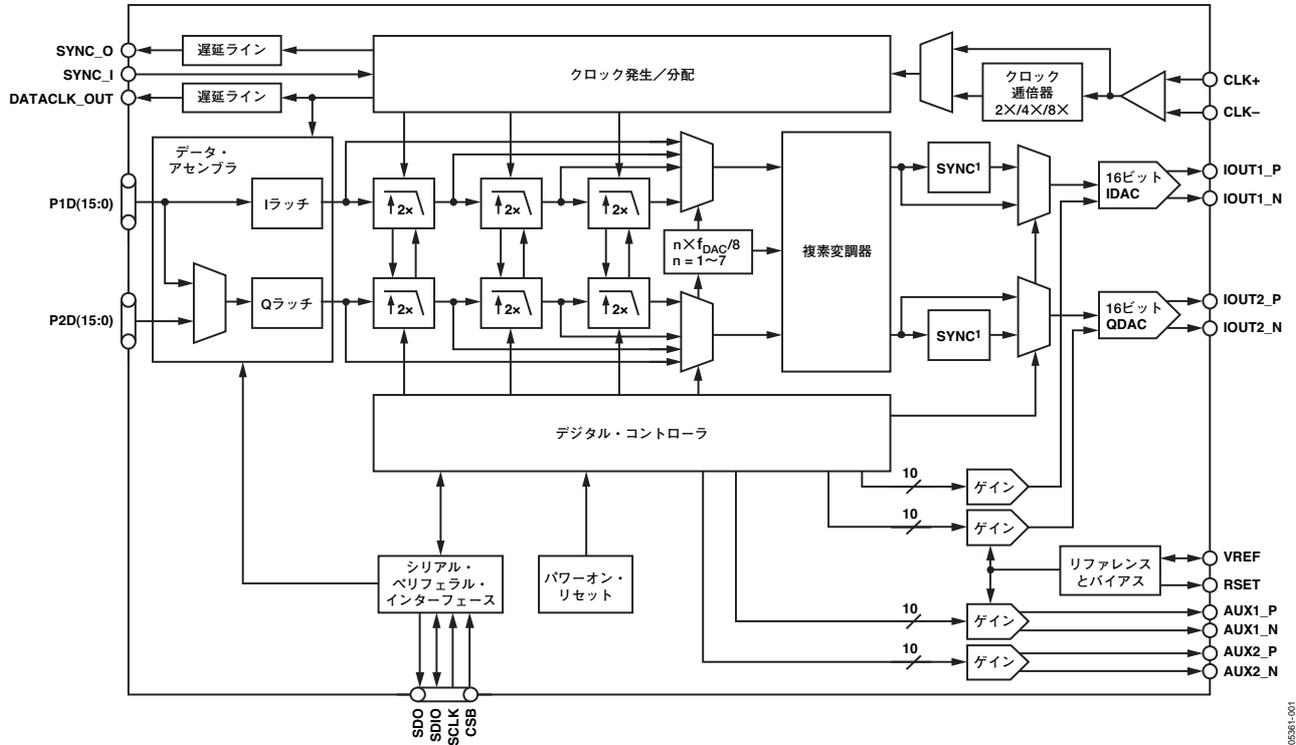


図1

06361-001

AD9776/AD9778/AD9779

仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、AVDD33=3.3V、DVDD33=3.3V、DVDD18=1.8V、CVDD18=1.8V、 I_{OUTFS} =20mA、最大サンプル・レート。

表1. AD9776/AD9778/AD9779のDC仕様

パラメータ	AD9776			AD9778			AD9779			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	12			14			16			ビット
精度										
微分非直線性 (DNL)	±0.1			±0.65			±2.1			LSB
積分非直線性 (INL)	±0.6			±1			±3.7			LSB
メインDAC出力										
オフセット誤差	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
ゲイン誤差 (内部リファレンス使用時)	±2			±2			±2			% FSR
フルスケール出力電流 ¹	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
出力コンプライアンス電圧範囲	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
出力抵抗	10			10			10			MΩ
ゲインDACの単調性保証										
メインDAC温度ドリフト										
オフセット	0.04			0.04			0.04			ppm/°C
ゲイン	100			100			100			ppm/°C
リファレンス電圧	30			30			30			ppm/°C
補助DAC出力										
分解能	10			10			10			ビット
フルスケール出力電流 ¹	-1.998		+1.998	-1.998		+1.998	-1.998		+1.998	mA
出力コンプライアンス電圧範囲 (ソース)	0		1.6	0		1.6	0		1.6	V
出力コンプライアンス電圧範囲 (シンク)	0.8		1.6	0.8		1.6	0.8		1.6	V
出力抵抗	1			1			1			MΩ
補助DACの単調性保証										
リファレンス										
内部リファレンス電圧	1.2			1.2			1.2			V
出力抵抗	5			5			5			kΩ
アナログ電源電圧										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
デジタル電源電圧										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
消費電力										
1×モード ($f_{DAC}=100\text{MSPS}$ 、 IF=1MHz)	250 300			250 300			250 300			mW
2×モード ($f_{DAC}=320\text{MSPS}$ 、 IF=16MHz、PLLオフ)	498			498			498			mW
2×モード ($f_{DAC}=320\text{MSPS}$ 、 IF=16MHz、PLLオン)	588			588			588			mW
4×モード ($f_{DAC}/4\text{ Mod}$ 、 $f_{DAC}=500\text{MSPS}$ 、 IF=137.5MHz、Q DACオフ)	572			572			572			mW

AD9776/AD9778/AD9779

パラメータ	AD9776			AD9778			AD9779			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
8×モード ($f_{DAC}/4$ Mod、 $f_{DAC}=1\text{GSPS}$ 、 $\text{IF}=262.5\text{MHz}$)		980			980			980		mW
パワーダウン・モード		2	3.7		2	3.7		2	3.7	mW
電源電圧変動除去比—AVDD33	-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	%FSR/V
動作範囲	-40	+25	+85	-40	+25	+85	-40	+25	+85	°C

¹ 10k Ω の外付け抵抗に基づく。

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、AVDD33=3.3V、DVDD33=3.3V、DVDD18=1.8V、CVDD18=1.8V、 I_{OUTFS} =20mA、最大サンプル・レート。特に指定のない限り、LVDSドライバとレシーバは、IEEE-1596 reduced range link (縮小範囲リンク) に準拠しています。

表2. AD9776/AD9778/AD9779のデジタル仕様

パラメータ	Min	Typ	Max	単位
LVDSレシーバの入力				
(SYNC_I+, SYNC_I-), SYNC_I+= V_{IA} , SYNC_I-= V_{IB}				
入力電圧範囲 (V_{IA} または V_{IB})	825		1575	mV
入力差動スレッショールド (V_{IDTH})	-100		+100	mV
入力差動ヒステリシス ($V_{IDTHH} - V_{IDTHL}$)		20		mV
レシーバの差動入力インピーダンス (R_{IN}^1)	80		120	Ω
LVDS入力レート			125	MSPS
セットアップ時間 (DACクロックへのSYNC_I)	-0.2			ns
ホールド時間 (DACクロックへのSYNC_I)	1			ns
LVDSドライバ出力				
(SYNC_O+, SYNC_O-), SYNC_O+= V_{OA} , SYNC_O-= V_{OB} , 100 Ω 終端				
出力ハイレベル電圧 (V_{OA} または V_{OB})	825		1575	mV
出力ローレベル電圧 (V_{OA} または V_{OB})	1025			mV
出力差動電圧 ($ V_{OD} $)	150	200	250	mV
出力オフセット電圧 (V_{OS})	1150		1250	mV
出力インピーダンス、シングルエンド (R_O)	80	100	120	Ω
最大クロック・レート	1			GHz
DACクロック入力 (CLK+, CLK-)				
ピークtoピーク電圧@CLK+およびCLK- ²	400	800	1600	mV
コモンモード電圧	300	400	500	mV
最大クロック・レート ³		1		GSPS
シリアル・ペリフェラル・インターフェース				
最大クロック・レート (SCLK)			40	MHz
最小パルス幅ハイレベル			12.5	ns
最小パルス幅ローレベル			12.5	ns
入力データ				
セットアップ時間 (DATACLKへの入力データ (全モード))	3.0			ns
ホールド時間 (DATACLKへの入力データ (全モード))	-0.78			ns

¹ 25°Cでの保証。25°Cを超える温度では、120 Ω を超えるドリフトが生じることもあります。

² PLLを使用するときは、最小1Vの振幅を推奨します。

³ DVDD18=CVDD18=1.9Vのときの最大クロック・レート (typ)。

AD9776/AD9778/AD9779

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33=3.3V$ 、 $DVDD33=3.3V$ 、 $DVDD18=1.8V$ 、 $CVDD18=1.8V$ 、 $I_{OUTFS}=20mA$ 、最大サンプル・レート。

表3. AD9776/AD9778/AD9779のAC仕様

パラメータ	AD9776			AD9778			AD9779			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
スプリアス・フリー・ダイナミック・レンジ (SFDR)										
$f_{DAC}=100MSPS$ 、 $f_{OUT}=20MHz$		82			82			82		dBc
$f_{DAC}=200MSPS$ 、 $f_{OUT}=50MHz$		81			81			82		dBc
$f_{DAC}=400MSPS$ 、 $f_{OUT}=70MHz$		80			80			80		dBc
$f_{DAC}=800MSPS$ 、 $f_{OUT}=70MHz$		85			85			87		dBc
ツートーン相互変調歪み (IMD)										
$f_{DAC}=200MSPS$ 、 $f_{OUT}=50MHz$		87			87			91		dBc
$f_{DAC}=400MSPS$ 、 $f_{OUT}=60MHz$		80			85			85		dBc
$f_{DAC}=400MSPS$ 、 $f_{OUT}=80MHz$		75			81			81		dBc
$f_{DAC}=800MSPS$ 、 $f_{OUT}=100MHz$		75			80			81		dBc
ノイズ・スペクトル密度 (NSD) (8トーン、500kHzトーン間隔)										
$f_{DAC}=200MSPS$ 、 $f_{OUT}=80MHz$		-152			-155			-158		dBm/Hz
$f_{DAC}=400MSPS$ 、 $f_{OUT}=80MHz$		-155			-159			-160		dBm/Hz
$f_{DAC}=800MSPS$ 、 $f_{OUT}=80MHz$		-157.5			-160			-161		dBm/Hz
WCDMA隣接チャンネル漏れ率 (ACLR) (シングル・キャリア)										
$f_{DAC}=491.52MSPS$ 、 $f_{OUT}=100MHz$		76			78			79		dBc
$f_{DAC}=491.52MSPS$ 、 $f_{OUT}=200MHz$		69			73			74		dBc
WCDMA第2隣接チャンネル漏れ率 (ACLR) (シングル・キャリア)										
$f_{DAC}=491.52MSPS$ 、 $f_{OUT}=100MHz$		77.5			80			81		dBc
$f_{DAC}=491.52MSPS$ 、 $f_{OUT}=200MHz$		76			78			78		dBc

絶対最大定格

表4

パラメータ	基準	定格値
AVDD33	AGND DGND CGND	-0.3 ~ +3.6 V
DVDD33、DVDD18、 CVDD18	AGND DGND CGND	-0.3 ~ +1.98 V
AGND	DGND CGND	-0.3 ~ +0.3 V
DGND	AGND CGND	-0.3 ~ +0.3 V
CGND	AGND DGND	-0.3 ~ +0.3 V
I120、VREF、IPTAT	AGND	-0.3V ~ AVDD33+0.3V
I_{OUT1-P} 、 I_{OUT1-N} 、 I_{OUT2-P} 、 I_{OUT2-N} 、 Aux_{1-P} 、 Aux_{1-N} 、 Aux_{2-P} 、 Aux_{2-N}	AGND	-1.0V ~ AVDD33+0.3V
P1D15~P1D0、 P2D15~P2D0	DGND	-0.3V ~ DVDD33+0.3V
DATACLK、TXENABLE	DGND	-0.3V ~ DVDD33+0.3V
CLK+、CLK-、RESET、 IRQ、PLL_LOCK、 SYNC_O+、SYNC_O-、 SYNC_I+、SYNC_I-	CGND	-0.3V ~ CVDD18+0.3V
RESET、IRQ、 PLL_LOCK、SYNC_O+、 SYNC_O-、SYNC_I+、 SYNC_I-、CSB、 SCLK、SDIO、SDO	DGND	-0.3V ~ DVDD33+0.3V
ジャンクション温度		+125°C
保存温度		-65 ~ +150°C

熱抵抗

100ピン、熱特性強化型TQFPパッケージ： $\theta_{JA}=27.4^{\circ}\text{C}/\text{W}$ （自然空冷）

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD9776/AD9778/AD9779

ピン配置と機能の説明

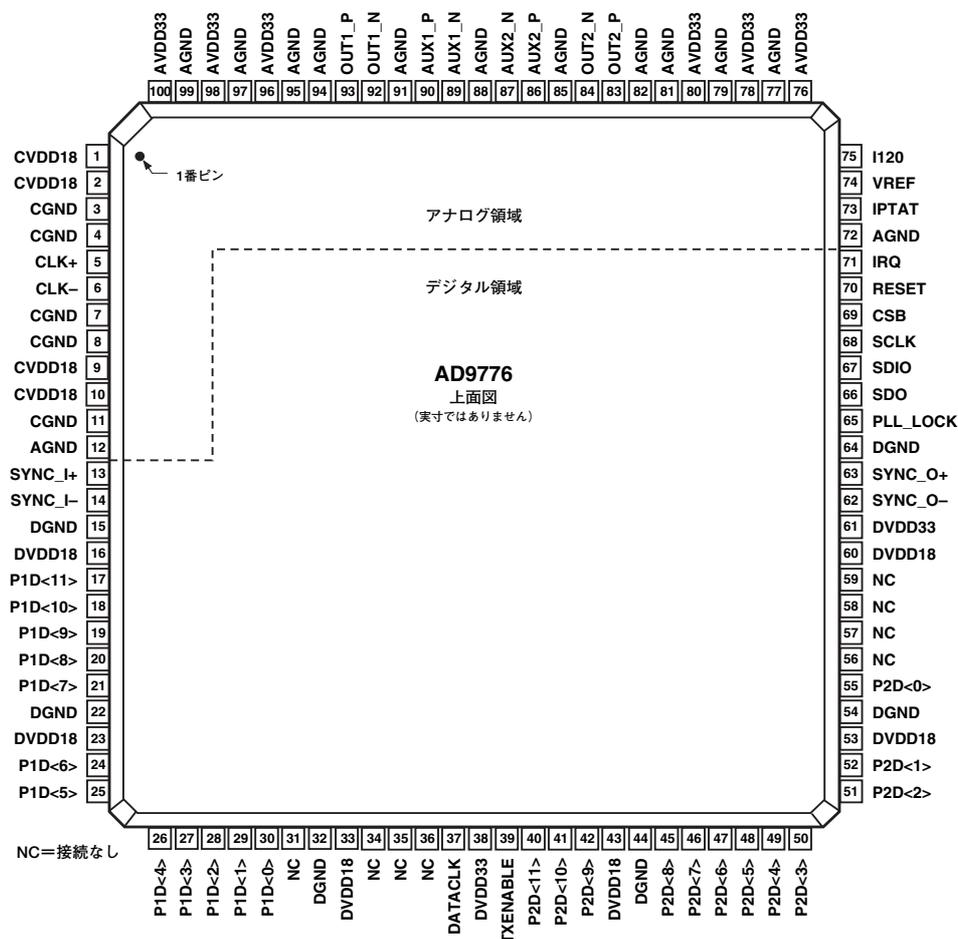


図2. AD9776のピン配置

表5. AD9776のピン機能の説明

ピン番号	記号	記号	ピン番号	記号	記号
1	CVDD18	1.8Vクロック電源	19	P1D <9>	ポート1、データ入力D9
2	CVDD18	1.8Vクロック電源	20	P1D <8>	ポート1、データ入力D8
3	CGND	クロック・コモン	21	P1D <7>	ポート1、データ入力D7
4	CGND	クロック・コモン	22	DGND	デジタル・コモン
5	CLK ⁺	差動クロック入力	23	DVDD18	1.8Vデジタル電源
6	CLK ⁻	差動クロック入力	24	P1D <6>	ポート1、データ入力D6
7	CGND	クロック・コモン	25	P1D <5>	ポート1、データ入力D5
8	CGND	クロック・コモン	26	P1D <4>	ポート1、データ入力D4
9	CVDD18	1.8Vクロック電源	27	P1D <3>	ポート1、データ入力D3
10	CVDD18	1.8Vクロック電源	28	P1D <2>	ポート1、データ入力D2
11	CGND	クロック・コモン	29	P1D <1>	ポート1、データ入力D1
12	AGND	アナログ・コモン	30	P1D <0>	ポート1、データ入力D0
13	SYNC_I ⁺	差動同期入力	31	NC	接続なし
14	SYNC_I ⁻	差動同期入力	32	DGND	デジタル・コモン
15	DGND	デジタル・コモン	33	DVDD18	1.8Vデジタル電源
16	DVDD18	1.8Vデジタル電源	34	NC	接続なし
17	P1D <11>	ポート1、データ入力D11 (MSB)	35	NC	接続なし
18	P1D <10>	ポート1、データ入力D10	36	NC	接続なし

AD9776/AD9778/AD9779

ピン番号	記号	記号
37	DATACLK	データ・クロック出力
38	DVDD33	3.3Vデジタル電源
39	TXENABLE	送信イネーブル
40	P2D <11>	ポート2、データ入力D11 (MSB)
41	P2D <10>	ポート2、データ入力D10
42	P2D <9>	ポート2、データ入力D9
43	DVDD18	1.8Vデジタル電源
44	DGND	デジタル・コモン
45	P2D <8>	ポート2、データ入力D8
46	P2D <7>	ポート2、データ入力D7
47	P2D <6>	ポート2、データ入力D6
48	P2D <5>	ポート2、データ入力D5
49	P2D <4>	ポート2、データ入力D4
50	P2D <3>	ポート2、データ入力D3
51	P2D <2>	ポート2、データ入力D2
52	P2D <1>	ポート2、データ入力D1
53	DVDD18	1.8Vデジタル電源
54	DGND	デジタル・コモン
55	P2D <0>	ポート2、データ入力D0
56	NC	接続なし
57	NC	接続なし
58	NC	接続なし
59	NC	接続なし
60	DVDD18	1.8Vデジタル電源
61	DVDD33	3.3Vデジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLLロック・インジケータ
66	SDO	SPIポート・データ出力
67	SDIO	SPIポート・データ入出力
68	SCLK	SPIポート・クロック
69	CSB	SPIポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ
71	IRQ	割込み要求
72	AGND	アナログ・コモン
73	IPTAT	リファレンス電流

ピン番号	記号	記号
74	VREF	電圧リファレンス出力
75	I120	120 μ Aリファレンス電流
76	AVDD33	3.3Vアナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3Vアナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3Vアナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動DAC電流出力、チャンネル2
84	OUT2_N	差動DAC電流出力、チャンネル2
85	AGND	アナログ・コモン
86	AUX2_P	補助DAC電圧出力、チャンネル2
87	AUX2_N	補助DAC電圧出力、チャンネル2
88	AGND	アナログ・コモン
89	AUX1_N	補助DAC電圧出力、チャンネル1
90	AUX1_P	補助DAC電圧出力、チャンネル1
91	AGND	アナログ・コモン
92	OUT1_N	差動DAC電流出力、チャンネル1
93	OUT1_P	差動DAC電流出力、チャンネル1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3Vアナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3Vアナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3Vアナログ電源

¹ CLK+ピンとCLK-ピンにおける結合差動クロック入力は、DACCLKと呼ばれます。

AD9776/AD9778/AD9779

ピン番号	記号	記号
41	P2D <12>	ポート2、データ入力D12
42	P2D <11>	ポート2、データ入力D11
43	DVDD18	1.8Vデジタル電源
44	DGND	デジタル・コモン
45	P2D <10>	ポート2、データ入力D10
46	P2D <9>	ポート2、データ入力D9
47	P2D <8>	ポート2、データ入力D8
48	P2D <7>	ポート2、データ入力D7
49	P2D <6>	ポート2、データ入力D6
50	P2D <5>	ポート2、データ入力D5
51	P2D <4>	ポート2、データ入力D4
52	P2D <3>	ポート2、データ入力D3
53	DVDD18	1.8Vデジタル電源
54	DGND	デジタル・コモン
55	P2D <2>	ポート2、データ入力D2
56	P2D <1>	ポート2、データ入力D1
57	P2D <0>	ポート2、データ入力D0
58	NC	接続なし
59	NC	接続なし
60	DVDD18	1.8Vデジタル電源
61	DVDD33	3.3Vデジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLLロック・インジケータ
66	SDO	SPIポート・データ出力
67	SDIO	SPIポート・データ入出力
68	SCLK	SPIポート・クロック
69	CSB	SPIポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ
71	IRQ	割込み要求
72	AGND	アナログ・コモン
73	IPTAT	リファレンス電流
74	VREF	電圧リファレンス出力
75	I120	120 μ Aリファレンス電流

ピン番号	記号	記号
76	AVDD33	3.3Vアナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3Vアナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3Vアナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動DAC電流出力、チャンネル2
84	OUT2_N	差動DAC電流出力、チャンネル2
85	AGND	アナログ・コモン
86	AUX2_P	補助DAC電圧出力、チャンネル2
87	AUX2_N	補助DAC電圧出力、チャンネル2
88	AGND	アナログ・コモン
89	AUX1_N	補助DAC電圧出力、チャンネル1
90	AUX1_P	補助DAC電圧出力、チャンネル1
91	AGND	アナログ・コモン
92	OUT1_N	差動DAC電流出力、チャンネル1
93	OUT1_P	差動DAC電流出力、チャンネル1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3Vアナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3Vアナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3Vアナログ電源

¹ CLK+ピンとCLK-ピンにおける結合差動クロック入力は、DACCLKと呼ばれます。

AD9776/AD9778/AD9779

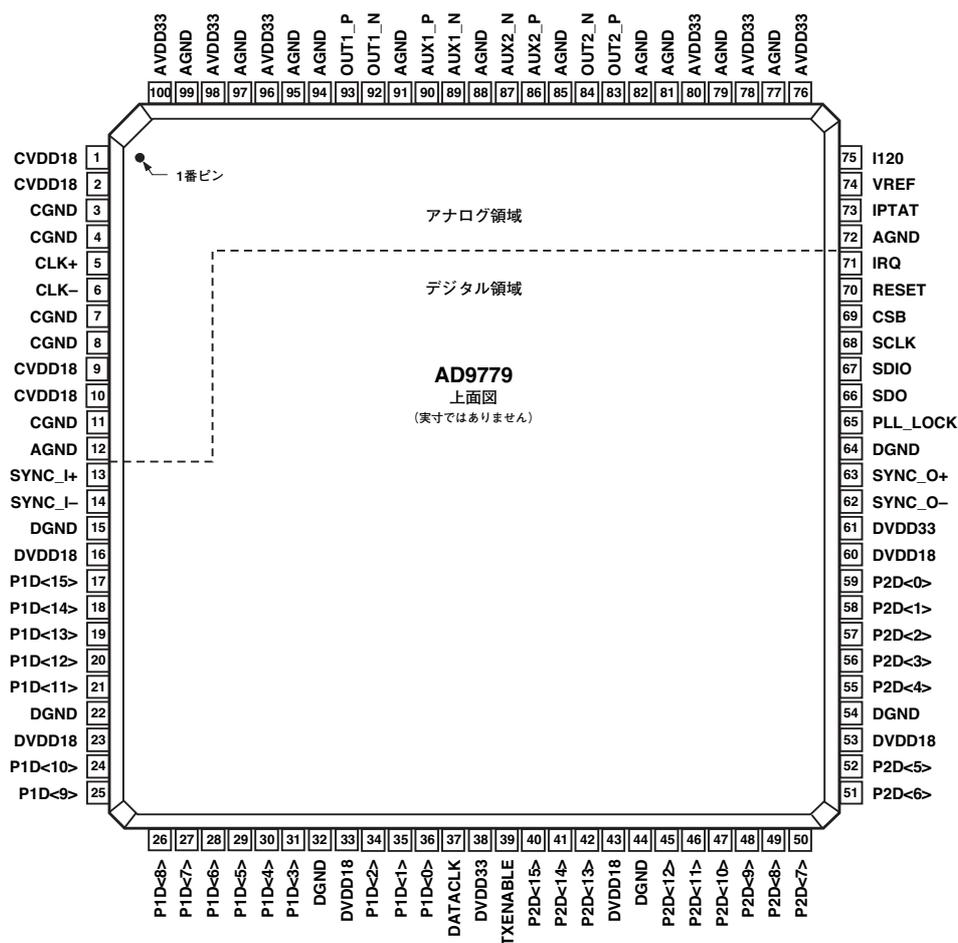


図4. AD9779のピン配置

表7. AD9779のピン機能の説明

ピン番号	記号	記号	ピン番号	記号	記号
1	CVDD18	1.8Vクロック電源	20	P1D <12>	ポート1、データ入力D12
2	CVDD18	1.8Vクロック電源	21	P1D <11>	ポート1、データ入力D11
3	CGND	クロック・コモン	22	DGND	デジタル・コモン
4	CGND	クロック・コモン	23	DVDD18	1.8Vデジタル電源
5	CLK ⁺	差動クロック入力	24	P1D <10>	ポート1、データ入力D10
6	CLK ⁻	差動クロック入力	25	P1D <9>	ポート1、データ入力D9
7	CGND	クロック・コモン	26	P1D <8>	ポート1、データ入力D8
8	CGND	クロック・コモン	27	P1D <7>	ポート1、データ入力D7
9	CVDD18	1.8Vクロック電源	28	P1D <6>	ポート1、データ入力D6
10	CVDD18	1.8Vクロック電源	29	P1D <5>	ポート1、データ入力D5
11	CGND	クロック・コモン	30	P1D <4>	ポート1、データ入力D4
12	AGND	アナログ・コモン	31	P1D <3>	ポート1、データ入力D3
13	SYNC_I ⁺	差動同期入力	32	DGND	デジタル・コモン
14	SYNC_I ⁻	差動同期入力	33	DVDD18	1.8Vデジタル電源
15	DGND	デジタル・コモン	34	P1D <2>	ポート1、データ入力D2
16	DVDD18	1.8Vデジタル電源	35	P1D <1>	ポート1、データ入力D1
17	P1D <15>	ポート1、データ入力D15 (MSB)	36	P1D <0>	ポート1、データ入力D0 (LSB)
18	P1D <14>	ポート1、データ入力D14	37	DATACLK	データ・クロック出力
19	P1D <13>	ポート1、データ入力D13	38	DVDD33	3.3Vデジタル電源

AD9776/AD9778/AD9779

ピン番号	記号	記号
39	TXENABLE	送信イネーブル
40	P2D <15>	ポート2、データ入力D15 (MSB)
41	P2D <14>	ポート2、データ入力D14
42	P2D <13>	ポート2、データ入力D13
43	DVDD18	1.8Vデジタル電源
44	DGND	デジタル・コモン
45	P2D <12>	ポート2、データ入力D12
46	P2D <11>	ポート2、データ入力D11
47	P2D <10>	ポート2、データ入力D10
48	P2D <9>	ポート2、データ入力D9
49	P2D <8>	ポート2、データ入力D8
50	P2D <7>	ポート2、データ入力D7
51	P2D <6>	ポート2、データ入力D6
52	P2D <5>	ポート2、データ入力D5
53	DVDD18	1.8Vデジタル電源
54	DGND	デジタル・コモン
55	P2D <4>	ポート2、データ入力D4
56	P2D <3>	ポート2、データ入力D3
57	P2D <2>	ポート2、データ入力D2
58	P2D <1>	ポート2、データ入力D1
59	P2D <0>	ポート2、データ入力D0 (LSB)
60	DVDD18	1.8Vデジタル電源
61	DVDD33	3.3Vデジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLLロック・インジケータ
66	SPI_SDO	SPIポート・データ出力
67	SPI_SDIO	SPIポート・データ入出力
68	SCLK	SPIポート・クロック
69	SPI_CSB	SPIポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ
71	IRQ	割込み要求
72	AGND	アナログ・コモン
73	IPTAT	リファレンス電流
74	VREF	電圧リファレンス出力

ピン番号	記号	記号
75	I120	120 μ Aリファレンス電流
76	AVDD33	3.3Vアナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3Vアナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3Vアナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動DAC電流出力、チャンネル2
84	OUT2_N	差動DAC電流出力、チャンネル2
85	AGND	アナログ・コモン
86	AUX2_P	補助DAC電圧出力、チャンネル2
87	AUX2_N	補助DAC電圧出力、チャンネル2
88	AGND	アナログ・コモン
89	AUX1_N	補助DAC電圧出力、チャンネル1
90	AUX1_P	補助DAC電圧出力、チャンネル1
91	AGND	アナログ・コモン
92	OUT1_N	差動DAC電流出力、チャンネル1
93	OUT1_P	差動DAC電流出力、チャンネル1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3Vアナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3Vアナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3Vアナログ電源

¹ CLK+ピンとCLK-ピンにおける結合差動クロック入力は、DACCLKと呼ばれます。

代表的な性能特性

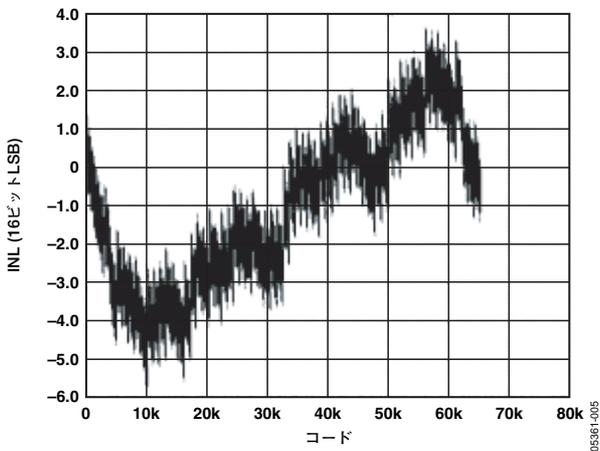


図5. 代表的なINL (AD9779)

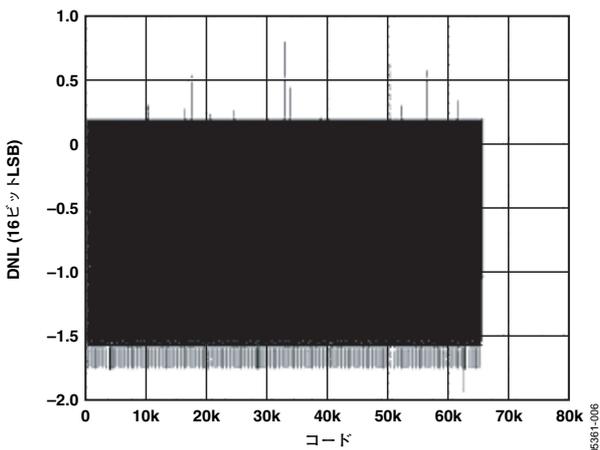


図6. 代表的なDNL (AD9779)

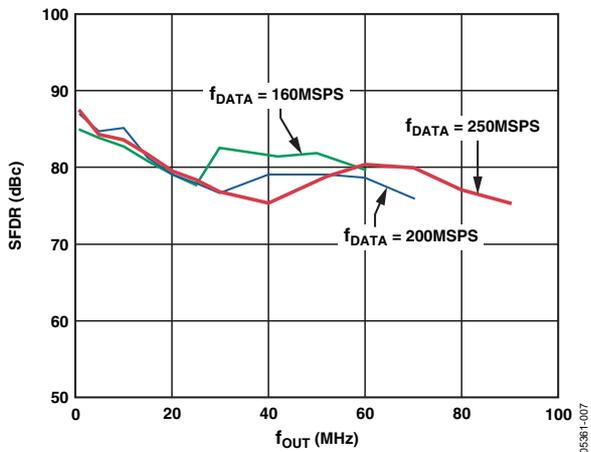


図7. f_{OUT} 対 帯域内SFDR (AD9779、1×インターポレーション)

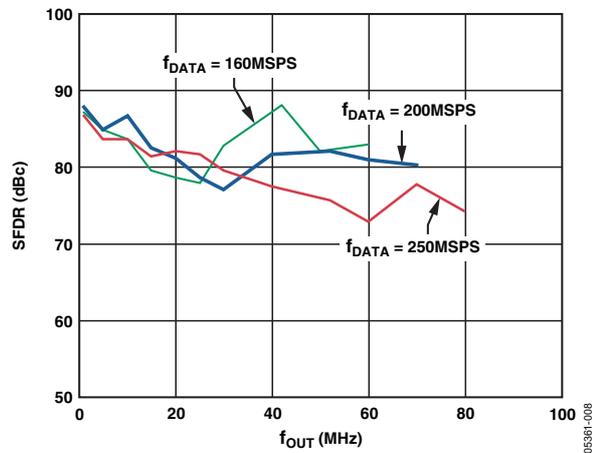


図8. f_{OUT} 対 帯域内SFDR (AD9779、2×インターポレーション)

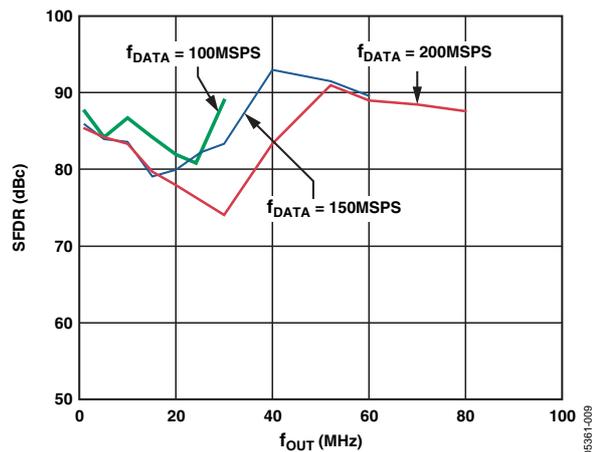


図9. f_{OUT} 対 帯域内SFDR (AD9779、4×インターポレーション)

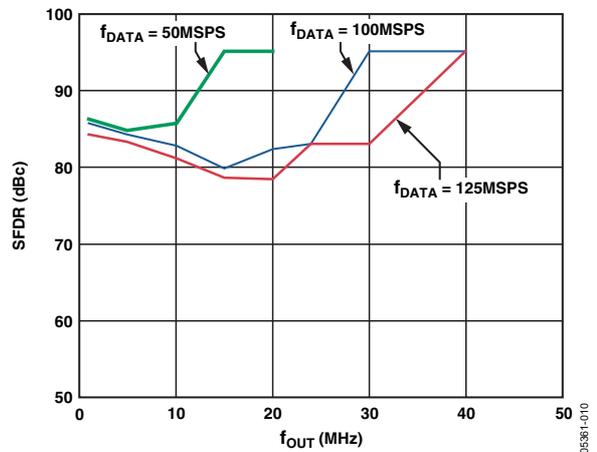


図10. f_{OUT} 対 帯域内SFDR (AD9779、8×インターポレーション)

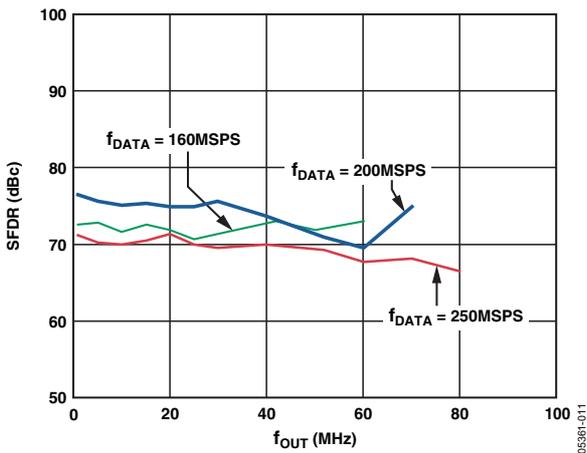


図11. f_{OUT} 対帯域外SFDR
(AD9779、2×インターポレーション)

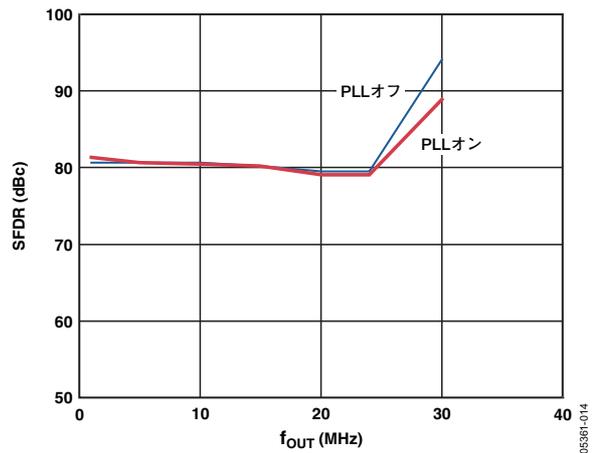


図14. 帯域内SFDR
(AD9779、4×インターポレーション、 $f_{DATA}=100\text{MSPS}$ 、PLLオン/オフ)

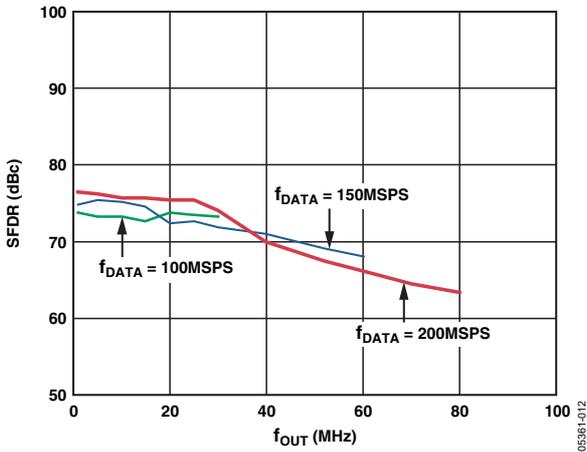


図12. f_{OUT} 対帯域外SFDR
(AD9779、4×インターポレーション)

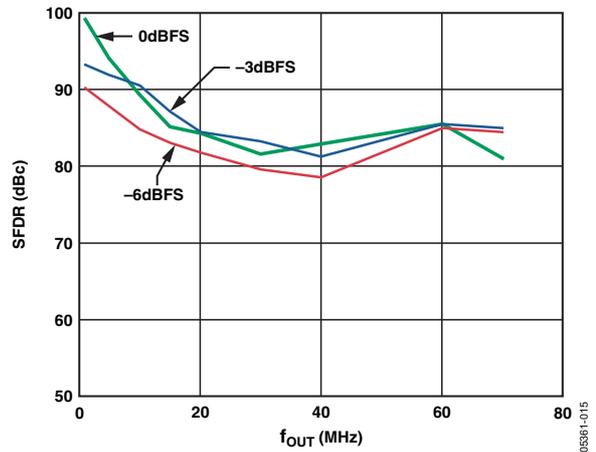


図15. デジタル・フルスケール入力 対 帯域内 SFDR (AD9779)

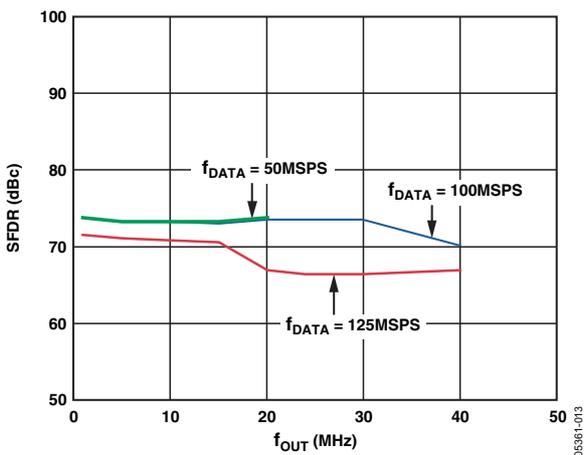


図13. f_{OUT} 対帯域外SFDR
(AD9779、8×インターポレーション)

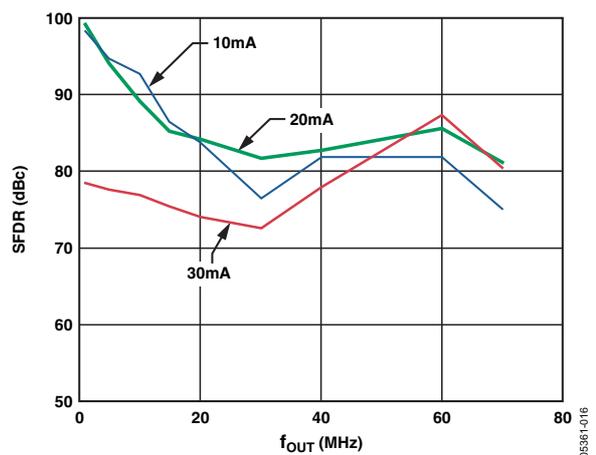


図16. 出力フルスケール電流 対 帯域内SFDR
(AD9779)

AD9776/AD9778/AD9779

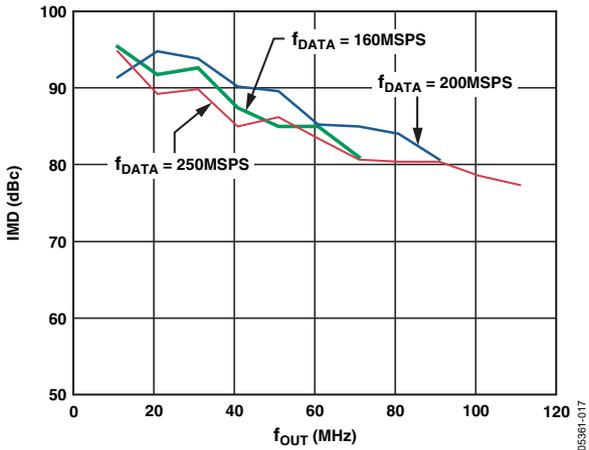


図17. f_{OUT} 対 3次IMD
(AD9779、1×インターポレーション)

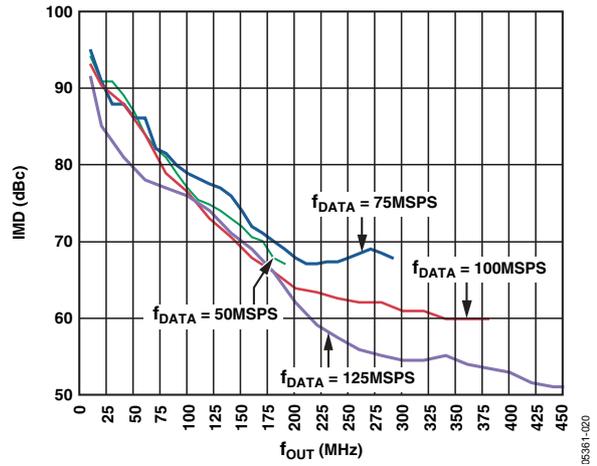


図20. f_{OUT} 対 3次IMD
(AD9779、8×インターポレーション)

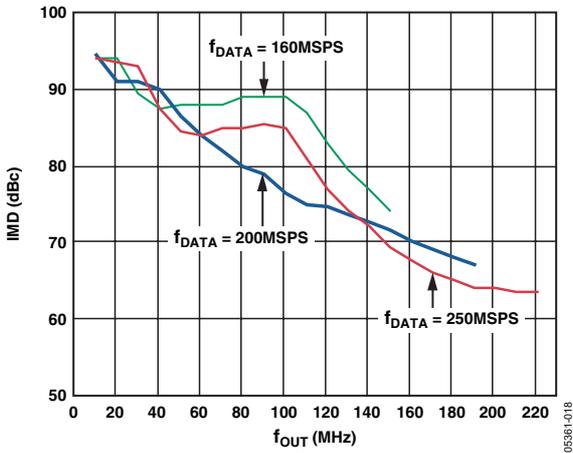


図18. f_{OUT} 対 3次IMD
(AD9779、2×インターポレーション)

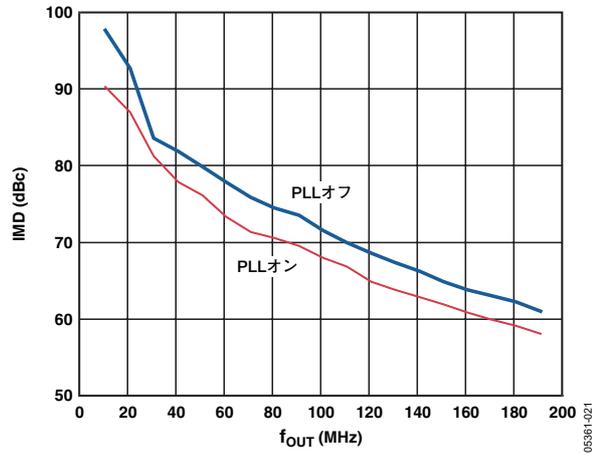


図21. f_{OUT} 対 3次IMD
(AD9779、4×インターポレーション、 $f_{DATA} = 100\text{MSPS}$ 、PLLオン 対 PLLオフ)

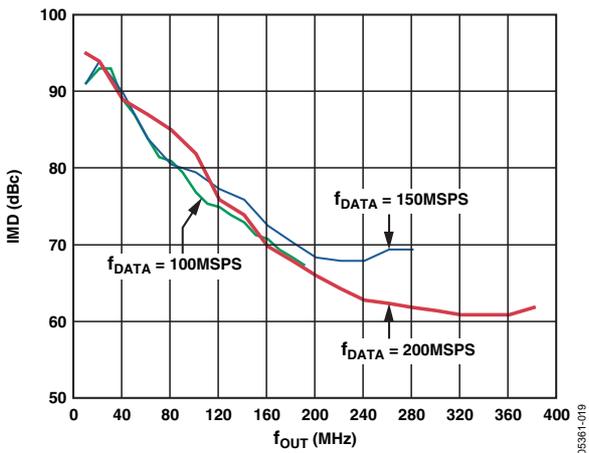


図19. f_{OUT} 対 3次IMD
(AD9779、4×インターポレーション)

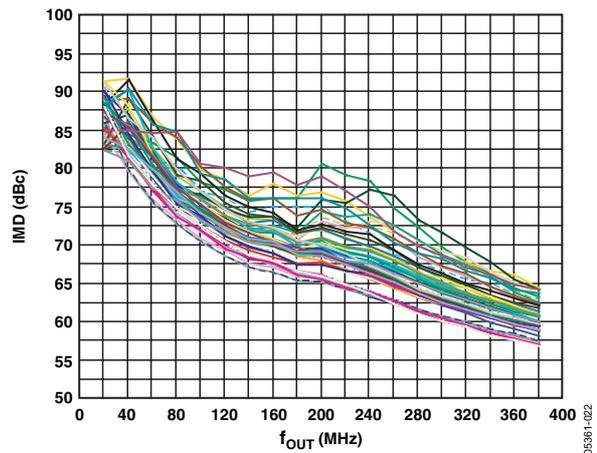


図22. f_{OUT} 対 3次IMD
(AD9779、50超のデバイス、4×インターポレーション、 $f_{DATA} = 200\text{MSPS}$)

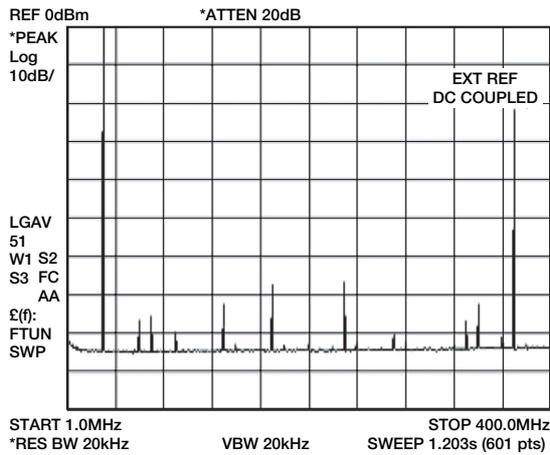


図23. シングル・トーン (AD9779、4×インターポレーション、 $f_{DATA}=100\text{MSPS}$ 、 $f_{OUT}=30\text{MHz}$)

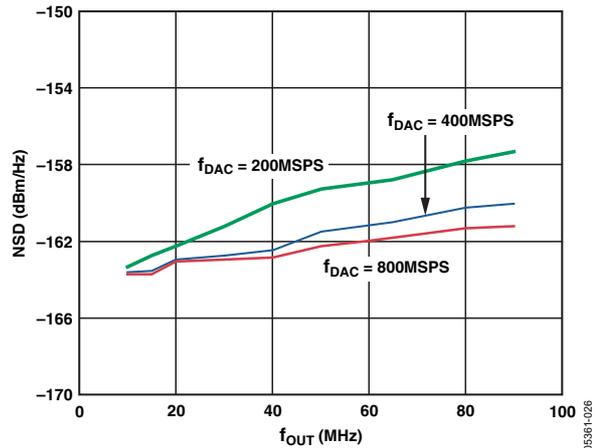


図26. f_{DAC} 対 ノイズ・スペクトル密度 (AD9779、500kHz間隔による8トーン入力、 $f_{DATA}=200\text{MSPS}$)

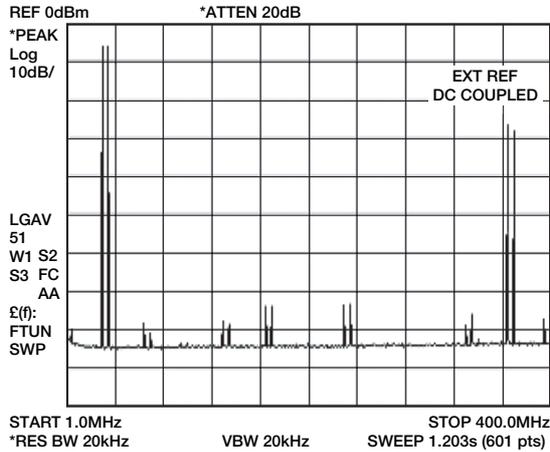


図24. ツートーン・スペクトル (AD9779、4×インターポレーション、 $f_{DATA}=100\text{MSPS}$ 、 $f_{OUT}=30、35\text{MHz}$)

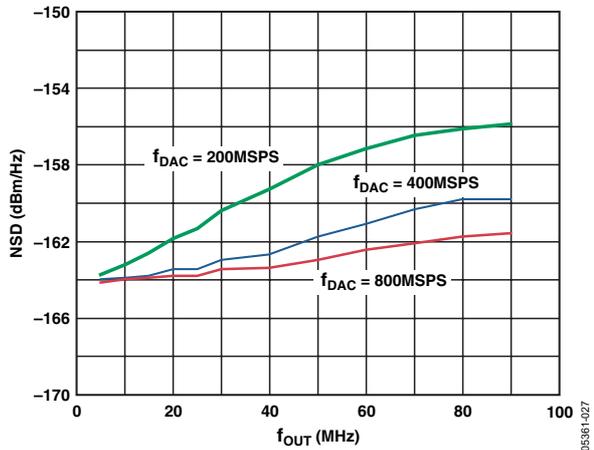


図27. f_{DAC} 対 ノイズ・スペクトル密度 (AD9779、-6dBFSでのシングル・トーン入力)

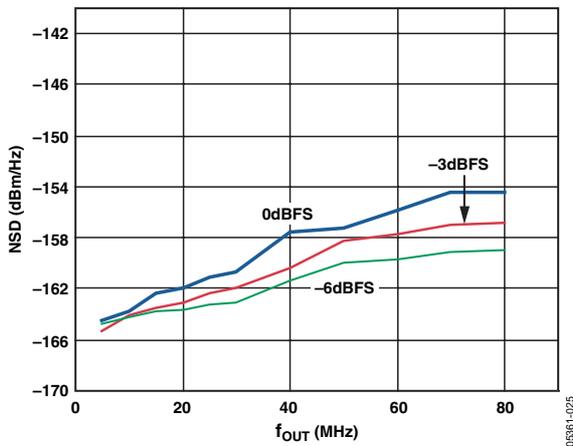


図25. シングル・トーン入力のデジタル・フルスケール 対 ノイズ・スペクトル密度 (AD9779、 $f_{DATA}=200\text{MSPS}$ 、2×インターポレーション)

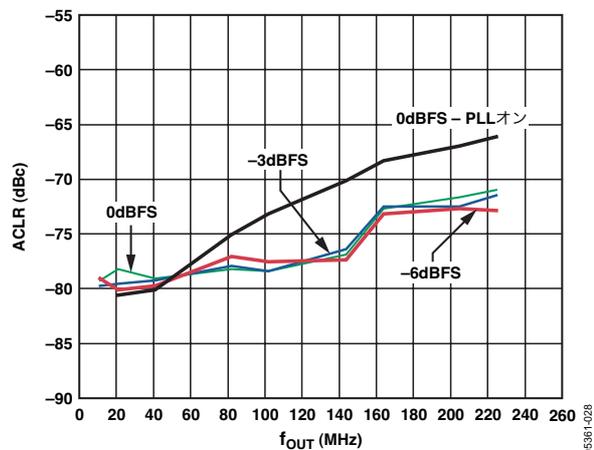


図28. 第1隣接帯域WCDMAに対するACLR (AD9779、4×インターポレーション、 $f_{DATA}=122.88\text{MSPS}$ 、内部変調でベースバンド信号をIFに変換)

AD9776/AD9778/AD9779

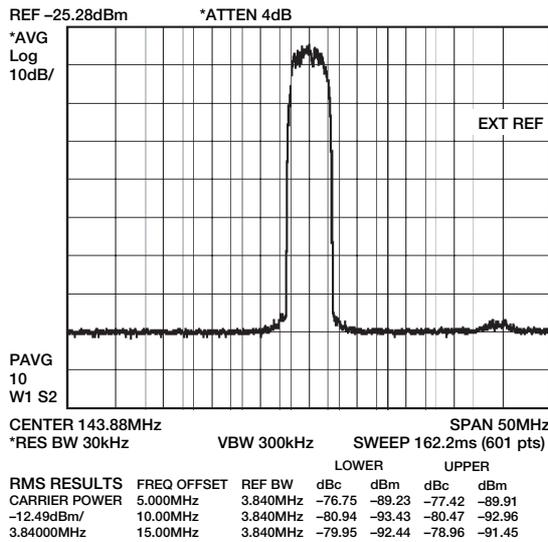


図29. WCDMA信号 (AD9779、4×インターポレーション、 $f_{DATA}=122.88\text{MSPS}$ 、 $f_{DAC}/4$ の変調)

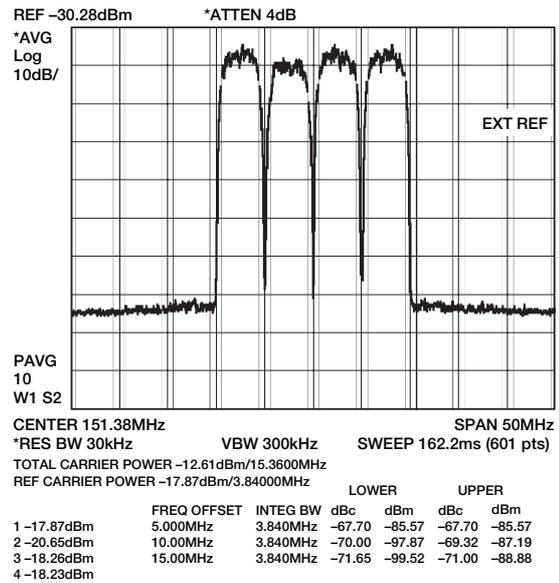


図32. マルチキャリアWCDMA信号 (AD9779、4×インターポレーション、 $f_{DATA}=122.88\text{MSPS}$ 、 $f_{DAC}/4$ の変調)

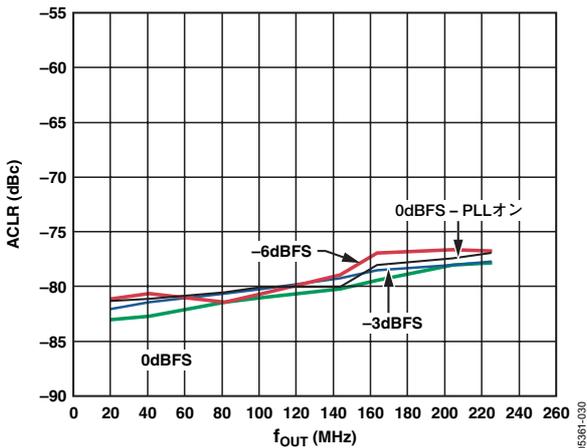


図30. 第3隣接帯域WCDMAに対するACLR (AD9779、4×インターポレーション、 $f_{DATA}=122.88\text{MSPS}$ 、内部変調でベースバンド信号をIFに変換)

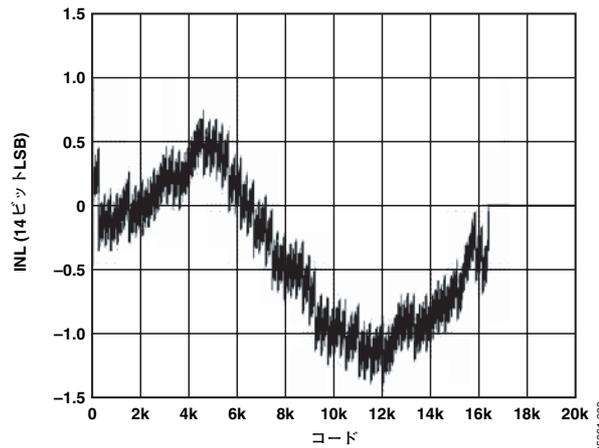


図33. 代表的なINL (AD9778)

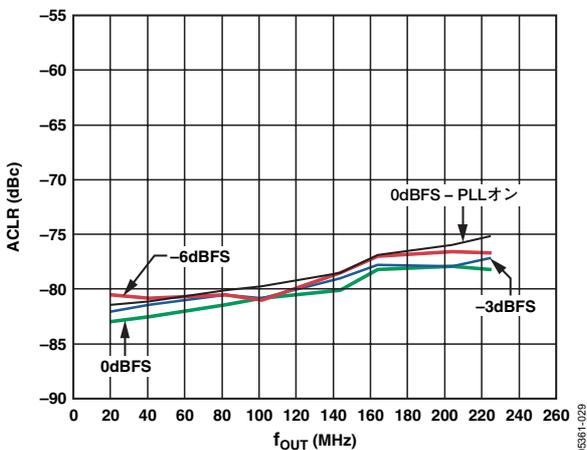


図31. 第2隣接帯域WCDMAに対するACLR (AD9779、4×インターポレーション、 $f_{DATA}=122.88\text{MSPS}$ 、内部変調でベースバンド信号をIFに変換)

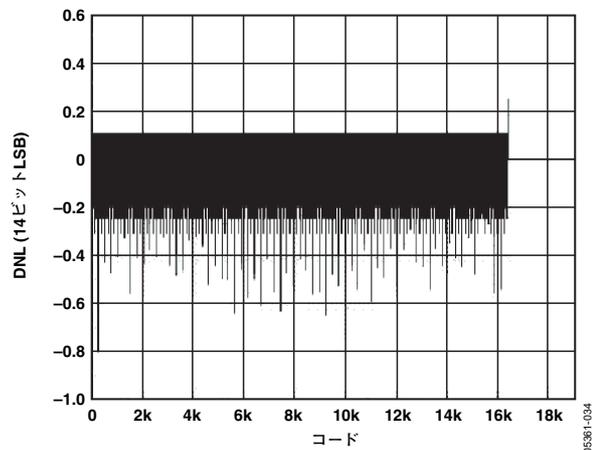


図34. 代表的なDNL (AD9778)

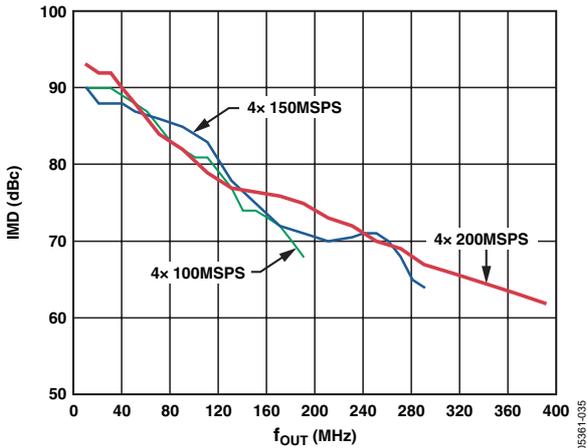


図35. IMD (AD9778、4×インターポレーション)

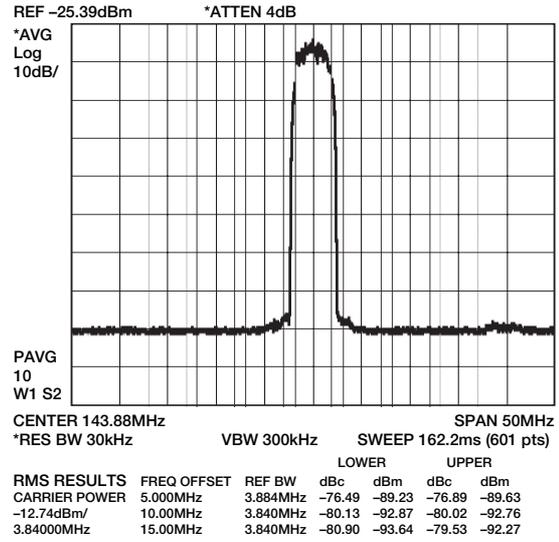


図38. WCDMA (AD9778、 $f_{DATA} = 122.88\text{MSPS}$ 、4×インターポレーション、 $f_{DAC}/4$ の変調)

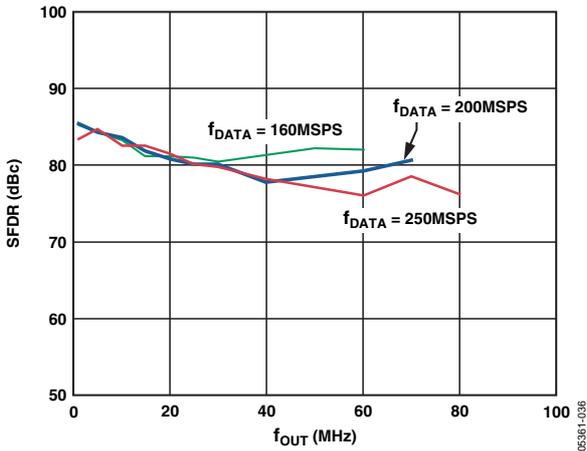


図36. 帯域内SFDR (AD9778、2×インターポレーション)

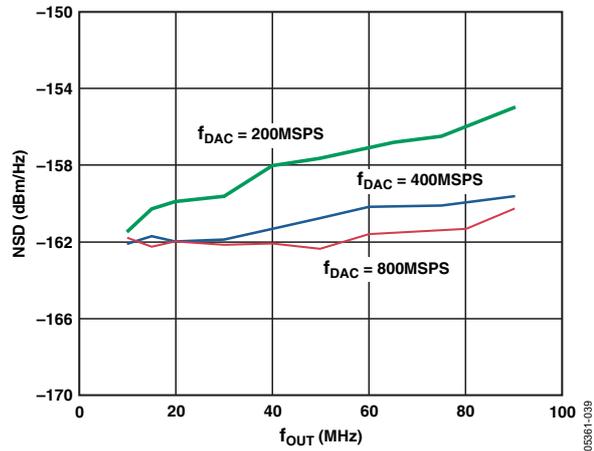


図39. f_{DAC} 対 ノイズ・スペクトル密度 (AD9778、500kHz間隔による8トーン入力、 $f_{DATA} = 200\text{MSPS}$)

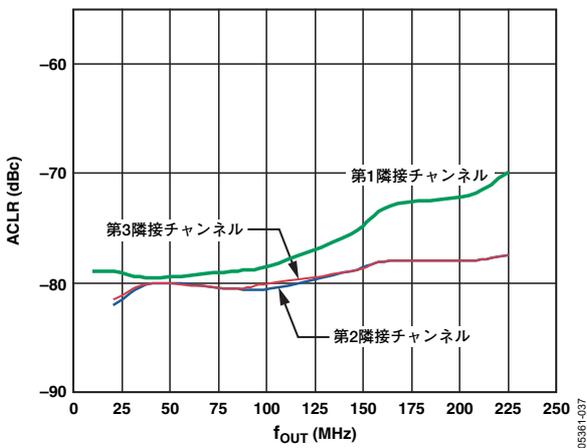


図37. ACLR (AD9778、シングル・キャリア WCDMA、4×インターポレーション、 $f_{DATA} = 122.88\text{MSPS}$ 、振幅=-3dBFS)

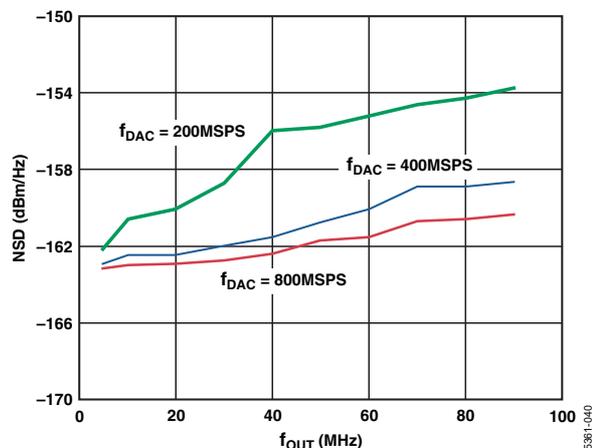


図40. f_{DAC} 対 ノイズ・スペクトル密度 (AD9778、-6dBFSでのシングル・トーン入力、 $f_{DATA} = 200\text{MSPS}$)

AD9776/AD9778/AD9779

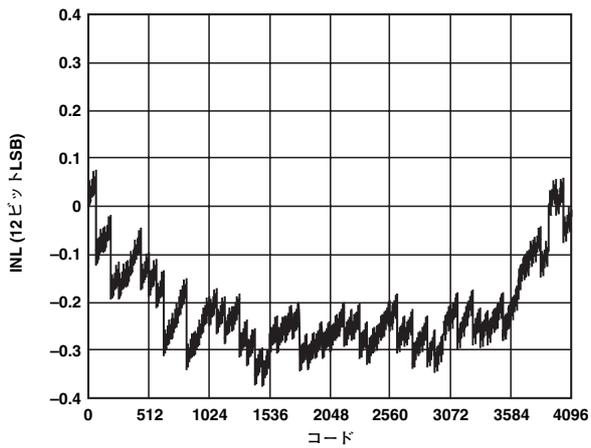


図41. 代表的なINL (AD9776)

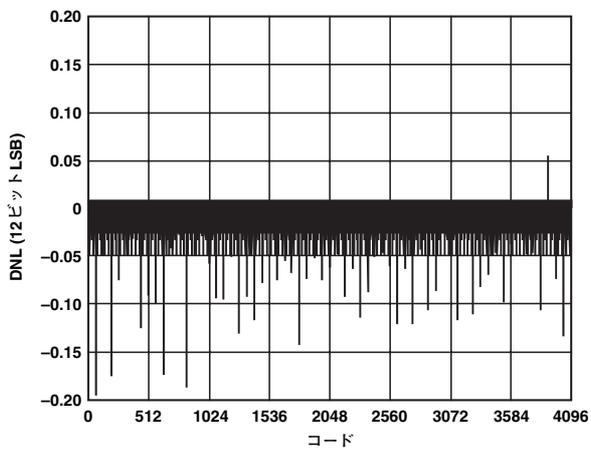


図42. 代表的なDNL (AD9776)

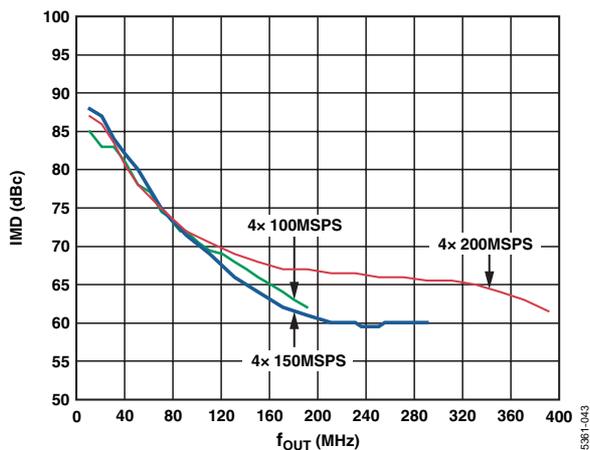


図43. IMD (AD9776、4×インターポレーション)

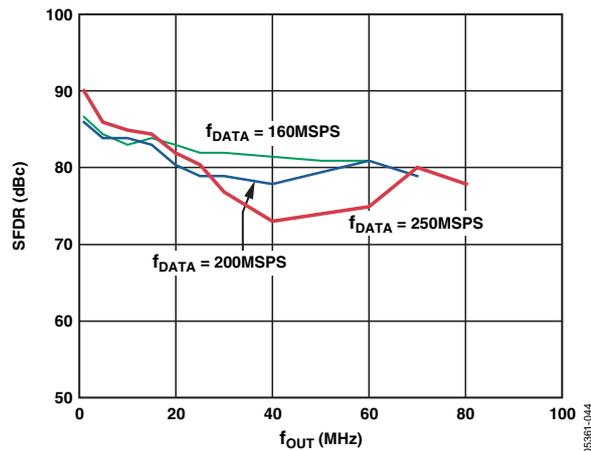


図44. 帯域内SFDR (AD9776、2×インターポレーション)

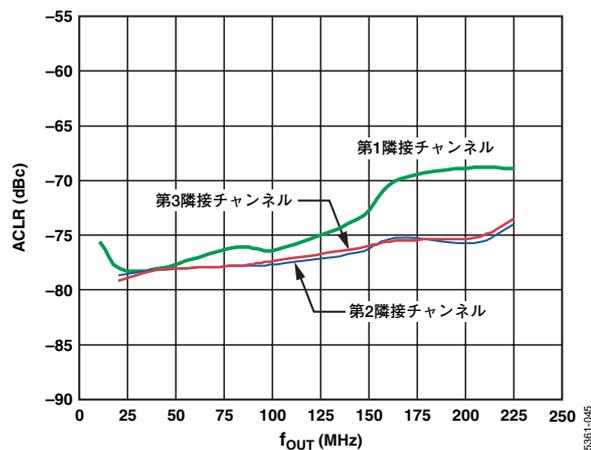


図45. ACLR (AD9776、シングル・キャリア WCDMA、4×インターポレーション、 $f_{DATA} = 122.88\text{MSPS}$ 、振幅 $= -3\text{dBFS}$)

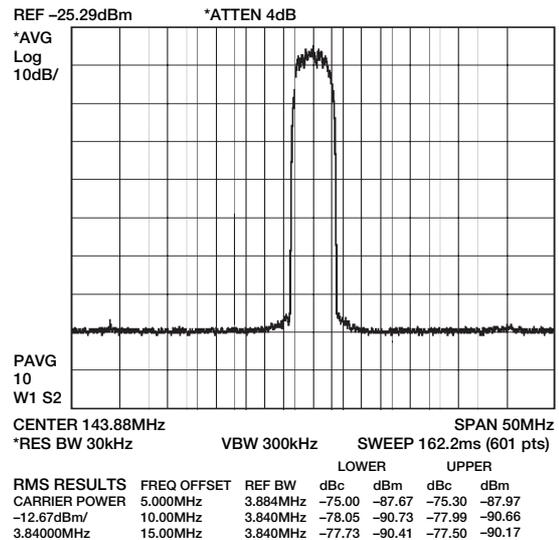


図46. WCDMA (AD9776、 $f_{DATA} = 122.88\text{MSPS}$ 、4×インターポレーション、 $f_{DAC}/4$ の変調)

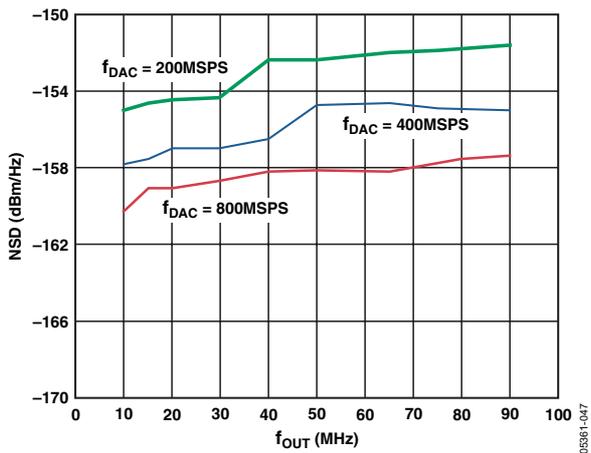


図47. f_{DAC} 対 ノイズ・スペクトル密度 (AD9776、500kHz間隔による8トーン入力、 $f_{DATA}=200\text{MSPS}$)

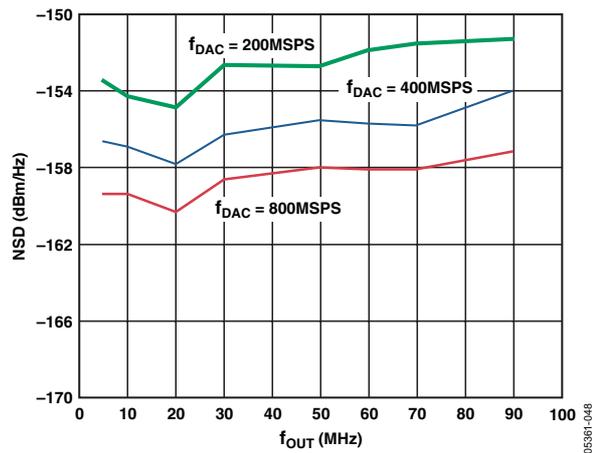


図48. f_{DAC} 対 ノイズ・スペクトル密度 (AD9776、-6dBFSでのシングル・トーン入力、 $f_{DATA}=200\text{MSPS}$)

用語の説明

直線性誤差（積分非直線性またはINL）

実際のアナログ出力と、ゼロスケールとフルスケールを結ぶ直線で示される理想的な出力との最大偏差です。

微分非直線性（DNL）

デジタル入力コードの1LSBの変化に伴って発生するアナログ値（フルスケールに対して正規化）の変動を測定したものです。

単調増加性

デジタル入力が増加したとき、出力が増加するか一定の値に維持される場合に、D/Aコンバータは単調増加性を備えていることとなります。

オフセット誤差

理想値ゼロからの出力電流の偏差をオフセット誤差と呼びます。 I_{OUTA} の場合、入力がオール0のときに0mAの出力が予想されます。 I_{OUTB} の場合は、入力がオール1に設定されるときに0mAの出力が予想されます。

ゲイン誤差

出力スパンの実際の値と理想値との差です。実際のスパンは、入力をオール1に設定したときの出力と、入力をオール0に設定したときの出力の差によって求められます。

出力コンプライアンス電圧範囲

電流出力DACの出力において許容可能な電圧範囲です。最大コンプライアンス制限値を超えた動作は、出力段の飽和またはブレークダウンを引き起こし、直線性性能が劣化します。

温度ドリフト

周囲温度（25℃）時の値から T_{MIN} または T_{MAX} 時の値までの最大変化量として規定されます。オフセットおよびゲイン・ドリフトは、フルスケール範囲（FSR）のppm/℃の単位で表します。リファレンスのドリフトはppm/℃の単位で表します。

電源電圧変動除去比

電源が最小から最大の規定電圧に変化するときのフルスケール出力の最大変動です。

セトリング時間

出力がその最終値について規定された誤差帯域に到達し、その帯域範囲内に収まるまでの所要時間のことであり、出力遷移の開始時点から測定します。

帯域内スプリアス・フリー・ダイナミック・レンジ（SFDR）

入力データレートの半分の周波数とDCとの間のピーク・スプリアス信号と、出力信号のピーク振幅との差であり、dBの単位で表します。

帯域外スプリアス・フリー・ダイナミック・レンジ（SFDR）

入力データレートの周波数で始まりDAC出力サンプル・レートのナイキスト周波数で終わる帯域内のピーク・スプリアス信号と、出力信号のピーク振幅との差であり、dBの単位で表します。通常、この帯域内のエネルギーは、インターポレーション・フィルタによって除去されます。したがってこの仕様は、インターポレーション・フィルタの効果と、他の寄生カップリング・パスがDAC出力に与える影響を規定します。

全高調波歪み（THD）

最初の6つの高調波成分のrms値の総和と、測定された基本波のrms値との比で、%またはdBの単位で表します。

S/N比（SNR）

測定された出力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値総和から最初の6つの高調波成分とDC成分を除いた値との比です。S/N比はdBの単位で表します。

インターポレーション・フィルタ

DACへのデジタル入力が f_{DATA} （インターポレーション・レート）の複数レートでサンプリングされる場合、 $f_{DATA}/2$ の近くに急峻な遷移帯域を持つデジタル・フィルタを構築できます。一般的に f_{DAC} （出力データ・レート）の周囲に現われるイメージを大幅に抑制できます。

隣接チャンネル漏れ率（ACLR）

隣接チャンネルを基準にして、チャンネル内で測定したパワーの比（単位はdBc）。

複素のイメージ除去

従来の2部アップコンバージョンでは、第2IF周波数の周りに2つのイメージが作成されます。これらのイメージには、送信パワーとシステム帯域幅を浪費する作用があります。第1複素変調器と直列に第2複素変調器の実数部を配置することによって、第2IFの近くの高/低周波数イメージを除去できます。

動作原理

AD9776/AD9778/AD9779は、多くの機能を兼ね備えており、有線/無線通信システムにとって非常に魅力的なDACとなっています。シングル・サイドバンド・トランスミッタの設計に際しては、デュアル・デジタル信号経路とデュアルDAC構造により、一般的な直交変調器とのインターフェースが容易になります。これらのデバイスの速度と性能により、これまでのDACに比べて広い帯域幅と多くのキャリアを合成できます。デジタル・エンジンでは、インターポレーションとデジタル直交変調器を組み合わせた、画期的なフィルタ・アーキテクチャを採用しています。したがって、これらのデバイスでは、直交周波数のデジタル・アップコンバージョンが可能になります。また、着信データとの同期や複数のデバイス間の同期を簡単にする機能も備えています。

シリアル・ポートの設定は、レジスタ0x00のビット<6:7>によって制御されます。なお、この設定変更は、バイトの最終ビットへの書き込みの直後に行われます。マルチバイト転送の場合、このレジスタへの書き込みが通信サイクルの途中で発生することがあります。現在の通信サイクルの残りのバイトに対しては、この新しい設定の補償を行ってください。

ソフトウェア・リセットであるRESET（レジスタ0x00、ビット5）の設定や、RESETピン（70番ピン）をハイレベルにする際にも、同じ注意が必要です。すべてのレジスタはデフォルト値に設定されます（ただし、レジスタ0x00と0x04は変化しません）。

シリアル・ポート設定の変更やソフトウェア・リセットの開始に際しては、予期しないデバイス動作を防止するために、シングルバイト転送のみを使用するようにしてください。

ここで説明するように、デバイス間でのシリアル・ポート・データ転送は、すべてSCLKピンに同期して行われます。同期が失われた場合、デバイスはI/O動作を非同期に終了させて、シリアル・ポート・コントローラを既知の状態にすることで、同期を取り戻す機能を持っています。

シリアル・ペリフェラル・インターフェース

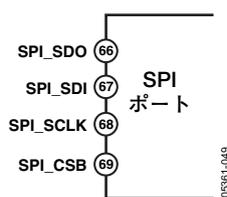


図49. SPIポート

シリアル・ポートは、フレキシブルで同期式のシリアル通信ポートであるため、業界標準の多くのマイクロコントローラやマイクロプロセッサとのインターフェースが容易です。シリアルI/Oは、Motorola SPI®プロトコルやIntel® SSRプロトコルなど、多くの同期転送フォーマットと互換性があります。このインターフェースを使用すると、AD9776/AD9778/AD9779を設定する全レジスタとの間で読出し/書き込みが可能になります。MSBファーストやLSBファーストの転送フォーマットのみでなく、シングルバイト転送やマルチバイト転送にも対応しています。シリアル・インターフェース・ポートは、シングルI/Oピン（SDIO）または入出力用の2本の単方向ピン（SDIO/SDO）として設定できます。

シリアル・インターフェースの一般的な動作

AD977xの通信サイクルには2つのフェーズがあります。フェーズ1は命令サイクルで、先頭の8個のSCLK立上がりエッジでデバイスに命令バイトを書き込みます。命令バイトは、シリアル・ポート・コントローラにデータ転送サイクルに関する情報を提供します。このデータ転送サイクルが、通信サイクルのフェーズ2になります。フェーズ1の命令バイトでは、次のデータ転送が読出しであるか書き込みであるか、データ転送のバイト数、データ転送の最初のバイトの開始レジスタ・アドレスを規定します。各通信サイクルの先頭の8個のSCLK立上がりエッジを使って、デバイスに命令バイトを書き込みます。

CSBピンがロジック・ハイに続いてロジック・ローになると、SPIポートのタイミングは、命令サイクルの初期状態にリセットされます。この状態からは、内部レジスタの状態やSPIポートに入力される他の信号レベルとは無関係に、次の8個のSCLK立上がりエッジは、現在のI/O動作の命令ビットを表します。SPIポートが命令サイクルやデータ転送サイクルの途中にある場合は、現在のデータは書き込まれません。

残りのSCLKエッジは、通信サイクルのフェーズ2で使います。フェーズ2では、デバイスとシステム・コントローラの間で実際のデータ転送が行われます。通信サイクルのフェーズ2では、命令バイトによって決定されるデータバイト1、2、3または4の転送を行います。1回でのマルチバイト転送を推奨します。レジスタ・アクセスが1つのバイトのみを必要とするときは、CPUオーバーヘッドの削減のためにシングルバイトのデータ転送を使用します。レジスタの変更は、各転送バイトの最終ビットへの書き込みの直後に行われます。

命令バイト

命令バイトには、表8に示す情報が含まれます。

表8. SPIの命令バイト

MSB					LSB		
17	16	15	14	13	12	11	10
R/W	N1	N0	A4	A3	A2	A1	A0

R/W（命令バイトのビット7）では、命令バイトの書き込みの後で行われるデータ転送が読出しであるか書き込みであるかを決定します。ロジック・ハイは読出し動作を示します。ロジック0は書き込み動作を示します。

N1とN0（命令バイトのビット6と5）では、データ転送サイクル中に転送されるバイト数を決定します。ビットの意味を表9に示します。

AD9776/AD9778/AD9779

A4、A3、A2、A1、A0（それぞれ、命令バイトのビット4、3、2、1、0）は、通信サイクルのデータ転送部分でアクセスするレジスタを決定します。マルチバイト転送では、このアドレスは開始バイト・アドレスです。残りのレジスタ・アドレスは、LSBファースト・ビット（レジスタ0x00、ビット6）に基づいて、デバイスによって生成されます。

表9. バイト転送数

N0	N1	説明
0	0	1バイトを転送
0	1	2バイトを転送
1	0	3バイトを転送
1	1	4バイトを転送

シリアル・インターフェース・ポートのピンの説明

シリアル・クロック (SCLK)

シリアル・クロック・ピンは、デバイスとの間のデータ転送の同期と、内部ステート・マシンの動作に使われます。SCLKの最大周波数は40MHzです。すべてのデータ入力は、SCLKの立上がりエッジでレジスタに格納されます。すべてのデータは、SCLKの立下がりエッジで出力されます。

チップ・セレクト (CSB)

アクティブ・ローの入力によって、通信サイクルが開始およびゲーティングされます。これにより、同じシリアル通信ラインで複数のデバイスを使用できます。この入力がハイレベルになると、SDOピンとSDIOピンは高インピーダンス状態になります。チップ・セレクトは、通信サイクルの全体にわたってローレベルのままにしておきます。

シリアル・データI/O (SDIO)

このピン上のデータは、常にデバイスに書き込まれます。ただし、このピンは双方向データ・ラインとして使用できます。このピンの設定は、レジスタ0x00のビット7によって制御されます。デフォルトはロジック0で、SDIOピンは単方向として設定されます。

シリアル・データ出力 (SDO)

データの送信と受信に別のラインを使用するプロトコルでは、データはこのピンから読み込まれます。デバイスがシングル双方向I/Oモードで動作する場合、このピンはデータを出力せずに、高インピーダンス状態に設定されます。

MSB/LSB転送

シリアル・ポートは、MSBファーストとLSBファーストの両方のデータ・フォーマットに対応できます。この機能は、レジスタ・ビットLSBファースト（レジスタ0x00、ビット6）によって制御されます。デフォルトはMSBファースト（LSBファースト=0）です。

LSBファースト=0（MSBファースト）のとき、命令とデータビットは、MSBからLSBに向けて書き込んでください。MSBファースト・フォーマットでのマルチバイト・データ転送は、最上位データバイトのレジスタ・アドレスを含む命令バイトから始まります。それ以降のデータバイトは、高位アドレスから低位アドレスの順に続けてください。MSBファースト・モードでは、シリアル・ポートの内部バイト・アドレス・ジェネレータは、マルチバイト通信サイクルのデータバイトごとにデクリメントします。

LSBファースト=1（LSBファースト）のとき、命令とデータビットは、LSBからMSBに向けて書き込んでください。LSBファースト・フォーマットでのマルチバイト・データ転送は、最下位データバイトのレジスタ・アドレスを含む命令バイトで始まり、その後に複数のデータバイトが続きます。シリアル・ポートの内部バイト・アドレス・ジェネレータは、マルチバイト通信サイクルのバイトごとにインクリメントします。

MSBファースト・モードがアクティブの場合、マルチバイトI/O動作では、シリアル・ポート・コントローラのデータ・アドレスは、書き込まれたデータ・アドレスから0x00に向けてデクリメントされます。LSBファースト・モードがアクティブの場合、マルチバイトI/O動作では、シリアル・ポート・コントローラのアドレスは、書き込まれたデータ・アドレスから0x1Fに向けてインクリメントされます。

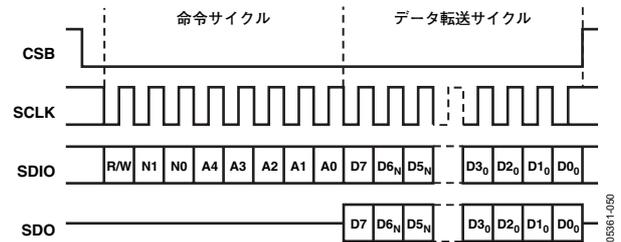


図50. シリアル・レジスタ・インターフェースのタイミング (MSBファースト)

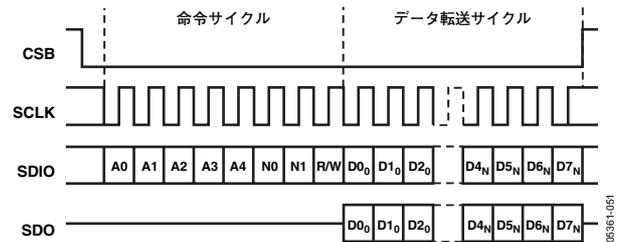


図51. シリアル・レジスタ・インターフェースのタイミング (LSBファースト)

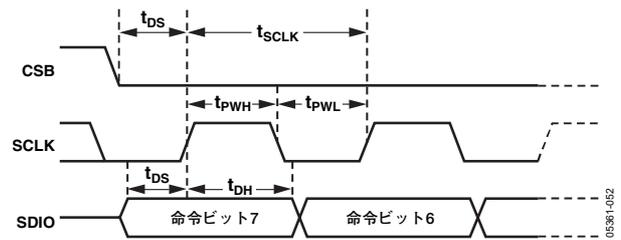


図52. SPIレジスタ書き込みのタイミング図

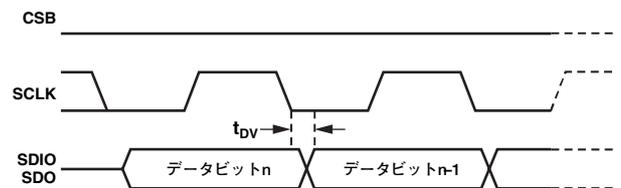


図53. SPIレジスタ読み出しのタイミング図

SPIレジスタのマップ

表10

レジスタ名	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト	
通信	0x00	00a	SDIO双方向	LSB/MSB ファースト	ソフト ウェア・ リセット	パワー ダウン・ モード	自動パワー ダウン・ イネーブル		PLLロック・ インジケータ (読出し専用)		0x00
デジタル 制御	0x01	01	フィルタ補間係数<1:0>		フィルタ変調モード<3:0>				ゼロ充填 イネーブル		0x00
	0x02	02	データ・ フォーマット	デュアル/ インターリーブ データ・バス・ モード	リアル・ モード	データ・ クロック 遅延 イネーブル	反転sinc イネーブル	DATACLK 反転	TxEnable 反転	Qファースト	0x00
同期制御	0x03	03	データ・クロック遅延モード <1:0>		データ・クロック分周比 <1:0>		予備				0x00
	0x04	04	データ・クロック遅延<3:0>			出力同期パルス分周<2:0>			同期出力遅延 <4>		0x00
	0x05	05	同期出力遅延<3:0>			入力同期パルス周波数比<2:0>			同期入力遅延 <4>		0x00
	0x06	06	同期入力遅延<3:0>			入力同期パルスのタイミング誤差許容値<3:0>					0x00
	0x07	07	同期レシーバ・ イネーブル	同期ドライバ・ イネーブル	同期トリガ・ エッジ	DACクロック・オフセット<4:0>					0x00
PLL制御	0x08	08	PLL帯域選択<5:0>					PLL VCO AGCゲイン <1:0>			0xCF
	0x09	09	PLLイネーブル	PLL VCO分周比<1:0>	PLLループ分周比<1:0>	PLLバイアス設定<2:0>				0x37	
その他の制御	0x0A	10	PLL制御電圧範囲<2:0> (読出し専用)			PLLループ帯域幅調整<4:0>				0x38	
IDAC	0x0B	11	IDACゲイン調整<7:0>								0xF9
コントロール・ レジスタ	0x0C	12	IDAC スリープ	IDACパワー ダウン					IDACゲイン調整<9:8>	0x01	
補助DAC1	0x0D	13	補助DAC1データ<7:0>								0x00
コントロール・ レジスタ	0x0E	14	補助DAC1 符号	補助DAC1 電流方向	補助DAC1 パワーダウン				補助DAC1データ<9:8>	0x00	
Q DAC	0x0F	15	Q DACゲイン調整<7:0>								0xF9
コントロール・ レジスタ	0x10	16	Q DAC スリープ	Q DAC パワーダウン					Q DACゲイン調整<9:8>	0x01	
補助DAC2	0x11	17	補助DAC2データ<7:0>								0x00
コントロール・ レジスタ	0x12	18	補助DAC2 符号	補助DAC2 電流方向	補助DAC2 パワーダウン				補助DAC2データ<9:8>	0x00	
	0x13 ~ 0x18	19~ 24	予備								
割込み レジスタ	0x19	25		同期遅延IRQ				同期遅延 IRQ イネーブル	内部同期 ループ バック	0x00	
	0x1A ~ 0x1F	26~ 31	予備								

AD9776/AD9778/AD9779

表11. SPIレジスタの説明

レジスタ名	アドレス		名前	機能	デフォルト
	16進	10進			
通信レジスタ	00	7	SDIO双方向	0: SDIOピンを入力データとしてのみ使用 1: SDIOを入出力データとして使用	0
	00	6	LSB/MSBファースト	0: シリアル・データの先頭ビットはデータバイトのMSB 1: シリアル・データの先頭ビットはデータバイトのLSB	0
	00	5	ソフトウェア・リセット	SPIレジスタ・マップをソフト・リセットするには、ビットに1を書き込んでから0を書き込む	0
	00	4	パワーダウン・モード	0: すべての回路がアクティブ 1: すべてのデジタル/アナログ回路をディスエーブル、SPIポートのみがアクティブ	0
	00	3	自動パワーダウン・イネーブル	自動パワーダウン・モードの制御、「パワーダウン・モードとスリープ・モード」を参照	0
	00	1	PLLロック (読出し専用)	0: PLLはロックされません 1: PLLはロックされます	0
デジタル・コントロール・レジスタ	01	7:6	フィルタ補間係数	00: 1×インターポレーション 01: 2×インターポレーション 10: 4×インターポレーション 11: 8×インターポレーション	00
	01	5:2	フィルタ変調モード	フィルタ・モードについては表19を参照	0000
	01	0	ゼロ充填	0: ゼロ充填オフ 1: ゼロ充填オン	0
	02	7	データ・フォーマット	0: 符号付き2進数 1: 符号なし2進数	0
	02	6	デュアル/インターリーブ・データ・バス・モード	0: 両方の入力データ・ポートがデータを受信 1: データ・ポート1のみがデータを受信	0
	02	5	リアル・モード	0: Qパスで信号処理をイネーブルにする 1: Qパス・データをディスエーブル (内部Qチャンネル・クロックをディスエーブル、IおよびQ変調器をディスエーブル)	0
	02	3	反転sincイネーブル	0: 反転sincフィルタをディスエーブル 1: 反転sincフィルタをイネーブル	0
	02	2	DATACLK反転	0: 出力DATACLKは内部キャプチャ・クロックと同じ位相 1: 出力DATACLKは内部キャプチャ・クロックと逆の位相	0
	02	1	TxEnable反転	TxEnableピン (39番ピン) の機能を反転、「インターリーブ・データ・モード」を参照	0
	02	0	Qファースト	0: 送信開始時のデータの先頭バイトは常にIデータ 1: 送信開始時のデータの先頭バイトは常にQデータ	0
同期コントロール・レジスタ	03	7:6	データ・クロック遅延モード	00: 手動、誤差補正なし	00
	03	5:4	エクストラ・データ・クロック分周比	データ・クロック出力デバイダ (分周比については表22を参照)	00
	03	3:0	予備		000
	04	7:4	データ・クロック遅延	DACCLK入力からDATACLK出力までの遅延を設定	0000
	04	3:1	出力同期パルス分周	SYNC_Oパルスの周波数を設定	000
	04	0	同期出力遅延	同期出力遅延、ビット4	0
	05	7:4	同期出力遅延	同期出力遅延、ビット<3:0>	0
	05	3:1	入力同期パルス周波数	入力同期パルス周波数デバイダ、「同期パルス・レシーバ (スリープ・デバイス)」を参照	000
05	0	同期入力遅延	同期入力遅延、ビット4	0	

AD9776/AD9778/AD9779

レジスタ名	アドレス		名前	機能	デフォルト
	16進	10進			
同期 コントロール・ レジスタ	06	7:4	同期入力遅延	これらのレジスタを使って複数のDACの同期をとる方法については「マルチDAC同期」を参照。	0
	06	3:0	入力同期パルスの タイミング誤差許容値		0
	07	7	同期レシーバ・イネーブル		0
	07	6	同期ドライバ・イネーブル		0
	07	5	同期トリガ・エッジ		0
	07	4:0	入力データへのSYNC_I サンプリング・クロック・ オフセット		0
PLL制御	08	7:2	PLL帯域選択	VCO周波数範囲 対 PLL帯域選択値 (表17を参照) 一般に低い数値 (低ゲイン) の方が性能が向上します。 0: PLLオフ、DACレート・クロックは外部ソースから 供給 1: PLLオン、DACレート・クロックはPLLクロック通 倍器を介して外部リファレンス・クロックから内部的に 合成 FVCO/f _{DAC} 00 × 1 01 × 2 10 × 4 11 × 8 f _{DAC} /f _{REF} 00 × 2 01 × 4 10 × 8 11 × 16	110011
	08	1:0	VCO AGCゲイン制御		11
	09	7	PLLイネーブル		0
	09	6:5	PLL VCO分周比		
	09	4:3	PLLループ分周比		
	09	2:0	PLLバイアス設定		常に111に設定
その他の制御	0A	7:5	PLL制御電圧範囲	000~111、PLLループ・フィルタ出力での電圧に比例、 リードバックのみ 詳細については「PLLのループ・フィルタ帯域幅」を参 照	
	0A	4:0	PLLループ帯域幅調整		
IDAC コントロール・ レジスタ	0B	7:0	IDACゲイン調整	IDAC用10ビット・ゲイン設定ワードの (7:0) LSBス ライス 0: IDACオン 0: IDACオン 0: IDACオン 1: IDACオフ IDAC用の10ビット・ゲイン設定ワードの (9:8) MSB スライス	1111001
	0C	7	IDACスリープ		0
	0C	6	IDACパワーダウン		0
	0C	1:0	IDACゲイン調整		01
補助DAC1 コントロール・ レジスタ	0D	7:0	補助DAC1ゲイン調整	補助DAC1用の10ビット・ゲイン設定ワードの (7:0) LSBスライス 0: 正 1: 負 0: ソース 1: シンク 0: 補助DAC1オン 1: 補助DAC1オフ 補助DAC1用の10ビット・ゲイン設定ワードの (9:8) MSBスライス	00000000
	0E	7	補助DAC1符号		
	0E	6	補助DAC1電流方向		0
	0E	5	補助DAC1パワーダウン		0
	0E	1:0	補助DAC1ゲイン調整		00

AD9776/AD9778/AD9779

レジスタ名	アドレス		名前	機能	デフォルト
	16進	10進			
Q DAC コントロール・ レジスタ	0F	7:0	Q DACゲイン調整	Q DAC用の10ビット・ゲイン設定ワードの (7:0) LSBスライス	11111001
	10	7	Q DACスリープ	0: Q DACオン 1: Q DACオフ	0
	10	6	Q DACパワーダウン	0: Q DACオン 1: Q DACオフ	0
	10	1:0	Q DACゲイン調整	Q DAC用の10ビット・ゲイン設定ワードの (9:8) MSBスライス	
補助DAC2 コントロール・ レジスタ	11	7:0	補助DAC2ゲイン調整	補助DAC2用の10ビット・ゲイン設定ワードの (7:0) LSBスライス	00000000
	12	7	補助DAC2符号	0: 正 1: 負	
	12	6	補助DAC2電流方向	0: ソース 1: シンク	0
	12	5	補助DAC2パワーダウン	0: 補助DAC 2オン 1: 補助DAC 2オフ	0
	12	1:0	補助DAC2ゲイン調整	補助DAC2用の10ビット・ゲイン設定ワードの (9:8) MSBスライス	00
割込みレジスタ	19	7			0
	19	6	同期遅延IRQ	リードバック、クリアするには0を書き込む	0
	19	5			0
	19	3			0
	19	2	同期遅延IRQイネーブル		0
	19	1			0
	19	0	内部同期ループバック		0

インターポレーション・フィルタのアーキテクチャ

AD9776/AD9778/AD9779では、最高8×のインターポレーションを提供したり、インターポレーション・フィルタを完全にディスエーブルにしたりできます。インターポレーション・フィルタのオーバーフローを回避するには、入力信号をフルスケールから約0.01dB小さくしてください。表12、表13、表14、表15に、ローパス・フィルタと反転sincフィルタの係数を示します。図54、図55、図56は、フィルタ応答のスペクトル・プロットを示します。

表12. ハーフバンド・フィルタ1

下位係数	上位係数	整数値
H (1)	H (55)	-4
H (2)	H (54)	0
H (3)	H (53)	13
H (4)	H (52)	0
H (5)	H (51)	-34
H (6)	H (50)	0
H (7)	H (49)	72
H (8)	H (48)	0
H (9)	H (47)	-138
H (10)	H (46)	0
H (11)	H (45)	245
H (12)	H (44)	0
H (13)	H (43)	-408
H (14)	H (42)	0
H (15)	H (41)	650
H (16)	H (40)	0
H (17)	H (39)	-1003
H (18)	H (38)	0
H (19)	H (37)	1521
H (20)	H (36)	0
H (21)	H (35)	-2315
H (22)	H (34)	0
H (23)	H (33)	3671
H (24)	H (32)	0
H (25)	H (31)	-6642
H (26)	H (30)	0
H (27)	H (29)	20755
H (28)		32768

表13. ハーフバンド・フィルタ2

下位係数	上位係数	整数値
H (1)	H (23)	-2
H (2)	H (22)	0
H (3)	H (21)	17
H (4)	H (20)	0
H (5)	H (19)	-75
H (6)	H (18)	0
H (7)	H (17)	238
H (8)	H (16)	0
H (9)	H (15)	-660
H (10)	H (14)	0
H (11)	H (13)	2530
H (12)		4096

表14. ハーフバンド・フィルタ3

下位係数	上位係数	整数値
H (1)	H (15)	-39
H (2)	H (14)	0
H (3)	H (13)	273
H (4)	H (12)	0
H (5)	H (11)	-1102
H (6)	H (10)	0
H (7)	H (9)	4964
H (8)		8192

表15. 反転sincフィルタ

下位係数	上位係数	整数値
H (1)	H (9)	2
H (2)	H (8)	-4
H (3)	H (7)	10
H (4)	H (6)	-35
H (5)		401

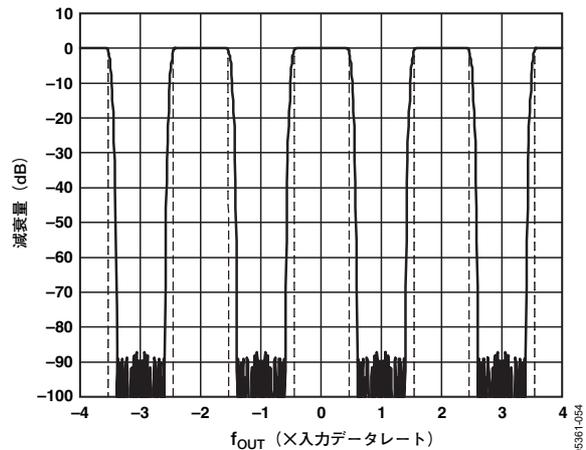


図54. 2×インターポレーション、±4×入力クォータレートへのローパス応答 (点線は1dBのロールオフを示す)

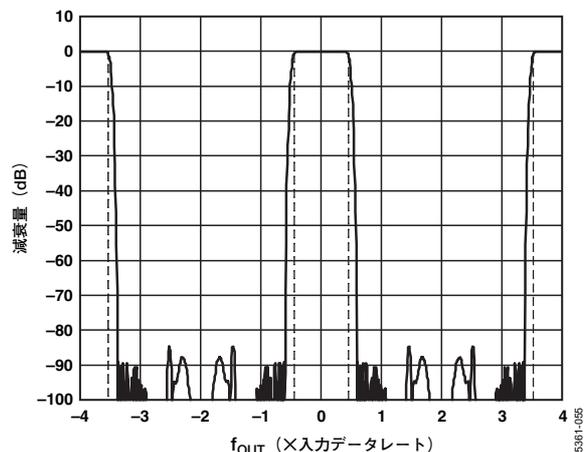


図55. 4×インターポレーション、±4×入力クォータレートへのローパス応答 (点線は1dBのロールオフを示す)

AD9776/AD9778/AD9779

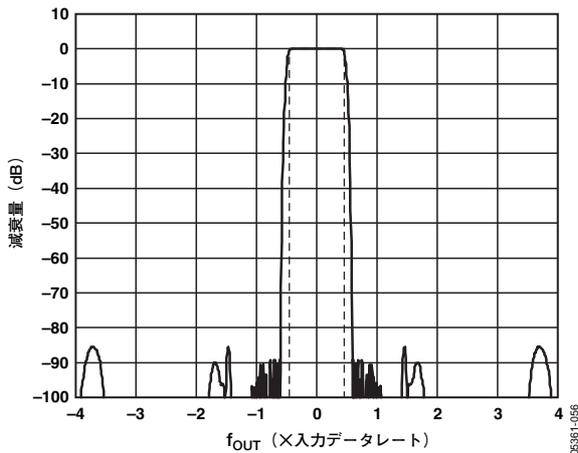


図56. 8×インターポレーション、±4×入力データレートへのローパス応答（点線は1dBのロールオフを示す）

インターポレーション・フィルタと変調器を組み合わせることにより、着信信号はDAC出力サンプル・レートのナイキスト領域内のどこにでも配置できます。入力信号が複素数である場合、このアーキテクチャにより、入力信号を正または負のナイキスト領域に変調できます（表16を参照）。

図57は、入力データレートの4倍までのナイキスト領域を示します。



図57. ナイキスト領域

図54、図55、図56は、変調を使用しないデジタル・フィルタのローパス応答を示します。変調機能をオンにすることにより、デジタル・フィルタの応答は、DAC帯域幅内のどこにでも調整できます。一例として、図58～64に非シフト・モードのフィルタ応答を示します（シフト/非シフト・モードのフィルタ応答については表16を参照）。

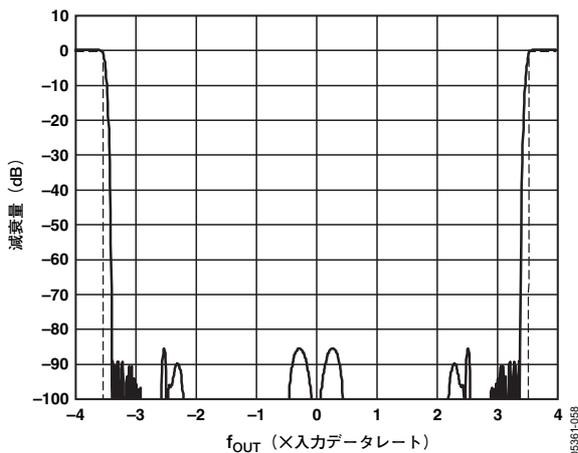


図58. $4f_{DAC}/8$ フィルタのインターポレーション/変調組合わせ

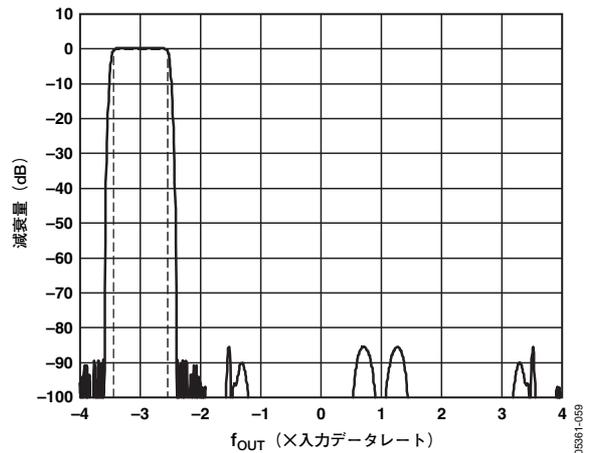


図59. $-3f_{DAC}/8$ フィルタのインターポレーション/変調組合わせ

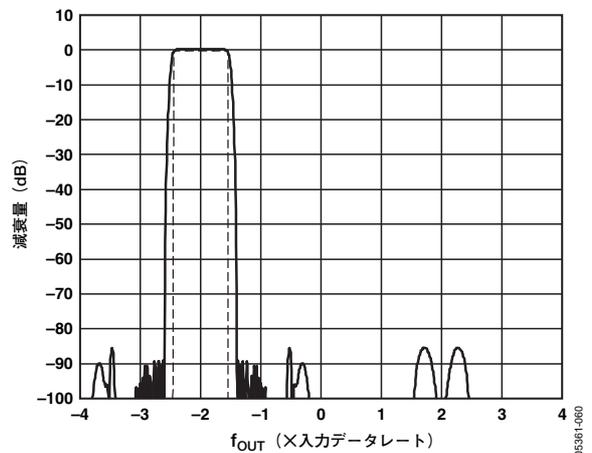


図60. $-2f_{DAC}/8$ フィルタのインターポレーション/変調組合わせ

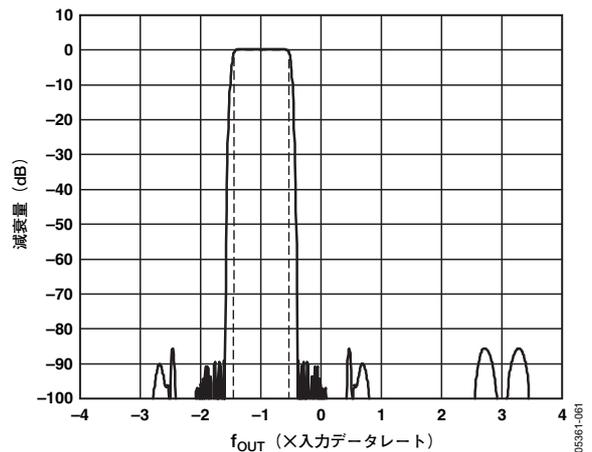


図61. $-1f_{DAC}/8$ フィルタのインターポレーション/変調組合わせ

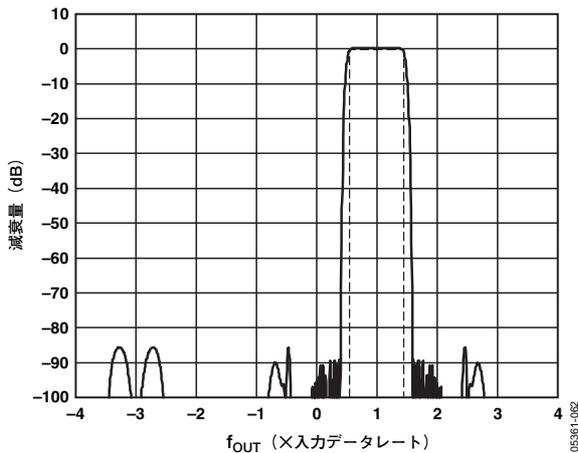


図62. $f_{DAC}/8$ フィルタのインターポレーション／変調組合せ

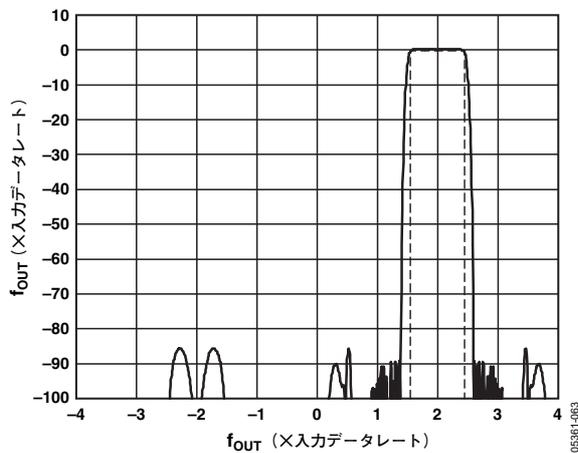


図63. 奇数モードでの $2f_{DAC}/8$ フィルタのインターポレーション／変調組合せ

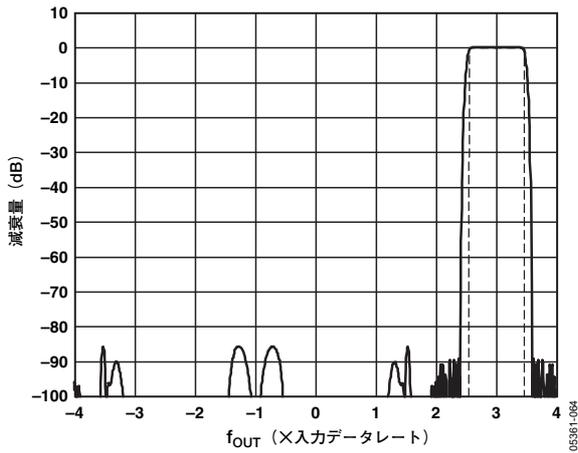


図64. 奇数モードでの $3f_{DAC}/8$ フィルタのインターポレーション／変調組合せ

シフト・モードのフィルタ応答により、通過帯域の中心を ± 0.5 、 ± 1.5 、 ± 2.5 、 $\pm 3.5f_{DATA}$ とすることができます。シフト・モードの応答に切り替ええると、信号は変調されず、代わりに通過帯域がそのままシフトされます。たとえば、図64に示す応答で、信号帯域内が $3.2 \sim 3.3f_{DATA}$ の帯域幅にわたって複素数信号であると想定します。ここで偶数モードのフィルタ応答が選択された場合、通過帯域の中心は $3.5f_{DATA}$ になります。しかし、信号はスペクトル内の同じ場所にとどまります。シフト・モードの機能により、フィルタの通過帯域は、DACナイキスト帯域幅内のどこにでも置くことができます。

AD9776/AD9778/AD9779は、内部複素変調器をインターポレーション・フィルタ応答に組み込んだデュアルDACです。デュアル・チャンネル・モードでは、デバイスは、デジタル入力ポート1とデジタル入力ポート2（それぞれIとQ）において複素数信号の実数成分と虚数成分を期待します。これにより、DAC出力は、複素キャリア $f_{DAC}/2$ 、 $f_{DAC}/4$ 、または $f_{DAC}/8$ によって変調された入力信号の実数成分と虚数成分を表すこととなります。

レジスタ2のビット6をセットすると、デバイスはI、Q、I、Q...の順序でポート1からインターリーブされたデータを受け付けます。なおインターリーブ・モードでは、インターリーブが行われるため、IとQのデータ・パスの最初のチャンネル・データレートは、入力データレートの半分になります。最大入力データレートは、デバイスの最大仕様左右されます。このため、インターリーブ・モードでは入力における合成帯域幅が制限されます。

レジスタ0x02のビット5（実数モード）をセットすると、Qチャンネルに加えて、内部のIとQのデジタル変調もオフになります。これにより、I DACでの出力スペクトルは、 $1\times$ 、 $2\times$ 、 $4\times$ 、 $8\times$ のいずれかに補間された、デジタル入力ポート1での信号を表します。

一般に、所望の信号が $\pm 0.4 \times f_{DATA}$ の範囲内である場合は奇数フィルタ・モードを、この範囲外なら偶数フィルタ・モードを使用することを推奨します。いずれの場合も、信号の合計帯域幅は、 $0.8 \times f_{DATA}$ 未満にしてください。

AD9776/AD9778/AD9779

表16. インターポレーション・フィルタのモード、(レジスタ0x01、ビット<5:2>)

補間係数 <7:6>	フィルタ・ モード <5:2>	変調	ナイキスト・ ゾーン 通過帯域	F_Low ¹	センター ¹	F_High ¹	備考
8	0x00	DC	1	-0.05	0	+0.05	8×インターポレーション； BW (min)=0.0375×f _{DAC} BW (max)=0.1×f _{DAC}
8	0x01	DCシフト	2	0.0125	0.0625	0.1125	
8	0x02	F/8	3	0.075	0.125	0.175	
8	0x03	F/8シフト	4	0.1375	0.1875	0.2375	
8	0x04	F/4	5	0.2	0.25	0.3	
8	0x05	F/4シフト	6	0.2625	0.3125	0.3625	
8	0x06	3F/8	7	0.325	0.375	0.425	
8	0x07	3F/8シフト	8	0.3875	0.4375	0.4875	
8	0x08	F/2	-8	-0.55	-0.5	-0.45	
8	0x09	F/2シフト	-7	-0.4875	-0.4375	-0.3875	
8	0x0A	-3F/8	-6	-0.425	-0.375	-0.343	
8	0x0B	-3F/8シフト	-5	-0.3625	-0.3125	-0.2625	
8	0x0C	-F/4	-4	-0.3	-0.25	-0.2	
8	0x0D	-F/4シフト	-3	-0.2375	-0.1875	-0.1375	
8	0x0E	-F/8	-2	-0.175	-0.125	-0.075	
8	0x0F	-F/8シフト	-1	-0.1125	-0.0625	-0.0125	
4	0x00	DC	1	-0.1	0	+0.1	4×インターポレーション； BW (min)=0.075×f _{DAC} BW (max)=0.2×f _{DAC}
4	0x01	DCシフト	2	0.025	0.125	0.225	
4	0x02	F/4	3	0.15	0.25	0.35	
4	0x03	F/4シフト	4	0.275	0.375	0.475	
4	0x04	F/2	-4	-0.6	-0.5	-0.4	
4	0x05	F/2シフト	-3	-0.475	-0.375	-0.275	
4	0x06	-F/4	-2	-0.35	-0.25	-0.15	
4	0x07	-F/4シフト	-1	-0.225	-0.125	-0.025	
2	0x00	DC	1	-0.2	0	0.2	2×インターポレーション； BW (min)=0.15×f _{DAC} BW (max)=0.4×f _{DAC}
2	0x01	DCシフト	2	0.05	0.25	0.45	
2	0x02	F/2	-2	-0.7	-0.5	-0.3	
2	0x03	F/2シフト	-1	-0.45	-0.25	-0.05	

¹ 周波数はf_{DAC}に正規化。

インターポレーション・フィルタの 最小/最大帯域幅仕様

AD977xは、新しいインターポレーション・フィルタ・アーキテクチャの採用により、DAC IF周波数をスペクトルのどこにでも生成できるようになっています。図65に、DAC IF出力帯域幅配置の従来の選択を示します。なお、キャリアを $0.5 \times f_{\text{DATA}}$ 、 $1.5 \times f_{\text{DATA}}$ 、 $2.5 \times f_{\text{DATA}}$ などの近くに配置できるフィルタ・モードはありません。

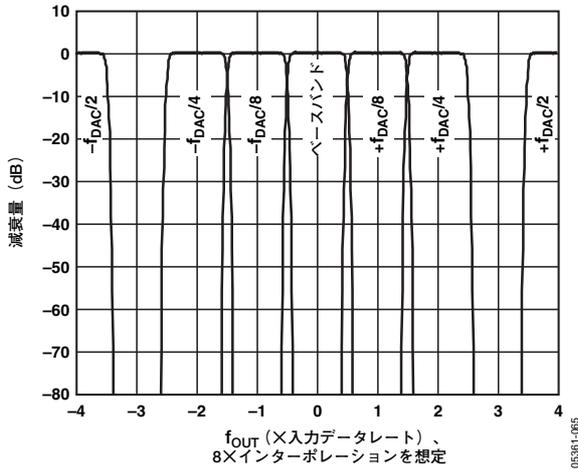


図65. TxDAC出力IF用の従来の帯域幅オプション

このフィルタ・アーキテクチャでは、すでに説明したように、インターポレーション・フィルタの通過帯域の中心を入力ナイキスト・ゾーンの中央に置くだけでなく、 $3 \times f_{\text{DAC}}/8$ 変調モードも可能になります。これらすべてのフィルタの組み合わせにより、特定帯域幅のキャリアはスペクトル内のどこにでも配置でき、インターポレーション・フィルタを1つの可能な通過帯域に設定します。図66と図67に、フィルタ・アーキテクチャでアクセス可能な帯域幅を示します。なお、特定のインターポレーション・レートに合わせてフィルタ・モードを書き込むことにより、フィルタのシフト・モードと非シフト・モードをすべて使用できます。

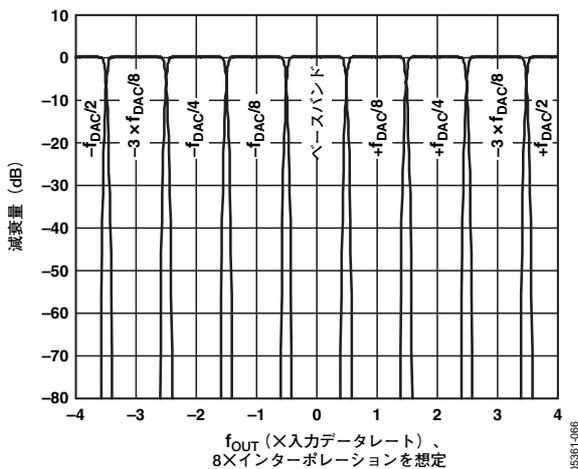


図66. フィルタ・アーキテクチャで利用できる非シフト帯域幅

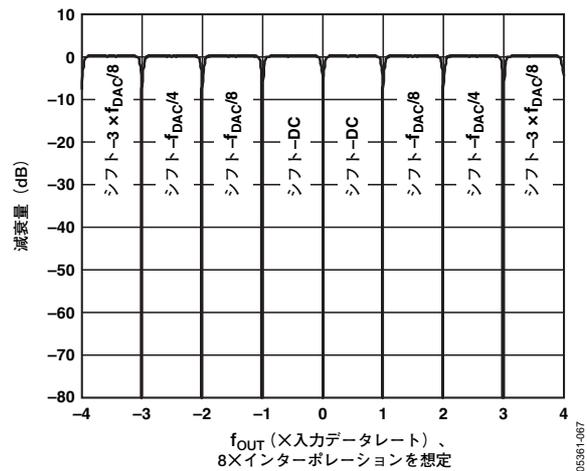


図67. フィルタ・アーキテクチャで利用できるシフト帯域幅

このフィルタ・アーキテクチャでは、信号をスペクトル内のどこにでも配置できます。しかし、信号帯域幅は、DACの入力サンプル・レートとスペクトル内のキャリアの配置によって制限されます。フィルタ応答と入力サンプル・レートの組み合わせによって生じる帯域幅制約は、DACが合成できる最大の帯域幅であるため、一般に合成帯域幅と呼ばれます。

キャリアが1つのフィルタ通過帯域の中心に直接配置された場合は、最大帯域幅条件が存在します。この場合、インターポレーション・フィルタの合計0.1dB帯域幅は、 $0.8 \times f_{\text{DATA}}$ に等しくなります。表16に示すように、インターポレーション・レートが増加するたびに、DAC出力サンプル・レートの分数としての合成帯域幅は1/2低下します。たとえば、キャリアが $0.25 \times f_{\text{DATA}}$ に配置された場合は、最小帯域幅条件が存在します。この状況で、フィルタの非シフト応答がイネーブルになった場合、フィルタ応答のハイエンドが $0.4 \times f_{\text{DATA}}$ でカットオフされるため、信号帯域幅のハイエンドが制限されます。フィルタのシフト応答がイネーブルになった場合は、フィルタ応答のローエンドが $0.1 \times f_{\text{DATA}}$ でカットオフされるため、信号帯域幅のローエンドが制限されます。したがって、 $0.25 \times f_{\text{DATA}}$ でキャリアに適用される最小帯域幅仕様は $0.3 \times f_{\text{DATA}}$ となります。 $(\pm n \pm 0.25) \times f_{\text{DATA}}$ に配置されたキャリアについては、スペクトルの全域でこの最小帯域幅動作が繰り返されます（ここで、nは任意の整数）。

DACCLK入力の駆動

DACCLK入力は、低ジッタの差動駆動信号を必要とします。入力段は1.8V電源に接続されたPMOS入力差動ペアであるため、仕様規定されている400mVの入力コモンモード電圧を維持することが重要です。各入力ピンの信号振幅は、400mVのコモンモード電圧を中心として200mVp-pから1Vp-pまで可能です。これらの入力レベルは直接的にはLVDS互換ではありませんが、図68に示すように、DACCLKはACカップリングされたLVDS信号をオフセットすることによって駆動できます。

AD9776/AD9778/AD9779

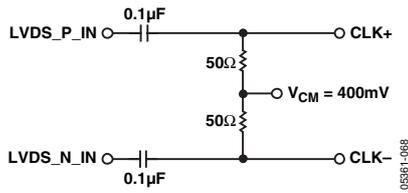


図68. LVDS DACCLK駆動回路

クリーンなサイン・クロックを使用できる場合、図68に示すように、そのクロックをDACCLKにトランス・カップリングすることができます。サンプル・レートが低い場合、CMOSクロックやTTLクロックも使用できます。すでに説明したように、CMOS/LVDSトランスレータを通してからACカップリングできます。あるいは、図69に示すように、トランス・カップリングしてクランプすることもできます。

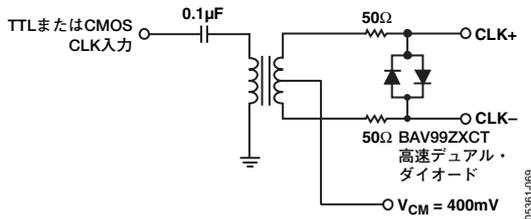


図69. TTLまたはCMOS DACCLK駆動回路

図70に、VCMを生成するための簡単なバイアス・ネットワークを示します。クロック・バイアス回路にはCVDD18とCGNDを使用することが重要です。クロックに混入したノイズやその他の信号がDACデジタル入力信号によって通達されて、DACの性能を低下させることがあります。

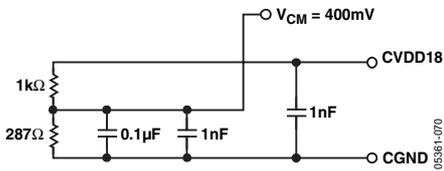


図70. DACCLK VCMジェネレータ回路

内部PLLクロック逡倍器／クロック分配

デバイスの内部クロック構造を使用すれば、入力データレートの1倍または整数倍のクロック、あるいはDAC出力サンプル・レートのクロックにより、差動クロック入力を駆動できます。内部PLLは入力クロック逡倍を実現し、インターポレーション・フィルタとデータ同期に必要なすべての内部クロックを提供します。

図71に内部クロック・アーキテクチャを示します。基準クロックは、5番ピンと6番ピンでの差動クロックです。このクロック入力を差動またはシングルエンドで実行するには、クロック信号で5番ピンを駆動し、5番ピンでの信号のミッドスイング・ポイントに6番ピンをバイアスさせます。クロック・アーキテクチャは、以下の設定で実行できます。

1. PLLイネーブル (レジスタ0x09、ビット7=1)。図71に示すPLLイネーブル・スイッチは、N1デバイダ (PLL VCO分周比) とN2デバイダ (PLLループ分周比) のジャンクションに接続されます。デバイダN3はDACのインターポレーション・レートを決定し、比率N3/N2は基準クロック／入力データレートの比率を決定します。VCOは1.0~2.0GHzの範囲にわたって最適に動作するため、N1はVCOの速度をこの範囲内に保持しますが、DACのサンプル・レートはさら

に低くできます。ループ・フィルタ部品は完全に内部にあり、外部補償は必要ありません。

2. PLLディスエーブル (レジスタ0x09、ビット7=0)。図71に示すPLLイネーブル・スイッチは、基準クロック入力に接続されます。差動基準クロック入力、DACの出力サンプル・レートと同じです。N3はインターポレーション・レートを決定します。

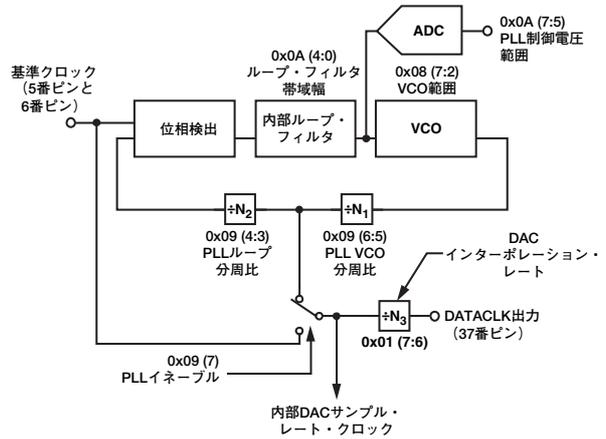


図71 内部クロック・アーキテクチャ

表17. VCO周波数範囲とPLL帯域選択値の関係

PLL帯域 選択	代表的なPLLロック範囲			
	VCO周波数範囲 (MHz単位)			
	25°Cでのtyp値		温度に対するtyp値	
	f _{LOW}	f _{HIGH}	f _{LOW}	f _{HIGH}
111111 (63)	自動モード			
111110 (62)	2056	2170	2105	2138
111101 (61)	2002	2113	2048	2081
111100 (60)	1982	2093	2029	2061
111011 (59)	1964	2075	2010	2043
111010 (58)	1947	2057	1992	2026
111001 (57)	1927	2037	1971	2006
111000 (56)	1907	2016	1951	1986
110111 (55)	1894	2003	1936	1972
110110 (54)	1872	1981	1913	1952
110101 (53)	1852	1960	1892	1931
110100 (52)	1841	1948	1881	1920
110011 (51)	1816	1923	1855	1895
110010 (50)	1796	1903	1835	1874
110001 (49)	1789	1895	1828	1867
110000 (48)	1764	1871	1803	1844
101111 (47)	1746	1853	1784	1826
101110 (46)	1738	1842	1776	1815
101101 (45)	1714	1820	1752	1794
101100 (44)	1700	1804	1737	1779

代表的なPLLロック範囲

PLL帯域 選択	VCO周波数範囲 (MHz単位)			
	25°Cでのtyp値		温度に対するtyp値	
	f _{LOW}	f _{HIGH}	f _{LOW}	f _{HIGH}
101011 (43)	1689	1790	1726	1764
101010 (42)	1657	1757	1695	1734
101001 (41)	1641	1738	1679	1714
101000 (40)	1610	1707	1649	1684
100111 (39)	1597	1689	1635	1666
100110 (38)	1568	1661	1607	1639
100101 (37)	1553	1641	1592	1617
100100 (36)	1525	1613	1562	1592
100011 (35)	1511	1595	1548	1572
100010 (34)	1484	1570	1519	1549
100001 (33)	1470	1552	1506	1528
100000 (32)	1441	1525	1474	1504
011111 (31)	1429	1509	1463	1487
011110 (30)	1403	1485	1433	1464
011101 (29)	1390	1469	1422	1447
011100 (28)	1362	1443	1391	1423
011011 (27)	1352	1429	1380	1407
011010 (26)	1325	1405	1352	1385
011001 (25)	1314	1390	1340	1369
011000 (24)	1290	1368	1315	1350
010111 (23)	1276	1351	1302	1332
010110 (22)	1253	1331	1277	1313
010101 (21)	1239	1313	1264	1295
010100 (20)	1183	1255	1205	1240
010011 (19)	1204	1275	1227	1259
010010 (18)	1151	1221	1172	1207
010001 (17)	1171	1240	1193	1224
010000 (16)	1148	1218	1170	1204
001111 (15)	1137	1204	1159	1189
001110 (14)	1116	1184	1137	1170
001101 (13)	1106	1171	1127	1157
001100 (12)	1086	1152	1106	1138
001011 (11)	1075	1138	1095	1124
001010 (10)	1055	1119	1075	1106
001001 (9)	1045	1107	1065	1093
001000 (8)	1027	1090	1047	1076
000111 (7)	1016	1076	1034	1062
000110 (6)	998	1059	1016	1046
000101 (5)	987	1046	1005	1032
000100 (4)	960	1017	977	1004
000011 (3)	933	989	949	976
000010 (2)	908	962	923	950
000001 (1)	883	936	898	925
000000 (0)	859	911	873	899

VCO周波数範囲

PLL帯域では2倍を超える周波数範囲をカバーするため、PLL帯域の選択には、範囲のローエンドとハイエンドの合計2つのオプションがあります。このような条件のもとでは、ユーザが周波数範囲のハイエンドに対応する帯域値を選択するときは、VCO位相ノイズが最適です。図72は、VCO帯域幅と最適なVCO周波数が帯域選択値によってどう変化するかを示します。

PLLのループ・フィルタ帯域幅

PLLのループ・フィルタ帯域幅は、SPIレジスタ0x0Aのビット<4:0>を介して設定されます。これらの値を変更すると、内部ループ・フィルタのコンデンサが切り替えられます。外付けのループ・フィルタ部品は必要ありません。このループ・フィルタには0 (P1) に極があり、続いてゼロ (Z1) 極 (P2) 組合わせがあります。Z1とP2は、互いの1ディケードの範囲内で発生します。ゼロ極の位置は、ビット<4:0>によって決定されます。00000の設定の場合、ゼロ極は10MHzの近くに発生します。ビット<4:0>を11111に設定すると、Z1/P2の組合わせで約1MHzまで下げられます。1~10MHzの間で、ビット<4:0>とゼロ極の位置との関係は直線的です。しかし、内部部品は許容値が低くないため、±30%ものドリフトが生じることがあります。

最適性能を得るには、PLLをイネーブルにして、すべての動作モードで帯域幅調整 (レジスタ0x0A、ビット<4:0>) を11111に設定してください。PLLバイアス設定 (レジスタ0x09、ビット<2:0>) は111に設定します。PLL制御電圧 (レジスタ0x0A、ビット<7:5>) が読み出されますが、それは内部ループ・フィルタ出力でのDC電圧に比例します。ここで指定したPLLバイアス設定では通常、PLL制御電圧からの読出しは010ですが、001や011の可能性もあります。この範囲を外れる場合はPLLが正しく動作していないことを示します。

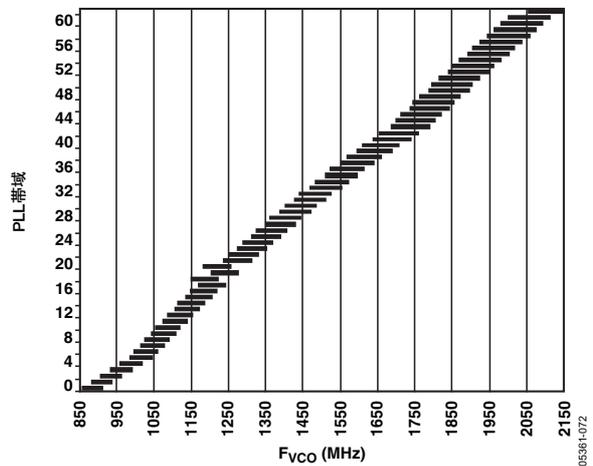


図72. 代表的なPLL帯域選択値と周波数の関係 (25°C時)

AD9776/AD9778/AD9779

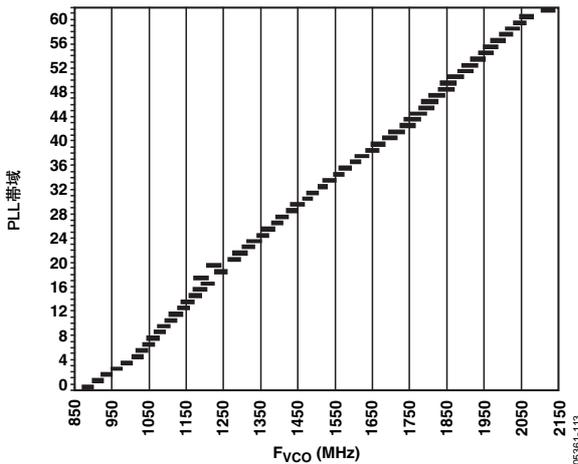


図73. 温度変化に対する代表的なPLL帯域選択値と周波数の関係

AD977xの自動検索機能を使用すれば、PLLの最適な設定を決定できます。自動検索モードをイネーブルにするには、レジスタ0x08、ビット<7:2>を11111bに設定し、レジスタ0x08、ビット<7:2>から値を読み出します。自動検索モードは最適なPLLの設定を検出することが目的ですから、その後同じ設定を手動モードで適用してください。通常の動作時は、PLLを自動検索モードに設定しないようにしてください。

フルスケール電流の生成

内部リファレンス

I DACとQ DACのフルスケール電流は、8.66~31.66mAの範囲で設定できます。最初に、1.2Vのバンド・ギャップ・リファレンスを使用し、I120 (75番ピン)に接続する外付け抵抗で電流を設定します。図74に、リファレンス回路の簡略ブロック図を示します。外付け抵抗の推奨値は10kΩです。これにより120μAの抵抗にI_{REFERENCE}が設定されますが、これはさらに20mAのDAC出力フルスケール電流を提供します。ゲイン誤差はこの抵抗の一次関数であるため、抵抗が高精度であればデバイスの内部マッチング仕様へのゲイン・マッチングが向上します。内部カレント・ミラーが提供する電流ゲイン・スケールリングでは、I DACまたはQ DACのゲインは、SPIポート・レジスタ (レジスタ0x0A、0x0B、0x0E、0x0F) の10ビット・ワードです。DACゲイン・レジスタのデフォルト値は、約20mAのI_{FS}を与えます。ここで、I_{FS}は次式で表すことができます。

$$\frac{1.2V}{R} \times \left(\frac{27}{12} + \left(\frac{6}{1024} \times \text{DACゲイン} \right) \right) \times 32$$

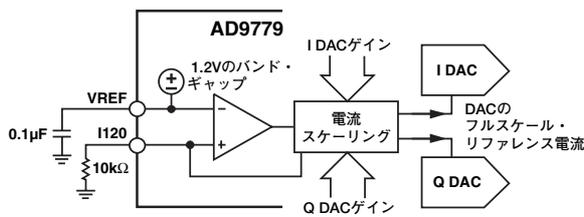


図74. リファレンス回路

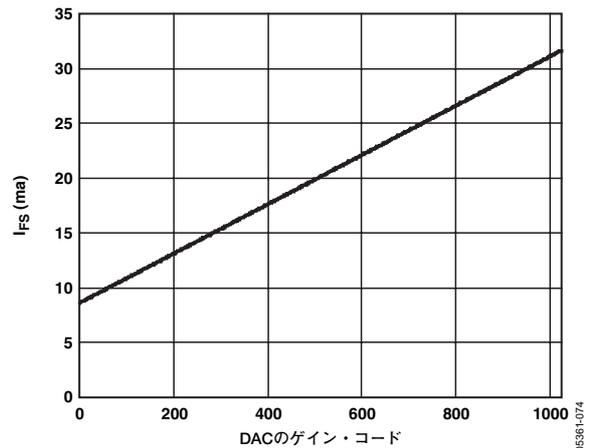


図75. DACゲイン・コード 対 I_{FS}

補助DAC

AD977xには2つの補助DACがあります。これらのDACのフルスケール出力電流は、1.2Vのバンド・ギャップ・リファレンスと外付け抵抗から得られます。補助DACゲインをフルスケール (10ビット値、SPIレジスタ0x0C、0x0D、0x10、0x11) に設定したとき、リファレンス・アンプ電流I_{REFERENCE}から補助DACリファレンス電流までのゲイン・スケールは16.67です。これにより、補助DAC1と補助DAC2に関しては、約2mAのフルスケール電流が与えられます。補助DAC出力は差動ではありません。一度にアクティブにできるのは、補助DACの1つの側 (PまたはN) のみです。非アクティブ側は、高インピーダンス状態 (>100kΩ) になります。さらに、PまたはN出力は、電流ソースまたは電流シンクとして機能します。2つの補助DACのP側とN側の制御には、レジスタ0x0Eと0x10、ビット<7:6>を使用します。電流をソースする場合の出力コンプライアンス電圧は0~1.6Vです。電流をシンクする場合の出力コンプライアンス電圧は0.8~1.6Vです。

DAC出力の後に直交変調器がある場合、補助DACを局部発振器 (LO) のキャンセルに使用できます。図76に、DACと直交変調器との代表的なインターフェースを示します。通常、変調器の入力コモンモード電圧はDACの出力コンプライアンス電圧範囲よりはるかに高いため、ACカップリングが必要となります。直交変調器の必要なコモンモード入力電圧がDACのコモンモード入力電圧と一致する場合、ACカップリング・コンデンサは除去できます。直交変調器の入力換算DCオフセット電圧 (およびDAC出力オフセット電圧のミスマッチ) により、変調器出力にLOフィードスルーが発生し、システム性能が低下することがあります。図76の構成を使用すると、補助DACを使用してこのDCオフセットを補正することにより、LOフィードスルーを減らすことができます。直交変調器の入力においてDACからのスプリアス信号 (歪みとDACイメージ) がシステム性能に影響を与える場合は、ローパス・フィルタまたはバンドパス・フィルタの使用を推奨します。このフィルタは、直交変調器の入口に配置します。

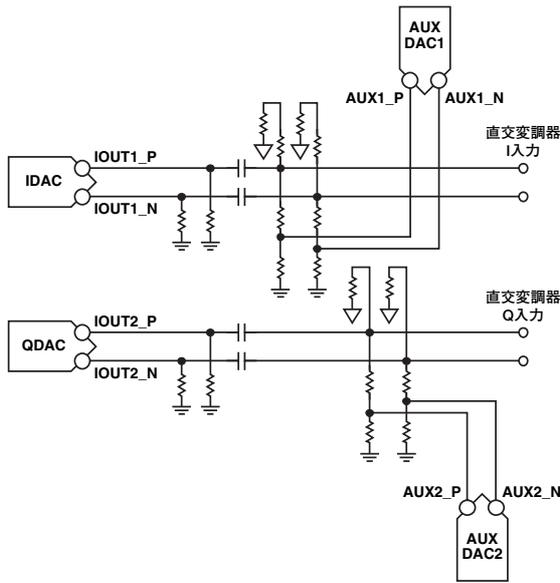


図76. 補助DACの代表的な使い方

消費電力

図77～85に、シングルDACモードとデュアルDACモードにおける、1.8Vと3.3Vのデジタル/クロック電源の消費電力を示します。これに加えて、シングルDACモードでの3.3V電源（モードおよび速度独立）の消費電力/電流は102mW/31mAです。デュアルDACモードでは182mW/51mAです。

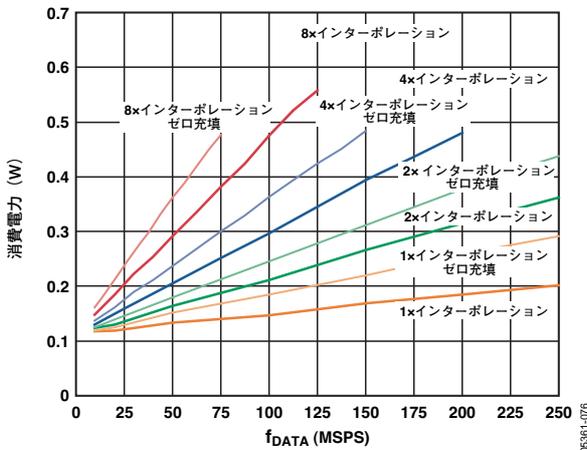


図77. 消費電力 (Iデータのみ、シングルDACモード)

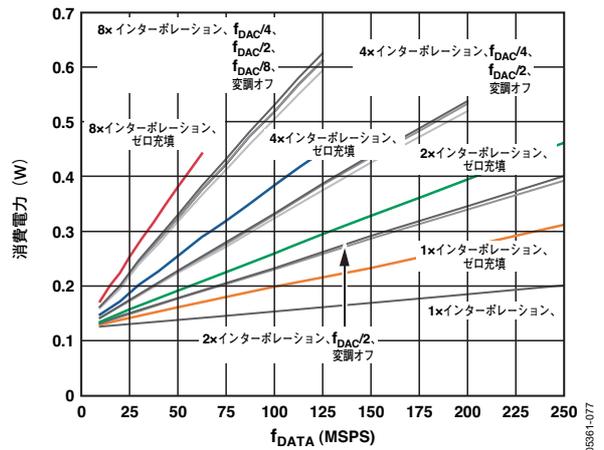


図78. 消費電力 (デュアルDACモード)

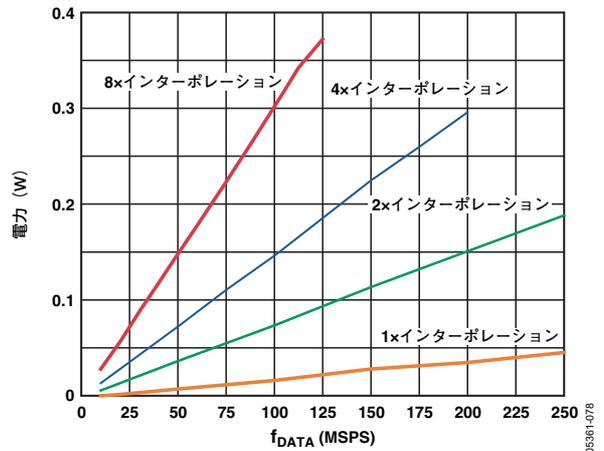


図79. 消費電力 (デジタル1.8V電源、Iデータのみ、リアル・モード、ゼロ充填なし)

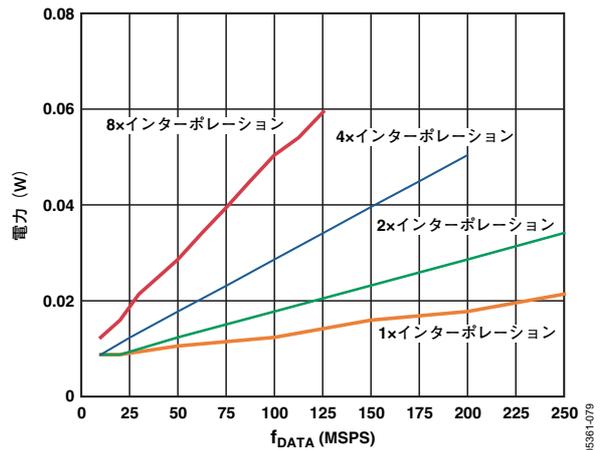


図80. 消費電力 (クロック1.8V電源、Iデータのみ、リアル・モード、変調モードあり、ゼロ充填なし)

AD9776/AD9778/AD9779

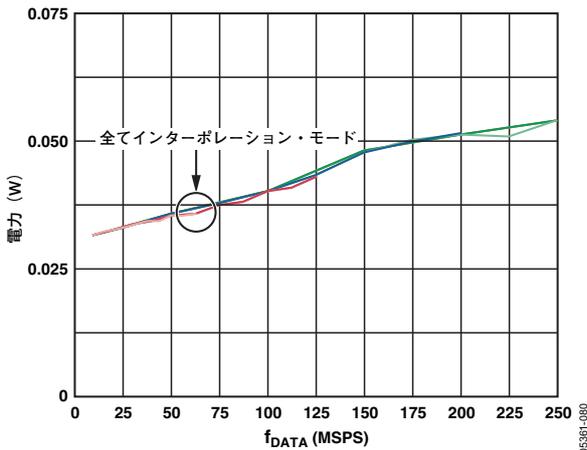


図81. 消費電力 (デジタル3.3V電源、Iデータのみ、リアル・モード、変調モードとゼロ充填あり)

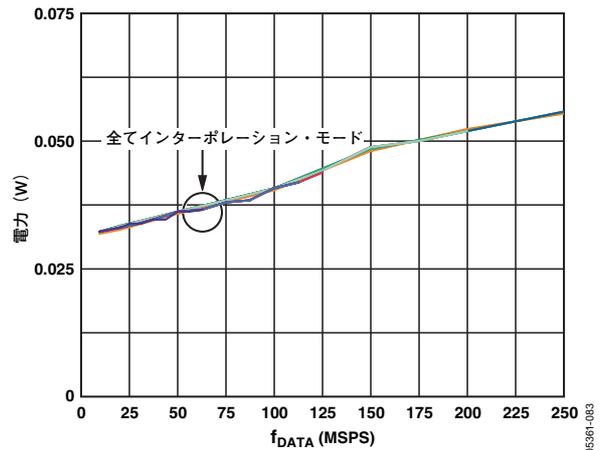


図84. デジタル3.3V電源 (IおよびQデータ、デュアルDACモード)

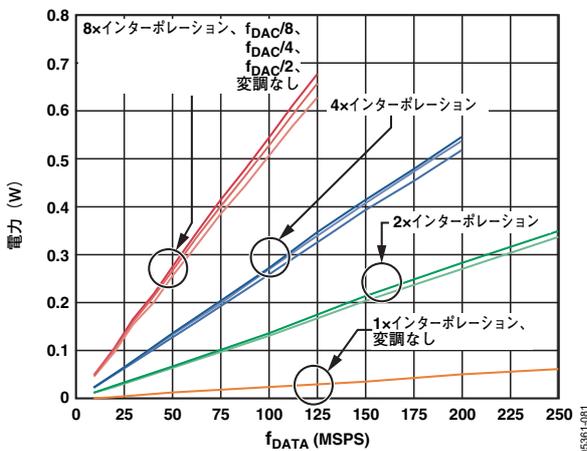


図82. 消費電力 (デジタル1.8V電源、IおよびQデータ、デュアルDACモード、ゼロ充填なし)

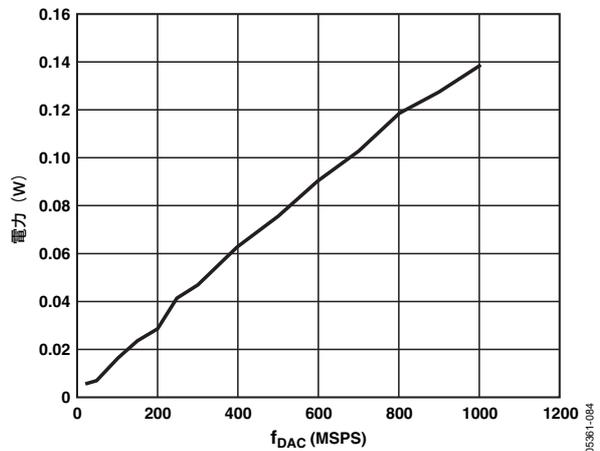


図85. 反転sincフィルタの消費電力

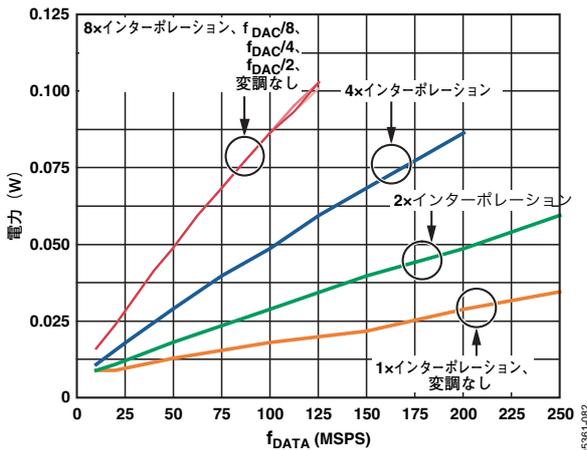


図83. 消費電力 (クロック1.8V電源、IおよびQデータ、デュアルDACモード、ゼロ充填なし)

パワーダウン・モードとスリープ・モード

AD977xにはさまざまなパワーダウン・モードがあり、デジタル・エンジンやメインTxDAC、補助DACを個々にあるいは一緒にパワーダウンできます。メインTxDACは、SPIポートを介してスリープ・モードやパワーダウン・モードにできます。スリープ・モードでは、TxDACの出力がオフになり消費電力が減少します。ただしリファレンスはパワーオン状態のため、スリープ・モードからの回復はきわめて迅速です。パワーダウン・モード・ビット (レジスタ0x00、ビット4) をセットすると、リファレンスも含めてすべてのアナログ/デジタル回路がパワーダウンになります。パワーダウン・モードでは、SPIポートがアクティブ状態を維持します。このモードは、スリープ・モードに比べて大幅な節電になりますが、ターンオン時間が長くなります。補助DACも、SPIポートを介してスリープ・モードに設定できます。

自動パワーダウン・イネーブル・ビット（レジスタ0x00、ビット3）では、デバイスのデジタル部のパワーダウン機能を制御します。自動パワーダウン機能は、次の条件に基づいて、TXENABLEピン（39番ピン）と連携して働きます。

TXENABLE（39番ピン）＝

- 0：自動パワーダウン・イネーブル＝
 - 0：データ・パスを0でフラッシュ
 - 1：データを複数のDACCLKサイクルにわたってフラッシュしてから、デジタル・エンジンを自動的にパワーダウン状態にします。DAC、リファレンス、SPIポートは影響を受けません。

またはTXENABLE（39番ピン）＝

- 1：通常動作

TxEnable反転ビット（レジスタ0x02、ビット1）がセットされた場合、このTXENABLEピンの機能が反転されます。

インターリーブ・データ・モード

TxEnableビットには2つの機能があります。デュアル・ポート・モードでは、これはデバイスのデジタル部のパワーダウンにのみ使用されます。インターリーブ・モードでは、IQデータ・ストリームがTxEnableに同期します。したがって、IQ同期を実現するには、データ・ポート1への入力にIデータ・ワードが与えられるまで、TxEnableをローレベルに保持します。TxEnableがハイ・ロジック・レベルにある間に、DATACLKの立上がりエッジが発生した場合は、IQデータはDATACLK出力と同期します。TxEnableがハイレベルに維持され、入力IQデータは同期状態を維持します。アナログ・デバイスの既存のDAC（AD9777やAD9786など）との後方互換性を維持するため、各データ入力サイクル中にTxEnableを一度トグルすることにより、同期状態は絶えず更新できます。TxEnableがローレベルにされ、複数のDACCLKサイクルにわたってローレベルに保持された場合は、デバイスはインターポレーション・フィルタ内のデータをフラッシュし、フィルタがフラッシュされた後でデジタル・エンジンをシャット・ダウンします。このパワーダウン・モードに入るために必要なDACCLKサイクル数は、等価な2×、4×、8×インターポレーション・フィルタの長さの関数です。図86に、TxEnable、I/Q選択、フィルタ・フラッシュ、デジタル・パワーダウンのタイミングを示します。

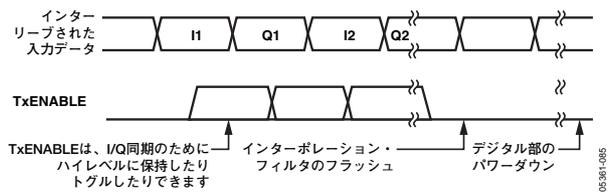


図86. TxEnableの機能

TxEnableの機能を反転するには、レジスタ0x02、ビット1のステータスを変更します。IQの順序付けを制御するもう1つのビットは、Qファースト・ビット（レジスタ0x02、ビット0）です。Qファースト・ビットをデフォルトの0にリセットすると、ラッチされるIQペアリングは、I1Q1、I2Q2などになります。IQファーストを1に設定すると、最初のIデータは捨てられ、ペアリングはI2Q1、I3Q2などになります。なお、IQファーストをセットすると、Iデータは依然として内部Iチャンネルに転送され、Qデータは内部Qチャンネルに転送され、ペアリングのみが変化します。

タイミング情報

図87～89に、PLLがイネーブルの場合に可能な、いくつかのタイミングを示します。N2とN3の設定の組み合わせは、基準クロック周波数を実際の入力データレートの倍数にできることを意味します。図87～89はそれぞれ、N2/N3＝1および2のときのタイミングを示します。

インターリーブ・モードでは、DATACLK出力からデータ入力までのセットアップ時間とホールド時間は、図87～89に示す時間と同じです。TxEnableのトグルは、デジタル・データ入力の更新と同時にを行うことを推奨します。このようにして、DATACLK、TxEnable、デジタル入力データ間のタイミング・マージンが最適化されます。

図89に、PLLがディスエーブルのときのタイミング仕様を示します。基準クロックは、DAC出力サンプル・レートです。図89に示す例では、PLLがディスエーブルの場合、インターポレーションは4×です。入力データのセットアップ時間とホールド時間は、DATACLK出力の立上がりエッジをベースにしています。なお、レジスタ0x02、ビット2がセットされている場合は、DATACLK出力が反転されるため、ラッチするクロック・エッジはDATACLK出力の立下がりエッジになります。

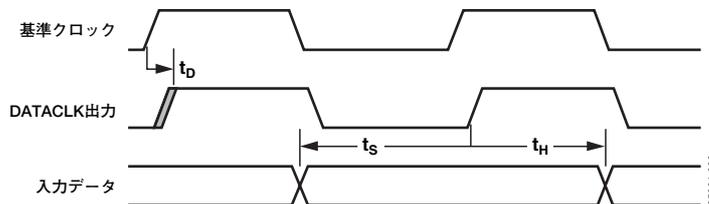


図87. タイミング仕様（PLLイネーブル、基準クロック＝1×入力サンプル・レート¹）

AD9776/AD9778/AD9779

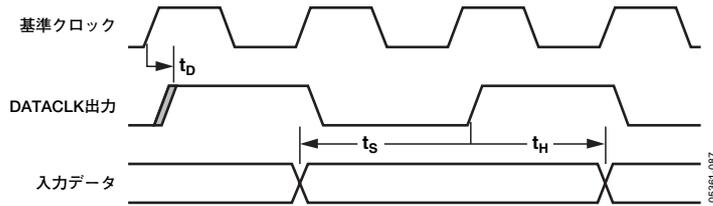
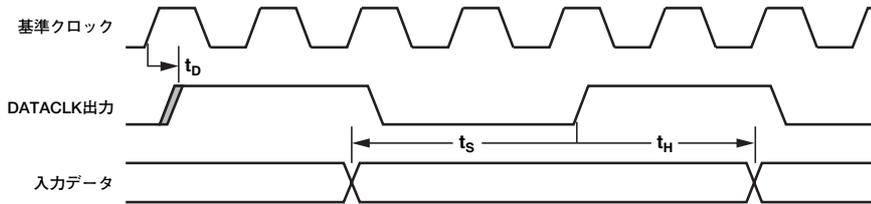


図88. タイミング仕様 (PLLイネーブル、基準クロック=2×入力サンプル・レート¹)



$t_S = 3\text{ns (min)}$
 $t_H = 0.78\text{ns (min)}$
 $t_D = 5.0\text{ns (typ)}$
 (DATACLK遅延ディスエーブル)

図89. タイミング仕様 (PLLディスエーブル、4×インターポレーション)

¹ TxDACタイミング仕様の規定方法の詳細については、アナログ・デバイセズのアプリケーション・ノート「AN748」(「Set-up and Hold Measurements in High Speed CMOS Input DACs」)を参照してください。

データ遅延によりタイミング条件を満たす方法

最高250MSPSという入力データレートで厳密なタイミング条件を満たすため、AD977xには微細なタイミング機能があります。微細なタイミング調整を行うには、データ・クロック遅延レジスタ(レジスタ0x04、ビット<7:4>)に値を書き込みます。このレジスタを使用すれば、DACCLK入力とDATACLK出力の間に遅延を追加できます。図90に、DATACLK遅延がディスエーブルの場合のデフォルト遅延を示します。ディスエーブル機能ビットは、レジスタ0x02、ビット4にあります。図91は、DATACLK遅延がイネーブルで0000に設定された場合の遅延を示します。図92は、DATACLK遅延がイネーブルで1111に設定された場合の遅延を示します。なお、データからDATACLKに対して指定されるセットアップ時間とホールド時間は、DATACLK遅延をディスエーブルにして仕様規定されています。

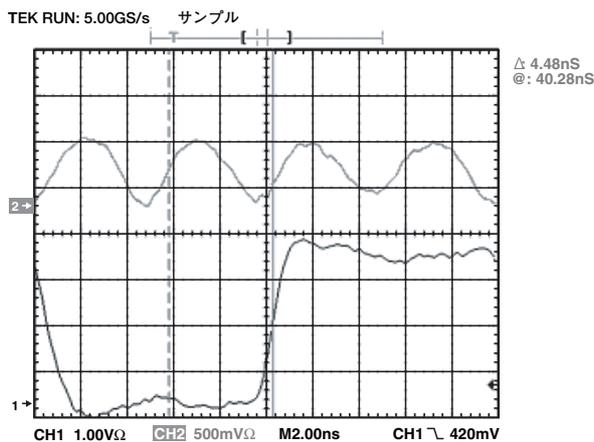


図90. DACCLKからDATACLK出力までの遅延 (DATACLK遅延をディスエーブル)

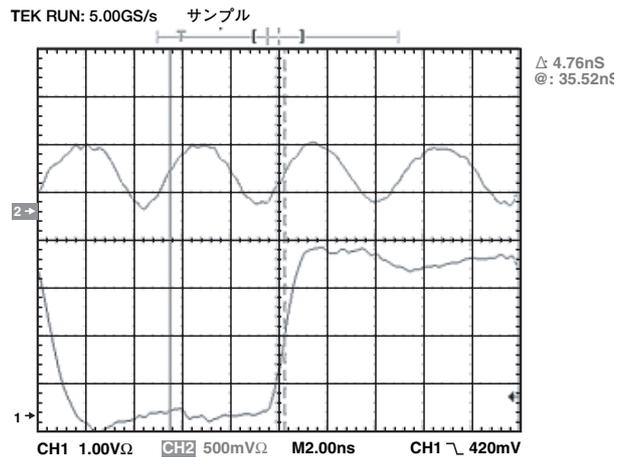


図91. DACCLKからDATACLK出力までの遅延 (DATACLK遅延=0000)

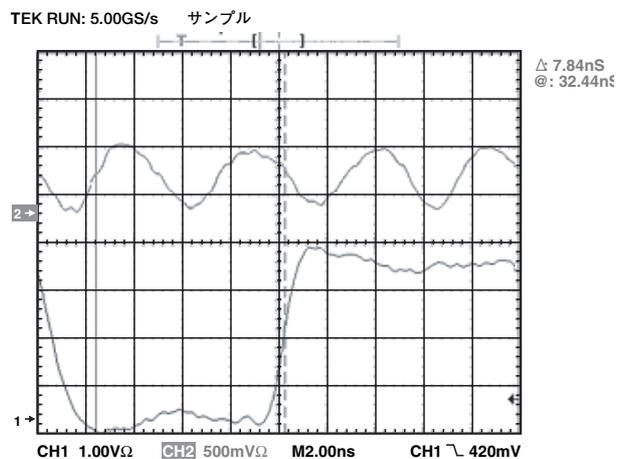


図92. DACCLKからDATACLK出力までの遅延 (DATACLK遅延=1111)

図91に示す最小遅延から図92に示す最大遅延までの範囲は、DATACLK遅延レジスタを介して設定できます。0000と1111の間でDATACLK遅延を設定する際の遅延（絶対時間）は、この2つの数値の間を線形とみなして得られます。表18に、温度に対するインクリメントごとの代表的な遅延を示します。

表18. 温度に対するデータ遅延ラインの代表的な遅延

遅延	-40°C	+25°C	+85°C	単位
ディスエーブルとイネーブルの間の遅延	370	416	432	ps
インクリメントごとの平均遅延	171	183	197	ps

DATACLK出力の周波数は、いくつかのプログラマブルな設定に依存します。DACCLK周波数は、インターポレーション、ゼロ充填、インターリーブ/デュアル・ポート・モードの影響を受けます。DACCLKとDATACLKとの間の約数関数は、表19に示す値に等しくなります。

表19

インターポレーション	ゼロ充填	入力モード	約数
1	ディスエーブル	デュアル・ポート	1
2	ディスエーブル	デュアル・ポート	2
4	ディスエーブル	デュアル・ポート	4
8	ディスエーブル	デュアル・ポート	8
1	ディスエーブル	インターリーブ	無効
2	ディスエーブル	インターリーブ	1
4	ディスエーブル	インターリーブ	2
8	ディスエーブル	インターリーブ	4
1	イネーブル	デュアル・ポート	2
2	イネーブル	デュアル・ポート	4
4	イネーブル	デュアル・ポート	8
8	イネーブル	デュアル・ポート	16
1	イネーブル	インターリーブ	1
2	イネーブル	インターリーブ	2
4	イネーブル	インターリーブ	4
8	イネーブル	インターリーブ	8

この約数関数に加えて、DATACLKは、DATACLK分周レジスタ（レジスタ0x03、ビット<5:4>）の状態に応じて、さらに4までの係数で分周できます（表20を参照）。

表20

レジスタ0x03、ビット<5:4>	分周比
00	1
01	2
10	4
11	1

表19の値とDATACLK分周レジスタを組み合わせ得られる最大約数は32です。

入力タイミングの手動修正

入力タイミングは手動で修正できます。修正機能はレジスタ0x03、ビット<7:6>によって制御します。この機能は表21に示すように設定されます。

表21

レジスタ0x03、ビット<7:6>	機能
00	エラー・チェックをディスエーブル
01	予備
10	予備
11	予備

必要な修正を行うには、DATACLK遅延とDATACLK反転ビット（レジスタ2、ビット2）を調整します。最初のタイミング検証を行うときは、入力データのタイミング誤差許容値（レジスタ0x03、ビット<3:0>）を1111に設定してください。これによりDATACLK遅延を掃引し、タイミングが有効な範囲を見つけ出すことができます。データ遅延の最終値は、有効なタイミング範囲の中央に対応する値としてください。この掃引中に有効なタイミング範囲が見つからない場合、DATACLK反転ビットを反転し、このプロセスを繰り返す必要があります。それでも有効なタイミング・ウィンドウが見つからない場合は、入力データのタイミング誤差許容値を1だけデクリメントし、この手順を繰り返します。

マルチDAC同期

同期パルス生成（マスター・デバイス）

複数のデバイスを使用し、同期をとる必要のあるアプリケーションでは、AD977xはフレキシブルな同期エンジンを提供します。マルチDAC同期には2つのオプションがあります。最初のオプションでは、1つのデバイスをマスターとして使用し、残りのデバイスをスレーブとして使用できます。2番目のオプションでは、すべてのデバイスがスレーブとして動作します。いずれの動作も同じタイミング制約がありますが、どのモードでも性能トレードオフはありません。ここではマスター・モードについて説明します。差動入力クロックはマスター・デバイスを駆動し、次にマスターがSYNC_O+とSYNC_O-を生成します。この2つの信号はLVDSレベルを使用して差動同期信号を生成し、この差動同期信号が、すべてのスレーブ・デバイスの同期に使用されます。複数デバイスの同期のためには、SYNC_O+とSYNC_O-は、マスターの同期入力（SYNC_I+とSYNC_I-）にループバックする必要があります。マスター・モードをイネーブルにするには、同期ドライバ・イネーブル・ビット（レジスタ0x07、ビット6）にロジック1を書き込みます。SYNC_Oの信号速度は、レジスタ0x04、ビット<3:1>に基づいて、DACCLK速度の整数の約数とすることができます。スレーブ・モードでデバイスをイネーブルにするには、同期レシーバ・イネーブル・ビット（レジスタ0x07、ビット7）にロジック1を書き込みます。図93に、マスター・デバイスでの同期出力信号とDAC入力クロックのタイミングを示します。

AD9776/AD9778/AD9779

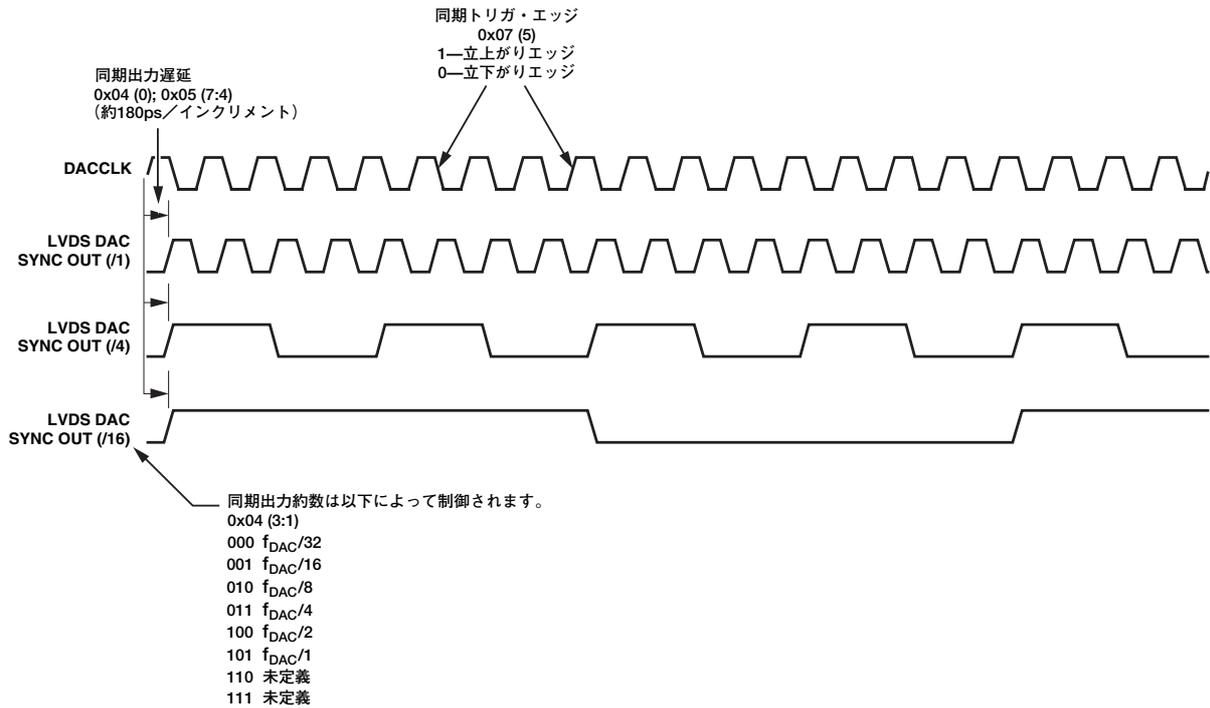


図93. DACCLK/同期出力のタイミング

次に、同期出力パルスをマスターからすべてのスレーブ・デバイスに分配します。これには、デバイスの外部にLVDS信号の分割回路の実装が必要になることがあります。スプリッタは、SYNC_O信号をマスターから複数のスレーブ・デバイスのSYNC_Iピンに配信します。図94に、この処理系のブロック図を示します。CLKソースとSYNC_Oから複数のAD977xデバイスの同期入力とDACCLKへの等化が不可欠です。マルチチップ同期が指定の最大DACサンプル・レートで正しく動作するには、DACCLK入力の位相を±100psに整合する必要があります。SYNC_I入力の位相も±100psに整合する必要があります。DACのサンプル・レートが低い場合は、このタイミング・アライメントは緩和できます。

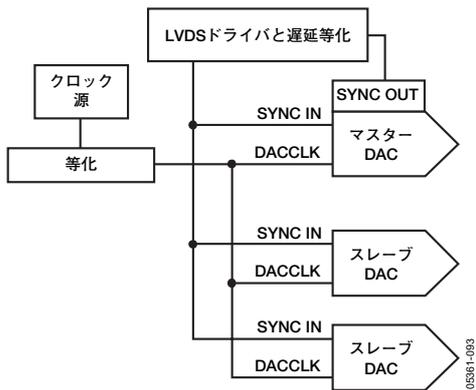


図94. マスター/スレーブ・モードでの同期信号分配の処理系

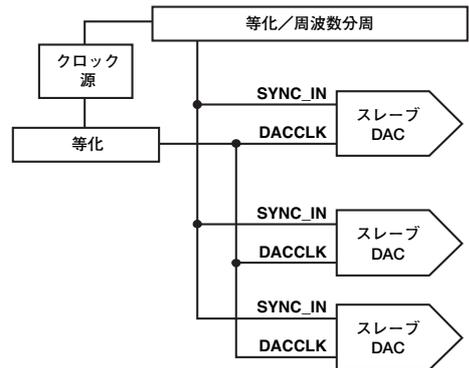


図95. スレーブ・モードでの同期信号分配の処理系

同期パルス・レシーバ (スレーブ・デバイス)

スレーブ・デバイス上のSYNC_Iについての以下の説明は、マスター・デバイス上のSYNC_Iにも適用されます。マスター上のSYNC_Iのタイミングは、スレーブ・デバイスのタイミングと一致する必要があります。図94に示したSYNC_Iパルスの詳細を図96に示します。SYNC_Iパルスは、そのデューティサイクルによって制約を受けません。唯一の制約は、各同期パルスが少なくとも1DACCLKサイクルにわたってハイレベルにとどまることです。しかし、同期パルスを受信するスレーブDACは、入力同期パルスの速度を知る必要があります。

DACCLKとSYNC_I速度の比率は、表22に示すように、入力同期パルス周波数の値 (レジスタ0x05、ビット<3:1>) によって決定されます。

表22

レジスタ0x05、ビット<3:1>	分周比
000	DACCLK/32 (デフォルト)
001	DACCLK/16
010	DACCLK/8
011	DACCLK/4
100	DACCLK/2
101	未定義
110	未定義
111	未定義

スレーブ・デバイスの内部同期

図96に、スレーブ・デバイス内の内部タイミング機能を示します。SYNC_I信号のデューティサイクルは50%に制約されることはありません。SYNC_Iのデューティサイクルに関する制約としては、少なくとも1DACCLKサイクルにわたってそれがハイレベルにとどまるということくらいです。図96に、2つの可能なSYNC_I信号を示します。1つは50%のデューティサイクル、もう1つは最小のデューティサイクルを持ちます。SYNC_Iのタイミング制約の詳細については、「SYNC_Iのタイミング制約」を参照してください。

DACCLKはSYNC_Iをサンプリングし、内部同期信号 (SYNC_I_int) を生成します。SYNC_I_intの周期は、常にDACCLK/32です。SYNC_IのレートがDACCLK/32を超える場合は、余分なパルスが取り除かれます。図96では、SYNC_I周期=DACCLK/16であるために、他のすべてのSYNC_Iパルスが取り除かれています。DACCLK_SMPは内部信号で、その周波数はDACCLK/インターポレーション・レートに等しくなります。DACCLK_SMPは、DACCLKによって合成されますが、SYNC_Iによって同期がとられます。なお、SYNC_I_intとDACCLK_SMPの間にもプログラマブル遅延 (同期入力遅延) があります。このプログラマブル遅延は、タイミング・インターフェースの柔軟性をさらに高めます。図96は、インターポレーションを8倍に設定しています (DACCLK_SMPレートはDACCLKの1/8です)。

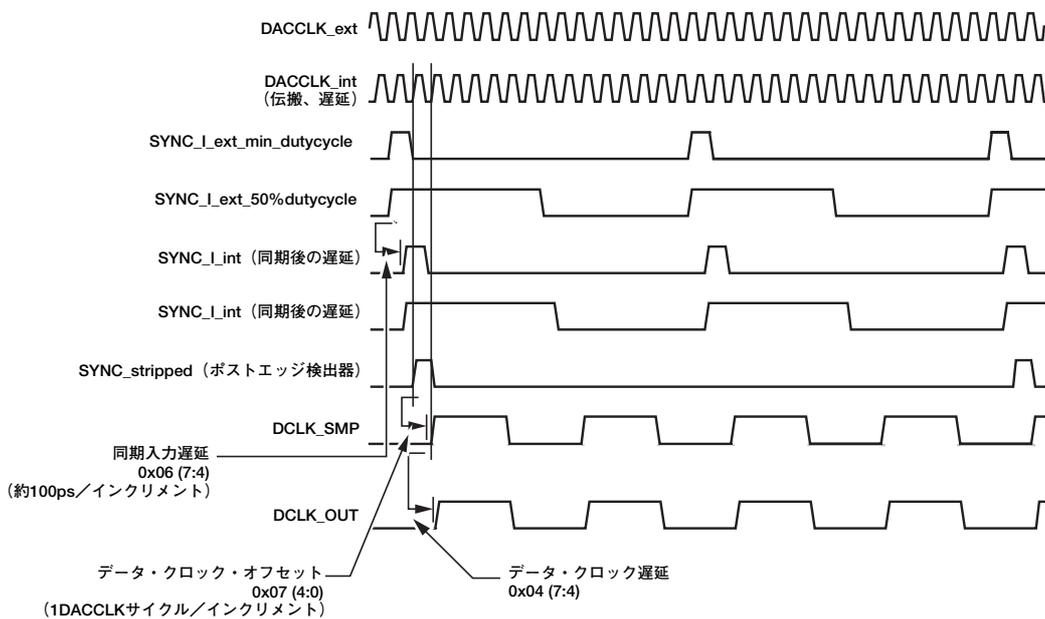


図96. マスター/スレーブ・デバイスの内部/外部タイミング

AD9776/AD9778/AD9779

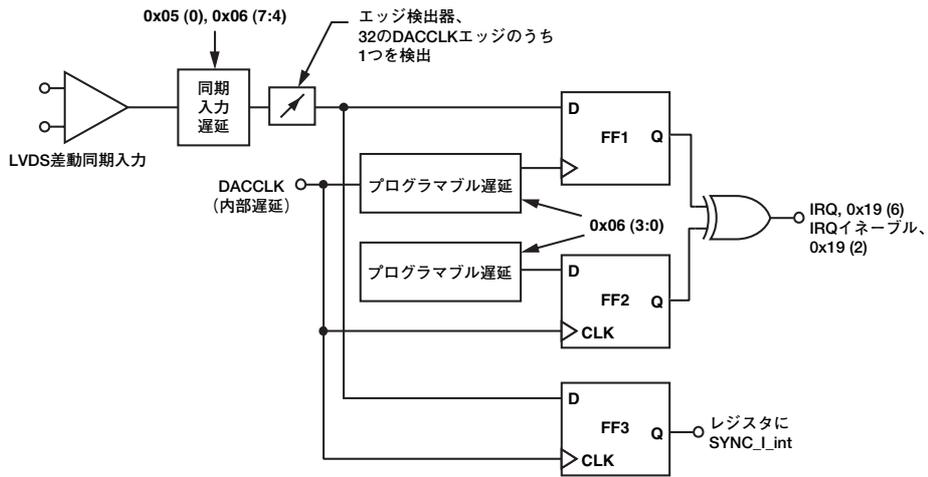


図97. 簡略内部同期ロジック

SYNC_Iのタイミング制約

AD977xでは、SYNC_I信号のタイミング誤差をレジスタに格納できます。図94に、この同期ロジックのブロック図を示します。これは、図95に示すデータ入力同期回路によく似ています。

違いは、図95の回路では、SYNC_Iを正しくレジスタに格納するためにDACCLKを使用することです。遅延はレジスタ0x06、ビット<3:0>によって設定できます。IRQはレジスタ0x19、ビット6に格納されます。

05381-096

評価用ボードの動作

AD977xの評価用ボードは、使いやすさを損なうことなく、DAC性能とデジタル・インターフェースの速度を最適化するように設計されています。ボードを動作させるには、電源、クロック源、デジタル・データ・ソースが必要です。DAC出力を調べるには、スペクトル・アナライザやオシロスコープも必要です。図98に、テスト・セットアップを示します。サイン波や方形波のクロックは、クロック源として有効です。クロックは、評価用ボード上でACカップリングされてからDACCLK入力に送られるため、クロック上のDCオフセットは問題になりません。図99に、評価用ボードに必要なすべての接続の詳細図を示します。

評価用ボードに付属のソフトウェアを使用すれば、SPIポートを設定できます。このSPIポートを介して、デバイスはさまざまな動作モードに設定できます。評価用ボードを初めて動作させるときは、簡単な設定（SPIポートの設定値をデフォルト設定値にできるだけ近づける）で始めるとよいでしょう。図100に、デフォルトのソフトウェア・ウィンドウを示します。矢印は、初回の簡単な評価のために変更しなければならない設定値を示しています。つまり、ここではPLLは使用せず、クロックはDAC出力のサンプル・レートの速度を使用することになります。PLLの使い方の詳細については、「PLLのループ・フィルタ帯域幅」を参照してください。

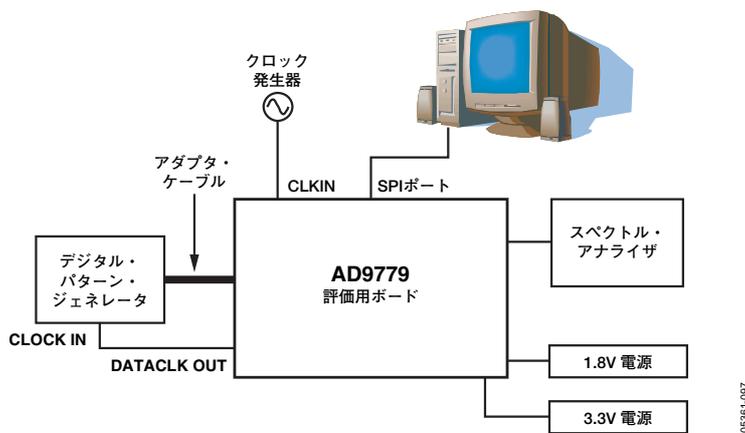


図98. 代表的なテスト・セットアップ

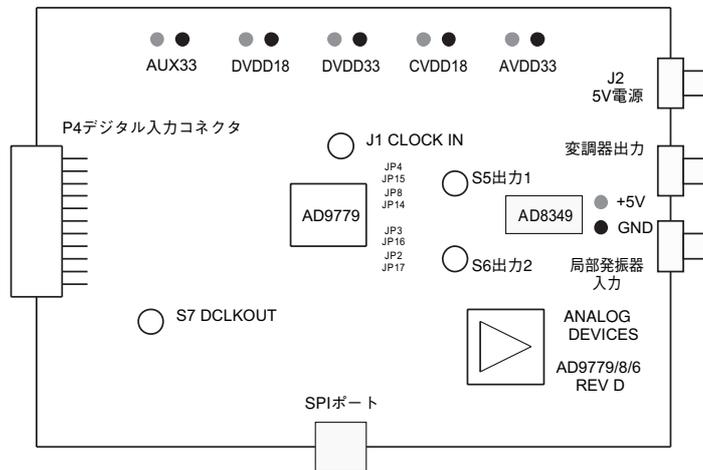


図99. すべての接続を示したAD977x評価用ボード

AD9776/AD9778/AD9779

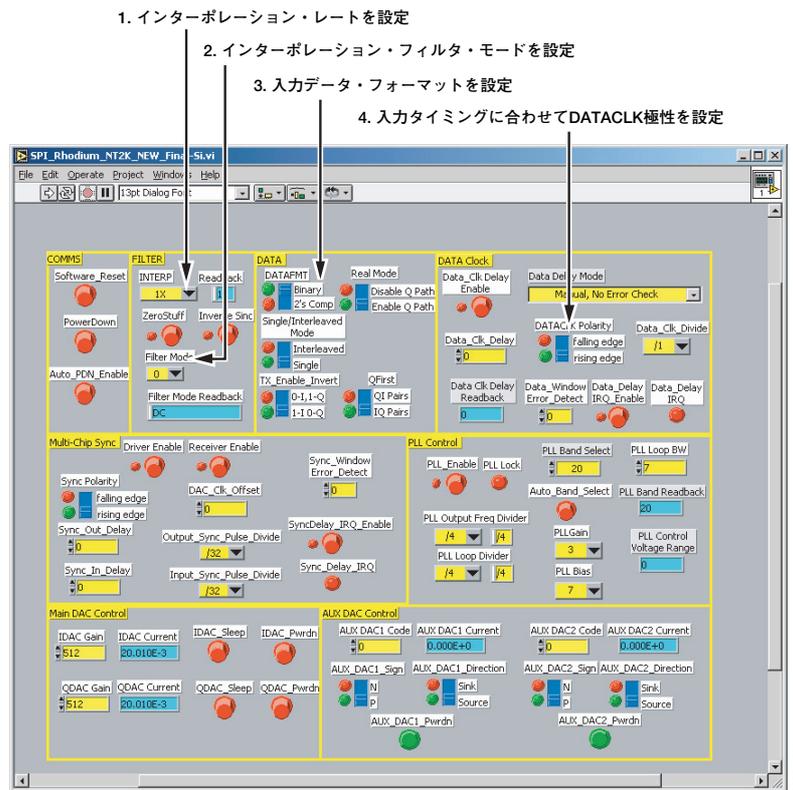


図100. SPIポートのソフトウェア・ウィンドウ

評価用ボードのデフォルト設定値を使用すれば、DAC出力信号をシングルエンド信号に変換するトランスを通じて、差動出力を確認できます。評価用ボードでは、これらのトランスはT1A、T2A、T3A、T4Aとして示されています。ボード上にはT1B、T2B、T3B、T4Bという4つの同相トランスもあります。トランスと同相トランスは直列に配置することを推奨します。

各DAC出力にはトランスと同相トランスのペアが設置されるため、これらのペアはいずれの順序でもセットアップできます。一例として、DCから30MHzの周波数範囲では、トランスはDACの直後に配置するとよいでしょう。30MHzのDAC出力周波数を上回る場合は、DAC出力の直後に同相トランスを配置し、その後にトランスを配置することを推奨します。

実装された直交変調器AD8349を使用するための評価用ボードの変更

評価用ボードには、アナログ・デバイセズのAD8349直交変調器が実装されています。AD977xとAD8349はインターフェースの容易なDAC/変調器の組み合わせとなっており、評価用ボードで簡単に評価できます。DAC出力信号を直交変調器に転送するには、次のジャンパ設定が必要になります。

ハンダ付けなし：JP14、JP15、JP16、JP17

ハンダ付け：JP2、JP3、JP4、JP8

図101に、評価用ボードのDAC出力領域を示します。AD8349を使用するために変更の必要なジャンパは、丸で囲んであります。また、AD8349用の5V接続とGND接続も丸で囲んであります。

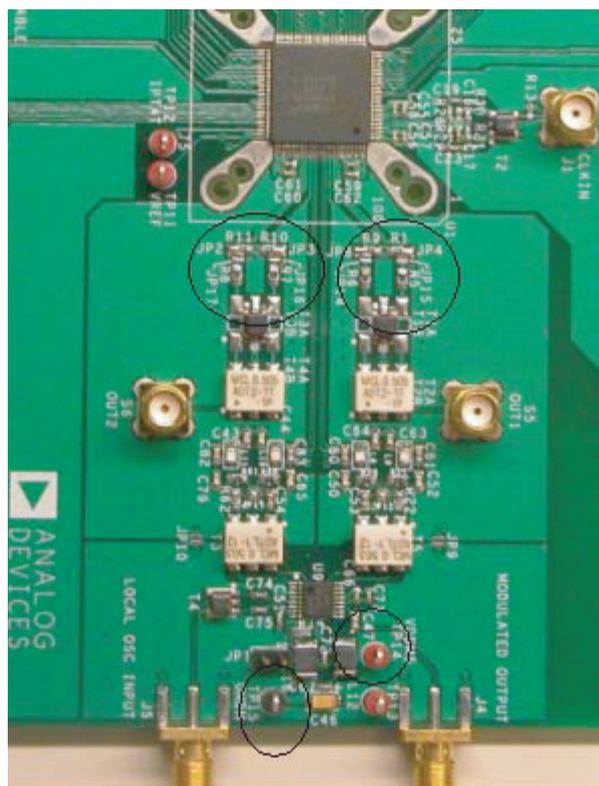


図101. 評価用ボードの写真 (DAC出力領域)

AD9776/AD9778/AD9779

評価用ボードの回路図

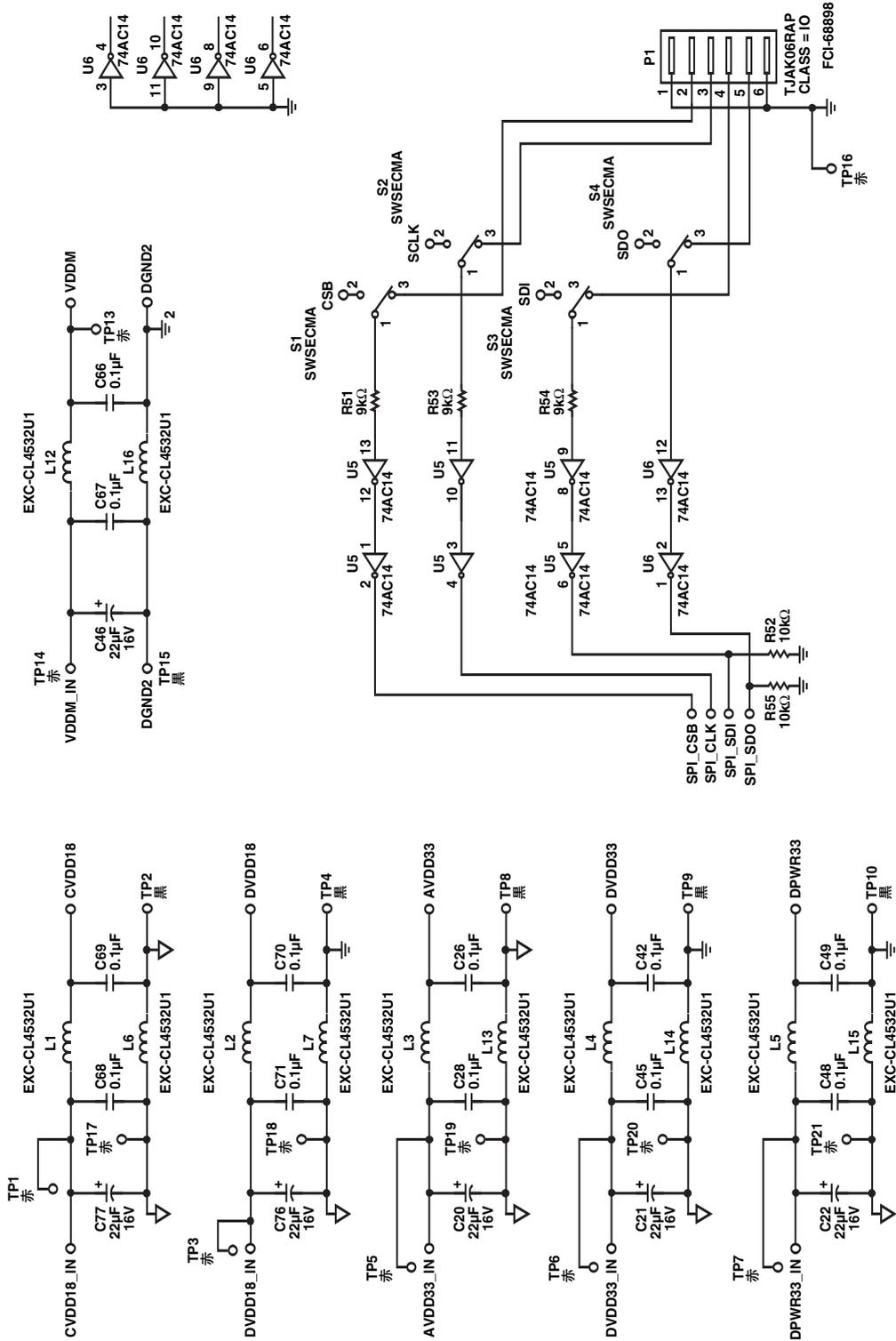


図102. 評価用ボード（リビジョンD、電源のデカップリングとSPIインターフェース部）

05361-101

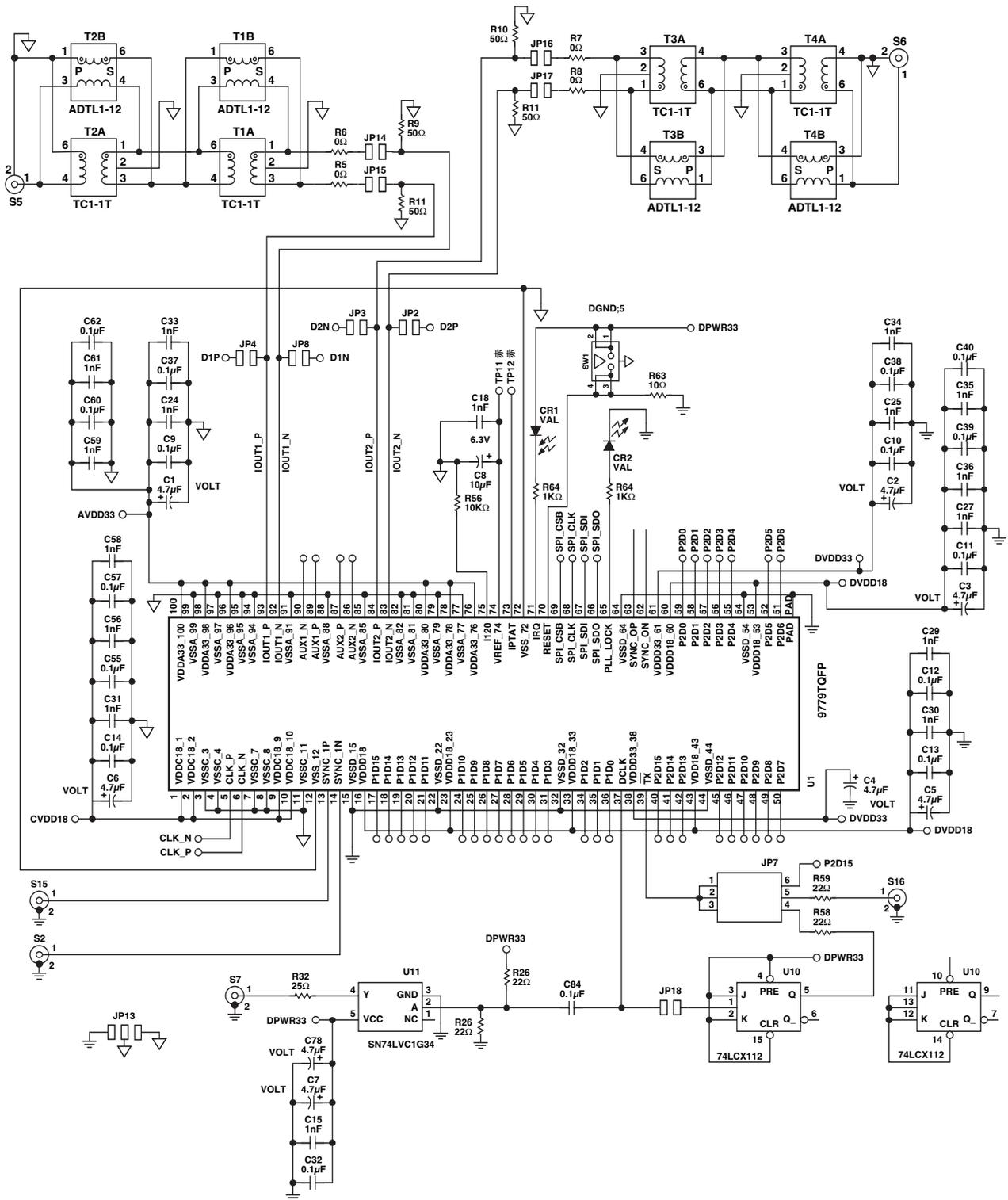


図103. 評価用ボード (リビジョンD、デバイスの周辺回路部)

AD9776/AD9778/AD9779

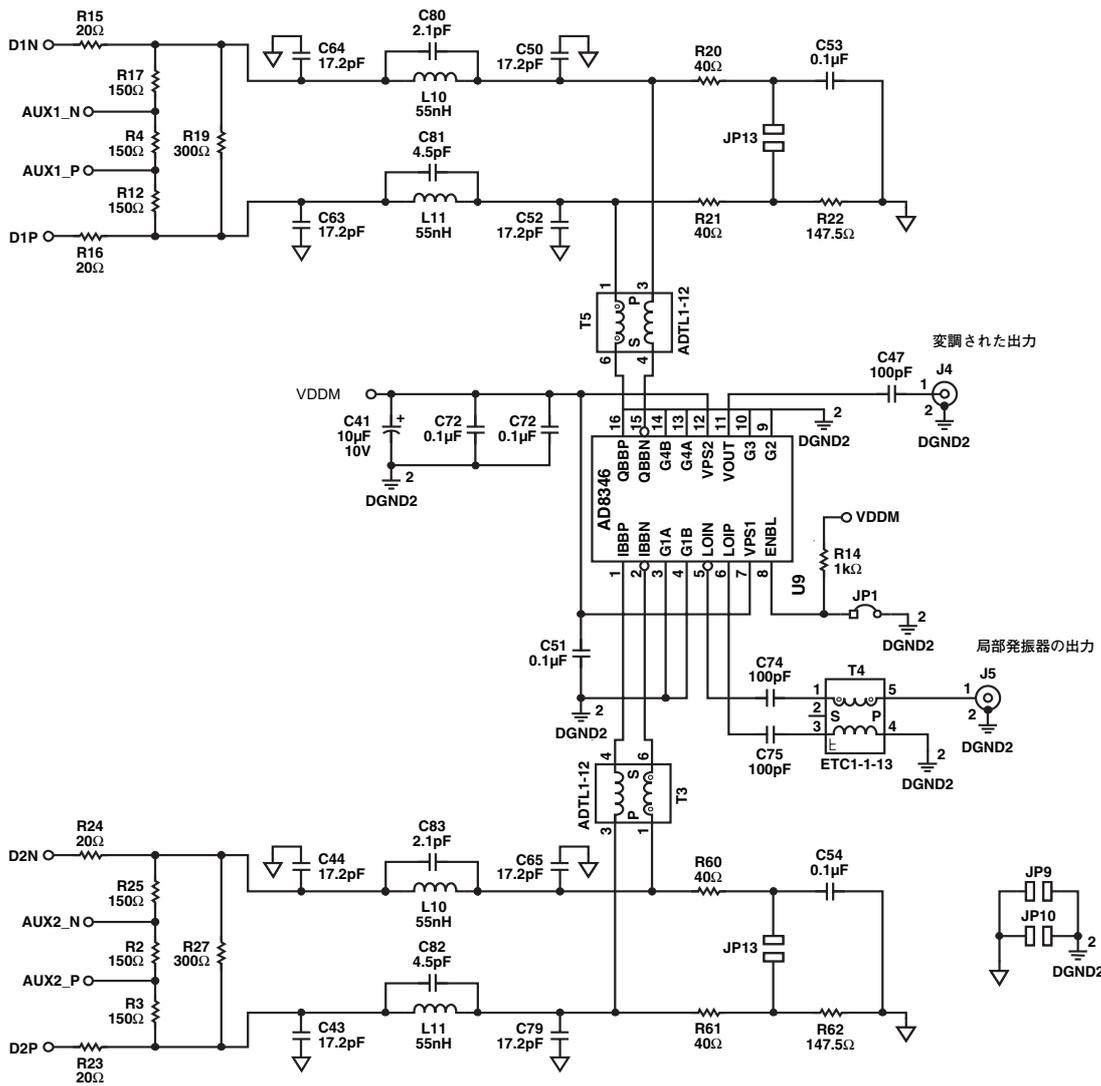


図104. 評価用ボード (リビジョンD、AD8349直交変調器部)

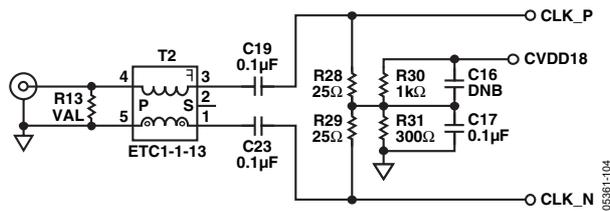


図105. 評価用ボード (リビジョンD、DACクロック・インターフェース部)

05361-103

05381-104

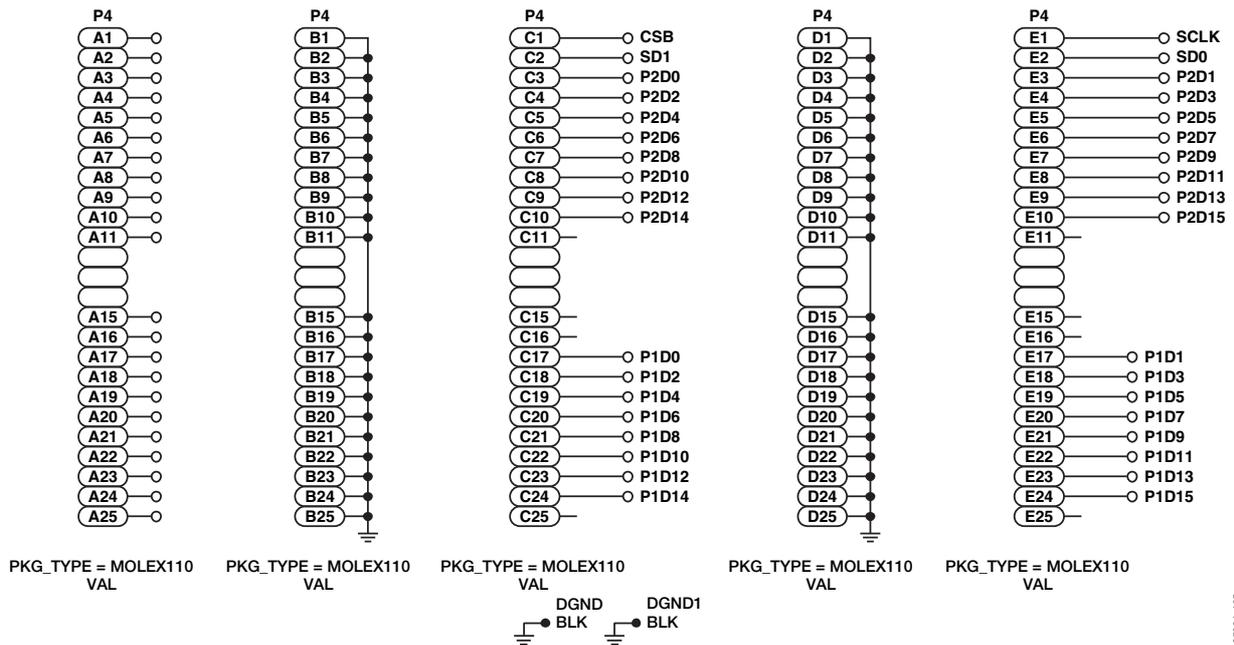


図106. 評価用ボード (リビジョンD、デジタル入力バッファ部)

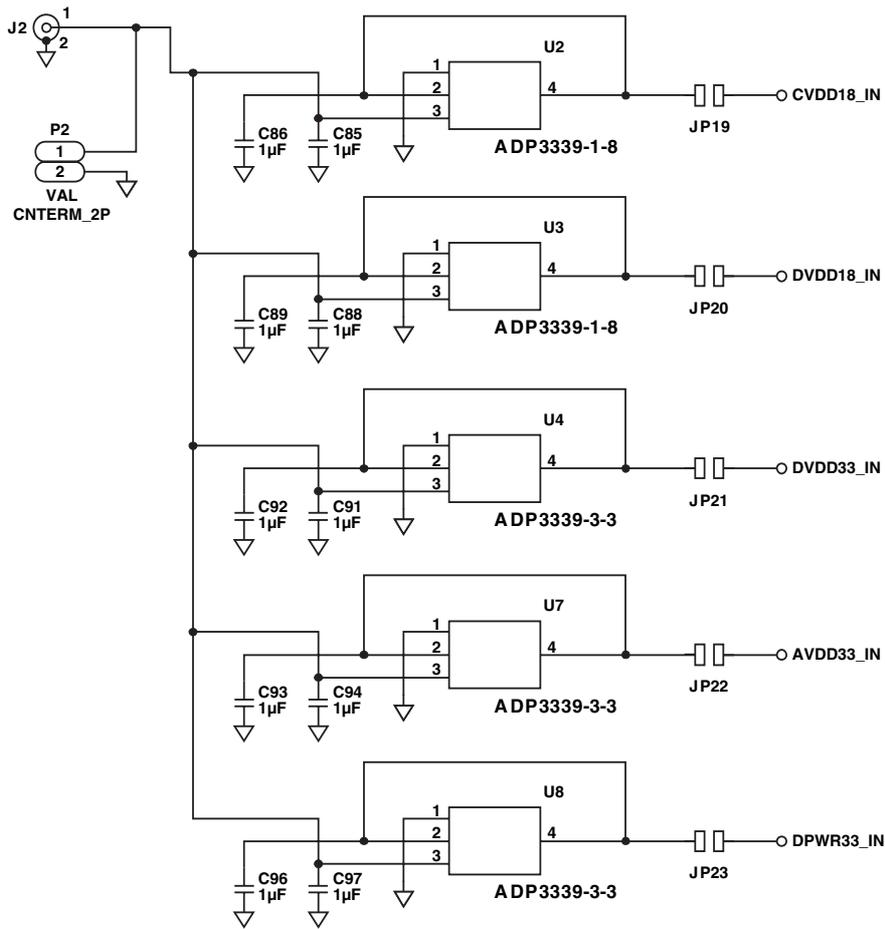


図107. 評価用ボード (内蔵電圧レギュレータ部)

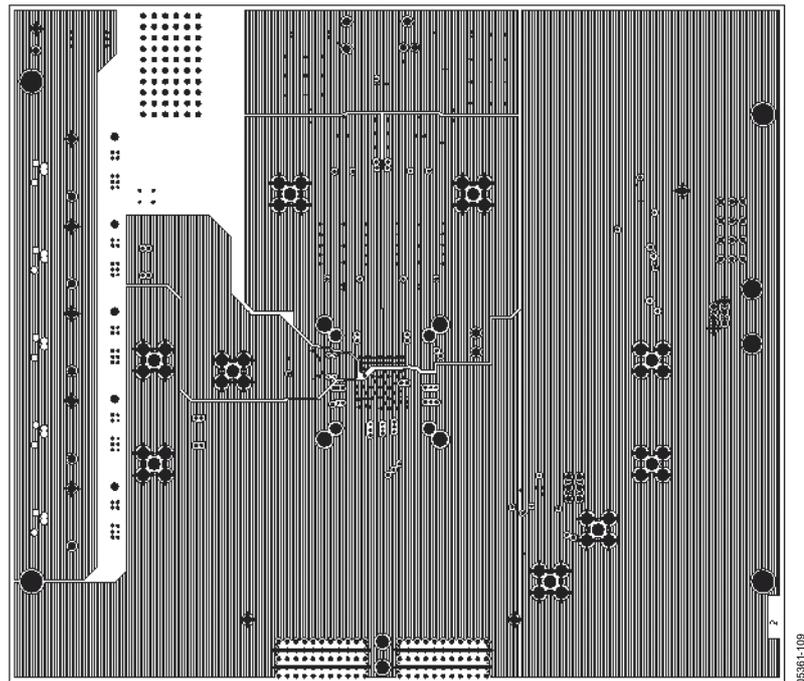


図110. 評価用ボード (リビジョンD、レイヤ2)

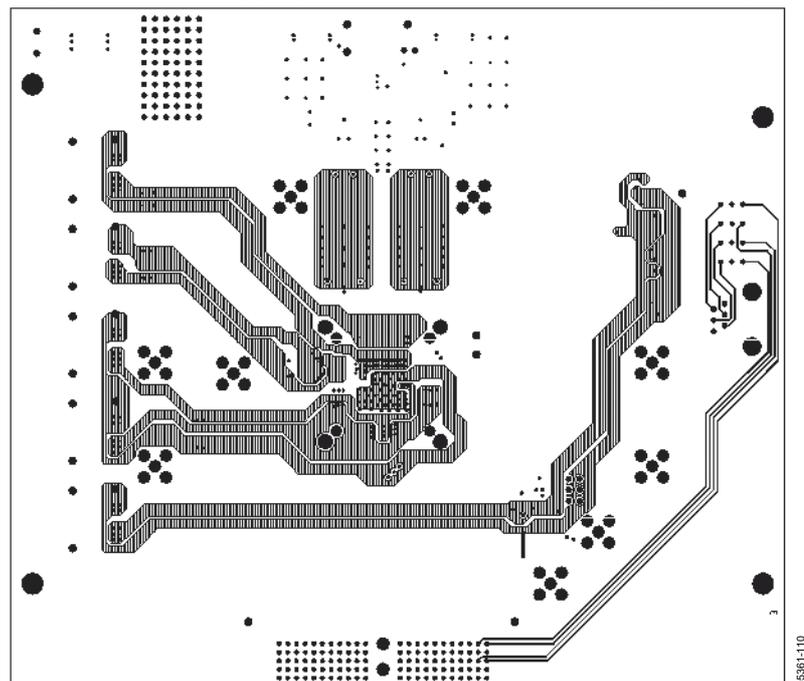


図111. 評価用ボード (リビジョンD、レイヤ3)

AD9776/AD9778/AD9779

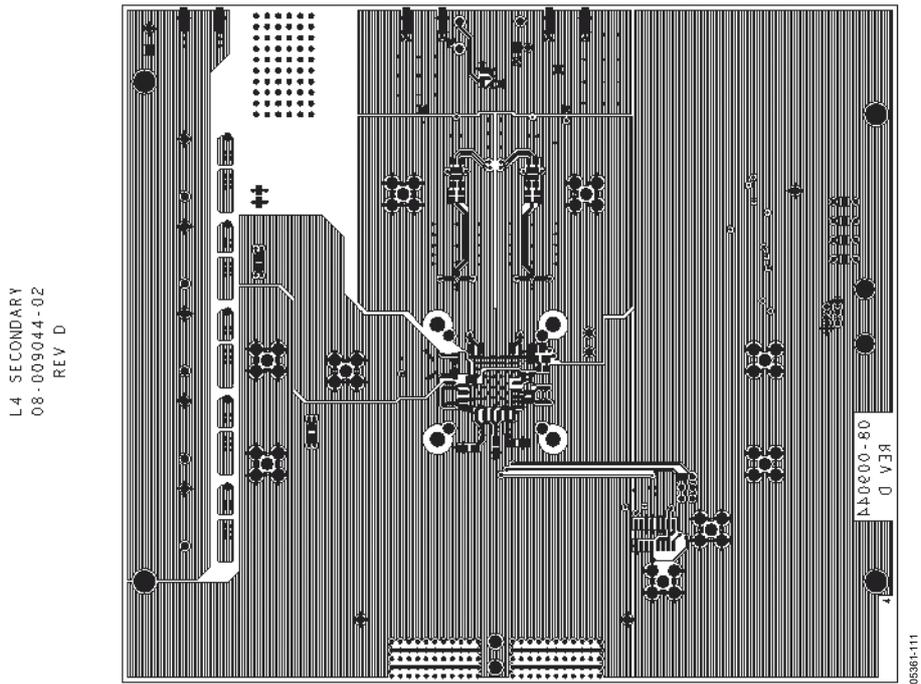


図112. 評価用ボード (リビジョンD、裏面)

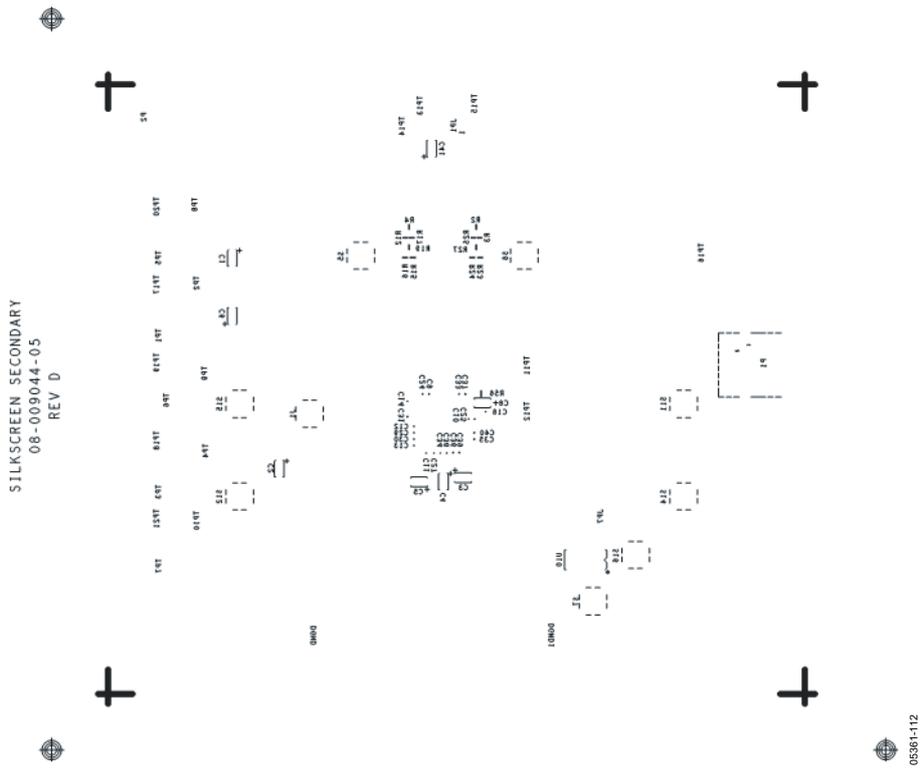


図113. 評価用ボード (リビジョンD、裏面のシルク・スクリーン)

外形寸法

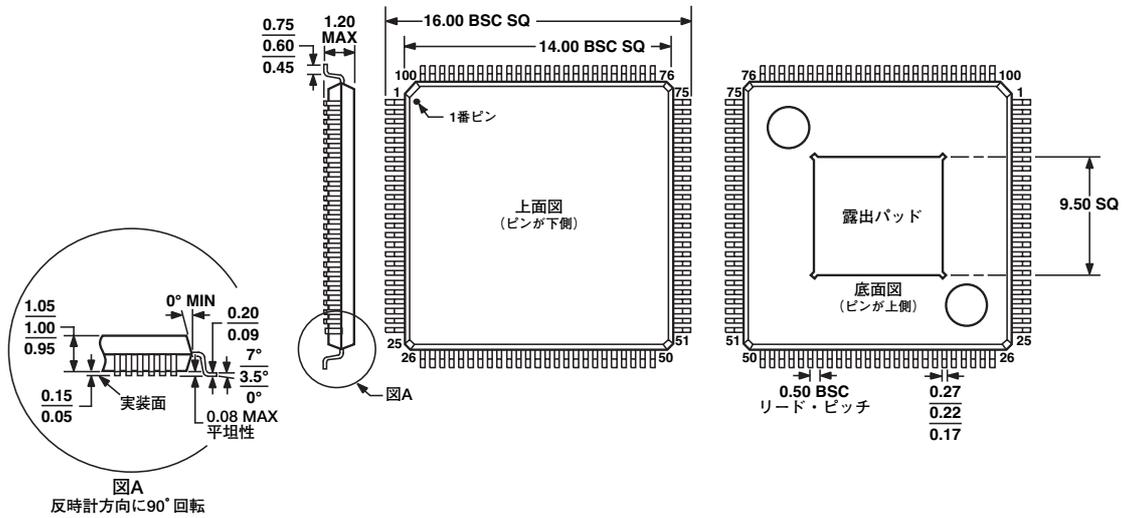


図114. 100ピン薄型クワッド・フラット・パッケージ、露出パッド [TQFP_EP]
(SV-100-3)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9776BSVZ ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9776BSVZRL ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9778BSVZ ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9778BSVZRL ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9779BSVZ ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9779BSVZRL ¹	-40~+85℃	100ピンTQFP_EP	SV-100-3
AD9776-EB		評価用ボード	
AD9778-EB		評価用ボード	
AD9779-EB		評価用ボード	

¹ Z=鉛フリー製品