

AD9776A/AD9778A/AD9779A

特長

低消費電力：1.0 W @ 1 GSPS、600 mW @ 500 MSPS、フル動作条件

SFDR = 78 dBc ($f_{OUT} = 100$ MHz まで)

シングル・キャリア WCDMA ACLR = 79 dBc @ 80 MHz IF

アナログ出力：フルスケール電流 8.7~31.7 mA で調節可能、 $R_L = 25 \sim 50 \Omega$

新方式の 2/4/8x インターポレータ/複素変調器、DAC 帯域幅のどこにでもキャリアを配置可能

補助 DAC により外付け VGA の制御とオフセット制御が可能

マルチチップ同期インターフェース

高性能、低ノイズの PLL クロック 逡倍器

デジタル反転 sinc フィルタ

100 ピン、露出パドル型 TQFP パッケージ

アプリケーション

無線インフラストラクチャ

WCDMA、CDMA2000、TD-SCDMA、WiMax、GSM

デジタル高/低 IF 合成

内部デジタル・アップコンバージョン機能

送信ダイバーシティ

ワイドバンド通信：LMDS/MMDS、ポイント to ポイント

概要

AD9776A (12 ビット) / AD9778A (14 ビット) / AD9779A (16 ビット) は、1 GSPS のサンプル・レートを提供する、高ダイナミック・レンジのデュアル D/A コンバータ (DAC) で、ナイキスト周波数までのマルチキャリアの生成が可能です。これらのデバイスは、複雑なデジタル変調やゲイン/オフセット補償など、ダイレクト・コンバージョン方式の送信アプリケーションに最適な機能を備えています。DAC 出力は、アナログ・デバイセズの ADL537x FMODE シリーズなどのアナログ直交変調器とのシームレスなインターフェースを実現できるように最適化されています。シリアル・ペリフェラル・インターフェース (SPI) によって、多くの内部パラメータの設定/読出しが可能です。出力フルスケール電流は、10~30 mA の範囲で設定できます。高度な 0.18 μ m CMOS プロセスで製造され、1.8 V 電源と 3.3 V 電源で動作し、総消費電力は 1.0 W です。100 ピン TQFP パッケージで提供しています。

製品のハイライト

1. 超低ノイズと優れた相互変調歪み (IMD) 性能により、ベースバンドから中間周波数までのワイドバンド信号の高品質合成が可能です。
2. 独自の DAC 出力スイッチング技術により、動的性能を高めます。
3. 電流出力は、さまざまなシングルエンド回路または差動回路トポロジ用に簡単に設定できます。
4. 調整可能なセットアップ/ホールドを備えた CMOS データ入力インターフェース。
5. 新方式の 2/4/8x インターポレータ/複素変調器により、DAC 帯域幅のどこにでもキャリアを配置可能です。

代表的なシグナル・チェーン

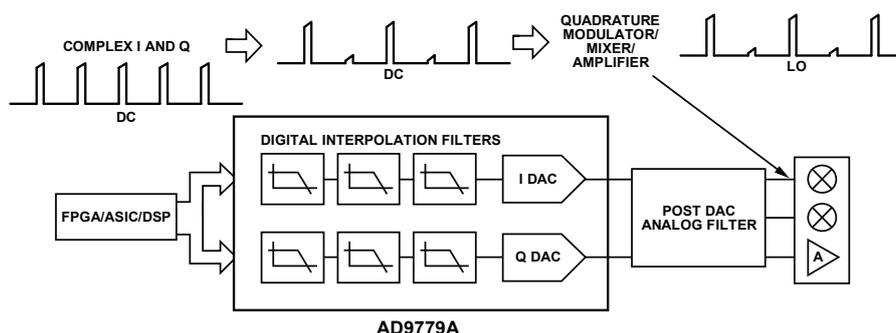


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪 MT ビル 2 号
電話 06 (6350) 6868

目次

特長	1	内部 PLL クロック逡倍器／クロック分配	36
アプリケーション	1	PLL のループ・フィルタ帯域幅	38
概要	1	AD9776A/AD9778A/AD9779A の PLL 自動検索機能	38
製品のハイライト	1	フルスケール電流の生成	38
代表的なシグナル・チェーン	1	AD9776A/AD9778A/AD9779A による、IF/RF 変換での 直交変調器の非理想的な性能の補正	40
改訂履歴	2	I/Q チャンネルのゲイン・マッチング	40
機能ブロック図	3	LO フィードスルー補償	40
仕様	4	ゲイン／オフセット補正の結果	40
DC 仕様	4	消費電力	41
デジタル仕様	5	パワーダウン・モードとスリープ・モード	43
デジタル入力データのタイミング仕様	6	インターリーブ・データ・モード	43
AC 仕様	6	タイミング情報	43
絶対最大定格	7	デジタル入力データ・バスのタイミング確認	45
熱抵抗	7	PLL のイネーブル／ディスエーブルによる入力データと REFCLK 入力（ピン5 とピン6）の同期化	45
ESD に関する注意	7	有効なタイミング・ウィンドウ、SYNC_I から REFCLK および内部 DACCLK へ	46
ピン配置と機能の説明	8	データ遅延ライン、誤差補正、手動モード	47
代表的な性能特性	14	データ遅延ライン、誤差補正、自動モード	48
用語の説明	23	マルチ DAC 同期	48
動作原理	24	評価用ボードの動作	49
AD9776/AD9778/AD9779 と AD9776A/AD9778A/ AD9779A の差	24	実装された直交変調器 ADL5372 を使用するための AD9776A/AD9778A/AD9779A 評価用ボードの変更	51
シリアル・パリティ・インターフェース	25	評価用ボードの回路図	52
MSB/LSB 転送	26	外形寸法	66
SPI レジスタのマップ	27	オーダー・ガイド	66
インターポレーション・フィルタのアーキテクチャ	31		
インターポレーション・フィルタの 最小／最大帯域幅仕様	35		
REFCLK 入力の駆動	36		

改訂履歴

8/07—Revision 0: Initial Version

機能ブロック図

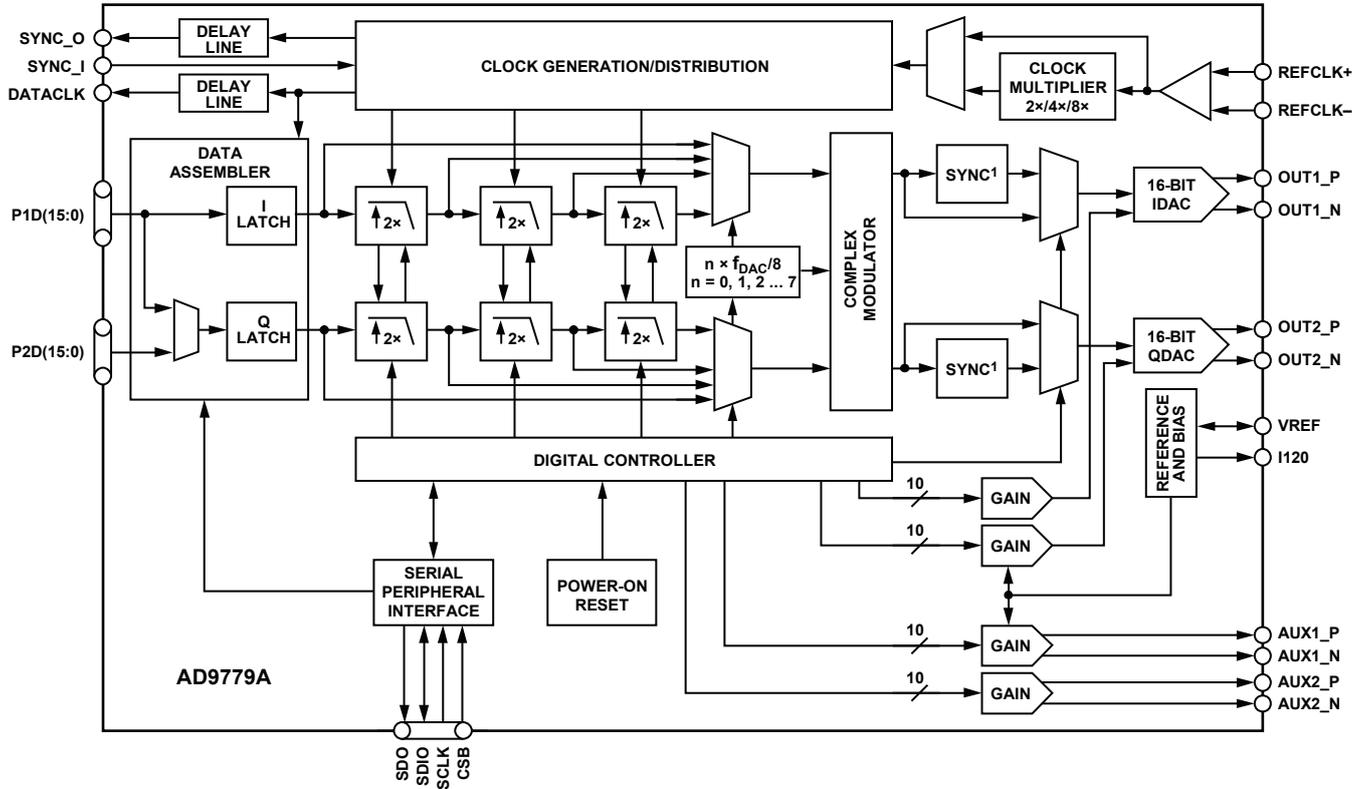


図 2. AD9776A/AD9778A/AD9779A の機能ブロック図

06452-001

仕様

DC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。

表 1.

Parameter	AD9776A			AD9778A			AD9779A			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION		12			14			16		Bits
ACCURACY										
Differential Nonlinearity (DNL)		±0.1			±0.65			±2.1		LSB
Integral Nonlinearity (INL)		±0.6			±1			±3.7		LSB
MAIN DAC OUTPUTS										
Offset Error	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
Gain Error (with Internal Reference)		±2			±2			±2		% FSR
Full-Scale Output Current ¹	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
Output Compliance Range	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
Output Resistance		10			10			10		MΩ
Gain DAC Monotonicity		Guaranteed			Guaranteed			Guaranteed		
MAIN DAC TEMPERATURE DRIFT										
Offset		0.04			0.04			0.04		ppm/°C
Gain		100			100			100		ppm/°C
Reference Voltage		30			30			30		ppm/°C
AUX DAC OUTPUTS										
Resolution		10			10			10		Bits
Full-Scale Output Current ¹	-1.998		+1.998	-1.998		+1.998	-1.998		+1.998	mA
Output Compliance Range (Source)	0		1.6	0		1.6	0		1.6	V
Output Compliance Range (Sink)	0.8		1.6	0.8		1.6	0.8		1.6	V
Output Resistance		1			1			1		MΩ
AUX DAC Monotonicity		Guaranteed			Guaranteed			Guaranteed		
REFERENCE										
Internal Reference Voltage		1.2			1.2			1.2		V
Output Resistance		5			5			5		kΩ
ANALOG SUPPLY VOLTAGES										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	2.05	1.70	1.8	2.05	1.70	1.8	2.05	V
DIGITAL SUPPLY VOLTAGES										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	2.05	1.70	1.8	2.05	1.70	1.8	2.05	V
POWER CONSUMPTION										
1× Mode, $f_{DAC} = 100\text{ MSPS}$, IF = 1 MHz		250	300		250	300		250	300	mW
2× Mode, $f_{DAC} = 320\text{ MSPS}$, IF = 16 MHz, PLL Off		498			498			498		mW
2× Mode, $f_{DAC} = 320\text{ MSPS}$, IF = 16 MHz, PLL On		588			588			588		mW
4× Mode, $f_{DAC}/4$ Modulation, $f_{DAC} = 500\text{ MSPS}$, IF = 137.5 MHz, Q DAC Off		572			572			572		mW
8× Mode, $f_{DAC}/4$ Modulation, $f_{DAC} = 1\text{ GSPS}$, IF = 262.5 MHz		980			980			980		mW
Power-Down Mode		2.5	9.8		2.5	9.8		2.5	9.8	mW
Power Supply Rejection Ratio, AVDD33	-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	% FSR/V
OPERATING RANGE	-40	+25	+85	-40	+25	+85	-40	+25	+85	°C

¹ 10 kΩ の外付け抵抗に基づく。

デジタル仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。特に指定のない限り、LVDS ドライバとレシーバは、IEEE-1596 reduced range link（縮小範囲リンク）に準拠しています。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL					
Input V_{IN} Logic High		2.0			V
Input V_{IN} Logic Low				0.8	V
Maximum Input Data Rate at Interpolation					
1×		300			MSPS
2×		250			MSPS
4×		200			MSPS
8×	$DVDD18, CVDD18 = 1.8\text{ V} \pm 5\%$	112.5			MSPS
8×	$DVDD18, CVDD18 = 1.9\text{ V} \pm 5\%$	125			MSPS
8×	$DVDD18, CVDD18 = 2.0\text{ V} \pm 2\%$	137.5			MSPS
CMOS OUTPUT LOGIC LEVEL (DATACLK, PIN 37)¹					
Output V_{OUT} Logic High		2.4			V
Output V_{OUT} Logic Low				0.4	V
LVDS RECEIVER INPUTS (SYNC_I+, SYNC_I-)					
Input Voltage Range, V_{IA} or V_{IB}	$SYNC_I+ = V_{IA}, SYNC_I- = V_{IB}$	825		1575	mV
Input Differential Threshold, V_{IDTH}		-100		+100	mV
Input Differential Hysteresis, $V_{IDTHH} - V_{IDTHL}$			20		mV
Receiver Differential Input Impedance, R_{IN}		80		120	Ω
LVDS Input Rate				125	MSPS
Set-Up Time, SYNC_I to DAC Clock		0.3			ns
Hold Time, SYNC_I to DAC Clock		0.9			ns
LVDS DRIVER OUTPUTS (SYNC_O+, SYNC_O-)					
Output Voltage High, V_{OA} or V_{OB}	$SYNC_O+ = V_{OA}, SYNC_O- = V_{OB}, 100\ \Omega$ termination			1375	mV
Output Voltage Low, V_{OA} or V_{OB}		1025			mV
Output Differential Voltage, $ V_{OD} $		150	200	250	mV
Output Offset Voltage, V_{OS}		1150		1250	mV
Output Impedance, R_O	Single-ended	80	100	120	Ω
Maximum Clock Rate	$DVDD18, CVDD18 = 1.8\text{ V} \pm 5\%$	0.9			GHz
	$DVDD18, CVDD18 = 1.9\text{ V} \pm 5\%$	1.0			GHz
	$DVDD18, CVDD18 = 2.0\text{ V} \pm 2\%$	1.1			GHz
DAC CLOCK INPUT (REFCLK+, REFCLK-)					
Differential Peak-to-Peak Voltage		400	800	2000	mV
Common-Mode Voltage		300	400	500	mV
Maximum Clock Rate		1			GSPS
SERIAL PERIPHERAL INTERFACE					
Maximum Clock Rate (SCLK)		40			MHz
Minimum Pulse Width High				12.5	ns
Minimum Pulse Width Low				12.5	ns
Set-Up Time, SDI to SCLK		1.6			ns
Hold Time, SDI to SCLK		0.0			ns
Data Valid, SDO to SCLK		2.0			ns

¹ 仕様は、1 k Ω 負荷に 100 MHz の DATACLK 周波数を供給し、最大駆動能力が 8 mA の場合です。速度や負荷がこれより大きい場合は、この信号に対して外付けバッファの使用を推奨します。

デジタル入力データのタイミング仕様

表 3.

Parameter	Min	Typ	Max	Unit
INPUT DATA (ALL MODES, -40°C to +85°C) ¹				
Setup Time, Input Data to DATACLK	3.0			ns
Hold Time, Input Data to DATACLK	-0.05			ns
Setup Time, Input Data to REFCLK	-0.8			ns
Hold Time, Input Data to REFCLK	3.8			ns

¹ タイミングと温度の関係、およびデータ有効のキープアウト・ウィンドウについては、表 20 を参照してください。

AC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。

表 4 .

Parameter	AD9776A			AD9778A			AD9779A			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{DAC} = 100\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		82			82			82		dBc
$f_{DAC} = 200\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		81			81			82		dBc
$f_{DAC} = 400\text{ MSPS}$, $f_{OUT} = 70\text{ MHz}$		80			80			80		dBc
$f_{DAC} = 800\text{ MSPS}$, $f_{OUT} = 70\text{ MHz}$		85			85			87		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)										
$f_{DAC} = 200\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		87			87			91		dBc
$f_{DAC} = 400\text{ MSPS}$, $f_{OUT} = 60\text{ MHz}$		80			85			85		dBc
$f_{DAC} = 400\text{ MSPS}$, $f_{OUT} = 80\text{ MHz}$		75			81			81		dBc
$f_{DAC} = 800\text{ MSPS}$, $f_{OUT} = 100\text{ MHz}$		75			80			81		dBc
NOISE SPECTRAL DENSITY (NSD) EIGHT-TONE, 500 kHz TONE SPACING										
$f_{DAC} = 200\text{ MSPS}$, $f_{OUT} = 80\text{ MHz}$		-152			-155			-158		dBm/Hz
$f_{DAC} = 400\text{ MSPS}$, $f_{OUT} = 80\text{ MHz}$		-155			-159			-160		dBm/Hz
$f_{DAC} = 800\text{ MSPS}$, $f_{OUT} = 80\text{ MHz}$		-157.5			-160			-161		dBm/Hz
WCDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER										
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 100\text{ MHz}$		76			78			79		dBc
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 200\text{ MHz}$		69			73			74		dBc
WCDMA SECOND ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER										
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 100\text{ MHz}$		77.5			80			81		dBc
$f_{DAC} = 491.52\text{ MSPS}$, $f_{OUT} = 200\text{ MHz}$		76			78			78		dBc

絶対最大定格

表 5.

Parameter	With Respect To	Rating
AVDD33, DVDD33	AGND, DGND, CGND	-0.3 V to +3.6 V
DVDD18, CVDD18	AGND, DGND, CGND	-0.3 V to +2.1 V
AGND	DGND, CGND	-0.3 V to +0.3 V
DGND	AGND, CGND	-0.3 V to +0.3 V
CGND	AGND, DGND	-0.3 V to +0.3 V
I120, VREF, IPTAT	AGND	-0.3 V to AVDD33 + 0.3 V
OUT1_P, OUT1_N, OUT2_P, OUT2_N, AUX1_P, AUX1_N, AUX2_P, AUX2_N	AGND	-1.0 V to AVDD33 + 0.3 V
P1D<15> to P1D<0>, P2D<15> to P2D<0>	DGND	-0.3 V to DVDD33 + 0.3 V
DATACLK, TXENABLE	DGND	-0.3 V to DVDD33 + 0.3 V
REFCLK+, REFCLK-	CGND	-0.3 V to CVDD18 + 0.3 V
RESET, IRQ, PLL_LOCK, SYNC_O+, SYNC_O-, SYNC_I+, SYNC_I-, CSB, SCLK, SDIO, SD \bar{O}	DGND	-0.3 V to DVDD33 + 0.3 V
Junction Temperature		+125°C
Storage Temperature Range		-65°C to +150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

100ピン、熱特性強化型 TQFP_EP パッケージ、 $\theta_{JA} = 19.1^\circ\text{C}/\text{W}$ (底部 EPAD を PC ボードにハンダ付け)。底部 EPAD を PC ボードにハンダ付けしない場合は、 $\theta_{JA} = 27.4^\circ\text{C}/\text{W}$ 。 $\theta_{JC} = 7.08^\circ\text{C}/\text{W}$ 。これらの仕様は自然空冷で有効です。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

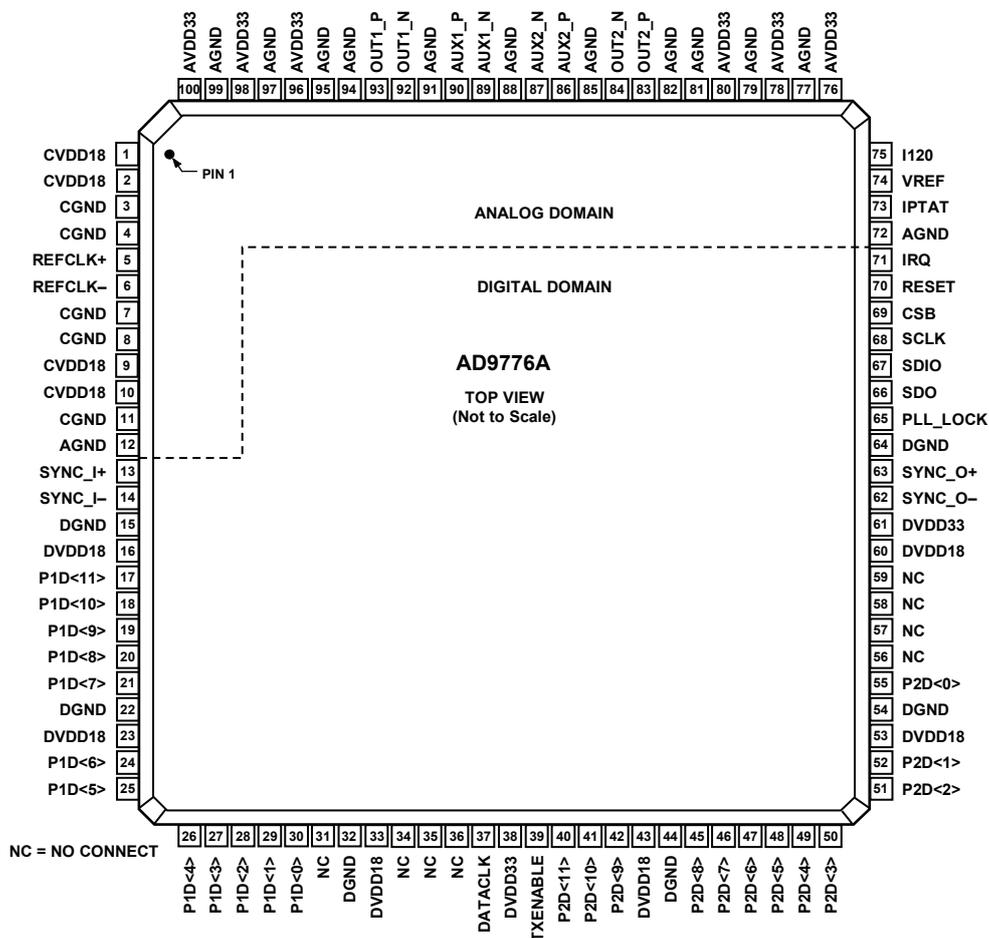


図 3. AD9776A のピン配置

表 6. AD9776A のピン機能の説明

ピン番号	記号	機能	ピン番号	記号	機能
1	CVDD18	1.8 V クロック電源	19	P1D<9>	ポート 1、データ入力 D9
2	CVDD18	1.8 V クロック電源	20	P1D<8>	ポート 1、データ入力 D8
3	CGND	クロック・コモン	21	P1D<7>	ポート 1、データ入力 D7
4	CGND	クロック・コモン	22	DGND	デジタル・コモン
5	REFCLK+	差動クロック入力	23	DVDD18	1.8 V デジタル電源
6	REFCLK-	差動クロック入力	24	P1D<6>	ポート 1、データ入力 D6
7	CGND	クロック・コモン	25	P1D<5>	ポート 1、データ入力 D5
8	CGND	クロック・コモン	26	P1D<4>	ポート 1、データ入力 D4
9	CVDD18	1.8 V クロック電源	27	P1D<3>	ポート 1、データ入力 D3
10	CVDD18	1.8 V クロック電源	28	P1D<2>	ポート 1、データ入力 D2
11	CGND	クロック・コモン	29	P1D<1>	ポート 1、データ入力 D1
12	AGND	アナログ・コモン	30	P1D<0>	ポート 1、データ入力 D0 (LSB)
13	SYNC_I+	差動同期入力	31	NC	無接続
14	SYNC_I-	差動同期入力	32	DGND	デジタル・コモン
15	DGND	デジタル・コモン	33	DVDD18	1.8 V デジタル電源
16	DVDD18	1.8 V デジタル電源	34	NC	無接続
17	P1D<11>	ポート 1、データ入力 D11 (MSB)	35	NC	無接続
18	P1D<10>	ポート 1、データ入力 D10	36	NC	無接続

AD9776A/AD9778A/AD9779A

ピン番号	記号	機能
37	DATACLK	データ・クロック出力
38	DVDD33	3.3 V デジタル電源
39	TXENABLE	送信イネーブル
40	P2D<11>	ポート 2、データ入力 D11 (MSB)
41	P2D<10>	ポート 2、データ入力 D10
42	P2D<9>	ポート 2、データ入力 D9
43	DVDD18	1.8 V デジタル電源
44	DGND	デジタル・コモン
45	P2D<8>	ポート 2、データ入力 D8
46	P2D<7>	ポート 2、データ入力 D7
47	P2D<6>	ポート 2、データ入力 D6
48	P2D<5>	ポート 2、データ入力 D5
49	P2D<4>	ポート 2、データ入力 D4
50	P2D<3>	ポート 2、データ入力 D3
51	P2D<2>	ポート 2、データ入力 D2
52	P2D<1>	ポート 2、データ入力 D1
53	DVDD18	1.8 V デジタル電源
54	DGND	デジタル・コモン
55	P2D<0>	ポート 2、データ入力 D0 (LSB)
56	NC	無接続
57	NC	無接続
58	NC	無接続
59	NC	無接続
60	DVDD18	1.8 V デジタル電源
61	DVDD33	3.3 V デジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLL ロック・インジケータ
66	SDO	SPI ポート・データ出力
67	SDIO	SPI ポート・データ入出力
68	SCLK	SPI ポート・クロック
69	CSB	SPI ポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ

ピン番号	記号	機能
71	IRQ	割込み要求
72	AGND	アナログ・コモン
73	IPTAT	工場テスト・ピン。出力電流は、絶対温度に比例し、25°C で約 14 μ A です (約 20 nA/°C のスロープ)。このピンはフロート状態にします。
74	VREF	電圧リファレンス出力
75	I120	120 μ A リファレンス電流
76	AVDD33	3.3 V アナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3 V アナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3 V アナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動 DAC 電流出力、チャンネル 2
84	OUT2_N	差動 DAC 電流出力、チャンネル 2
85	AGND	アナログ・コモン
86	AUX2_P	補助 DAC 電圧出力、チャンネル 2
87	AUX2_N	補助 DAC 電圧出力、チャンネル 2
88	AGND	アナログ・コモン
89	AUX1_N	補助 DAC 電圧出力、チャンネル 1
90	AUX1_P	補助 DAC 電圧出力、チャンネル 1
91	AGND	アナログ・コモン
92	OUT1_N	差動 DAC 電流出力、チャンネル 1
93	OUT1_P	差動 DAC 電流出力、チャンネル 1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3 V アナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3 V アナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3 V アナログ電源

AD9776A/AD9778A/AD9779A

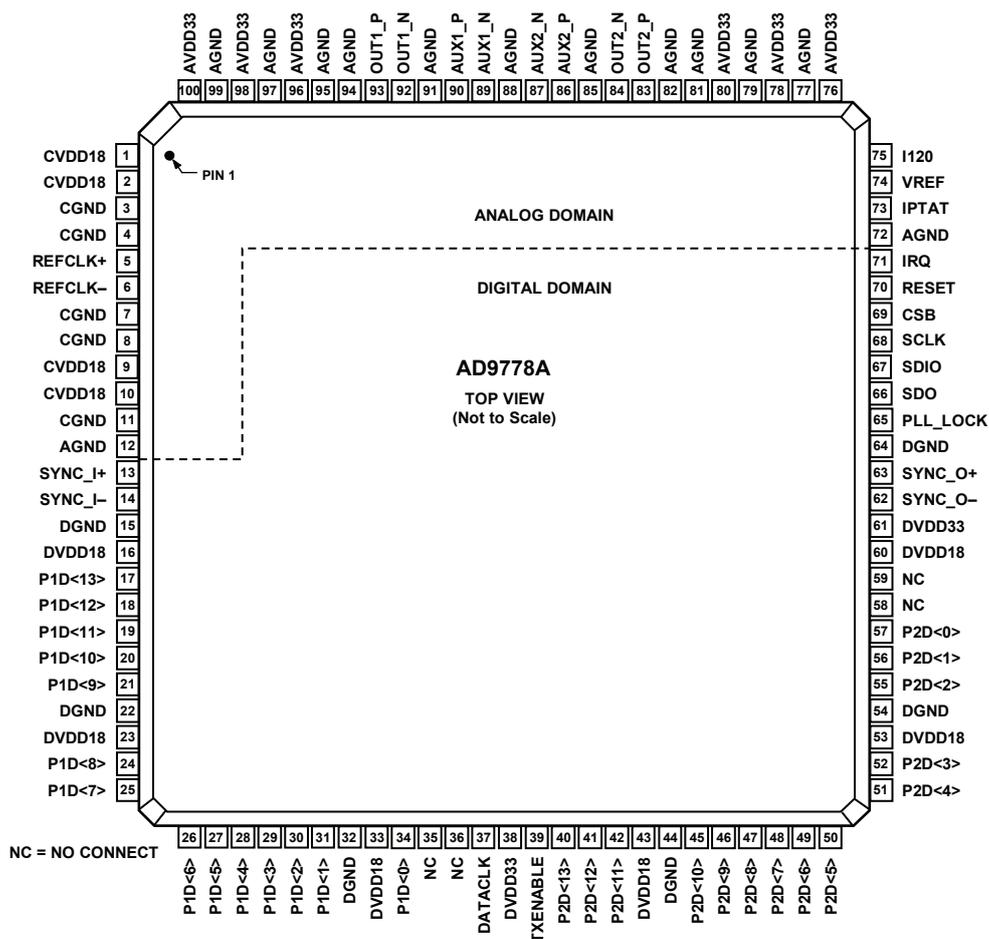


図 4. AD9778A のピン配置

表 7. AD9778A のピン機能の説明

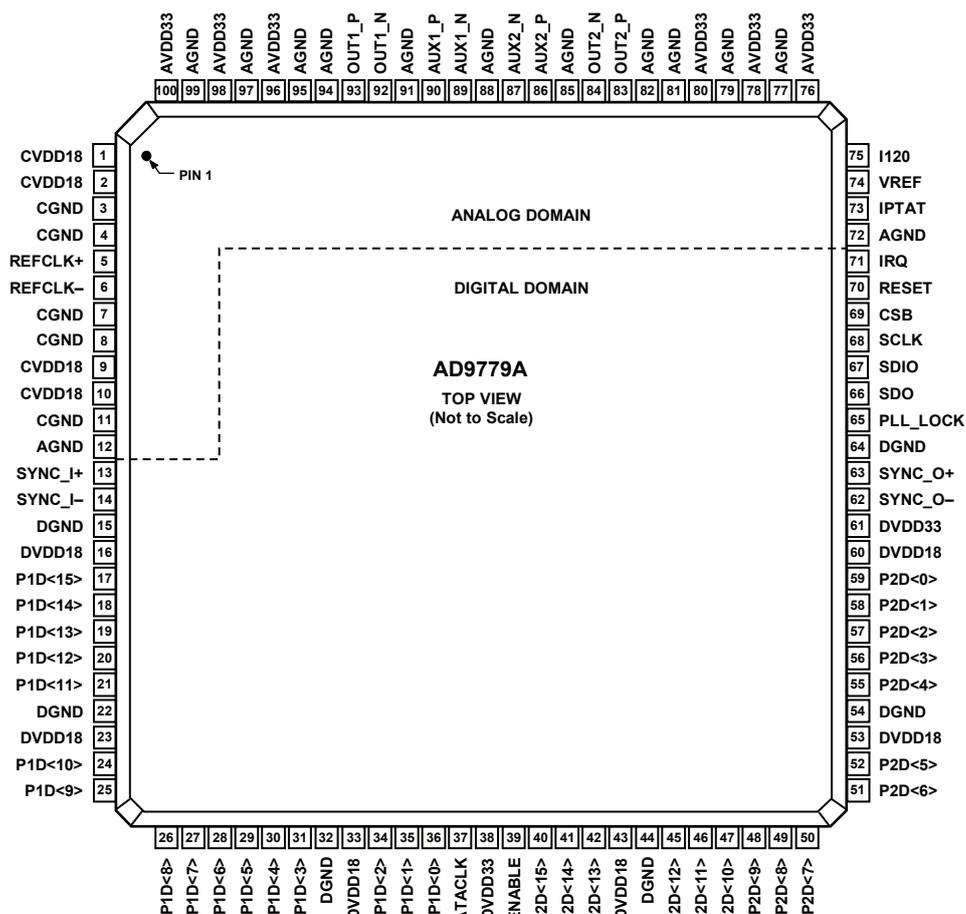
ピン番号	記号	機能	ピン番号	記号	機能
1	CVDD18	1.8 V クロック電源	21	P1D<9>	ポート 1、データ入力 D9
2	CVDD18	1.8 V クロック電源	22	DGND	デジタル・コモン
3	CGND	クロック・コモン	23	DVDD18	1.8 V デジタル電源
4	CGND	クロック・コモン	24	P1D<8>	ポート 1、データ入力 D8
5	REFCLK+	差動クロック入力	25	P1D<7>	ポート 1、データ入力 D7
6	REFCLK-	差動クロック入力	26	P1D<6>	ポート 1、データ入力 D6
7	CGND	クロック・コモン	27	P1D<5>	ポート 1、データ入力 D5
8	CGND	クロック・コモン	28	P1D<4>	ポート 1、データ入力 D4
9	CVDD18	1.8 V クロック電源	29	P1D<3>	ポート 1、データ入力 D3
10	CVDD18	1.8 V クロック電源	30	P1D<2>	ポート 1、データ入力 D2
11	CGND	クロック・コモン	31	P1D<1>	ポート 1、データ入力 D1
12	AGND	アナログ・コモン	32	DGND	デジタル・コモン
13	SYNC_I+	差動同期入力	33	DVDD18	1.8 V デジタル電源
14	SYNC_I-	差動同期入力	34	P1D<0>	ポート 1、データ入力 D0 (LSB)
15	DGND	デジタル・コモン	35	NC	無接続
16	DVDD18	1.8 V デジタル電源	36	NC	無接続
17	P1D<13>	ポート 1、データ入力 D13 (MSB)	37	DATACLK	データ・クロック出力
18	P1D<12>	ポート 1、データ入力 D12	38	DVDD33	3.3 V デジタル電源
19	P1D<11>	ポート 1、データ入力 D11	39	TXENABLE	送信イネーブル
20	P1D<10>	ポート 1、データ入力 D10	40	P2D<13>	ポート 2、データ入力 D13 (MSB)

AD9776A/AD9778A/AD9779A

ピン番号	記号	機能
41	P2D<12>	ポート 2、データ入力 D12
42	P2D<11>	ポート 2、データ入力 D11
43	DVDD18	1.8 V デジタル電源
44	DGND	デジタル・コモン
45	P2D<10>	ポート 2、データ入力 D10
46	P2D<9>	ポート 2、データ入力 D9
47	P2D<8>	ポート 2、データ入力 D8
48	P2D<7>	ポート 2、データ入力 D7
49	P2D<6>	ポート 2、データ入力 D6
50	P2D<5>	ポート 2、データ入力 D5
51	P2D<4>	ポート 2、データ入力 D4
52	P2D<3>	ポート 2、データ入力 D3
53	DVDD18	1.8 V デジタル電源
54	DGND	デジタル・コモン
55	P2D<2>	ポート 2、データ入力 D2
56	P2D<1>	ポート 2、データ入力 D1
57	P2D<0>	ポート 2、データ入力 D0 (LSB)
58	NC	無接続
59	NC	無接続
60	DVDD18	1.8 V デジタル電源
61	DVDD33	3.3 V デジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLL ロック・インジケータ
66	SDO	SPI ポート・データ出力
67	SDIO	SPI ポート・データ入出力
68	SCLK	SPI ポート・クロック
69	CSB	SPI ポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ
71	IRQ	割り込み要求
72	AGND	アナログ・コモン

ピン番号	記号	機能
73	IPTAT	工場テスト・ピン。出力電流は、絶対温度に比例し、25°C で約 14 μ A です (約 20 nA/°C のスロープ)。このピンはフロート状態にします。
74	VREF	電圧リファレンス出力
75	I120	120 μ A リファレンス電流
76	AVDD33	3.3 V アナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3 V アナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3 V アナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動 DAC 電流出力、チャンネル 2
84	OUT2_N	差動 DAC 電流出力、チャンネル 2
85	AGND	アナログ・コモン
86	AUX2_P	補助 DAC 電圧出力、チャンネル 2
87	AUX2_N	補助 DAC 電圧出力、チャンネル 2
88	AGND	アナログ・コモン
89	AUX1_N	補助 DAC 電圧出力、チャンネル 1
90	AUX1_P	補助 DAC 電圧出力、チャンネル 1
91	AGND	アナログ・コモン
92	OUT1_N	差動 DAC 電流出力、チャンネル 1
93	OUT1_P	差動 DAC 電流出力、チャンネル 1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3 V アナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3 V アナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3 V アナログ電源

AD9776A/AD9778A/AD9779A



06452-004

図 5. AD9779A のピン配置

表 8. AD9779A のピン機能の説明

ピン番号	記号	機能	ピン番号	記号	機能
1	CVDD18	1.8 V クロック電源	22	DGND	デジタル・コモン
2	CVDD18	1.8 V クロック電源	23	DVDD18	1.8 V デジタル電源
3	CGND	クロック・コモン	24	P1D<10>	ポート 1、データ入力 D10
4	CGND	クロック・コモン	25	P1D<9>	ポート 1、データ入力 D9
5	REFCLK+	差動クロック入力	26	P1D<8>	ポート 1、データ入力 D8
6	REFCLK-	差動クロック入力	27	P1D<7>	ポート 1、データ入力 D7
7	CGND	クロック・コモン	28	P1D<6>	ポート 1、データ入力 D6
8	CGND	クロック・コモン	29	P1D<5>	ポート 1、データ入力 D5
9	CVDD18	1.8 V クロック電源	30	P1D<4>	ポート 1、データ入力 D4
10	CVDD18	1.8 V クロック電源	31	P1D<3>	ポート 1、データ入力 D3
11	CGND	クロック・コモン	32	DGND	デジタル・コモン
12	AGND	アナログ・コモン	33	DVDD18	1.8 V デジタル電源
13	SYNC_I+	差動同期入力	34	P1D<2>	ポート 1、データ入力 D2
14	SYNC_I-	差動同期入力	35	P1D<1>	ポート 1、データ入力 D1
15	DGND	デジタル・コモン	36	P1D<0>	ポート 1、データ入力 D0 (LSB)
16	DVDD18	1.8 V デジタル電源	37	DATACLK	データ・クロック出力
17	P1D<15>	ポート 1、データ入力 D15 (MSB)	38	DVDD33	3.3 V デジタル電源
18	P1D<14>	ポート 1、データ入力 D14	39	TXENABLE	送信イネーブル
19	P1D<13>	ポート 1、データ入力 D13	40	P2D<15>	ポート 2、データ入力 D15 (MSB)
20	P1D<12>	ポート 1、データ入力 D12	41	P2D<14>	ポート 2、データ入力 D14
21	P1D<11>	ポート 1、データ入力 D11	42	P2D<13>	ポート 2、データ入力 D13

AD9776A/AD9778A/AD9779A

ピン番号	記号	機能
43	DVDD18	1.8 V デジタル電源
44	DGND	デジタル・コモン
45	P2D<12>	ポート 2、データ入力 D12
46	P2D<11>	ポート 2、データ入力 D11
47	P2D<10>	ポート 2、データ入力 D10
48	P2D<9>	ポート 2、データ入力 D9
49	P2D<8>	ポート 2、データ入力 D8
50	P2D<7>	ポート 2、データ入力 D7
51	P2D<6>	ポート 2、データ入力 D6
52	P2D<5>	ポート 2、データ入力 D5
53	DVDD18	1.8 V デジタル電源
54	DGND	デジタル・コモン
55	P2D<4>	ポート 2、データ入力 D4
56	P2D<3>	ポート 2、データ入力 D3
57	P2D<2>	ポート 2、データ入力 D2
58	P2D<1>	ポート 2、データ入力 D1
59	P2D<0>	ポート 2、データ入力 D0 (LSB)
60	DVDD18	1.8 V デジタル電源
61	DVDD33	3.3 V デジタル電源
62	SYNC_O-	差動同期出力
63	SYNC_O+	差動同期出力
64	DGND	デジタル・コモン
65	PLL_LOCK	PLL ロック・インジケータ
66	SDO	SPI ポート・データ出力
67	SDIO	SPI ポート・データ入出力
68	SCLK	SPI ポート・クロック
69	CSB	SPI ポート・チップ・セレクト・バー
70	RESET	リセット、アクティブ・ハイ
71	IRQ	割り込み要求
72	AGND	アナログ・コモン

ピン番号	記号	機能
73	IPTAT	工場テスト・ピン。出力電流は、絶対温度に比例し、25°C で約 14 μ A です (約 20 nA/°C のスロープ)。このピンはフロート状態にします。
74	VREF	電圧リファレンス出力
75	I120	120 μ A リファレンス電流
76	AVDD33	3.3 V アナログ電源
77	AGND	アナログ・コモン
78	AVDD33	3.3 V アナログ電源
79	AGND	アナログ・コモン
80	AVDD33	3.3 V アナログ電源
81	AGND	アナログ・コモン
82	AGND	アナログ・コモン
83	OUT2_P	差動 DAC 電流出力、チャンネル 2
84	OUT2_N	差動 DAC 電流出力、チャンネル 2
85	AGND	アナログ・コモン
86	AUX2_P	補助 DAC 電圧出力、チャンネル 2
87	AUX2_N	補助 DAC 電圧出力、チャンネル 2
88	AGND	アナログ・コモン
89	AUX1_N	補助 DAC 電圧出力、チャンネル 1
90	AUX1_P	補助 DAC 電圧出力、チャンネル 1
91	AGND	アナログ・コモン
92	OUT1_N	差動 DAC 電流出力、チャンネル 1
93	OUT1_P	差動 DAC 電流出力、チャンネル 1
94	AGND	アナログ・コモン
95	AGND	アナログ・コモン
96	AVDD33	3.3 V アナログ電源
97	AGND	アナログ・コモン
98	AVDD33	3.3 V アナログ電源
99	AGND	アナログ・コモン
100	AVDD33	3.3 V アナログ電源

代表的な性能特性

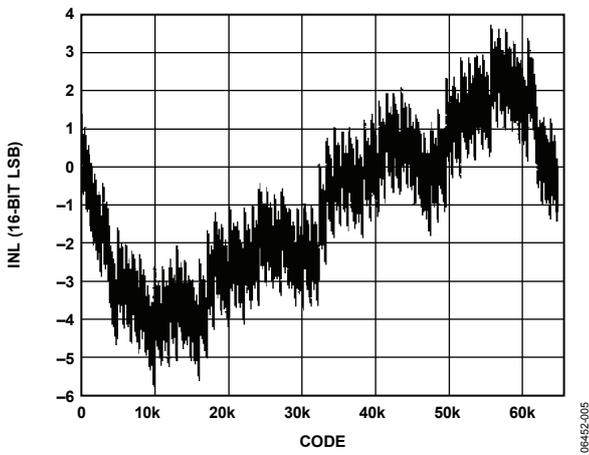


図 6. 代表的な INL (AD9779A)

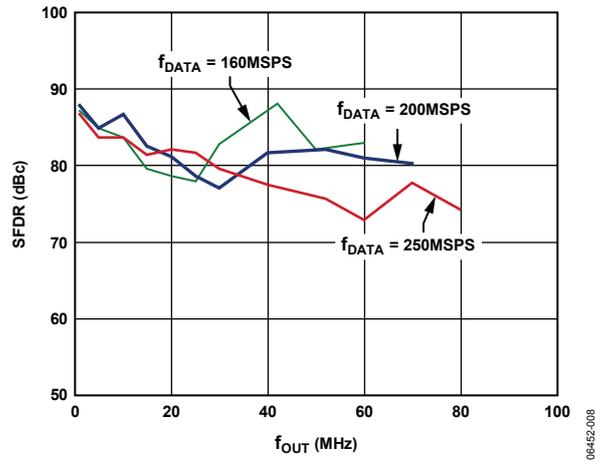


図 9. f_{OUT} 対 帯域内 SFDR (AD9779A、2×インターポレーション)

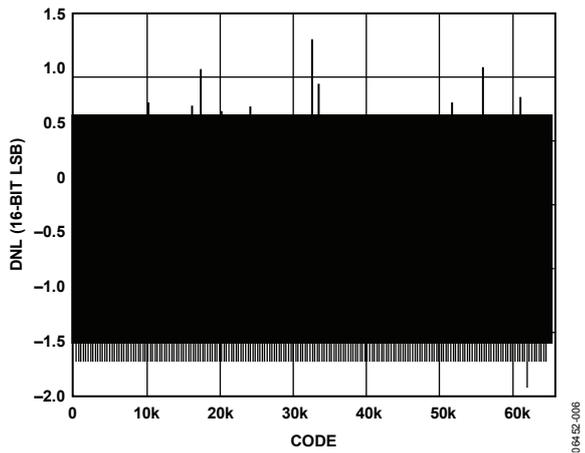


図 7. 代表的な DNL (AD9779A)

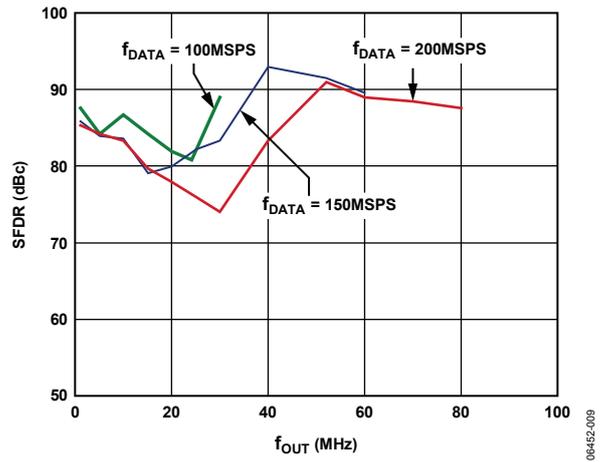


図 10. f_{OUT} 対 帯域内 SFDR (AD9779A、4×インターポレーション)

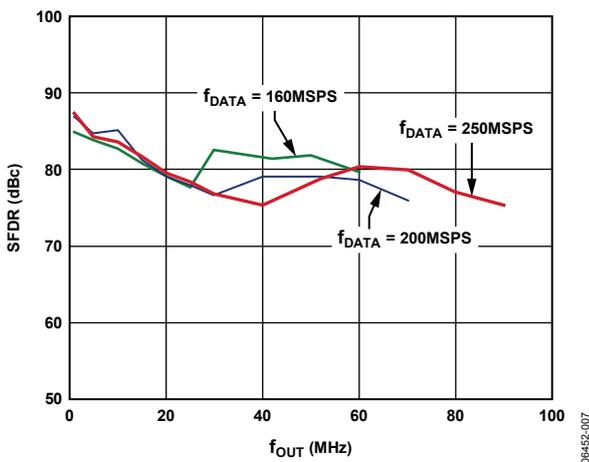


図 8. f_{OUT} 対 帯域内 SFDR (AD9779A、1×インターポレーション)

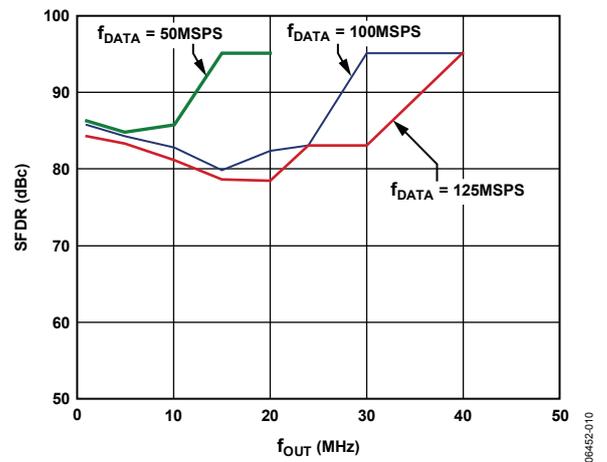


図 11. f_{OUT} 対 帯域内 SFDR (AD9779A、8×インターポレーション)

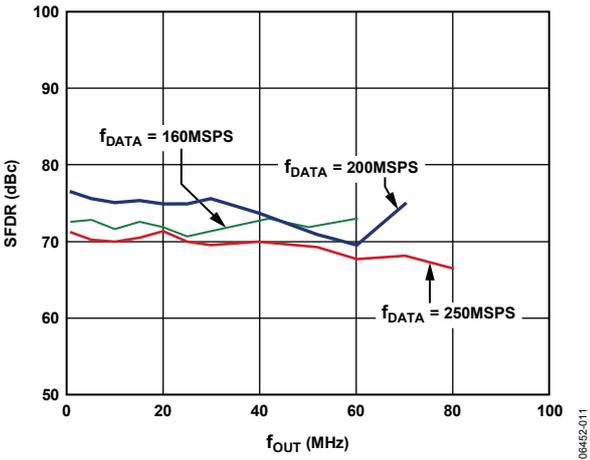


図 12. f_{OUT} 対帯域外 SFDR (AD9779A、2×インターポレーション)

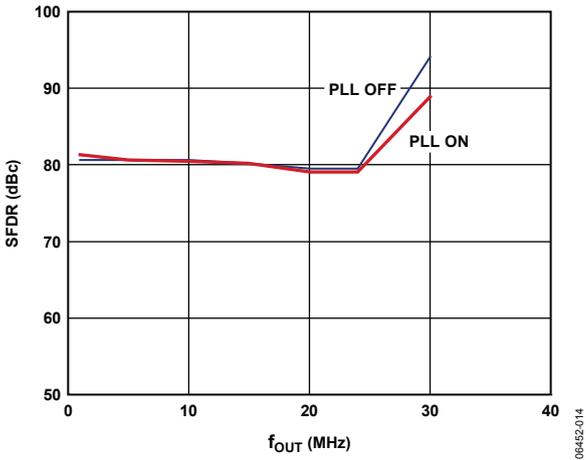


図 15. 帯域内 SFDR (AD9779A、4×インターポレーション、 $f_{DATA} = 100$ MSPS、PLL オン/オフ)

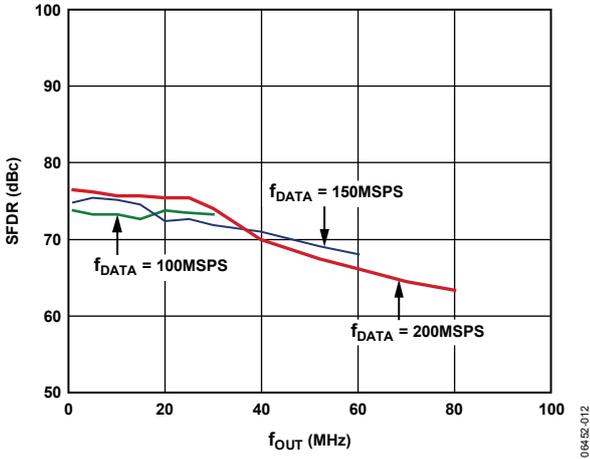


図 13. f_{OUT} 対帯域外 SFDR (AD9779A、4×インターポレーション)

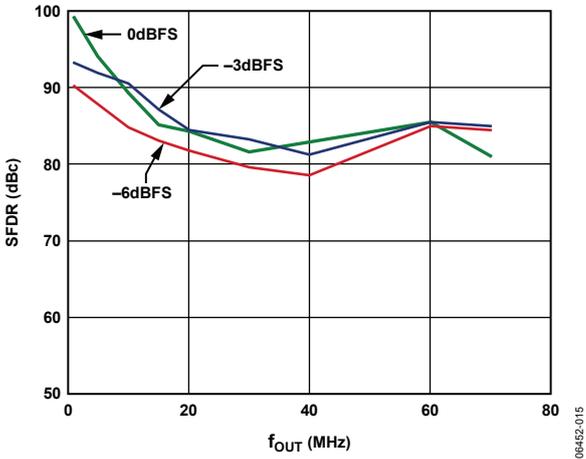


図 16. f_{OUT} 対帯域内 SFDR、デジタル・フルスケール (AD9779A)

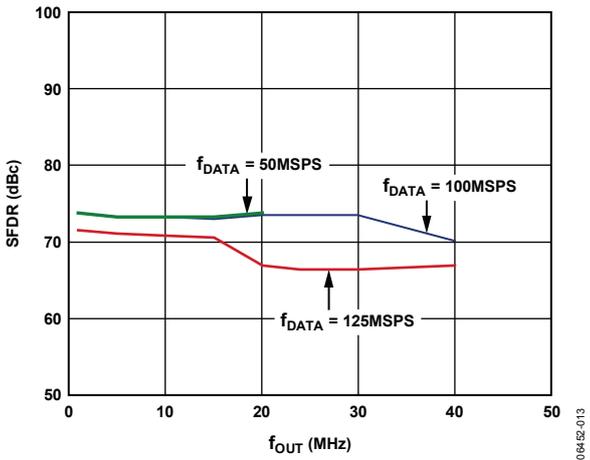


図 14. f_{OUT} 対帯域外 SFDR (AD9779A、8×インターポレーション)

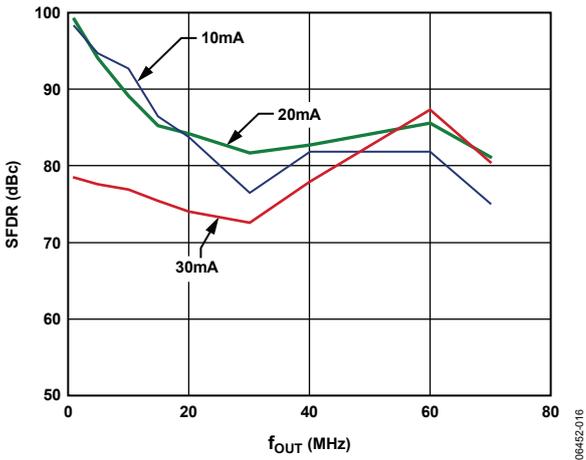


図 17. f_{OUT} 対帯域内 SFDR、出力フルスケール電流 (AD9779A)

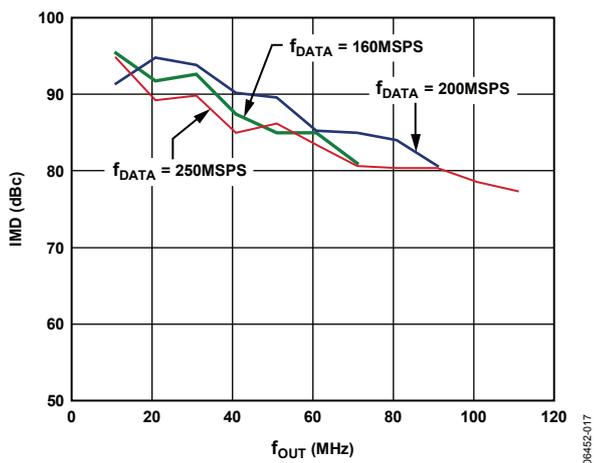


図 18. f_{OUT} 対 3 次 IMD (AD9779A、1×インターポレーション)

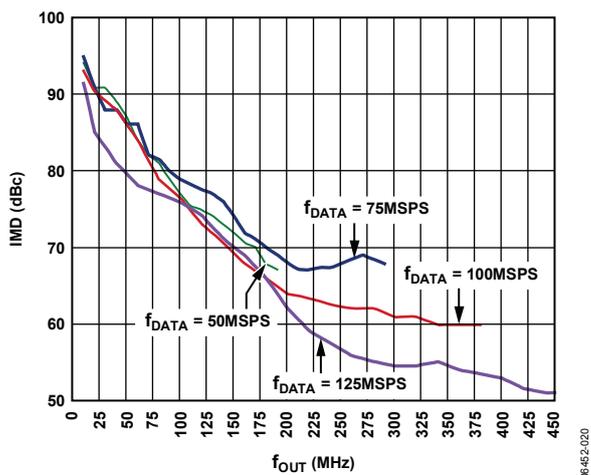


図 21. f_{OUT} 対 3 次 IMD (AD9779A、8×インターポレーション)

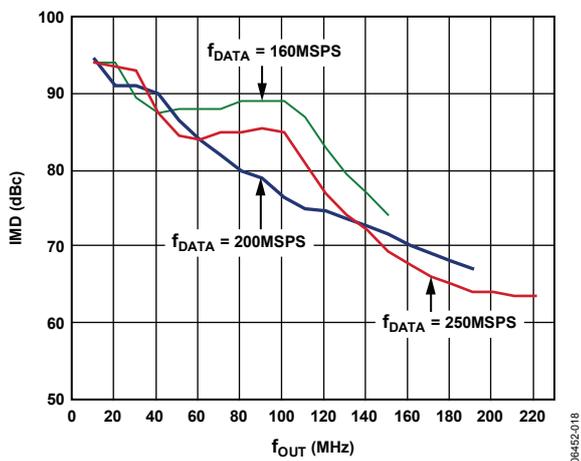


図 19. f_{OUT} 対 3 次 IMD (AD9779A、2×インターポレーション)

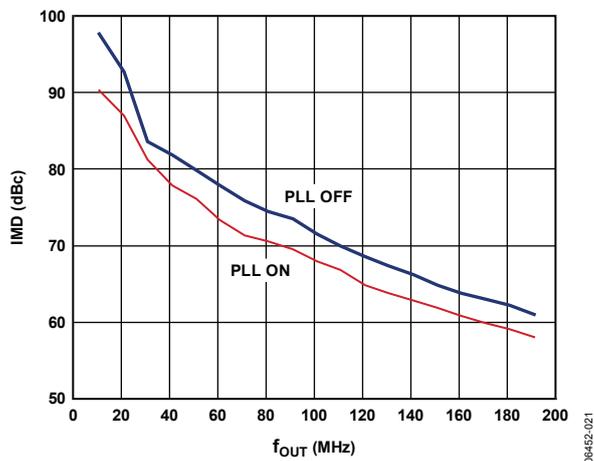


図 22. f_{OUT} 対 3 次 IMD (AD9779A、4×インターポレーション、 $f_{DATA} = 100$ MSPS、PLL オン 対 PLL オフ)

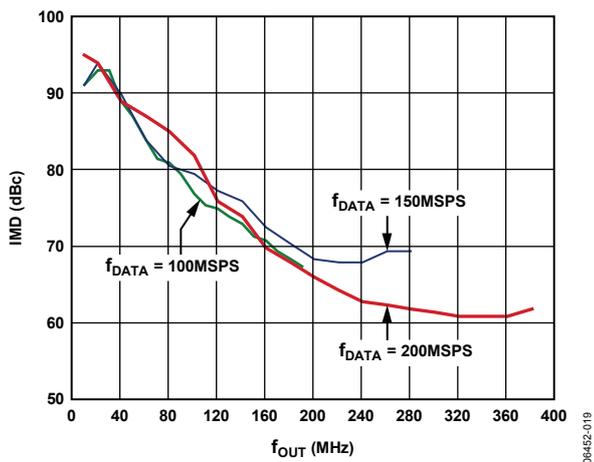


図 20. f_{OUT} 対 3 次 IMD (AD9779A、4×インターポレーション)

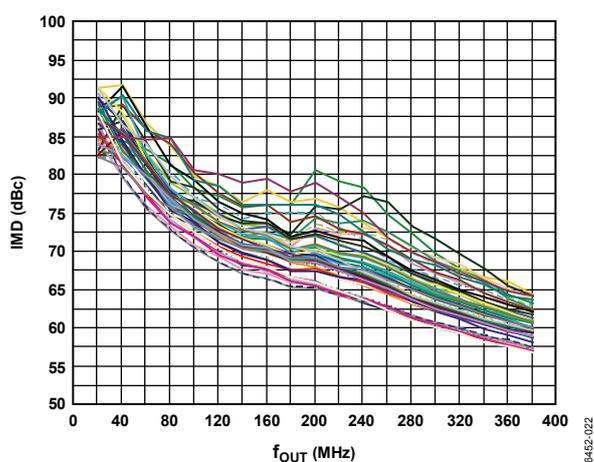


図 23. f_{OUT} 対 3 次 IMD (AD9779A、50 超のデバイス、4×インターポレーション、 $f_{DATA} = 200$ MSPS)

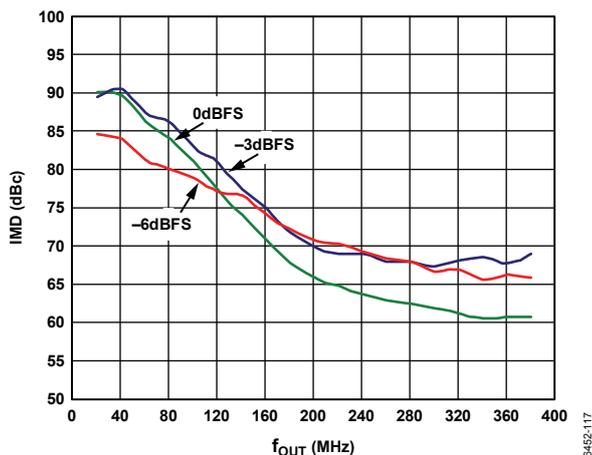


図 24. IMD 性能、デジタル・フルスケール入力、出力周波数の関係 (AD9779A、4×インターポレーション、 $f_{DATA} = 200$ MSPS)

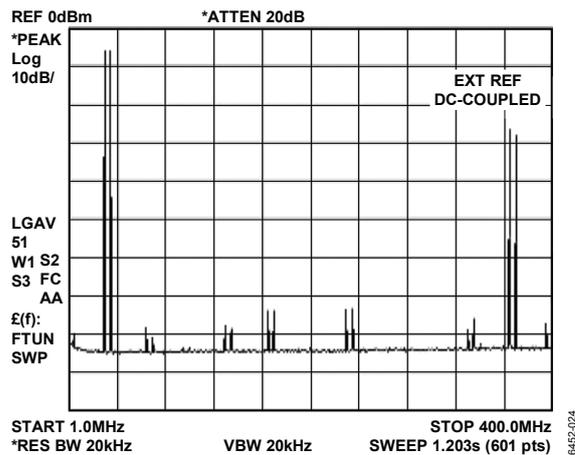


図 27. ツートーン・スペクトル (AD9779A、4×インターポレーション、 $f_{DATA} = 100$ MSPS、 $f_{OUT} = 30$ MHz、35 MHz)

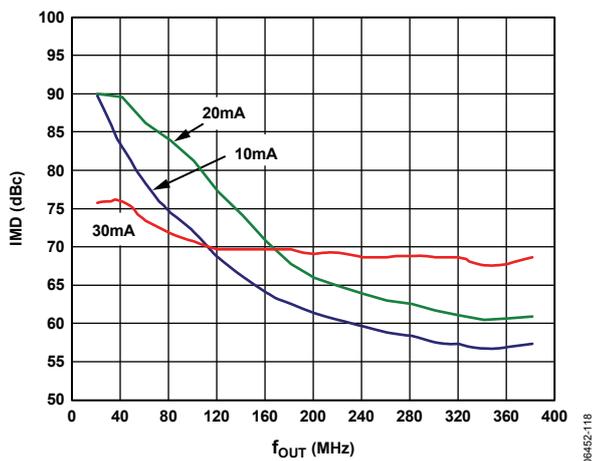


図 25. IMD 性能、フルスケール出力電流、出力周波数の関係 (AD9779A、4×インターポレーション、 $f_{DATA} = 200$ MSPS)

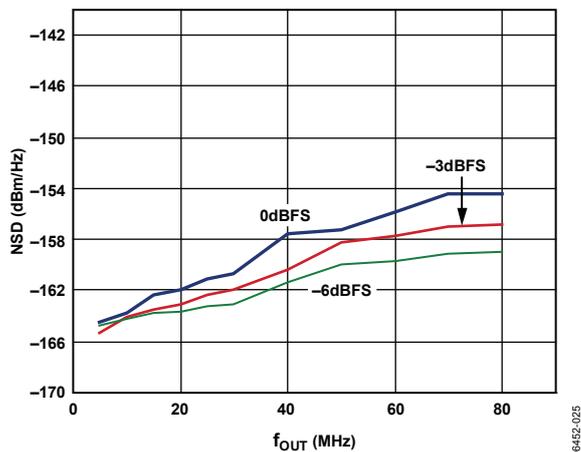


図 28. シングル・トーン入力のデジタル・フルスケール対ノイズ・スペクトル密度 (AD9779A、 $f_{DATA} = 200$ MSPS、2×インターポレーション)

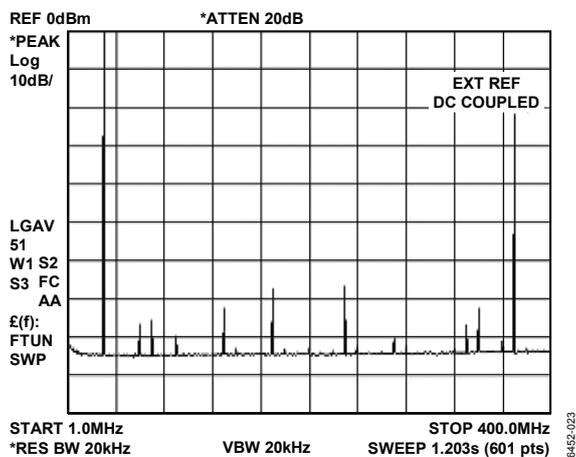


図 26. シングル・トーン (AD9779A、4×インターポレーション、 $f_{DATA} = 100$ MSPS、 $f_{OUT} = 30$ MHz)

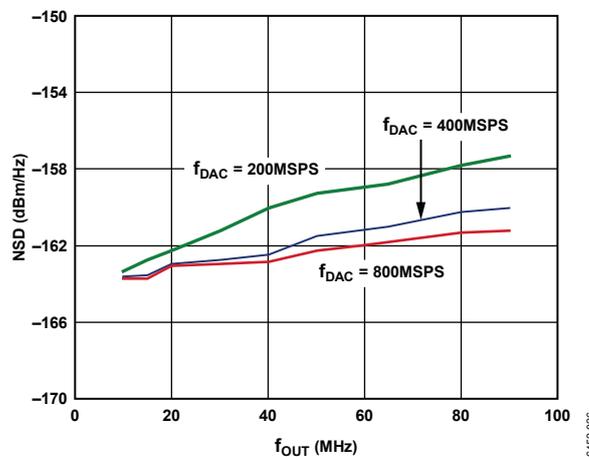


図 29. ノイズ・スペクトル密度、 f_{DAC} 、出力周波数の関係 (AD9779A、500 kHz 間隔による 8 トーン入力、 $f_{DATA} = 200$ MSPS)

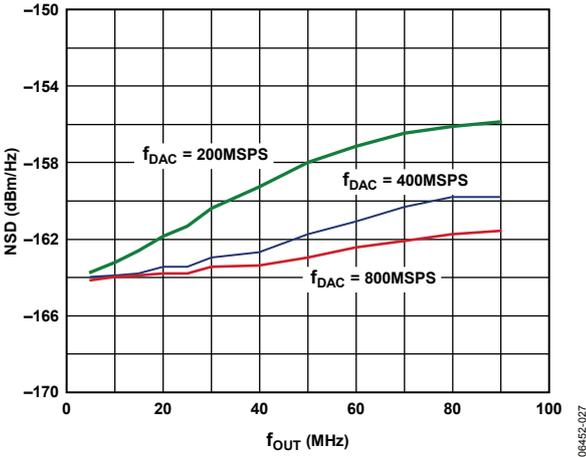


図 30. ノイズ・スペクトル密度、 f_{DAC} 、出力周波数の関係 (AD9779A、-6 dBFS でのシングル・トーン入力)

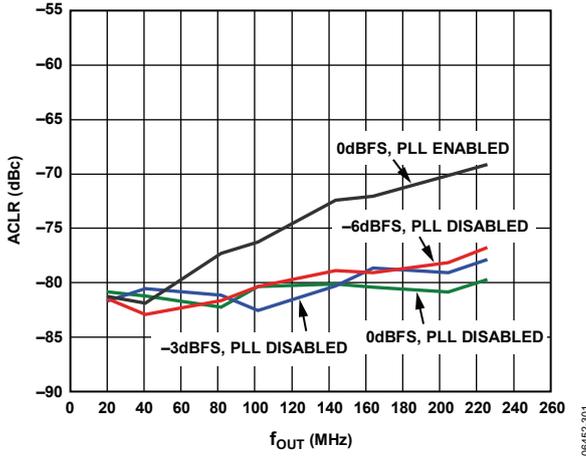


図 32. 第 2 隣接帯域 WCDMA に対する ACLR (AD9779A、4×インターポレーション、 $f_{DATA} = 122.88$ MSPS、内部変調でベースバンド信号を IF に変換)

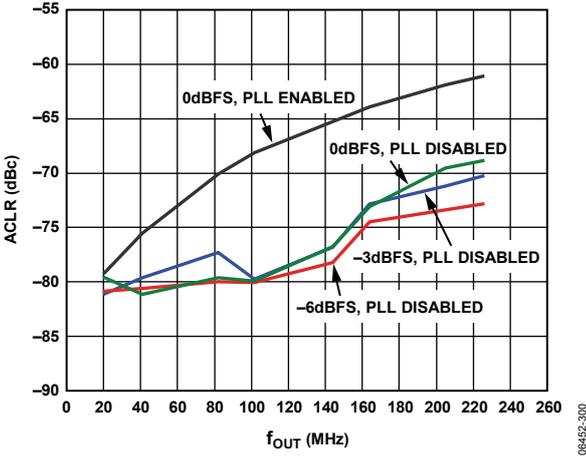


図 31. 第 1 隣接帯域 WCDMA に対する ACLR (AD9779A、4×インターポレーション、 $f_{DATA} = 122.88$ MSPS、内部変調でベースバンド信号を IF に変換)

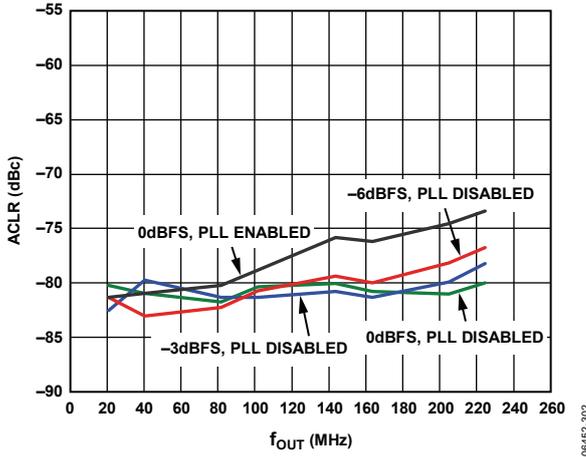


図 33. 第 3 隣接帯域 WCDMA に対する ACLR (AD9779A、4×インターポレーション、 $f_{DATA} = 122.88$ MSPS、内部変調でベースバンド信号を IF に変換)

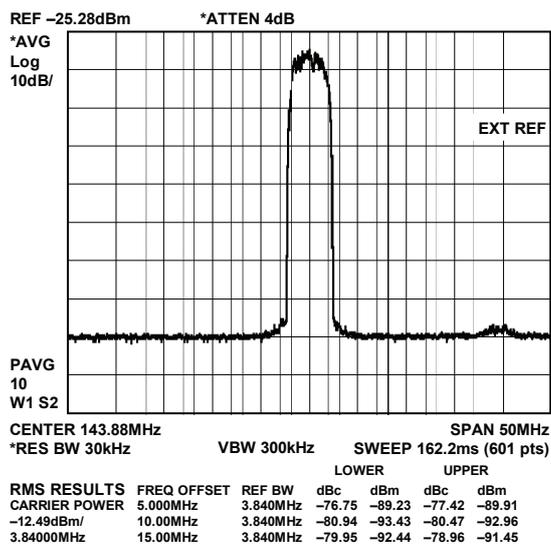


図 34. WCDMA 信号 (AD9779A、4×インターポレーション、 $f_{DATA} = 122.88$ MSPS、 $f_{DAC}/4$ の変調)

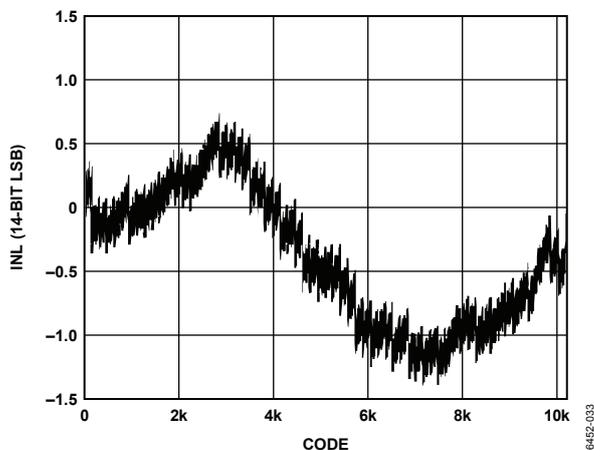


図 36. 代表的な INL (AD9778A)

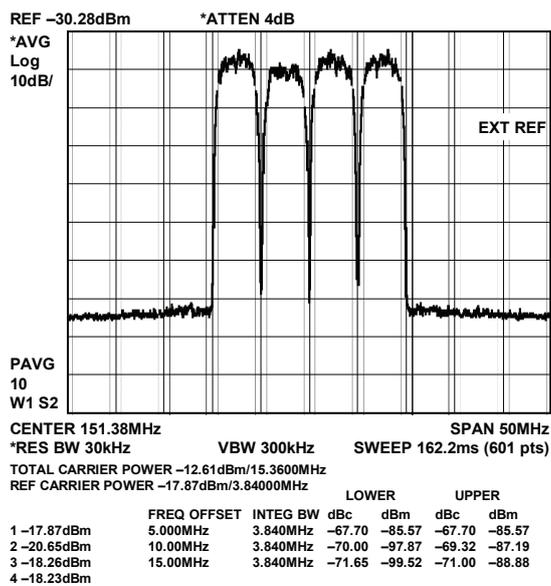


図 35. マルチキャリア WCDMA 信号 (AD9779A、4×インターポレーション、 $f_{DAC} = 122.88$ MSPS、 $f_{DAC}/4$ の変調)

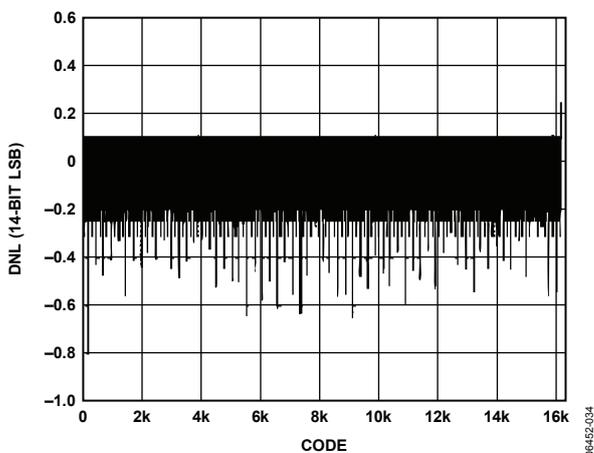


図 37. 代表的な DNL (AD9778A)

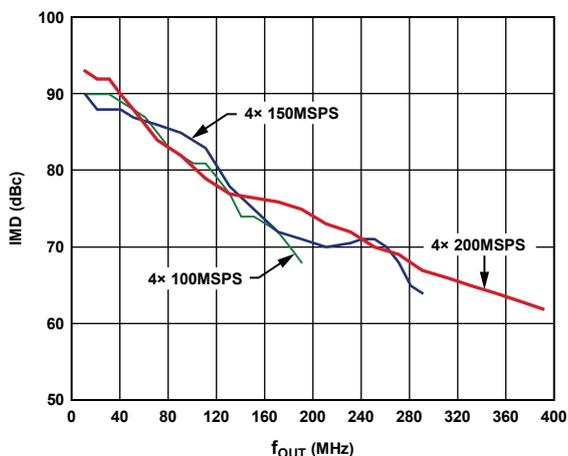


図 38. f_{OUT} 対 IMD (AD9778A、4×インターポレーション)

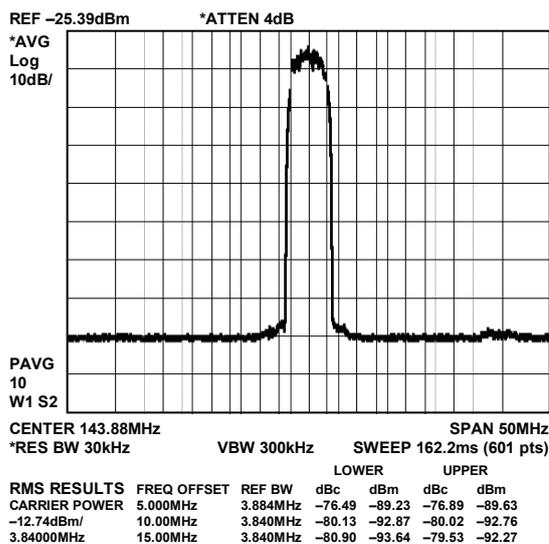


図 41. WCDMA (AD9778A、 $f_{DATA} = 122.88$ MSPS、4×インターポレーション、 $f_{DAC}/4$ の変調)

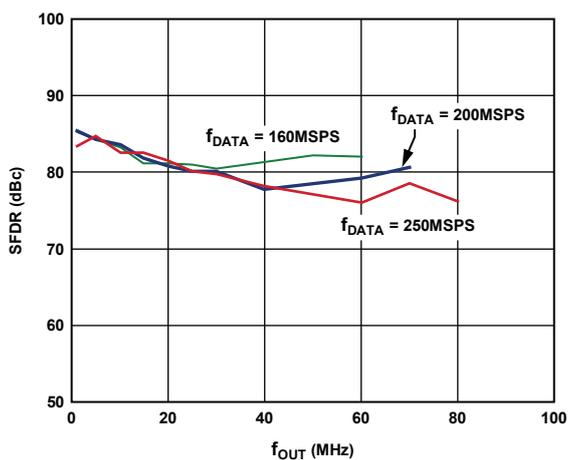


図 39. f_{OUT} 対 帯域内 SFDR (AD9778A、2×インターポレーション)

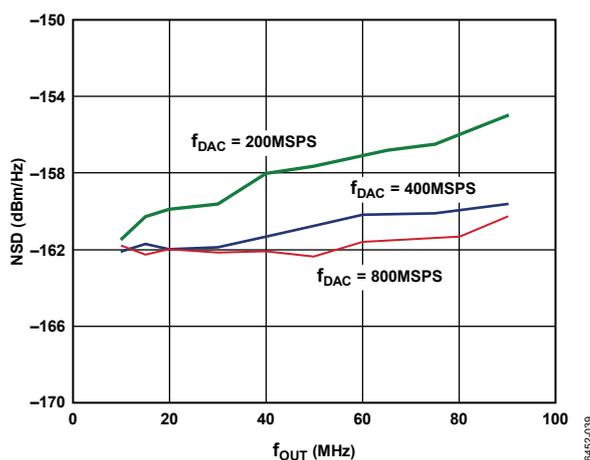


図 42. f_{OUT} 対 ノイズ・スペクトル密度 (AD9778A、500 kHz 間隔による 8 トーン入力、 $f_{DATA} = 200$ MSPS)

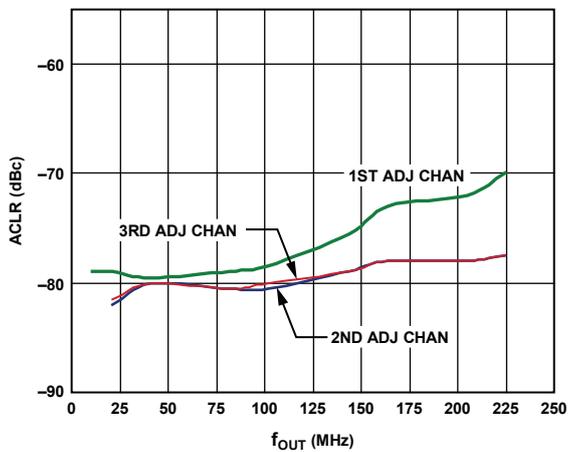


図 40. ACLR (AD9778A、シングル・キャリア WCDMA、4×インターポレーション、 $f_{DATA} = 122.88$ MSPS、振幅 $= -3$ dBFS)

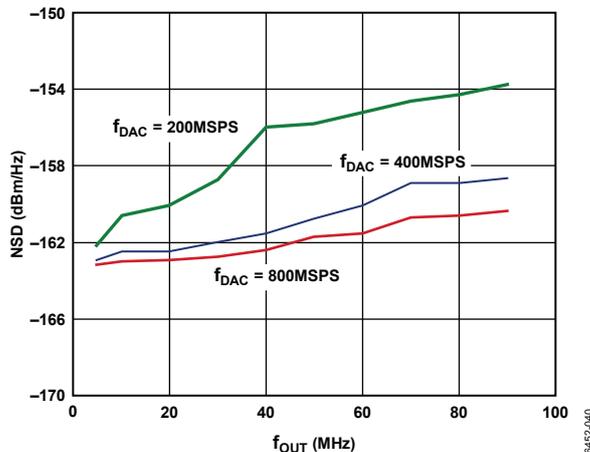


図 43. f_{OUT} 対 ノイズ・スペクトル密度 (AD9778A、 -6 dBFS でのシングル・トーン入力、 $f_{DATA} = 200$ MSPS)

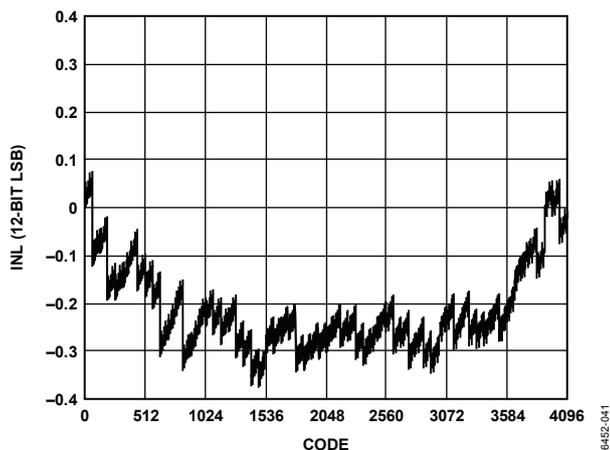


図 44. 代表的な INL (AD9776A)

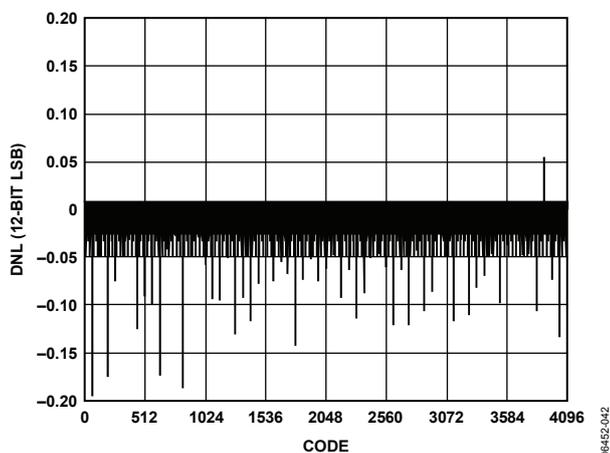


図 45. 代表的な DNL (AD9776A)

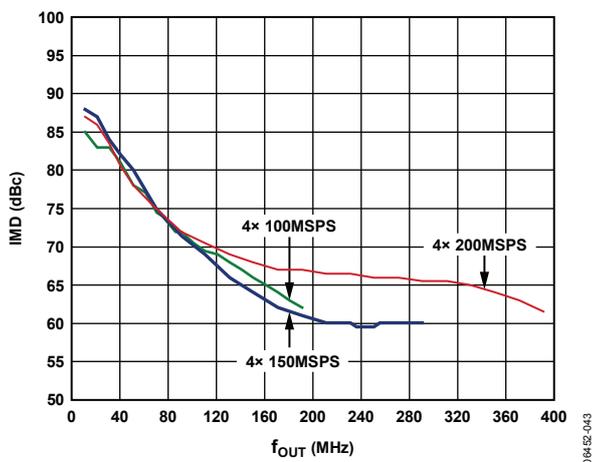


図 46. f_{OUT} 対 IMD (AD9776A, 4×インターポレーション)

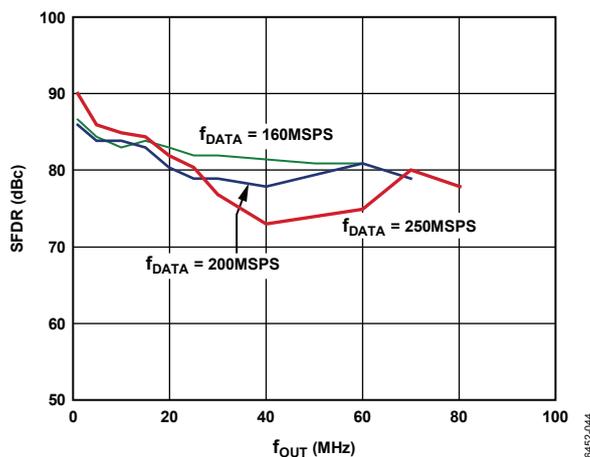


図 47. f_{OUT} 対帯域内 SFDR (AD9776A, 2×インターポレーション)

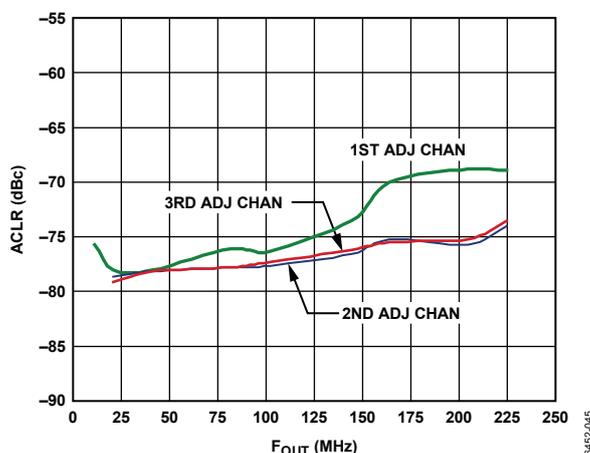


図 48. ACLR (AD9776A, $f_{DATA} = 122.88$ MSPS, 4×インターポレーション, $f_{DAC}/4$ の変調)

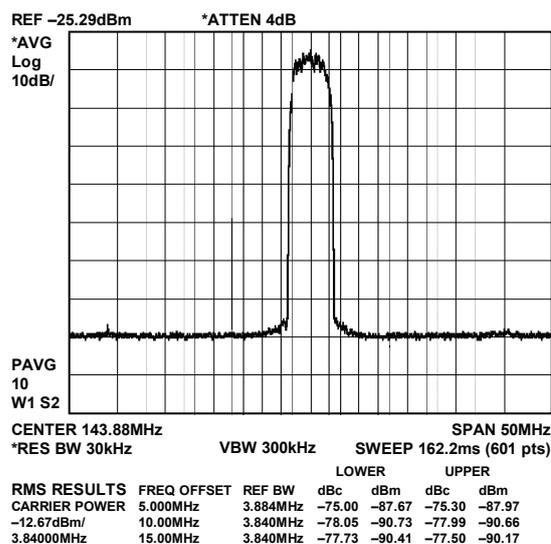


図 49. AD9776A, シングル・キャリア WCDMA, 4×インターポレーション, $f_{DATA} = 122.88$ MSPS, 振幅 = -3 dBFS

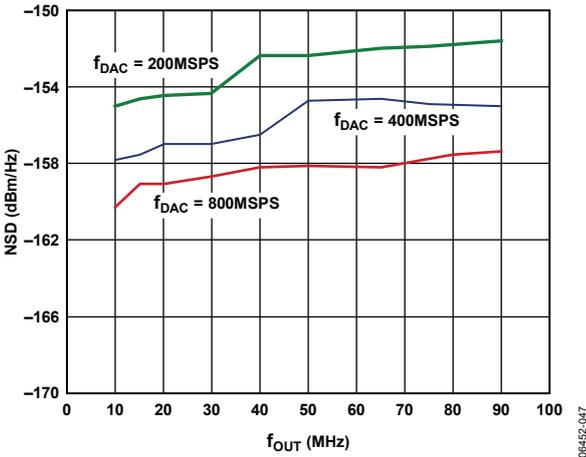


図 50. f_OUT 対 ノイズ・スペクトル密度 (AD9776A、500 kHz 間隔による 8 トーン入力、f_DATA = 200 MSPS)

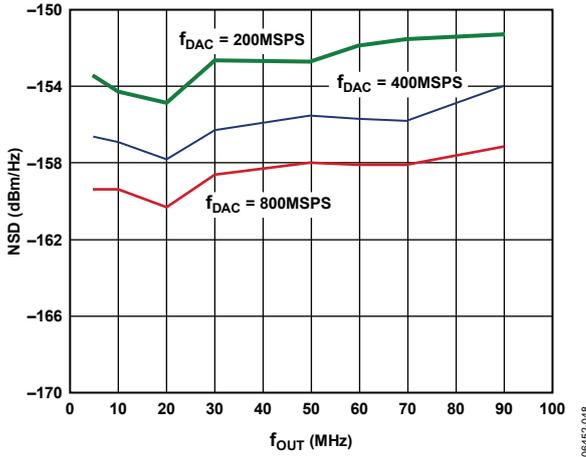


図 51. f_OUT 対 ノイズ・スペクトル密度 (AD9776A、-6 dBFS での シングル・トーン入力、f_DATA = 200 MSPS)

用語の説明

積分非直線性 (INL)

実際のアナログ出力と、ゼロスケールとフルスケールを結ぶ直線で示される理論的な出力との最大偏差です。

微分非直線性 (DNL)

デジタル入力コードの 1 LSB の変化に伴って発生するアナログ値 (フルスケールに対して正規化) の変動を測定したものです。

単調増加性

デジタル入力が増加したとき、出力が増加するか一定の値に維持される場合に、D/A コンバータは単調増加性を備えていることとなります。

オフセット誤差

理論値ゼロからのコード 0 の出力電流の偏差をオフセット誤差と呼びます。I_{OUTA} の場合、入力がオール 0 のときに 0 mA の出力が予想されます。I_{OUTB} の場合は、入力がオール 1 に設定されるときに 0 mA の出力が予想されます。

ゲイン誤差

出力スパンの実際の値と理論値との差です。実際のスパンは、フルスケール出力とボトムスケール出力の差によって求められません。

出力コンプライアンス電圧範囲

電流出力 DAC の出力において許容可能な電圧範囲です。最大コンプライアンス制限値を超えた動作は、出力段の飽和またはブレークダウンを引き起こし、直線性性能が劣化します。

温度ドリフト

周囲温度 (25°C) 時の値から T_{MIN} または T_{MAX} 時の値までの最大変化量として規定されます。オフセットおよびゲイン・ドリフトは、フルスケール範囲 (FSR) の ppm/°C の単位で表します。リファレンスのドリフトは ppm/°C の単位で表します。

電源電圧変動除去比 (PSR)

電源が最小から最大の規定電圧に変化するときのフルスケール出力の最大変動です。

セトリング時間

出力がその最終値について規定された誤差帯域に到達し、その帯域範囲内に収まるまでの所要時間のことであり、出力遷移の開始時点から測定します。

帯域内スプリアス・フリー・ダイナミック・レンジ (SFDR)

入力データレートの半分の周波数と DC との間のピーク・スプリアス信号と、出力信号のピーク振幅との差であり、dB の単位で表します。

帯域外スプリアス・フリー・ダイナミック・レンジ (SFDR)

入力データレートの周波数で始まり DAC 出力サンプル・レートのナイキスト周波数で終わる帯域内のピーク・スプリアス信号と、出力信号のピーク振幅との差であり、dB の単位で表します。通常、この帯域内のエネルギーは、インターポレーション・フィルタによって除去されます。したがってこの仕様は、インターポレーション・フィルタの効果と、他の寄生カップリング・パスが DAC 出力に与える影響を規定します。

全高調波歪み (THD)

最初の 6 つの高調波成分の rms 値の総和と、測定された基本波の rms 値との比で、% または dB の単位で表します。

S/N 比 (SNR)

測定された出力信号の rms 値と、ナイキスト周波数より下の全スペクトル成分の rms 値総和から最初の 6 つの高調波成分と DC 成分を除いた値との比です。S/N 比は dB の単位で表します。

インターポレーション・フィルタ

DAC へのデジタル入力が f_{DATA} (インターポレーション・レート) の複数レートでサンプリングされる場合、f_{DATA}/2 の近くに急峻な遷移帯域を持つデジタル・フィルタを構築できます。一般的に f_{DAC} (出力データ・レート) の周囲に現われるイメージを大幅に抑制できます。

隣接チャンネル漏れ率 (ACLR)

隣接チャンネルを基準にして、チャンネル内で測定したパワーの比 (単位は dBc)。

複素のイメージ除去

従来の 2 部アップコンバージョンでは、第 2IF 周波数の周りに 2 つのイメージが作成されます。これらのイメージには、送信パワーとシステム帯域幅を浪費する作用があります。第 1 複素変調器と直列に第 2 複素変調器の実数部を配置することによって、第 2IF の近くの高/低周波数イメージを除去できます。

動作原理

AD9776A/AD9778A/AD9779A は、多くの機能を兼ね備えており、有線/無線通信システムにとって非常に魅力的な DAC となっています。シングル・サイドバンド・トランスミッタの設計に際しては、デュアル・デジタル信号経路とデュアル DAC 構造により、一般的な直交変調器とのインターフェースが容易になります。これらのデバイスの速度と性能により、これまでの DAC に比べて広い帯域幅と多くのキャリアを合成できます。デジタル・エンジンでは、インターポレーションとデジタル直交変調器を組み合わせ、画期的なフィルタ・アーキテクチャを採用しています。したがって、これらのデバイスでは、直交周波数のデジタル・アップコンバージョンが可能になります。また、着信データとの同期や複数のデバイス間の同期を簡単にする機能も備えています。

AD9776/AD9778/AD9779 と AD9776A/AD9778A/AD9779A の違い

REFCLK の最大周波数と電源の関係

DVDD18 電源と CVDD18 電源は、一定の制約のもとで 1100 MHz の最大サンプル・レートに対応します。表 1 は、有効な動作周波数と電源電圧の関係を示します。

REFCLK の振幅

REFCLK にサイン波差動クロックを印加した場合は、REFCLK 差動振幅が 2 V p-p に増やされない限り、AD9776/AD9778/AD9779 の PLL は最適なノイズ性能を発揮しません。なお、AD9776/AD9778/AD9779 で LVPECL ドライバを使用すると、REFCLK 振幅が十分に LVPECL 仕様 (<1.6 V p-p 差動) の範囲内である場合に、PLL は最適性能を発揮します。AD9779A では PLL の設計改善によって、たとえサイン波クロックを印加しても、PLL は最適な振幅を達成します (振幅 = 1.6 V p-p)。

PLL のロック・レンジ

AD9776A/AD9778A/AD9779A での PLL のロック・レンジについては、表 19 と図 75 を参照してください。AD9776A/AD9778A/AD9779A の PLL の個々のロック・レンジは、AD9776/AD9778/AD9779 の場合に比べて広がっています。つまり、AD9776A/AD9778A/AD9779A の PLL は、AD9776/AD9778/AD9779 の場合

表 9。

Part No.	BW Adjustment Register 0x0A<4:0>	PLL Bias Setting Register 0x09<2:0>	Optimal PLL Readback Value Register 0x0A <7:5>
AD9779	11111	111	010
AD9776A/AD9778A/AD9779A	01111	011	011

よりも広い温度範囲にわたって、所定のレンジでロック状態にとどまることとなります。

PLL の最適設定

これらの製品の最適な PLL 設定については、表 17、「PLL のループ・フィルタ帯域幅」、「AD9776A/AD9778A/AD9779A の PLL 自動検索機能」を参照してください。表 9 は、AD9776/AD9778/AD9779 と AD9779A の最適な PLL 設定を示します。

入力データ遅延ライン、手動/自動補正モード

AD9776A/AD9778A/AD9779A は、入力データでのタイミング・マージンがプリセットされたスレッショルドを下回ると、それを感知して対処するようにプログラムできます。デバイスは、IRQ (ピンとレジスタ) を設定するか、タイミング入力でのデータ・タイミングを自動的に最適化し直すようにプログラムできます。

入力データのタイミング

タイミング仕様と温度の関係については、表 20 を参照してください。AD9776A/AD9778A/AD9779A では、入力データのタイミング仕様 (セットアップ/ホールド) が変化しました。AD9776/AD9778/AD9779 のタイミング仕様とは異なります。

データ・クロックの遅延レンジが 2 倍になりました

AD9776/AD9778/AD9779 では、入力データ遅延はレジスタ 4 のビット <7:4> によって制御されました。25°C では、遅延のステップは約 180 ps/インクリメントでした。AD9779A では、ビットの追加によって、遅延レンジが実質的に倍増しました。このビットは、現在ではレジスタ 1 のビット 1 です。AD9776A/AD9778A/AD9779A でのインクリメント/ステップは、約 180 ps のままです。

バージョン・レジスタ

AD9776A/AD9778A/AD9779A のバージョン・レジスタ (レジスタ 0x1F) からは、0x03 という値が読み出されます。AD9776/AD9778/AD9779 のバージョン・レジスタからは、0x02 という値が読み出されます。

シリアル・ペリフェラル・インターフェース

SPIポートは、フレキシブルで同期式のシリアル通信ポートであるため、業界標準の多くのマイクロコントローラやマイクロプロセッサとのインターフェースが容易です。SPIポートは、Motorola SPI プロトコルや Intel® SSR プロトコルなど、多くの同期転送フォーマットと互換性があります。

このインターフェースを使用すると、AD9776A/AD9778A/AD9779A を設定する全レジスタとの間で読み出し/書き込みが可能になります。MSB ファーストや LSB ファーストの転送フォーマットのみでなく、シングルバイト転送やマルチバイト転送にも対応しています。シリアル・データの入出力は、1本の双方向ピン (SDIO) または2本の単方向ピン (SDIO/SDO) を介して行います。

シリアル・ポート設定は、レジスタ 0x00 のビット<7:6>によって制御されます。なお、シリアル・ポート設定への変更は、このバイトの最終ビットへの書き込み直後に行われることに注意してください。したがって、マルチバイト転送では、通信サイクルの途中でこのレジスタに書き込んで設定を変更できます。現在の通信サイクルの残りのバイトの範囲内で、新しい設定の補償を行うよう注意してください。

シリアル・ポート設定の変更の際には、予期しないデバイス動作を防止するために、シングルバイト転送のみを使用するようにしてください。

ここで説明するように、デバイス間でのシリアル・ポート・データ転送は、すべて SCLK ピンに同期して行われます。同期が失われた場合、デバイスは I/O 動作を非同期に終了させて、シリアル・ポート・コントローラを既知の状態にすることで、同期を取り戻す機能を持っています。

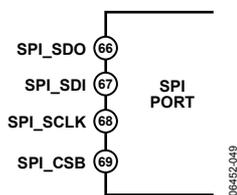


図 52. SPI ポート

シリアル・インターフェースの一般的な動作

AD9776A/AD9778A/AD9779A の通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、先頭の 8 個の SCLK 立上がりエッジでデバイスに命令バイトを書き込みます。命令バイトは、シリアル・ポート・コントローラにデータ転送サイクルに関する情報を提供します。このデータ転送サイクルが、通信サイクルのフェーズ 2 になります。フェーズ 1 の命令バイトでは、次のデータ転送が読み出しであるか書き込みであるか、データ転送のバイト数、データ転送の最初のバイトの開始レジスタ・アドレスを規定します。各通信サイクルの先頭の 8 個の SCLK 立上がりエッジを使って、デバイスに命令バイトを書き込みます。CSB ピンがロジック・ハイに続いてロジック・ローになると、SPIポートのタイミングは、命令サイクルの初期状態にリセットされます。この状態からは、内部レジスタの状態や SPI ポートに入力される他の信号レベルとは無関係に、次の 8 個の SCLK 立上がりエッジは、現在の I/O 動作の命令ビットを表します。SPI ポートが命令サイクルやデータ転送サイクルの途中にある場合は、現在のデータは書き込まれません。

残りの SCLK エッジは、通信サイクルのフェーズ 2 で使います。フェーズ 2 では、デバイスとシステム・コントローラの間で実際のデータ転送が行われます。通信サイクルのフェーズ 2 では、命

令バイトによって決定されるデータバイト 1、2、3 または 4 の転送を行います。1 回でのマルチバイト転送を推奨します。レジスタ・アクセスが 1 つのバイトのみを必要とするときは、CPU オーバーヘッドの削減のためにシングルバイトのデータ転送を使用します。レジスタの変更は、各転送バイトの最終ビットへの書き込みの直後に行われます。

命令バイト

命令バイトに含まれる情報については、表 10 を参照してください。

表 10. SPI の命令バイト

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
R/ \bar{W}	N1	N0	A4	A3	A2	A1	A0

R/ \bar{W} (命令バイトのビット 7) では、命令バイトの書き込みの後で行われるデータ転送が読み出しであるか書き込みであるかを決定します。ロジック 1 は読み出し動作を示します。ロジック 0 は書き込み動作を示します。

N1 と N0 (命令バイトのビット 6 と 5) では、データ転送サイクル中に転送されるバイト数を決定します。表 11 は、転送されるバイト数を示します。

A4、A3、A2、A1、A0 (それぞれ、命令バイトのビット 4、3、2、1、0) は、通信サイクルのデータ転送部分でアクセスするレジスタを決定します。マルチバイト転送では、このアドレスは開始バイト・アドレスです。残りのレジスタ・アドレスは、LSB ファースト・ビット (レジスタ 0x00、ビット 6) に基づいて、デバイスによって生成されます。

表 11. バイト転送数

N1	N0	説明
0	0	1 バイトを転送
0	1	3 バイトを転送
1	0	2 バイトを転送
1	1	4 バイトを転送

シリアル・インターフェース・ポートのピンの説明

シリアル・クロック (SCLK)

シリアル・クロック・ピンは、デバイスとの間のデータ転送の同期と、内部ステート・マシンの動作に使われます。SCLK の最大周波数は 40 MHz です。すべてのデータ入力は、SCLK の立上がりエッジでレジスタに格納されます。すべてのデータは、SCLK の立下がりエッジで出力されます。

チップ・セレクト (CSB)

アクティブ・ローの入力によって、通信サイクルが開始およびゲーティングされます。これにより、同じシリアル通信ラインで複数のデバイスを使用できます。この入力が高レベルになると、SDO ピンと SDIO ピンは高インピーダンス状態になります。チップ・セレクトは、通信サイクルの全体にわたってローレベルのままにしておきます。

シリアル・データ I/O (SDIO)

このピン上のデータは、常にデバイスに書き込まれます。ただし、このピンは双方向データ・ラインとして使用できます。このピンの設定は、レジスタ 0x00 のビット 7 によって制御されます。デフォルトはロジック 0 で、SDIO ピンは単方向として設定されます。

シリアル・データ出力 (SDO)

データの送信と受信に別のラインを使用するプロトコルでは、データはこのピンから読み込まれます。デバイスがシングル双方向 I/O モードで動作する場合、このピンはデータを出力せずに、高インピーダンス状態に設定されます。

MSB/LSB 転送

シリアル・ポートは、MSB ファーストと LSB ファーストの両方のデータ・フォーマットに対応できます。この機能は、レジスタ・ビット LSB ファースト (レジスタ 0x00、ビット 6) によって制御されます。デフォルトは MSB ファースト (LSB/MSB ファースト = 0) です。

LSB/MSB ファースト = 0 (MSB ファースト) のとき、命令とデータビットは、MSB から LSB に向けて書き込んでください。MSB ファースト・フォーマットでのマルチバイト・データ転送は、最上位データバイトのレジスタ・アドレスを含む命令バイトから始まります。それ以降のデータバイトは、高位アドレスから低位アドレスの順に続けてください。MSB ファースト・モードでは、シリアル・ポートの内部バイト・アドレス・ジェネレータは、マルチバイト通信サイクルのデータバイトごとにデクリメントします。

LSB/MSB ファースト = 1 (LSB ファースト) のとき、命令とデータビットは、LSB から MSB に向けて書き込んでください。LSB ファースト・フォーマットでのマルチバイト・データ転送は、最下位データバイトのレジスタ・アドレスを含む命令バイトで始まり、その後複数のデータバイトが続きます。シリアル・ポートの内部バイト・アドレス・ジェネレータは、マルチバイト通信サイクルのバイトごとにインクリメントします。

MSB ファースト・モードがアクティブの場合、マルチバイト I/O 動作では、シリアル・ポート・コントローラのデータ・アドレスは、書き込まれたデータ・アドレスから 0x00 に向けてデクリメントされます。LSB ファースト・モードがアクティブの場合、マルチバイト I/O 動作では、シリアル・ポート・コントローラのアドレスは、書き込まれたデータ・アドレスから 0x1F に向けてインクリメントされます。

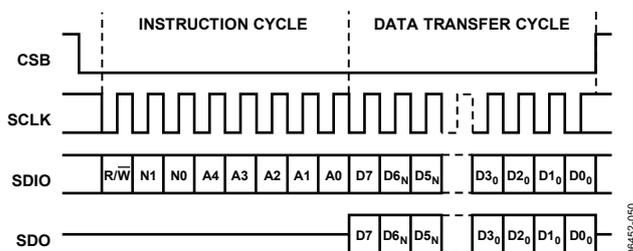


図 53. シリアル・レジスタ・インターフェースのタイミング (MSB ファースト)

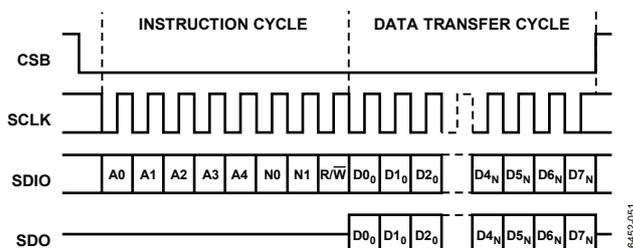


図 54. シリアル・レジスタ・インターフェースのタイミング (LSB ファースト)

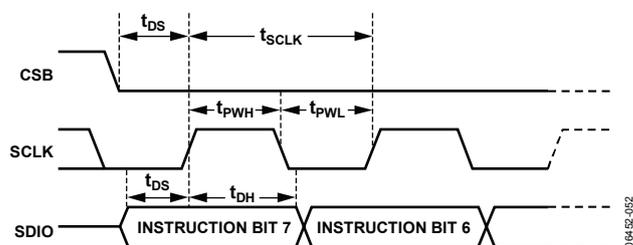


図 55. SPI レジスタ書き込みのタイミング図

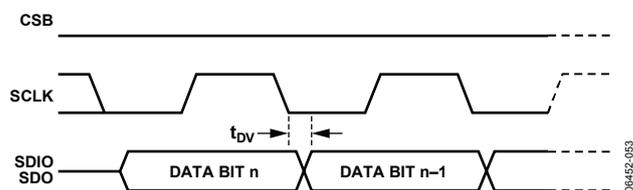


図 56. SPI レジスタ読出しのタイミング図

SPIレジスタのマップ

表 12.

Register Name	Address		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Def.	
Comm	0x00	00	SDIO Bidirectional	LSB/MSB First	Software Reset	Power-Down Mode	Auto Power-Down Enable		PLL Lock Indicator (Read Only)		0x00	
Digital Control	0x01	01	Filter Interpolation Factor<1:0>			Filter Modulation Mode<3:0>			Data Clock Delay MSB<4>	Zero Stuffing Enable	0x00	
	0x02	02	Data Format	Dual/Interleaved Data Bus Mode	Real Mode	Data Clock Delay Enable	Inverse Sinc Enable	DATACLK Invert	TxEnable Invert	Q First	0x00	
Sync Control	0x03	03	Data Clock Delay Mode	Reserved, Should Always Be Set High	Data Clock Divide Ratio<1:0>		Data Delay Timing Margin<3:0>				0x00	
	0x04	04	Data Clock Delay LSBs<3:0>				Output Sync Pulse Divide<2:0>			Sync Out Delay<4>	0x00	
	0x05	05	Sync Out Delay<3:0>				Input Sync Pulse Frequency Ratio<2:0>			Sync Input Delay<4>	0x00	
	0x06	06	Sync Input Delay<3:0>				Input Sync Pulse Timing Error Tolerance<3:0>				0x00	
	0x07	07	Sync Receiver Enable	Sync Driver Enable	Sync Triggering Edge	DAC Clock Offset<4:0>					0x00	
PLL Control	0x08	08	PLL Band Select<5:0>						PLL VCO AGC Gain<1:0>		0xE7	
	0x09	09	PLL Enable	PLL VCO Divider Ratio<1:0>		PLL Loop Divide Ratio<1:0>	PLL Bias Setting<2:0>				0x52	
Misc Control	0x0A	10	PLL Control Voltage Range<2:0> (Read-Only)			PLL Loop Bandwidth Adjustment<4:0>					0x1F	
I DAC Control Register	0x0B	11	I DAC Gain Adjustment<7:0>									0xF9
	0x0C	12	I DAC Sleep	I DAC Power Down						I DAC Gain Adjustment<9:8>	0x01	
AUX DAC1 Control Register	0x0D	13	Auxiliary DAC1 Data <7:0>									0x00
	0x0E	14	Auxiliary DAC1 Sign	Auxiliary DAC1 Current Direction	Auxiliary DAC1 Power-Down					Auxiliary DAC1 Data<9:8>	0x00	
Q DAC Control Register	0x0F	15	Q DAC Gain Adjustment<7:0>									0xF9
	0x10	16	Q DAC Sleep	Q DAC Power-Down						Q DAC Gain Adjustment<9:8>	0x01	
AUX DAC2 Control Register	0x11	17	Auxiliary DAC2 Data<7:0>									0x00
	0x12	18	Auxiliary DAC2 Sign	Auxiliary DAC2 Current Direction	Auxiliary DAC2 Power-Down					Auxiliary DAC2 Data<9:8>	0x00	
	0x13 to 0x18	19 to 24	Reserved									
Interrupt Register	0x19	25	Data Delay IRQ	Sync Delay IRQ		Setup Status IRQ	Data Delay IRQ Enable	Sync Delay IRQ Enable		Internal Sync Loopback	0x00	
Version Register	0x1F	31	Version<7:0>									0x03

表 13. SPI レジスタの説明

Register Name	Address		Description	Function	Default	
	Hex	Decimal				
Comm Register	00	7	SDIO bidirectional	0: use SDIO pin as input data only 1: use SDIO as both input and output data	0	
	00	6	LSB/MSB first	0: first bit of serial data is MSB of data byte 1: first bit of serial data is LSB of data byte	0	
	00	5	Software reset	Bit must be written with a 1, then 0 to soft reset SPI register map	0	
	00	4	Power-down mode	0: all circuitry is active 1: disable all digital and analog circuitry, only SPI port is active	0	
	00	3	Auto power-down enable	Controls auto power-down mode, see the Power-Down and Sleep Modes section	0	
	00	1	PLL lock indicator (read only)	0: PLL is not locked 1: PLL is locked	0	
	Digital Control Register	01	7:6	Filter interpolation factor<1:0>	00: 1× interpolation 01: 2× interpolation 10: 4× interpolation 11: 8× interpolation	00
01		5:2	Filter modulation mode	See Table 18 for filter modes	0000	
01		1	Data Clock Delay MSB<4>	Sets delay of REFCLK in to DATACLK out	0	
01		0	Zero stuffing enable	0: zero stuffing off 1: zero stuffing on	0	
02		7	Data format	0: signed binary 1: unsigned binary	0	
02		6	Dual/interleaved data bus mode	0: both input data ports receive data 1: Data Port 1 only receives data	0	
02		5	Real mode	0: enable Q path for signal processing 1: disable Q path data (internal Q channel clocks disabled, I and Q modulators disabled)	0	
02		4	data clock delay enable	Enables the DATACLK delay feature. More details on this feature are shown in the Using Data Delay to Meet Timing Requirements section	0	
02		3	Inverse sinc enable	0: inverse sinc filter disabled 1: inverse sinc filter enabled	0	
02		2	DATACLK invert	0: output DATACLK same phase as internal capture clock 1: output DATACLK opposite phase as internal capture clock	0	
02		1	TxEnable invert	Inverts the function of TxEnable Pin 39, see the Interleaved Data Mode section	0	
02		0	Q first	0: first byte of data is always I data at the beginning of transmit 1: first byte of data is always Q data at the beginning of transmit	0	
Sync Control Register		03	7	Data clock delay mode	0: manual error detect mode 1: auto error correct mode	0
		03	6	Reserved	Should always be set to 1	0
	03	5:4	Data clock divide ratio<1:0>	DATACLK output divider value 00: divide by 1 01: divide by 2 10: divide by 4 11: divide by 1	00	
	03	3:0	Data delay timing margin<3:0>	See Table 21	0000	
	04	7:4	Data clock delay LSBs<3:0>	Sets delay of REFCLK in to DATACLK out	0000	
	04	3:1	Output SYNC pulse divide<2:0>	The frequency of the SYNC_O signal is equal to f_{DAC}/N , where N is set as follows: 000: N = 32 001: N = 16 010: N = 8 011: N = 4	000	

AD9776A/AD9778A/AD9779A

Register Name	Address		Description	Function	Default
	Hex	Decimal			
				100: N = 2 101: N = 1 110: N = undefined 111: N = undefined	
	04	0	Sync out delay<4>	Sync output delay, Bit 4	
	05	7:4	Sync out delay<3:0>	Sync output delay, Bits<3:0> The delay line resolution is 180 ps per step	0000
	05	3:1	Input sync pulse frequency ratio<2:0>	Input sync pulse frequency divider, see the AN-822 application note	000
	05	0	Sync input delay<4>	Sync input delay, Bit 4	0
	06	7:4	Sync input delay<3:0>	See the Multiple DAC synchronization section for details on using these registers to synchronize multiple DACs	0
	06	3:0	Input sync pulse timing error tolerance<3:0>		0
	07	7	SYNC receiver enable		0
	07	6	Sync driver enable		0
	07	5	Sync triggering edge	0: SYNC_O changes on REFCLK falling edge 1: SYNC_O changes on REFCLK rising edge	0
	07	4:0	Data clock offset<4:0>		0
PLL Control	08	7:2	PLL band select<5:0>	VCO frequency range vs. PLL band select value (see Table 19)	111001
	08	1:0	PLL VCO AGC gain<10>	Leave at default value for optimal performance	11
	09	7	PLL enable	0: PLL off, DAC rate clock supplied by outside source 1: PLL on, DAC rate clock synthesized internally from external reference clock via PLL clock multiplier	0
	09	6:5	PLL VCO divider ratio<1:0>	F_{VCO}/f_{DAC} 00 × 1 01 × 2 10 × 4 11 × 8	10
	09	4:3	PLL loop divide ratio<1:0>	f_{DAC}/f_{REF} 00 × 2 01 × 4 10 × 8 11 × 16	10
	09	2:0	PLL bias setting<2:0>	Set to 011 for optimal performance	010
Misc Control	0A	7:5	PLL control voltage range<2:0>	000 to 111, proportional to voltage at PLL loop filter output, readback only	000
	0A	4:0	PLL loop bandwidth adjustment<4:0>	See PLL Loop Filter Bandwidth section for details, optimally set at 0x0F	11111
I DAC Control Register	0B	7:0	I DAC gain adjustment<7:0>	LSB I DAC 10-bit gain setting word	11111001
	0C	7	I DAC sleep	0: I DAC on 1: I DAC off	0
	0C	6	I DAC power-down	0: I DAC on 1: I DAC off	0
	0C	1:0	I DAC gain adjustment	MSB I DAC 10-bit gain setting word	01
AUX DAC1 Control Register	0D	7:0	Auxiliary DAC1 data<7:0>	LSB AUX DAC1 10-bit gain setting word	00000000
	0E	7	Auxiliary DAC1 sign	0: AUX1_P active 1: AUX1_N active	
	0E	6	Auxiliary DAC1 current direction	0: source 1: sink	0
	0E	5	Auxiliary DAC1 power-down	0: AUX DAC1 on 1: AUX DAC1 off	0
	0E	1:0	Auxiliary DAC1 data<9:8>	MSB AUX DAC1 10-bit gain setting word	00

AD9776A/AD9778A/AD9779A

Register Name	Address		Description	Function	Default
	Hex	Decimal			
Q DAC Control Register	0F	7:0	Q DAC gain adjustment<7:0>	LSB Q DAC 10-bit gain setting word	11111001
	10	7	Q DAC sleep	0: Q DAC on 1: Q DAC off	0
	10	6	Q DAC power-down	0: Q DAC on 1: Q DAC off	0
	10	1:0	Q DAC gain adjustment<9:8>	MSB Q DAC 10-bit gain setting word	
AUX DAC2 Control Register	11	7:0	Auxiliary DAC2 data<7:0>	LSB AUX DAC2 10-bit gain setting word	00000000
	12	7	Auxiliary DAC2 Sign	0: AUX2_P active 1: AUX2_N active	
	12	6	Auxiliary DAC2 current direction	0: source 1: sink	0
	12	5	Auxiliary DAC2 power-down	0: AUX DAC2 on 1: AUX DAC2 off	0
	12	1:0	Auxiliary DAC2 data<9:8>	MSB AUX DAC2 10-bit gain setting word	00
Interrupt Register	19	7	Data delay IRQ	Readback, must write 0 to clear	0
	19	6	Sync delay IRQ	Readback, must write 0 to clear	0
	19	5			0
	19	4	Setup status IRQ	When DATA DELAY IRQ is set, this bit represents the following: 0: hold error 1: set up error Enabled when DATA DELAY IRQ is enabled	
	19	3	Data delay IRQ enable		0
	19	2	Sync delay IRQ enable		0
	19	0	Internal sync loopback		0
Version Register	1F	7:0	Version<7:0>	Indicates device hardware revision number	

インターポレーション・フィルタのアーキテクチャ

AD9776A/AD9778A/AD9779A では、最高 8×のインターポレーションを提供したり、インターポレーション・フィルタを完全にディスエーブルにしたりできます。インターポレーション・フィルタのオーバーフローを回避するには、入力信号をフルスケールから約 0.01 dB 小さくしてください。表 14、表 15、表 16、表 17 に、ローパス・フィルタと反転 sinc フィルタの係数を示します。図 57、図 58、図 59 は、フィルタ応答のスペクトル・プロットを示します。

表 14. ハーフバンド・フィルタ 1

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-34
H(6)	H(50)	0
H(7)	H(49)	+72
H(8)	H(48)	0
H(9)	H(47)	-138
H(10)	H(46)	0
H(11)	H(45)	+245
H(12)	H(44)	0
H(13)	H(43)	-408
H(14)	H(42)	0
H(15)	H(41)	+650
H(16)	H(40)	0
H(17)	H(39)	-1003
H(18)	H(38)	0
H(19)	H(37)	+1521
H(20)	H(36)	0
H(21)	H(35)	-2315
H(22)	H(34)	0
H(23)	H(33)	+3671
H(24)	H(32)	0
H(25)	H(31)	-6642
H(26)	H(30)	0
H(27)	H(29)	+20,755
H(28)		+32,768

表 15. ハーフバンド・フィルタ 2

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(23)	-2
H(2)	H(22)	0
H(3)	H(21)	+17
H(4)	H(20)	0
H(5)	H(19)	-75
H(6)	H(18)	0
H(7)	H(17)	+238
H(8)	H(16)	0
H(9)	H(15)	-660
H(10)	H(14)	0
H(11)	H(13)	+2530
H(12)		+4096

表 16. ハーフバンド・フィルタ 3

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(15)	-39
H(2)	H(14)	0
H(3)	H(13)	+273
H(4)	H(12)	0
H(5)	H(11)	-1102
H(6)	H(10)	0
H(7)	H(9)	+4964
H(8)		+8192

表 17. 反転 sinc フィルタ

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(9)	+2
H(2)	H(8)	-4
H(3)	H(7)	+10
H(4)	H(6)	-35
H(5)		+401

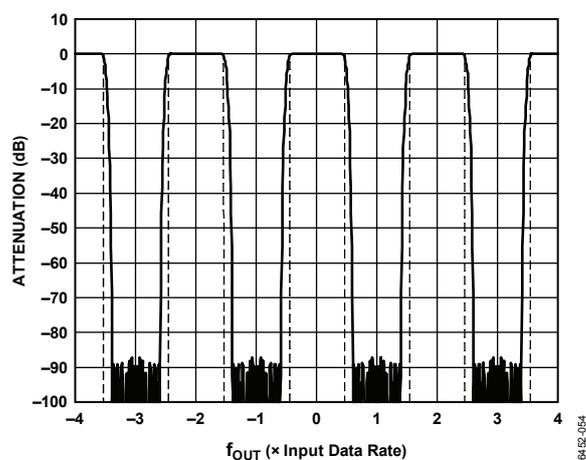


図 57. 2×インターポレーション、±4×入力データレートへのローパス応答（点線は 1 dB のロールオフを示す）

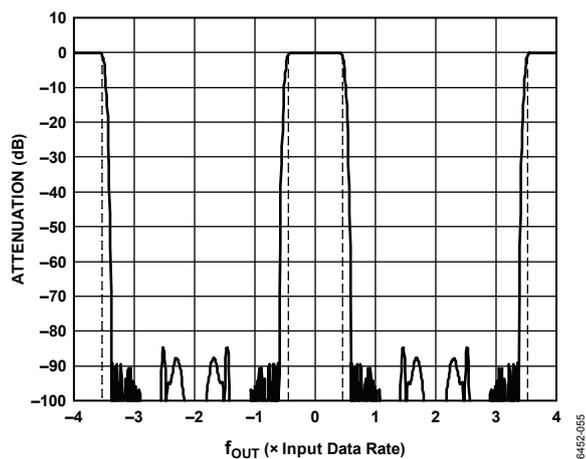


図 58. 4×インターポレーション、±4×入力データレートへのローパス応答（点線は 1 dB のロールオフを示す）

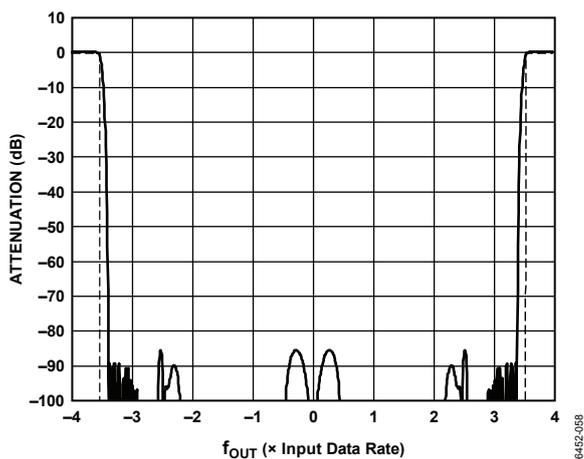


図 61. 4f_{DAC}/8 フィルタのインターポレーション／変調組合せ

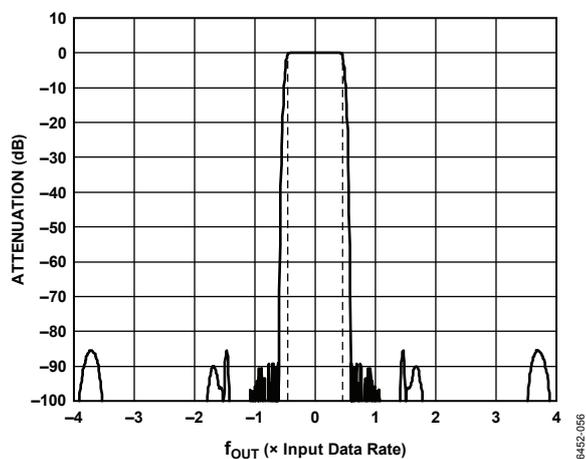


図 59. 8×インターポレーション、±4×入力データレートへのローパス応答（点線は 1 dB のロールオフを示す）

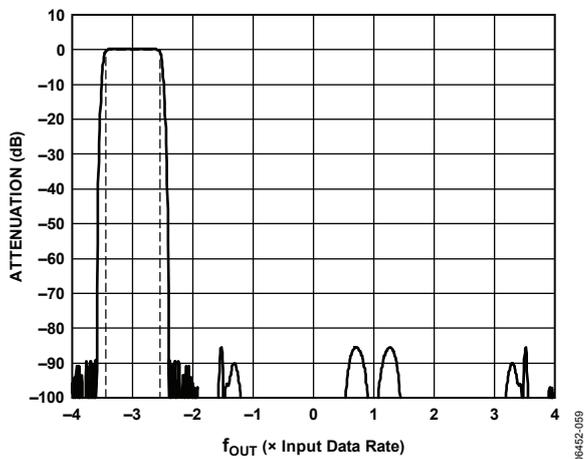


図 62. -3f_{DAC}/8 フィルタのインターポレーション／変調組合せ

インターポレーション・フィルタと変調器を組み合わせることにより、着信信号は DAC 出力サンプル・レートのナイキスト領域内のどこにでも配置できます。入力信号が複素数である場合、このアーキテクチャにより、入力信号を正または負のナイキスト領域に変調できます（表 18 を参照）。

図 60 は、入力データレートの 4 倍までのナイキスト領域を示します。

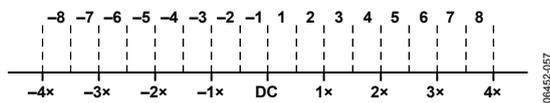


図 60. ナイキスト領域

図 57、図 58、図 59 は、変調を使用しないデジタル・フィルタのローパス応答を示します。変調機能をオンにすることにより、デジタル・フィルタの応答は、DAC 帯域幅内のどこにでも調整できます。一例として、図 61～67 に非シフト・モードのフィルタ応答を示します（シフト／非シフト・モードのフィルタ応答については表 18 を参照）。

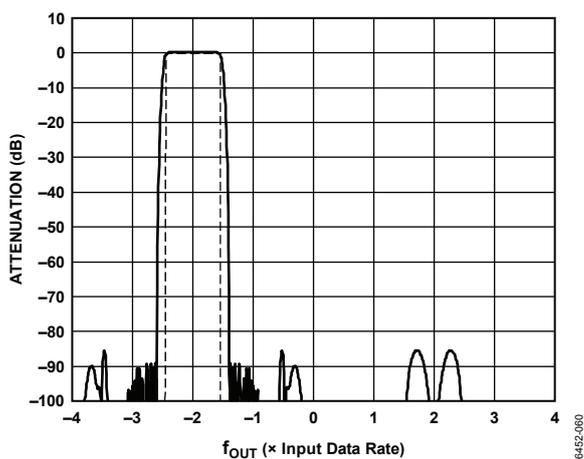
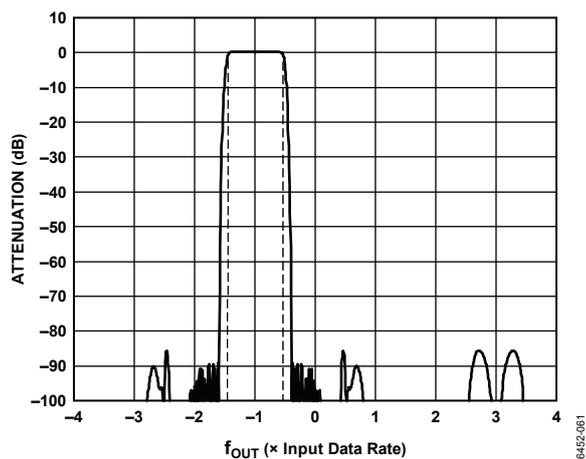
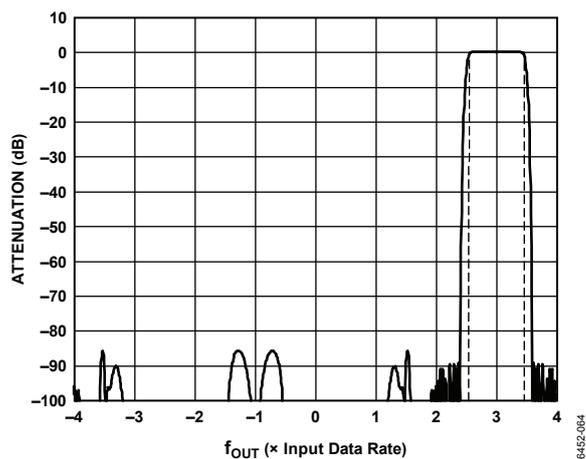
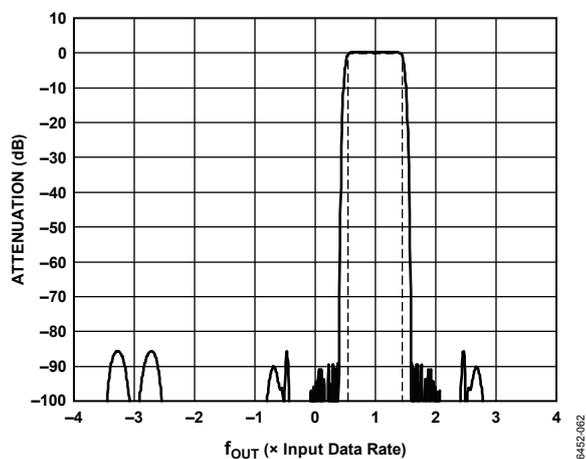
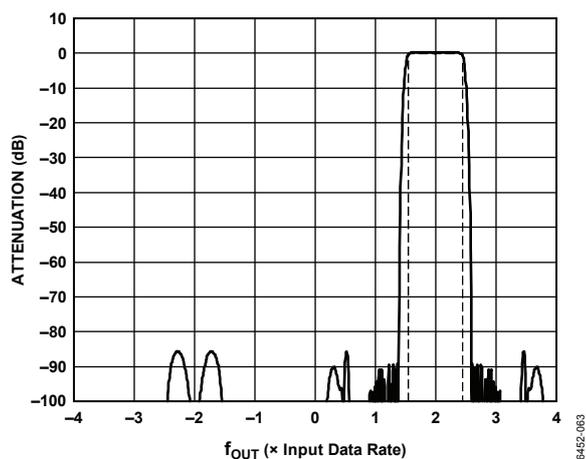


図 63. -2f_{DAC}/8 フィルタのインターポレーション／変調組合せ

図 64. $-1f_{DAC}/8$ フィルタのインターポレーション/変調組み合わせ図 67. 奇数モードでの $3f_{DAC}/8$ フィルタのインターポレーション/変調組み合わせ図 65. $f_{DAC}/8$ フィルタのインターポレーション/変調組み合わせ図 66. 奇数モードでの $2f_{DAC}/8$ フィルタのインターポレーション/変調組み合わせ

シフト・モードのフィルタ応答により、通過帯域の中心を ± 0.5 、 ± 1.5 、 ± 2.5 、 $\pm 3.5 f_{DATA}$ とすることができます。シフト・モードの応答に切り替えると、信号は変調されず、代わりに通過帯域がそのままシフトされます。たとえば、図 67 に示す応答で、信号帯域内が $3.2 \sim 3.3 f_{DATA}$ の帯域幅にわたって複素数信号であると想定します。ここで偶数モードのフィルタ応答が選択された場合、通過帯域の中心は $3.5 f_{DATA}$ になります。しかし、信号はスペクトル内の同じ場所にとどまります。シフト・モードの機能により、フィルタの通過帯域は、DAC ナイキスト帯域幅内のどこにでも置くことができます。

AD9776A/AD9778A/AD9779A は、内部複素変調器をインターポレーション・フィルタ応答に組み込んだデュアル DAC です。デュアル・チャンネル・モードでは、デバイスは、デジタル入力ポート 1 とデジタル入力ポート 2 (それぞれ I と Q) において複素数信号の実数成分と虚数成分を期待します。これにより、DAC 出力は、複素キャリア ($f_{DAC}/2$ 、 $f_{DAC}/4$ 、または $f_{DAC}/8$) によって変調された入力信号の実数成分と虚数成分を表すことになります。

レジスタ 2 のビット 6 をセットすると、デバイスは I、Q、I、Q... の順序でポート 1 からインターリーブされたデータを受け付けます。なおインターリーブ・モードでは、インターリーブが行われるため、I と Q のデータ・パスの最初のチャンネル・データレートは、入力データレートの半分になります。最大入力データレートは、デバイスの最大仕様に左右されます。このため、インターリーブ・モードでは入力における合成帯域幅が制限されます。

レジスタ 0x02 のビット 5 (実数モード) をセットすると、Q チャンネルに加えて、内部の I と Q のデジタル変調もオフになります。これにより、I DAC での出力スペクトルは、 $1\times$ 、 $2\times$ 、 $4\times$ 、 $8\times$ のいずれかに補間された、デジタル入力ポート 1 での信号を表します。

一般に、所望の信号が $\pm 0.4 \times f_{DATA}$ の範囲内である場合は、フィルタの非シフト・モードの使用を推奨します。この範囲外なら偶数フィルタ・モードを使用することを推奨します。いずれの場合も、信号の合計帯域幅は、 $0.8 \times f_{DATA}$ 未満にしてください。

表 18. インターポレーション・フィルタのモード、（レジスタ 0x01、ビット<5:2>）

Interpolation Factor<7:6>	Filter Mode<5:2>	Modulation	Nyquist Zone Pass Band	F_Low ¹	Center ¹	F_High ¹	Comments
8	0x00	DC	+1	-0.05	0	+0.05	In 8× interpolation; BW (min) = 0.0375 × f _{DAC} BW (max) = 0.1 × f _{DAC}
8	0x01	DC shifted	+2	+0.0125	+0.0625	+0.1125	
8	0x02	F/8	+3	+0.075	+0.125	+0.175	
8	0x03	F/8 shifted	+4	+0.1375	+0.1875	+0.2375	
8	0x04	F/4	+5	+0.2	+0.25	+0.3	
8	0x05	F/4 shifted	+6	+0.2625	+0.3125	+0.3625	
8	0x06	3F/8	+7	+0.325	+0.375	+0.425	
8	0x07	3F/8 shifted	+8	+0.3875	+0.4375	+0.4875	
8	0x08	F/2	-8	-0.55	-0.5	-0.45	
8	0x09	F/2 shifted	-7	-0.4875	-0.4375	-0.3875	
8	0x0A	-3F/8	-6	-0.425	-0.375	-0.343	
8	0x0B	-3F/8 shifted	-5	-0.3625	-0.3125	-0.2625	
8	0x0C	-F/4	-4	-0.3	-0.25	-0.2	
8	0x0D	-F/4 shifted	-3	-0.2375	-0.1875	-0.1375	
8	0x0E	-F/8	-2	-0.175	-0.125	-0.075	
8	0x0F	-F/8 shifted	-1	-0.1125	-0.0625	-0.0125	
4	0x00	DC	+1	-0.1	0	+0.1	In 4× interpolation; BW (min) = 0.075 × f _{DAC} BW (max) = 0.2 × f _{DAC}
4	0x01	DC shifted	+2	+0.025	+0.125	+0.225	
4	0x02	F/4	+3	+0.15	+0.25	+0.35	
4	0x03	F/4 shifted	+4	+0.275	0.375	0.475	
4	0x04	F/2	-4	-0.6	-0.5	-0.4	
4	0x05	F/2 shifted	-3	-0.475	-0.375	-0.275	
4	0x06	-F/4	-2	-0.35	-0.25	-0.15	
4	0x07	-F/4 shifted	-1	-0.225	-0.125	-0.025	
2	0x00	DC	+1	-0.2	0	+0.2	In 2× interpolation; BW (min) = 0.15 × f _{DAC} BW (max) = 0.4 × f _{DAC}
2	0x01	DC shifted	+2	+0.05	+0.25	+0.45	
2	0x02	F/2	-2	-0.7	-0.5	-0.3	
2	0x03	F/2 shifted	-1	-0.45	-0.25	-0.05	

¹ 周波数は f_{DAC} に正規化。

インターポレーション・フィルタの最小/最大帯域幅仕様

AD9776A/AD9778A/AD9779A は、新しいインターポレーション・フィルタ・アーキテクチャの採用により、DAC IF 周波数をスペクトルのどこにでも生成できるようになっています。図 68 に、DAC IF 出力帯域幅配置の従来の選択を示します。なお、キャリアを $0.5 \times f_{\text{DATA}}$ 、 $1.5 \times f_{\text{DATA}}$ 、 $2.5 \times f_{\text{DATA}}$ などの近くに配置できるフィルタ・モードはありません。

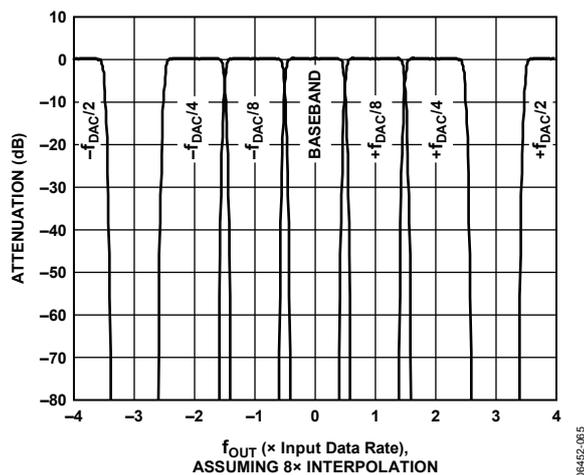


図 68. TxDAC 出力 IF 用の従来の帯域幅オプション

このフィルタ・アーキテクチャでは、すでに説明したように、インターポレーション・フィルタの通過帯域の中心を入力ナイキスト・ゾーンの中央に置くだけでなく、 $3 \times f_{\text{DAC}}/8$ 変調モードも可能になります。これらすべてのフィルタの組み合わせにより、特定帯域幅のキャリアはスペクトル内のどこにでも配置でき、インターポレーション・フィルタを 1 つの可能な通過帯域に設定します。図 69 と図 70 に、フィルタ・アーキテクチャでアクセス可能な帯域幅を示します。なお、特定のインターポレーション・レートに合わせてフィルタ・モードを書き込むことにより、フィルタのシフト・モードと非シフト・モードをすべて使用できます。

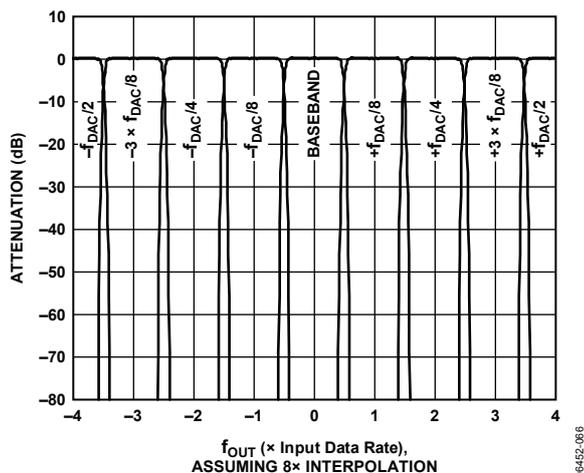


図 69. フィルタ・アーキテクチャで利用できる非シフト帯域幅

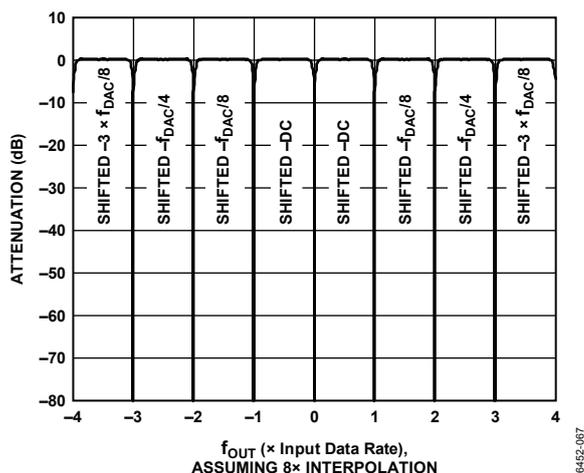


図 70. フィルタ・アーキテクチャで利用できるシフト帯域幅

このフィルタ・アーキテクチャでは、信号をスペクトル内のどこにでも配置できます。しかし、信号帯域幅は、DAC の入力サンプル・レートとスペクトル内のキャリアの配置によって制限されます。フィルタ応答と入力サンプル・レートの組み合わせによって生じる帯域幅制約は、DAC が合成できる最大の帯域幅であるため、一般に合成帯域幅と呼ばれます。

キャリアが 1 つのフィルタ通過帯域の中心に直接配置された場合は、最大帯域幅条件が存在します。この場合、インターポレーション・フィルタの合計 0.1 dB 帯域幅は、 $0.8 \times f_{\text{DATA}}$ に等しくなります。表 18 に示すように、インターポレーション・レートが倍増するたびに、DAC 出力サンプル・レートの分数としての合成帯域幅は 1/2 低下します。たとえば、キャリアが $0.25 \times f_{\text{DATA}}$ に配置された場合は、最小帯域幅条件が存在します。この状況で、フィルタの非シフト応答がイネーブルになった場合、フィルタ応答のハイエンドが $0.4 \times f_{\text{DATA}}$ でカットオフされるため、信号帯域幅のハイエンドが制限されます。フィルタのシフト応答がイネーブルになった場合は、フィルタ応答のローエンドが $0.1 \times f_{\text{DATA}}$ でカットオフされるため、信号帯域幅のローエンドが制限されます。したがって、 $0.25 \times f_{\text{DATA}}$ でキャリアに適用される最小帯域幅仕様は $0.3 \times f_{\text{DATA}}$ となります。 $(\pm n \pm 0.25) \times f_{\text{DATA}}$ に配置されたキャリアについては、スペクトルの全域でこの最小帯域幅動作が繰り返されます（ここで、 n は任意の整数）。

REFCLK 入力の駆動

REFCLK 入力は、低ジッタの差動駆動信号を必要とします。入力段は 1.8 V 電源に接続された PMOS 入力差動ペアであるため、仕様規定されている 400 mV の入力コモンモード電圧を維持することが重要です。各入力ピンの信号振幅は、400 mV のコモンモード電圧を中心として 200 mV p-p から 1 V p-p まで可能です。これらの入力レベルは直接的には LVDS 互換ではありませんが、図 71 に示すように、REFCLK は AC カップリングされた LVDS 信号をオフセットすることによって駆動できます。

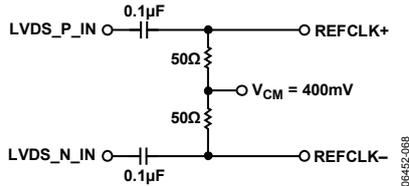


図 71. LVDS REFCLK 駆動回路

クリーンなサイン・クロックを使用できる場合、図 71 に示すように、そのクロックを REFCLK にトランス・カップリングすることができます。サンプル・レートが低い場合、CMOS クロックや TTL クロックも使用できます。すでに説明したように、CMOS/LVDS トランスレータを通してから AC カップリングできます。あるいは、図 72 に示すように、トランス・カップリングしてクランプすることもできます。

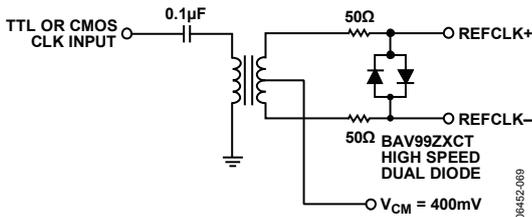


図 72. TTL または CMOS REFCLK 駆動回路

図 73 に、V_{CM} を生成するための簡単なバイアス・ネットワークを示します。クロック・バイアス回路には CVDD18 と CGND を使用することが重要です。クロックに混入したノイズやその他の信号が DAC デジタル入力信号によって通倍されて、DAC の性能を低下させることがあります。

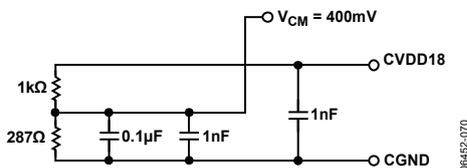


図 73. REFCLK V_{CM} ジェネレータ回路

内部 PLL クロック通倍器／クロック分配

デバイスの内部クロック構造を使用すれば、入力データレートの 1 倍または整数倍のクロック、あるいは DAC 出力サンプル・レートのクロックにより、差動クロック入力を駆動できます。内部 PLL は入力クロック通倍を実現し、インターポレーション・フィルタとデータ同期に必要なすべての内部クロックを提供します。

図 74 に内部クロック・アーキテクチャを示します。基準クロックは、5 番ピンと 6 番ピンでの差動クロックです。このクロック入力を差動またはシングルエンドで実行するには、クロック信号で 5 番ピンを駆動し、5 番ピンでの信号のミッドスイング・ポイントに 6 番ピンをバイアスさせます。クロック・アーキテクチャは、以下の設定で実行できます。

PLL イネーブル (レジスタ 0x09、ビット 7 = 1)

図 74 に示す PLL イネーブル・スイッチは、N₁ デバイダ (PLL VCO 分周比) と N₂ デバイダ (PLL ループ分周比) のジャンクションに接続されます。デバイダ N₃ は DAC のインターポレーション・レートを決定し、比率 N₃/N₂ は基準クロック／入力データレートの比率を決定します。VCO は 1.0~2.0 GHz の範囲にわたって最適に動作するため、N₁ は VCO の速度をこの範囲内に保持しますが、DAC のサンプル・レートはさらに低くできます。ループ・フィルタ部品は完全に内部にあり、外部補償は必要ありません。

PLL ディスエーブル (レジスタ 0x09、ビット 7 = 0)

図 74 に示す PLL イネーブル・スイッチは、基準クロック入力に接続されます。差動基準クロック入力は、DAC の出力サンプル・レートと同じです。N₃ はインターポレーション・レートを決定します。

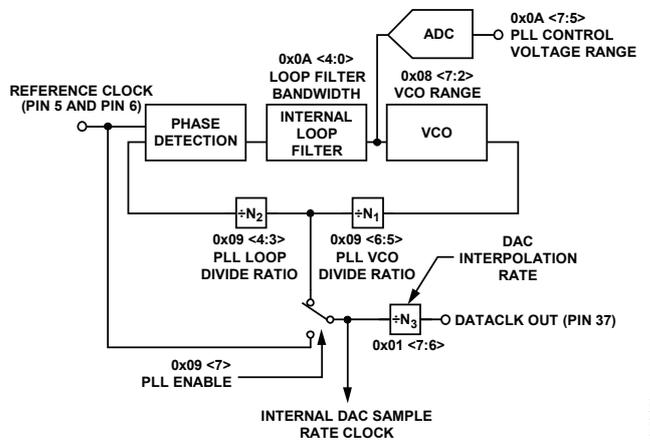


図 74. 内部クロック・アーキテクチャ

表 19. VCO 周波数範囲と PLL 帯域選択値の関係

PLL Lock Ranges over Temp, -40°C to at +85°C		
PLL Band Select	VCO Frequency Range in MHz	
	f _{LOW}	f _{HIGH}
111111 (63)	Auto mode	
111110 (62)	1975	2026
111101 (61)	1956	2008
111100 (60)	1938	1992
111011 (59)	1923	1977
111010 (58)	1902	1961
111001 (57)	1883	1942
111000 (56)	1870	1931
110111 (55)	1848	1915
110110 (54)	1830	1897
110101 (53)	1822	1885
110100 (52)	1794	1869
110011 (51)	1779	1853
110010 (50)	1774	1840
110001 (49)	1748	1825
110000 (48)	1729	1810
101111 (47)	1730	1794
101110 (46)	1699	1780
101101 (45)	1685	1766
101100 (44)	1684	1748
101011 (43)	1651	1729
101010 (42)	1640	1702
101001 (41)	1604	1681
101000 (40)	1596	1658
100111 (39)	1564	1639
100110 (38)	1555	1606
100101 (37)	1521	1600
100100 (36)	1514	1575
100011 (35)	1480	1553
100010 (34)	1475	1529
100001 (33)	1439	1505
100000 (32)	1435	1489
011111 (31)	1402	1468
011110 (30)	1397	1451
011101 (29)	1361	1427
011100 (28)	1356	1412
011011 (27)	1324	1389
011010 (26)	1317	1375
011001 (25)	1287	1352
011000 (24)	1282	1336
010111 (23)	1250	1313
010110 (22)	1245	1299
010101 (21)	1215	1277
010100 (20)	1210	1264
010011 (19)	1182	1242
010010 (18)	1174	1231
010001 (17)	1149	1210
010000 (16)	1141	1198
001111 (15)	1115	1178
001110 (14)	1109	1166
001101 (13)	1086	1145
001100 (12)	1078	1135
001011 (11)	1055	1106
001010 (10)	1047	1103

PLL Lock Ranges over Temp, -40°C to at +85°C		
PLL Band Select	VCO Frequency Range in MHz	
	f _{LOW}	f _{HIGH}
001001 (9)	1026	1067
001000 (8)	1019	1072
000111 (7)	998	1049
000110 (6)	991	1041
000101 (5)	976	1026
000100 (4)	963	1011
000011 (3)	950	996
000010 (2)	935	981
000001 (1)	922	966
000000 (0)	911	951

VCO 周波数範囲

PLL 帯域では 2 倍を超える周波数範囲をカバーするため、PLL 帯域の選択には、範囲のローエンドとハイエンドの合計 2 つのオプションがあります。このような条件のもとでは、ユーザが周波数範囲のハイエンドに対応する帯域値を選択するときは、VCO 位相ノイズが最適です。図 75 は、VCO 帯域幅と最適な VCO 周波数が帯域選択値によってどう変化するかを示します。

VCO 周波数範囲と温度の関係

表 19 に示す温度仕様は、単一ロットの単一製品の場合です。これらの仕様は、製品やロットが異なると、一部のレジスタ設定に厄介な変化が生じることがあります。最適な PLL 性能を維持するには、この潜在的な変化を考慮に入れてシステムを設計する必要があります。

大きな温度変化が予想されるシステムでは、ユーザは、現在使用されているロック・レンジのエッジを感知する必要があるかもしれません。これにより、ユーザは次のロック・レンジにスイッチして、PLL のロックを失う可能性を回避します。

PLL のループ・フィルタ帯域幅

PLL のループ・フィルタ帯域幅は、SPI レジスタ 0x0A のビット <4:0> を介して設定されます。これらの値を変更すると、内部ループ・フィルタのコンデンサが切り替えられます。外付けのループ・フィルタ部品は必要ありません。このループ・フィルタには 0 (P1) に極があり、続いてゼロ (Z1) 極 (P2) 組合わせがあります。Z1 と P2 は、互いの 1 デケードの範囲内で発生します。ゼロ極の位置は、ビット <4:0> によって決定されます。00000 の設定の場合、ゼロ極は 10 MHz の近くに発生します。ビット <4:0> を 11111 に設定すると、Z1/P2 の組合わせで約 1 MHz まで下げられます。1~10 MHz の間で、ビット <4:0> と Z1/P2 の位置との関係は直線的です。しかし、内部部品は許容値が低くないため、±30% のドリフトが生じることがあります。

最適性能を得るには、PLL をイネーブルにして、すべての動作モードで帯域幅調整 (レジスタ 0x0A、ビット <4:0>) を 01111 に設定してください。PLL バイアス設定 (レジスタ 0x09、ビット <2:0>) は 111 に設定します。PLL 制御電圧 (レジスタ 0x0A、ビット <7:5>) が読み出されますが、それは内部ループ・フィルタ出力での DC 電圧に比例します。ここで指定した PLL バイアス設定では、PLL 制御電圧からの読出しは理論上は 010 ですが、100 や 010 の可能性もあります。この範囲を外れる場合は PLL が正しく動作していないことを示します。

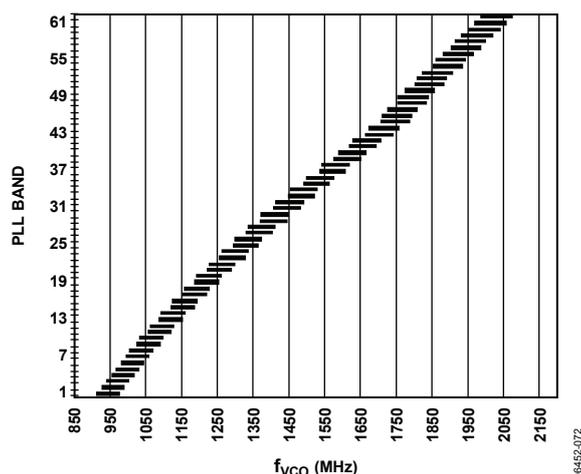


図 75. 温度変化に対する代表的な PLL 帯域選択値と周波数の関係

AD9776A/AD9778A/AD9779A の PLL 自動検索機能

AD9776A/AD9778A/AD9779A の自動検索機能を使用すれば、PLL の最適な帯域を決定できます。自動検索モードをイネーブルにするには、レジスタ 0x08、ビット <7:2> を 11111b (63) に設定し、レジスタ 0x08、ビット <7:2> から値を読み出します。自動検索モードは最適な PLL の帯域を検出することが目的ですから、その後同じ設定を手動モードで適用してください。通常の動作時は、PLL を自動検索モードに設定しないようにしてください。

自動検索機能を使用するには 2 つの方法があります。最初の方法は、ユニットが常に 25°C 前後で起動する環境にある場合に使用します。この場合は、自動検索機能を使用して最適なロック・レンジ値を読み出し、この値を直ちにロック・レンジ・レジスタにプログラムすることができます。この条件の下で起動およびプログラムされた AD9776A/AD9778A/AD9779A は、動作温度範囲の全域で PLL ロックを保持することが保証されます。この状況では、自動検索は、ユニットのパワーオン時にのみイネーブルにする

必要があります。最初の読出しとロック・レンジ・レジスタへのプログラムの後で、自動検索をディスエーブルにします。

ユニットをさらに極端な温度変化の下で起動すると想定される場合は、2 番目の方法を使用して AD9776A/AD9778A/AD9779A の PLL ロック・レンジをプログラムする必要があります。AD9776A/AD9778A/AD9779A の PLL が動作温度範囲の全域でロック状態を保つには、ユーザは、25°C の工場での次のテストを行う必要があります。

自動検索モードをイネーブルにして、ロック・レンジ・レジスタから最適値を読み出します。この値をシステム・メモリ (RAM、FPGA、ASIC) に保存します。

この保存された 25°C 値がユニットの起動時に必ずプログラムされる限り、AD9776A/AD9778A/AD9779A の PLL は、製品の温度範囲の全域でロックされたままであることが保証されます。これは、ユニットの起動温度とは無関係に当てはまります。

なお、自動検索モードによって温度範囲の全域で有効な正しいロック・レンジが与えられるのは、自動検索モードが 25°C でイネーブルにされた場合です。25°C でのロック・レンジが決定されて値が保存されたら、自動検索モードをディスエーブルしてください。温度に対する有効なロック・レンジについては、www.analog.com にある AN-919 を参照してください。

フルスケール電流の生成

内部リファレンス

I DAC と Q DAC のフルスケール電流は、8.66~31.66 mA の範囲で設定できます。最初に、1.2 V のバンド・ギャップ・リファレンスを使用し、I120 (75 番ピン) に接続する外付け抵抗で電流を設定します。図 76 に、リファレンス回路の簡略ブロック図を示します。外付け抵抗の推奨値は 10 kΩ です。これにより 120 μA の抵抗に I_{REFERENCE} が設定されますが、これはさらに 20 mA の DAC 出力フルスケール電流を提供します。ゲイン誤差はこの抵抗の一次関数であるため、抵抗が高精度であればデバイスの内部マッチング仕様へのゲイン・マッチングが向上します。内部カレント・ミラーが提供する電流ゲイン・スケールリングでは、I DAC または Q DAC のゲインは、SPI ポート・レジスタ (レジスタ 0x0B、0x0C、0x0F、0x10) の 10 ビット・ワードです。DAC ゲイン・レジスタのデフォルト値は、約 20 mA の I_{FS} を与えます。ここで、I_{FS} は次式で表すことができます。

$$I_{FS} = \frac{1.2V}{R} \times \left(\frac{27}{12} + \left(\frac{6}{1024} \times DAC\ gain \right) \right) \times 32$$

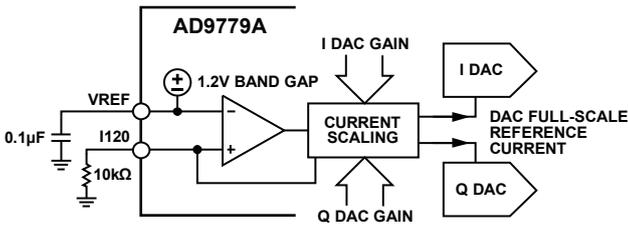


図 76. リファレンス回路

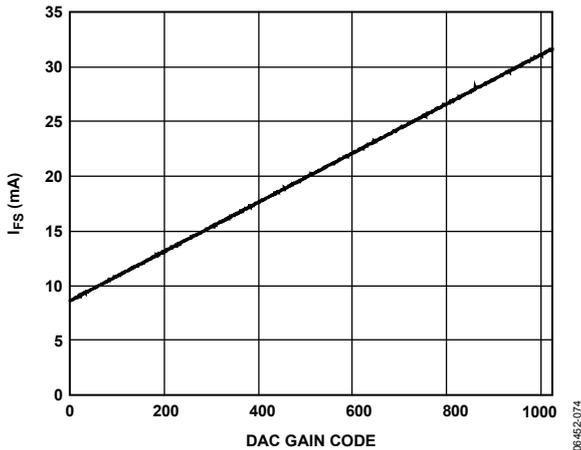


図 77. DAC ゲイン・コード 対 I_{FS}

シングル・サイドバンド・トランスミッタでの補助 DAC の利用

AD9776A/AD9778A/AD9779A には 2 つの補助 DAC があります。これらの DAC のフルスケール出力電流は、1.2 V のバンド・ギャップ・リファレンスと I120 ピンとグラウンドの間の外付け抵抗から得られます。補助 DAC ゲインをフルスケール (10 ビット値、SPI レジスタ 0x0D および 0x11) に設定したとき、リファレンス・アンプ電流 $I_{REFERENCE}$ から補助 DAC リファレンス電流までのゲイン・スケールは 16.67 です。これにより、補助 DAC1 と補助 DAC2 に関しては、約 2 mA のフルスケール電流が与えられます。

図 78 は、補助 DAC の構造を示します。補助 DAC の 2 本の出力ピンのうち、一度にアクティブにできるのは 1 本のみです。非アクティブ側は、ハイ・インピーダンス状態 (>100 kΩ) になります。アクティブ出力ピンを選択するには、レジスタ 0x0E とレジスタ 0x10 のビット 7 に書き込みます。

アクティブ出力は、電流源または電流シンクとして機能できます。電流をソースするとき、出力コンプライアンス電圧は 0~1.6 V です。電流をシンクするとき、出力コンプライアンス電圧は 0.8~1.6 V です。出力ピンを電流源または電流シンクとして選択するには、レジスタ 0x0E とレジスタ 0x10 のビット 6 に書き込みます。

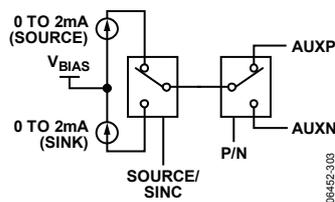


図 78. AD9776A/AD9778A/AD9779A の補助 DAC の構造

補助 DAC1 電流の大きさは、補助 DAC1 コントロール・レジスタ 0x06 によって制御されます。補助 DAC2 電流の大きさは、補助 DAC2 コントロール・レジスタ 0x08 によって制御されます。これらの補助 DAC には、電流をソースまたはシンクする能力があります。これをプログラムするには、いずれかの補助 DAC コントロール・レジスタのビット 14 を使用します。シンク/ソースの選択は、回路の設計時に行う必要があります。回路を配置してから電流のソース/シンクを切り替えるメリットはありません。

DAC 出力の後に直交変調器がある場合は、補助 DAC を局部発振器 (LO) のキャンセルに使用できます。この LO フィードスルーは、直交変調器の入力換算 DC オフセット電圧 (および DAC 出力オフセット電圧のミスマッチ) によって発生し、システム性能を低下させることがあります。図 79 と図 80 は、DAC/直交変調器の代表的なインターフェースを示します。通常、変調器の入力コモンモード電圧は DAC の出力コンプライアンス電圧範囲より高いか高いため、AC 結合または DC レベル・シフトが必要です。直交変調器の必要なコモンモード入力電圧が DAC のコモンモード入力電圧と一致する場合は、図 79 の DC ブロッキング・コンデンサを除去できます。直交変調器の入力において DAC からのスプリアス信号 (歪みと DAC イメージ) がシステム性能に影響を与える場合は、ローパス・フィルタまたはバンドパス受動フィルタの使用を推奨します。図 79 と図 80 に示す位置にフィルタを配置すると、ソース・インピーダンスと負荷インピーダンスを 50 Ω に近い値に簡単に設計できるため、フィルタの設計が簡単になります。

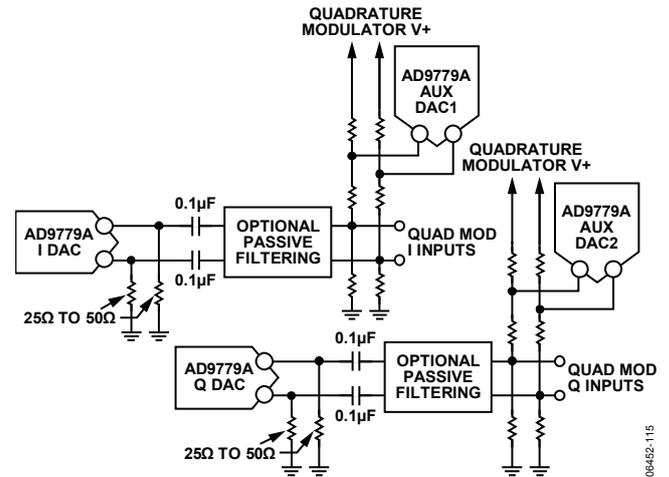


図 79. 補助 DAC の代表的な使い方 (直交変調器への AC 結合)

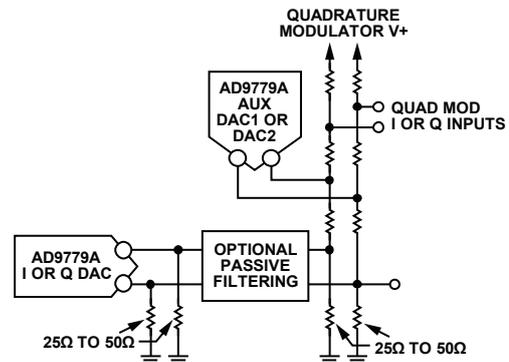


図 80. 補助 DAC の代表的な使い方 (DC シフトによる直交変調器への DC 結合)

AD9776A/AD9778A/AD9779A による、IF/RF 変換での直交変調器の非理想的な性能の補正

アナログ直交変調器を使用すれば、非常に簡単にシングル・サイドバンド無線を実現できます。しかし、直交変調器の性能には、非理想的な側面もいくつかあります。これらのアナログ劣化のうち、主なものは次のとおりです。

- ゲイン・ミスマッチ—直交変調器の実数と虚数の信号経路のゲインは、完全にマッチしないことがあります。この場合は、負の周波数イメージのキャンセルが完全ではないため、最適でないイメージ除去につながります。
- LO フィードスルー—直交変調器では、DC 換算オフセットが有限であるだけでなく、その LO ポートから信号入力への結合も有限です。そのため、直交変調器 LO の周波数において大きなスペクトル・スプリアスにつながる可能性があります。

AD9776A/AD9778A/AD9779A には、この 2 つのアナログ劣化を補正する能力があります。これらの劣化は温度とともにドリフトするため、最適に近いシングル・サイドバンド性能が求められる場合は、温度に対するこれらの劣化を感知して補正するための方法が必要なこともあります。

I/Q チャンネルのゲイン・マッチング

ゲイン・マッチングを行うには、DAC ゲイン・レジスタの値を調整します。IDAC では、これらの値は IDAC コントロール・レジスタ 0x05 にあります。Q DAC では、これらの値は Q DAC コントロール・レジスタ 0x07 にあります。これらは 10 ビット値です。ゲイン補償を行うには、これらのいずれかのレジスタの値を固定のステップ・サイズだけ上げ下げし、望ましくないイメージの振幅を確認します。望ましくないイメージの振幅が増加している場合は、この手順を停止して、もう一方の DAC コントロール・レジスタで同じ調整を試みます。この操作は、これらのレジスタを調整してもイメージ除去を改善できなくなるまで続けます。

LO フィードスルー補償は、位相補償とは無関係であることに注意してください。しかし、ゲイン補償は LO 補償に影響を与えることがあります。なぜなら、ゲイン補償によって信号のコモン・モード・レベルが変化することがあるからです。一部の変調器では、DC オフセットがコモン・モード・レベルに依存します。したがって、ゲイン調整を行ってから、LO 補償を行うとよいでしょう。

LO フィードスルー補償

LO フィードスルー補償は、3 つの操作の中で最も複雑です。これは、図 78 に示すように、オフセット補助 DAC の構造に起因します。回路内で LO フィードスルー補償を行うには、これらの補助 DAC の 4 つの出力のそれぞれを、50 Ω 抵抗を介してグラウンドに接続し、250 Ω 抵抗を介して 4 つの直交変調器信号入力の 1 つに接続する必要があります。これらの接続の目的は、直交変調器の入力において非常に小さな電流量をノードに駆動して、直交変調器の信号入力のいずれか一方にわずかな DC バイアスを追加することです。これを AD9776A/AD9778A/AD9779A 評価用ボードの回路図でご覧ください (図 107 を参照)。

LO フィードスルーの補償を行うには、ユーザは、まず補助 DAC 符号レジスタのデフォルト状態から始めて、次にいずれか一方の補助 DAC 出力電流の大きさをインクリメントします。この間に、直交変調器出力における LO フィードスルーの振幅を感知します。LO フィードスルーの振幅が増加した場合は、調整中の補助 DAC の符号を変更するか、もう一方の補助 DAC の出力電流を調整してみます。効果的なアルゴリズムを実現するには、練習を必要とする場合があります。AD9776A/AD9778A/AD9779A 評価用ボードを使用すれば、一般的に LO フィードスルーをノイズ・フロアまで調整できます。しかし、これは温度に対して安定していません。

ゲイン/オフセット補正の結果

図 81 と図 82 は、ゲイン/オフセット補正の結果を示します。図 81 は、ゲイン/オフセット補正前の直交復調器の出力スペクトルを示します。図 82 は、補正後の出力スペクトルを示します。2.1 GHz での LO フィードスルー・スプリアスは、ノイズ・レベルまで抑制されました。この結果は補正の適用によって実現できます。しかし、温度が大きく変化した後では、補正を繰り返す必要があります。

なお、ゲイン・マッチングによって負の周波数イメージ除去は改善されましたが、まだ相当なイメージが存在します。残りのイメージは、直交変調器での位相ミスマッチによるものです。位相ミスマッチは、イメージの形状によってゲイン・ミスマッチと区別できます。図 81 のイメージは比較的平坦ですが、図 82 のイメージは周波数とともに傾斜しています。位相ミスマッチは周波数に依存するため、位相ミスマッチによって支配されるイメージには、このような傾斜特性があります。

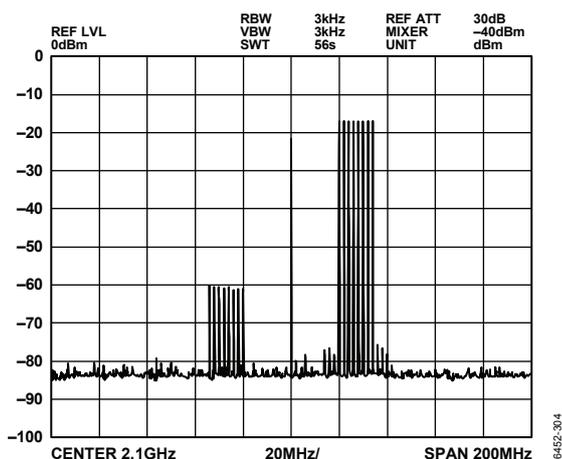


図 81. 2.1 GHz でのマルチトーン信号のある AD9779A と ADL5372 (ゲイン/LO 補償なし)

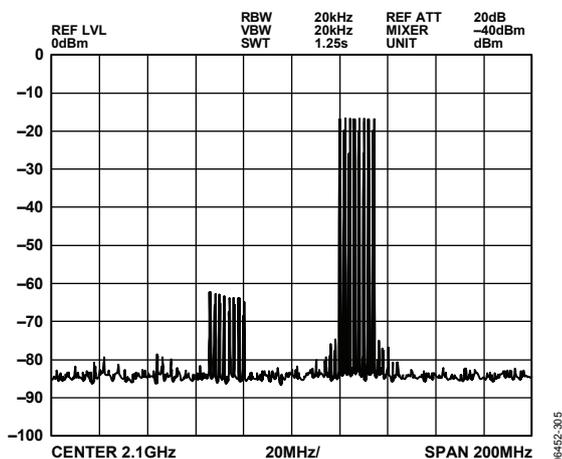


図 82. 2.1 GHz でのマルチトーン信号のある AD9779A と ADL5372 (ゲイン/LO 補償を最適化)

消費電力

図 83~91 に、シングル DAC モードとデュアル DAC モードにおける、1.8 V と 3.3 V のデジタル/クロック電源の消費電力を示します。これに加えて、シングル DAC モードでの 3.3 V アナログ電源(モードおよび速度独立)の消費電力/電流は 102 mW/31 mA です。デュアル DAC モードでは 182 mW/51 mA です。PLL がイネーブルになると、1.8 V のクロック電源に 50 mA/90 mW が加わります。

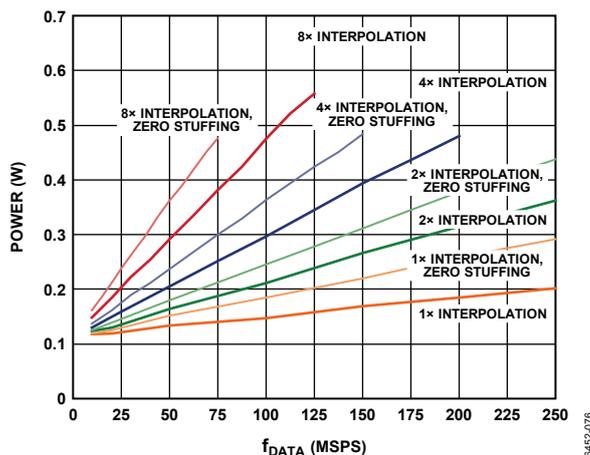


図 83. 消費電力 (I データのみ、リアル・モード)

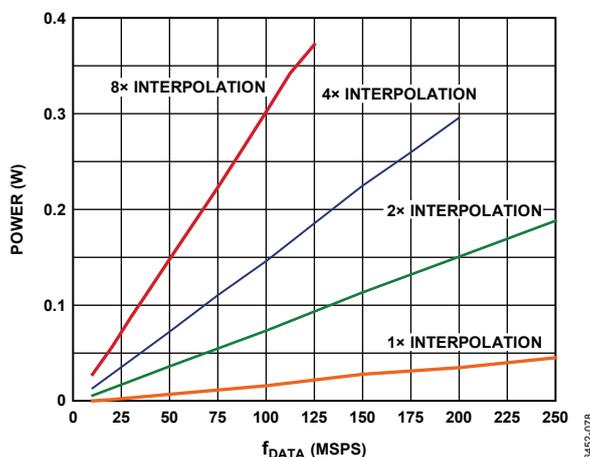


図 84. 消費電力 (デジタル 1.8 V 電源、I データのみ、リアル・モード、ゼロ充填を含まない)

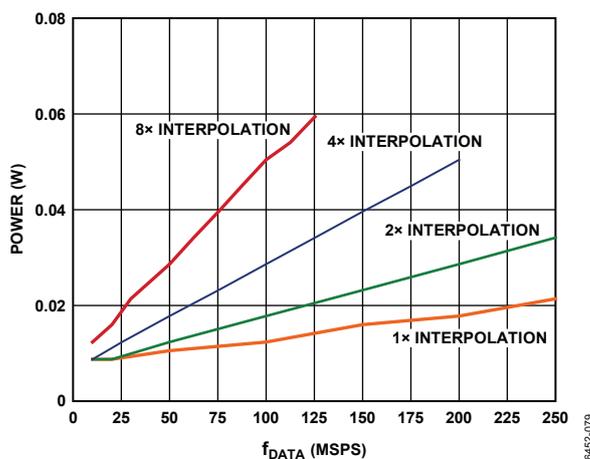


図 85. 消費電力 (クロック 1.8 V 電源、I データのみ、リアル・モード、変調モードあり、ゼロ充填を含まない)

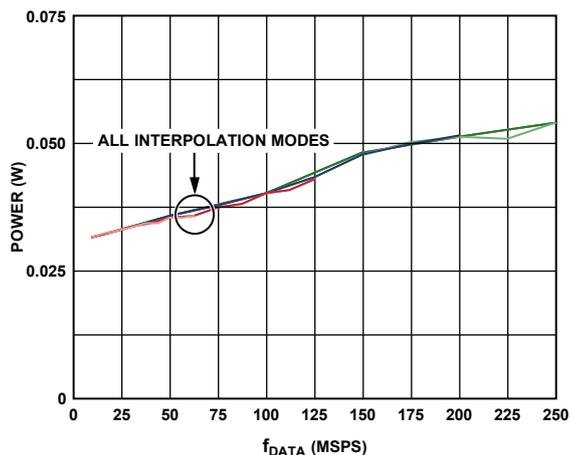


図 86. 消費電力 (デジタル 3.3V 電源、I データのみ、リアル・モード、変調モードとゼロ充填あり)

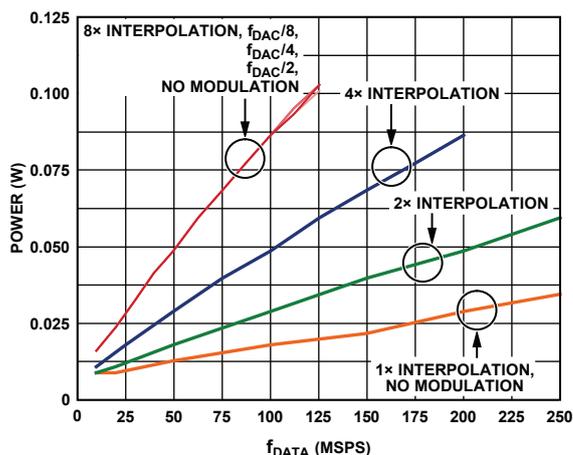


図 89. 消費電力 (クロック 1.8V 電源、I および Q データ、デュアル DAC モード、ゼロ充填なし)

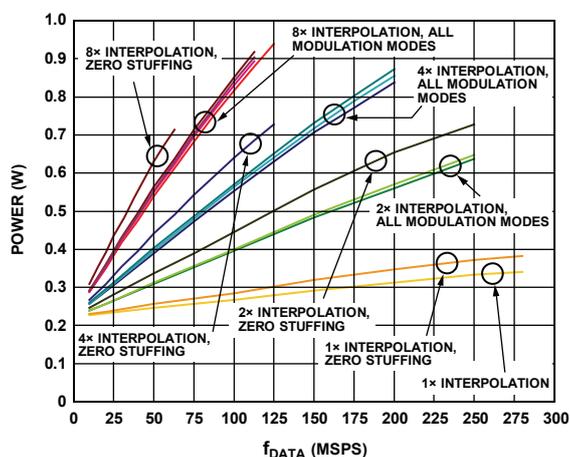


図 87. 総消費電力 (デュアル DAC モード)

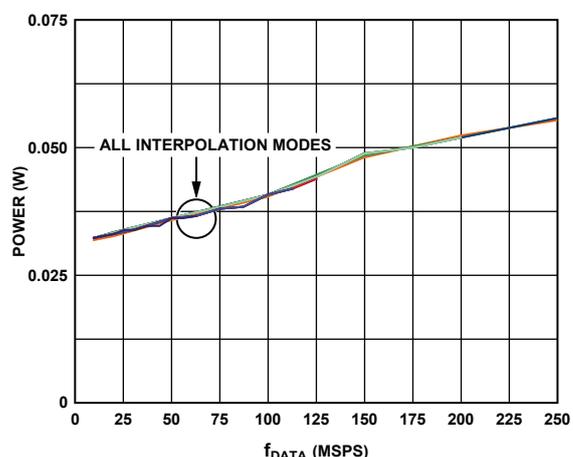


図 90. 消費電力 (デジタル 3.3V 電源、I および Q データ、デュアル DAC モード)

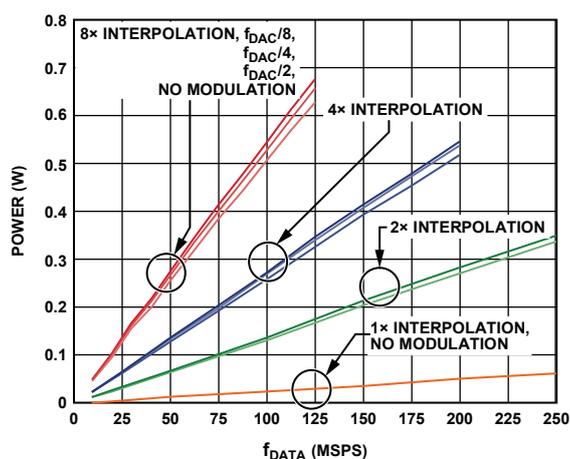


図 88. 消費電力 (デジタル 1.8V 電源、I および Q データ、デュアル DAC モード、ゼロ充填なし)

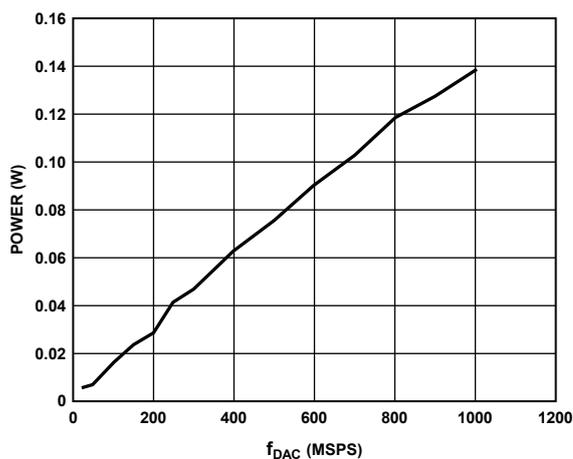


図 91. DVDD18 反転 sinc フィルタの消費電力

パワーダウン・モードとスリープ・モード

AD9776A/AD9778A/AD9779A にはさまざまなパワーダウン・モードがあり、デジタル・エンジンやメイン TxDAC、補助 DAC を個々にあるいは一緒にパワーダウンできます。メイン TxDAC は、SPI ポートを介してスリープ・モードやパワーダウン・モードにできます。スリープ・モードでは、TxDAC の出力がオフになり消費電力が減少します。ただしリファレンスはパワーオン状態のため、スリープ・モードからの回復はきわめて迅速です。パワーダウン・モード・ビット (レジスタ 0x00、ビット 4) をセットすると、リファレンスも含めてすべてのアナログ/デジタル回路がパワーダウンになります。パワーダウン・モードでは、SPI ポートがアクティブ状態を維持します。このモードは、スリープ・モードに比べて大幅な節電になりますが、ターンオン時間が長くなります。補助 DAC も、SPI ポートを介してスリープ・モードに設定できます。自動パワーダウン・イネーブル・ビット (レジスタ 0x00、ビット 3) では、デバイスのデジタル部のパワーダウン機能を制御します。自動パワーダウン機能は、次の条件に基づいて、TXENABLE ピン (39 番ピン) と連携して働きます。

TXENABLE (39 番ピン) =

0 : 自動パワーダウン・イネーブル =

0 : データ・パスを 0 でフラッシュ

1 : データを複数の REFCLK サイクルにわたってフラッシュしてから、デジタル・エンジンを自動的にパワーダウン状態にします。DAC、リファレンス、SPI ポートは影響を受けません。

または TXENABLE (39 番ピン) =

1 : 通常動作

図 92 に示すように、パワーダウン・モードを用いて節約される消費電力は、TXENABLE ピンでの信号のデューティサイクルにほぼ比例します。

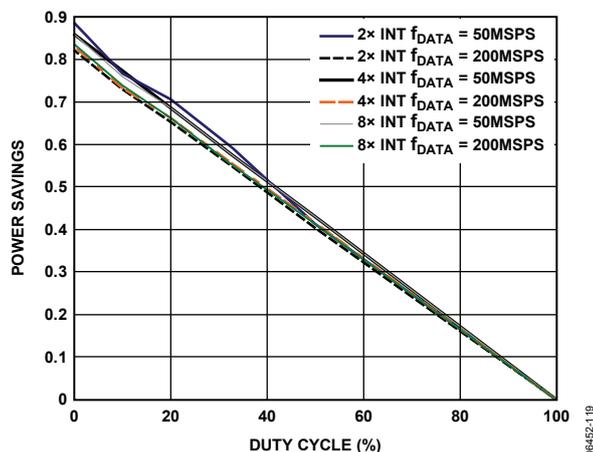


図 92. TXENABLE のデューティサイクルに基づく節電

TXENABLE 反転ビット (レジスタ 0x02、ビット 1) がセットされた場合、この TXENABLE ピンの機能が反転されます。

インターリーブ・データ・モード

TxEnable ビットには 2 つの機能があります。デュアル・ポート・モードでは、これはデバイスのデジタル部のパワーダウンにのみ使用されます。インターリーブ・モードでは、TxEnable は IQSELECT 信号として機能し、PID データのターゲットとなる DAC を示します。IQSELECT 信号は、入力データとタイムアラインしてください。IQSELECT がハイレベルの場合は、対応するデータ・ワードは IDAC に送られます。IQSELECT がローレベルの場合は、対応するデータは Q DAC に送られます。図 93 は、インターリーブ・モードでのデジタル・インターフェースのタイミングを示します。

Q ファースト・ビット (レジスタ 0x02、ビット 0) は、入力データのペアリング順序を制御します。Q ファースト・ビットをデフォルトの 0 に設定すると、DAC に送信される IQ ペアリングは、IQSELECT のローレベルとそれに続く IQSELECT のハイレベルに対応する 2 つの入力データ・ワードです。Q ファーストを 1 に設定すると、DAC に送信される IQ ペアリングは、IQSELECT のハイレベルとそれに続く IQSELECT のローレベルに対応する 2 つの入力データ・ワードです。なお、Q ファーストをセットすると、I データは依然として IQSELECT の上位ワードに、Q データは IQSELECT の下位ワードに対応し、ペアリングのみが変化します。

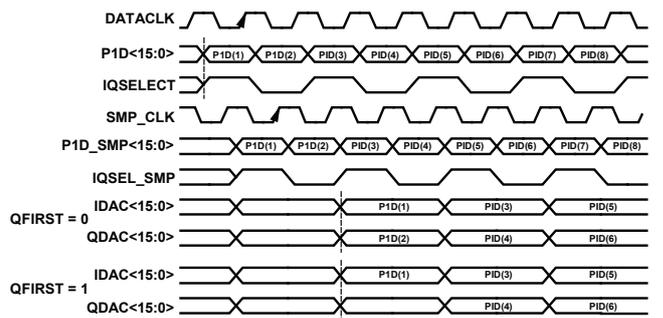


図 93. インターリーブ・モードでのデジタル・インターフェースのタイミング

TXENABLE がローレベルにされ、複数の REFCLK サイクルにわたってローレベルに保持された場合は、デバイスはインターポレーション・フィルタ内のデータをフラッシュし、フィルタがフラッシュされた後でデジタル・エンジンをシャット・ダウンします。このパワーダウン・モードに入るために必要な REFCLK サイクル数は、等価な 2x、4x、8x インターポレーション・フィルタの長さの関数です。

タイミング情報

図 94~97 に、PLL がイネーブルの場合に可能な、いくつかのタイミングを示します。図 74 の N_2 と N_3 の設定の組み合わせは、基準クロック周波数 (f_{REFCLK}) を実際の入力データレートの倍数にできることを意味します。図 94~97 はそれぞれ、 $N_2/N_3=1$ ($N_2=N_3$ = インターポレーション・レート) のときのタイミングを示します。

インターリーブ・モードでは、データ入力を基準にした DATACLK 出力のセットアップ時間とホールド時間は、図 94~図 97 に示す時間と同じです。TXENABLE のトグルは、デジタル・データ入力の遷移と同時に行うことを推奨します。このようにして、DATACLK、TXENABLE、デジタル入力データ間のタイミング・マージンが最適化されます。

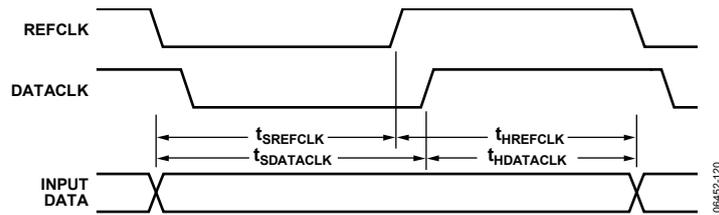


図 94. タイミング仕様 (PLL イネーブル/ディスエーブル、インターポレーション = 1×)

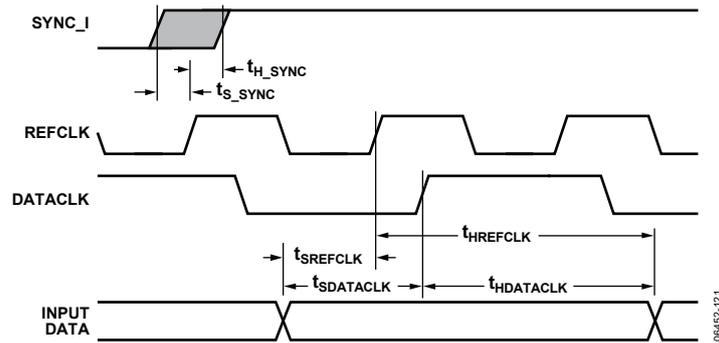


図 95. タイミング仕様 (PLL イネーブル/ディスエーブル、インターポレーション = 2×)

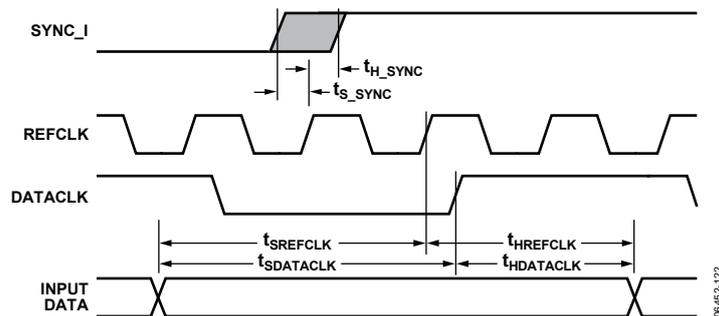


図 96. タイミング仕様 (PLL イネーブル/ディスエーブル、インターポレーション = 4×)

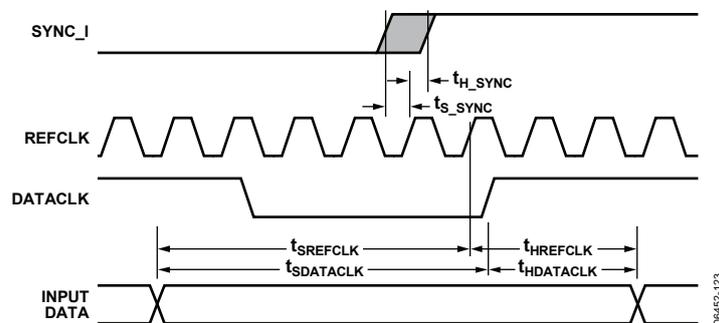


図 97. タイミング仕様 (PLL イネーブル/ディスエーブル、インターポレーション = 8×)

表 20 は、入力データのセットアップ/ホールド時間の温度に対するドリフト仕様と、データのキープアウト・ウィンドウ (KOW) を示します。なお、これらの仕様はドリフトしますが、入力データが無効であるキープアウト・ウィンドウの長さは、温度に対してほとんど変化しません。

表 20. AD9776A/AD9778A/AD9779A の温度に対するタイミング仕様

Timing Parameter	Temperature	Min t_s (ns)	Min t_H (ns)	Max KOW (ns)
DATA with respect to REFCLK±	-40°C	-0.8	3.35	2.55
	+25°C	-1.0	3.5	2.5
	+85°C	-1.1	3.8	2.7
	-40°C to +85°C	-0.8	3.8	3.0
DATA with respect to DATACLK	-40°C	2.5	-0.05	2.45
	+25°C	2.7	-0.2	2.5
	+85°C	3.0	-0.4	2.6
	-40°C to +85°C	3.0	-0.05	2.95
SYNC_I± to REFCLK±	-40°C	0.3	0.65	0.95
	+25°C	0.25	0.75	1.0
	+85°C	0.15	0.90	1.05
	-40°C to +85°C	0.3	0.90	1.2

デジタル入力データ・バスのタイミング確認

入力データ・バスを同期化して有効なタイミングを得るには、REFCLK へのデジタル入力データと表 20 で指定された DATA 出力とのタイミング関係を満たす必要があります。ユーザが入力データを DATACLK (ピン 37) に同期化している場合は、SYNC_I 入力信号は、印加する必要がなく、無視できます (GND に接続)。

PLL のイネーブル/ディスエーブルによる入力データと REFCLK 入力 (ピン 5 とピン 6) の同期化

入力データ・バスを REFCLK 入力に同期させるには、SYNC_I 入力ピン (ピン 13 とピン 14) を使用する必要があります。SYNC_I 入力を使用しない場合は、DATACLK 出力と REFCLK 入力間に位相アンビギュイティが存在します。このアンビギュイティ (曖昧性) は、AD9776A/AD9778A/AD9779A が現在動作しているインターポレーション・レートに直接関係します。入力データは DATACLK の立上がりエッジでラッチされるため、ユーザは、複数ある内部 DACCLK エッジ (一例として、4×インターポレーションでは 4 つのエッジ) のどれで入力データが実際にラッチされるかを判定できません。ユーザがデータのラッチされる内部 DACCLK の正確なエッジを明確に判定するには、SYNC_I に対して立上がりエッジを定期的に印加する必要があります。適切な同期をとるには、SYNC_I 信号の周波数は $f_{DAC}/2^N$ (N は整数) と等しく、DATACLK の周波数を超えない必要があります。SYNC_I 信号の駆動に関しては、いくら低速でもかまいません。表 20 に示す SYNC_I と REFCLK とのセットアップ/ホールドのタイミング関係が満たされる限り、入力データは、REFCLK のすぐ次の立上がりエッジでラッチされます。なお、DATACLK の立上がりエッジは、短い伝搬遅延の後、次の REFCLK 立上がりエッジと同時に発生します。この伝搬遅延は指定されませんが、図 94～図 97 は、REFCLK と DATACLK を基準にした入力データのセットアップ/ホールドのタイミング情報を示します。また、1×インターポレーションでは、位相アンビギュイティがないため、SYNC_I 信号を使用する必要はありません。

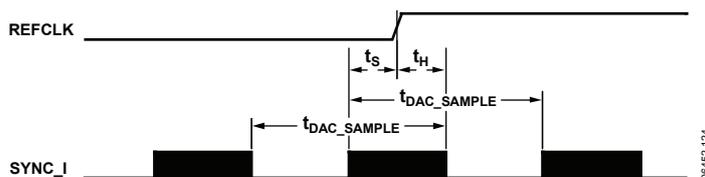


図 98. SYNC_I から REFCLK への有効なタイミング関係

有効なタイミング・ウィンドウ、SYNC_I から REFCLK および内部 DACCLK へ

REFCLK を基準とした SYNC_I のタイミング条件に加えて、SYNC_I の有効なタイミング・ウィンドウは、内部 DAC のサンプル・レートによって制限されることを理解することが重要です (図 98 を参照)。 t_s と t_h の条件が満たされると、SYNC_I の有効なタイミング・ウィンドウは、内部 DAC のサンプル・レートの 1 周期 (から t_s と t_h を減算した値) まで拡張されます。このタイミング仕様を満たさない場合は、AD9776A/AD9778A/AD9779A のデジタル入力に誤ったデータがラッチされる可能性があります。

一例として、AD9776A/AD9778A/AD9779A の入力データレートが 122.88 MSPS で、REFCLK も同じである場合は、AD9776A/AD9778A/AD9779A を 4×インターポレーションで使用すると、 t_{DAC_SAMPLE} は 1/491.52 MHz (約 2 ns) です。 t_s が -0.2 ns、 t_h が +1.0 ns の場合は、SYNC_I の有効なタイミング・ウィンドウは次のようになります。

$$2 \text{ ns} - 0.8 \text{ ns} = 1.2 \text{ ns}$$

また、REFCLK へのデジタル入力データのタイミング・ウィンドウを内部 DACCLK の 1 サイクルのインクリメントで移動するには、DAC のクロック・オフセット・レジスタ (レジスタ 0x07、ビット <4:0>) を使用します。

PLL がイネーブルにされると、SYNC_I は REFCLK と同じ周波数で実行できるため、この条件では、REFCLK と SYNC_I を同じソースから発生させることを強く推奨します。これによって、これら 2 つの信号間の時間変動が制限され、全体的なタイミング・バリエーションの達成が容易になります。この構成では、REFCLK と SYNC_I の間のタイミング・マージンを増やすために、REFCLK バス上にわずかな遅延が必要な場合もあります (タイミング関係については表 20 を参照)。

データ遅延によりタイミング条件を満たす方法

最高 300 MSPS という入力データレートで厳密なタイミング条件を満たすため、AD9776A/AD9778A/AD9779A には微細なタイミング機能があります。微細なタイミング調整を行うには、データ・クロック遅延レジスタ (レジスタ 0x04、ビット <7:4>) に値を書き込みます。このレジスタを使用すれば、REFCLK 入力と DATACLK 出力の間に遅延を追加できます。図 99 に、DATACLK 遅延がディスエーブルの場合のデフォルト遅延を示します。DATACLK 遅延イネーブルビットは、レジスタ 0x02、ビット 4 にあります。図 100 は、DATACLK 遅延がイネーブルで 00000 に設定された場合の遅延を示します。図 101 は、DATACLK 遅延がイネーブルで 01111 に設定された場合の遅延を示します。なお、データから DATACLK に対して指定されるセットアップ時間とホールド時間は、DATACLK 遅延をディスエーブルにして仕様で定義されています。

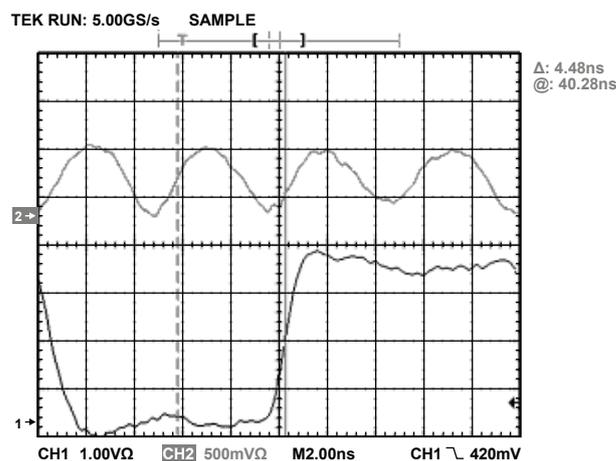


図 99. REFCLK から DATACLK 出力までの遅延 (DATACLK 遅延をディスエーブル)

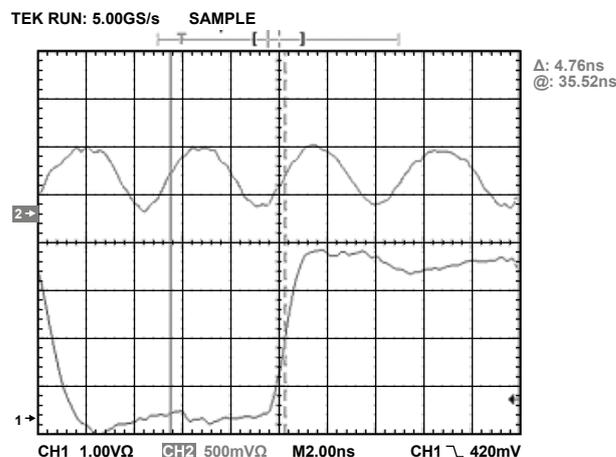


図 100. REFCLK から DATACLK 出力までの遅延 (DATACLK 遅延 = 00000)

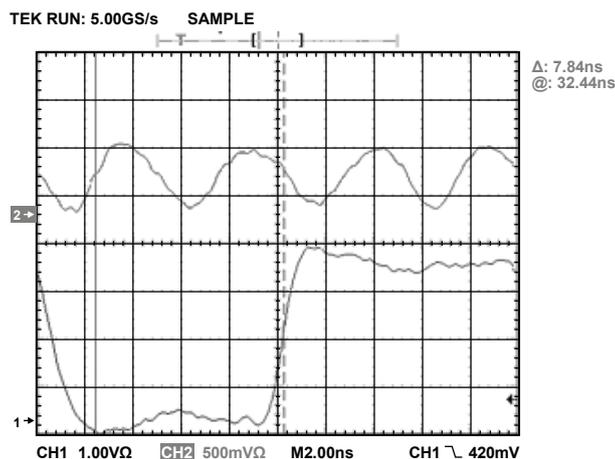


図 101. REFCLK から DATACLK 出力までの遅延 (DATACLK 遅延 = 01111)

図 100 に示す最小遅延から図 101 に示す最大遅延までの範囲は、DATACLK 遅延レジスタを介して設定できます。0000 と 1111 の間で DATACLK 遅延を設定する際の遅延（絶対時間）は、この 2 つの数値の間を線形とみなして得られます。表 21 に、温度に対するインクリメントごとの代表的な遅延を示します。

表 21. 温度に対するデータ遅延ラインの代表的な遅延

Delay	-40°C	+25°C	+85°C	Unit
Delay Between Disabled and Enabled	630	700	740	ps
Average Delay per Increment	175	190	210	ps

DATACLK 出力の周波数は、いくつかのプログラマブルな設定に依存します。REFCLK 周波数は、インターポレーション、ゼロ充填、入力モード（表 22 を参照）の影響を受けます。REFCLK と DATACLK との間の約数関数は、表 22 に示す値に等しくなります。

表 22. REFCLK と DATACLK の約数比

Interpolation	Zero Stuffing	Input Mode	Divisor
1	Disabled	Dual port	1
2	Disabled	Dual port	2
4	Disabled	Dual port	4
8	Disabled	Dual port	8
1	Disabled	Interleaved	Invalid
2	Disabled	Interleaved	1
4	Disabled	Interleaved	2
8	Disabled	Interleaved	4
1	Enabled	Dual port	2
2	Enabled	Dual port	4
4	Enabled	Dual port	8
8	Enabled	Dual port	16
1	Enabled	Interleaved	1
2	Enabled	Interleaved	2
4	Enabled	Interleaved	4
8	Enabled	Interleaved	8

この約数関数に加えて、DATACLK は、DATACLK 分周レジスタ（レジスタ 0x03、ビット<5:4>）の状態に応じて、さらに 4 までの係数で分周できます。詳細については、表 23 を参照してください。

表 22 の値と DATACLK 分周レジスタを組み合わせ得られる最大約数は 32 です。

表 23. DATACLK の分周比

Register 0x03, Bits<5:4>	Divider Ratio
00	1
01	2
10	4
11	1

データ遅延ライン、誤差補正、手動モード

図 99、図 100、図 101 に示すように、DATACLK 遅延設定によって、ユーザは、DATACLK 出力と入力データの間のタイミング関係を調整できます。この方法では、DATACLK 出力に対する入力データのタイミング関係を、SPI ポートを介してプログラムできるため、ユーザ・フレキシビリティが得られます。AD9776A/AD9778A/AD9779A では、単に所定の値に合わせてデータ・クロック遅延をプログラムできるだけでなく、SPI リードバックとプログラム可能なタイミング・マージンを利用して、現在のタイミングが無効領域にどれくらい近づいているかを高い精度でユーザが判断できます。なお、この機能によって（入力データパスではなく）DATACLK 出力信号の遅延が増えるため、入力データと REFCLK の間のタイミング関係には影響がありません。

手動モードで誤差補正をイネーブルにすると（レジスタ 3、ビット 7 = 0）、ユーザは、タイミング・マージン・ウィンドウを設定してから、前述の DATACLK 遅延を掃引できます。遅延のフル・スパンは、32 のインクリメントで約 5.6 ns に等しいため、表 21 に示すように、約 180 ps/インクリメントになります。設定できるタイミング・マージンの量は、わずか 4 ビット（レジスタ 3、ビット<3:0>）ですが、インクリメント当たりの量は DATACLK 遅延と同じく、約 180 ps/インクリメントになります。内部的に、サンプリング・クロックはデジタル入力データをサンプリングして、データ入力での遷移を感知できます。DATACLK のラッチング・エッジに近いデータ遷移が感知された場合は、SPI ポート・レジスタ 19 のビット 7 から読み出せるデータ遅延 IRQ が生成されます。

このビットは、レジスタ 0x19 のビット 3 によってイネーブルにする必要があります。これと同じレジスタのビット 4 を読み出すことで、IRQ がセットアップ違反を示すのか、ホールド違反を示すのかを判定できます。データ遅延 IRQ は、外部ピン（ピン 71）からも読み出すことができます。ピン 71 で内部の同期 IRQ 機能とデータ遅延 IRQ 機能の OR をとることによって、いずれのソースの IRQ からでも、このピンをローレベルに設定できます。IRQ ではセットアップ/ホールド・エラーを区別しないため、いずれが IRQ 生成の原因であったかを判断するには、DATACLK 遅延のフル掃引が必要な場合があります。内部回路が感知するデータ遷移まわりのマージンを調整するには、SPI レジスタのウィンドウ検出設定（レジスタ 3、ビット<3:0>）を利用します。入力データと DATACLK 出力の間のタイミング・マージン（からプログラマブル・マージンを減算した値）が表 20 に示すセットアップ/ホールド時間に違反した場合は、IRQ がセットされます。したがって、セットアップ時間を改善するには DATACLK 遅延を減らし、ホールド時間を改善するには DATACLK 遅延を増やします。また、IRQ がセットされた場合は、たとえ IRQ 障害が解決されても、自動的にリセットされないことに注意してください。

IRQ をリセットするには、IRQ レジスタに 0 を書き込む必要があります。

データ遅延ライン、誤差補正、自動モード

データ遅延の誤差補正は、自動モードでも実行できます。その場合は、AD9776A/AD9778A/AD9779A が最適なタイミングを決定し、それに応じてデータ遅延を設定します。ユーザは、必要ならば、データ遅延レジスタの値を読み出すことができます。自動モードでは、ユーザは、依然としてタイミング・マージン・ウィンドウをプログラムする必要があります。

実行中には、自動タイミング・モードを常にオンにしておくことができ、他のユーザの介入なしに温度を追跡します。

マルチ DAC 同期

AD9776A/AD9778A/AD9779A のプログラマブル機能を使用すれば、CMOS デジタル・データ・バスの入力と複数のデバイス上の内部ファイラとの同期をとることができます。つまり、AD9776A/AD9778A/AD9779A 上の DATACLK 出力信号を使用して、複数の AD9776A/AD9778A/AD9779A にデータを配信するデータ・バス用に出力データを登録できます。この操作の詳細については、アナログ・デバイセズのアプリケーション・ノート AN-822 を参照してください。

評価用ボードの動作

AD9776A/AD9778A/AD9779A の評価用ボードは、使いやすさを損なうことなく、DAC 性能とデジタル・インターフェースの速度を最適化するように設計されています。ボードを動作させるには、電源、クロック源、デジタル・データ・ソースが必要です。DAC 出力を調べるには、スペクトル・アナライザやオシロスコープも必要です。図 102 に、テスト・セットアップを示します。サ

イン波や方形波のクロックは、クロック源として有効です。クロックは、評価用ボード上で AC カップリングされてから REFCLK 入力に送られるため、クロック上の DC オフセットは問題になりません。図 103 に、評価用ボードに必要なすべての接続の詳細図を示します。

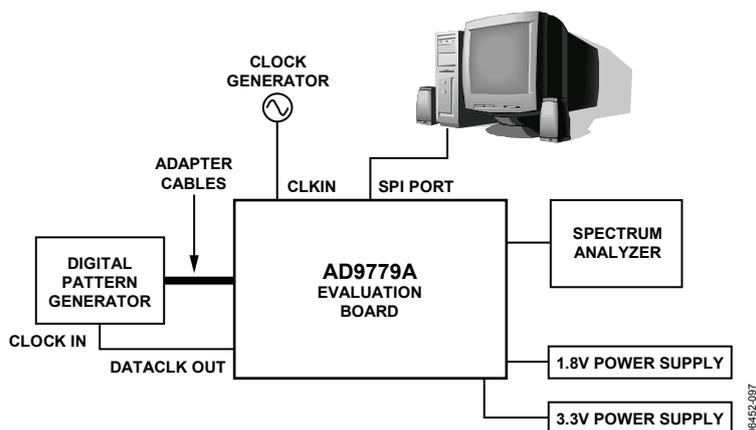


図 102. 代表的なテスト・セットアップ

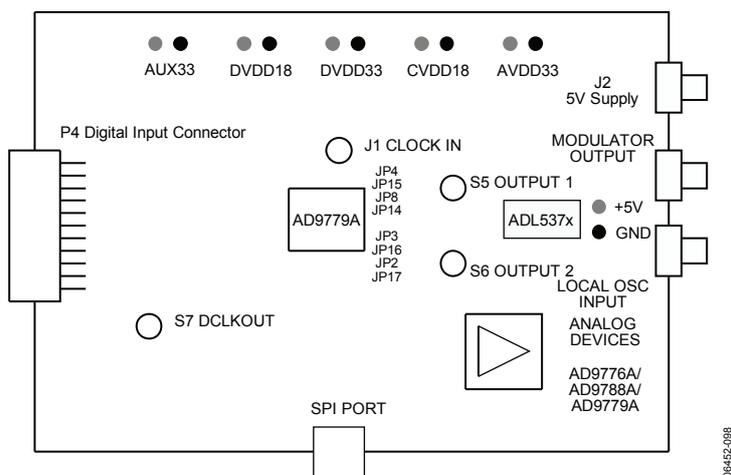


図 103. すべての接続を示した AD9776A/AD9778A/AD9779A 評価用ボード

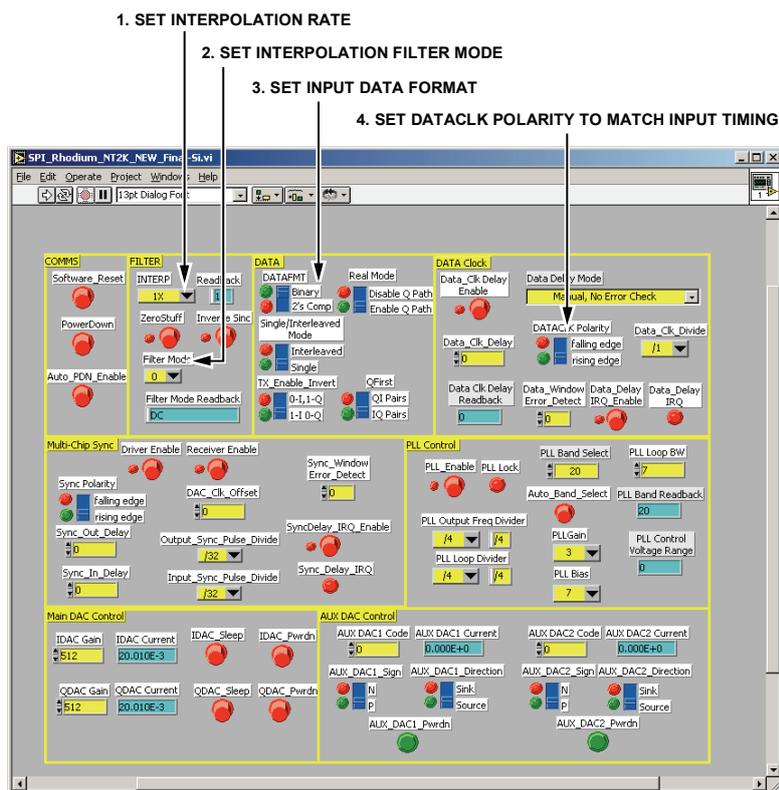


図 104. SPI ポートのソフトウェア・ウィンドウ

評価用ボードに付属のソフトウェアを使用すれば、SPI ポートを設定できます。この SPI ポートを介して、デバイスはさまざまな動作モードに設定できます。評価用ボードを初めて動作させるときは、簡単な設定（SPI ポートの設定値をデフォルト設定値にできるだけ近づける）で始めるとよいでしょう。図 104 に、デフォルトのソフトウェア・ウィンドウを示します。矢印は、初回の簡単な評価のために変更しなければならない設定値を示しています。つまり、ここでは PLL は使用せず、クロックは DAC 出力のサンプル・レートの速度を使用することになります。PLL の使い方の詳細については、「PLL のループ・フィルタ帯域幅」を参照してください。

評価用ボードのデフォルト設定値を使用すれば、DAC 出力信号をシングルエンド信号に変換するトランスを通じて、差動出力を確認できます。評価用ボードでは、これらのトランスは T1A、T2A、T3A、T4A として示されています。ボード上には T1B、T2B、T3B、T4B という 4 つの同相トランスもあります。トランスと同相トランスは直列に配置することを推奨します。各 DAC 出力にはトランスと同相トランスのペアが設置されるため、これらのペアはいずれの順序でもセットアップできます。一例として、DC から 30 MHz の周波数範囲では、トランスは DAC の直後に配置するとよいでしょう。30 MHz の DAC 出力周波数を上回る場合は、DAC 出力の直後に同相トランスを配置し、その後にトランスを配置することを推奨します。

実装された直交変調器 ADL5372 を使用するための AD9776A/AD9778A/AD9779A 評価用ボードの変更

評価用ボードには、アナログ・デバイゼスの ADL5372 直交変調器が実装されています。AD9776A/AD9778A/AD9779A と ADL5372 はインターフェースの容易な DAC/変調器の組み合わせとなっており、評価用ボードで簡単に評価できます。ハンダ付け可能ジャンパの設定によって、AD9776A/AD9778A/AD9779A のシングルエンド出力または差動出力を評価できます。これは、工場出荷時のデフォルト設定であり、以下のジャンパ位置で構成されています。

JP2、JP3、JP4、JP8 (ハンダ付けなし)
JP14、JP15、JP16、JP17 (ハンダ付け)

このボード上の ADL5372 を評価するには、上のジャンパ位置を入れ替えて、以下の位置にする必要があります。

JP2、JP3、JP4、JP8 (ハンダ付け)
JP14、JP15、JP16、JP17 (ハンダ付けなし)

なお、ADL5372 は、評価用ボード上に専用の +5 V 接続と GND 接続も必要とします。

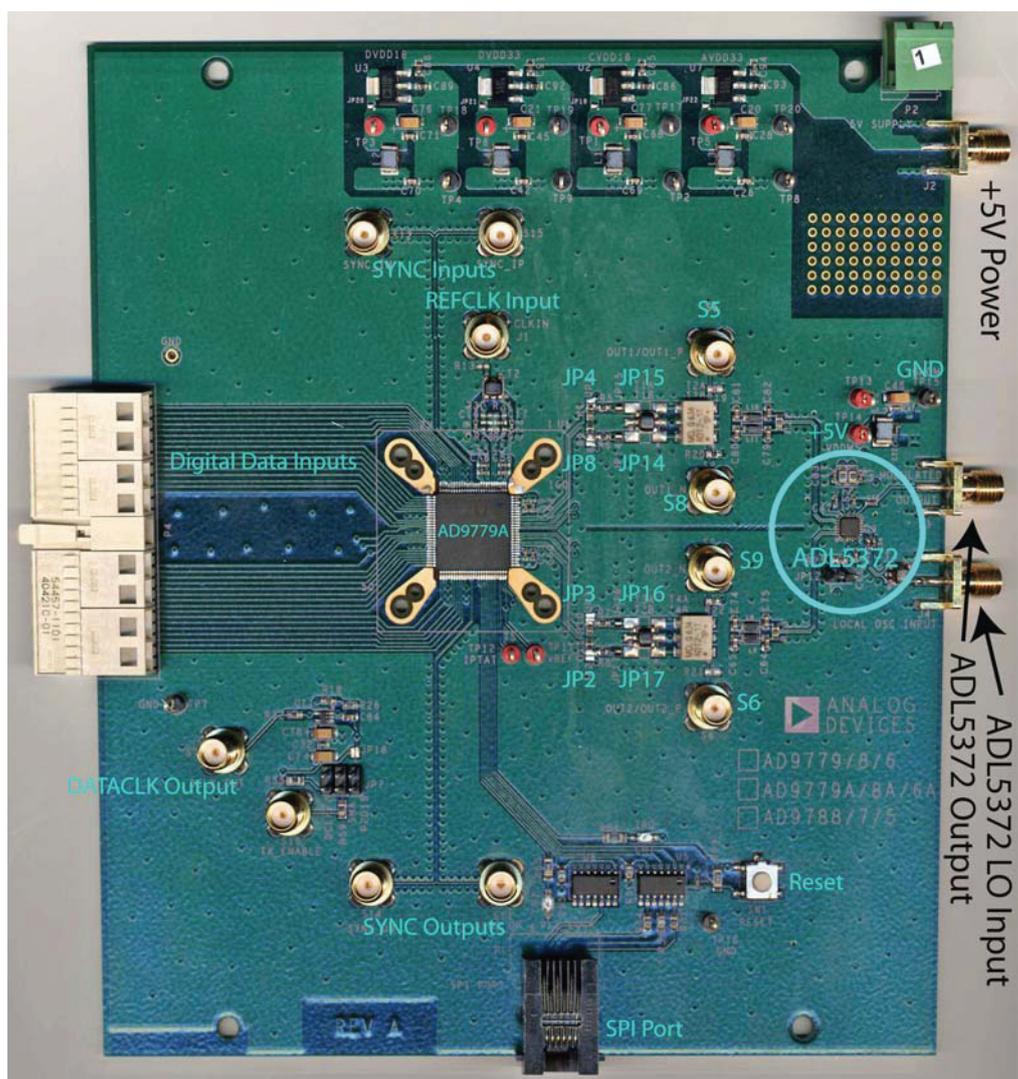


図 105. AD9776A/AD9778A/AD9779A 評価用ボード

評価用ボードの回路図

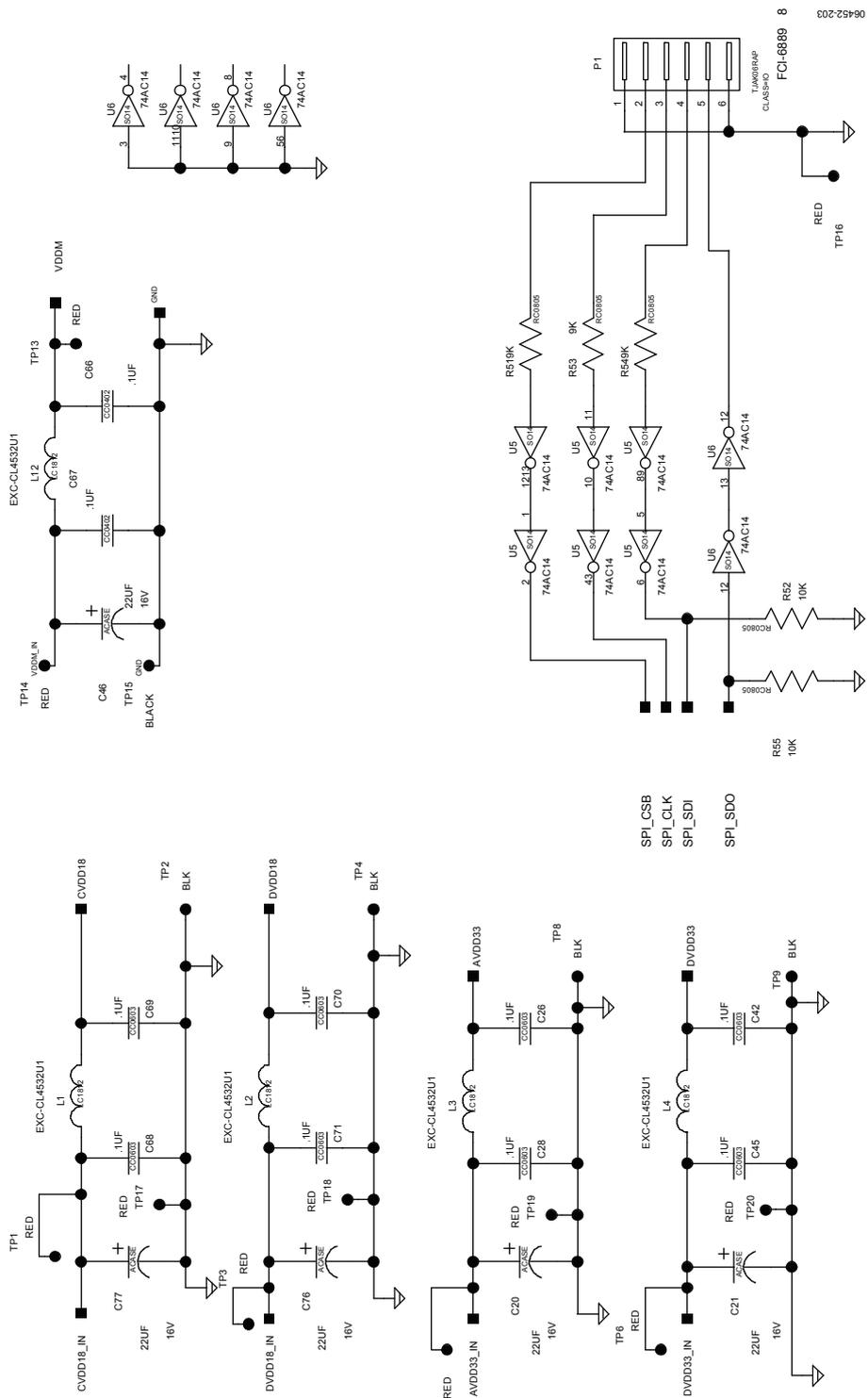


図 106. 評価用ボード (リビジョン A、電源とデカップリング)

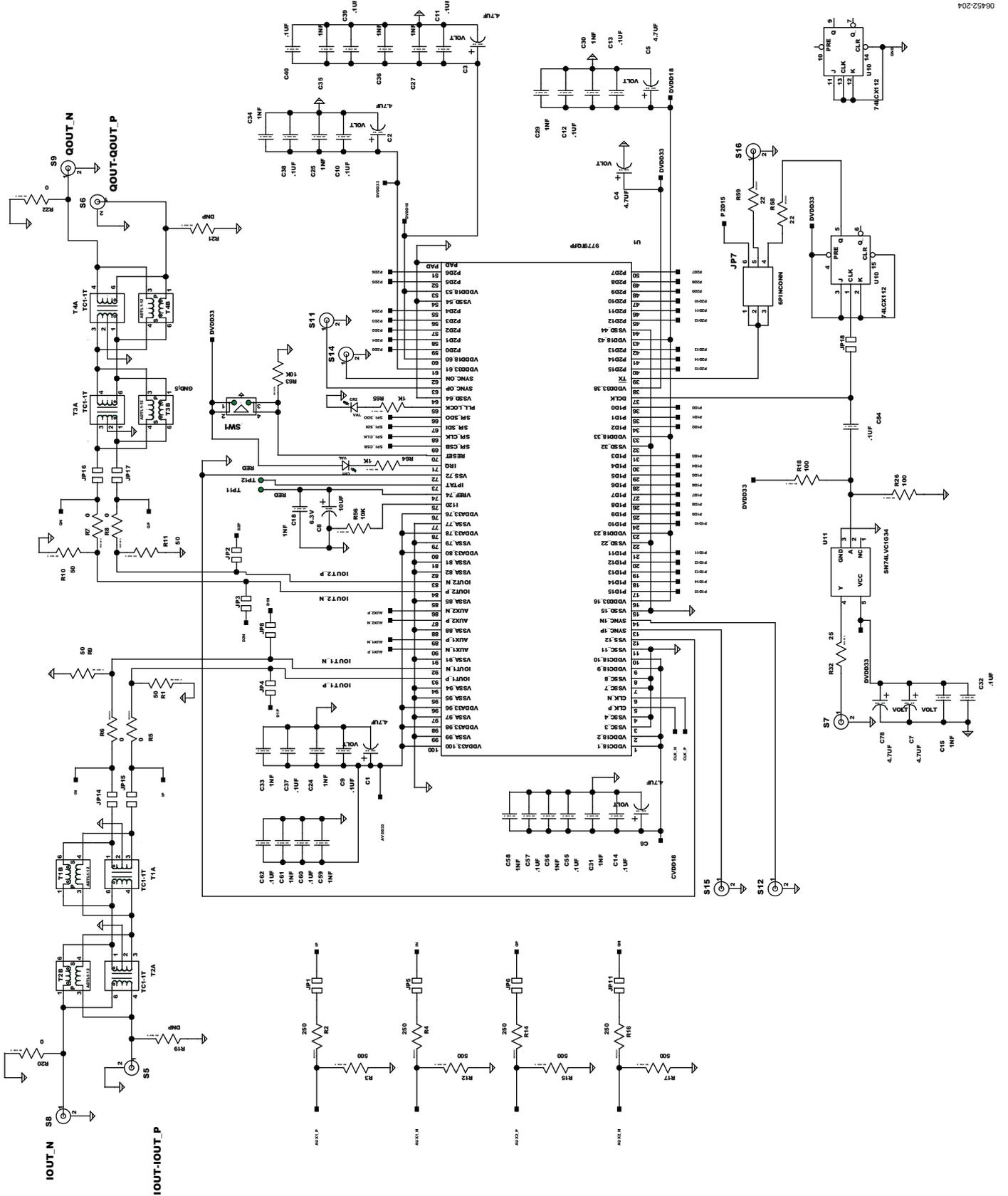


図 107. 評価用ボード (リビジョン A、TxDAC へのアナログ/デジタル・インターフェース)

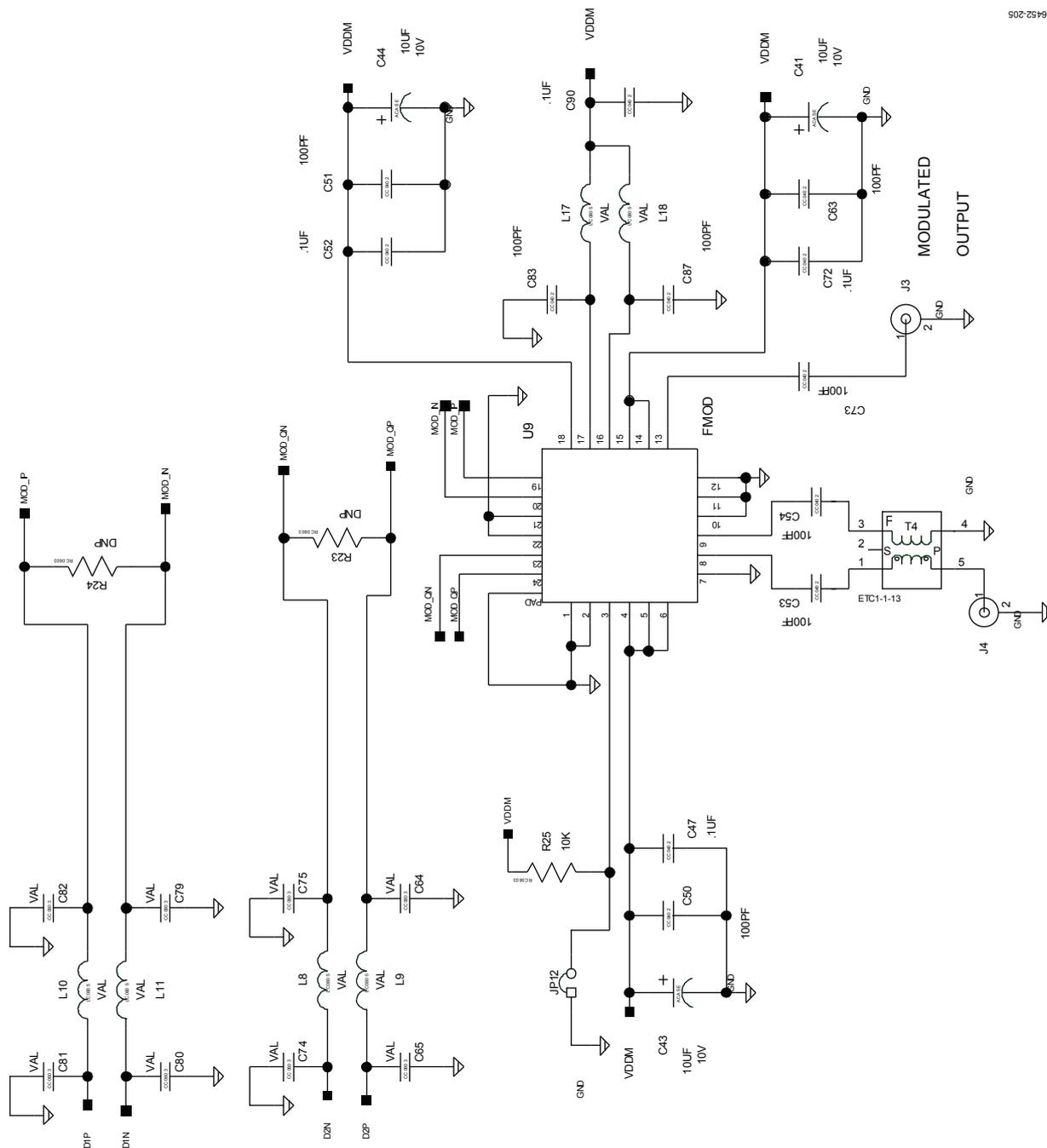


図 108. 評価用ボード (リビジョン A、ADL5372 (FMOD2) 直交変調器)

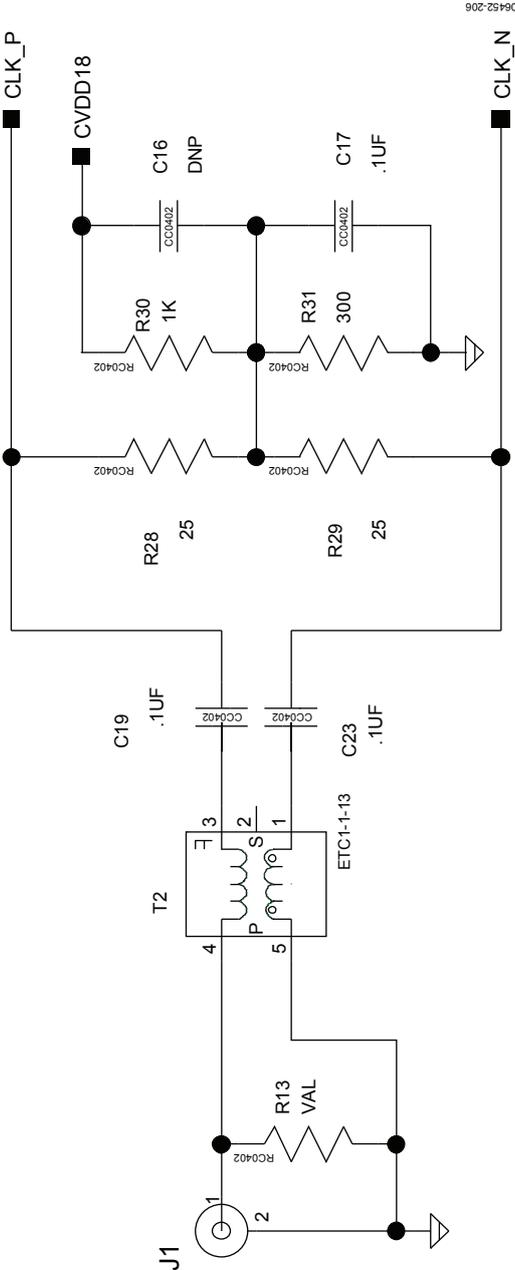


図 109. 評価用ボード (リビジョン A、Tx DAC のクロック・インターフェース)

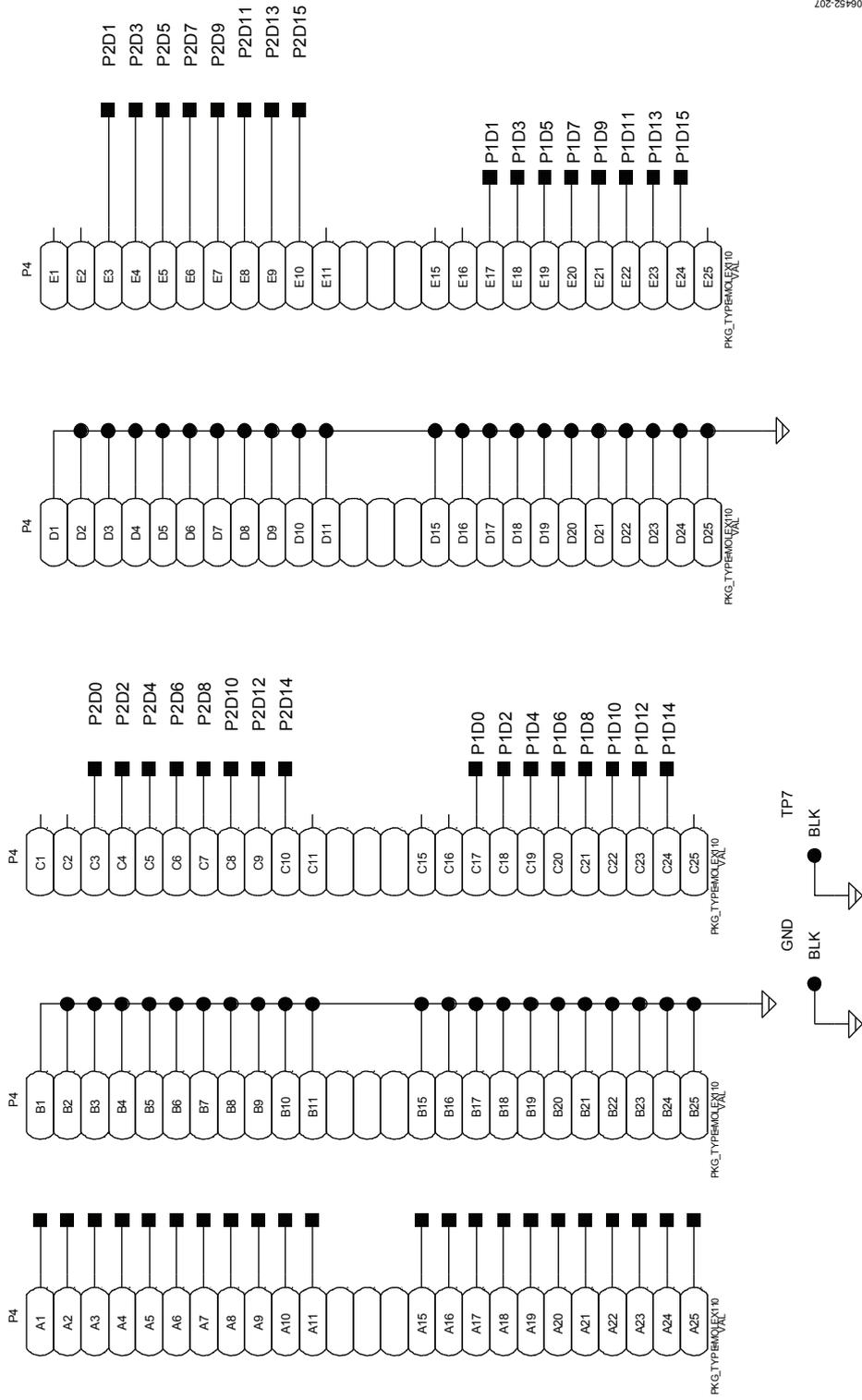


図 110. 評価用ボード (リビジョン A、デジタル入力データライン)

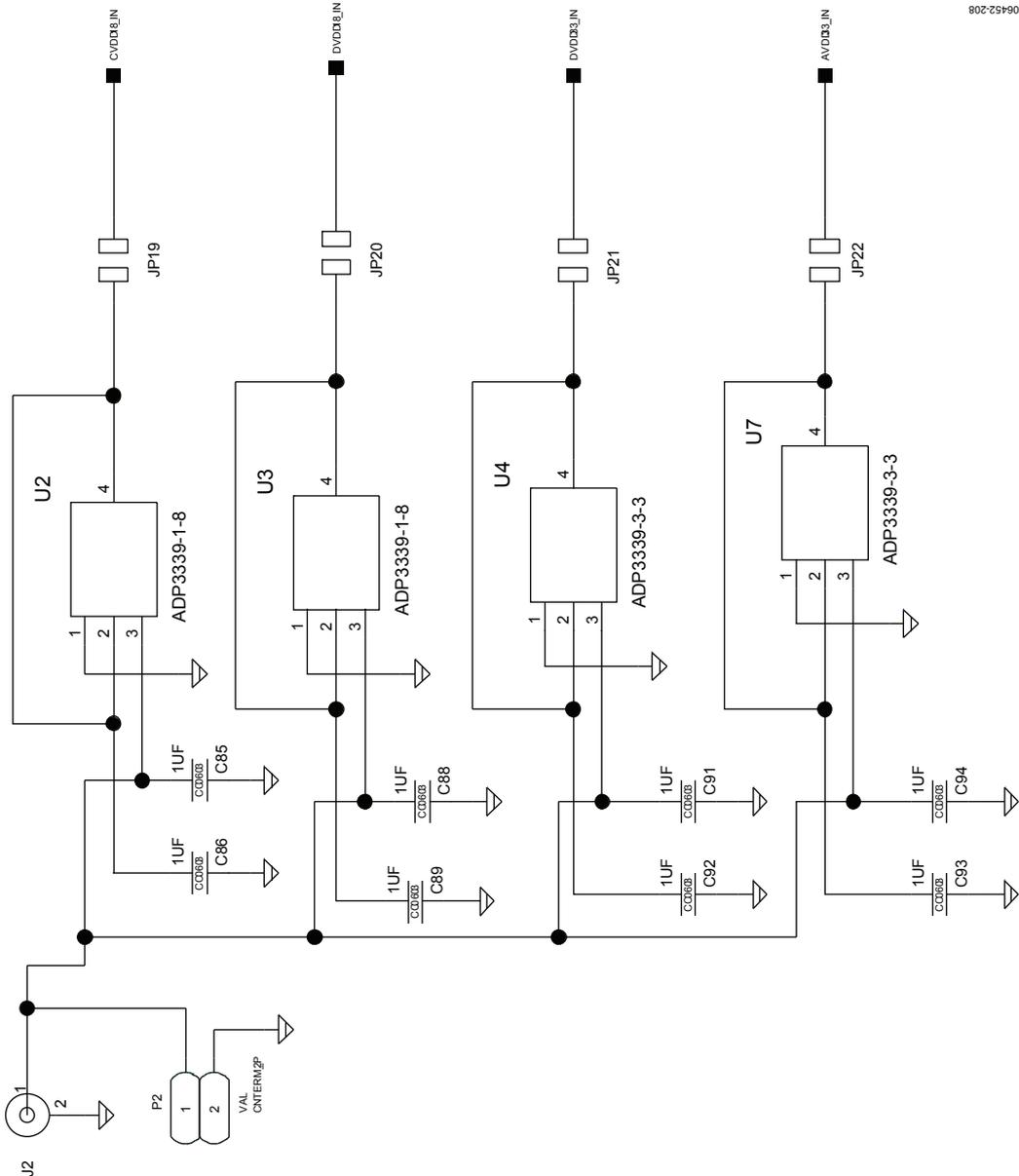


図 111. 評価用ボード (リビジョン A、オンボード電源)

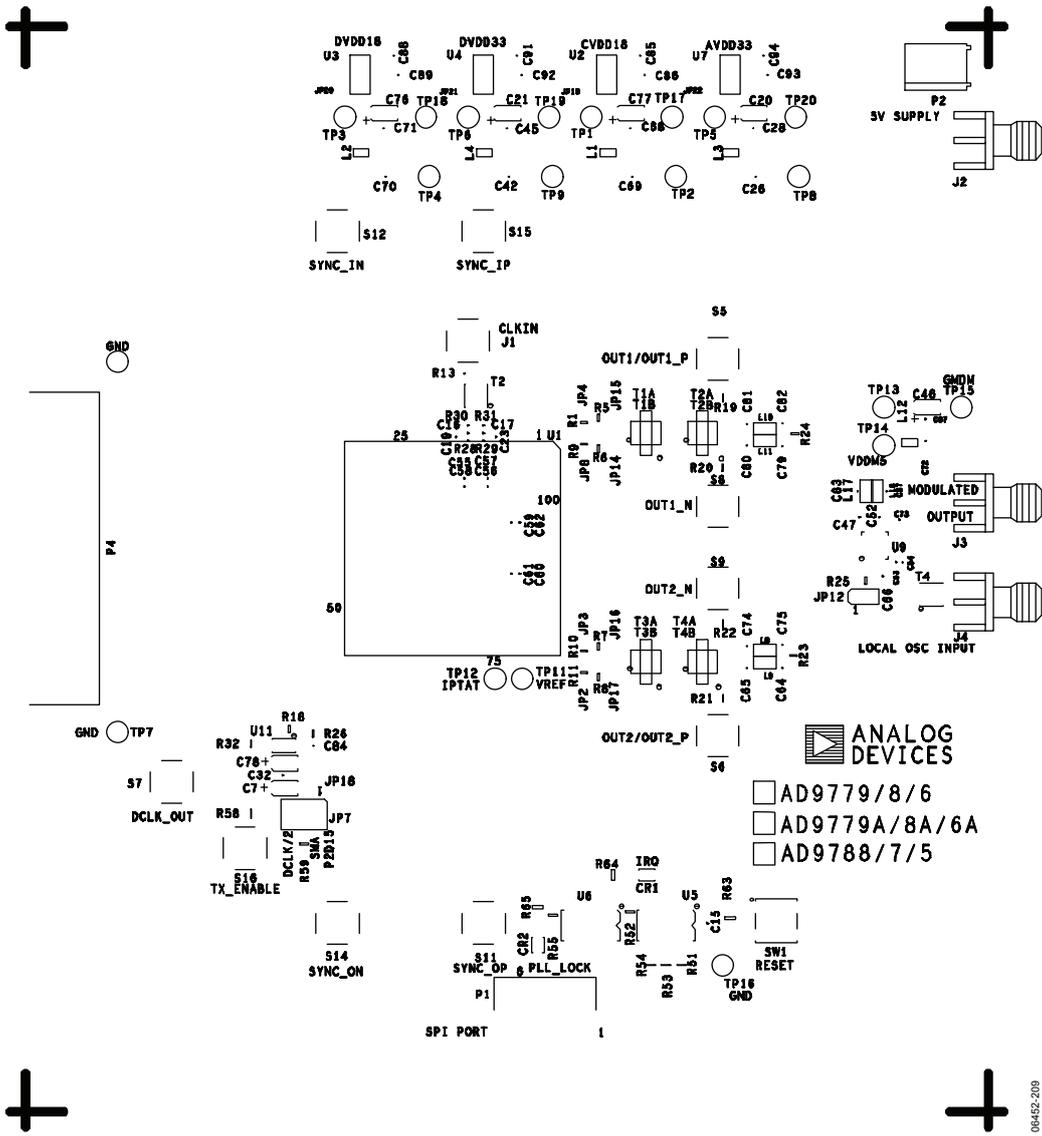


図 112. 評価用ボード (リビジョン A、上面シルク・スクリーン)

06452-209

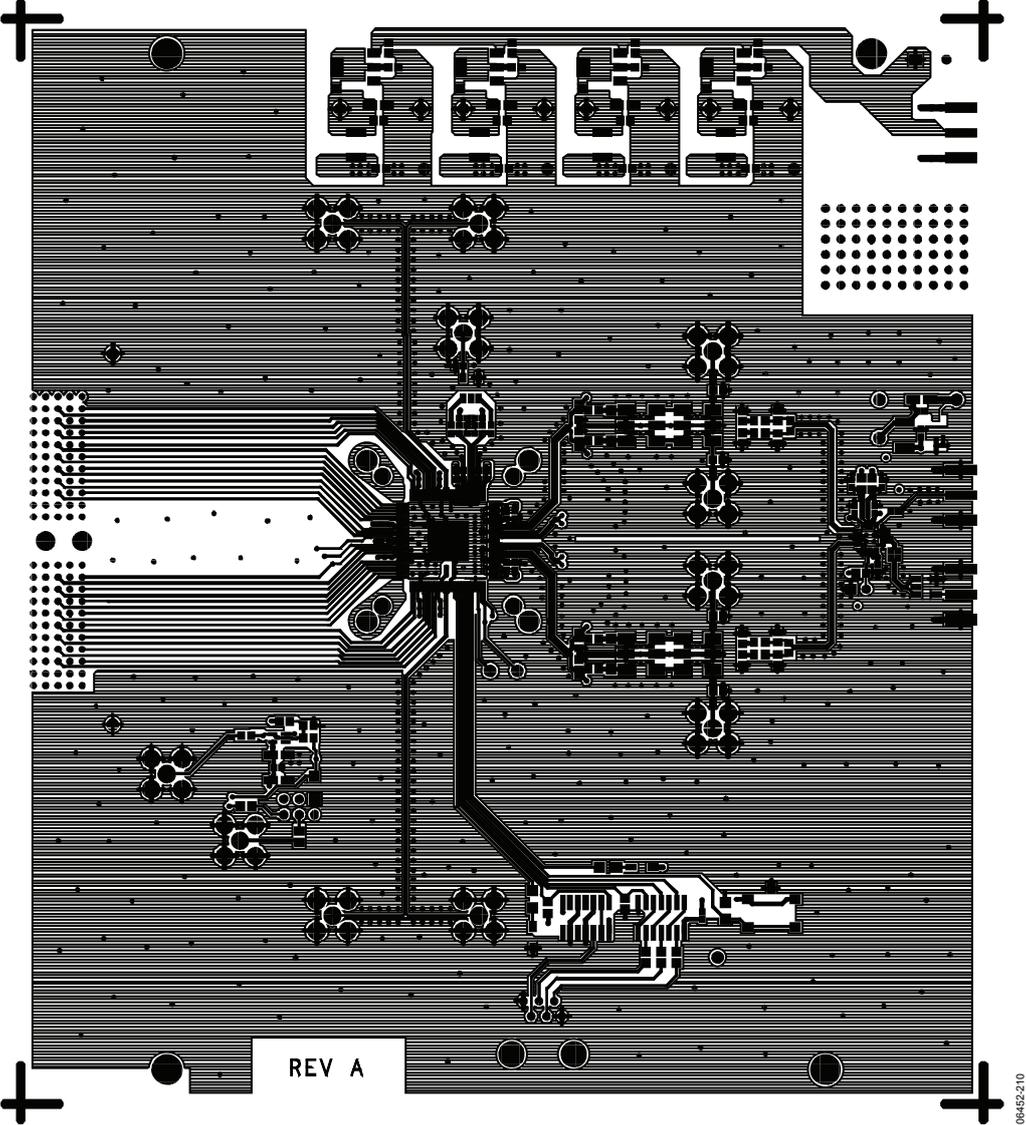
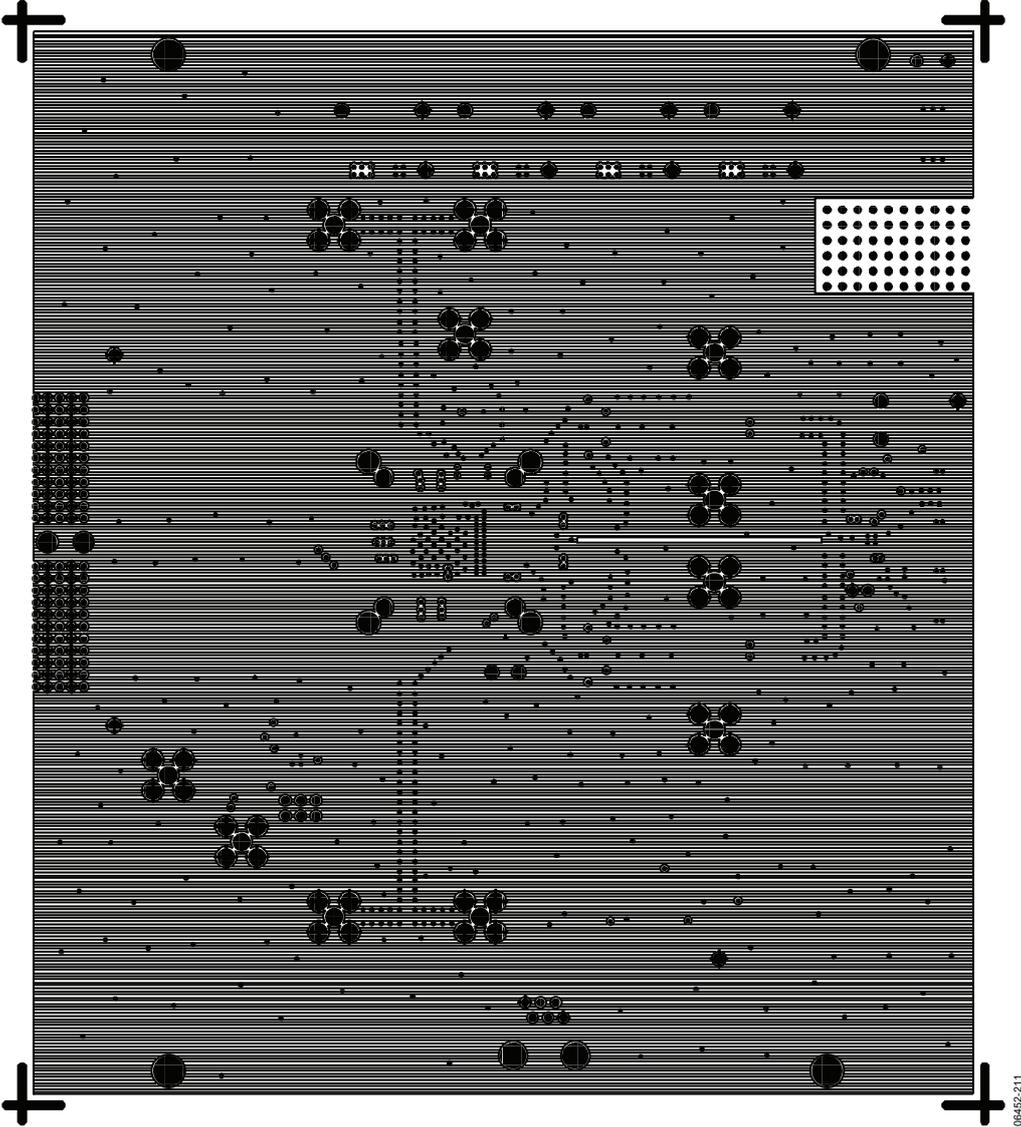
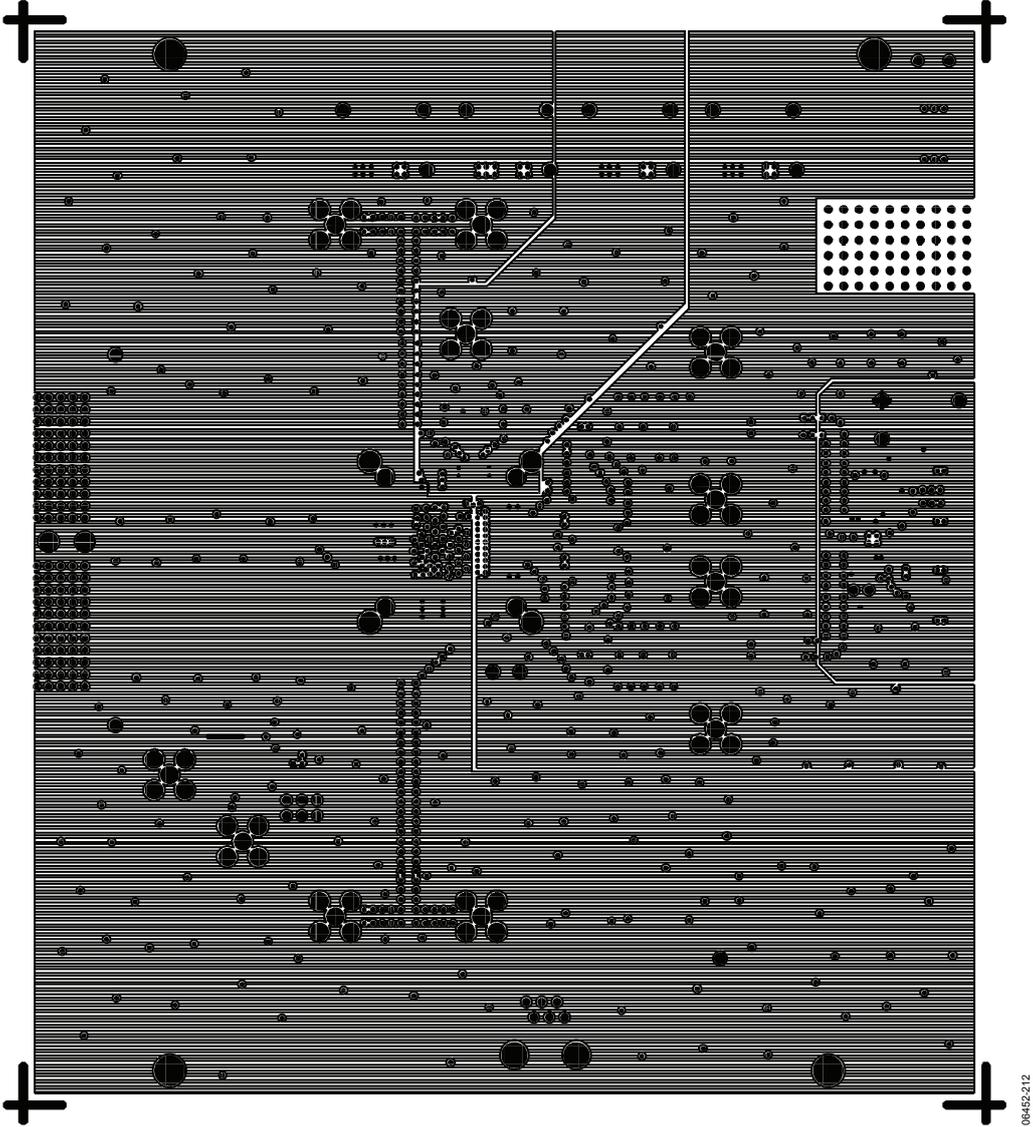


図 113. 評価用ボード (リビジョン A、レイヤ 1 (最上層))



06-652-211

図 114. 評価用ボード (リビジョン A、レイヤ 2 (グラウンド))



00462-212

図 115. 評価用ボード（リビジョン A、レイヤ 3（電源））

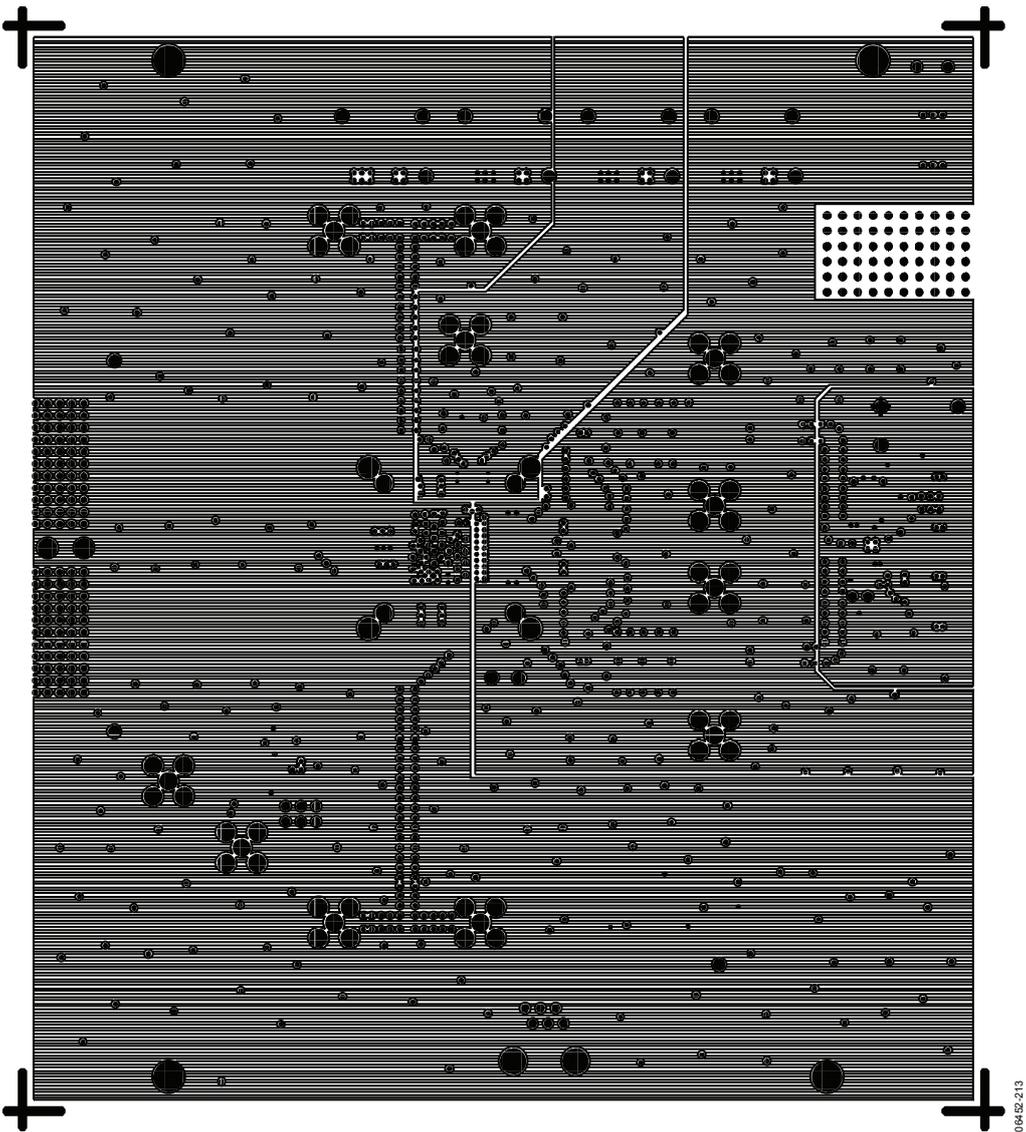
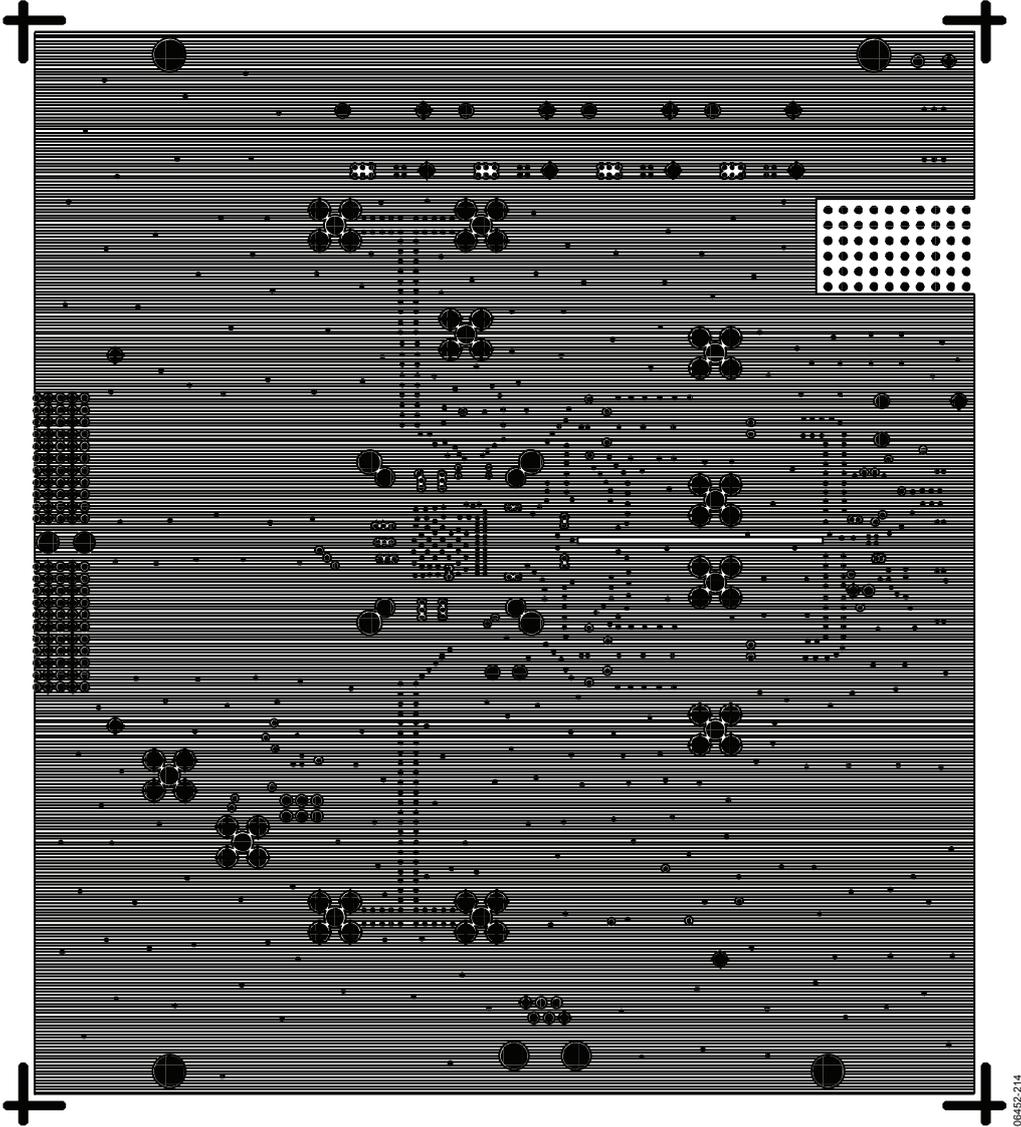


図 116. 評価用ボード（リビジョン A、レイヤ 4（電源））



06-52-214

図 117. 評価用ボード（リビジョン A、レイヤ 5（グラウンド））

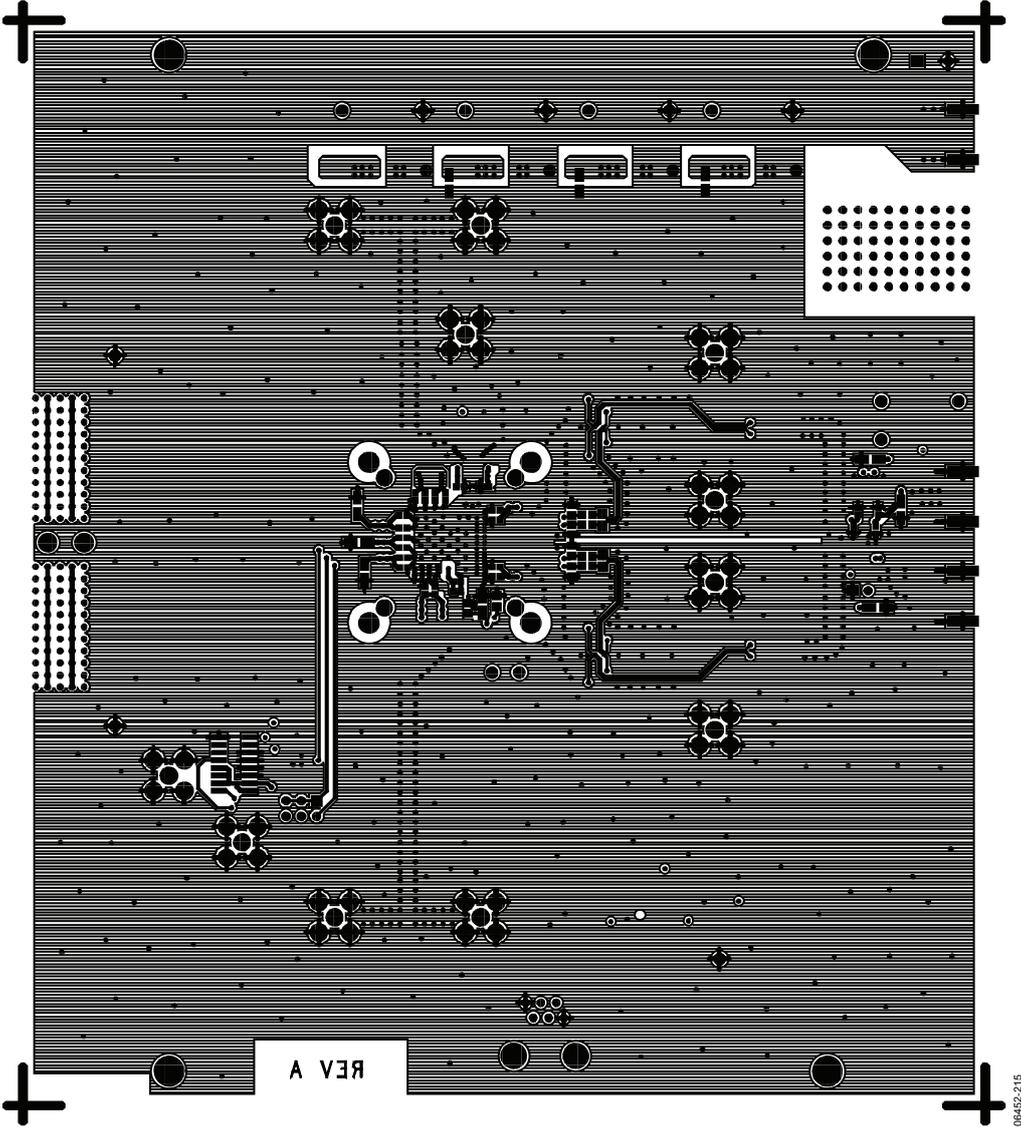
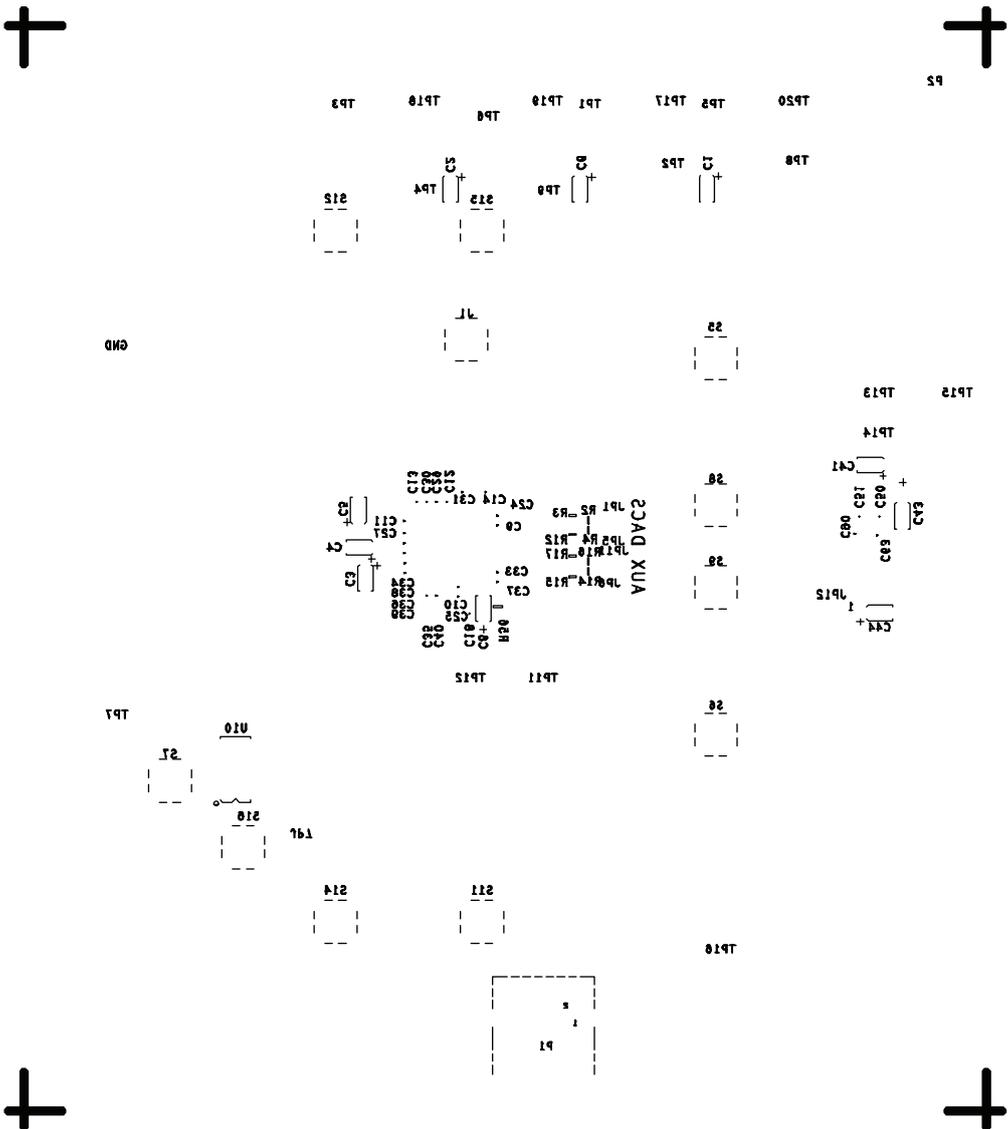


図 118. 評価用ボード (リビジョン A、レイヤ 6 (底面))

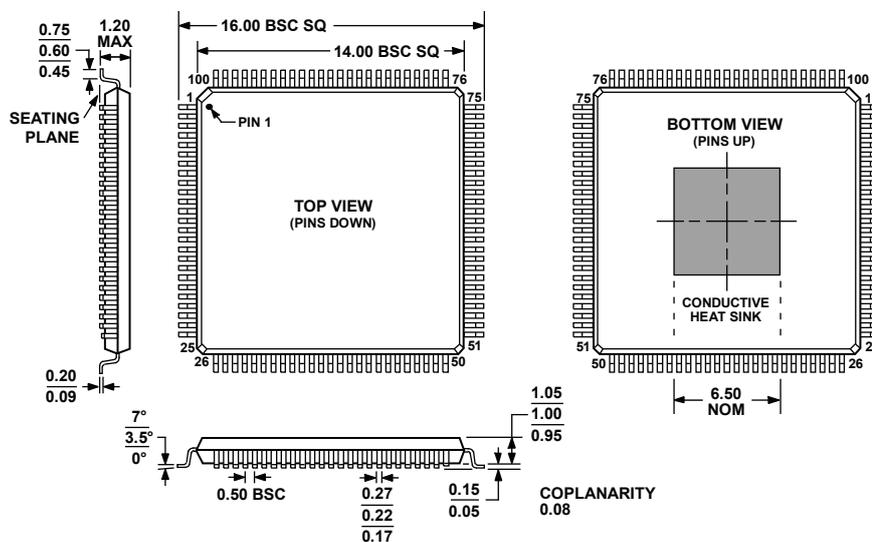
06-652-215



06/452-216

図 119. 評価用ボード (リビジョン A、底面シルク・スクリーン)

外形寸法



- COMPLIANT TO JEDEC STANDARDS MS-026-AED-HD
- NOTES
- CENTER FIGURES ARE TYPICAL UNLESS OTHERWISE NOTED.
 - THE PACKAGE HAS A CONDUCTIVE HEAT SLUG TO HELP DISSIPATE HEAT AND ENSURE RELIABLE OPERATION OF THE DEVICE OVER THE FULL INDUSTRIAL TEMPERATURE RANGE. THE SLUG IS EXPOSED ON THE BOTTOM OF THE PACKAGE AND ELECTRICALLY CONNECTED TO CHIP GROUND. IT IS RECOMMENDED THAT NO PCB SIGNAL TRACES OR VIAS BE LOCATED UNDER THE PACKAGE THAT COULD COME IN CONTACT WITH THE CONDUCTIVE SLUG. ATTACHING THE SLUG TO A GROUND PLANE WILL REDUCE THE JUNCTION TEMPERATURE OF THE DEVICE WHICH MAY BE BENEFICIAL IN HIGH TEMPERATURE ENVIRONMENTS.

04050E-A

図 120. 100 ピン薄型クワッド・フラット・パッケージ、露出パッド [TQFP_EP]
(SV-100-1)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9776ABSVZ ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9776ABSVZRL ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9778ABSVZ ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9778ABSVZRL ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9779ABSVZ ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9779ABSVZRL ¹	-40°C to +85°C	100-lead TQFP_EP	SV-100-1
AD9776A-EBZ ¹		Evaluation Board	
AD9778A-EBZ ¹		Evaluation Board	
AD9779A-EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品