

特長

JESD204B (サブクラス 1) 符号化のシリアル・デジタル出力

1 GSPS (デフォルト設定)で 2.0 W の総合消費電力

500 MSPS (デフォルト設定)で 1.5 W の総合消費電力

SFDR = 85 dBFS @340 MHz、80 dBFS @985 MHz

SNR = 65.3 dBFS @340 MHz ($A_{IN} = -1.0$ dBFS)、
60.5 dBFS @985 MHz で

ENOB = 10.8 ビット @10 MHz

DNL = ± 0.5 LSB

INL = ± 2.5 LSB

ノイズ密度 = -154 dBFS/Hz @1 GSPS

動作電源: 1.25 V、2.5 V、3.3 V dc

ノーミス・コード保証

ADC リファレンス電圧を内蔵

柔軟な入力範囲

AD9690-1000: 1.46 V p-p ~ 1.94 V p-p (公称 1.70 V p-p)

AD9690-500: 1.46 V p-p ~ 2.06 V p-p (公称 2.06 V p-p)

設定可能な終端インピーダンス

400 Ω 、200 Ω 、100 Ω 、50 Ω 差動

有効アナログ入力フル・パワー帯域幅: 2 GHz

AGC の実現に便利な振幅検出ビットを装備

2 個の広帯域デジタル・プロセッサを内蔵

12 ビット NCO、最大 4 個のカスケード接続ハーフバンド・フィルタ

差動クロック入力

1、2、4、または 8 分周

フレキシブルな JESD204B レーン構成

小信号ディザ

アプリケーション

通信

マルチバンド、マルチモード・デジタル・レシーバ

3G/4G、TD-SCDMA、W-CDMA、GSM、LTE

汎用ソフトウェア無線

超広帯域衛星レシーバ

計装機器

レーダー

シグナル・インテリジェンス (SIGINT)

DOCSIS 3.0 CMTS アップストリーム受信パス

HFC デジタル逆方向パス・レシーバ

広帯域デジタル・プリディストーション

機能ブロック図

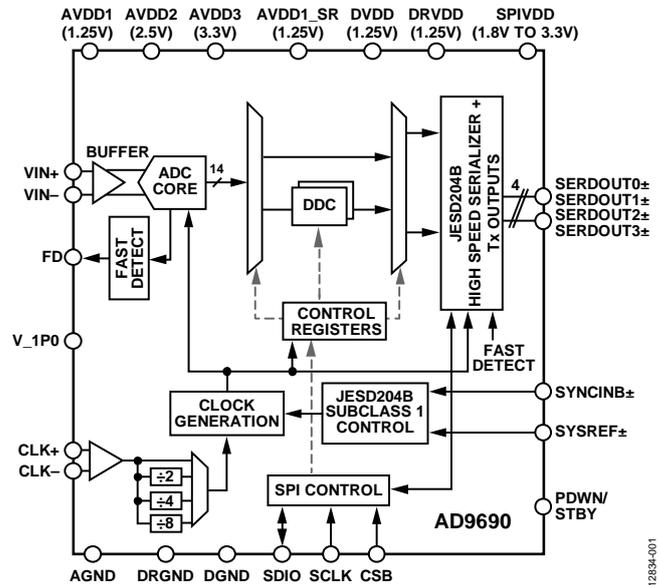


図 1.

製品のハイライト

1. 広いフル・パワー帯域幅で最大 2 GHz 信号の IF サンプリングをサポート
2. フィルタのデザインと構成を容易にするプログラマブルな入力終端を持つバッファ付き入力
3. 内蔵の 2 個の広帯域デシメーション・フィルタと数値制御発振器 (NCO) ブロックにより、マルチバンド・レシーバをサポート
4. 柔軟なシリアル・ポート・インターフェース (SPI)により、特定のシステム条件に合わせて種々の製品内蔵の機能を制御
5. プログラマブルな高速範囲外 (Over Range) 検出
6. 9 mm \times 9 mm の 64 ピン LFCSP。

目次

特長.....	1	DDC NCO およびミキサの損失と SFDR.....	41
アプリケーション.....	1	数値制御オシレータ.....	41
機能ブロック図.....	1	FIR フィルタ.....	43
製品のハイライト.....	1	概要.....	43
改訂履歴.....	2	ハーフバンド・フィルタ.....	44
概要.....	3	DDC ゲイン・ステージ.....	46
仕様.....	4	DDC 複素数/実数変換.....	46
DC 仕様.....	4	DDC の設定例.....	47
AC 仕様.....	5	デジタル出力.....	48
デジタル仕様.....	6	JESD204B インターフェースの概要.....	48
スイッチング仕様.....	7	JESD204B の概要.....	48
タイミング仕様.....	8	機能概要.....	49
絶対最大定格.....	10	JESD204B リンクの確立.....	49
熱特性.....	10	物理レイヤー (ドライバ) 出力.....	51
ESD の注意.....	10	JESD204B TX コンバータのマッピング.....	53
ピン配置およびピン機能説明.....	11	JESD204B リンクの設定.....	54
代表的な性能特性.....	13	複数チップの同期化.....	56
AD9690-1000.....	13	SYSREF \pm セットアップ/ホールド・ウインド・モニタ.....	58
AD9690-500.....	17	テスト・モード.....	60
等価回路.....	21	ADC テスト・モード.....	60
動作原理.....	23	JESD204B ブロック・テスト・モード.....	61
ADC のアーキテクチャ.....	23	シリアル・ポート・インターフェース.....	63
アナログ入力に対する考慮.....	23	SPI を使う設定.....	63
リファレンス電圧.....	27	ハードウェア・インターフェース.....	63
クロック入力の考慮事項.....	28	SPI からアクセス可能な機能.....	63
ADC オーバーレンジと高速ディテクタ.....	30	メモリ・マップ.....	64
ADC オーバーレンジ.....	30	メモリ・マップ・レジスタ・テーブルの読出し.....	64
高速スレッショールド・ディテクタ (FD).....	30	メモリ・マップ・レジスタ・テーブル.....	65
信号モニタ.....	31	アプリケーション情報.....	76
JESD204B を介する SPORT.....	31	電源の推奨事項.....	76
デジタル・ダウンコンバータ (DDC).....	34	エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項.....	76
DDC I/Q 入力選択.....	34	AVDD1_SR (ピン 57) と AGND (ピン 56 およびピン 60).....	76
DDC I/Q 出力の選択.....	34	外形寸法.....	77
DDC の概要.....	34	オーダー・ガイド.....	77
周波数変換.....	40		
概要.....	40		

改訂履歴

1/15—Revision 0: Initial Version

概要

AD9690 は、1 GSPS/500 MSPS の 14 ビット A/D コンバータ (ADC) です。バッファとサンプル・アンド・ホールド回路を内蔵し、低消費電力、小型、使い易いデザインになっています。このデバイスは、最大 2 GHz の広帯域アナログ信号をサンプリングするようにデザインされています。AD9690 は、広い入力帯域幅、高サンプリング・レート、優れた直線性、小型パッケージで低消費電力となるよう最適化されています。

ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。ADC は、ユーザー選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが簡単になります。

アナログ入力とクロック信号は差動入力です。ADC データ出力は、内部で 2 個のデジタル・ダウンコンバータ (DDC) に接続されています。各 DDC は、12 ビット周波数変換器 (NCO: Numerical Control Oscillator) と 4 個のハーフバンド・デシメーション・フィルタからなる 4 段カスケード接続の信号処理ステージから構成されています。

AD9690 は、DDC ブロックの他に、通信器レシーバでオート・ゲイン制御 (AGC) 機能を簡素化する複数の機能を内蔵していま

す。プログラマブルなスレッショールドを持つディテクタを使うと、ADC の高速ディテクタ出力ビットを使って着信信号電力をモニタすることができます。入力信号レベルがプログラマブルなスレッショールドを超えると、高速ディテクタ・インジケータ・ピンがハイ・レベルになります。このスレッショールド・インジケータの検出時間の遅れは小さいため、迅速にシステム・ゲインを下げ ADC 入力での範囲外状態 (Over Range) を回避することができます。

DDC の構成と受信ロジック・デバイスの許容レーン・レートに応じて、サブクラス 1 JESD204B に基づく高速シリアル出力を 1 レーン、2 レーン、または 4 レーンの多様なレーン構成にすることができます。複数デバイス間の同期は、SYSREF_±入力ピンと SYNCINB_±入力ピンを使ってサポートします。

AD9690 は、必要に応じて大幅な省電力を可能にする柔軟なパワーダウン・オプションを持っています。これらの機能はすべて、1.8 V~3.3 V 対応の 3 線式 SPI を使って設定することができます。

AD9690 は鉛フリーの 64 ピン LFCSP パッケージを採用し、仕様は -40°C~+85°C の工業用温度範囲で規定されています。このデバイスは、米国特許により保護されています。

仕様

DC仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、各速度グレードに対して規定された最大サンプリング・レート、A_{IN} = -1.0 dBFS、クロック分周比 = 2、デフォルト SPI 設定、T_A = 25°C。

表 1.

Parameter	Temperature	AD9690-500			AD9690-1000			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY		Guaranteed			Guaranteed			
No Missing Codes	Full							
Offset Error	Full	-0.3	0	+0.3	-0.31	0	+0.31	% FSR
Gain Error	Full	-6	0	+6	-6	0	+6	% FSR
Differential Nonlinearity (DNL)	Full	-0.6	±0.5	+0.7	-0.7	±0.5	+0.8	LSB
Integral Nonlinearity (INL)	Full	-4.5	±2.5	+5.0	-5.7	±2.5	+6.9	LSB
TEMPERATURE DRIFT								
Offset Error	25°C	-9			-14			ppm/°C
Gain Error	25°C	±25			±13.8			ppm/°C
INTERNAL VOLTAGE REFERENCE								
Voltage	Full	1.0			1.0			V
INPUT-REFERRED NOISE								
V _{REF} = 1.0 V	25°C	2.06			2.63			LSB rms
ANALOG INPUTS								
Differential Input Voltage Range (Programmable)	Full	1.46	2.06	2.06	1.46	1.70	1.94	V p-p
Common-Mode Voltage (V _{CM})	25°C	2.05			2.05			V
Differential Input Capacitance	25°C	1.5			1.5			pF
Analog Input Full Power Bandwidth	25°C	2			2			GHz
POWER SUPPLY								
AVDD1	Full	1.22	1.25	1.28	1.22	1.25	1.28	V
AVDD2	Full	2.44	2.5	2.56	2.44	2.5	2.56	V
AVDD3	Full	3.2	3.3	3.4	3.2	3.3	3.4	V
AVDD1_SR	Full	1.22	1.25	1.28	1.22	1.25	1.28	V
DVDD	Full	1.22	1.25	1.28	1.22	1.25	1.28	V
DRVDD	Full	1.22	1.25	1.28	1.22	1.25	1.28	V
SPIVDD	Full	1.7	1.8	3.4	1.7	1.8	3.4	V
I _{AVDD1}	Full	245		286	370		409	mA
I _{AVDD2}	Full	279		343	370		456	mA
I _{AVDD3}	Full	61		75	83		100	mA
I _{AVDD1_SR}	Full	16		18	15		18	mA
I _{DVDD} ¹	Full	73		107	129		159	mA
I _{DRVDD} ¹	Full	109		181	147		175	mA
I _{SPIVDD}	Full	5		6	5		6	mA
POWER CONSUMPTION								
Total Power Dissipation (Including Output Drivers) ¹	Full	1.5			2.0			W
Power-Down Dissipation	Full	600			700			mW
Standby ²	Full	900			1100			mW

¹ デフォルト・モード。DDC 不使用。500 MSPS は L=2、M=1、F=1；1000 MSPS は L=4、M=1、F=1。DRVDD の消費電力はレーン・レートと使用するレーン数に応じて変わります。与えられた設定に対してシリアル・ライン・レートが 3.125 Gbps~12.5 Gbps のサポート範囲内となるように注意してください。

² SPI 経由で制御可能。

AC仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、各速度グレードに対して規定された最大サンプリング・レート、 $A_{IN} = -1.0$ dBFS、クロック分周比 = 2、デフォルト SPI 設定、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter ¹	Temperature	AD9690-500			AD9690-1000			Unit
		Min	Typ	Max	Min	Typ	Max	
ANALOG INPUT FULL SCALE	Full	2.06			1.7			V p-p
NOISE DENSITY ²	Full	-153			-154			dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR) ³								
$f_{IN} = 10$ MHz	25°C		69.2		67.2		dBFS	
$f_{IN} = 170$ MHz	Full	67.8	69.0		65.1	66.6	dBFS	
$f_{IN} = 340$ MHz	25°C		68.6		65.3		dBFS	
$f_{IN} = 450$ MHz	25°C		68.0		64.0		dBFS	
$f_{IN} = 765$ MHz	25°C		64.4		61.5		dBFS	
$f_{IN} = 985$ MHz	25°C		63.8		60.5		dBFS	
$f_{IN} = 1950$ MHz	25°C		60.5		57.0		dBFS	
SNR AND DISTORTION RATIO (SINAD) ³								
$f_{IN} = 10$ MHz	25°C		69.0		67.1		dBFS	
$f_{IN} = 170$ MHz	Full	66.6	68.8		65.0	66.4	dBFS	
$f_{IN} = 340$ MHz	25°C		68.4		65.2		dBFS	
$f_{IN} = 450$ MHz	25°C		67.9		63.8		dBFS	
$f_{IN} = 765$ MHz	25°C		64.2		62.1		dBFS	
$f_{IN} = 985$ MHz	25°C		63.6		61.1		dBFS	
$f_{IN} = 1950$ MHz	25°C		60.3		56.0		dBFS	
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 10$ MHz	25°C		11.2		10.8		Bits	
$f_{IN} = 170$ MHz	Full	10.8	11.1		10.5	10.7	Bits	
$f_{IN} = 340$ MHz	25°C		11.1		10.5		Bits	
$f_{IN} = 450$ MHz	25°C		11.0		10.3		Bits	
$f_{IN} = 765$ MHz	25°C		10.4		10.0		Bits	
$f_{IN} = 985$ MHz	25°C		10.3		9.8		Bits	
$f_{IN} = 1950$ MHz	25°C		9.7		9.0		Bits	
SPURIOUS-FREE DYNAMIC RANGE (SFDR) ³								
$f_{IN} = 10$ MHz	25°C		83		88		dBFS	
$f_{IN} = 170$ MHz	Full	80	88		75	85	dBFS	
$f_{IN} = 340$ MHz	25°C		83		85		dBFS	
$f_{IN} = 450$ MHz	25°C		81		82		dBFS	
$f_{IN} = 765$ MHz	25°C		80		82		dBFS	
$f_{IN} = 985$ MHz	25°C		75		80		dBFS	
$f_{IN} = 1950$ MHz	25°C		70		68		dBFS	
WORST HARMONIC, SECOND OR THIRD ³								
$f_{IN} = 10$ MHz	25°C		-83		-88		dBFS	
$f_{IN} = 170$ MHz	Full		-88	-75	-85	-75	dBFS	
$f_{IN} = 340$ MHz	25°C		-83		-85		dBFS	
$f_{IN} = 450$ MHz	25°C		-81		-82		dBFS	
$f_{IN} = 765$ MHz	25°C		-80		-82		dBFS	
$f_{IN} = 985$ MHz	25°C		-75		-80		dBFS	
$f_{IN} = 1950$ MHz	25°C		-70		-68		dBFS	

Parameter ¹	Temperature	AD9690-500			AD9690-1000			Unit
		Min	Typ	Max	Min	Typ	Max	
WORST OTHER, EXCLUDING SECOND OR THIRD HARMONIC ³								
$f_{IN} = 10 \text{ MHz}$	25°C		-95			-95		dBFS
$f_{IN} = 170 \text{ MHz}$	Full		-95	-82		-94	-81	dBFS
$f_{IN} = 340 \text{ MHz}$	25°C		-93			-88		dBFS
$f_{IN} = 450 \text{ MHz}$	25°C		-93			-86		dBFS
$f_{IN} = 765 \text{ MHz}$	25°C		-88			-81		dBFS
$f_{IN} = 985 \text{ MHz}$	25°C		-89			-82		dBFS
$f_{IN} = 1950 \text{ MHz}$	25°C		-84			-75		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD), A_{IN1} AND $A_{IN2} = -7 \text{ dBFS}$								
$f_{IN1} = 185 \text{ MHz}, f_{IN2} = 188 \text{ MHz}$	25°C		-88			-87		dBFS
$f_{IN1} = 338 \text{ MHz}, f_{IN2} = 341 \text{ MHz}$	25°C		-88			-88		dBFS
FULL POWER BANDWIDTH ⁴	25°C		2			2		GHz

¹ 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノートAN-835「高速A/Dコンバータ (ADC) のテストと評価について」を参照してください。

² ノイズ密度は、低いアナログ入力周波数(30 MHz)で測定した値です。

³ フルスケール電圧とバッファ電流の推奨設定値については表10を参照してください。

⁴ 図64の回路で測定。

デジタル仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、各速度グレードに対して規定された最大サンプリング・レート、 $A_{IN} = -1.0 \text{ dBFS}$ 、クロック分周比 = 2、デフォルト SPI 設定、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Temperature	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance	Full		LVDS/LVPECL		
Differential Input Voltage	Full	600	1200	1800	mV p-p
Input Common-Mode Voltage	Full		0.85		V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance	Full			2.5	pF
SYSREF INPUTS (SYSREF+, SYSREF-)					
Logic Compliance	Full		LVDS/LVPECL		
Differential Input Voltage	Full	400	1200	1800	mV p-p
Input Common-Mode Voltage	Full	0.6	0.85	2.0	V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance (Differential)	Full			2.5	pF
LOGIC INPUTS (SDI, SCLK, CSB, PDWN/STBY)					
Logic Compliance	Full		CMOS		
Logic 1 Voltage	Full		$0.8 \times \text{SPIVDD}$		V
Logic 0 Voltage	Full	0	$0.2 \times \text{SPIVDD}$		V
Input Resistance	Full		30		kΩ
LOGIC OUTPUT (SDIO)					
Logic Compliance	Full		CMOS		
Logic 1 Voltage ($I_{OH} = 800 \mu\text{A}$)	Full		$0.8 \times \text{SPIVDD}$		V
Logic 0 Voltage ($I_{OL} = 50 \mu\text{A}$)	Full		$0.2 \times \text{SPIVDD}$		V
SYNCIN INPUT (SYNCINB+/SYNCINB-)					
Logic Compliance	Full		LVDS/LVPECL/CMOS		
Differential Input Voltage	Full	400	1200	1800	mV p-p
Input Common-Mode Voltage	Full	0.6	0.85	2.0	V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance	Full			2.5	pF

Parameter	Temperature	Min	Typ	Max	Unit
LOGIC OUTPUT (FD)					
Logic Compliance	Full	CMOS			
Logic 1 Voltage	Full	0.8	SPIVDD		V
Logic 0 Voltage	Full	0	0		V
Input Resistance	Full	30			k Ω
DIGITAL OUTPUTS (SERDOUT_{x±}, x = 0 TO 3)					
Logic Compliance	Full	CML			
Differential Output Voltage	Full	360	770		mV p-p
Output Common-Mode Voltage (V _{CM})					
AC Coupled	25°C	0	1.8		V
Short-Circuit Current (I _{DSHORT})	25°C	-100	+100		mA
Differential Return Loss (RL _{DIFF}) ¹	25°C	8			dB
Common-Mode Return Loss (RL _{CM}) ¹	25°C	6			dB
Differential Termination Impedance	Full	80	100	120	Ω

¹ 差動および同相モード・リターン損失は、100 MHz~0.75 MHz × ボー・レートで測定。

スイッチング仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、各速度グレードに対して規定された最大サンプリング・レート、A_{IN} = -1.0 dBFS、デフォルト SPI 設定、T_A = 25°C。

表 4.

Parameter	Temperature	AD9690-500			AD9690-1000			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK								
Clock Rate (at CLK+/CLK- Pins)	Full	0.3	4		0.3	4		GHz
Maximum Sample Rate ¹	Full	500			1000			MSPS
Minimum Sample Rate ²	Full	300			300			MSPS
Clock Pulse Width High	Full	1000			500			ps
Clock Pulse Width Low	Full	1000			500			ps
OUTPUT PARAMETERS								
Unit Interval (UI) ³	Full	80	200		80	100		ps
Rise Time (t _R) (20% to 80% into 100 Ω Load)	25°C	24	32		24	32		ps
Fall Time (t _F) (20% to 80% into 100 Ω Load)	25°C	24	32		24	32		ps
PLL Lock Time	25°C	2			2			ms
Data Rate (NRZ) ⁴	25°C	3.125	5	12.5	3.125	10	12.5	Gbps
LATENCY⁵								
Pipeline Latency	Full	55			55			Clock cycles
Fast Detect Latency	Full			28			28	Clock cycles
Wake-Up Time ⁶								
Standby	25°C	1			1			ms
Power-Down	25°C			4			4	ms
APERTURE								
Aperture Delay (t _A)	Full	530			530			ps
Aperture Uncertainty (Jitter, t _j)	Full	55			55			fs rms
Out-of-range Recovery Time	Full	1			1			Clock Cycles

¹ 最大サンプル・レートは分周後のクロック・レートです。

² 最小サンプル・レートは、L=2 または L=1 の 300 MSPS で動作。

³ ボー・レート = 1/UI。このレンジの一部分をサポートすることができます。

⁴ デフォルト L=4。この値はサンプル・レートとデシメーション比に基いて変更することができます。

⁵ DDC 不使用。L=2、M=1、F=1。

⁶ ウェイクアップ時間は、パワーダウン・モードから通常動作へ戻るために要する時間として定義されます。

タイミング仕様

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CLK+ to SYSREF+ TIMING REQUIREMENTS	See Figure 3				
t_{SU_SR}	Device clock to SYSREF+ setup time		117		ps
t_{H_SR}	Device clock to SYSREF+ hold time		-96		ps
SPI TIMING REQUIREMENTS	See Figure 4				
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	Minimum period that SCLK must be in a logic high state	10			ns
t_{LOW}	Minimum period that SCLK must be in a logic low state	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 4)	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 4)	10			ns

タイミング図

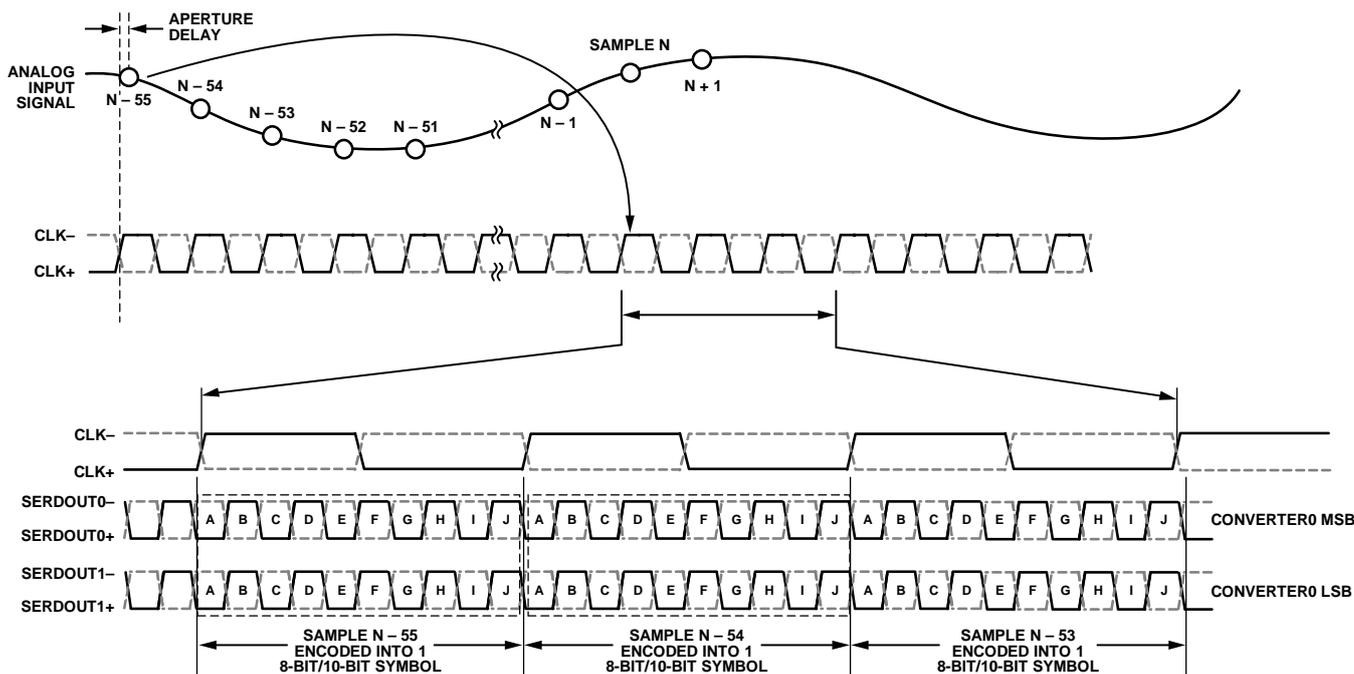


図 2. データ出カタイミング (フル帯域幅モード; L = 2; M = 1; F = 1)

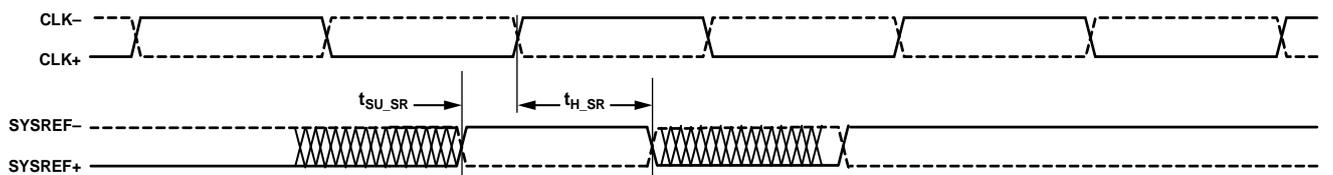
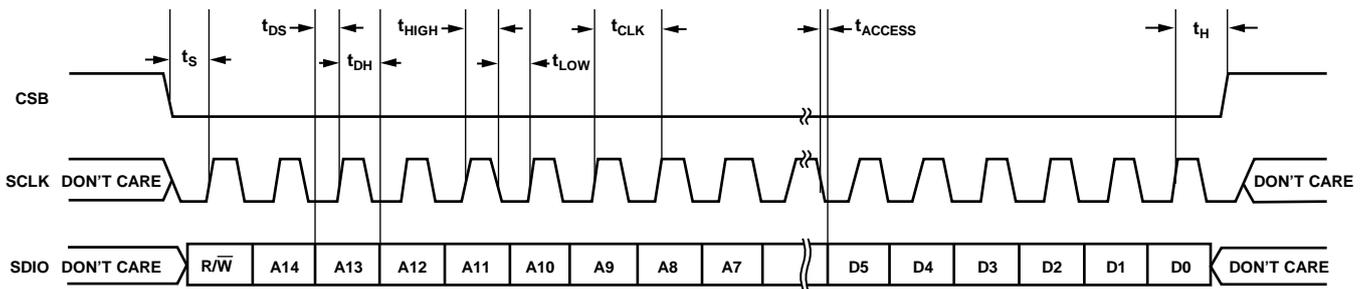


図 3. SYSREF±のセットアップとホールド・タイミング



12834-004

図 4. シリアル・ポート・インターフェースのタイミング図

絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD1 to AGND	1.32 V
AVDD1_SR to AGND	1.32 V
AVDD2 to AGND	2.75 V
AVDD3 to AGND	3.63 V
DVDD to DGND	1.32 V
DRVDD to DRGND	1.32 V
SPIVDD to AGND	3.63 V
AGND to DRGND	-0.3 V to +0.3 V
VIN± to AGND	3.2 V
SCLK, SDIO, CSB to AGND	-0.3 V to SPIVDD + 0.3 V
PDWN/STBY to AGND	-0.3 V to SPIVDD + 0.3 V
Environmental	
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-40°C to +115°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱特性

θ_{JA} 、 θ_{JB} 、 θ_{JC} の typ 値は、様々な空気流 (m/sec) でプリント回路ボード (PCB) 層数に対して規定されます。空気流があると放熱効果が良くなるため、実質的に θ_{JA} と θ_{JB} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンがパッケージ・ピンとエクスポーズド・パッド (EPAD: 裏面の金属露出部) に直接接触する場合も、これらのメタルによって θ_{JA} が小さくなります。実際のアプリケーションに対する熱性能では、アプリケーションの条件を慎重に調べる必要があります。最大ジャンクション温度が表 6 に示す規定値を超えないようにするため、適切な熱管理技術の使用が推奨されます。

表 7. 熱抵抗値

PCB Type	Airflow Velocity (m/sec)	θ_{JA}	Ψ_{JB}	θ_{JC_TOP}	θ_{JC_BOT}	Unit
JEDEC	0.0	17.8 ^{1,2}	6.3 ^{1,3}	4.7 ^{1,4}	1.2 ^{1,4}	°C/W
2s2p	1.0	15.6 ^{1,2}	5.9 ^{1,3}	N/A ⁵		°C/W
Board	2.5	15.0 ^{1,2}	5.7 ^{1,3}	N/A ⁵		°C/W

¹ JEDEC 51-7 と JEDEC 51-5 2s2p のテスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

³ JEDEC JESD51-8 (自然空冷) に準拠。

⁴ MIL-STD 883, Method 1012.1 に準拠。

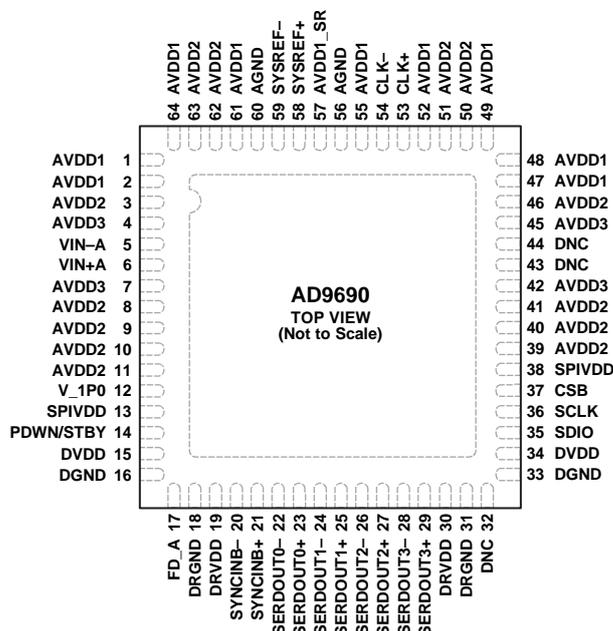
⁵ N/A=適用なし。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. EXPOSED PAD. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDDx. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.
 2. DNC = DO NOT CONNECT.

12834-005

図 5. ピン配置 (上面図)

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
電源			
0	EPAD	グラウンド	エクスポーズド・パッド。パッケージ底面のエクスポーズド・サーマル・パッドは、AVDDxのグラウンド基準になります。このエクスポーズド・パッドはグラウンドへ接続する必要があります。
1、2、47、48、49、52、55、61、64	AVDD1	電源	アナログ電源(公称 1.25 V)。
3、8、9、10、11、39、40、41、46、50、51、62、63	AVDD2	電源	アナログ電源(公称 2.5 V)。
4、7、42、45	AVDD3	電源	アナログ電源(公称 3.3 V)。
13、38	SPIVDD	電源	SPI用のデジタル電源 (1.8 V～3.3 V)。
15、34	DVDD	電源	デジタル電源(公称 1.25 V)。
16、33	DGND	グラウンド	DVDDのグラウンド基準。
18、31	DRGND	グラウンド	DRVDDのグラウンド基準。
19、30	DRVDD	電源	デジタル・ドライバ電源 (公称 1.25 V)。
56、60	AGND ¹	グラウンド	SYSREF±のグラウンド基準。
57	AVDD1_SR ¹	電源	SYSREF±のアナログ電源 (公称 1.25 V)。
アナログ			
5、6	VIN-、VIN+	入力	ADCアナログ入力反転/非反転。
12	V_1P0	入力/DNC	1.0 Vリファレンス電圧入力あるいは無接続。このピンは、SPIを使って非接続または入力に設定することができます。内蔵リファレンス電圧を使用する場合は、このピンを外部接続しないでください。外付けリファレンス電圧ソースを使う場合は、1.0 Vのリファレンス電圧入力が必要です。
44、43	DNC	DNC	接続しないでください。
53、54	CLK+、CLK-	入力	クロック入力非反転/反転。

ピン番号	記号	タイプ	説明
CMOS 出力 17 32	FD DNC	出力 DNC	高速ディテクタ出力。 接続しないでください。
デジタル入力 20、21 58、59	SYNCINB-、SYNCINB+ SYSREF+、SYSREF-	入力 入力	アクティブ・ローの JESD204B LVDS 同期入力非反転/反転。 アクティブ・ハイの JESD204B LVDS システム・リファレンス電圧入力非反転/反転。
データ出力 22、23 24、25 26、27 28、29	SERDOUT0-、 SERDOUT0+ SERDOUT1-、 SERDOUT1+ SERDOUT2-、 SERDOUT2+ SERDOUT3-、 SERDOUT3+	出力 出力 出力 出力	レーン 0 出力データ反転/非反転。 レーン 1 出力データ反転/非反転。 レーン 2 出力データ反転/非反転。 レーン 3 出力データ反転/非反転。
被テスト・デバイス (DUT) 制御 14 35 36 37	PDWN/STBY SDIO SCLK CSB	入力 入力/出力 入力 入力	パワーダウン入力 (アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができます。 SPI シリアル・データ入力/出力。 SPI シリアル・クロック。 SPI チップ・セレクト (アクティブ・ロー)。

¹ 正しい ADC 動作を保证するために、AVDD1_SR と AGND の接続は AVDD1 と EPAD の接続と別にしてください。詳細については、アプリケーション情報のセクションを参照してください。

代表的な性能特性

AD9690-1000

特に指定がない限り、AVDD1 = 1.25 V、AVDD1_SR = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、1.7 V p-p フルスケール差動入力、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、クロック分周比 = 2、 $T_A = 25^\circ\text{C}$ 、128k FFT サンプル。推奨設定については表 10 を参照してください。

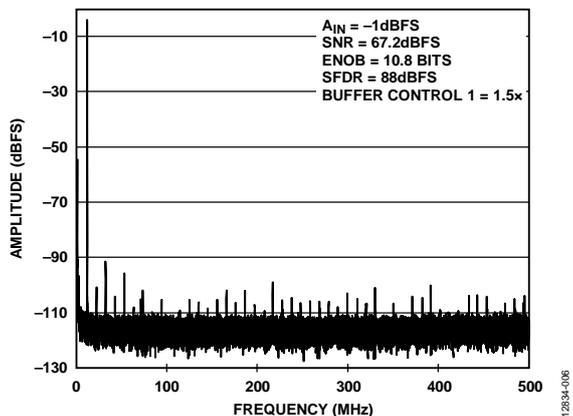


図 6. シングル・トーン FFT、 $f_{IN} = 10.3$ MHz

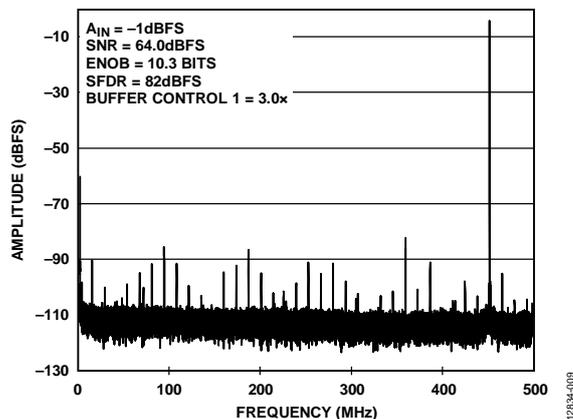


図 9. シングル・トーン FFT、 $f_{IN} = 450.3$ MHz

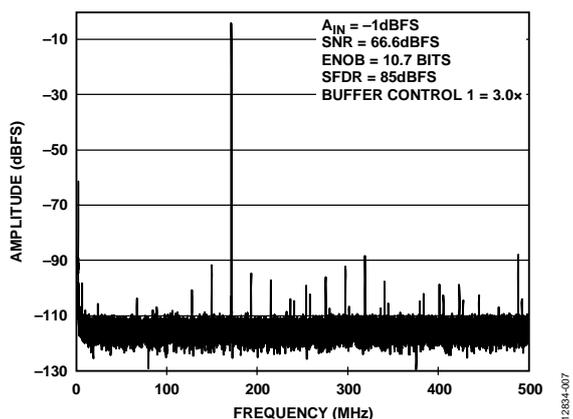


図 7. シングル・トーン FFT、 $f_{IN} = 170.3$ MHz

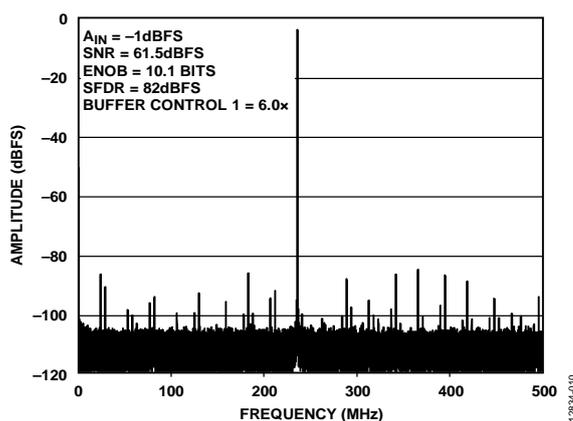


図 10. シングル・トーン FFT、 $f_{IN} = 765.3$ MHz

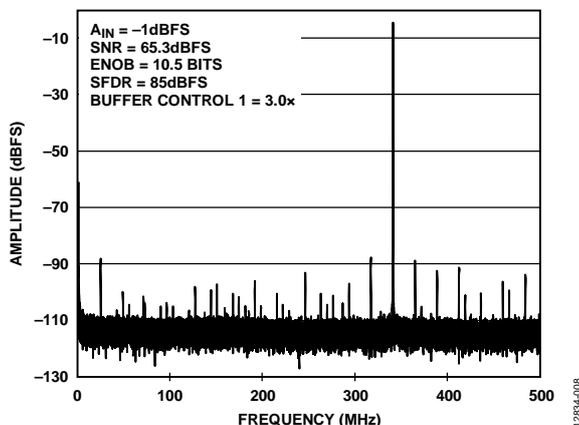


図 8. シングル・トーン FFT、 $f_{IN} = 340.3$ MHz

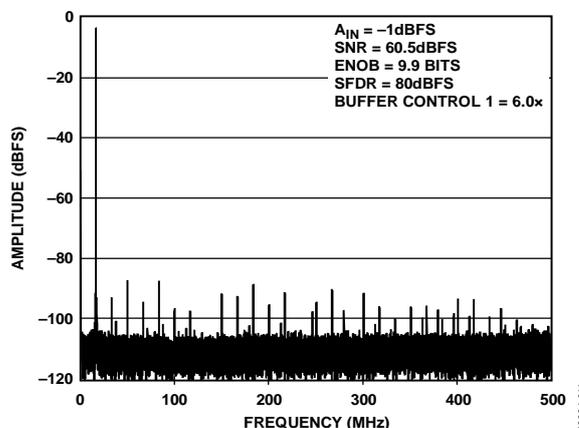


図 11. シングル・トーン FFT、 $f_{IN} = 985.3$ MHz

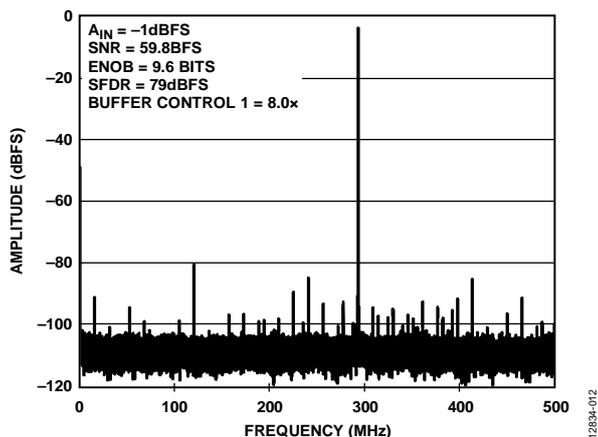


図 12. シングル・トーン FFT、 $f_{IN} = 1,293.3$ MHz

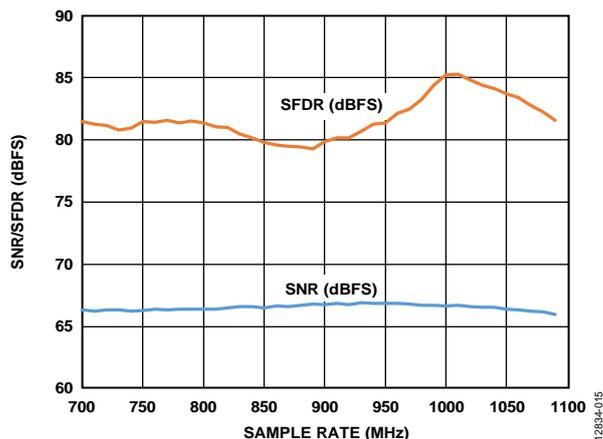


図 15. サンプル・レート (f_s) 対 SNR/SFDR
 $f_{IN} = 170.3$ MHz;
バッファ・コントロール 1 (0x018) = 3.0x

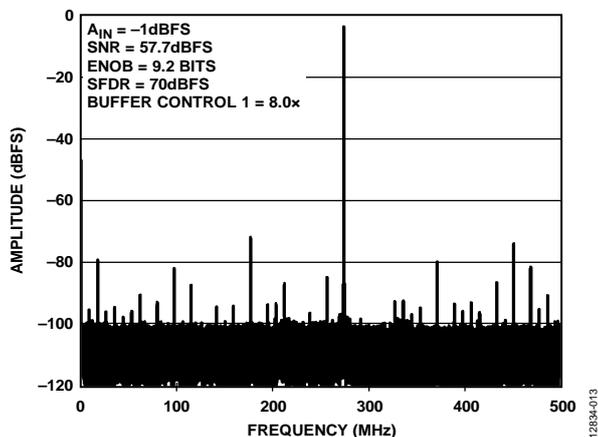


図 13. シングル・トーン FFT、 $f_{IN} = 1,725.3$ MHz

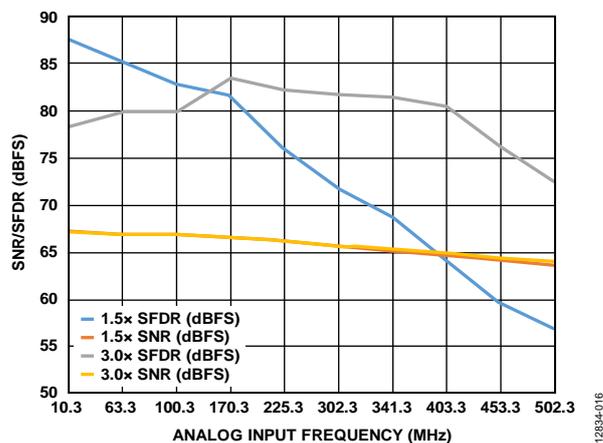


図 16. アナログ入力周波数 (f_{IN}) 対 SNR/SFDR;
 $f_{IN} < 500$ MHz;
バッファ・コントロール 1 (0x018) = 1.5x および 3.0x

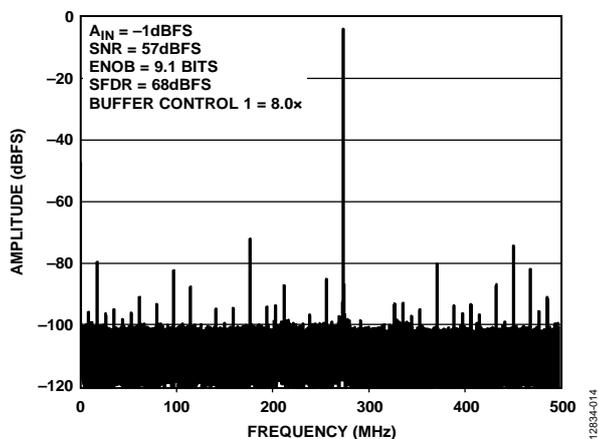


図 14. シングル・トーン FFT、 $f_{IN} = 1,950.3$ MHz

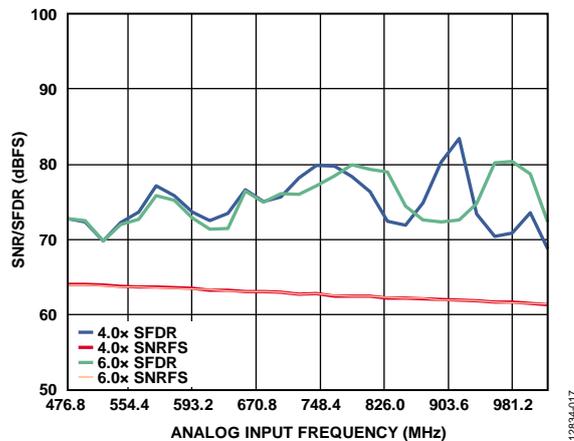


図 17. アナログ入力周波数 (f_{IN}) 対 SNR/SFDR;
 500 MHz $< f_{IN} < 1$ GHz;
バッファ・コントロール 1 (0x018) = 4.0x および 6.0x

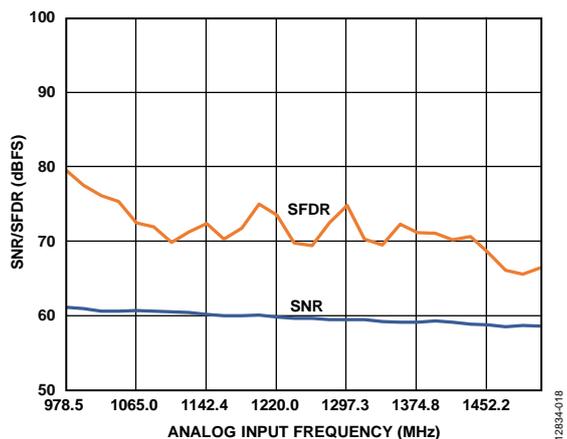


図 18. f_{IN} 対 SNR/SFDR; $1 \text{ GHz} < f_{IN} < 1.5 \text{ GHz}$;
バッファ・コントロール 1 (0x018) = 6.0x

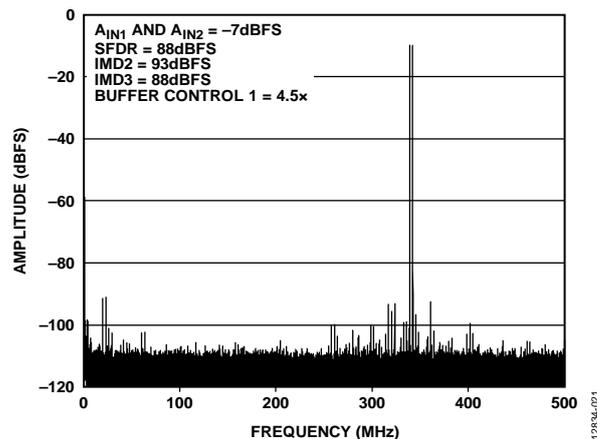


図 21.2 トーン FFT; $f_{IN1} = 338 \text{ MHz}$ 、 $f_{IN2} = 341 \text{ MHz}$

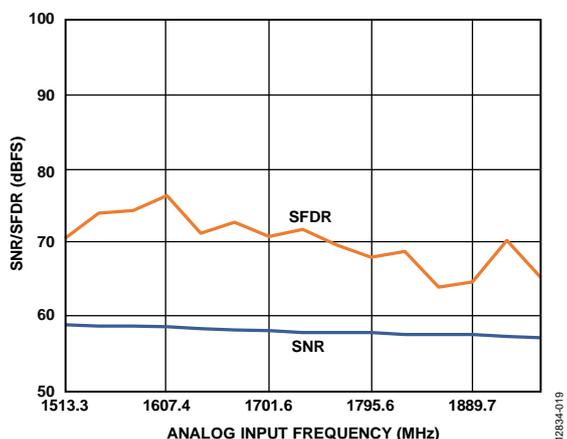


図 19. f_{IN} 対 SNR/SFDR; $1.5 \text{ GHz} < f_{IN} < 2 \text{ GHz}$;
バッファ・コントロール 1 (0x018) = 7.5x

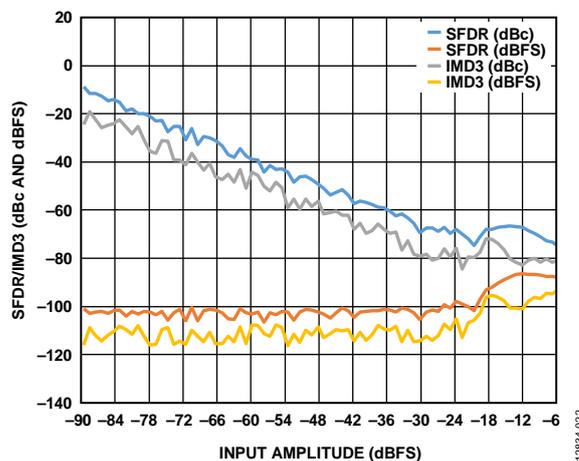


図 22. 入力振幅 (A_{IN}) 対 2 トーン SFDR/IMD3、
 $f_{IN1} = 184 \text{ MHz}$ 、 $f_{IN2} = 187 \text{ MHz}$

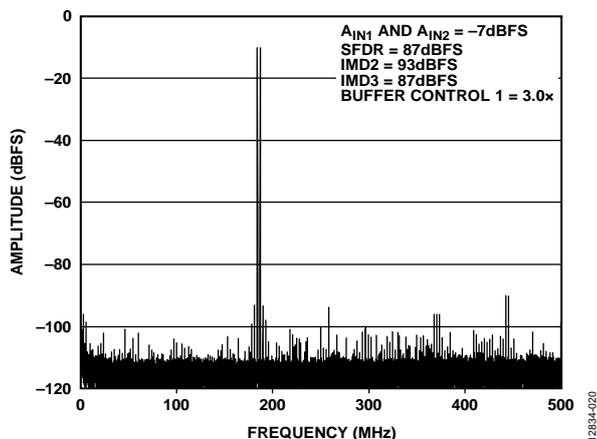


図 20.2 トーン FFT; $f_{IN1} = 184 \text{ MHz}$ 、 $f_{IN2} = 187 \text{ MHz}$

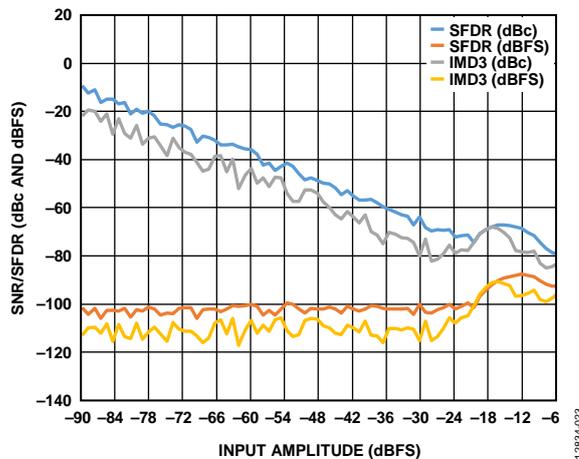


図 23. 入力振幅 (A_{IN}) 対 2 トーン IMD3/SFDR、
 $f_{IN1} = 338 \text{ MHz}$ 、 $f_{IN2} = 341 \text{ MHz}$

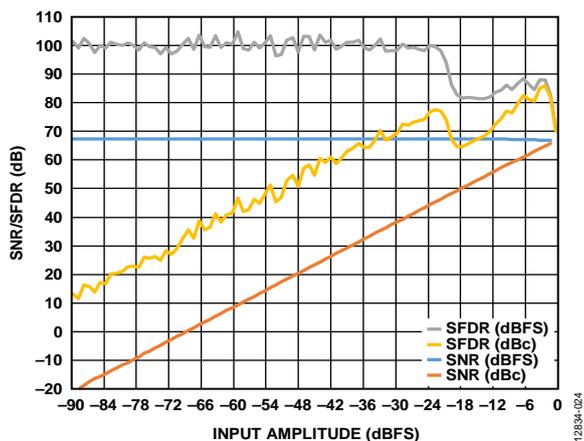


図 24. アナログ入力レベル対 SNR/SFDR
 $f_{IN} = 170.3 \text{ MHz}$

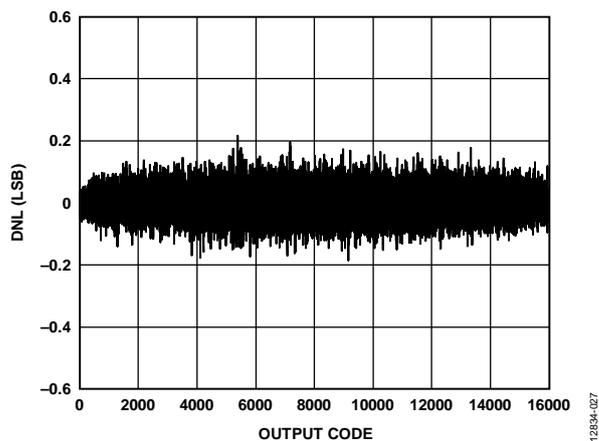


図 27. DNL、 $f_{IN} = 15 \text{ MHz}$

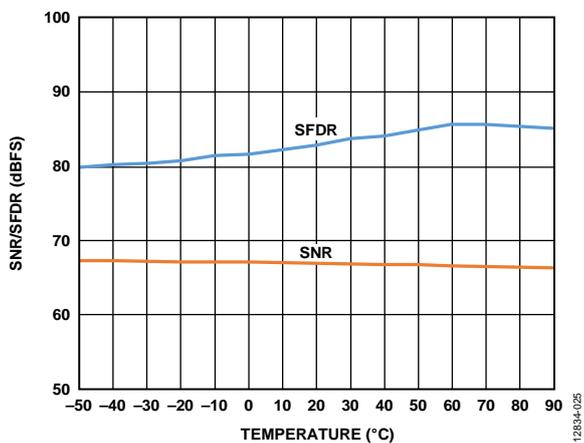


図 25. SNR/SFDR の温度特性
 $f_{IN} = 170.3 \text{ MHz}$

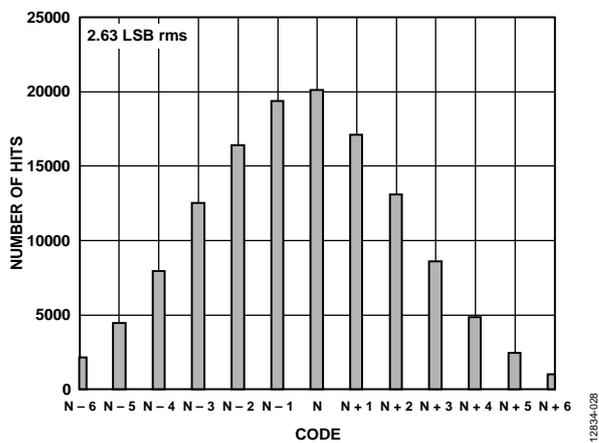


図 28. 入力換算ノイズ・ヒストグラム

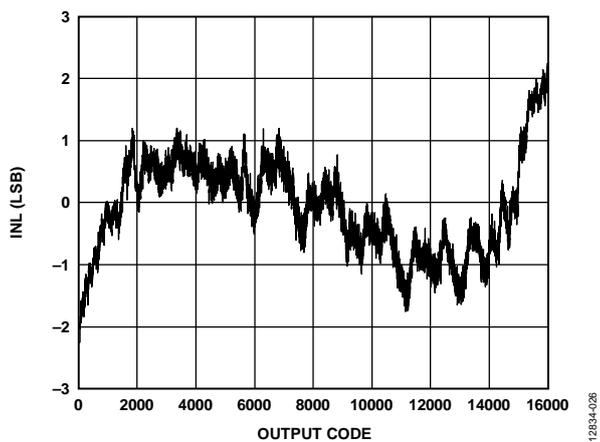


図 26. INL、 $f_{IN} = 10.3 \text{ MHz}$

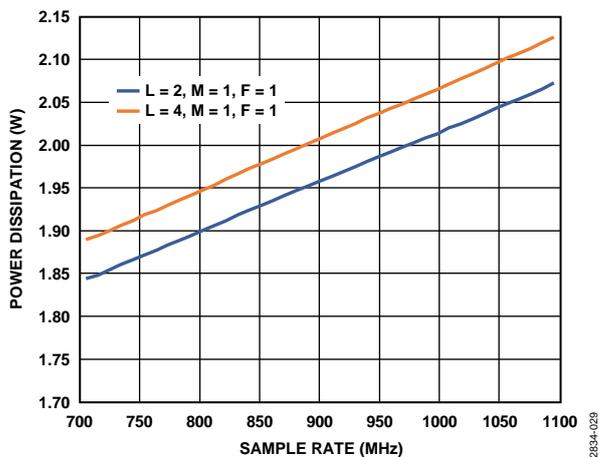


図 29. サンプル・レート (f_s) 対消費電力

AD9690-500

特に指定がない限り、AVDD1 = 1.25 V、AVDD1_SR = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、2.06 V p-p フルスケール差動入力、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、クロック分周比 = 2、 $T_A = 25^\circ\text{C}$ 、128k FFT サンプル。推奨設定については表 10 を参照してください。

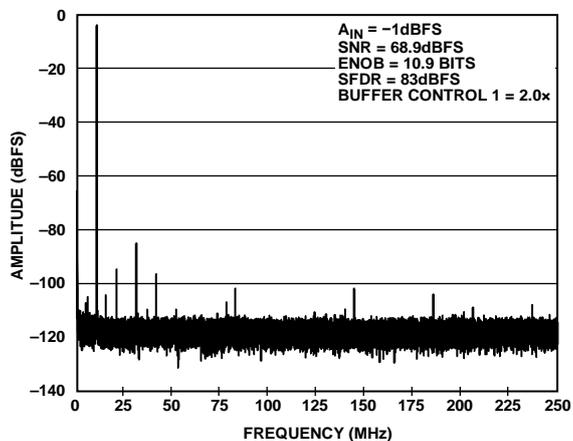


図 30. シングル・トーン FFT、 $f_{IN} = 10.3 \text{ MHz}$

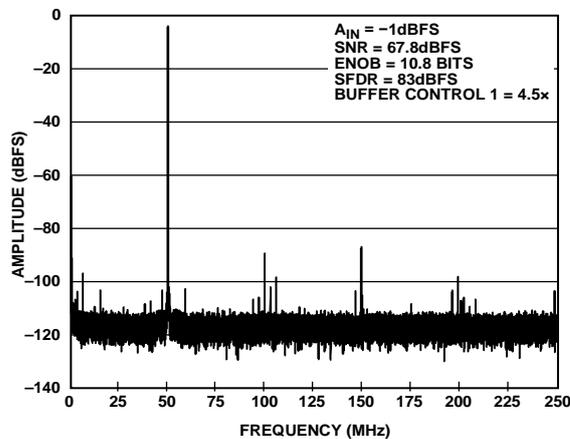


図 33. シングル・トーン FFT、 $f_{IN} = 450.3 \text{ MHz}$

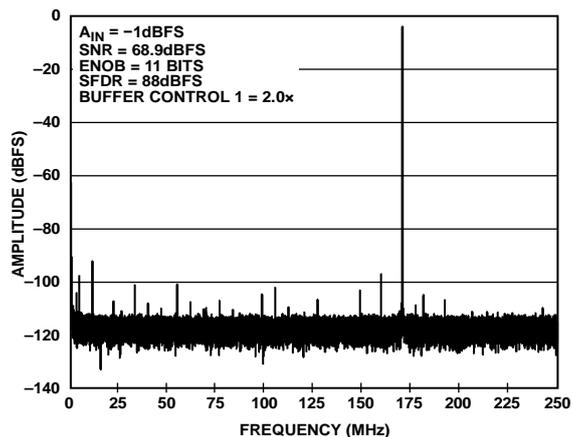


図 31. シングル・トーン FFT、 $f_{IN} = 170.3 \text{ MHz}$

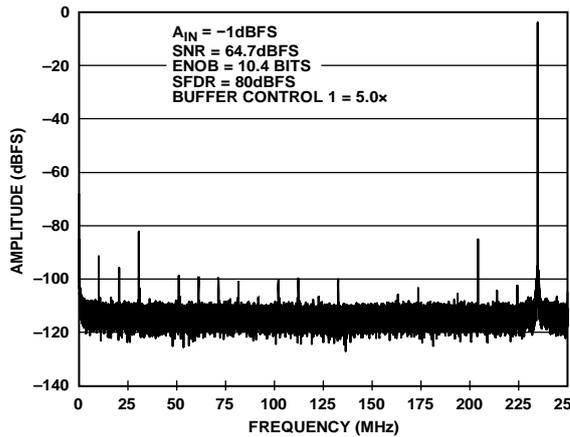


図 34. シングル・トーン FFT、 $f_{IN} = 765.3 \text{ MHz}$

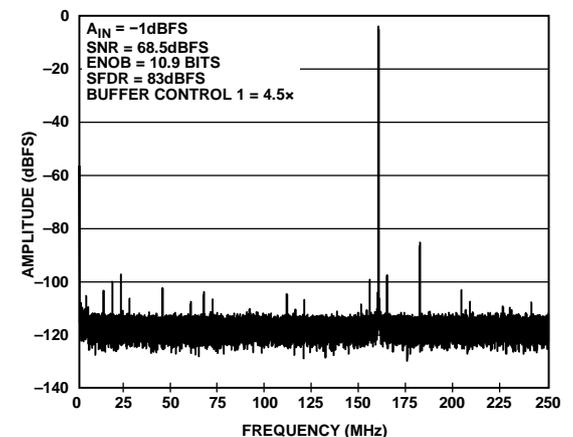


図 32. シングル・トーン FFT、 $f_{IN} = 340.3 \text{ MHz}$

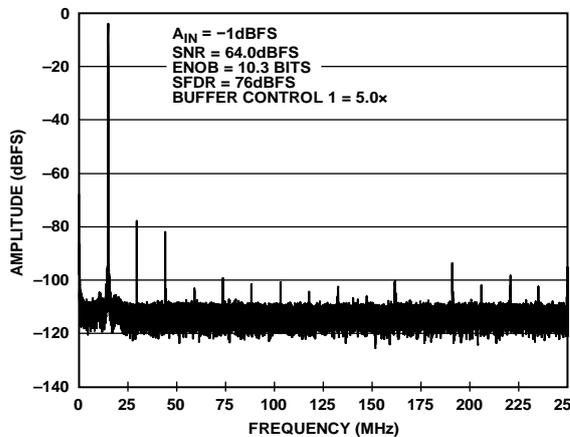


図 35. シングル・トーン FFT、 $f_{IN} = 985.3 \text{ MHz}$

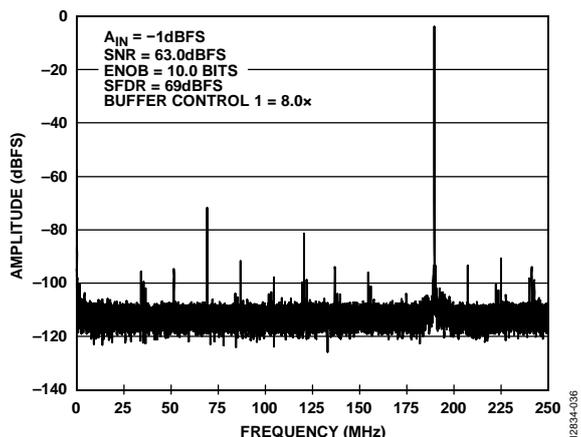


図 36. シングル・トーン FFT、 $f_{IN} = 1,310.3$ MHz

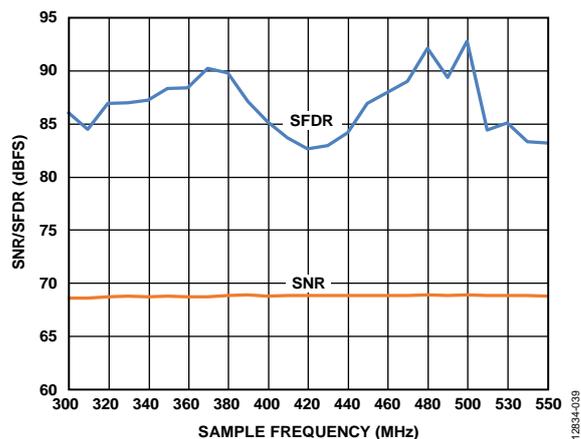


図 39. f_S 対 SNR/SFDR、 $f_{IN} = 170.3$ MHz;
バッファ・コントロール 1 = 2.0x

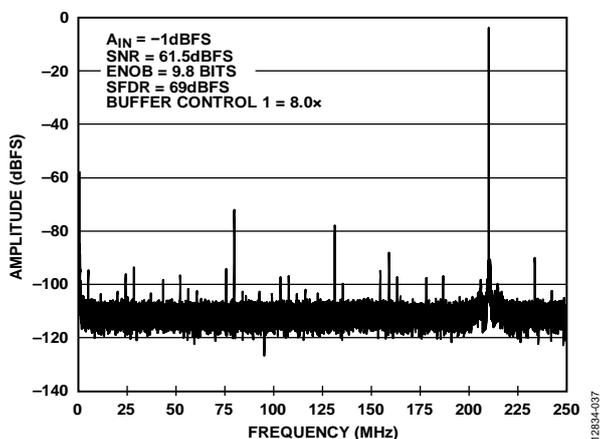


図 37. シングル・トーン FFT、 $f_{IN} = 1,710.3$ MHz

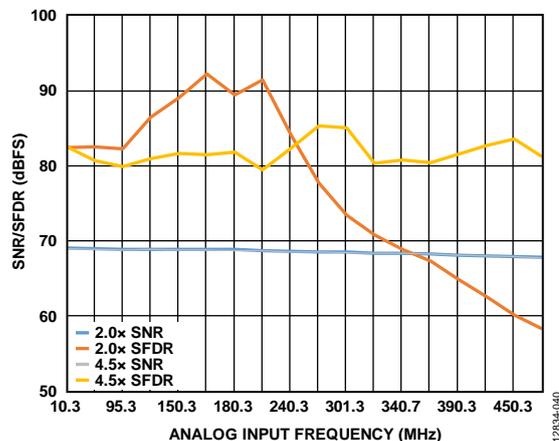


図 40. f_{IN} 対 SNR/SFDR; $f_{IN} < 500$ MHz;
バッファ・コントロール 1 (0x018) = 2.0x および 4.5x

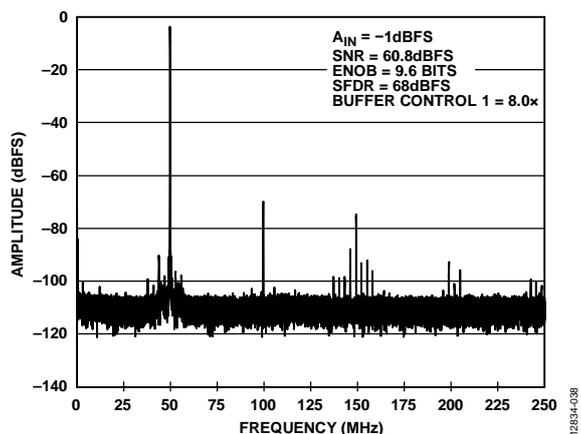


図 38. シングル・トーン FFT、 $f_{IN} = 1,950.3$ MHz

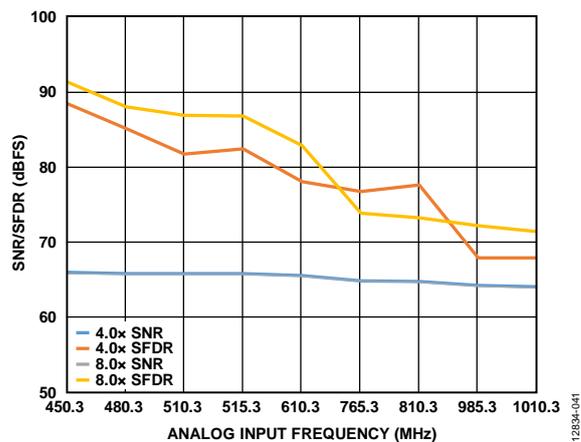


図 41. f_{IN} 対 SNR/SFDR; 500 MHz $< f_{IN} < 1$ GHz;
バッファ・コントロール 1 (0x018) = 4.0x および 8.0x

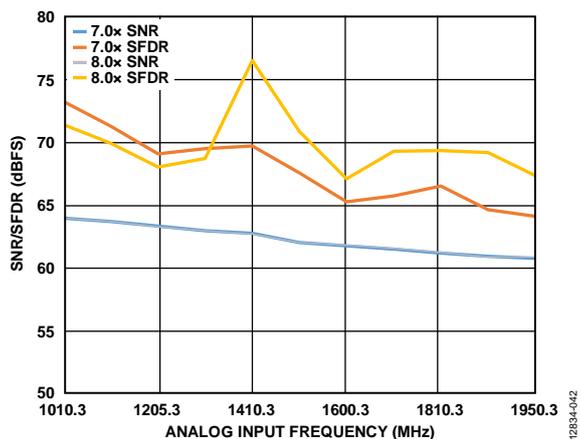


図 42. f_{IN} 対 SNR/SFDR; $1\text{ GHz} < f_{IN} < 2\text{ GHz}$; バッファ・コントロール 1 (0x018) = 7.0x および 8.0x

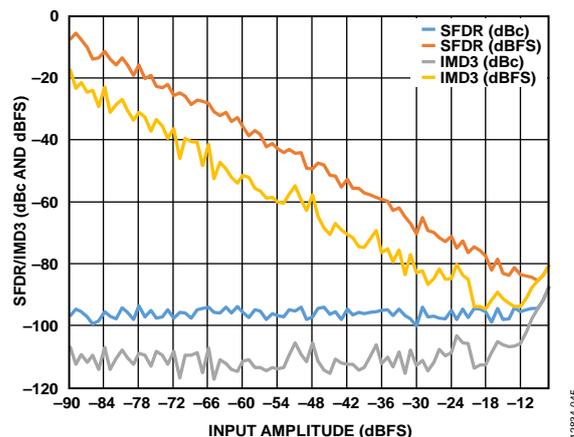


図 45. 入力振幅 (A_{IN}) 対 2 トーン SFDR/IMD3、 $f_{IN1} = 184\text{ MHz}$ 、 $f_{IN2} = 187\text{ MHz}$

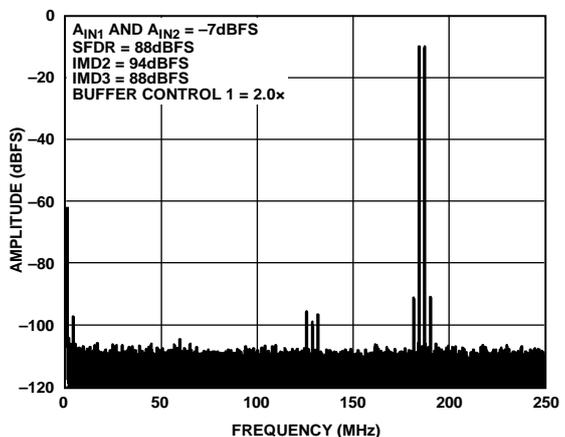


図 43. 2 トーン FFT; $f_{IN1} = 184\text{ MHz}$ 、 $f_{IN2} = 187\text{ MHz}$

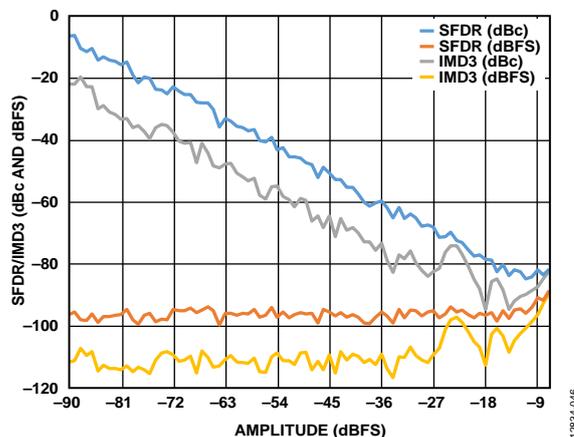


図 46. 入力振幅 (A_{IN}) 対 2 トーン IMD3/SFDR、 $f_{IN1} = 338\text{ MHz}$ 、 $f_{IN2} = 341\text{ MHz}$

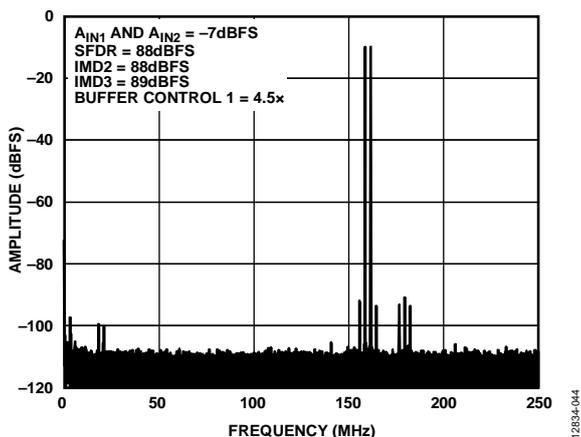


図 44. 2 トーン FFT; $f_{IN1} = 338\text{ MHz}$ 、 $f_{IN2} = 341\text{ MHz}$

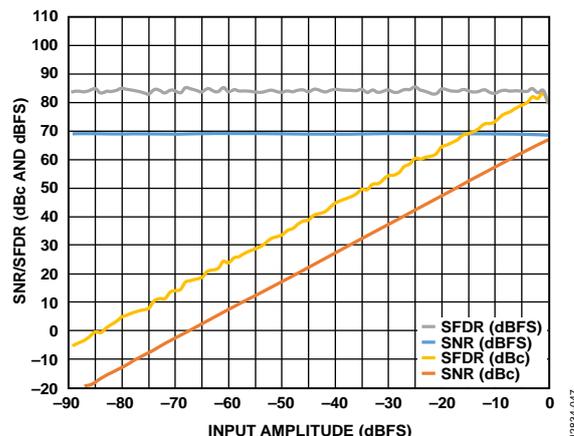


図 47. アナログ入力レベル対 SNR/SFDR $f_{IN} = 170.3\text{ MHz}$

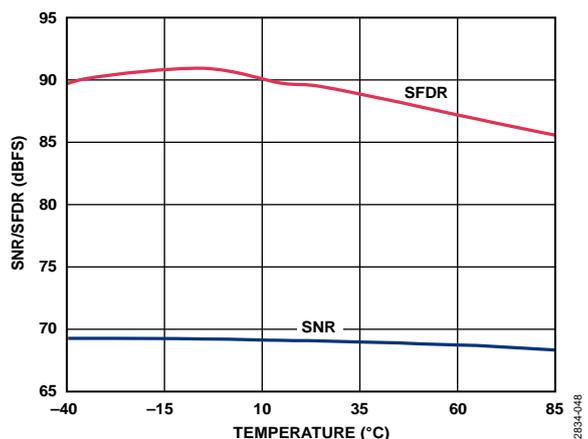


図 48. SNR/SFDR の温度特性
 $f_{IN} = 170.3 \text{ MHz}$

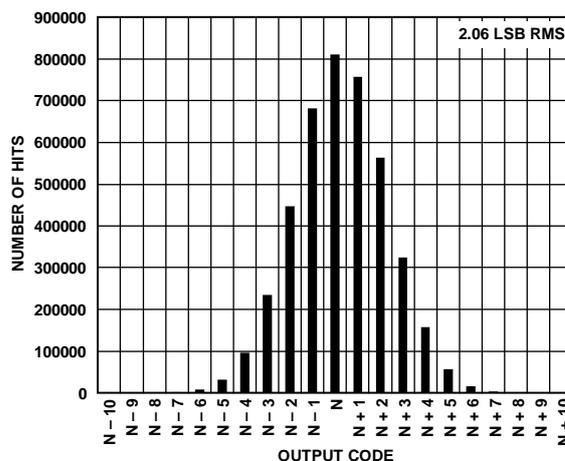


図 51. 入力換算ノイズ・ヒストグラム

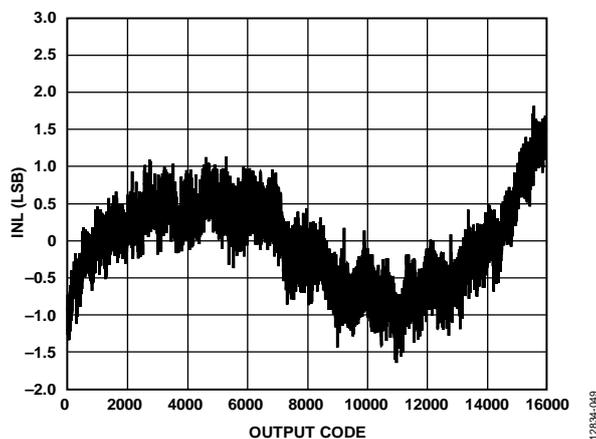


図 49. INL、 $f_{IN} = 10.3 \text{ MHz}$

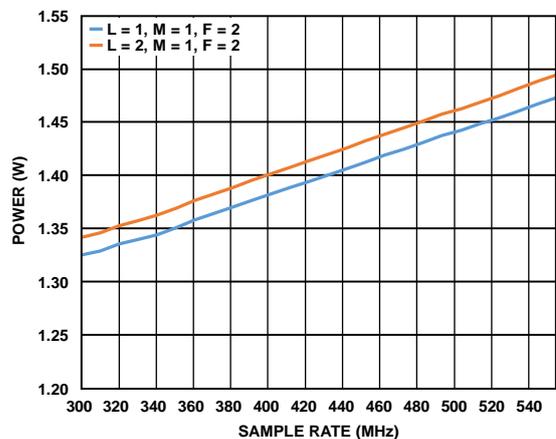


図 52. f_s 対消費電力

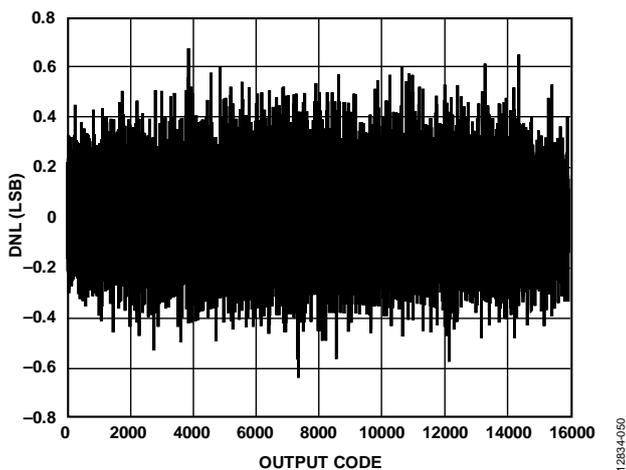


図 50. DNL、 $f_{IN} = 15 \text{ MHz}$

等価回路

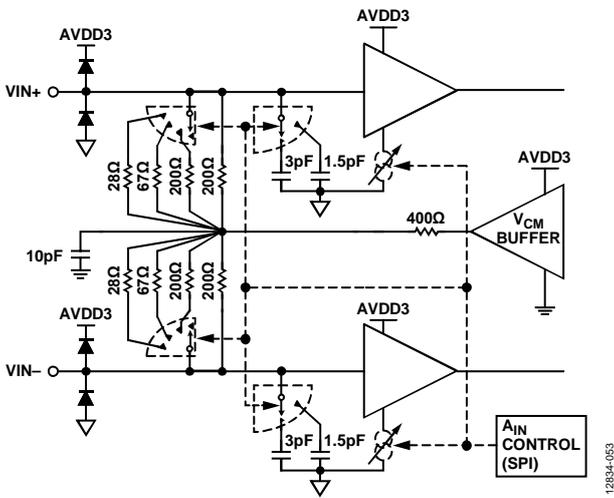


図 53. アナログ入力

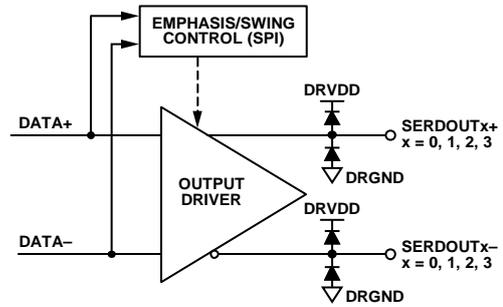


図 56. デジタル出力

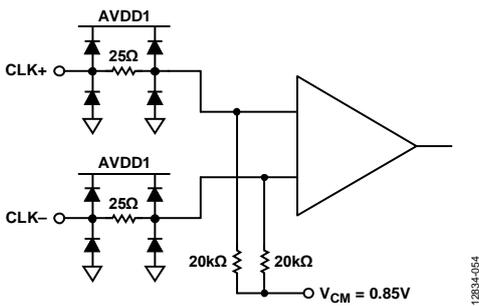


図 54. クロック入力

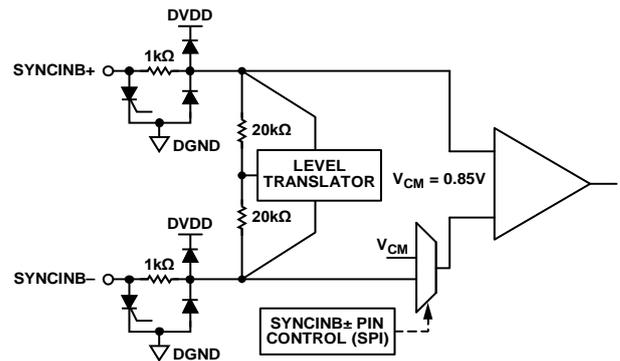


図 57. SYNCINB± 入力

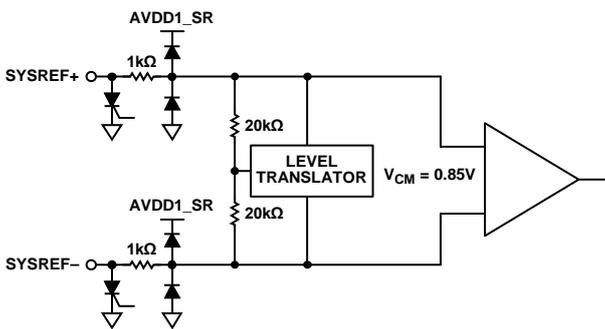


図 55. SYSREF± 入力

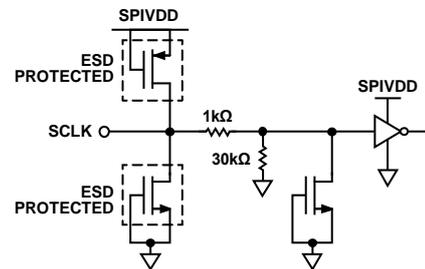
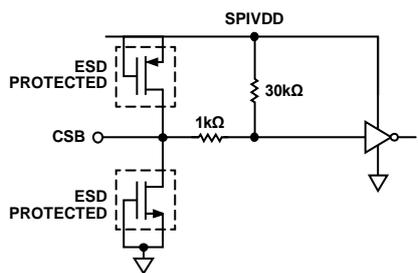
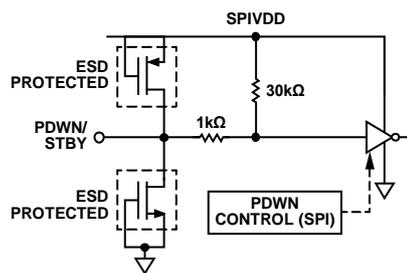


図 58. SCLK 入力



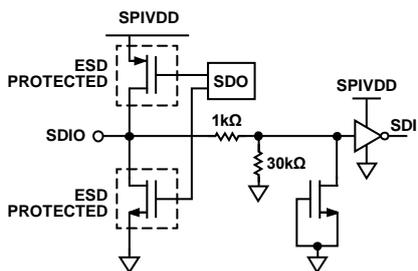
12834-059

図 59.CSB 入力



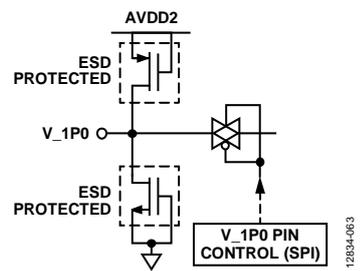
12834-062

図 62.PDWN/STBY 入力



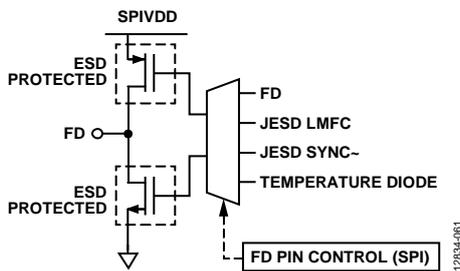
12834-060

図 60.SDIO 入力



12834-063

図 63.V_1P0 入力/出力



12834-061

図 61.FD 出力

動作原理

AD9690には1つのアナログ入力チャンネルと2つの JESD204B 出力レーン対があります。この ADC は、最大 2 GHz の広帯域アナログ信号をサンプルできるようにデザインされています。

AD9690 は、広い入力帯域幅、高サンプリング・レート、優れた直線性、小型パッケージで低消費電力となるよう最適化されています。

ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。ADC は、ユーザー選択可能な多様な入力範囲をサポートする、広帯域入力段を持っています。リファレンス電圧源も内蔵しているためデザインが容易です。

AD9690 は、通信レーンパの AGC 機能を簡単に実現できる複数の機能を内蔵しています。プログラマブルなスレッショールド（比較判定値）を持つ入力レベルのディテクタを使うと、ADC の高速ディテクタ出力ビットを使って着信信号電力をモニターすることができます。入力信号レベルがプログラマブルなスレッショールドを超えると、高速ディテクタ・インジケータがハイ・レベルになります。このスレッショールド・インジケータの反応時間は短いため、迅速にシステム・ゲインを下げ ADC 入力での範囲外状態を回避することができます。

サンプル・レートとデシメーション比に応じて、サブクラス 1 JESD204B に基づく高速シリアル出力データレートを 1 レーン ($L=1$)、2 レーン ($L=2$)、4 レーン ($L=4$) に設定することができます。複数デバイス間の同期は、SYSREF_± 入力ピンと SYNCINB_± 入力ピンを使ってサポートします。

ADC のアーキテクチャ

AD9690 のアーキテクチャは、入力バッファ付きパイプライン ADC で構成されています。入力バッファは、アナログ入力信号に対する適切な終端インピーダンスを提供するようにデザインされています。この内部終端インピーダンスは、ドライバ/アンプの終端条件に合わせて SPI 経由で変更することができます。デフォルトの終端値は 400 Ω です。アナログ入力終端の等価回路図を図 53 に示します。

入力バッファはリニアな高入力インピーダンスを提供し(駆動が容易)、ADC からのキックバックの影響を小さくします。バッファは、優れた直線性、低ノイズ、低消費電力となるように最適化されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

アナログ入力に対する考慮

AD9690 へのアナログ入力は差動バッファになっています。こ

のバッファの内部同相モード電圧は 2.05 V です。クロック信号により、入力回路がサンプル・モードとホールド・モードの間で交互に切り替えられます。入力回路がサンプル・モードになったとき、信号ソースはサンプリング・コンデンサを充電して、クロック・サイクルの 1/2 以内に整定する必要があります。各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージに発生するピーク過渡電流を減少させることに役立ちます。さらに、Q の小さいインダクタまたはフェライト・ビーズを各入力に接続し、これによりアナログ入力の大きな差動容量を小さくして、ADC の最大帯域幅を実現することができます。このような低 Q インダクタまたはフェライト・ビーズの使用は、コンバータのフロントエンドを高い IF 周波数で駆動する際に必要となります。差動コンデンサまたは 2 個のシングルエンド・コンデンサを入力に接続して、受動マッチング回路を設けることができます。これにより入力に最終的にローパス・フィルタが形成されて、不要な広帯域ノイズが制限されます。詳細については、AN-742 アプリケーション・ノート、AN-827 アプリケーション・ノート、アナログ・ダイアログ「*Transformer-Coupled Front-End for Wideband A/D Converters (Volume 39, April 2005)*」を参照してください。一般に、適正な値はアプリケーションに依存します。

最適なダイナミック性能を得るためには、同相モードのセトリング誤差が対称になるように、VIN+ と VIN- を駆動するソース・インピーダンスが一致している必要があります。これらの誤差は、ADC の同相モード除去比により小さくなります。内蔵リファレンス・バッファは、ADC コアの振幅を決定する差動リファレンスを発生します。

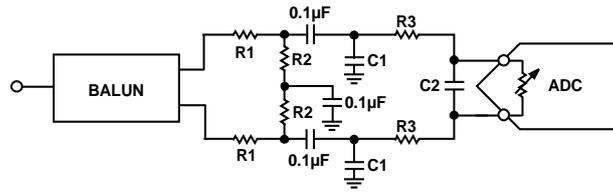
最大の SNR 性能は、ADC を差動構成で最大スパンに設定したときに得られます。AD9690 の場合、有効振幅は SPI ポートを通じて 1.46 V p-p ~ 2.06 V p-p の差動に設定することができます。AD9690-1000 と AD9690-500 のデフォルトは、それぞれ 1.70 V p-p 差動および 2.06 V p-p 差動になっています。

差動入力構成

AD9690 を能動素子または受動素子により駆動する方法は複数ありますが、いずれにしても最適性能は、アナログ入力を差動信号で駆動したときに得られます。

SNR と SFDR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨される入力構成です(図 64 と表 9 参照)。これは、大部分のアンプのノイズ性能は、AD9690 の真の性能を実現するために不十分であるためです。

低周波帯から中周波帯の範囲では、AD9690 の最適性能のために、ダブル・バラシまたはダブル・トランス回路(図 64 と表 9 参照)が推奨されます。第 2 または第 3 ナイキスト・ゾーンを使うの高周波帯では、幾つかのフロントエンド受動部品を削除して広帯域動作を確保することが望まれます(図 64 と表 9 参照)。



NOTES
1. SEE TABLE 9 FOR COMPONENT VALUES.

12834-064

図 64. AD9690 向けの差動トランス結合構成

表 9. 差動トランス結合入力構成の部品の値

Device	Frequency Range	Transformer	R1 (Ω)	R2 (Ω)	R3 (Ω)	C1 (pF)	C2 (pF)
AD9690-500	DC to 250 MHz	ETC1-1-13	10	50	10	4	2
	250 MHz to 2 GHz	BAL-0006/BAL-0006SMG	10	50	10	4	2
AD9690-1000	DC to 500 MHz	ECT1-1-13/BAL-0006SMG	25	25	10	4	2
	500 MHz to 2 GHz	BAL-0006/BAL-0006SMG	25	25	0	Open	Open

入力同相モード

AD9690 のアナログ入力は、内部で同相モード電圧にバイアスされています (図 65 参照)。同相モード・バッファの出力範囲には限界があるため、同相モード電圧が 100 mV 以上低下すると、性能が大きく劣化します。このため、DC 結合アプリケーションでは、同相モード電圧を 2.05 V±100 mV に設定して正確な ADC 動作を確保してください。DC 結合アプリケーションで動作する場合は、フルスケール電圧を 1.7 V p-p 差動に設定する必要があります。

アナログ入力バッファ・コントロールと SFDR の最適化

AD9690 の入力バッファでは、入力終端、バッファ電流、入力フルスケール調整のような、アナログ入力に対する柔軟な制御を提供しています。使用可能なすべての制御を図 65 に示します。

入力バッファ・コントロール・レジスタ (0x018、0x01A、0x935、0x934、0x11A)

入力バッファには、バイアス電流の設定や、様々な周波数での動作に対するその他の設定を行う多くのレジスタがあります。これらのバイアス電流値と設定値は、動作入力周波数範囲に合わせて変更することができます。レジスタ 0x018 は、バッファのバイアス電流を制御して ADC コアからの影響を小さくするようにします。この設定値は、1.0x~8.5x 範囲で変更することができます。AD9690-1000 と AD9690-500 に対するデフォルト設定値は、それぞれ 3.0x と 2.0x です。これらの設定値は、製品の第 1 ナイキスト・ゾーンでの動作に対して十分です。レジスタ 0x018 で入力バッファ電流が設定されると、AVDD3 電源で必要とされる電流が変化します。この関係を図 66 に示します。バッファ電流設定のすべての値については、表 36 を参照してください。

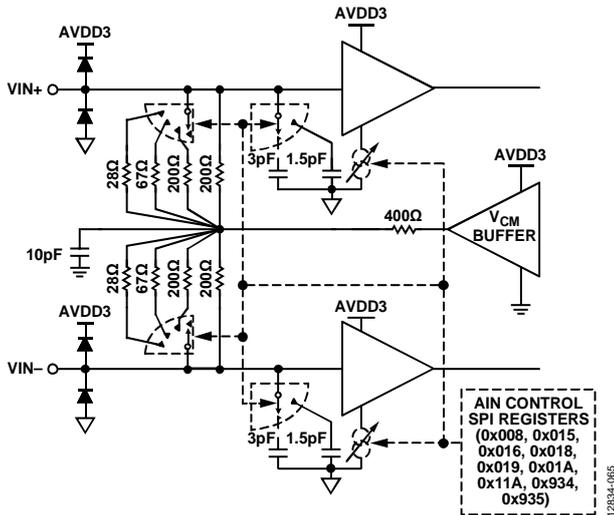


図 65. アナログ入力コントロール

0x018、0x019、0x01A、0x11A、0x934、0x935 の各レジスタを使うと、各チャンネルのバッファ動作を調節して、種々の入力周波数と注目する帯域幅で SFDR を最適化することができます。

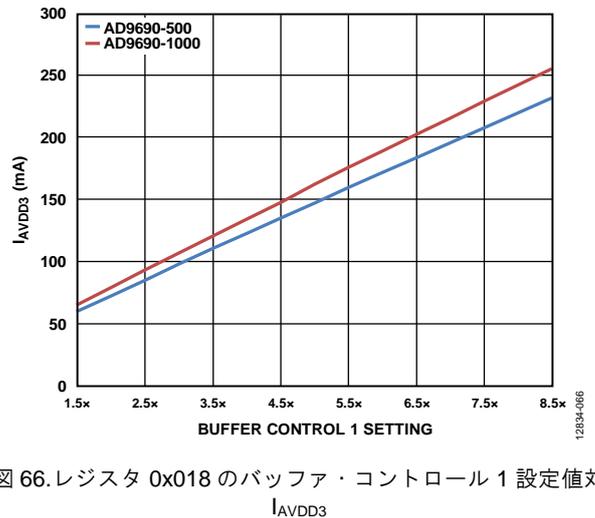


図 66. レジスタ 0x018 のバッファ・コントロール 1 設定値対 I_{AVDD3}

0x019、0x01A、0x11A、0x935 の各レジスタは、周波数 500 MHz 以上で入力バッファに対する 2 つ目のバイアス・コントロールを提供します。レジスタ 0x934 を使って入力容量を小さくして、信号帯域幅を広げることができますが、直線性とノイズ性能が少し低下します。これらのレジスタ設定値の AVDD3 電源に対する影響は、レジスタ 0x018 の影響ほど大きくありません。周波数 500 MHz 以下では、これらのレジスタのデフォルト設定の使用が推奨されます。

表 10 に、種々の速度グレードに対するバッファ電流コントロール・レジスタの推奨値を示します。

レジスタ 0x11A は、高いナイキスト・ゾーン(AD9690-1000 では 500 MHz 以上)でのサンプリングの際に使用されます。この設定を使うと、ADC サンプリング回路が高周波動作での ADC 内部のサンプリングとセトリング・タイムを最適化できるようになります。500 MHz を超える周波数では、速度グレードによらず 1.46 V のフルスケール設定で ADC コアを動作させることが推奨されます。この設定は、SNR を著しく損なうことなく SFDR を向上させます。

図 67、図 68、図 69 に、AD9690-1000 の種々のバッファ設定値に対するアナログ入力周波数対 SFDR を示します。表 10 に示す推奨設定値を使って、レジスタ 0x018 の値のみを変更した際のデータを取得しました。

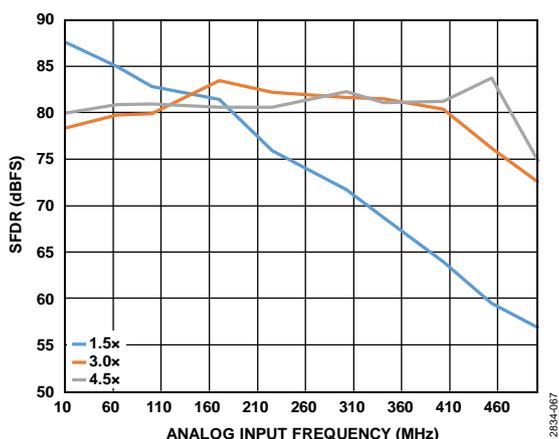


図 67. バッファ電流スweep、AD9690-1000 (I_{BUFF} 対 SFDR); $f_{IN} < 500$ MHz; 図 64 のフロントエンド回路を使用

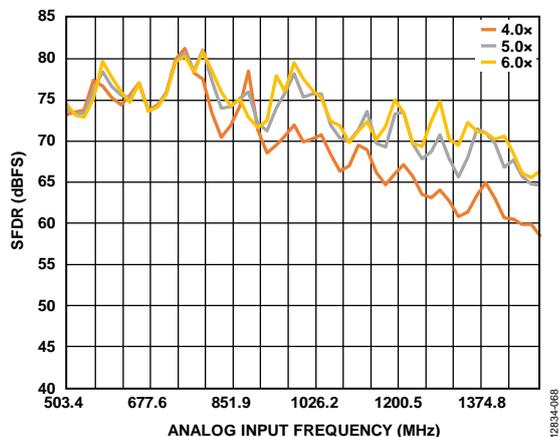


図 68. バッファ電流スweep、AD9690-1000 (I_{BUFF} 対 SFDR); 500 MHz $< f_{IN} < 1500$ MHz; 図 64 に示すフロントエンド回路を使用

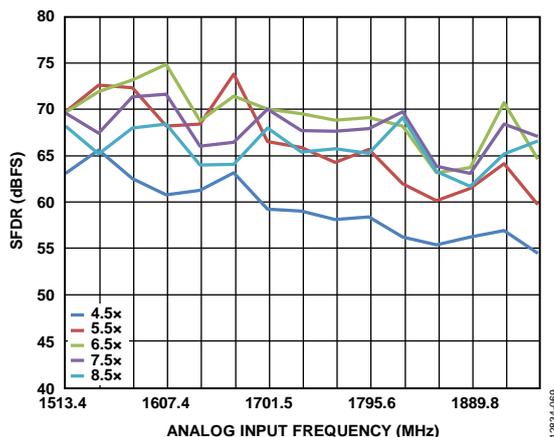


図 69. バッファ電流スweep、AD9690-1000 (I_{BUFF} 対 SFDR); 1500 MHz $< f_{IN} < 2000$ MHz; 図 64 に示すフロントエンド回路を使用

高周波アプリケーションによっては、フルスケール設定値を小さくして SFDR を向上させることができます(表 10 参照)。

高い周波数では、ADC コアの性能がジッタにより制限されます。SFDR は、フルスケール・レベルを低下させて改善することができます。図 70 に、AD9690-1000 について様々な高い周波数でのフルスケール入力レベル対 SFDR および SNR を示します。

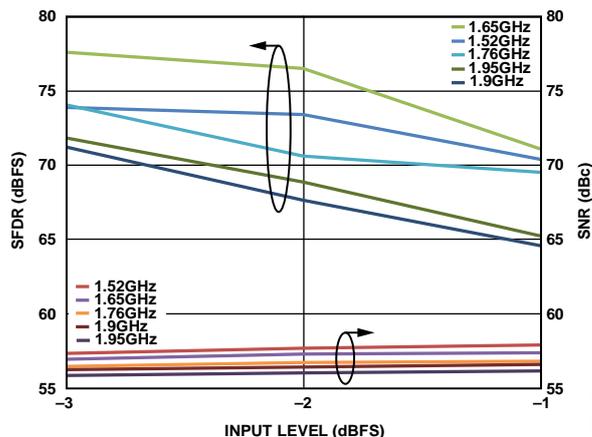


図 70. AD9690-1000 の様々な入力周波数でのアナログ入力レベル対 SNR/SFDR

図 71、図 72、図 73 に、AD9690-500 の種々のバッファ設定値に対するアナログ入力周波数対 SFDR を示します。表 10 に示す推奨設定値を使って、レジスタ 0x018 の値のみを変更した際のデータを取得しました。

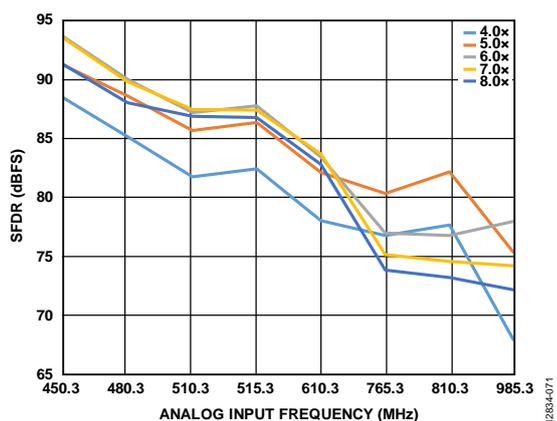


図 71.バッファ電流スweep、AD9690-500 (I_{BUFF} 対 SFDR);
450 MHz < f_{IN} < 1,000 MHz
図 64 に示すフロントエンド回路を使用

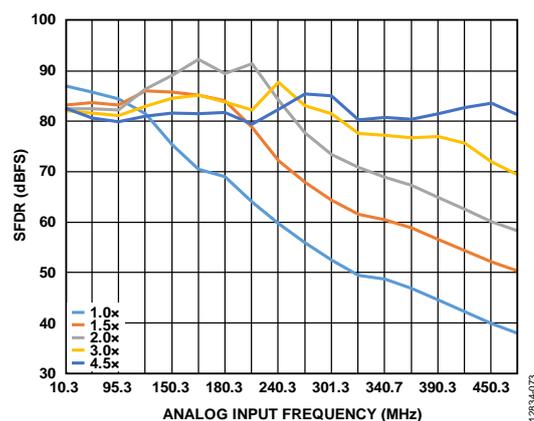


図 73.SFDR 対 f_{IN}
バッファ・コントロール 1 (0x018) = 1.0x、
1.5x、2.0x、3.0x、または 4.5x

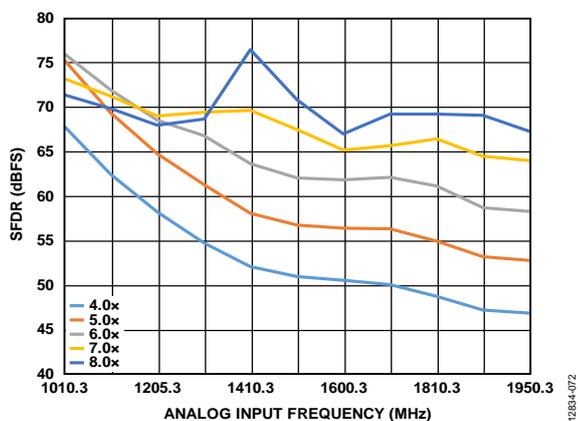


図 72.バッファ電流スweep、AD9690-500 (I_{BUFF} 対 SFDR);
1 GHz < f_{IN} < 2GHz; 図 64 に示すフロントエンド回路を使用

表 10.様々な入力周波数での SFDR 最適化に対する推奨レジスタ設定値

Product	Frequency	Buffer Control 1 (0x018)	Buffer Control 2 (0x019)	Buffer Control 3 (0x01A)	Buffer Control 4 (0x11A)	Buffer Control 5 (0x935)	Input Full-Scale Range (0x025)	Input Full-Scale Control (0x030)	Input Termination (0x016) ¹	Input Capacitance (0x934)
AD9690-500	DC to 250 MHz	0x20	0x60	0x0A	0x00	0x04	0x0C	0x04	0x0C/0x1C/...	0x1F
	250 MHz to 500 MHz	0x70	0x60	0x0A	0x00	0x04	0x0C	0x04	0x0C/0x1C/...	0x1F
	500 MHz to 1 GHz	0x80	0x40	0x08	0x00	0x00	0x08	0x18	0x0C/0x1C/...	0x1F or 0x00 ²
	1 GHz to 2 GHz	0xF0	0x40	0x08	0x00	0x00	0x08	0x18	0x0C/0x1C/...	0x1F or 0x00 ¹
AD9690-1000	DC to 150 MHz	0x10	0x50	0x09	0x00	0x04	0x0A	0x18	0x0E/0x1E/...	0x1F
	DC to 500 MHz	0x40	0x50	0x09	0x00	0x04	0x0A	0x18	0x0E/0x1E/...	0x1F
	500 MHz to 1 GHz	0xA0	0x60	0x09	0x20	0x00	0x08	0x18	0x0E/0x1E/...	0x1F or 0x00 ¹
	1 GHz to 2 GHz	0xD0	0x70	0x09	0x20	0x00	0x08	0x18	0x0E/0x1E/...	0x1F or 0x00 ¹

¹ AC 性能にほとんど影響を与えることなく、アプリケーションに対応するため入力終端を変えることができます。

² 入力容量を 1.5 pF に設定して入力帯域幅を広げることができますが、少し AC 性能が低下します。

絶対最大入力振幅

AD9690 入力で許容される絶対最大入力振幅は、4.3 V p-p 差動です。このレベル近くで動作する信号により、ADC に恒久的な損傷が生ずることがあります。

リファレンス電圧

AD9690 には、安定かつ正確な 1.0 V のリファレンス電圧源が内蔵されています。この内蔵 1.0 V リファレンス電圧を使って、ADC のフルスケール入力範囲を設定します。フルスケール入力範囲は、ADC ファンクション・レジスタ 0x025 を使って調整することができます。入力振幅調整の詳細については、表 36 を参照してください。図 74 に内部 1.0 V リファレンス電圧制御のブロック図を示します。

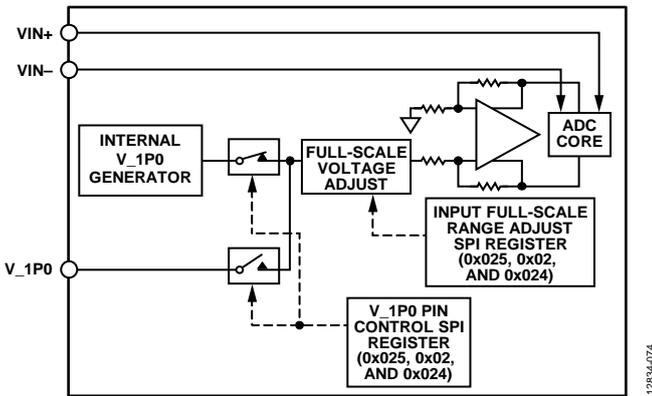


図 74.内蔵リファレンス電圧の設定と制御

SPI レジスタ 0x024 を使うと、この内部 1.0 V リファレンス電圧源の使用か、外付け 1.0 V リファレンス電圧源の使用を選択することができます。外付けリファレンス電圧源を使用する場合、1.0 V のリファレンス電圧を入力する必要があります。フルスケール調整は、リファレンス電圧に無関係に、SPI を経由して行

うことができます。AD9690 のフルスケール・レベル調整の詳細については、メモリ・マップ・レジスタ・テーブル のセクションを参照してください。

アプリケーションによっては、ADC のゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外付けリファレンス電圧の使用が必要となることがあります。図 75 に、内蔵 1.0 V リファレンス電圧の代表的な温度ドリフト特性を示します。

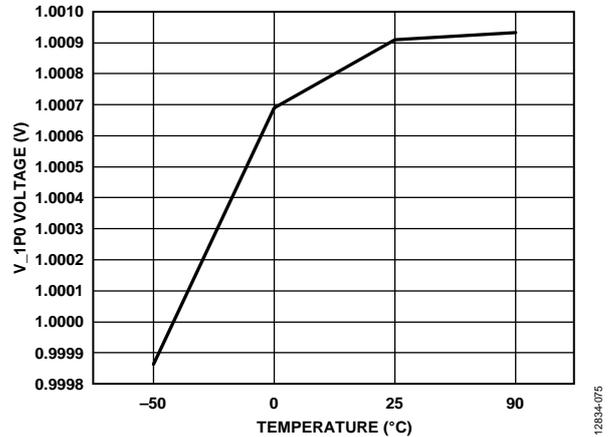


図 75.代表的な V_{1P0} ドリフト

外付けリファレンス電圧源は、安定な 1.0 V リファレンス電圧である必要があります。ADR130 は、1.0 V リファレンス電圧源の優れたオプションです。図 76 に、ADR130 を使用して外付け 1.0 V リファレンス電圧を AD9690 へ供給する方法を示します。灰色領域は AD9690 の未使用ブロックを示し、ADR130 を使用して外付けリファレンス電圧を供給しています。

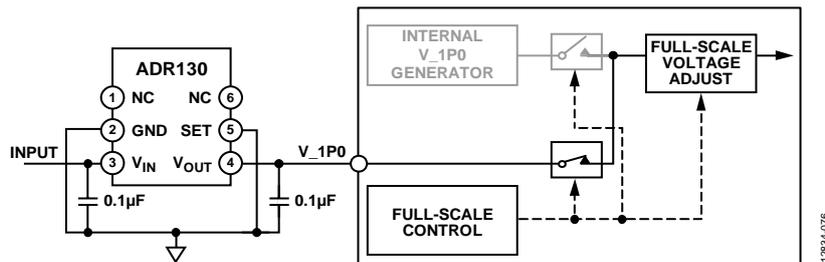


図 76. ADR130 を使用した外付けリファレンス電圧

クロック入力の考慮事項

最適な性能を得るためには、AD9690 のサンプル・クロック入力(CLK+と CLK-)を差動信号で駆動する必要があります。信号は、一般にトランスまたはクロック・ドライバを介して CLK+ピンと CLK-ピンに AC 結合されます。これらのピンは内部でバイアスされているため、外部にバイアス回路を追加する必要はありません。

図 77 に、AD9690 に対する推奨クロック入力方法を示します。ジッタの少ないクロック・ソースは、RF トランスを使ってシングルエンド信号から差動信号に変換されます。

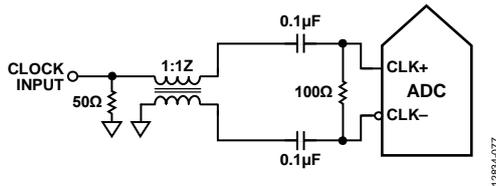


図 77.トランス結合差動クロック

別のオプションは、差動 CML または LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 78 と図 79 参照)。

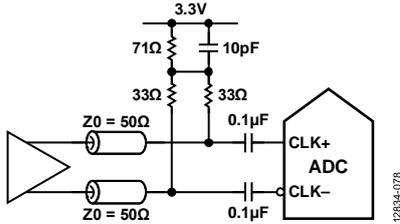


図 78.差動 CML サンプル・クロック

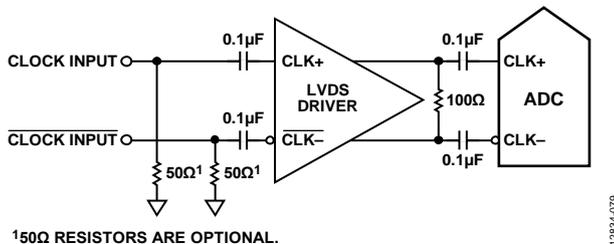


図 79.差動 LVDS サンプル・クロック

クロック・デューティ・サイクルの考慮事項

一般的な高速 ADC ではクロックの両エッジを使って、様々な内部タイミング信号を発生しています。このため、これらの ADC はクロックのデューティ・サイクルに敏感です。一般に、規定のダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容誤差は 5%以内である必要があります。50%のクロック・デューティ・サイクルを保証できないアプリケーションでは、整数倍の高周波クロックをデバイスへ供給することができます。たとえば内蔵クロック分周比を 2 に設定して、2 GHz クロックで AD9690 を駆動することができます。分周器出力は、50%デューティ・サイクルで高スルー・レート(高速エッジ)のクロック信号を内蔵 ADC へ供給します。この機能の詳細については、メモリ・マップのセクションを参照してください。

入力クロック・ドライバ

AD9690 は、ナイキスト入力クロックを 1、2、4、8 分周できる入力クロック分周器を内蔵しています。分周比はレジスタ 0x10B を使って選択することができます。これを図 80 に示します。

CLK± 入力の最大周波数は 4 GHz です。これは、分周器の性能による制限です。クロック入力が入力クロックの倍数であるアプリケーションでは、該当する分周比をクロック分周器に設定した後にクロック信号を供給するように注意してください。これにより、デバイス・スタートアップ時の過渡電流の制御が行われます。

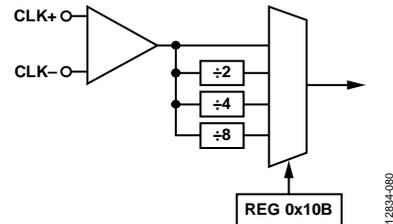


図 80.クロック分周器回路

AD9690 のクロック分周器は外部 SYSREF+入力を使って同期させることができます。有効な SYSREF±により、クロック分周器はプログラマブルな状態にリセットされます。この同期機能を使うと、複数のデバイス上で位相の一致したクロック分周器を動作させることができるので、入力の同時サンプリングが保証されます。

入力クロック分周器 1/2 周期遅延の調整

AD9690 内蔵の入力クロック分周器は、入力1/2周期・サイクルでインクリメントする位相遅延を提供します。レジスタ 0x10C に書き込みを行って、各チャンネルに対して独立にこの遅延をイネーブルすることができます。このレジスタを変更しても、JESD204B リンクの安定性に影響することはありません。

クロック遅延の微調整

レジスタ 0x117 とレジスタ 0x118 へ書き込みを行って、AD9690 のサンプリング・エッジの位置を微調整することができます。レジスタ 0x117 のビット 0 をセットするとこの機能がイネーブルされ、レジスタ 0x118 のビット[7:0]で遅延値を設定します。この値は、各チャンネルへ個別に設定することができます。クロック遅延は、-151.7 ps ~ +150 ps の範囲で約 1.7 ps インクリメントで調整することができます。クロック遅延調整は、SPI 書き込みによりイネーブルされると直ちに有効になります。レジスタ 0x117 でクロック遅延微調整をイネーブルすると、データ・パスがリセットされますが、レジスタ 0x118 の値は、JESD204B リンクの安定性に影響することなく変更することができます。

クロック・ジッタの考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた信号入力周波数(f_A)でジッタ(t_j)のみにより発生する SNR 性能の低下は次式で計算されます。

$$SNR = 20 \times \log_{10} (2 \times \pi \times f_A \times t_j)$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの実効値を表します。IF アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 81)。

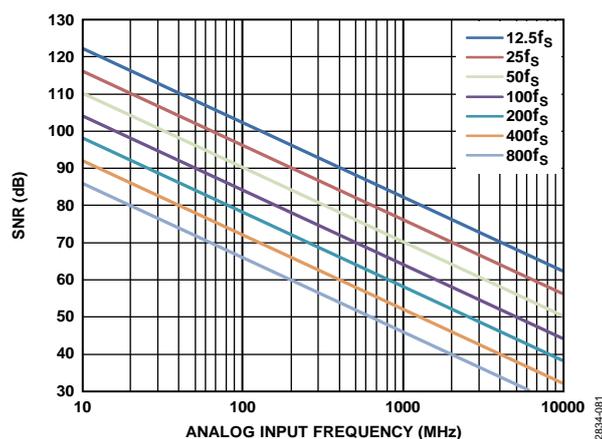


図 81. アナログ入力周波数およびジッタ対理論 SNR

アパーチャ・ジッタが AD9690 のダイナミックレンジに影響を与えるケースでは、クロック入力アナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。クロックが別のタイプのソース(ロジック・ゲート、分周、またはその他の方法)から発生される場合、最終ステップで元のクロックを使ってタイミングの補正をする必要があります。ジッタ性能については ADC に関するため、AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノートを参照してください。

パワーダウン/スタンバイ・モード

AD9690 には PDWN/STBY ピンがあり、このピンを使って、デバイスをパワーダウン・モード、またはスタンバイ・モードに設定することができます。デフォルト動作は PDWN です。PDWN/STBY ピンはロジック・ハイ・ピンです。パワーダウン・モードのとき、JESD204B リンクは切断されます。パワーダウン・オプションは、レジスタ 0x03F とレジスタ 0x040 を使って設定することもできます。

スタンバイ・モードでは、JESD204B リンクが切断されず、すべてのコンバータ・サンプルに対してゼロが送信されます。これは、レジスタ 0x571 のビット 7 を使って /K/文字を選択するように変更することができます。

測温ダイオード

AD9690 は、チップ温度を測定する、ダイオードを使用した温度センサーを内蔵しています。このダイオードは電圧を出力することができるため、内部チップ温度をモニタする粗い調整温度センサーとして機能することができます。

温度ダイオード電圧は SPI による制御で、FD ピンへ出力させることができます。レジスタ 0x028 のビット 0 を使って、ダイオードをイネーブルまたはディスエーブルしてください。レジスタ 0x040[2:0]を設定して、FD ピンにダイオード電圧を出力するように設定してください。詳細については、表 36 を参照してください。

温度ダイオード(SPIVDD = 1.8 V)の電圧応答を図 82 に示します。

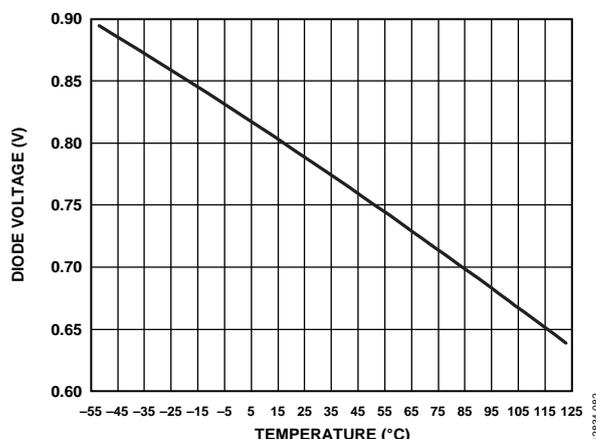


図 82. 温度ダイオード電圧の温度特性

ADC オーバーレンジと高速ディテクタ

レシーバ・アプリケーションでは、コンバータがクリップされそうなき、それを確実に検出できることが望まれます。JESD204B 出力の標準のオーバーレンジ・ビットは、アナログ入力状態の情報を提供しますが、この目的にはあまり役立ちません。したがって、クリップが実際に発生する前にゲインを小さくするための時間を確保できるように、フルスケールより低いところにプログラマブルなスレッシュホールドを設けることが有効です。さらに、入力信号が大きなスルーレートを持つことがあるため、この機能によるレイテンシ（時間遅れ）が大きな問題になります。高度にパイプライン化されたコンバータは大きなレイテンシを持ちます。AD9690 は、スレッシュホールドをモニタし、FD ピンをアサートする高速ディテクタ回路を内蔵しています。

ADC オーバーレンジ

ADC の入力で過大入力が出検されると、ADC オーバーレンジがアサートされます。オーバーレンジ・インジケータは、JESD204B リンク内のコントロール・ビット (CSB > 0 の場合) として設けることができます。このオーバーレンジ・インジケータのレイテンシは、サンプル・レイテンシと一致します。

また、AD9690 は 8 個の仮想コンバータのすべてのオーバーレンジ状態を記録します。仮想コンバータの詳細については、図 88 を参照してください。各仮想コンバータのオーバーレンジ・ステータスは、レジスタ 0x563 の状態保持ビットとして記録されます。レジスタ 0x562 で仮想コンバータのセット位置とリセット位置に対応するビットをトグルすることにより、レジスタ 0x563 の値はクリアすることができます。

高速スレッシュホールド検出 (FD)

入力信号の絶対値がプログラマブルな上側スレッシュホールド・レベルを超えるたびに FD ビットが直ちにセットされます。入力信号の絶対値がプログラマブルな継続時間 (Dwell Time) より長い間下側スレッシュホールド・レベルを下回ると、FD ビットがクリアされます。この機能はヒステリシスを提供して、FD ビットの余分なトグルングを防止します。

上側スレッシュホールド・レジスタ、下側スレッシュホールド・レジスタ、および継続時間レジスタの動作を図 83 に示します。

入力振幅が高速検出上側スレッシュホールド・レジスタ (レジスタ 0x247 とレジスタ 0x248) に設定された値を超えると、FD インジケータがアサートされます。選択されたスレッシュホールド・レジスタが、ADC の出力で信号振幅と比較されます。高速上側スレッシュホールド検出には、最大 28 クロック・サイクルのレイテンシが必要です。上側スレッシュホールド振幅の概略値は次式で与えられます。

$$\text{上側スレッシュホールド振幅 (dBFS)} = 20 \log (\text{スレッシュホールド振幅} / 2^{13})$$

このあと信号が設定された継続時間の間、下側スレッシュホールドを下回るまで、FD インジケータはクリアされません。下側スレッシュホールド値は、レジスタ 0x249 とレジスタ 0x24A の高速ディテクタ下側スレッシュホールド・レジスタに設定されます。高速検出下側スレッシュホールド・レジスタは 13 ビットのレジスタで、このレジスタは ADC の出力で信号振幅と比較されます。この比較では、ADC パイプライン・レイテンシが発生しますが、コンバータ分解能は正確です。下側スレッシュホールド振幅は次式で与えられます。

$$\text{下側スレッシュホールド振幅 (dBFS)} = 20 \log (\text{スレッシュホールド振幅} / 2^{13})$$

例えば、-6 dBFS の上側スレッシュホールドを設定するときは、レジスタ 0x247 とレジスタ 0x248 ～ 0xFFF を書き込みます。-10 dBFS の下側スレッシュホールドを設定するときは、レジスタ 0x249 とレジスタ 0x24A ～ 0xA1D を書き込みます。

レジスタ 0x24B とレジスタ 0x24C の高速ディテクタ継続時間レジスタに所望の値を設定して、継続時間を 1～65,535 サンプル・クロック・サイクルに設定することができます。詳細については、メモリ・マップのセクション (表 36 のレジスタ 0x040、レジスタ 0x245～レジスタ 0x24C) を参照してください。

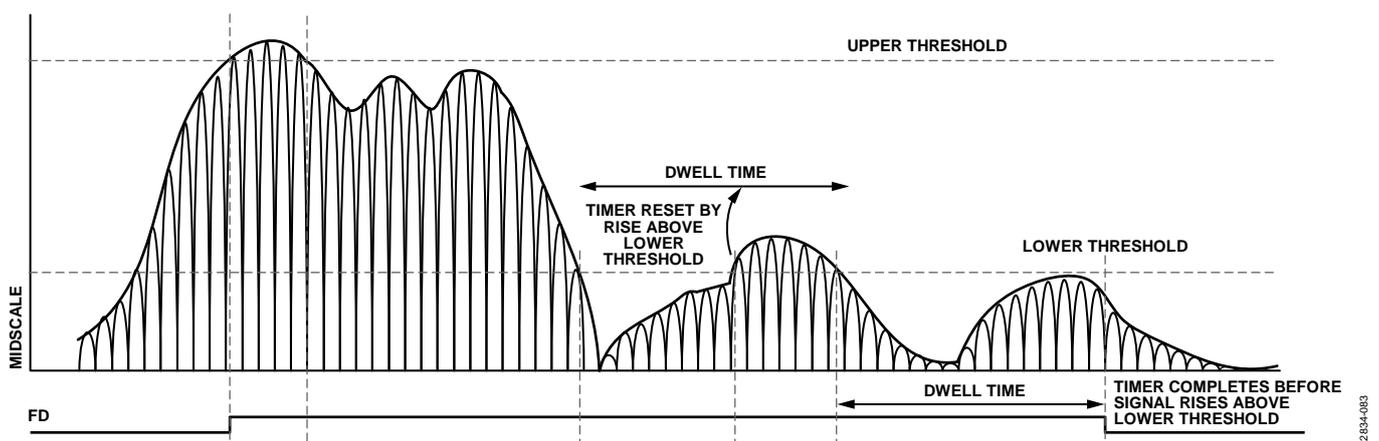


図 83. FD 信号に対するスレッシュホールド設定値

信号モニタ

信号モニタ・ブロックは、ADC によりデジタル化される信号についての追加情報を提供します。信号モニタは、デジタル化された信号のピーク振幅を計算します。この情報を使って、AGC ループを駆動して、実際の信号のもとで ADC 範囲を最適化することもできます。

信号モニタ・ブロックの結果は、SPI ポートからの内部値のリードバックによって、または特別なコントロール・ビットとして JESD204B インターフェースへ信号モニタ情報を組み込むことによって、ホストが取得することができます。24 ビットの設定可能な周期が、測定継続時間を制御します。図 84 に、信号モニタ・ブロックの簡略化したブロック図を示します。

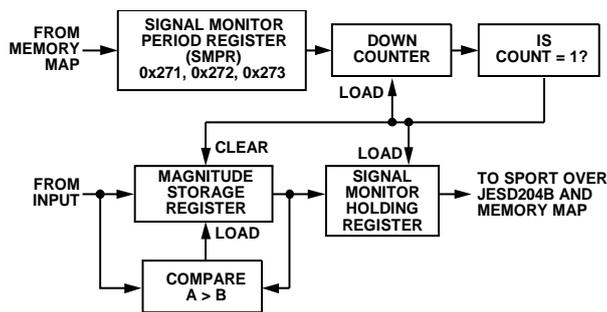


図 84. 信号モニタ・ブロック

ピーク・ディテクタは、観測期間内の最大信号を取り込みます。ディテクタは、信号振幅のみを監視します。ピーク・ディテクタの分解能は 13 ビットであり、観測期間は 24 ビットでコンバータの出力サンプルを表します。ピーク振幅は、次式で求めることができます。

$$\text{ピーク振幅 (dBFS)} = 20 \log(\text{ピーク・ディテクタ・値} / 2^{13})$$

入力ポート信号の振幅は、信号モニタ周期レジスタ (SMPR) から指定される設定可能な時間の間モニタされます。信号モニタ・コントロール・レジスタでレジスタ 0x270 のビット 1 をセットすると、ピーク・ディテクタ・機能が起動されます。このモードを開始する前に、24 ビットの SMPR を設定する必要があります。

ピーク・ディテクト・モードを有効にすると、SMPR 値がモニタ時間タイマへ転送され、間引き (デシメート) されたクロック・レートでデクリメントされます。入力信号の振幅が内部振幅保存レジスタ (ユーザーからアクセスできません) の値と比較

され、2 つの内大きい方が現在のピーク・レベルとして更新されます。振幅保存レジスタの初期値は、現在の ADC 入力信号振幅に設定されます。この比較は、モニタ時間タイマの値が 1 に到達するまで続きます。

モニタ時間タイマ値が 1 に到達すると、13 ビットのピーク・レベル値が信号モニタ保持レジスタへ転送されます。このレジスタはメモリ・マップを経由して読出すか、または JESD204B インターフェースの SPORT を経由して出力することができます。モニタ時間タイマには SMPR の値が再ロードされて、カウントダウンが再開されます。さらに、振幅保存レジスタ内で最初の入力サンプルの振幅が更新され、前述のように比較と更新が続きます。

JESD204B を介する SPORT

信号モニタ・データは、シリアル化して JESD204B インターフェースを介してコントロール・ビットとして送信することもできます。これらのコントロール・ビットは、サンプルをシリアルから元に戻して、統計データに復元する必要があります。レジスタ 0x279 のビット [1:0] とレジスタ 0x27A のビット 1 をセットすると、信号制御モニタ機能がイネーブルされます。図 85 に、JESD204B サンプル内の信号モニタ・コントロール・ビット位置の 2 つの構成例を示します。最大 3 ビットのコントロール・ビットを JESD204B サンプルに挿入できますが、信号モニタのためにはコントロール・ビットは 1 ビットのみ必要です。コントロール・ビットは、MSB から LSB へ挿入されます。挿入するコントロール・ビットが 1 ビットのみの場合 (CS = 1)、最上位コントロール・ビットのみを使用します (図 85 の設定例 1 と設定例 2 を参照)。JESD204B を介する SPORT のオプションを選択するときは、レジスタ 0x559、レジスタ 0x55A、レジスタ 0x58F に書き込みを行います。これらのビットの設定の詳細については、表 36 を参照してください。

図 86 に、ピーク・ディテクタ値を含む 25 ビット・フレーム・データを示します。フレーム・データは、5 ビットのサブフレームを 5 個持つ MSB ファーストで送信されます。各サブフレームは、非シリアル化データの有効性確認にレシーバが使用できるスタート・ビットを含んでいます。図 87 に、モニタ周期タイマを 80 サンプルに設定した場合の JESD204B を介する SPORT 信号モニタ・データを示します。

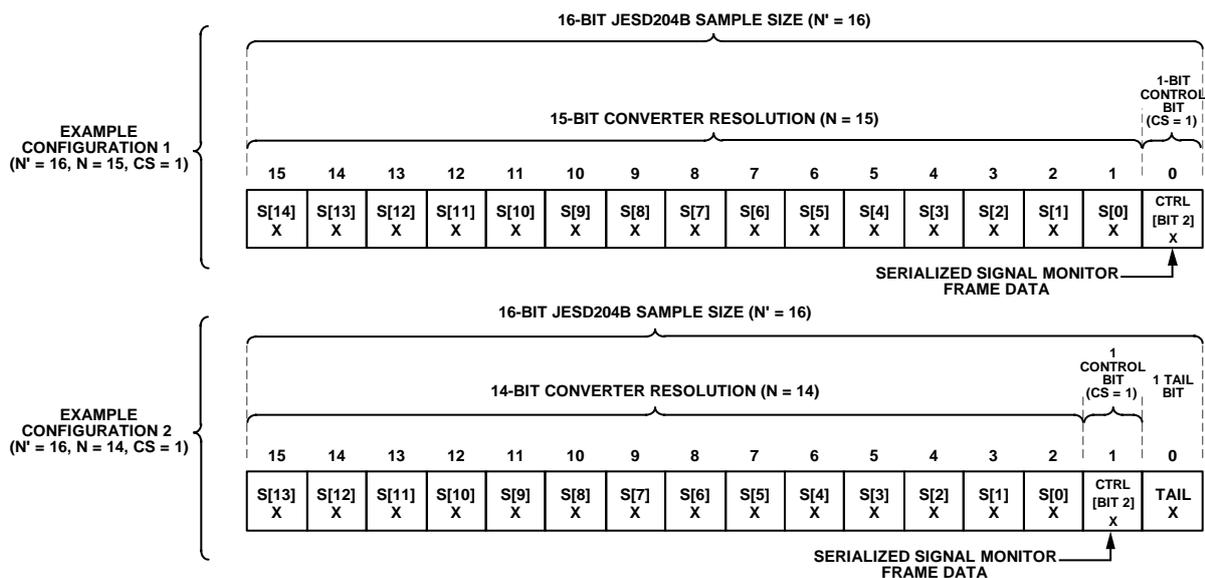


図 85.信号モニタ・コントロール・ビットの位置

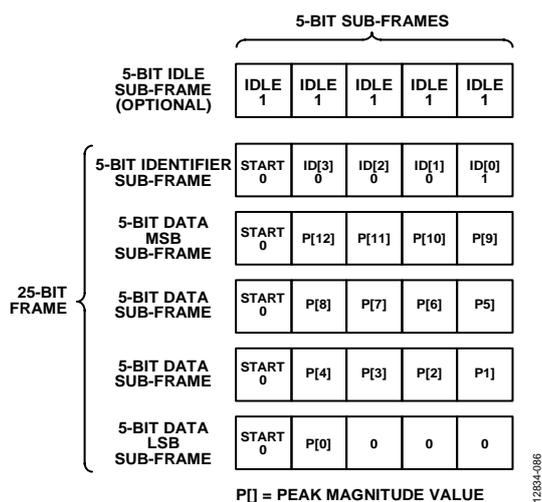


図 86.JESD204B を介する SPORT 信号モニタ・フレーム・データ

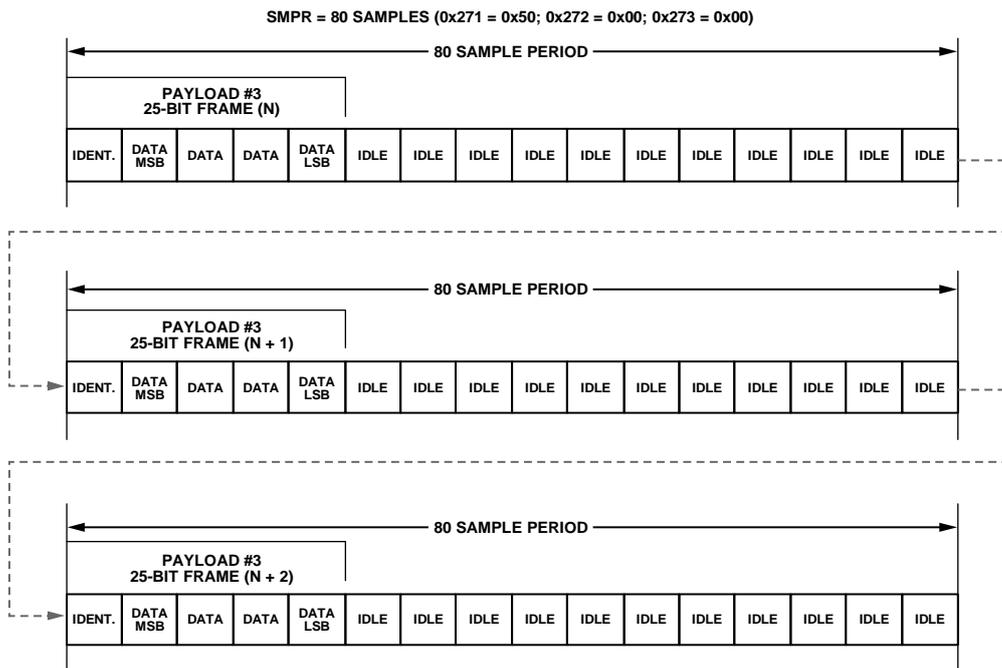


図 87. JESD204B を介する SPORT 信号モニタの例、周期 = 80 サンプル

デジタル・ダウンコンバータ (DDC)

AD9690 は、フィルタ機能を提供し、出力データ・レートを下げる 2 個のデジタル・ダウンコンバータ (DDC 0 と DDC 1) を内蔵しています。このデジタル処理セクションには、NCO、ハーフバンド・デシメーション・フィルタ、FIR フィルタ、ゲイン・ステージ、複素数/実数変換ステージが含まれています。これらの各処理ブロックは、コントロール・ラインを持っています。このラインを使うと、これらのブロックを独立にイネーブル/ディスエーブルして、所望の処理機能を提供することができます。デジタル・ダウンコンバータは、実数データまたは複素数データを出力するように設定することができます。

DDC I/Q 入力選択

AD9690 には 1 つの ADC チャンネルと 2 つの DDC チャンネルがあります。各 DDC チャンネルには 2 つの入力ポートがあり、これらで対を構成して、I/Q クロスバー・マルチプレクサを介して実数入力をサポートすることができます。

各 DDC の入力は、DDC 入力選択レジスタ (レジスタ 0x311 とレジスタ 0x331) から制御されます。DDC の設定方法については、表 36 を参照してください。

DDC I/Q 出力の選択

各 DDC チャンネルには 2 つの出力ポートがあり、これらで対を構成して、実数出力と複素数出力をサポートすることができます。実数出力信号の場合、DDC 出力ポート I のみを使用します (DDC 出力ポート Q は無効になります)。複素数 I/Q 出力信号の場合、DDC 出力ポート I と DDC 出力ポート Q を使用します。

各 DDC チャンネルに対する I/Q 出力は、DDC コントロール・レジスタ (レジスタ 0x310 とレジスタ 0x330) の DDC 複素数/実数イネーブル・ビット (ビット 3) から制御されます。

チップ・アプリケーション・モード・レジスタ (レジスタ 0x200) のチップ Q 無視ビット (ビット 5) は、すべての DDC チャンネルのチップ出力マルチプレクスを制御します。すべての DDC チャンネルで実数出力を使用する場合は、このビットにハイ・レベルを設定して、すべての DDC Q 出力ポートを無視する

必要があります。いずれかの DDC チャンネルで複素数 I/Q 出力を使用するように設定する場合は、このビットをクリアして DDC 出力ポート I と DDC 出力ポート Q を使用する必要があります。詳細については、図 96 を参照してください。

DDC の概要

2 個の DDC ブロックを使って、ADC で取得したフル・デジタル・スペクトルの一部を取り出します。これらは、広帯域入力信号を必要とする IF サンプリングまたはオーバーサンブルしたベースバンド無線を対象としています。

各 DDC ブロックには次の信号処理ステージが含まれます。

周波数変換ステージ (オプション)

周波数変換ステージは、実数入力信号または複素数入力信号の周波数変換に使用できる 12 ビット複素数 NCO と直交ミキサーから構成されています。このステージは、有効なデジタル・スペクトル部分をベースバンドへ変換します。

フィルタ・ステージ

ベースバンドへ変換した後、フィルタ・ステージは、レート変換用の最大 4 個のハーフバンド・ローパス・フィルタのチェーンを使って周波数スペクトルを間引き (デシメート) します。このデシメーション処理により出力データレートが低下するため、出力インターフェース・レートも低くなります。

ゲイン・ステージ (オプション)

実数入力信号をミキシングしてベースバンドへ変換する際に損失が生ずるため、ゲイン・ステージは 0 dB (そのまま出力) または 6 dB のゲインを追加してこれを補償します。

複素数/実数変換ステージ (オプション)

実数出力が必要な場合、複素数/実数変換ステージは、 $f_s/4$ ミキシング動作とフィルタリングにより信号の複素数成分を除去して複素数出力を実数出力に戻します。

図 88 に、AD9690 の内蔵 DDC の詳細ブロック図を示します。

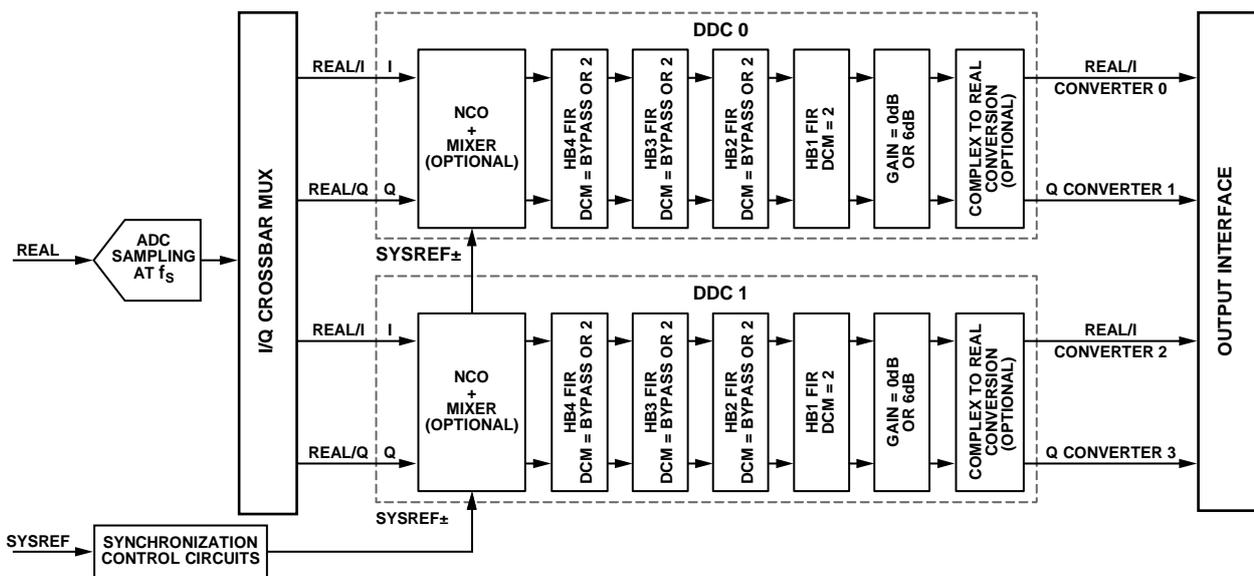


図 88.DDC の詳細ブロック図

図 89 に、2 個の DDC ブロックの 1 つの使用例を示します。この例では実数入力信号と 4 個のハーフバンド・フィルタ (HB4、HB3、HB2、HB1) を使用しています。この図は、複素数 (デシメーション比 16) と実数 (デシメーション比 8) の出力オプションを示しています。

DDC が異なるデシメーション比を持つ場合、チップ・デシメーション比 (レジスタ 0x201) には、すべての DDC ブロックの最小デシメーション比を設定する必要があります。この場合、チップ・デシメーション比のサンプル・レートに一致させるため、高いデシメーション比の DDC ではサンプル値が繰り返されます。NCO 周波数を設定または変更するごとに、DDC ソフト・リセットを発行する必要があります。DDC ソフト・リセットを実効しないと、出力振幅が変動することがあります。

表 11、表 12、表 13、表 14、表 15 に、チップ・デシメーション比をそれぞれ 1、2、4、8、16 に設定した場合の DDC サンプルを示します。

Rev. 0

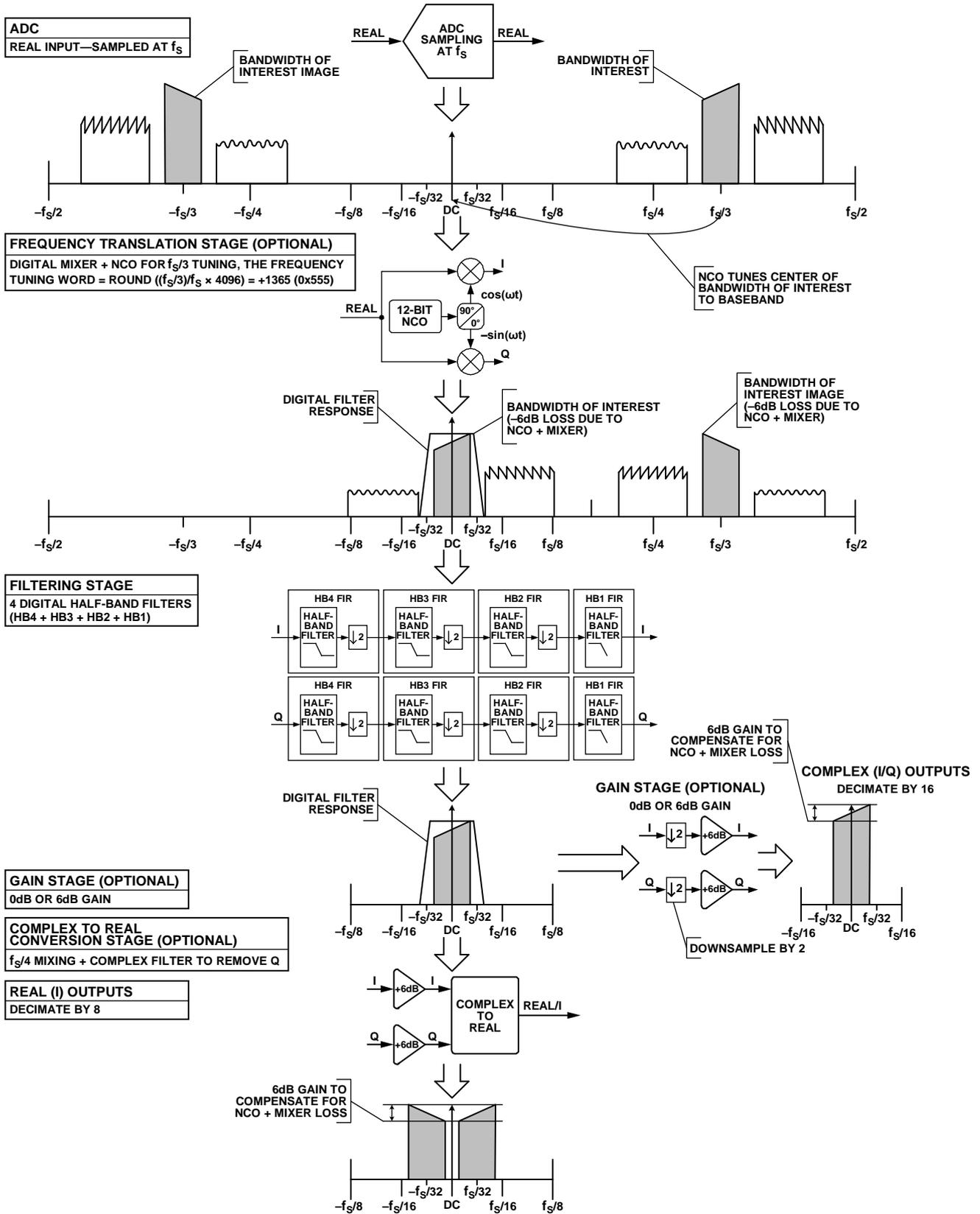


図 89.DDC の動作例 (実数入力—デシメーション比 16)

表 11.DDC サンプル、チップ・デシメーション比 = 1

Real (I) Output (Complex to Real Enabled)				Complex (I/Q) Outputs (Complex to Real Disabled)			
HB1 FIR (DCM ¹ = 1)	HB2 FIR + HB1 FIR (DCM ¹ = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB1 FIR (DCM ¹ = 2)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N	N	N	N	N	N
N + 3	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 4	N + 2	N	N	N + 2	N	N	N
N + 5	N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 6	N + 2	N	N	N + 2	N	N	N
N + 7	N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 8	N + 4	N + 2	N	N + 4	N + 2	N	N
N + 9	N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 10	N + 4	N + 2	N	N + 4	N + 2	N	N
N + 11	N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 12	N + 6	N + 2	N	N + 6	N + 2	N	N
N + 13	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 14	N + 6	N + 2	N	N + 6	N + 2	N	N
N + 15	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 16	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 17	N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1
N + 18	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 19	N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1
N + 20	N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 21	N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 22	N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 23	N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 24	N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 25	N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 26	N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 27	N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 28	N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 29	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1
N + 30	N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 31	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

¹ DCM = デシメーション。

表 12.DDC サンプル、チップ・デシメーション比 = 2

Real (I) Output (Complex to Real Enabled)			Complex (I/Q) Outputs (Complex to Real Disabled)			
HB2 FIR + HB1 FIR (DCM ¹ = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB1 FIR (DCM ¹ = 2)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N	N + 2	N	N	N
N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 4	N + 2	N	N + 4	N + 2	N	N
N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 6	N + 2	N	N + 6	N + 2	N	N
N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1
N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

¹ DCM = デシメーション

表 13.DDC サンプル、チップ・デシメーション比 = 4

Real (I) Output (Complex to Real Enabled)		Complex (I/Q) Outputs (Complex to Real Disabled)		
HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N + 2	N	N
N + 3	N + 1	N + 3	N + 1	N + 1
N + 4	N + 2	N + 4	N + 2	N
N + 5	N + 3	N + 5	N + 3	N + 1
N + 6	N + 2	N + 6	N + 2	N
N + 7	N + 3	N + 7	N + 3	N + 1

¹ DCM = デシメーション

表 14.DDC サンプル、チップ・デシメーション比 = 8

Real (I) Output (Complex to Real Enabled)	Complex (I/Q) Outputs (Complex to Real Disabled)	
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N
N + 1	N + 1	N + 1
N + 2	N + 2	N
N + 3	N + 3	N + 1
N + 4	N + 4	N + 2
N + 5	N + 5	N + 3
N + 6	N + 6	N + 2
N + 7	N + 7	N + 3

¹ DCM = デシメーション

表 15.DDC サンプル、チップ・デシメーション比 = 16

Real (I) Output (Complex to Real Enabled)	Complex (I/Q) Outputs (Complex to Real Disabled)
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM = 16)
Not applicable	N
Not applicable	N + 1
Not applicable	N + 2
Not applicable	N + 3

¹ DCM = デシメーション

チップ・デシメーション比をデシメーション比 4 に設定した場合、DDC 0 は HB2 + HB1 フィルタを使用するように (デシメーション比 4 の複素数出力)、DDC 1 は HB4 + HB3 + HB2 + HB1 フィルタを使用するように (デシメーション比 8 の実数出力)、それぞれ設定され、さらに DDC 1 は各 DDC 0 出力に対して出力データを 2 回繰り返します。この結果得られる出力サンプルを表 16 に示します。

表 16.チップ DCM¹ = 4、DDC 0 DCM¹ = 4 (複素数)、DDC 1 DCM¹ = 8 (実数) の場合の DDC 出力サンプル

DDC Input Samples	DDC 0		DDC 1	
	Output Port I	Output Port Q	Output Port I	Output Port Q
N	I0 [N]	Q0 [N]	I1 [N]	Not applicable
N + 1				
N + 2				
N + 3				
N + 4	I0 [N + 1]	Q0 [N + 1]	I1 [N + 1]	Not applicable
N + 5				
N + 6				
N + 7				
N + 8	I0 [N + 2]	Q0 [N + 2]	I1 [N]	Not applicable
N + 9				
N + 10				
N + 11				
N + 12	I0 [N + 3]	Q0 [N + 3]	I1 [N + 1]	Not applicable
N + 13				
N + 14				
N + 15				

¹ DCM = デシメーション

周波数変換

概要

周波数変換は、12 ビット複素 NCO とデジタル直交 (IQ) ミキサーを使って実現しています。周波数変換は、実数入力信号または複素数入力信号を中間周波数 (IF) からベースバンド複素数デジタル出力 (キャリア周波数 = 0 Hz) へ変換します。

各 DDC の周波数変換ステージは、DDC コントロール・レジスタ (レジスタ 0x310 とレジスタ 0x330) のビット [5:4] を使って個別に制御され、4 種類の IF モードをサポートすることができます。これらの IF モードは、

- 可変 IF モード
- 0 Hz IF (ZIF) モード
- $f_s/4$ Hz IF モード
- テスト・モード

可変 IF モード

NCO とミキサーがイネーブルされます。NCO 出力周波数を使って、デジタル的に IF 周波数をチューニングすることができます。

0 Hz IF (ZIF) モード

ミキサーはバイパスされ、NCO がディスエーブルされます。

$f_s/4$ Hz IF モード

$f_s/4$ モードは特別なダウン・ミキシングでミキサーと NCO がイネーブルされ、消費電力が削減されます。

テスト・モード

入力サンプルが強制的に正フルスケールの 0.999 に設定されます。NCO はイネーブルされます。このテスト・モードを使うと、NCO からデシメーション・フィルタを直接駆動することができます。

図 90 と図 91 に、実数入力と複素数入力に対する周波数変換ステージの例を示します。

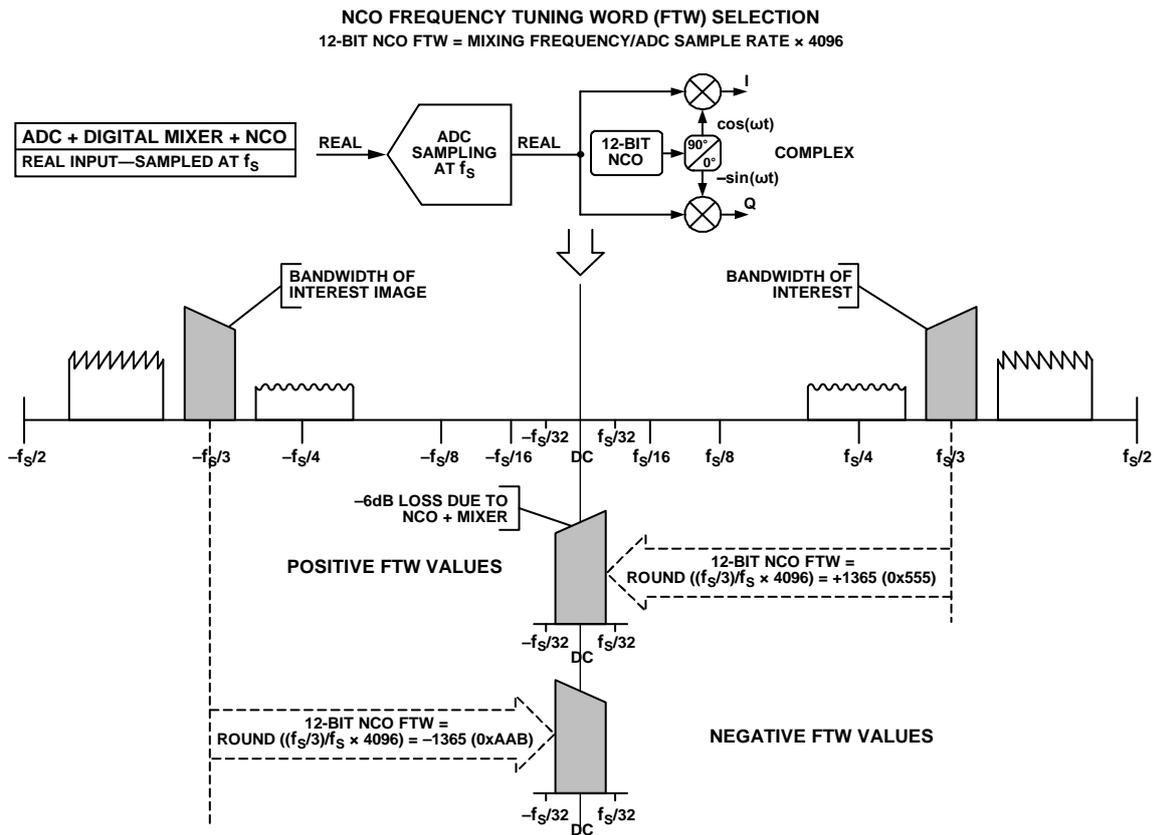


図 90.DDC NCO 周波数チューニング・ワードの選択—実数入力

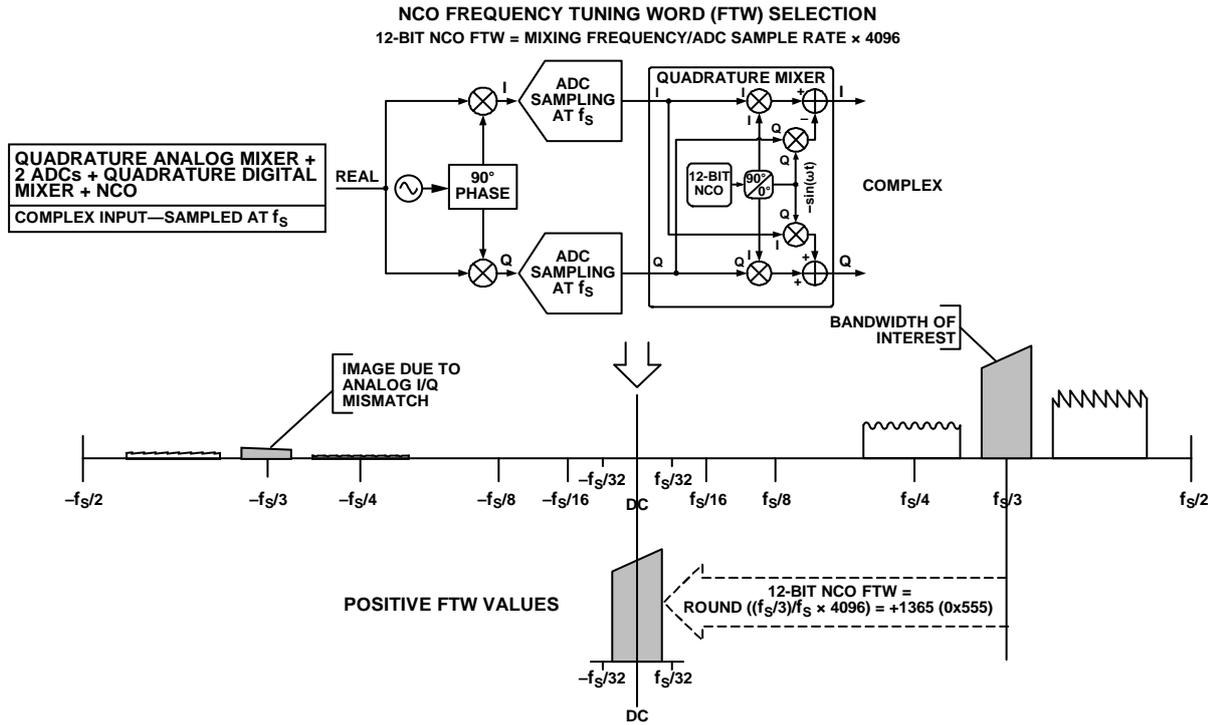


図 91.DDC NCO 周波数チューニング・ワードの選択—複素数入力

DDC NCO およびミキサの損失と SFDR

実数入力信号をミキシングしてベースバンドへ変換する際、負イメージのフィルタリングに起因して、信号に 6 dB の損失が発生します。さらに 0.05 dB の損失が NCO で発生します。ミキシングしてベースバンドへ変換された実数入力信号の合計損失は 6.05 dB になります。このため、DDC ゲイン・ステージで 6 dB のゲイン追加を有効にして、出力ビットのフルスケール内で信号のダイナミックレンジの中心を再設定することにより、この損失を補償することが推奨されます。

ミキシングにより複素数入力信号をベースバンドへ変換する際、複素数ミキサー通過後に各 I/Q サンプルが到達できる最大値は 1.414 × フルスケールです。I/Q サンプルがレンジ外になることを回避し、データビット幅を実数ミキシングに合わせるために、複素数信号に対して 3.06 dB の損失 (0.707 × フルスケール) をミキサーで加えます。さらに 0.05 dB の損失が NCO で発生します。ミキシングしてベースバンドへ変換された複素数入力信号の合計損失は 3.11 dB になります。

NCO から出力されるワーストケース・スプリアス信号は、すべての出力周波数に対して 102 dBc SFDR より大きくなります。

数値制御オシレータ (NCO)

AD9690 は、各 DDC に対して周波数変換処理を可能にする 12 ビット NCO を内蔵しています。この NCO を使用すると、入力スペクトルを DC にチューニングさせることができます。これを後続フィルタ・ブロックで効果的にフィルタリングして折り返しを防止することができます。NCO は、周波数チューニング・ワード (FTW) と位相オフセット・ワード (POW) を入力して設定することができます。

NCO の FTW と POW の設定

NCO 周波数値は、NCO FTW に入力される 12 ビット 長で 2 の補数値により決定されます。-fs/2 ~ fs/2 (fs/2 は除く) の周波数は、次の周波数ワードで表現されます。

- 0x800 は -fs/2 の周波数を表します。
- 0x000 は DC を表します (周波数は 0 Hz)。
- 0x7FF は +fs/2 ~ fs/2¹² の周波数を表します。

NCO 周波数チューニング・ワードは、次式で計算できます。

$$NCO_FTW = \text{round} \left(2^{12} \frac{\text{Mod}(f_c, f_s)}{f_s} \right)$$

ここで、*NCO_FTW* は NCO FTW を表す 12 ビットの 2 の補数値。*f_s* は Hz で表した AD9690 のサンプリング周波数 (クロック・レート)。

f_c は Hz で表したキャリア周波数。

Mod() は剰余演算 (Modulo)。例えば、*Mod*(110,100) = 10、負値の場合 *Mod*(-32, 10) = -2。

round() は丸め関数。例えば、*round*(3.6) = 4、負値の場合 *round*(-3.4) = -3。

この式はデジタル領域での信号折り返しに適用されることに注意してください (すなわちアナログ信号のデジタル化で発生)。

例えば、ADC サンプル周波数 (f_s) が 1250 MSPS で、キャリア周波数 (f_c) が 416.667 MHz の場合、

$$NCO_FTW = \text{round}\left(2^{12} \frac{\text{Mod}(416.667, 1250)}{1250}\right) = 1365 \text{ MHz}$$

したがって、これは NCO_FTW の 12 ビット 2 の補数表現では、0x555 に変換されます。実際のキャリア周波数は、次式で計算できます。

$$f_c - \text{actual} = \frac{NCO_FTW \times f_s}{2^{12}} = 416.56 \text{ MHz}$$

12 ビット POW は各 NCO で使用でき、複数の AD9690 チップ間または 1 つの AD9690 内部での個々の DDC チャンネル間に既知の位相関係を発生させます。

NCO の正しい動作のためには次の手順に従って FTW レジスタおよび/または POW レジスタを更新する必要があります。

- すべての DDC の FTW レジスタに書き込みを行います。
- すべての DDC の POW レジスタに書き込みを行います。
- SPI から使用できる DDC ソフト・リセット・ビットを使って、または SYSREF \pm ピンのアサートにより、各 NCO 動作を同期化します。

FTW レジスタまたは POW レジスタに対するすべての書き込みが完了した後に、SPI 通信または SYSREF \pm ピンを使って NCO を同期化する必要があることに注意してください。この同期は、NCO の正しい動作のために必要です。

NCO の同期

各 NCO には、NCO の瞬時位相の決定に使用する別々の位相アキュムレータ・ワード (PAW) があります。各 PAW の初期リセット値は、NCO の FTW と POW の設定のセクションで説明する POW によって決定されます。各 PAW の位相インクリメント値は FTW によって決定されます。

次の 2 つの方法を使って、チップ内の複数の PAW を同期化することができます。

- SPI による制御を使用する方法。DDC 同期コントロール・レジスタ (レジスタ 0x300、ビット 4) の DDC NCO ソフト・リセット・ビットを使って、チップ内のすべての PAW をリセットします。これは、DDC NCO ソフト・リセット・ビットをトグルすることにより実行されます。この方法は、AD9690 同一チップ内の DDC チャンネルの同期化のみに使用することができます。
- SYSREF \pm ピンを使用する方法。SYSREF \pm コントロール・レジスタ (レジスタ 0x120 とレジスタ 0x121) で SYSREF \pm ピンをイネーブルし、DDC 同期コントロール・レジスタ (レジスタ 0x300) のビット [1:0] で DDC 同期をイネーブルするとき、後続のすべての SYSREF \pm イベントでチップ内のすべての PAW がリセットされます。この方法は、同じ AD9690 チップ内の DDC チャンネルの同期化に、または別々の AD9690 チップ内の DDC チャンネルの同期化のどちらにも使用することができます。

ミキサー

NCO にはデジタル・ミキサーが付いており、動作はアナログ直交ミキサーと同じです。NCO 周波数をローカル発振器として使用することにより、入力信号 (実数または複素数) を周波数ダウン・コンバートします。実数入力信号の場合、このミキサーは実数ミキサー動作を行います (2 つの乗算器を使用)。複素数入力信号の場合、ミキサーは複素数ミキサー動作を行います (4 個の乗算器と 2 個の加算器を使用)。このミキサーは、個々のチャンネルの入力信号 (実数または複素数) に基づいて動作を調整します。実数入力または複素数入力の選択は、DDC コントロール・レジスタ (レジスタ 0x310 とレジスタ 0x330) のビット 7 を使って、各 DDC ブロックに対して個別に制御することができます。

FIR フィルタ

概要

4セットのデシメーション比 2、ローパス、ハーフバンド、有限インパルス応答 (FIR) フィルタ (図 88 に示す HB1 FIR、HB2 FIR、HB3 FIR、HB4 FIR) があります。これらのフィルタは周波数変換ステージの後ろにあります。注目するキャリアを DC (キャリア周波数 = 0 Hz) まで下げた後、これらのフィルタが効果的にサンプル・レートを下げると同時に、注目する帯域幅付近の不要な隣接キャリアに対して十分な折り返し除去性能を提供します。

HB1 FIR は常にイネーブルされ、バイパスすることはできません。HB2、HB3、HB4 FIR フィルタはオプションであるため、

表 17.DDC フィルタの特性

ADC Sample Rate (MSPS)	Half-Band Filter Selection	Real Output		Complex (I/Q) Output		Alias Protected Bandwidth (MHz)	Ideal SNR Improvement (dB) ¹	Pass-Band Ripple (dB)	Alias Rejection (dB)
		Decimation Ratio	Output Sample Rate (MSPS)	Decimation Ratio	Output Sample Rate (MSPS)				
1000	HB1	1	1000	2	500 (I) + 500 (Q)	385.0	1	<-0.001	>100
	HB1 + HB2	2	500	4	250 (I) + 250 (Q)	192.5	4		
	HB1 + HB2 + HB3	4	250	8	125 (I) + 125 (Q)	96.3	7		
	HB1 + HB2 + HB3 + HB4	8	125	16	62.5 (I) + 62.5 (Q)	48.1	10		
500	HB1	1	500	2	250 (I) + 250 (Q)	192.5	1	<-0.001	>100
	HB1 + HB2	2	250	4	125 (I) + 125 (Q)	96.3	4		
	HB1 + HB2 + HB3	4	125	8	62.5 (I) + 62.5 (Q)	48.1	7		
	HB1 + HB2 + HB3 + HB4	8	62.5	16	31.25 (I) + 31.25 (Q)	24.1	10		

¹ オーバーサンプリングとフィルタリングによる理論 SNR 改善 = $10\log(\text{帯域幅}/(f_s/2))$ 。

表 18.DDC フィルタ折り返し除去比

Alias Rejection (dB)	Pass-Band Ripple/Cutoff Point (dB)	Alias Protected Bandwidth for Real (I) Outputs ¹	Alias Protected Bandwidth for Complex (I/Q) Outputs ¹
>100	<-0.001	<38.5% × f_{OUT}	<77% × f_{OUT}
90	<-0.001	<38.7% × f_{OUT}	<77.4% × f_{OUT}
85	<-0.001	<38.9% × f_{OUT}	<77.8% × f_{OUT}
63.3	<-0.006	<40% × f_{OUT}	<80% × f_{OUT}
25	-0.5	44.4% × f_{OUT}	88.8% × f_{OUT}
19.3	-1.0	45.6% × f_{OUT}	91.2% × f_{OUT}
10.7	-3.0	48% × f_{OUT}	96% × f_{OUT}

¹ f_{OUT} = ADC 入力サンプル・レート f_s /DDC デシメーション比。

高い出力サンプル・レートではバイパスすることができます。

表 17 に、様々なハーフバンド・フィルタを含む帯域幅オプションを示します。すべてのケースで、AD9690 の DDC フィルタリング・ステージは、-0.001 dB 以下の通過帯域リップルと 100 dB 以上の阻止帯域折り返し除去比を提供します。

表 18 に、複数の通過帯域リップル/カットオフ・ポイントに対する阻止帯域折り返し除去比を示します。各 DDC のフィルタリング・ステージのデシメーション比は、DDC コントロール・レジスタ (0x310 と 0x330) のビット[1:0]を使って個別に制御することができます。

ハーフバンド・フィルタ

AD9690 では、ADC 変換済データのデジタル信号処理を可能にする 4 個のハーフバンド・フィルタを内蔵します。HB1 FIR は常にイネーブルされ、バイパスすることはできません。HB2、HB3、HB4 FIR フィルタはオプションであるため、高い出力サンプル・レートではバイパスすることができます。

HB4 フィルタ

最初のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB4)では、低消費電力向けに最適化された 11 タップ、対称、固定係数フィルタ構成を採用しています。HB4 フィルタは、複素数出力 (デシメーション比 16) または実数出力 (デシメーション比 8) を有効とした場合にのみ使われます。その他の場合、このフィルタはバイパスされます。表 19 と図 92 に、HB4 フィルタの係数と応答を示します。

表 19.HB4 のフィルタ係数

HB4 Coefficient Number	Normalized Coefficient	Decimal Coefficient (15-Bit)
C1, C11	0.006042	99
C2, C10	0	0
C3, C9	-0.049316	-808
C4, C8	0	0
C5, C7	0.293273	4805
C6	0.500000	8192

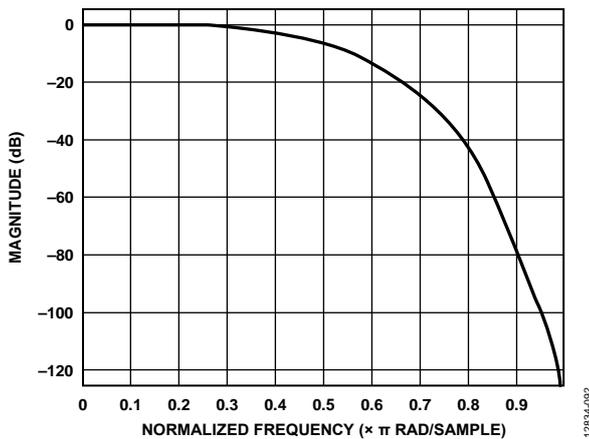


図 92.HB4 フィルタの応答

HB3 フィルタ

2つ目のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB3)では、低消費電力向けに最適化された 11 タップ、対称、固定係数フィルタ構成を採用しています。HB3 フィルタは、複素数出力 (デシメーション比 8 または 16) または実数出力 (デシメーション比 4 または 8) を有効とした場合にのみ使用します。その他の場合、このフィルタはバイパスされます。表 20 と図 93 に、HB3 フィルタの係数と応答を示します。

表 20.HB3 フィルタの係数

HB3 Coefficient Number	Normalized Coefficient	Decimal Coefficient (18-Bit)
C1, C11	0.006554	859
C2, C10	0	0
C3, C9	-0.050819	-6661
C4, C8	0	0
C5, C7	0.294266	38,570
C6	0.500000	65,536

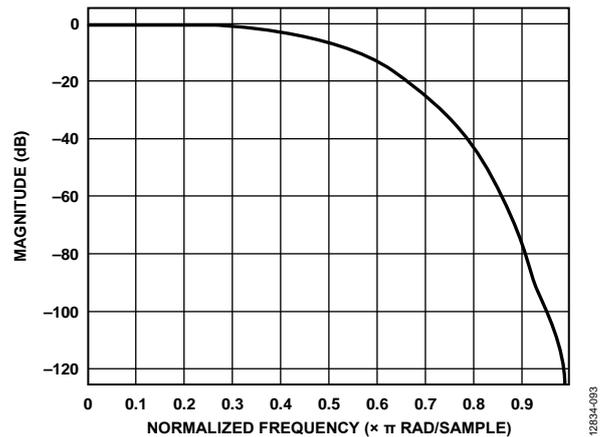


図 93.HB3 フィルタの応答

HB2 フィルタ

3つ目のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB2)では、低消費電力向けに最適化された 19 タップ、対称、固定係数フィルタ構成を採用しています。HB2 フィルタは、複素数出力 (デシメーション比 4、8 または 16) または実数出力 (デシメーション比 2、4 または 8) を有効とした場合にのみ使用します。その他の場合、このフィルタはバイパスされます。

表 21 と図 94 に、HB2 フィルタの係数と応答を示します。

表 21.HB2 フィルタの係数

HB2 Coefficient Number	Normalized Coefficient	Decimal Coefficient (19-Bit)
C1, C19	0.000614	161
C2, C18	0	0
C3, C17	-0.005066	-1328
C4, C16	0	0
C5, C15	0.022179	5814
C6, C14	0	0
C7, C13	-0.073517	-19,272
C8, C12	0	0
C9, C11	0.305786	80,160
C10	0.500000	131,072

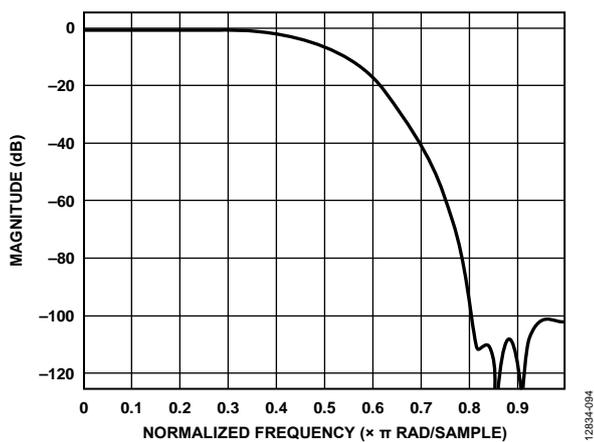


図 94.HB2 フィルタの応答

HB1 フィルタ

4 つ目の最後のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB1)では、低消費電力向けに最適化された 55 タップ、対称、固定係数フィルタ構成を採用しています。HB1 フィルタは常にイネーブルされ、バイパスすることはできません。表 22 と図 95 に、HB1 フィルタの係数と応答を示します。

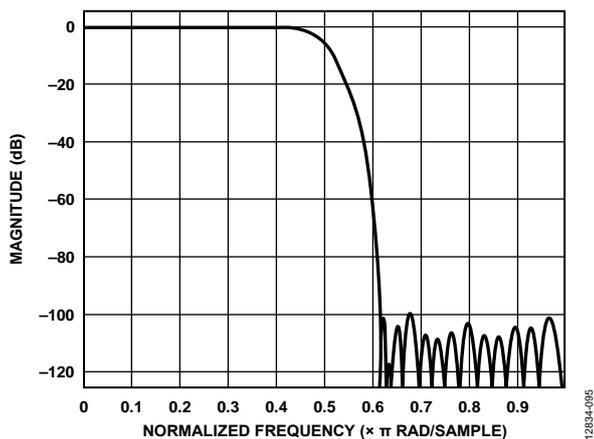


図 95.HB1 フィルタの応答

表 22.HB1 フィルタの係数

HB1 Coefficient Number	Normalized Coefficient	Decimal Coefficient (21-Bit)
C1, C55	-0.000023	-24
C2, C54	0	0
C3, C53	0.000097	102
C4, C52	0	0
C5, C51	-0.000288	-302
C6, C50	0	0
C7, C49	0.000696	730
C8, C48	0	0
C9, C47	-0.0014725	-1544
C10, C46	0	0
C11, C45	0.002827	2964
C12, C44	0	0
C13, C43	-0.005039	-5284
C14, C42	0	0
C15, C41	0.008491	8903
C16, C40	0	0
C17, C39	-0.013717	-14,383
C18, C38	0	0
C19, C37	0.021591	22,640
C20, C36	0	0
C21, C35	-0.033833	-35,476
C22, C34	0	0
C23, C33	0.054806	57,468
C24, C32	0	0
C25, C31	-0.100557	-105,442
C26, C30	0	0
C27, C29	0.316421	331,792
C28	0.500000	524,288

DDC ゲイン・ステージ

各 DDC は、独立に制御されるゲイン・ステージを内蔵しています。ゲインは 0 dB または 6 dB を選択することができます。ミキシングして実数入力信号をベースバンドへダウン変換するときは、6 dB のゲインをイネーブルにして、信号ダイナミックレンジの中心を出力ビットのフルスケール内で再設定することが推奨されます。

ミキシングして複素数入力信号をベースバンドへダウン変換するときは、ミキサーが信号ダイナミックレンジ中心を出力ビットのフルスケール内で既に設定しているため、ゲインの追加は不要ですが、オプションの 6 dB ゲインを使って低い信号強度を補償することもできます。複素数/実数変換ステージを使用する場合、HB1 FIR フィルタの 2 つの部分によるダウンサンプルはバイパスされます (図 96 参照)。

DDC 複素数/実数変換

各 DDC は独立に制御される複素数/実数変換ブロックを内蔵しています。複素数/実数変換ブロックでは、フィルタリング・ステージの最終フィルタ (HB1 FIR) と $f_s/4$ 複素数ミキサーを再使用して信号をアップ変換します。

信号のアップ変換後、複素数ミキサーの Q 部分は不要になるので、切り離されます。

図 96 に、複素数/実数変換の簡略化したブロック図を示します。

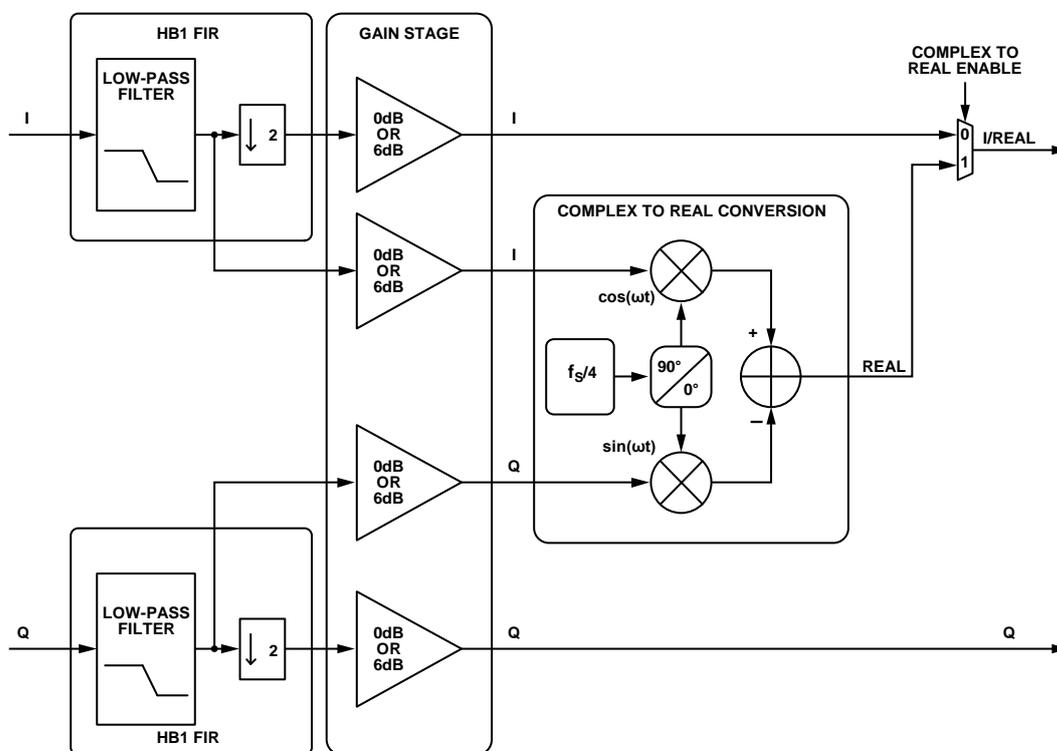


図 96. 複素数/実数変換のブロック図

12834-096

DDC の設定例

表 23 に、いくつかの DDC 設定例のレジスタ設定値を示します。

表 23.DDC の設定例

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth per DDC ¹	No. of Virtual Converters Required	Register Settings ²
One DDC	2	Real	Complex	$38.5\% \times f_s$	2	Register 0x200 = 0x01 (one DDC; I/Q selected) Register 0x201 = 0x01 (chip decimate by 2) Register 0x310 = 0x83 (complex mixer; 0 dB gain; variable IF; complex outputs; HB1 filter) Register 0x311 = 0x00 (default) Register 0x331 = 0x00 (default) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0
Two DDCs	4	Real	Real	$9.63\% \times f_s$	2	Register 0x200 = 0x22 (two DDCs; I only selected) Register 0x201 = 0x02 (chip decimate by 4) Register 0x310, Register 0x330 = 0x49 (real mixer; 6 dB gain; variable IF; real output; HB3 + HB2 + HB1 filters) Register 0x311 = 0x00 (default) Register 0x331 = 0x00 (default) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0 Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1
Two DDCs	4	Real	Complex	$19.25\% \times f_s$	4	Register 0x200 = 0x02 (two DDCs; I/Q selected) Register 0x201 = 0x02 (chip decimate by 4) Register 0x310, Register 0x330 = 0x40 (real mixer; 6 dB gain; variable IF; complex output; HB2+HB1 filters) Register 0x311 = 0x00 (default) Register 0x331 = 0x00 (default) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0 Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1
Two DDCs	8	Real	Real	$4.81\% \times f_s$	2	Register 0x200 = 0x22 (two DDCs; I only selected) Register 0x201 = 0x03 (chip decimate by 8) Register 0x310, Register 0x330 = 0x4A (real mixer; 6 dB gain; variable IF; real output; HB4+HB3+HB2+HB1 filters) Register 0x311 = 0x00 (default) Register 0x331 = 0x00 (default) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0 Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1

¹ f_s = ADC サンプル・レート。記載する帯域幅は、-0.001 dB 以下の通過帯域リップルと 100 dB 以上の阻止帯域折り返し除去比を提供します。

² NCO の正常動作のためには、FTW レジスタまたは POW レジスタに対するすべての書き込みが完了した後に、SPI または SYSREF_± ピンを使って NCO を同期化する必要があります。詳細については、NCO 同期化のセクションを参照してください。

デジタル出力

JESD204B インターフェースの概要

AD9690 のデジタル出力は、JEDEC 標準 JESD204B データ・コンバータ用シリアル・インターフェースに準拠してデザインされています。JESD204B は、シリアル・インターフェースを使って最大 12.5 Gbps のレーン速度で AD9690 とデジタル処理デバイスを接続するプロトコルです。LVDS を使用する JESD204B インターフェースの利点としては、データ・インターフェースの配線に要するボード面積を削減し、コンバータとロジック・デバイスのパッケージを小型化できることなどがあります。

JESD204B の概要

JESD204B データ送信ブロックは、ADC からのパラレル・データをフレームに変換し、8 ビット/10 ビット符号化を行い、さらにオプションのスクランプリングを行ってシリアル出力データを形成します。立ち上げ時のリンクのイニシャル接続確立に特別な制御文字（シンボル・コード）を使用するレーン同期がサポートされています。その他の制御文字は、その後の同期を維持するデータ・ストリーム内に組み込まれています。JESD204B レシーバの動きは、シリアル・リンクを完結させるために重要です。JESD204B インターフェースの詳細については、JESD204B 規格を参照してください。

AD9690 の JESD204B データ送信ブロックは、1 つのリンクに対して 1 個の物理的 ADC または最大 4 個の仮想コンバータ (DDC のイネーブル時) を対応させます。リンクは、1 本、2 本、または 4 本の JESD204B レーンを使用するように設定することができます。JESD204B 仕様はリンクを定義する多数のパラメータを規定し、これらのパラメータは、JESD204B トランスミッタ (AD9690 出力) と JESD204B レシーバ (ロジック・デバイス入力) の間で一致する必要があります。

JESD204B リンクは、次のパラメータに従って規定されます。

- L = レーン/コンバータ・デバイス数 (リンクあたりのレーン数)(AD9690 の値 = 1、2、または 4)
- M = コンバータ・デバイスあたりのコンバータ数 (リンクあたりの仮想コンバータ数)(AD9690 の値 = 1、2、または 4)
- F = 1 フレームあたりのオクテット (データのかたまり) 数 (AD9690 の値 = 1、2、4、8、または 16)
- N' = サンプルあたりのビット数 (JESD204B ワード・サイズ)(AD9690 の値 = 8 または 16)
- N = コンバータ分解能 (AD9690 の値 = 7~16)

- CS = サンプルあたりのコントロール・ビット数 (AD9690 の値 = 0、1、2、または 3)
- K = マルチフレームあたりのフレーム数 (AD9690 の値 = 4、8、12、16、20、24、28、または 32)
- S = シングル・コンバータ/フレーム・サイクルあたりの送信サンプル数 (AD9690 の値 = L、M、F、N' に基づき自動的に設定)
- HD = 高密度モード (AD9690 = L、M、F、N' に基づき自動的に設定)
- CF = フレーム・クロック・サイクル/コンバータ・デバイスあたりの制御ワード数 (AD9690 の値 = 0)

図 97 に、AD9690 JESD204B リンクの簡略化されたブロック図を示します。デフォルトでは、AD9690-500 は 1 コンバータと 2 レーンを使用するように、AD9690-1000 は 1 コンバータと 4 レーンを使用するように、それぞれ設定されています。AD9690 ではその他のカスタマイズ・オプションは、SPI レジスタ・マップのクイック設定レジスタを使って設定されます。

デフォルトでは、AD9690 内で各コンバータからの 14 ビット・コンバータ・ワードは、2 つのオクテット (8 ビットのデータ) に分割されます。ビット 13 (MSB)~ビット 6 が最初のオクテットになります。2 つ目のオクテットは、ビット 5~ビット 0 (LSB) と 2 ビットのテール・ビットになります。テール・ビットには、ゼロまたは擬似ランダム数のシーケンスを設定することができます。またテール・ビットは、オーバーレンジ、SYSREF±、または高速ディテクタ出力を表すコントロール・ビットで置き換えることができます。

得られた 2 つのオクテットは、スクランブルすることができます。ただし、スクランブルはオプションであり、同じデジタル・データ・パターンを送信する際に、スペクトル・ピークの発生を防止するために使用することが推奨されます。スクランブラでは、式 $1 + x^{14} + x^{15}$ を使用した多項式ベースの自己同期アルゴリズムを採用しています。レシーバのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

2 つのオクテットは、その後 8 ビット/10 ビット・エンコーダで符号化されます。8 ビット/10 ビット・エンコーダは、8 ビットのデータ (オクテット) を取り込んでこれを 10 ビットのシンボルに符号化します。図 98 に、ADC から 14 ビット・データを取り出し、テール・ビットを追加し、2 つのオクテットをスクランブルし、これらのオクテットを 2 つの 10 ビット・シンボルに符号化する方法を示します。図 98 に、C2 コントロール・ビットを使用する際のデフォルト・データ・フォーマットを示します。

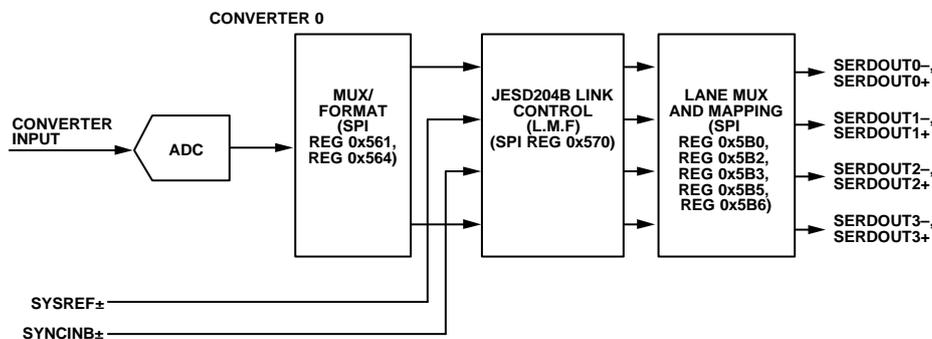


図 97.送信リンクの簡略化されたブロック図—フル帯域幅モード (レジスタ 0x200 = 0x00)

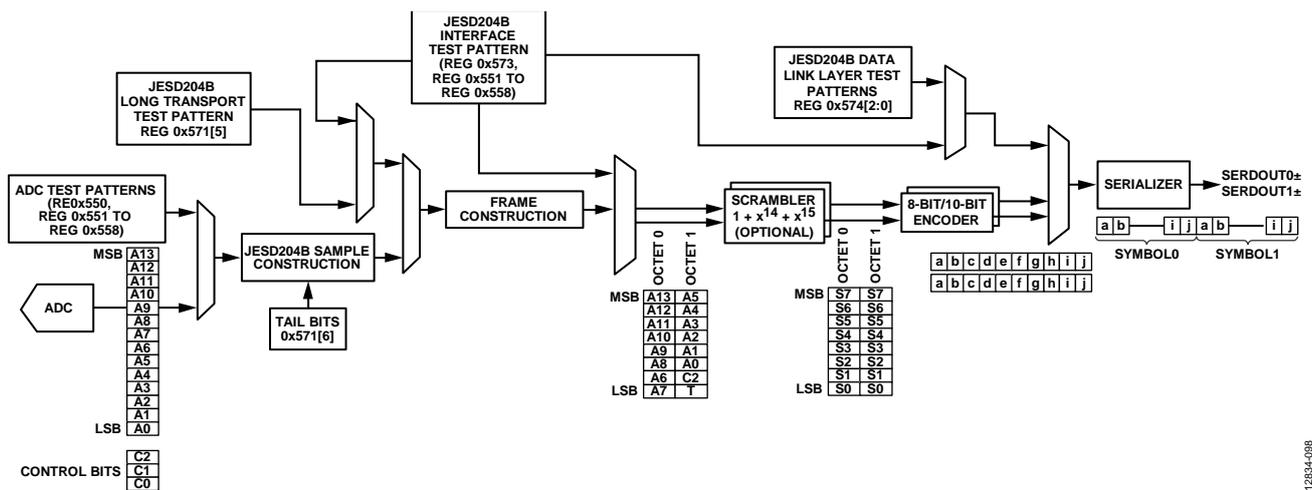


図 98. ADC 出力データ・パサーデータ・フレーミング

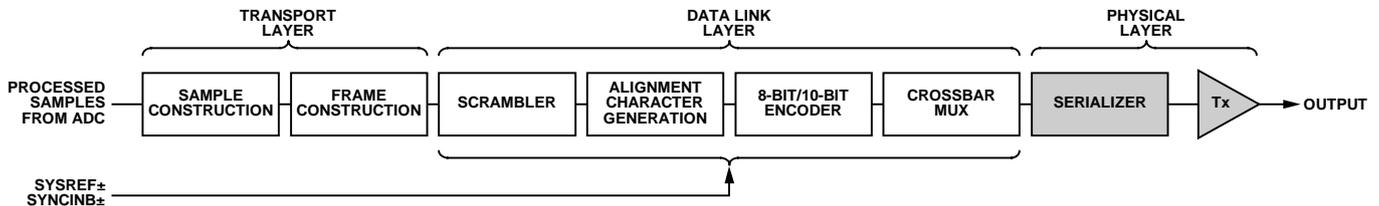


図 99. データ・フロー

機能概要

図 99 のブロック図に、JESD204B ハードウェアを経由するサンプル入力から物理出力までのデータ・フローを示します。この処理は、通信システムの象徴的なレイヤーの説明に広く使われているオープン・ソース・イニシアティブ (OSI) モデルから導出されるレイヤーに分割することができます。これらのレイヤーは、トランスポート・レイヤー、データ・リンク・レイヤー、物理レイヤー (シリアライズと出力ドライバ) です。

トランスポート層

トランスポート・レイヤーでは、データ (サンプルとオプションのコントロール・ビットで構成) を JESD204B のフレーム形態へとまとめてバッキングします。このフレームは 8 ビット・オクテット (8 ビットのデータ・ブロック) に対応します。これらのオクテットはデータ・リンク・レイヤーに送られます。トランスポート・レイヤーでのマッピングは、リンク・パラメータから導出された規則で制御されます。必要な場合、実データとのギャップを埋めるためテール・ビットが追加されます。次式を使って、サンプル (JESD204B ワード) 内のテール・ビット数を求めることができます。

$$T = N' - N - CS$$

データ・リンク層

データ・リンク・レイヤーには、リンクを介してデータを渡す低レベルの機能があります。これらの機能としては、オプションのデータ・スクランプリング、マルチチップ同期/レーン・アライメント/モニタリング用の制御文字の挿入、8 ビット・オクテットの 10 ビット・シンボルへの符号化などがあります。また、データ・リンク・レイヤーには、イニシャル接続時のレーン・アライメント・シーケンス (ILAS) を送信する機能もあります。これには、トランスポート・レイヤーの設定値を確認する際にレシーバが使用するリンク設定データが含まれます。

物理層

物理レイヤーは、シリアル・クロック・レートでクロック駆動される高速回路で構成されます。このレイヤーでは、並列データが 1 レーン、2 レーン、または 4 レーンの高速差動シリアル・データに変換されます。

JESD204B リンクの確立 (送受信間のリンクの確立処理)

AD9690 の JESD204B トランスミッタ (Tx) インターフェースは、JEDEC 標準 204B (July 2011 specification) で規定されるサブクラス 1 内で動作します。リンク確立処理は、コード・グループ同期および SYNCINB±、初期レーン・アライメント・シーケンス、ユーザー・データおよびエラー訂正の各ステップに分割されます。

コード・グループ同期 (CGS) および SYNCINB±

JESD204B レシーバがデータ・ストリーム内で各 10 ビット・シンボルの間の境界を見つける処理が CGS です。CGS フェーズでは、JESD204B 送信ブロックは $K/28.5$ シンボル・コードを送信します。レシーバは、クロックとデータの再生 (CDR) 技術を使って入力データ・ストリーム内で $K/28.5$ シンボル・コードを探する必要があります。 ("K"ではさまれたシンボルは、JESD204B 標準の仕様書に規定されたコードです)

レシーバは、AD9690 の SYNCINB± ピンをロー・レベルにして同期要求を発行します。次に JESD204B 送信側は K シンボル・コードの送信を開始します。レシーバが同期化された後、少なくとも 4 個の連続する K シンボル・コードの受信を待ちます。そして SYNCINB± のアサートを解除します。次に、AD9690 は次のローカル・マルチフレーム・クロック (LMFC) の境界で ILAS を送信します。

コード・グループ同期フェーズの詳細については、JEDEC 標準

JESD204B、July 2011 のセクション 5.3.3.1 を参照してください。

SYNCINB± ピンの動作も、SPI から制御することができます。SYNCINB± 信号は、デフォルトで差動 DC 結合 LVDS モード信号になっていますが、シングルエンドで駆動することもできます。SYNCINB± ピン動作の設定については、レジスタ 0x572 を参照してください。

レジスタ 0x572 のビット[4]をセットして、SYNCINB± ピンを CMOS (シングルエンド) モードで動作するように設定することもできます。SYNCINB± を CMOS モードで動作させる場合は、CMOS SYNCINB 信号をピン 21 (SYNCINB+) に接続し、ピン 20 (SYNCINB-) をフローティングのままにします。

イニシャル (初期設定) レーン・アライメント・シーケンス (ILAS)

ILAS フェーズは CGS フェーズの後に続き、次の LMFC 境界から開始されます。ILAS は 4 個のマルチフレームで構成され、/R/ シンボル・コードが開始を、/A/ シンボル・コードが終わりを、それぞれ示します。ILAS は、/R/ シンボル・コードとそれに続く 0 から 255 のランプ・データ (1 マルチフレーム分) を送信することにより開始されます。2 番目のマルチフレームでは、3 番目の文字から始まるリンク設定データが送信されます。2 番目の文字は、リンク設定データが次に続くことを確認する/Q/ シンボル・コードです。すべての不定データ・スロットにはランプ・データが詰められます。ILAS シーケンスは、スクランブルされません。

ILAS シーケンスの構成を図 100 に示します。4 個のマルチフレームには次の内容が含まれます。

- マルチフレーム 1。/R/ シンボル・コード(/K28.0)で開始され、/A/ シンボル・コード(/K28.3)で終わります。
- マルチフレーム 2。/R/ シンボル・コードで開始され、/Q/ シンボル・コード(/K28.4)、14 個の設定オクテットのリンク設定パラメータ (表 24 参照)が続き、/A/ シンボル・コードで終わります。多くのパラメータ値は、値-1 の表記法を使用します。
- マルチフレーム 3。/R/ シンボル・コード(/K28.0)で開始され、/A/ シンボル・コード(/K28.3)で終わります。
- マルチフレーム 4。/R/ シンボル・コード(/K28.0)で開始され、/A/ シンボル・コード(/K28.3)で終わります。

ユーザー・データおよびエラー検出

イニシャル・レーン・アライメント・シーケンスが完了した後に、ユーザー・データが送信されます。通常、ひとつのフレーム内では、すべてのキャラクタがユーザー・データと見なされますが、フレーム・クロックとマルチフレーム・クロック同期をモニタするために、データが所定の条件を満たすとき、文字を/F/シンボル・コードまたは/A/シンボル・コードのアライメント文字で置き換えるメカニズムがあります。これらの条件は、非スクランブル・データとスクランブル・データに対して異なります。デフォルトで、スクランブル動作はイネーブルされていますが、SPI を使ってディスエーブルすることができます。

スクランブル・データの場合、フレームの終わりのすべての文字 0xFC が /F/シンボル・コードで置換えられ、マルチフレームの終わりのすべての文字 0x7C が/A/シンボル・コードで置換えられます。JESD204B レシーバ (Rx) は、受信データ・ストリーム内で/F/シンボル・コードと/A/シンボル・コードを調べて、これらが予想する位置で発生していることを確認します。予想しない位置の/F/シンボル・コードまたは/A/シンボル・コードを見つくと、レシーバはダイナミック再アライメントを使用してこの状況に対処します。すなわち 4 フレームより長い間 SYNCINB± 信号をアサートして新たに再同期を開始します。非スクランブル・データの場合、連続する 2 フレームの最終文字が一致すると、2 番目のキャラクタがフレームの最後の場合は /F/ シンボル・コードで、マルチフレームの最後の場合は/A/ シンボル・コードで、それぞれ置換えられます。

アライメント文字の挿入は、SPI を使って変更することができます。フレーム・アライメント文字の挿入 (FACI) は、デフォルトでイネーブルされています。リンク制御の詳細については、メモリ・マップのセクションのレジスタ 0x571 を参照してください。

8 ビット/10 ビット・エンコーダ

8 ビット/10 ビット・エンコーダは、8 ビット・オクテットを 10 ビット・シンボルへ変換し、必要に応じて制御文字をストリームに挿入します。JESD204B で使用される制御文字を表 24 に示します。8 ビット/10 ビット・エンコーディングでは、複数のシンボル間で同数の 1 と 0 を使うことにより信号の DC バランスを保証します。

8 ビット/10 ビット・インターフェースには、SPI から制御できるオプションがあります。これらの動作には、バイパスと反転が含まれます。これらのオプションは、デジタル・フロントエンド (DFE) 評価用のトラブルシューティング・ツールです。8 ビット/10 ビット・エンコーダの設定については、メモリ・マップのセクションのレジスタ 0x572[2:1]を参照してください。

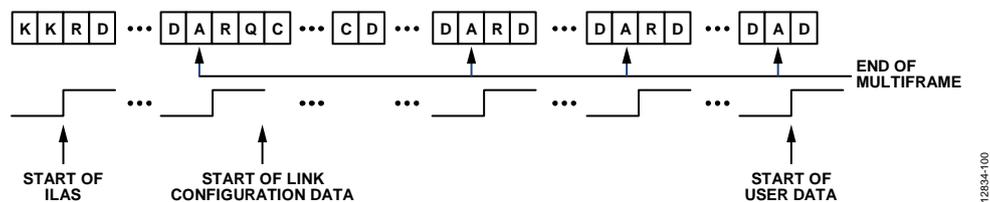


図 100.初期レーン・アライメント・シーケンス

表 24. JESD204B で使用される AD9690 制御キャラクタ

Abbreviation	Control Symbol	8-Bit Value	10-Bit Value, RD ¹ = -1	10-Bit Value, RD ¹ = +1	Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	Start of multiframe
/A/	/K28.3/	011 11100	001111 0011	110000 1100	Lane alignment
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	Start of link configuration data
/K/	/K28.5/	101 11100	001111 1010	110000 0101	Group synchronization
/F/	/K28.7/	111 11100	001111 1000	110000 0111	Frame alignment

¹ RD = running disparity.

物理レイヤー (ドライバ) 出力

デジタル出力、タイミング、制御

AD9690 の物理レイヤーは、JEDEC 標準 JESD204B、July 2011 で規定されるドライバで構成されています。デフォルトで、差動デジタル出力がパワーアップします。ドライバでは 100 Ω のダイナミック内部終端を使って、不要な反射を小さくしています。

各レーバ入力に 100 Ω の差動終端抵抗を接続すると、レーバで公称振幅 300 mV p-p が得られます (図 101 参照)。あるいは、シングルエンド 50 Ω 終端を使用することもできます。シングルエンド終端を使用する場合、終端電圧は DRVDD/2 になります。そうでない場合は、0.1 μF の AC 結合コンデンサを使ってシングルエンド電圧を終端することができます。

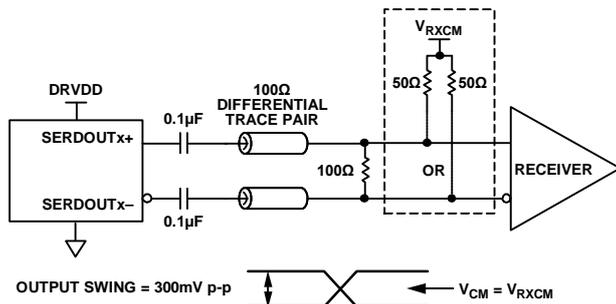


図 101. AC 結合デジタル出力終端の例

AD9690 デジタル出力はカスタム ASIC や FPGA のレーバにインターフェースできるため、ノイズの多い環境で優れたスイッチング性能を提供することができます。1 本の 100 Ω の終端抵抗をできるだけレーバ入力の近くに接続した 1 対 1 回路の使用が推奨されます。デジタル出力の同相モードは、1.2 V の DRVDD 電源の 1/2 に ($V_{CM} = 0.6 V$) 自動的にバイアスされます。出力とレーバ・ロジックの DC 結合については、図 102 を参照してください。

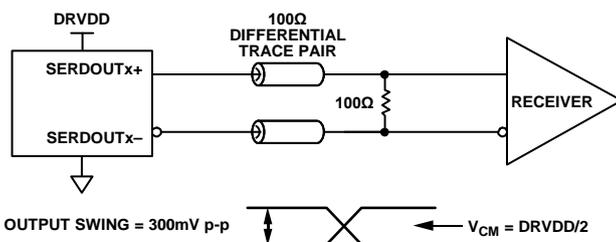


図 102. DC 結合デジタル出力終端の例

遠い端でレーバ終端がない場合、または差動パターン配線が良くない場合には、タイミング誤差が発生します。このようなタイミング誤差を防止するため、パターン長を 6 インチ (15cm) 以下に抑え、差動出力パターンを同じ長さで互いに近い配置にすることが推奨されます。

図 103 と図 108 に、それぞれ 10 Gbps と 6 Gbps で動作する AD9690 の 1 レーンについて、デジタル出力データ・アイ、タイム・インターバル誤差 (TIE) ジッタ・ヒストグラム、バスタブ・カーブの例を示します。出力データのデフォルト・フォーマットは 2 の補数です。出力データ・フォーマットを変更するときは、メモリ・マップのセクション (表 36 のレジスタ 0x561) を参照してください。

ディエンファシス

ディエンファシス (イコライジングの一種) を使うと、相互接続挿入損失が JESD204B 仕様を満たさない状態でも、レーバ・アイ・ダイアグラム・マスクを満足させることができます。ディエンファシス機能は、挿入損失が大きいためレーバがクロックを再生できないときのみ使用してください。通常の状態では、消費電力削減のためこの機能をディスエーブルしています。さらに、短いリンクで大き過ぎるディエンファシス値を設定/イネーブルすると、レーバ・アイ・ダイアグラムは破綻します。電磁干渉 (EMI) が大きくなるので、ディエンファシスの設定は注意深く行ってください。詳細については、メモリ・マップのセクション (表 36 のレジスタ 0x5C1 ~ レジスタ 0x5C5) を参照してください。

フェーズ・ロック・ループ

フェーズ・ロック・ループ (PLL) は、JESD204B レーン・レートで動作するシリアライザ・クロックを発生するために使います。PLL ロックのステータスは、PLL ロック・ステータス・ビット (レジスタ 0x56F、ビット 7) で調べることができます。この読み専用ビットを使うと、ユーザーは特定のセットアップに対して PLL がロックしたか否かを知ることができます。JESD204B レーン・レート制御 (レジスタ 0x56E ビット 4) をレーン・レートに対応して設定する必要があります。

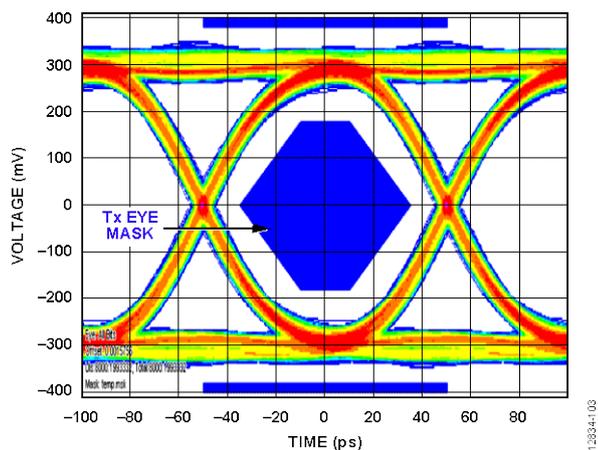


図 103. デジタル出力のデータ・アイ、外付け 100 Ω 終端、10 Gbps

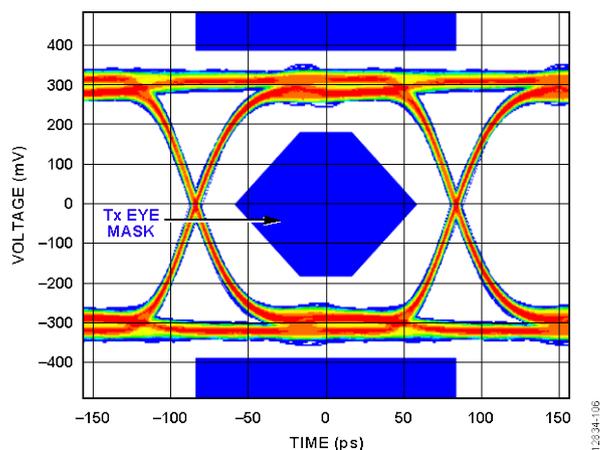


図 106. デジタル出力のデータ・アイ、外付け 100 Ω 終端、6 Gbps

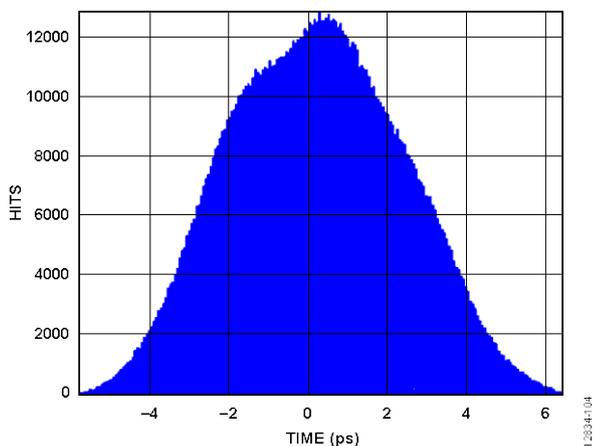


図 104. デジタル出力のヒストグラム、外付け 100 Ω 終端、10 Gbps

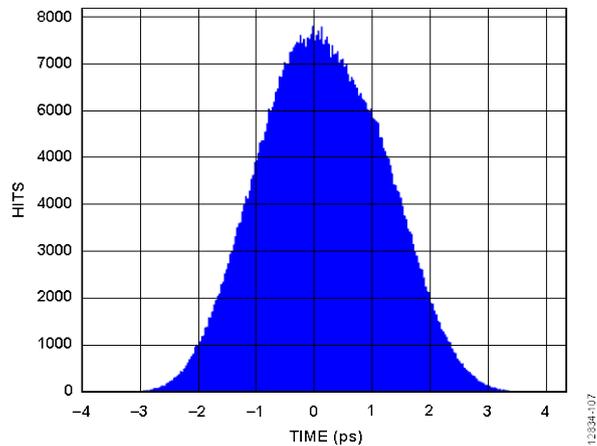


図 107. デジタル出力のヒストグラム、外付け 100 Ω 終端、6 Gbps

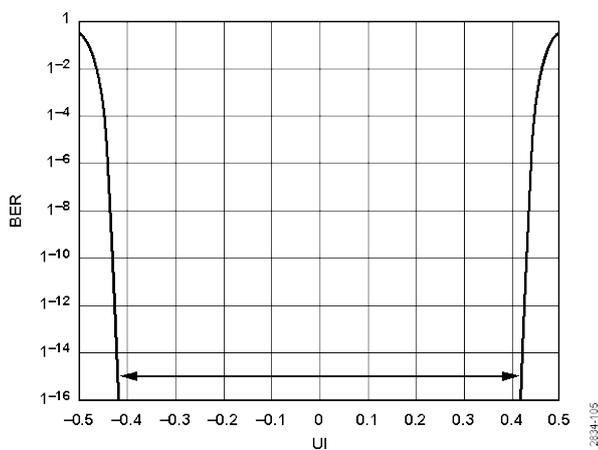


図 105. デジタル出力のバスタブ・カーブ、外付け 100 Ω 終端、10 Gbps

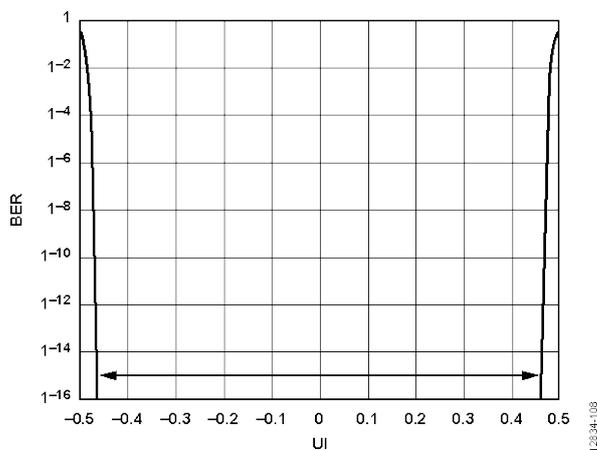


図 108. デジタル出力のバスタブ・カーブ、外付け 100 Ω 終端、6 Gbps

JESD204B TX コンバータのマッピング

AD9690 デザインでは、様々なチップ動作モードをサポートするため、各サンプル・ストリーム (実数または I/Q) を別々の仮想コンバータから発生したものとして扱います。I/Q サンプルは常に、対として I サンプルを最初の仮想コンバータに、Q サンプルを 2 番目の仮想コンバータに、それぞれ割り当てます。このトランスポート・レイヤー・マッピングでは、次のいずれの場合でも仮想コンバータ数は同じです。

- 1 個の実数コンバータとデジタル・ダウン・コンバータ・ブロックを使用して I/Q 出力を発生する
- 1 個のアナログ・ダウン・コンバージョンと 2 個の実数コンバータを使用して I/Q 出力を発生する

図 109 に、I/Q トランスポート・レイヤー・マッピングに対して説明した 2 つの場合のブロック図を示します。

AD9690 の JESD204B Tx ブロックは、最大 4 個の DDC ブロックをサポートします。各 DDC ブロックは、複素数データ成分 (実数 + 虚数) に対しては 2 つのサンプル・ストリーム (I/Q) を、実数 (I) データに対しては 1 つのサンプル・ストリームを、それぞれ出力します。JESD204B インターフェースは、DDC 構成に応じて最大 4 個の仮想コンバータを使用するように設定することができます。図 110 に、複素数出力を使用する場合の仮想コンバータと DDC 出力との関係を示します。表 25 に、チャンネル・スワッピングをディスエーブルした場合の各チップ動作モードに対する仮想コンバータのマッピングを示します。

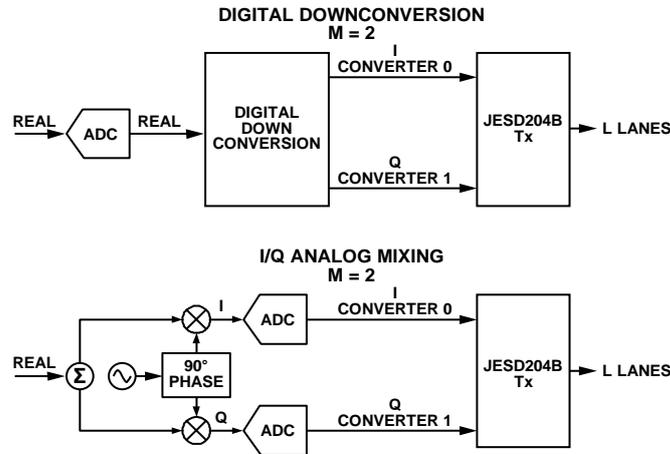


図 109. I/Q トランスポート・レイヤーのマッピング

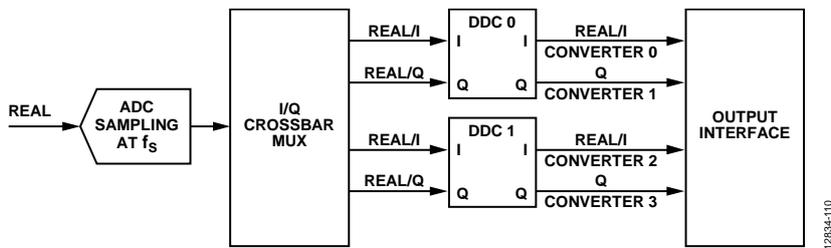


図 110. DDC および仮想コンバータのマッピング

表 25. 仮想コンバータのマッピング

Number of Virtual Converters Supported	Chip Operating Mode (0x200, Bits[1:0])	Chip Q Ignore (0x200, Bit 5)	Virtual Converter Mapping							
			0	1	2	3	4	5	6	7
1	Full bandwidth mode (0x0)	Real (0x0)	ADC samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
1	One DDC mode (0x1)	Real (I only) (0x1)	DDC 0 I samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
2	One DDC mode (0x1)	Complex (I/Q) (0x0)	DDC 0 I samples	DDC 0 Q samples	Unused	Unused	Unused	Unused	Unused	Unused
2	Two DDC mode (0x2)	Real (I Only) (0x1)	DDC 0 I samples	DDC 1 I samples	Unused	Unused	Unused	Unused	Unused	Unused
4	Two DDC mode (0x2)	Complex (I/Q) (0x0)	DDC 0 I samples	DDC 0 Q samples	DDC 1 I samples	DDC 1 Q samples	Unused	Unused	Unused	Unused

JESD204B リンクの設定

AD9690 は 1 本の JESD204B リンクを持っています。このデバイスでは、JESD04B クイック設定レジスタ (レジスタ 0x570) を使って JESD204B リンクを設定する簡易な方法を提供します。シリアル出力 (SERDOUT0±~SERDOUT3±) は、1 本の JESD204B リンクの一部と見なされます。リンクのセットアップを決める基本パラメータは、

- リンクあたりのレーン数 (L)
- リンクあたりのコンバータ数 (M)
- フレームあたりのオクテット数 (F)

内蔵 DDC を内部でのデジタル処理のために使う場合、M は仮想コンバータ数を表します。仮想コンバータ・マッピングのセットアップを図 110 に示します。

JESD204B 仕様で許容される最大レーン・レートは 12.5 Gbps です。レーン・ライン・レート (レーンのデータ・レート) と JESD204B パラメータの関係は、次式で表されます。

$$\text{Lane Line Rate} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

ここで、

$$f_{OUT} = \frac{f_{ADC_CLOCK}}{\text{Decimation Ratio}}$$

デシメーション比 (DCM) は、レジスタ 0x201 に設定されるパラメータです。

次のステップに従って出力を設定することができます。

1. リンクをパワーダウンさせます。
2. クイック設定オプションを選択します。
3. 詳細オプションを設定します。
4. 出力レーン・マッピング (オプション) を設定します。
5. その他のドライバ設定オプションを設定します (オプション)。
6. リンクをパワーアップさせます。

計算したレーン・ライン・レートが 6.25 Gbps より小さい場合は、低ライン・レート・オプションを選択します。これは、値 0x10 をレジスタ 0x56E に書込むと実行されます。

表 26 と表 27 に、与えられた仮想コンバータ数に対して $N' = 16$ と $N' = 8$ をサポートする JESD204B 出力設定を示します。与えられた設定に対してシリアル・ラインのデータ・レートが 3.125 Gbps~12.5 Gbps のサポート範囲内となるように注意してください。

表 26.N'=16 に対する JESD204B 出力設定

Number of Virtual Converters Supported (Same Value as M)	JESD204B Quick Configuration (0x570)	JESD204B Serial Line Rate ¹	JESD204B Transport Layer Settings ²								
			L	M	F	S	HD	N	N'	CS	K ³
1	0x01	20 × f _{OUT}	1	1	2	1	0	8 to 16	16	0 to 3	Only valid K values that are divisible by 4 are supported
	0x40	10 × f _{OUT}	2	1	1	1	1	8 to 16	16	0 to 3	
	0x41	10 × f _{OUT}	2	1	2	2	0	8 to 16	16	0 to 3	
	0x80	5 × f _{OUT}	4	1	1	2	1	8 to 16	16	0 to 3	
	0x81	5 × f _{OUT}	4	1	2	4	0	8 to 16	16	0 to 3	
2	0x0A	40 × f _{OUT}	1	2	4	1	0	8 to 16	16	0 to 3	
	0x49	20 × f _{OUT}	2	2	2	1	0	8 to 16	16	0 to 3	
	0x88	10 × f _{OUT}	4	2	1	1	1	8 to 16	16	0 to 3	
	0x89	10 × f _{OUT}	4	2	2	2	0	8 to 16	16	0 to 3	
4	0x13	80 × f _{OUT}	1	4	8	1	0	8 to 16	16	0 to 3	
	0x52	40 × f _{OUT}	2	4	4	1	0	8 to 16	16	0 to 3	
	0x91	20 × f _{OUT}	4	4	2	1	0	8 to 16	16	0 to 3	

¹ f_{OUT} = 出力サンプル・レート = ADC サンプル・レート / チップ・デシメーション比。 JESD204B シリアル・ライン・レートは 3125 Mbps 以上でかつ 12,500 Mbps 以下である必要があります。シリアル・ライン・レートが 12.5 Gbps 以下でかつ 6.25 Gbps 以上の場合、低ライン・レート・モードをディスエーブルする必要があります (レジスタ 0x56E のビット 4 に 0x0 を設定)。シリアル・ライン・レートが 6.25 Gbps 以下でかつ 3.125 Gbps 以上の場合、低ライン・レート・モードをイネーブルする必要があります (レジスタ 0x56E のビット 4 に 0x1 を設定)。

² JESD204B トランスポート・レイヤーの説明は、JESD204B 概要のセクションに記載してあります。

³ F=1 の場合、K=20、24、28、32。F=2 の場合、K=12、16、20、24、28、32。F=4 の場合、K=8、12、16、20、24、28、32。F=8 かつ F=16 の場合、K=4、8、12、16、20、24、28、32。

表 27.N'=8 に対する JESD204B 出力設定

Number of Virtual Converters Supported (Same Value as M)	JESD204B Quick Configuration (0x570)	Serial Line Rate ¹	JESD204B Transport Layer Settings ²								
			L	M	F	S	HD	N	N'	CS	K ³
1	0x00	10 × f _{OUT}	1	1	1	1	0	7 to 8	8	0 to 1	Only valid K values which are divisible by 4 are supported
	0x01	10 × f _{OUT}	1	1	2	2	0	7 to 8	8	0 to 1	
	0x40	5 × f _{OUT}	2	1	1	2	0	7 to 8	8	0 to 1	
	0x41	5 × f _{OUT}	2	1	2	4	0	7 to 8	8	0 to 1	
	0x42	5 × f _{OUT}	2	1	4	8	0	7 to 8	8	0 to 1	
	0x80	2.5 × f _{OUT}	4	1	1	4	0	7 to 8	8	0 to 1	
	0x81	2.5 × f _{OUT}	4	1	2	8	0	7 to 8	8	0 to 1	
2	0x09	20 × f _{OUT}	1	2	2	1	0	7 to 8	8	0 to 1	
	0x48	10 × f _{OUT}	2	2	1	1	0	7 to 8	8	0 to 1	
	0x49	10 × f _{OUT}	2	2	2	2	0	7 to 8	8	0 to 1	
	0x88	5 × f _{OUT}	4	2	1	2	0	7 to 8	8	0 to 1	
	0x89	5 × f _{OUT}	4	2	2	4	0	7 to 8	8	0 to 1	
	0x8A	5 × f _{OUT}	4	2	4	8	0	7 to 8	8	0 to 1	

¹ f_{OUT} = 出力サンプル・レート = ADC サンプル・レート / チップ・デシメーション比。 JESD204B シリアル・ライン・レートは 3125 Mbps 以上でかつ 12,500 Mbps 以下である必要があります。シリアル・ライン・レートが 12.5 Gbps 以下でかつ 6.25 Gbps 以上の場合、低ライン・レート・モードをディスエーブルする必要があります (レジスタ 0x56E のビット 4 に 0x0 を設定)。シリアル・ライン・レートが 6.25 Gbps 以下でかつ 3.125 Gbps 以上の場合、低ライン・レート・モードをイネーブルする必要があります (レジスタ 0x56E のビット 4 に 0x1 を設定)。

² JESD204B トランスポート・レイヤーの説明は、JESD204B 概要のセクションに記載してあります。

³ F=1 の場合、K=20、24、28、32。F=2 の場合、K=12、16、20、24、28、32。F=4 の場合、K=8、12、16、20、24、28、32。F=8 かつ F=16 の場合、K=4、8、12、16、20、24、28、32。

複数チップの同期化

AD9690 は、内部ブロックを同期化するための柔軟なオプションを提供する SYSREF± 入力を持っています。SYSREF± 入力は、複数チップの同期を可能にするソース同期システム・リファレンス信号です。SYSREF± 入力を使うと、入力クロック分周器、DDC、信号モニタ・ブロック、JESD204B リンクを同期化することができます。最高レベルのタイミング精度を実現するためには、SYSREF± が CLK± 入力に対するセットアップおよびホールド条件を満たす必要があります。

図 111 のフローチャートに、AD9690 の複数チップ同期の内部メカニズムを示します。AD9690 は、SYSREF± 信号の取り込みに

対して設けられた条件を満たすことを助けるためのいくつかの機能を持っています。SYSREF 信号のサンプル・イベントは、ロー・レベルからハイ・レベルへの遷移での同期、またはハイ・レベルからロー・レベルへの遷移での同期として定義することができます。さらに、AD9690 では CLK± 入力の立上がりエッジまたは立下がりエッジを使って SYSREF 信号をサンプリングすることができます。また、AD9690 には設定可能な回数数 (最大 16) の SYSREF± イベントを無視する機能もあります。SYSREF± の制御オプションは、レジスタ 0x120 とレジスタ 0x121 を使って選択することができます。

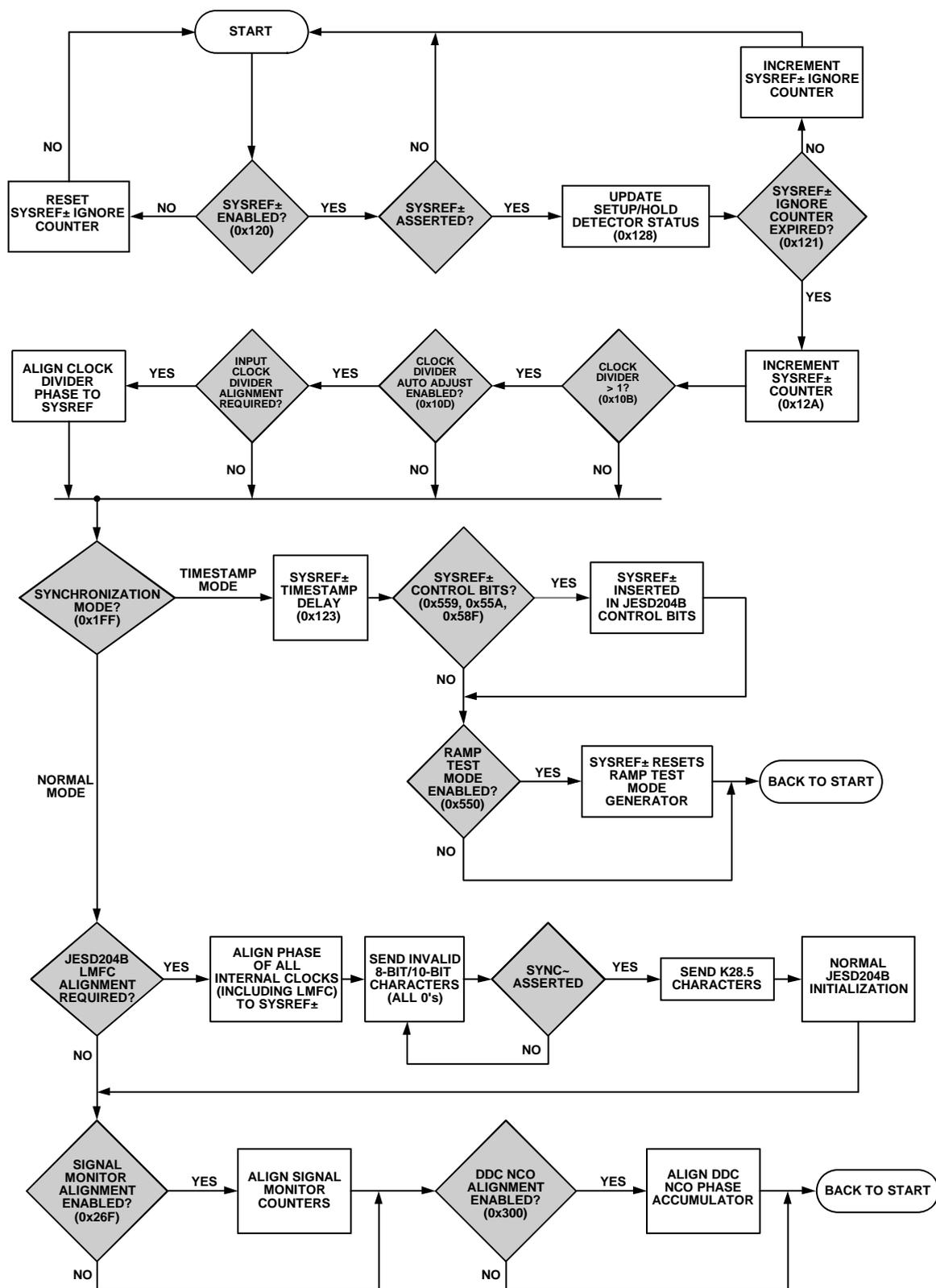


図 111.複数チップの同期化

12834-111

SYSREF±セットアップ/ホールド・ウインド・モニタ

SYSREF± 信号を確実に取り込むために、AD9690 は SYSREF± セットアップ/ホールド・ウインド・モニタ機能を内蔵しています。この機能を使うと、メモリ・マップを介してインターフェース上のセットアップ/ホールド・マージンの大きさをリードバックして、CLK± 信号に対する SYSREF± 信号の位置を求め

ることができます。図 112 と図 113 に、SYSREF± の様々な位相に対するセットアップとホールドのステータス値を示します。セットアップ検出器は CLK± エッジの前の SYSREF± 信号ステータスを返し、ホールド検出器は CLK± エッジの後の SYSREF± 信号ステータスを返します。レジスタ 0x128 は SYSREF± のステータスを格納し、SYSREF± 信号が ADC により取り込まれるとユーザーに報告します。

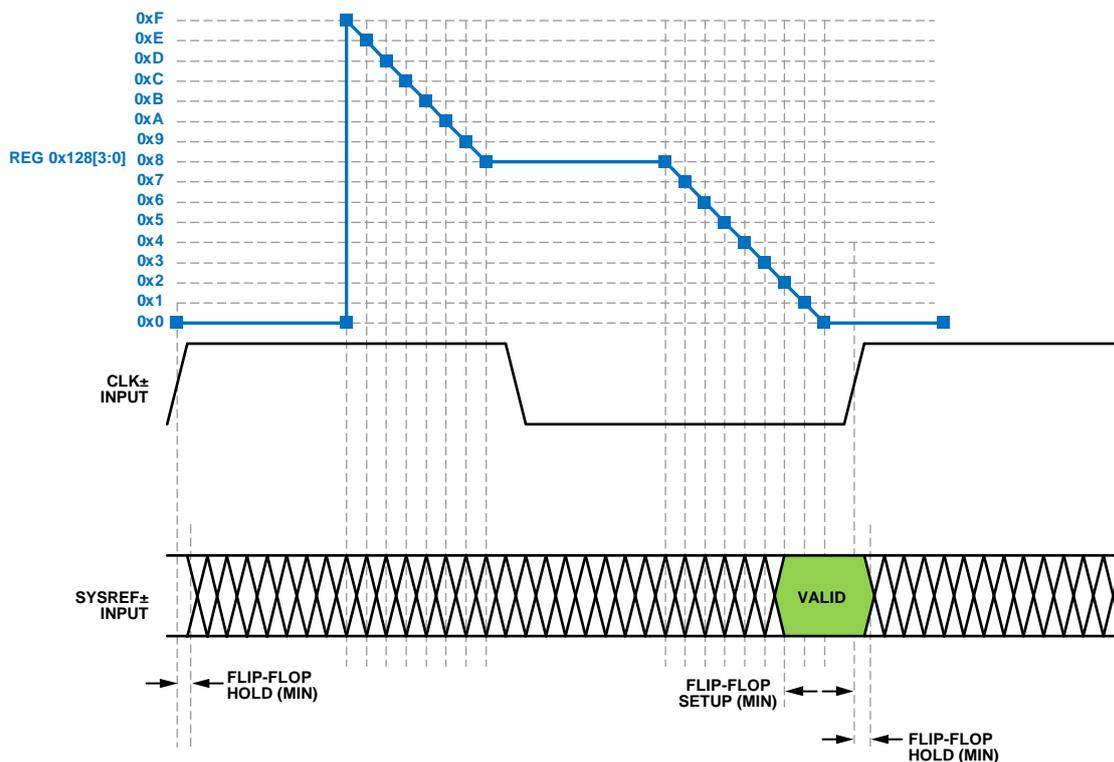


図 112.SYSREF±セットアップ検出器

12834-112

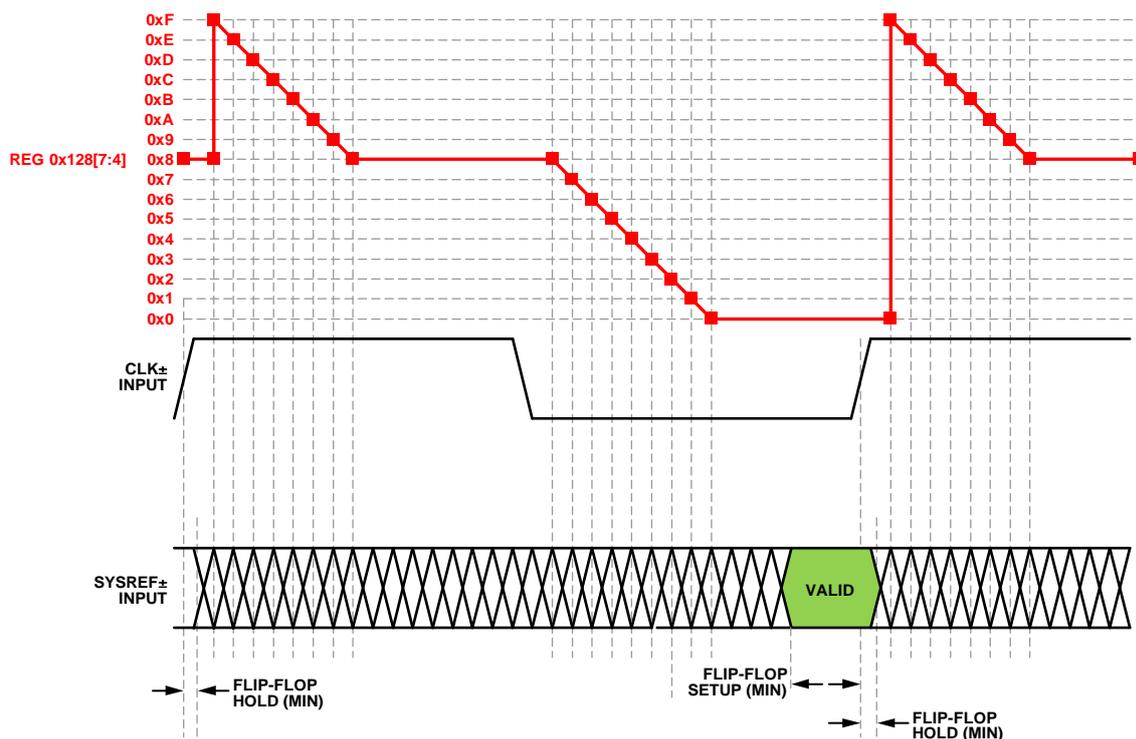


図 113.SYSREF± ホールド検出器

表 28 に、レジスタ 0x128 の値の説明と解釈方法を示します。

表 28.SYSREF±セットアップ/ホールド・モニタ、レジスタ 0x128

Register 0x128[7:4] Hold Status	Register 0x128[3:0] Setup Status	Description
0x0	0x0 to 0x7	Possible setup error. The smaller this number, the smaller the setup margin.
0x0 to 0x8	0x8	No setup or hold error (best hold margin).
0x8	0x9 to 0xF	No setup or hold error (best setup and hold margin).
0x8	0x0	No setup or hold error (best setup margin).
0x9 to 0xF	0x0	Possible hold error. The larger this number, the smaller the hold margin.
0x0	0x0	Possible setup or hold error.

テスト・モード

ADC テスト・モード

AD9690 には、システム・レベルでの実装を支援する様々なテスト・オプションがあります。AD9690 は、レジスタ 0x550 から使用できる ADC テスト・モードを持っています。これらのテスト・モードを表 29 に示します。出力テスト・モードをイネーブルすると、ADC のアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パ

ターンのいくつかは出力フォーマットが行われますが、行われないものもあります。レジスタ 0x550 のビット 4 またはビット 5 をセットすることにより、PN シーケンス・テストの PN ジェネレータをリセットすることができます。これらのテストはアナログ信号の有無によらず(有りの場合でも、アナログ信号は無視されます)実行することができますが、エンコード・クロックは必要です。詳細については、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」を参照してください。

表 29. ADC テスト・モード¹

Output Test Mode Bit Sequence	Pattern Name	Expression	Default/Seed Value	Sample (N, N + 1, N + 2, ...)
0000	Off (default)	N/A	N/A	N/A
0001	Midscale short	00 0000 0000 0000	N/A	N/A
0010	+Full-scale short	01 1111 1111 1111	N/A	N/A
0011	-Full-scale short	10 0000 0000 0000	N/A	N/A
0100	Checkerboard	10 1010 1010 1010	N/A	0x1555, 0x2AAA, 0x1555, 0x2AAA, 0x1555
0101	PN sequence long	$X^{23} + X^{18} + 1$	0x3AFF	0x3FD7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6
0110	PN sequence short	$X^9 + X^5 + 1$	0x0092	0x125B, 0x3C9A, 0x2660, 0x0c65, 0x0697
0111	One-/zero-word toggle	11 1111 1111 1111	N/A	0x0000, 0x3FFF, 0x0000, 0x3FFF, 0x0000
1000	User input	Register 0x551 to Register 0x558	N/A	User Pat 1[15:2], User Pat 2[15:2], User Pat 3[15:2], User Pat 4[15:2], User Pat 1[15:2] ... for repeat mode User Pat 1[15:2], User Pat 2[15:2], User Pat 3[15:2], User Pat 4[15:2], 0x0000 ... for single mode
1111	Ramp Output	$(X) \% 2^{14}$	N/A	$(X) \% 2^{14}, (X + 1) \% 2^{14}, (X + 2) \% 2^{14}, (X + 3) \% 2^{14}$

¹ N/A は該当なし。

JESD204B ブロック・テスト・モード

ADC パイプライン・テスト・モードの他に、AD9690 は JESD204B ブロック内に柔軟なテスト・モードを持っています。これらのテスト・モードの設定は、レジスタ 0x573 とレジスタ 0x574 に記載してあります。これらのテスト・パターンは、出力データ経路上の種々のポイントで挿入することができます。これらのテスト・パターン挿入ポイントを図 98 に示します。表 30 に、JESD204B ブロックで使用できる種々のテスト・モードを示します。AD9690 では、テスト・モード (レジスタ 0x573 ≠ 0x00) から通常モード (レジスタ 0x573 = 0x00) への遷移で SPI ソフト・リセットが必要です。これは、レジスタ 0x00(セルフ・クリア)へ 0x81 を書込むことにより実行されます。

トランスポート層サンプル・テスト・モード

トランスポート層サンプルは、JEDEC JESD204B 仕様のセクション 5.1.6.3 に従い AD9690 に組み込まれています。これらのテスト

トをレジスタ 0x571[5]に示します。テスト・パターンは、ADC からの未加工サンプルと同じです。

インターフェース・テスト・モード

インターフェース・テスト・モードはレジスタ 0x573 のビット [3:0]で規定します。これらのテスト・モードは表 30 でも説明しています。インターフェース・テストはデータ経路上ののポイントに挿入することができます。テスト挿入ポイントの詳細については、図 98 を参照してください。レジスタ 0x573 のビット [5:4]に、これらのテストの挿入ポイントを示します。

表 31、表 32、表 33 に、JESD サンプル 入力に挿入されたときの幾つかのテスト・モードの例、PHY 10 ビット入力、スクランブラ 8 ビット入力を示します。表内の UP は、レジスタ・マップからのユーザー・パターン・コントロール・ビットを表します。

表 30. JESD204B インターフェース・テスト・モード

Output Test Mode Bit Sequence	Pattern Name	Expression	Default
0000	Off (default)	Not applicable	Not applicable
0001	Alternating checker board	0x5555, 0xAAAA, 0x5555, ...	Not applicable
0010	1/0 word toggle	0x0000, 0xFFFF, 0x0000, ...	Not applicable
0011	31-bit PN sequence	$X^{31} + X^{28} + 1$	0x0003AFFF
0100	23-bit PN sequence	$X^{23} + X^{18} + 1$	0x003AFF
0101	15-bit PN sequence	$X^{15} + X^{14} + 1$	0x03AF
0110	9-bit PN sequence	$X^9 + X^5 + 1$	0x092
0111	7-bit PN sequence	$X^7 + X^6 + 1$	0x07
1000	Ramp output	$(X) \% 2^{16}$	Ramp size depends on test injection point
1110	Continuous/repeat user test	Register 0x551 to Register 0x558	User Pat 1 to User Pat 4, then repeat
1111	Single user test	Register 0x551 to Register 0x558	User Pat 1 to User Pat 4, then zeroes

表 31. JESD204B サンプル入力、M=1、S=2、N'=16 (レジスタ 0x573[5:4]=b00)

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0	0	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
2	0	0	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000

表 32.物理層 10 ビット入力 (レジスタ 0x573[5:4]='b01)

10-Bit Symbol Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x155	0x000	(X) % 2 ¹⁰	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	(X + 1) % 2 ¹⁰	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	(X + 2) % 2 ¹⁰	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	(X + 3) % 2 ¹⁰	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	(X + 4) % 2 ¹⁰	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	(X + 5) % 2 ¹⁰	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	(X + 6) % 2 ¹⁰	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	(X + 7) % 2 ¹⁰	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	(X + 8) % 2 ¹⁰	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	(X + 9) % 2 ¹⁰	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	(X + 10) % 2 ¹⁰	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	(X + 11) % 2 ¹⁰	0x3DD	0x008	UP4[15:6]	0x000

表 33.スクランブラ 8 ビット入力 (レジスタ 0x573[5:4]='b10)

8-Bit Octet Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x55	0x00	(X) % 2 ⁸	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	(X + 1) % 2 ⁸	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	(X + 2) % 2 ⁸	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	(X + 3) % 2 ⁸	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	(X + 4) % 2 ⁸	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	(X + 5) % 2 ⁸	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	(X + 6) % 2 ⁸	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	(X + 7) % 2 ⁸	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	(X + 8) % 2 ⁸	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	(X + 9) % 2 ⁸	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	(X + 10) % 2 ⁸	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	(X + 11) % 2 ⁸	0xAC	0xFF	UP4[15:9]	0x00

データ・リンク層テスト・モード

データ・リンク層テスト・モードは、JEDEC JESD204B 仕様のセクション 5.3.3.8.2 に従い AD9690 に組み込まれています。これらのテストをレジスタ 0x574 のビット[2:0]に示します。このポ

イントで挿入されるテスト・パターンは、データ・リンク層の機能確認に便利です。データ・リンク層テスト・モードをイネーブルする場合、レジスタ 0x572 〜 0xC0 を書込んで、SYNCINB±をディスエーブルしてください。

シリアル・ポート・インターフェース

AD9690 の SPI (Serial Port Interface) を使うと、ADC 内部の構造化されたレジスタ・スペースを介してコンバータの特定の機能、または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟な対応性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して内容を読み書きすることができます。メモリは、バイト単位で構成されており、さらにフィールドに分割できます。これらのフィールドは、メモリ・マップのセクションに記載します。動作の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。

SPI の使い方

AD9690 ADC の SPI は、SCLK ピン、SDIO ピン、CSB ピンの 3 本のピンにより定義されます(表 34 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読出しサイクルと書込みサイクルをイネーブル/ディスエーブルします。

表 34. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize serial interface, reads, and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が示されます。シリアル・タイミングの例とその定義を図 4 と表 5 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をデータ・バイト間でハイ・レベルに保持して外部タイミングを引き延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンはほかの機能に使うことができます。

すべてのデータは 8 ビット/ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは書込みコマンドのいずれが発行されたかを表示します。これにより SDIO ピンの方向が入力から出力へ変化することができるようになります。

コマンド・フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、SDIO ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ

変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の機能の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。

ハードウェア・インターフェース

表 34 に示すピンにより、ユーザー書込みデバイス (マスター側) と AD9690 (スレーブ側) のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは、AD9690 にとって入力として機能します。SDIO ピンは双方向で、書込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、[AN-812 アプリケーション・ノート「Microcontroller-Based Serial Port Interface \(SPI\) Boot Circuit」](#)に記載してあります。コンバータのフル・ダイナミック性能が必要な時間内では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は、一般に ADC クロックに非同期であるため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使う場合には、このバスと AD9690 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でのこれらの信号が変化することを防止することが必要になります。

SPI からアクセス可能な機能

表 35 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。AD9690 デバイスに固有な機能はメモリ・マップのセクションで説明します。

表 35. SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode.
Clock	Allows the user to access the clock divider via the SPI.
DDC	Allows the user to set up decimation filters for different applications.
Test Input/Output	Allows the user to set test modes to have known data on output bits.
Output Mode	Allows the user to set up outputs.
SERDES Output Setup	Allows the user to vary SERDES settings such as swing and emphasis.

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは、アナログ・デバイス SPI レジスタ (レジスタ 0x000~レジスタ 0x00D)、アナログ入力バッファ・コントロール・レジスタ、ADC 機能レジスタ、DDC 機能レジスタ、デジタル出力およびテスト・モード・レジスタの 4 つのセクションに分割されます。

表 36 (メモリ・マップ・レジスタ・テーブルのセクション参照) には、各 16 進アドレスに対するデフォルトの 16 進値が記載されています。ビット 7 (MSB) の列が、デフォルト 16 進値の先頭ビットになります。例えば、アドレス 0x561 の出力モード・レジスタは、16 進デフォルト値 0x01 を持ちます。これはビット 0 = 1 であり、残りのビットは 0 であることを意味します。この設定値は、デフォルトの出力フォーマット値で 2 の補数です。この機能およびその他の機能の詳細については、表 36 を参照してください。

未使用ロケーション

表 36 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていません。デフォルト値が別に設定されていない限り、有効アドレス・ロケーションの未使用ビットには 0 を書込んでください。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書き込みが必要です(例えばアドレス 0x561)。アドレス・ロケーション全体が未使用の場合(例えばアドレス 0x13)、このアドレ

ス・ロケーションに対しては書き込みを行わないでください。

デフォルト値

AD9690 のリセット後、動作への影響がクリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 36)に記載されています。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。
- X は don't care ビット。1 でも 0 でも影響がないことを表します。

SPI のソフト・リセット

レジスタ 0x000 に 0x81 を書込んでソフト・リセットを発行した後、AD9690 は定常動作に戻るのに 5 ms を要します。アプリケーションのセットアップ用に AD9690 を設定するときは、ソフト・リセットのアサートからデバイス・セットアップの開始までの間に十分な遅延 (5mS 以上) をファームウェアに設定するように注意してください。

メモリ・マップ・レジスタ・テーブル

表 36 に記載されていないすべてのアドレス・ロケーションは、このデバイスでは現在サポートされていないため、書込みを行わないでください。

表 36.メモリ・マップ・レジスタ

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes	
Analog Devices SPI Registers												
0x000	INTERFACE _CONFIG_A	Soft reset (self clearing)	LSB first 0 = MSB 1 = LSB	Address ascension	0	0	Address ascension	LSB first 0 = MSB 1 = LSB	Soft reset (self clearing)	0x00		
0x001	INTERFACE _CONFIG_B	Single instruction	0	0	0	0	0	Datapath soft reset (self clearing)	0	0x00		
0x002	DEVICE_CONFIG	0	0	0	0	0	0	00 = normal operation 10 = standby 11 = power-down		0x00		
0x003	CHIP_TYPE							011 = high speed ADC		0x03	Read only	
0x004	CHIP_ID (low byte)	1	1	0	0	0	1	0	1	0xD6	Read only	
0x005	CHIP_ID (high byte)	0	0	0	0	0	0	0	0	0x00	Read only	
0x006	CHIP_GRADE	1010 = 1000 MSPS 0101 = 500 MSPS				X	X	X	X			Read only
0x008	Device index	0	0	0	0	0	0	0	1	0x01	Reserved	
0x00A	Scratch pad	0	0	0	0	0	0	0	0	0x00		
0x00B	SPI revision	0	0	0	0	0	0	0	1	0x01		
0x00C	Vendor ID (low byte)	0	1	0	1	0	1	1	0	0x56	Read only	
0x00D	Vendor ID (high byte)	0	0	0	0	0	1	0	0	0x04	Read only	
Analog Input Buffer Control Registers												
0x015	Analog input	0	0	0	0	0	0	0	Input disable 0 = normal operation 1 = input disabled	0x00		
0x016	Input termination	Analog input differential termination 0000 = 400 Ω (default) 0001 = 200 Ω 0010 = 100 Ω 0110 = 50 Ω				1110 = AD9690-1000 1100 = AD9690-500						
0x934	Input capacitance	0	0	0	0x1F = 3 pF to GND (default) 0x00 = 1.5 pF to GND					0x1F		
0x018	Buffer Control 1	0000 = 1.0× buffer current 0001 = 1.5× buffer current 0010 = 2.0× buffer current (default for AD9690-500) 0011 = 2.5× buffer current 0100 = 3.0× buffer current (default for AD9690-1000) 0101 = 3.5× buffer current ... 1111 = 8.5× buffer current				0100 = AD9690-1000 0010 = AD9690-500					0x44 for AD9690-1000; 0x22 for AD9690-500	
0x019	Buffer Control 2	0100 = setting 1 0101 = setting 2 (default for AD9690-1000) 0110 = setting 3 (default for AD9690-500) 0111 = setting 4				0	0	0	0		0x50 for AD9690-1000; 0x60 for AD9690-500	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x01A	Buffer Control 3	0	0	0	0	1000 = setting 1 1001 = setting 2 (default for AD9690-1000) 1010 = setting 3 (default for AD9690-500)			0	0x09 for AD9690-1000; 0x0A for AD9690-500	
0x11A	Buffer Control 4	0	0	High frequency setting 0 = OFF (default) 1 = ON	0	0	0	0	0		
0x935	Buffer Control 5	0	0	0	0	0	Low Frequency Operation 0 = off 1 = on (default)	0	0		
0x025	Input full-scale range	0	0	0	0	Full-scale adjust 0000 = 1.94 V 1000 = 1.46 V 1001 = 1.58 V 1010 = 1.70 V (default for AD9690-1000) 1011 = 1.82 V 1100 = 2.06 V (default for AD9690-500)			0x0A for AD9690-1000; 0x0C for AD9690-500	V p-p differential; use in conjunction with Reg. 0x030	
0x030	Input full-scale control	0	0	0	Full-scale control See Table 10 for recommended settings for different frequency bands; default values: AD9690-1000 = 110 AD9690-500 = 001 AD9690-500 = 110 (for <1.82 V)			0	0		Used in conjunction with Reg. 0x025
ADC Function Registers											
0x024	V_IPO control	0	0	0	0	0	0	0	1.0 V reference select 0 = internal 1 = external	0x00	
0x028	Temperature diode	0	0	0	0	0	0	0	Diode selection 0 = no diode selected 1 = temperature diode selected	0x00	Used in conjunction with Reg. 0x040
0x03F	PDWN/STBY pin control	0 = PDWN/STBY enabled 1 = disabled	0	0	0	0	0	0	0	0x00	Used in conjunction with Reg. 0x040
0x040	Chip pin control	PDWN/STBY function 00 = power down 01 = standby 10 = disabled		111 = Reserved			Fast Detect (FD) 000 = Fast Detect output 001 = JESD204B LMFC output 010 = JESD204B internal SYNC~ output 011 = temperature diode 111 = disabled			0x3F	
0x10B	Clock divider	0	0	0	0	0	000 = divide by -1 001 = divide by 2 011 = divide by 4 111 = divide by 8			0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x10C	Clock divider phase	0	0	0	0	Independently controls ADC clock divider phase offset 0000 = 0 input clock cycles delayed 0001 = 1/2 input clock cycles delayed 0010 = 1 input clock cycles delayed 0011 = 1 1/2 input clock cycles delayed 0100 = 2 input clock cycles delayed 0101 = 2 1/2 input clock cycles delayed ... 1111 = 7 1/2 input clock cycles delayed			0x00		
0x10D	Clock divider and SYSREF control	Clock divider auto phase adjust 0 = disabled 1 = enabled	0	0	0	Clock divider negative skew window 00 = no negative skew 01 = 1 device clock of negative skew 10 = 2 device clocks of negative skew 11 = 3 device clocks of negative skew	Clock divider positive skew window 00 = no positive skew 01 = 1 device clock of positive skew 10 = 2 device clocks of positive skew 11 = 3 device clocks of positive skew		0x00	Clock divider must be >1	
0x117	Clock delay control	0	0	0	0	0	0	0	Clock fine delay adjust enable 0 = disabled 1 = enabled	0x00	Enabling the clock fine delay adjust causes a datapath reset
0x118	Clock fine delay	Clock fine delay adjust[7:0], twos complement coded control to adjust the fine sample clock skew in ~1.7 ps steps ≤ -88 = -151.7 ps skew -87 = -150 ps skew ... 0 = 0 ps skew ... ≥ +87 = +150 ps skew								0x00	Used in conjunction with Reg. 0x0117
0x11C	Clock status	0	0	0	0	0	0	0	0 = no input clock detected 1 = input clock detected	Read only	
0x120	SYSREF± Control 1	0	SYSREF± flag reset 0 = normal operation 1 = flags held in reset	0	SYSREF± transition select 0 = low to high 1 = high to low	CLK± edge select 0 = rising 1 = falling	SYSREF± mode select 00 = disabled 01 = continuous 10 = N shot		0	0x00	
0x121	SYSREF± Control 2	0	0	0	0	SYSREF N-shot ignore counter select 0000 = next SYSREF± only 0001 = ignore the first SYSREF± transitions 0010 = ignore the first two SYSREF± transitions ... 1111 = ignore the first 16 SYSREF± transitions			0x00	Mode select (Reg 0x120, Bits [2:1]) must be N-shot	
0x123	SYSREF± timestamp delay control	SYSREF± timestamp delay, Bits[6:0] 0x00 = no delay 0x01 = 1 clock delay ... 0x7F = 127 clocks delay								0x00	Ignored when Reg. 0x01FF = 0x00
0x128	SYSREF± Status 1	SYSREF± hold status, Register 0x128[7:4], refer to Table 28				SYSREF± setup status, Register 0x128[3:0], refer to Table 28				Read only	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x129	SYSREF± and clock divider status	0	0	0	0	Clock divider phase when SYSREF± was captured 0000 = in-phase 0001 = SYSREF± is ½ cycle delayed from clock 0010 = SYSREF± is 1 cycle delayed from clock 0011 = 1½ input clock cycles delayed 0100 = 2 input clock cycles delayed 0101 = 2½ input clock cycles delayed ... 1111 = 7½ input clock cycles delayed				Read only	
0x12A	SYSREF± counter	SYSREF counter, Bits[7:0] increments when a SYSREF± is captured								Read only	
0x1FF	Chip sync mode							Synchronization mode 00 = normal 01 = timestamp		0x00	
0x200	Chip application mode	0	0	Chip Q ignore 0 = normal (I/Q) 1 = ignore (I – only)	0	0	0	Chip operating mode 00 = full bandwidth mode 01 = DDC 0 on 10 = DDC 0 and DDC 1 on		0x00	
0x201	Chip decimation ratio	0	0	0	0	0	Chip decimation ratio select 000 = full sample rate (decimate = 1) 001 = decimate by 2 010 = decimate by 4 011 = decimate by 8 100 = decimate by 16			0x00	
0x228	Customer offset	Offset adjust in LSBs from +127 to –128 (twos complement format)								0x00	
0x245	Fast detect (FD) control	0	0	0	0	Force FD pin; 0 = normal function; 1 = force to value	Force value of FD pin if force pins is true, this value is output on FD pin	0	Enable fast detect output	0x00	
0x247	FD upper threshold LSB	Fast detect upper threshold, Bits[7:0]								0x00	
0x248	FD upper threshold MSB	0	0	0	Fast detect upper threshold, Bits[12:8]					0x00	
0x249	FD lower threshold LSB	Fast detect lower threshold, Bits[7:0]								0x00	
0x24A	FD lower threshold MSB	0	0	0	Fast detect lower threshold, Bits[12:8]					0x00	
0x24B	FD dwell time LSB	Fast detect dwell time, Bits[7:0]								0x00	
0x24C	FD dwell time MSB	Fast detect dwell time, Bits[15:8]								0x00	
0x26F	Signal monitor synchronization control	0	0	0	0	0	0	Synchronization mode 00 = disabled 01 = continuous 11 = one shot		0x00	Refer to the Signal Monitor section
0x270	Signal monitor control	0	0	0	0	0	0	Peak detector 0 = disabled 1 = enabled	0	0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x271	Signal Monitor Period Register 0	Signal monitor period, Bits[7:0]								0x80	In decimated output clock cycles
0x272	Signal Monitor Period Register 1	Signal monitor period, Bits[15:8]								0x00	In decimated output clock cycles
0x273	Signal Monitor Period Register 2	Signal monitor period, Bits[23:16]								0x00	In decimated output clock cycles
0x274	Signal monitor result control	0	0	0	Result update 1 = update results (self clear)	0	0	0	Result selection 0 = reserved 1 = peak detector	0x01	
0x275	Signal Monitor Result Register 0	Signal monitor result, Bits[7:0] When Register 0x0274[0] = 1, result bits [19:7] = peak detector absolute value [12:0]; result bits [6:0] = 0								Read only	Updated based on Reg. 0x274[4]
0x276	Signal Monitor Result Register 1	Signal monitor result, Bits[15:8]								Read only	Updated based on Reg. 0x274[4]
0x277	Signal Monitor Result Register 1	0	0	0	0	Signal monitor result, Bits[19:16]			Read only	Updated based on Reg. 0x274[4]	
0x278	Signal monitor period counter result	Period count result, Bits[7:0]								Read only	Updated based on Reg. 0x274[4]
0x279	Signal monitor SPORT over JESD204B control	0	0	0	0	0	0	00 = reserved 11 = enable		0x00	
0x27A	SPORT over JESD204B input selection	0	0	0	0	0	0	Peak detector 0 = disabled 1 = enabled	0	0x00	
DDC Function Registers (See the Digital Downconverter (DDC) Section)											
0x300	DDC synch control	0	0	0	DDC NCO soft reset 0 = normal operation 1 = reset	0	0	Synchronization mode (triggered by SYSREF±) 00 = disabled 01 = continuous 11 = 1-shot			

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x310	DDC 0 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 dB gain 1 = 6 dB gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ($f_{ADC}/4$ down-mixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = disabled 1 = enabled	0	Decimation rate select (complex—real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x311	DDC 0 input selection	0	0	0	0	0	0	0	0	0x00	Refer to the DDC section
0x314	DDC 0 frequency LSB	DDC 0 NCO frequency value, Bits[7:0] twos complement								0x00	
0x315	DDC 0 frequency MSB	X	X	X	X	DDC 0 NCO frequency value, Bits[11:8] twos complement				0x00	
0x320	DDC 0 phase LSB	DDC 0 NCO phase value, Bits[7:0] twos complement								0x00	
0x321	DDC 0 phase MSB	X	X	X	X	DDC 0 NCO phase value, Bits[11:8] twos complement				0x00	
0x327	DDC 0 output test mode selection	0	0	0	0	0	0	0	I output test mode enable 0 = disabled 1 = enabled	0x00	Refer to the DDC section
0x330	DDC 1 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 dB gain 1 = 6 dB gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ($f_{ADC}/4$ downmixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = disabled 1 = enabled	0	Decimation rate select (complex—real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x331	DDC 1 input selection	0	0	0	0	0	0	0	0	0x00	Refer to the DDC section
0x334	DDC 1 frequency LSB	DDC 1 NCO frequency value, Bits[7:0] twos complement								0x00	
0x335	DDC 1 frequency MSB	X	X	X	X	DDC 1 NCO frequency value, Bits[11:8] twos complement				0x00	
0x340	DDC 1 phase LSB	DDC 1 NCO phase value, Bits[7:0] twos complement								0x00	
0x341	DDC 1 phase MSB	X	X	X	X	DDC 1 NCO phase value, Bits[11:8] twos complement				0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x347	DDC 1 output test mode selection	0	0	0	0	0	0	0	I output test mode enable 0 = disabled 1 = enabled	0x00	Refer to the DDC section
Digital Outputs and Test Modes											
0x550	ADC test modes	User pattern selection 0 = continuous repeat 1 = single pattern	0	Reset PN long gen 0 = long PN enable 1 = long PN reset	Reset PN short gen 0 = short PN enable 1 = short PN reset	Test mode selection 0000 = off, normal operation 0001 = midscale short 0010 = positive full-scale 0011 = negative full-scale 0100 = alternating checker board 0101 = PN sequence, long 0110 = PN sequence, short 0111 = 1/0 word toggle 1000 = the user pattern test mode (used with Register 0x0550, Bit 7 and user pattern 1, 2, 3, 4 registers) 1111 = ramp output				0x00	
0x551	User Pattern 1 LSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x552	User Pattern 1 MSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x553	User Pattern 2 LSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x554	User Pattern 2 MSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x555	User Pattern 3 LSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x556	User Pattern 3 MSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x557	User Pattern 4 LSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x558	User Pattern 4 MSB	0	0	0	0	0	0	0	0	0x00	Used with Reg. 0x550 and Reg. 0x573
0x559	Output Mode Control 1	0	Converter control Bit 1 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± Only used when CS (Register 0x58F) = 2 or 3			0	Converter control Bit 0 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± Only used when CS (Register 0x58F) = 3			0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x55A	Output Mode Control 2	0	0	0	0	0	Converter control Bit 2 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF Used when CS (Register 0x58F) = 1, 2, or 3		0x00		
0x561	Output mode	0	0	0	0	0	Sample invert 0 = normal 1 = sample invert	Data format select 00 = offset binary 01 = twos complement		0x01	
0x562	Output overrange (OR) clear	0	0	0	0	Virtual Converter 3 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 2 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 1 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 0 OR 0 = OR bit enabled 1 = OR bit cleared	0x00	
0x563	Output OR status	0	0	0	0	Virtual Converter 3 OR 0 = no OR 1 = OR occurred	Virtual Converter 2 OR 0 = no OR 1 = OR occurred	Virtual Converter 1 OR 0 = no OR 1 = OR occurred	Virtual Converter 0 OR 0 = no OR 1 = OR occurred	0x00	Read only
0x56E	JESD204B lane rate control	0	0	0	0 = serial lane rate ≥ 6.25 Gbps and ≤ 12.5 Gbps 1 = serial lane rate must be ≥ 3.125 Gbps and ≤ 6.25 Gbps	0	0	0	0	0x10	
0x56F	JESD204B PLL lock status	PLL lock 0 = not locked 1 = locked	0	0	0	0	0	0	0	0x00	Read only
0x570	JESD204B quick configuration	JESD204B quick configuration L = number of lanes = 2 ^{Register 0x570, Bits[7:6]} M = number of converters = 2 ^{Register 0x570, Bits[5:3]} F = number of octets/Frame = 2 ^{Register 0x570, Bits[2:0]}							0x80 for AD9690-1000; 0x40 for AD9690-500	Refer to Table 26 and Table 27	
0x571	JESD204B Link Mode Control 1	Standby mode 0 = all converter outputs 0 1 = CGS (/K28.5)	Tail bit (t) PN 0 = disable 1 = enable T = N' - N - CS	Long transport layer test 0 = disable 1 = enable	Lane synchronization 0 = disable FACI uses /K28.7/ 1 = enable FACI uses /K28.3/ and /K28.7/	ILAS sequence mode 00 = ILAS disabled 01 = ILAS enabled 11 = ILAS always on test mode		FACI 0 = enabled 1 = disabled	Link control 0 = active 1 = power down	0x14	
0x572	JESD204B Link Mode Control 2	SYNCINB± pin control 00 = normal 10 = ignore SYNCINB± (force CGS) 11 = ignore SYNCINB± (force ILAS/user data)		SYNCIN B± pin invert 0 = active low 1 = active high	SYNCINB ± pin type 0 = differential 1 = CMOS	0	8-bit/10-bit bypass 0 = normal 1 = bypass	8-/10-bit bit invert 0 = normal 1 = invert the abcd efghij symbols	0	0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x573	JESD204B Link Mode Control 3	CHKSUM mode 00 = sum of all 8-bit link config registers 01 = sum of individual link config fields 10 = checksum set to zero		Test injection point 00 = N' sample input 01 = 10-bit data at 8-bit/10-bit output (for PHY testing) 10 = 8-bit data at scrambler input					JESD204B test mode patterns 0000 = normal operation (test mode disabled) 0001 = alternating checker board 0010 = 1/0 word toggle 0011 = 31-bit PN sequence— $X^{31} + X^{28} + 1$ 0100 = 23-bit PN sequence— $X^{23} + X^{18} + 1$ 0101 = 15-bit PN sequence— $X^{15} + X^{14} + 1$ 0110 = 9-bit PN sequence— $X^9 + X^5 + 1$ 0111 = 7-bit PN sequence— $X^7 + X^6 + 1$ 1000 = ramp output 1110 = continuous/repeat user test 1111 = single user test	0x00	
0x574	JESD204B Link Mode Control 4	ILAS delay 0000 = transmit ILAS on first LMFC after SYNCINB± deasserted 0001 = transmit ILAS on second LMFC after SYNCINB± deasserted ... 1111 = transmit ILAS on 16 th LMFC after SYNCINB± deasserted				0			Link layer test mode 000 = normal operation (link layer test mode disabled) 001 = continuous sequence of /D21.5/ characters 100 = modified RPAT test sequence 101 = JSPAT test sequence 110 = JTSPAT test sequence	0x00	
0x578	JESD204B LMFC offset	0	0	0	LMFC phase offset value[4:0]					0x00	
0x580	JESD204B DID config	JESD204B Tx DID value[7:0]								0x00	
0x581	JESD204B BID config	0	0	0	0	JESD204B Tx BID value, Bits[3:0]				0x00	
0x583	JESD204B LID Config 1	0	0	0	Lane 0 LID value, Bits[4:0]					0x00	
0x584	JESD204B LID Config 2	0	0	0	Lane 1 LID value, Bits[4:0]					0x01	
0x585	JESD204B LID Config 3	0	0	0	Lane 2 LID value, Bits[4:0]					0x01	
0x586	JESD204B LID Config 4	0	0	0	Lane 3 LID value, Bits[4:0]					0x03	
0x58B	JESD204B parameters SCR/L	JESD204B scrambling (SCR) 0 = disabled 1 = enabled	0	0	0	0	0	JESD204B lanes (L) 00 = 1 lane 01 = 2 lanes 11 = 4 lanes Read only, see Register 0x570		0x8X	
0x58C	JESD204B F config	Number of octets per frame, F = Register 0x58C[7:0] + 1								0x88	Read only, see Reg. 0x570
0x58D	JESD204B K config	0	0	0	Number of frames per multiframe, K = Register 0x58D[4:0] + 1. Only values where (F × K) mod 4 = 0 are supported					0x1F	See Reg. 0x570
0x58E	JESD204B M config	Number of converters per link[7:0] 0x00 = link connected to one virtual converter (M = 1) 0x01 = link connected to two virtual converters (M = 2) 0x03 = link connected to four virtual converters (M = 4)									Read only
0x58F	JESD204B CS/N config	Number of control bits (CS) per sample 00 = no control bits (CS = 0) 01 = 1 control bit (CS = 1); Control Bit 2 only 10 = 2 control bits (CS = 2); Control Bit 2 and 1 only 11 = 3 control bits (CS = 3); all control bits (2, 1, 0)		0	ADC converter resolution (N) 0x0D = 14-bit resolution 0x0F = 16-bit resolution						

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes	
0x590	JESD204B N' config	0	0	Subclass support (Subclass V) 0 = Subclass 0 (no deterministic latency) 1 = Subclass 1	ADC number of bits per sample (N') 0x7 = 8 bits 0xF = 16 bits					0x2F		
0x591	JESD204B S config	0	0	1	Samples per converter frame cycle (S) S value = Register 0x591[4:0] + 1						Read only	
0x592	JESD204B HD and CF config	HD value 0 = disabled 1 = enabled	0	0	Control words per frame clock cycle per link (CF) CF value = Register 0x592, Bits[4:0]					0x80	Read only	
0x5A0	JESD204B CHKSUM 0	CHKSUM value for SERDOUT0±, Bits[7:0]								0x81	Read only	
0x5A1	JESD204B CHKSUM 1	CHKSUM value for SERDOUT1±, Bits[7:0]								0x82	Read only	
0x5A2	JESD204B CHKSUM 2	CHKSUM value for SERDOUT2±, Bits[7:0]								0x82	Read only	
0x5A3	JESD204B CHKSUM 3	CHKSUM value for SERDOUT3±, Bits[7:0]								0x84	Read only	
0x5B0	JESD204B lane power-down	1	SERD-OUT3± 0 = on 1 = off	1	SERD-OUT2± 0 = on 1 = off	1	SERD-OUT1± 0 = on 1 = off	1	SERD-OUT0± 0 = on 1 = off	0xAA		
0x5B2	JESD204B lane SERDOUT0 ± assign	X	X	X	X	0	SERDOUT0± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x00		
0x5B3	JESD204B lane SERDOUT1 ± assign	X	X	X	X	0	SERDOUT1± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x11		
0x5B5	JESD204B lane SERDOUT2 ± assign	X	X	X	X	0	SERDOUT2± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x22		
0x5B6	JESD204B lane SERDOUT3 ± assign	X	X	X	X	0	SERDOUT3± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x33		
0x5BF	JESD serializer drive adjust	0	0	0	0	Swing voltage 0000 = 237.5 mV 0001 = 250 mV 0010 = 262.5 mV 0011 = 275 mV 0100 = 287.5 mV 0101 = 300 mV 0110 = 312.5 mV 0111 = 325 mV 1000 = 337.5 mV 1001 = 350 mV 1010 = 362.5 mV 1011 = 375 mV 1100 = 387.5 mV 1101 = 400 mV 1110 = 412.5 mV 1111 = 425 mV						

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x5C1	De-emphasis select	0	SERD-OUT3± 0 = disable 1 = enable	0	SERD-OUT2± 0 = disable 1 = enable	0	SERDOUT1± 0 = disable 1 = enable	0	SERDOUT0± 0 = disable 1 = enable	0x00	
0x5C2	De-emphasis setting for SERDOUT0±	0	0	0	0	SERDOUT0± de-emphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C3	De-emphasis setting for SERDOUT1±	0	0	0	0	SERDOUT1± de-emphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C4	De-emphasis setting for SERDOUT2±	0	0	0	0	SERDOUT2± de-emphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C5	De-emphasis setting for SERDOUT3±	0	0	0	0	SERDOUT3± de-emphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	

アプリケーション情報

電源の推奨事項

AD9690 には、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.80 V の 7 種類の電源を供給する必要があります。最適な電力効率と低ノイズ性能を必要とするアプリケーションでは、スイッチング・レギュレータ [ADP2164](#) および [ADP2370](#) を使用して 3.3 V、5.0 V、12 V 入力レールを中間レール(1.8 V および 3.8 V) に変換することが推奨されます。これらの中間レールをさらに非常に低いノイズの低ドロップアウト (LDO) レギュレータ ([ADP1741](#)、[ADM7172](#)、[ADP125](#)) でレギュレーションします。図 114 に、AD9690 に対する推奨電源方式を示します。

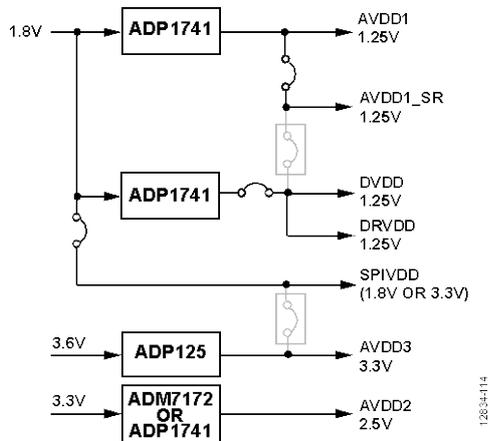


図 114. AD9690 に対する高効率低ノイズの電源ソリューション

これらすべての電源供給領域をすべての場合において分離する必要はありません。図 114 の推奨ソリューションは、AD9690 に対する最小ノイズ最大効率の電源システムです。1.25 V のみの 1 種類の電源を使用する場合は、先に AVDD1 に接続し、そこから分岐して AVDD1_SR、DVDD、DRVDD 用にこの順に、デカップリング・コンデンサを接続し、その後ろにフェラライト・ビードまたはフィルタ・チョーク・コイルでアイソレーションする必要があります。これを図 114 にオプション接続として示します。高周波と低周波をカバーするために、種類の異なる複数のデカップリング・コンデンサを使います。これらのコンデンサは PCB からの入り口の近くで、かつ最短パターン長でデバイスの近くに配置する必要があります。

エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

AD9690 の最適な電気性能と放熱性能を得るためには、ADC の下側のエクスポーズド・パッド (金属露出面) を AGND に接続することが必要です。PCB の連続したエクスポーズド銅プレーンを AD9690 のエクスポーズド・パッド(ピン 0)に接続してくだ

さい。銅のプレーンには、PCB 裏面までの最小熱抵抗パスを実現するために複数のビアを設ける必要があります。これらのビアは、ハンダで埋めるかプラグを挿入する必要があります。ビア数とその埋め方により、ボード上で測定する θ_{JA} が決まります (表 7 参照)。

ADC と PCB との接触面積と接着を最大にするため、PCB をシルクスクリーンで覆い、PCB の連続な銅プレーンを複数の均一なセクションに分割してください。これにより、リフロー処理時に ADC と PCB の間に複数の接続ポイントができます。これに対して分割のない 1 つの連続プレーンを使うと接続ポイントが 1 箇所になってしまいます。PCB レイアウト例については、図 115 を参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、アプリケーション・ノート [AN-772](#) 「リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド」を参照してください。

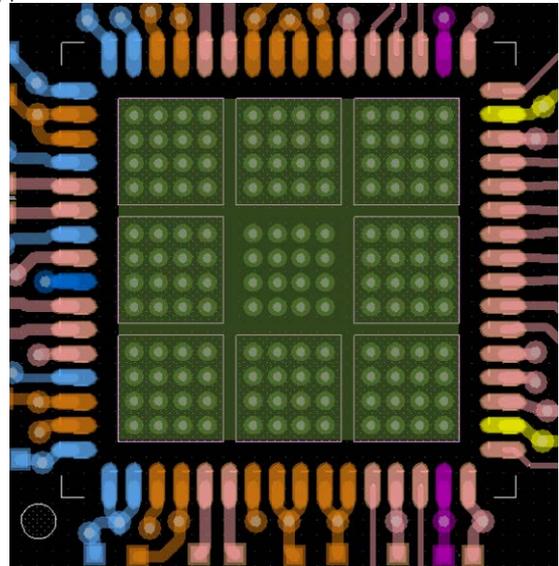


図 115. AD9690 のエクスポーズド・パッドに対する推奨 PCB レイアウト

AVDD1_SR (ピン 57) と AGND (ピン 56 およびピン 60)

AVDD1_SR (ピン 57) と AGND (ピン 56 およびピン 60) を使って、AD9690 の SYSREF \pm 回路に対して別々の電源ノードを提供することができます。AD9690 はサブクラス 1 で動作する場合、周期的なワンショットまたはギャップのある信号をサポートすることができます。この電源から AVDD1 電源ノードへの混入を小さくするため、十分な電源バイパスが必要です。

外形寸法

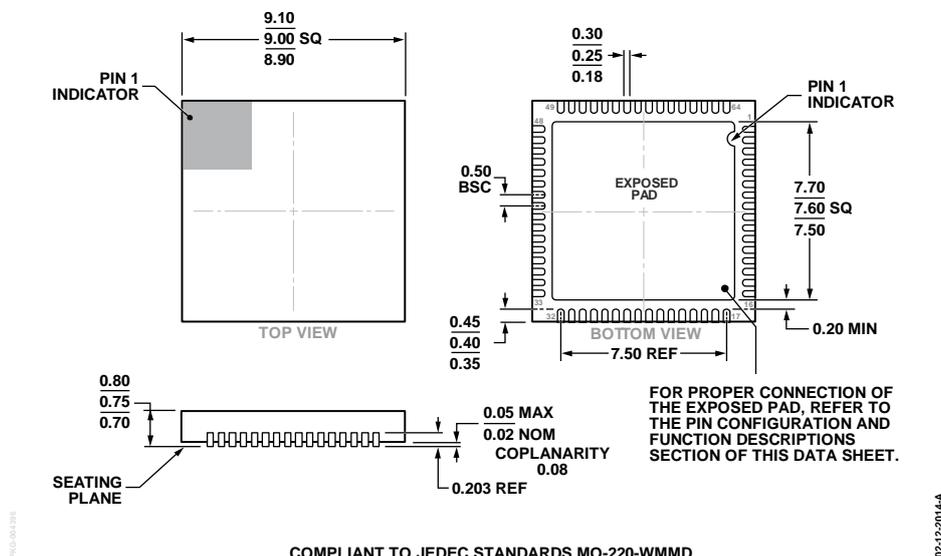


図 116.64 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ]
 9 mm × 9 mm ボディ、極薄クワッド
 (CP-64-15)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9690BCPZ-1000	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9690BCPZ-500	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9690BCPZRL7-1000	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9690BCPZRL7-500	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9690-1000EBZ		Evaluation Board for AD9690-1000 ²	
AD9690-500EBZ		Evaluation Board for AD9690-500 ²	

¹ Z = RoHS 準拠製品。

² アナログ入力周波数の全範囲で最適化されています。