



# 14ビット、170 MSPS/250 MSPS、JESD204B、 A/D コンバータ

## データシート

## AD9683

### 特長

- JESD204B サブクラス 0 またはサブクラス 1 符号化のシリアル・デジタル出力
- 信号対ノイズ比 (SNR) = 185 MHz  $A_{IN}$  かつ 250 MSPS で 70.6 dBFS
- スプリアスフリー・ダイナミックレンジ (SFDR) = 185 MHz  $A_{IN}$  かつ 250 MSPS で 88 dBc
- 総合消費電力: 250 MSPS で 434 mW
- 電源電圧: 1.8 V
- 入カクロック分周器(1~8 分周)を内蔵
- サンプル・レート: 最大 250 MSPS
- IF サンプリグ周波数: 最大 400 MHz
- A/D コンバータ (ADC) のリファレンス電圧を内蔵
- 柔軟なアナログ入力範囲  
1.4 V p-p ~ 2.0 V p-p (公称 1.75 V p-p)
- ADC クロック・デューティ・サイクル・スタビライザ (DCS) を内蔵
- シリアル・ポート制御
- 省電力のパワーダウン・モード

### アプリケーション

#### 通信

- ダイバーシティー無線システム
- マルチモード・デジタル・レシーバ(3G)  
TD-SCDMA、WiMAX、W-CDMA、CDMA2000、GSM、EDGE、LTE
- DOCSIS 3.0 CMTS アップストリーム受信パス
- HFC デジタル逆方向パス・レシーバ
- スマート・アンテナ・システム
- テスト装置と計測装置
- レーダー・レシーバ
- COMSEC ラジオ・アーキテクチャ
- IED 検出/ジャミング・システム
- 汎用ソフトウェア無線
- ブロードバンド・データ・アプリケーション
- 超音波装置

### 機能ブロック図

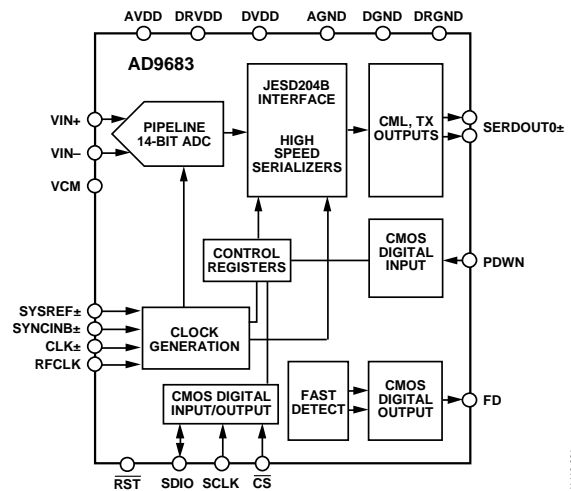


図 1.

### 概要

AD9683 は、サンプリグ速度が最大 250 MSPS の 14 ビット A/D コンバータ(ADC)です。AD9683 は、低価格、小型、広帯域、多機能が必要とされる通信アプリケーションをサポートするようにデザインされています。

ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。ADC コアは、ユーザー選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが容易です。デューティ・サイクル・スタビライザ (DCS)は、クロック・デューティ・サイクルの変動を補償して、優れた性能を維持します。JESD204B 高速シリアル・インターフェースは、ボード配線条件を緩和し、受信デバイスのピン数を削減します。

ADC 出力データは、直接 JESD204B シリアル出力レーンに接続されます。これらの出力は、CML 電圧レベルです。データは 250 MSPS の最大サンプリグ・レートのレーンを使って送信することができるため、レーン・レートは 5 Gbps になります。同期化入力 (SYNCINB± と SYSREF±)を備えています。

## 目次

特長.....	1	デジタル出力.....	24
アプリケーション.....	1	JESD204B 送信最上位レベルの説明.....	24
機能ブロック図.....	1	ADC オーバーレンジとゲインの制御.....	29
概要.....	1	DC 補正 (DCC).....	31
改訂履歴.....	2	DC 補正帯域幅.....	31
製品のハイライト.....	3	DC 補正のリードバック.....	31
仕様.....	4	DC 補正のフリーズ.....	31
ADC の DC 仕様.....	4	DC 補正イネーブル・ビット.....	31
ADC の AC 仕様.....	5	シリアル・ポート・インターフェース(SPI).....	32
デジタル仕様.....	6	SPI を使う設定.....	32
スイッチング仕様.....	8	ハードウェア・インターフェース.....	32
タイミング仕様.....	9	SPI からアクセス可能な機能.....	33
絶対最大定格.....	10	メモリ・マップ.....	34
熱特性.....	10	メモリ・マップ・レジスタ・テーブルの読出し.....	34
ESD の注意.....	10	メモリ・マップ・レジスタ・テーブル.....	35
ピン配置およびピン機能説明.....	11	メモリ・マップ・レジスタの説明.....	38
代表的な性能特性.....	13	アプリケーション情報.....	43
等価回路.....	18	デザイン・ガイドライン.....	43
動作原理.....	19	外形寸法.....	44
ADC のアーキテクチャ.....	19	オーダー・ガイド.....	44
アナログ入力に対する考慮.....	19		
リファレンス電圧.....	20		
クロック入力の考慮事項.....	21		
消費電力とスタンバイ・モード.....	23		

## 改訂履歴

## 2/14—Rev. 0 to Rev. A

Changes to Data Output Parameters, Table 4.....	8
Changes to Figure 3.....	9

## 4/13—Revision 0: Initial Version

柔軟なパワーダウン・オプションは、必要に応じて大幅な省電力を可能にします。プログラマブルな範囲外レベル検出を専用高速検出ピンを使ってサポートしています。

設定と制御は、3線式 SPI 互換シリアル・インターフェースを介して行います。

AD9683 は 32 ピン LFCSP パッケージを採用し、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  の工業用温度範囲で仕様が規定されています。このデバイスは、米国特許により保護されています。

## 製品のハイライト

1. 14 ビット、170 MSPS/250 MSPS の ADC を内蔵。
2. 設定可能な JESD204B 出力ブロックにより最大 5 Gbps のレーン・レートをサポート。
3. 位相ロック・ループ (PLL) を内蔵しているため、1 つの ADC サンプルング・クロックを入力するだけで、PLL が ADC サンプルング・クロックを逡倍して対応する JESD204B データレート・クロックを発生します。
4. システム・ボード・デザインを容易にするためオプションの RF クロック入力をサポート
5. 当社独自の差動入力により、最大 400 MHz までの入力周波数で優れた SNR 性能を維持。
6. 1.8 V 単電源動作。
7. クロック DCS、パワーダウン、テスト・モード、リファレンス電圧モード、範囲外高速検出、シリアル出力構成の制御など、種々の製品機能をサポートする標準シリアル・ポート・インターフェース (SPI) を内蔵。

## 仕様

## ADC の DC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度グレードに対する最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.75 V p-p フルスケール入力範囲、デューティ・サイクル・スタビライザをイネーブル、デフォルト SPI。

表 1.

Parameter	Temperature	AD9683-170			AD9683-250			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY								
No Missing Codes	Full	Guaranteed			Guaranteed			
Offset Error	Full			±9			±9	mV
Gain Error	Full			-6.6/-0.3			-5.3/+1.2	%FSR
Differential Nonlinearity (DNL)	Full			±0.8			±0.75	LSB
	25°C			±0.5			±0.5	LSB
Integral Nonlinearity (INL) <sup>1</sup>	Full			±1.6			±2.7	LSB
	25°C			±0.8			±1.5	LSB
TEMPERATURE DRIFT								
Offset Error	Full			±7			±7	ppm/°C
Gain Error	Full			±13			±39	ppm/°C
INPUT REFERRED NOISE								
VREF = 1.75 V	25°C			1.38			1.42	LSB rms
ANALOG INPUT								
Input Span	Full			1.75			1.75	V p-p
Input Capacitance <sup>2</sup>	Full			2.5			2.5	pF
Input Resistance <sup>3</sup>	Full			20			20	kΩ
Input Common-Mode Voltage	Full			0.9			0.9	V
POWER SUPPLIES								
Supply Voltage								
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I <sub>AVDD</sub>	Full		135	151		149	163	mA
I <sub>DRVDD</sub> + I <sub>DVDD</sub>	Full		68	73		92	97	mA
POWER CONSUMPTION								
Sine Wave Input	Full		365	403		434	468	mW
Standby Power <sup>4</sup>	Full		221			266		mW
Power-Down Power <sup>5</sup>	Full		9			9		mW

<sup>1</sup> 低入力周波数のフルスケール正弦波で測定。

<sup>2</sup> 入力容量は、1つの差動入力ピンとその相補入力との間の実効容量です。

<sup>3</sup> 入力抵抗は、1つの差動入力ピンとその相補入力との間の実効抵抗です。

<sup>4</sup> スタンバイ消費電力は、低周波数のフルスケール正弦波を入力し、CLK±ピンをアクティブにして測定。アドレス 0x08 に 0x20 を設定し、PDWN ピンをアサート。

<sup>5</sup> パワーダウン消費電力は、低周波数のフルスケール正弦波を入力し、RFCLK をハイ・レベルにし、CLK±ピンをアクティブにして測定。アドレス 0x08 に 0x00 を設定し、PDWN ピンをアサート。

## ADC の AC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度グレードに対する最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.75 V p-p フルスケール入力範囲、デフォルト SPI。

表 2.

Parameter <sup>1</sup>	Temperature	AD9683-170			AD9683-250			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)								
f <sub>IN</sub> = 30 MHz	25°C		72.3			72.1		dBFS
f <sub>IN</sub> = 90 MHz	25°C		72.0			71.7		dBFS
	Full	71						dBFS
f <sub>IN</sub> = 140 MHz	25°C		71.3			71.3		dBFS
f <sub>IN</sub> = 185 MHz	25°C		70.5			70.6		dBFS
	Full				70.0			dBFS
f <sub>IN</sub> = 220 MHz	25°C		70.0			70.0		dBFS
SIGNAL-TO-NOISE AND DISTORTION (SINAD)								
f <sub>IN</sub> = 30 MHz	25°C		71.3			70.9		dBFS
f <sub>IN</sub> = 90 MHz	25°C		70.8			70.6		dBFS
	Full	69.9						dBFS
f <sub>IN</sub> = 140 MHz	25°C		70.2			70.1		dBFS
f <sub>IN</sub> = 185 MHz	25°C		69.5			69.5		dBFS
	Full				68.7			dBFS
f <sub>IN</sub> = 220 MHz	25°C		68.8			68.7		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)								
f <sub>IN</sub> = 30 MHz	25°C		11.5			11.5		Bits
f <sub>IN</sub> = 90 MHz	25°C		11.5			11.4		Bits
f <sub>IN</sub> = 140 MHz	25°C		11.4			11.4		Bits
f <sub>IN</sub> = 185 MHz	25°C		11.3			11.3		Bits
f <sub>IN</sub> = 220 MHz	25°C		11.1			11.1		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
f <sub>IN</sub> = 30 MHz	25°C		94			87		dBc
f <sub>IN</sub> = 90 MHz	25°C		89			86		dBc
	Full	81						dBc
f <sub>IN</sub> = 140 MHz	25°C		94			87		dBc
f <sub>IN</sub> = 185 MHz	25°C		89			88		dBc
	Full				80			dBc
f <sub>IN</sub> = 220 MHz	25°C		87			86		dBc
WORST SECOND OR THIRD HARMONIC								
f <sub>IN</sub> = 30 MHz	25°C		-94			-87		dBc
f <sub>IN</sub> = 90 MHz	25°C		-89			-86		dBc
	Full			-81				dBc
f <sub>IN</sub> = 140 MHz	25°C		-94			-87		dBc
f <sub>IN</sub> = 185 MHz	25°C		-89			-88		dBc
	Full						-80	dBc
f <sub>IN</sub> = 220 MHz	25°C		-87			-86		dBc
WORST OTHER (HARMONIC OR SPUR)								
f <sub>IN</sub> = 30 MHz	25°C		-99			-95		dBc
f <sub>IN</sub> = 90 MHz	25°C		-92			-94		dBc
	Full			-83				dBc
f <sub>IN</sub> = 140 MHz	25°C		-96			-94		dBc
f <sub>IN</sub> = 185 MHz	25°C		-94			-93		dBc
	Full						-82	dBc
f <sub>IN</sub> = 220 MHz	25°C		-95			-92		dBc

Parameter <sup>1</sup>	Temperature	AD9683-170			AD9683-250			Unit
		Min	Typ	Max	Min	Typ	Max	
TWO-TONE SFDR								
$f_{IN1} = 184.12 \text{ MHz} (-7 \text{ dBFS}), f_{IN2} = 187.12 \text{ MHz} (-7 \text{ dBFS})$	25°C		87			87		dBc
FULL POWER BANDWIDTH <sup>2</sup>	25°C		1000			1000		MHz

<sup>1</sup> 完全な定義については [AN-835](#) アプリケーション・ノート「*Understanding High Speed ADC Testing and Evaluation*」を参照してください。

<sup>2</sup> フルパワー帯域幅は、基本周波数のスペクトル電力が 3 dB 低下する点で決定される動作帯域幅。

## デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度グレードに対する最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.75 V p-p フルスケール入力範囲、DCS をイネーブル、デフォルト SPI。

表 3.

Parameter	Temperature	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Input CLK± Clock Rate	Full	40		625	MHz
Logic Compliance			CMOS/LVDS/LVPECL		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND		AVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	0		+60	μA
Low Level Input Current	Full	-60		0	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
RF CLOCK INPUT (RFCLK)					
RF Clock Rate	Full	625		1500	MHz
Logic Compliance			CMOS/LVDS/LVPECL		
Internal Bias	Full		0.9		V
Input Voltage Range	Full	AGND		AVDD	V
High Input Voltage Level	Full	1.2		AVDD	V
Low Input Voltage Level	Full	AGND		0.6	V
High Level Input Current	Full	0		+150	μA
Low Level Input Current	Full	-150		0	μA
Input Capacitance	Full		1		pF
Input Resistance (AC-Coupled)	Full	8	10	12	kΩ
SYNCIN INPUTS (SYNCIN+/SYNCINB-)					
Logic Compliance			CMOS/LVDS		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage Range	Full	0.3		3.6	V p-p
Input Voltage Range	Full	DGND		DVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	-5		+5	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full		1		pF
Input Resistance	Full	12	16	20	kΩ

Parameter	Temperature	Min	Typ	Max	Unit
SYSREF INPUTS (SYSREF+/SYSREF-)					
Logic Compliance			LVDS		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage Range	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND		AVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	-5		+5	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
LOGIC INPUT (RST) <sup>1</sup>					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-5		+5	μA
Low Level Input Current	Full	-100		-45	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUTS (SCLK, PDWN, CS <sup>2</sup> ) <sup>3</sup>					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		100	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT (SDIO) <sup>3</sup>					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		100	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS (SERDOUT0+/SERDOUT0-)					
Logic Compliance			CML		
Differential Output Voltage (V <sub>OD</sub> )	Full	400	600	750	mV
Output Offset Voltage (V <sub>OS</sub> )	Full	0.75	DRVDD/2	1.05	V
DIGITAL OUTPUTS (SDIO/FD) <sup>4</sup>					
High Level Output Voltage (V <sub>OH</sub> )					
I <sub>OH</sub> = 50 μA	Full	1.79			V
I <sub>OH</sub> = 0.5 mA	Full	1.75			V
I <sub>OH</sub> = 2.0 mA	Full	1.6			V
Low Level Output Voltage (V <sub>OL</sub> )					
I <sub>OL</sub> = 2.0 mA	Full			0.25	V
I <sub>OL</sub> = 1.6 mA	Full			0.2	V
I <sub>OL</sub> = 50 μA	Full			0.05	V

<sup>1</sup> プルアップ。

<sup>2</sup> このピンには外付けプルアップが必要です。

<sup>3</sup> プルダウン。

<sup>4</sup> JEDEC 標準 JESD8-7A と互換。

## スイッチング仕様

表 4.

Parameter	Symbol	Temperature	AD9683-170			AD9683-250			Unit
			Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS									
Conversion Rate <sup>1</sup>	$f_s$	Full	40		170	40		250	MSPS
SYSREF± Setup Time to Rising Edge CLK± <sup>2</sup>	$t_{REFS}$	Full		300			300		ps
SYSREF± Hold Time from Rising Edge CLK± <sup>2</sup>	$t_{REFH}$	Full		40			40		ps
SYSREF± Setup Time to Rising Edge RFCLK± <sup>2</sup>	$t_{REFSRF}$	Full		400			400		ps
SYSREF± Hold Time from Rising Edge RFCLK± <sup>2</sup>	$t_{REFHRF}$	Full		0			0		ps
CLK± Pulse Width High	$t_{CH}$								
Divide-by-1 Mode, DCS Enabled		Full	2.61	2.9	3.19	1.8	2.0	2.2	ns
Divide-by-1 Mode, DCS Disabled		Full	2.76	2.9	3.05	1.9	2.0	2.1	ns
Divide-by-2 Mode Through Divide-by-8 Mode		Full	0.8			0.8			ns
Aperture Delay	$t_A$	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter)	$t_J$	Full		0.16			0.16		ps rms
DATA OUTPUT PARAMETERS									
Data Output Period or Unit Interval (UI)		Full		$20 \times f_s$			$20 \times f_s$		Seconds
Data Output Duty Cycle		25°C		50			50		%
Data Valid Time		25°C		0.82			0.78		UI
PLL Lock Time	$t_{LOCK}$	25°C		25			25		μs
Wake-Up Time									
Standby		25°C		10			10		μs
ADC (Power-Down) <sup>3</sup>		25°C		250			250		μs
Output (Power-Down) <sup>4</sup>		25°C		50			50		μs
Subclass 0: SYNCINB± Falling Edge to First Valid K.28 Characters (Delay Required for Rx CGS Start)		Full		5			5		Multiframe
Subclass 1: SYSREF± Rising Edge to First Valid K.28 Characters (Delay Required for SYNCINB± Rising Edge/Rx CGS Start)		Full		6			6		Multiframe
CGS Phase K.28 Characters Duration		Full		1			1		Multiframe
Pipeline Delay									
JESD204B (Latency)		Full		36			36		Cycles <sup>5</sup>
Fast Detect (Latency)		Full		7			7		Cycles <sup>5</sup>
Lane Rate		Full		3.4	5			5	Gbps
Uncorrelated Bounded High Probability (UBHP) Jitter		Full		10			12		ps
Random Jitter									
At 3.4 Gbps		Full		2.4					ps rms
At 5 Gbps		Full					1.7		ps rms
Output Rise/Fall Time		Full		60			60		ps
Differential Termination Resistance		25°C		100			100		Ω
Out-of-Range Recovery Time		Full		3			3		Cycles <sup>5</sup>

<sup>1</sup> 変換レートは分周後のクロック・レートです。<sup>2</sup> タイミングについては、図 3 を参照してください。<sup>3</sup> ウェイクアップ時間 ADC は、ADC がパワーダウン・モードから通常動作へ戻るために要する時間として定義されます。<sup>4</sup> ウェイクアップ時間出力は、JESD204B 出力がパワーダウン・モードから通常動作へ戻るために要する時間として定義されます。<sup>5</sup> サイクルとは、ADC 変換レート・サイクルです。



タイミング仕様

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SPI TIMING REQUIREMENTS</b>					
	See Figure 67				
$t_{DS}$	Setup time between the data and the rising edge of SCLK	2			ns
$t_{DH}$	Hold time between the data and the rising edge of SCLK	2			ns
$t_{CLK}$	Period of the SCLK	40			ns
$t_s$	Setup time between $\overline{CS}$ and SCLK	2			ns
$t_h$	Hold time between $\overline{CS}$ and SCLK	2			ns
$t_{HIGH}$	Minimum period that SCLK must be in a logic high state	10			ns
$t_{LOW}$	Minimum period that SCLK must be in a logic low state	10			ns
$t_{EN\_SDIO}$	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in figures)	10			ns
$t_{DIS\_SDIO}$	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in figures)	10			ns
$t_{SPI\_RST}$	Time required after hard or soft reset until SPI access is available (not shown in figures)	500			$\mu s$

タイミング図

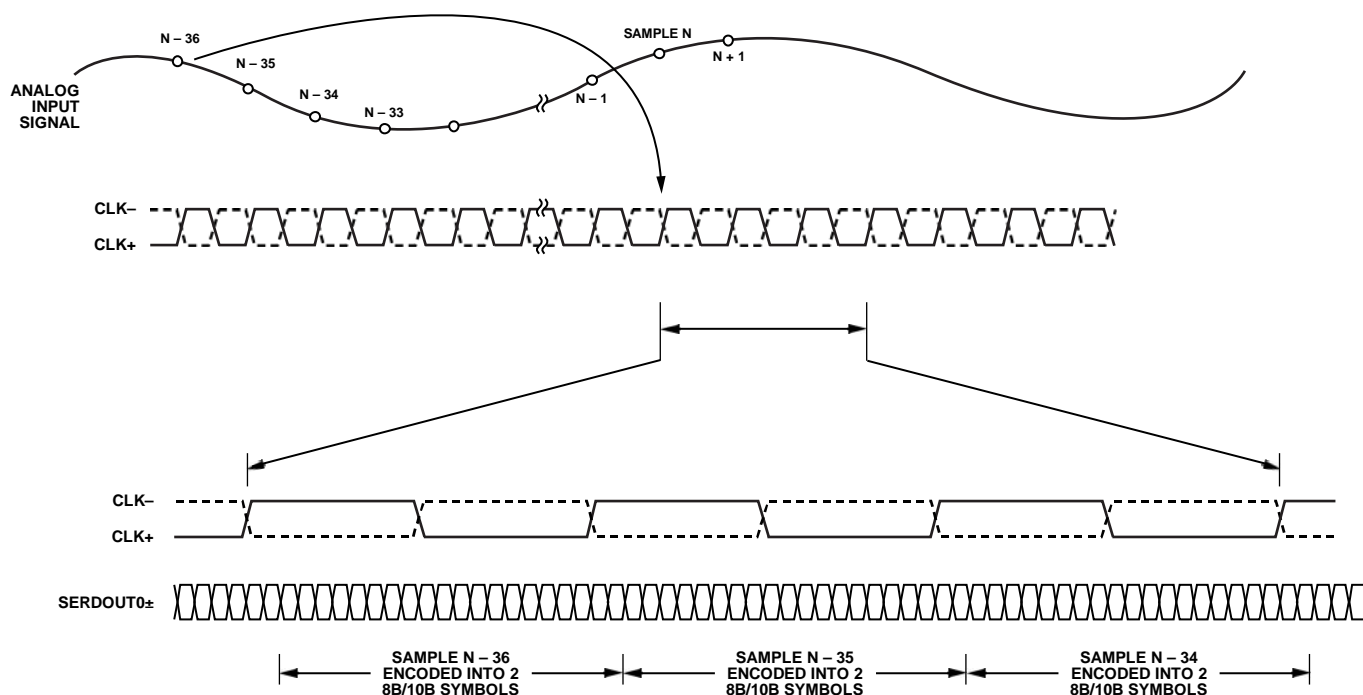
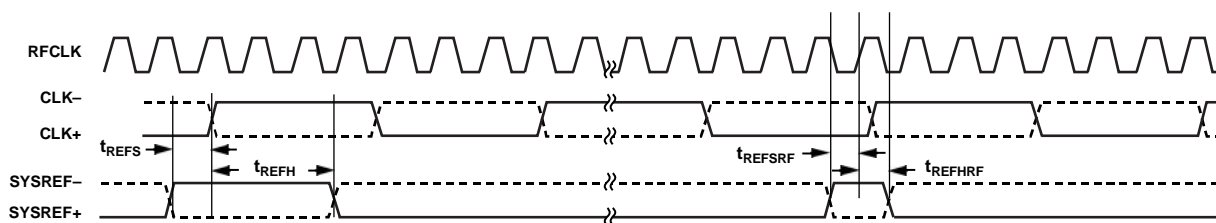


図 2. Data 出力タイミング



NOTES  
1. CLOCK INPUT IS EITHER RFCLK OR CLK±, NOT BOTH.

図 3. SYSREF±のセットアップとホールド・タイミング  
(クロック入力 は RFCLK または CLK± の両方ではなく、いずれか一方)

## 絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +2.0 V
DVDD to DGND	-0.3 V to +2.0 V
VIN+, VIN- to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to AVDD + 0.2 V
RFCLK to AGND	-0.3 V to AVDD + 0.2 V
VCM to AGND	-0.3 V to AVDD + 0.2 V
$\overline{\text{CS}}$ , PDWN to DGND	-0.3 V to DVDD + 0.3 V
SCLK to DGND	-0.3 V to DVDD + 0.3 V
SDIO to DGND	-0.3 V to DVDD + 0.3 V
$\overline{\text{RST}}$ to DGND	-0.3 V to DVDD + 0.3 V
FD to DGND	-0.3 V to DVDD + 0.3 V
SERDOUT0+, SERDOUT0- to AGND	-0.3 V to DRVDD + 0.3 V
SYNCINB+, SYNCINB- to DGND	-0.3 V to DVDD + 0.3 V
SYSREF+, SYSREF- to AGND	-0.3 V to AVDD + 0.3 V
Environmental	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱特性

LFCSP パッケージのエクスポーズド・パッドは、グラウンド・プレーンにハンダ付けする必要があります。エクスポーズド・パッドをグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 7.熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}$ <sup>1,2</sup>	$\theta_{JC}$ <sup>1,3,4</sup>	$\theta_{JB}$ <sup>1,4,5</sup>	Unit
32-Lead LFCSP 5 mm × 5 mm (CP-32-12)	0	37.1	3.1	20.7	°C/W
	1.0	32.4	N/A	N/A	°C/W
	2.5	29.1	N/A	N/A	°C/W

<sup>1</sup> JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。

<sup>2</sup> JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

<sup>3</sup> MIL-STD-883, Method 1012.1 に準拠。

<sup>4</sup> N/A = 該当しません。

<sup>5</sup> JEDEC JESD51-8 (自然空冷) に準拠。

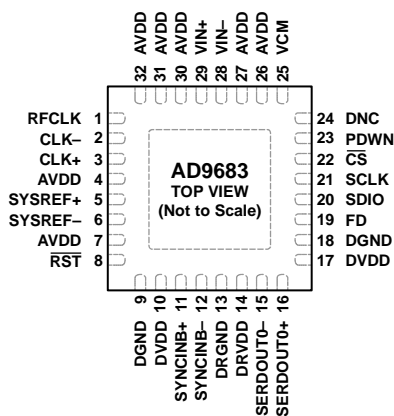
$\theta_{JA}(\text{typ})$  は、厚いグラウンド・プレーンを持つ 4 層プリント回路ボード (PCB) に対して規定します。表 7 に示すように、空気流を与えると熱放散が大きくなるので、 $\theta_{JA}$  が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても  $\theta_{JA}$  が小さくなります。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDD. THIS EXPOSED PAD MUST BE CONNECTED TO AGND FOR PROPER OPERATION.

11410-004

図 4. ピン配置 (上面図)

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
ADC 電源 4、7、26、27、30、31、32 10、17 9、18 13 14 24	AVDD DVDD DGND DRGND DRVDD DNC EPAD (AGND)	電源 電源 グラウンド グラウンド 電源 グラウンド	アナログ電源(公称 1.8 V)。 デジタル電源(公称 1.8 V)。 DVDD のグラウンド基準。 DRVDD のグラウンド基準。 JESD204B PHY シリアル出力ドライバの電源(公称 1.8 V)。DRVDD 電源は AGND プレーンを基準とすることに注意。 接続なし。 エクスポーズド・パッド。パッケージ底面のエクスポーズド・サーマル・パッドは、AVDD のグラウンド基準になります。このエクスポーズド・パッドは AGND へ接続する必要があります。
ADC アナログ 1 2 3 25 28 29	RFCLK CLK- CLK+ VCM VIN- VIN+	入力 入力 入力 出力 入力 入力	ADC RF クロック入力。 ADC ナイキスト・クロック入力—相補。 ADC ナイキスト・クロック入力—真。 アナログ入力の同相モード・レベル・バイアス出力。このピンは、0.1 μF のコンデンサでグラウンドへデカップリングしてください。 差動アナログ入力 (-)。 差動アナログ入力 (+)。
ADC 高速検出出力 19	FD	出力	高速検出インジケータ (CMOS レベル)。
デジタル入力 5 6 11 12	SYSREF+ SYSREF- SYNCINB+ SYNCINB-	入力 入力 入力 入力	JESD204B LVDS SYSREF 入力—真。 JESD204B LVDS SYSREF 入力—相補。 JESD204B LVDS 同期入力—真。 JESD204B LVDS 同期入力—相補。
データ出力 15 16	SERDOUT0- SERDOUT0+	出力 出力	CML 出力データ—相補。 CML 出力データ—真。

ピン番号	記号	タイプ	説明
被テスト・デバイス (DUT) 制御			
8	$\overline{\text{RST}}$	入力	デジタル・リセット(アクティブ・ロー)。
20	SDIO	入力/出力	SPI シリアル・データ I/O。
21	SCLK	入力	SPI シリアル・クロック。
22	$\overline{\text{CS}}$	入力	SPI チップ・セレクト(アクティブ・ロー)。このピンには外付けプルアップが必要です。
23	PDWN	入力	パワーダウン入力(アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができません(表 17 参照)。

## 代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度グレードに対する最大サンプル・レート、VIN = -1.0 dBFS、1.75 V p-p 差動入力、DCS をイネーブル、16k サンプル、TA = 25°C、デフォルト SPI。

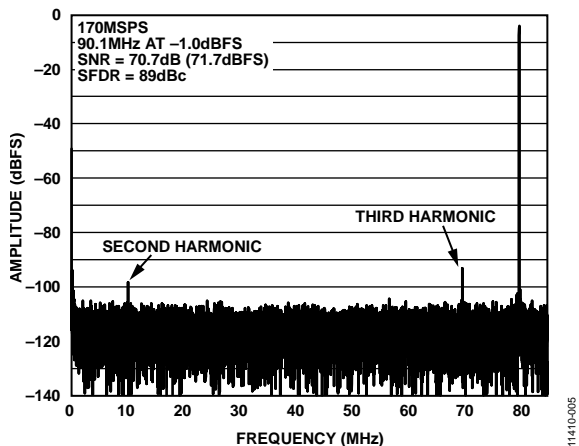


図 5.AD9683-170 シングル・トーン FFT、 $f_{IN} = 90.1$  MHz

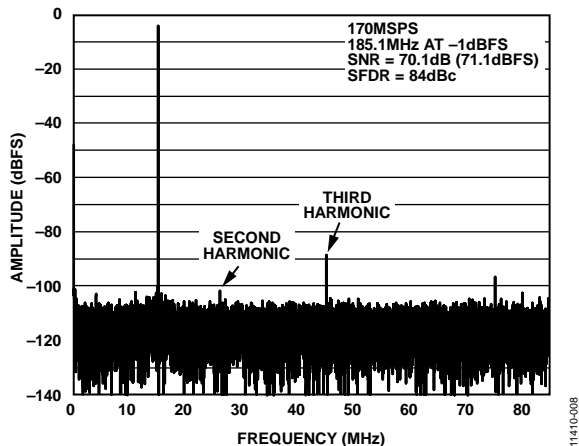


図 8.AD9683-170 シングル・トーン FFT、 $f_{IN} = 185.1$  MHz、RFCLK = 680 MHz、分周比 4 (アドレス 0x09 = 0x21)

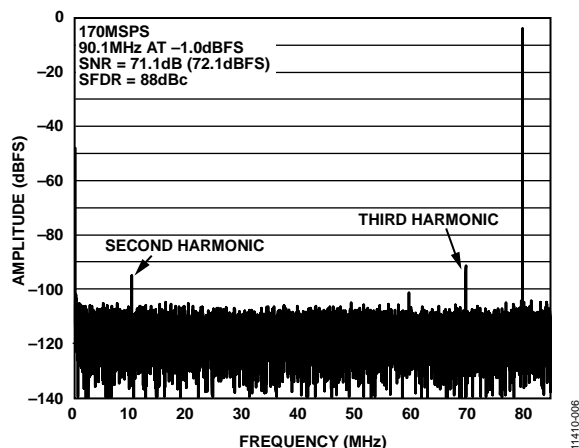


図 6.AD9683-170 シングル・トーン FFT、 $f_{IN} = 90.1$  MHz、RFCLK = 680 MHz、分周比 4 (アドレス 0x09 = 0x21)

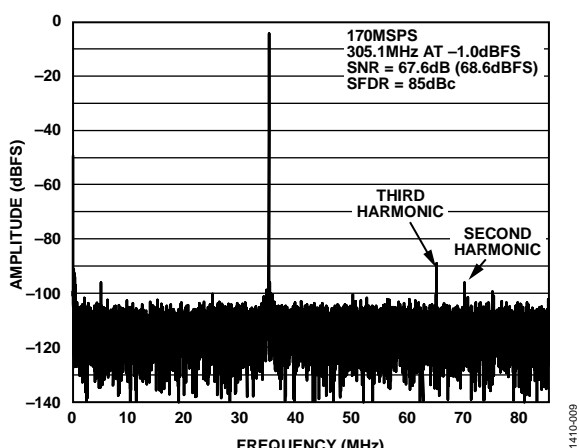


図 9.AD9683-170 シングル・トーン FFT、 $f_{IN} = 305.1$  MHz

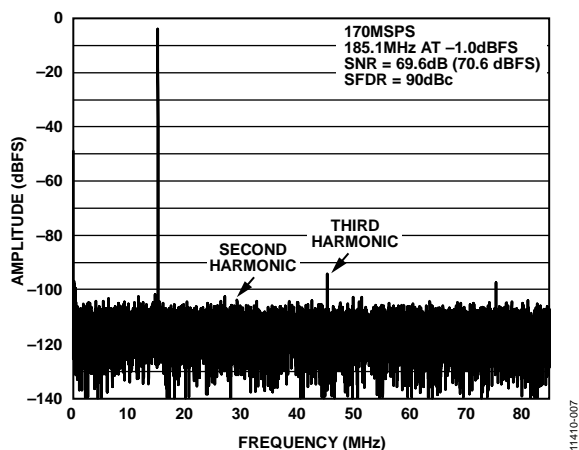


図 7.AD9683-170 シングル・トーン FFT、 $f_{IN} = 185.1$  MHz

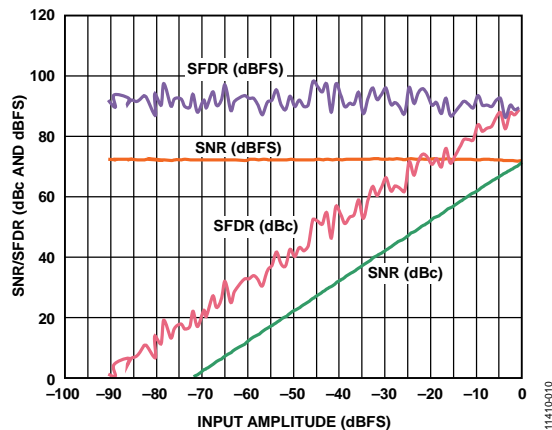


図 10.AD9683-170 入力振幅 ( $A_{IN}$ ) 対シングル・トーン SNR/SFDR、 $f_{IN} = 185.1$  MHz

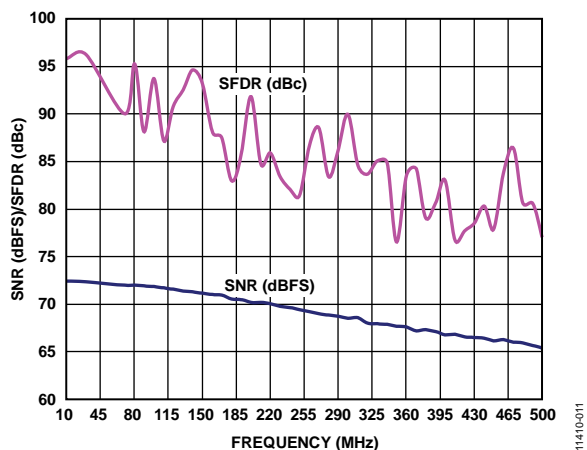


図 11. AD9683-170 入力周波数 ( $f_{IN}$ ) 対シングル・トーン SNR/SFDR

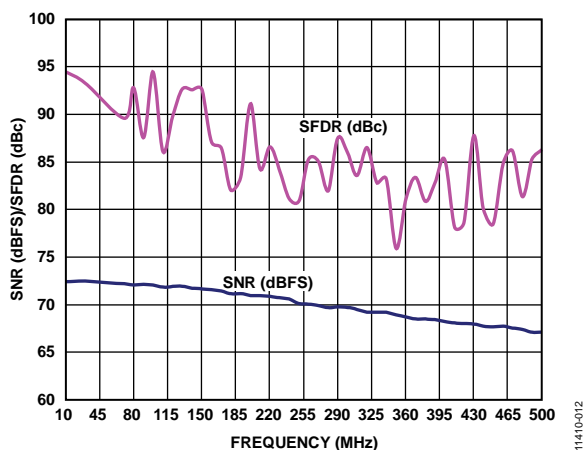


図 12. AD9683-170 入力周波数 ( $f_{IN}$ ) 対シングル・トーン SNR/SFDR、RFCLK = 680 MHz、分周比 4 (アドレス 0x09 = 0x21)

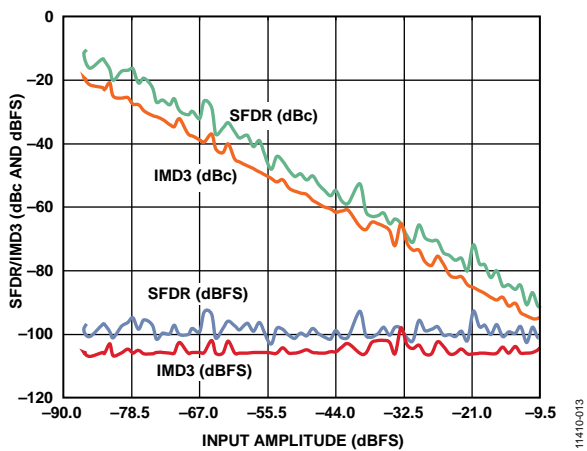


図 13. AD9683-170 入力振幅 ( $A_{IN}$ ) 対 2 トーン SFDR/IMD3、 $f_{IN1}$  = 89.12 MHz、 $f_{IN2}$  = 92.12 MHz、 $f_s$  = 170 MSPS

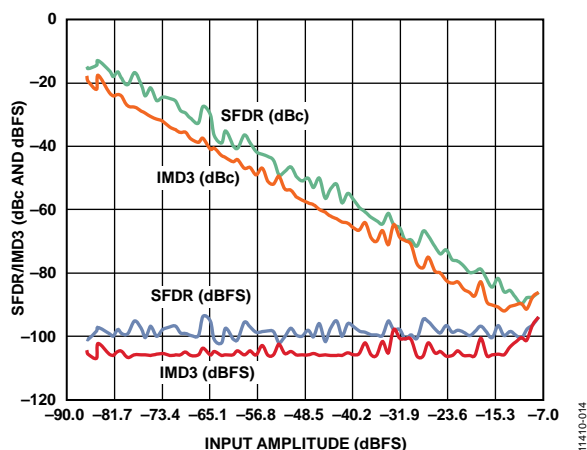


図 14. AD9683-170 入力振幅 ( $A_{IN}$ ) 対 2 トーン SFDR/IMD3、 $f_{IN1}$  = 184.12 MHz、 $f_{IN2}$  = 187.12 MHz、 $f_s$  = 170 MSPS

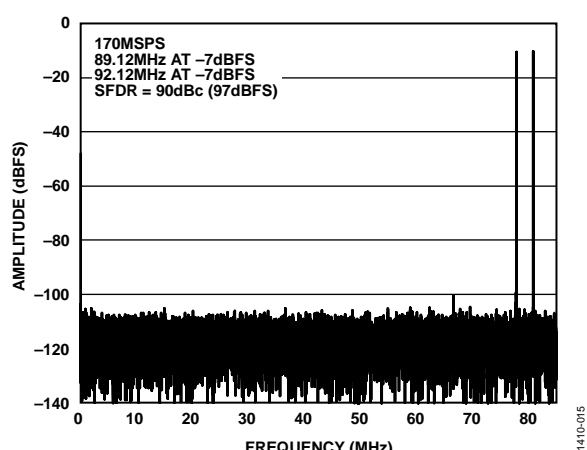


図 15. AD9683-170 2 トーン FFT、 $f_{IN1}$  = 89.12 MHz、 $f_{IN2}$  = 92.12 MHz、 $f_s$  = 170 MSPS

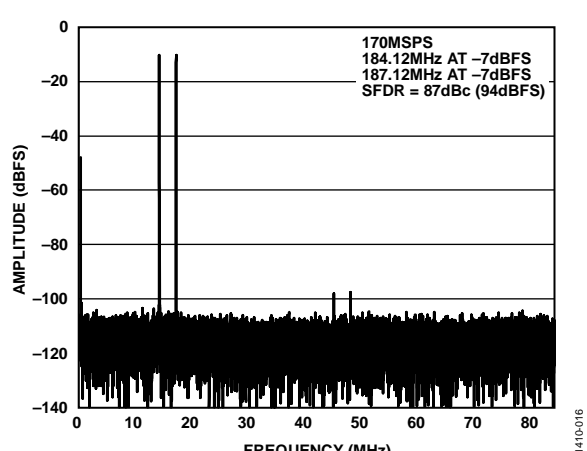


図 16. AD9683-170 2 トーン FFT、 $f_{IN1}$  = 184.12 MHz、 $f_{IN2}$  = 187.12 MHz、 $f_s$  = 170 MSPS

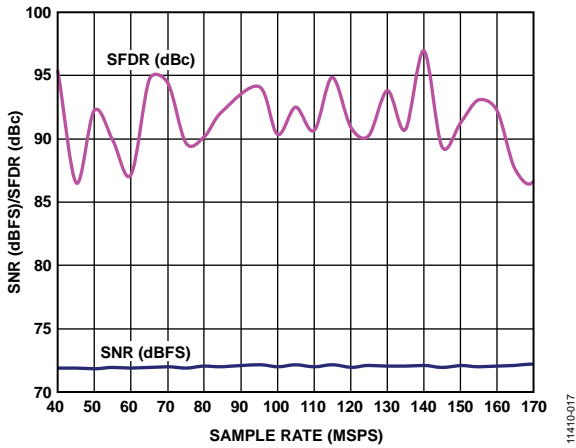


図 17. AD9683-170 サンプル・レート ( $f_s$ ) 対シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$  MHz

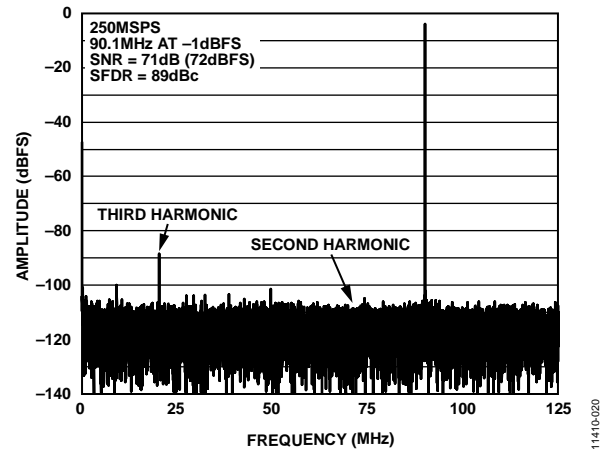


図 20. AD9683-250 シングル・トーン FFT、 $f_{IN} = 90.1$  MHz、RFCLK = 1.0 GHz、分周比 4 (アドレス 0x09 = 0x21)

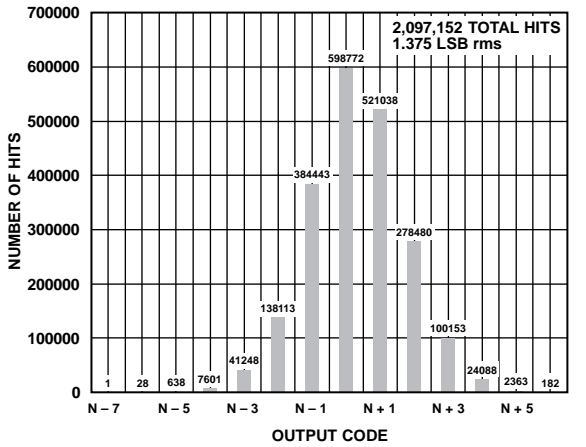


図 18. AD9683-170 グラウンド時入力ヒストグラム

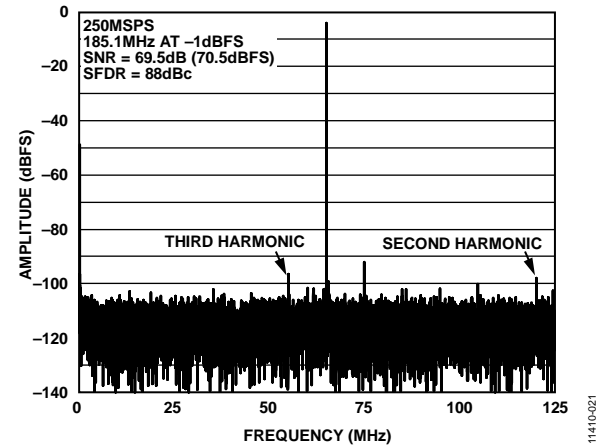


図 21. AD9683-250 シングル・トーン FFT、 $f_{IN} = 185.1$  MHz

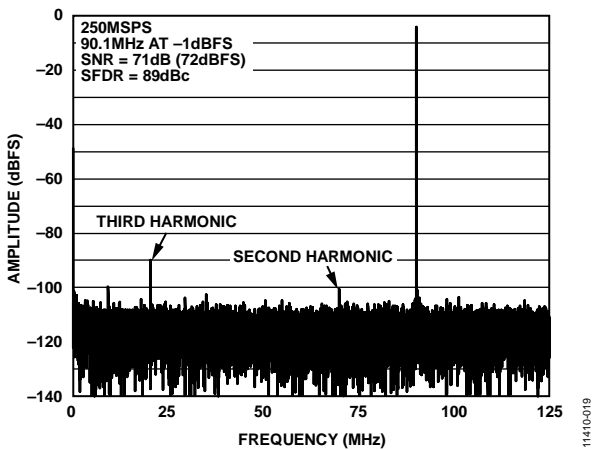


図 19. AD9683-250 シングル・トーン FFT、 $f_{IN} = 90.1$  MHz

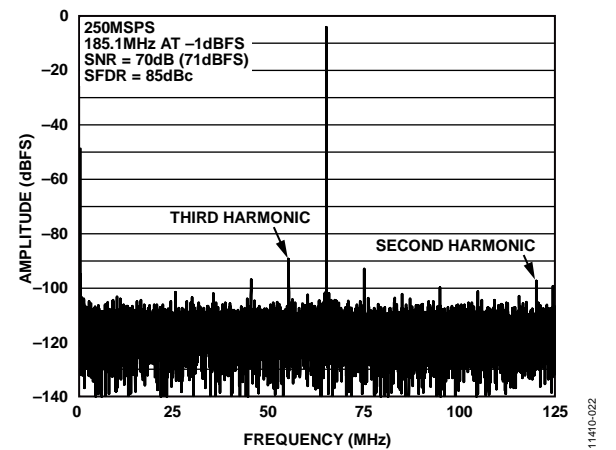


図 22. AD9683-250 シングル・トーン FFT、 $f_{IN} = 185.1$  MHz、RFCLK = 1.0 GHz、分周比 4 (アドレス 0x09 = 0x21)

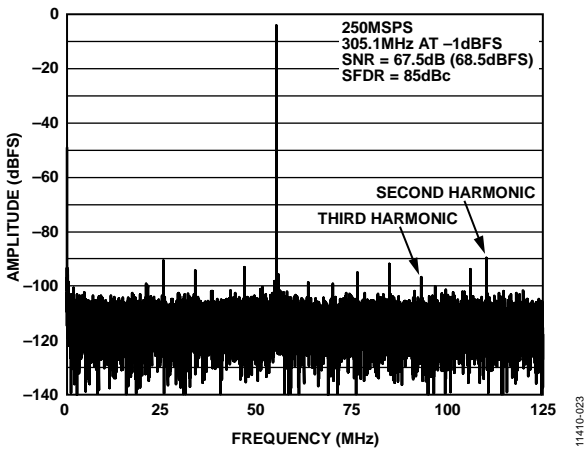


図 23.AD9683-250 シングル・トーン FFT、 $f_{IN} = 305.1$  MHz

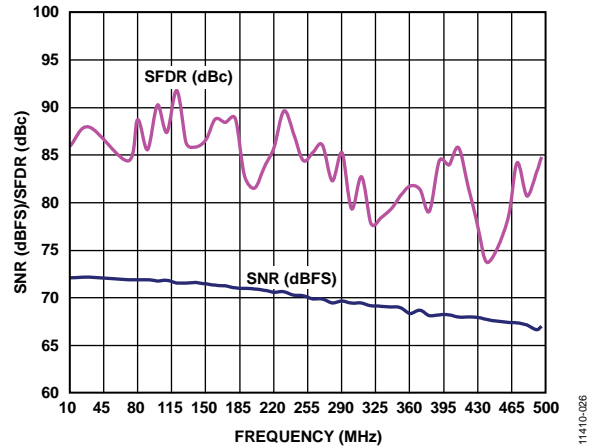


図 26.AD9683-250 入力周波数 ( $f_{IN}$ ) 対シングル・トーン SNR/SFDR、RFCLK = 1.0 GHz 分周比 4 (アドレス 0x09 = 0x21)

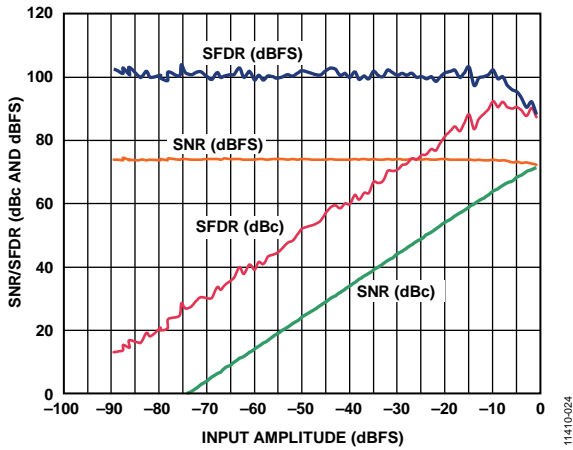


図 24.AD9683-250 入力振幅 ( $A_{IN}$ ) 対シングル・トーン SNR/SFDR、 $f_{IN} = 185.1$  MHz

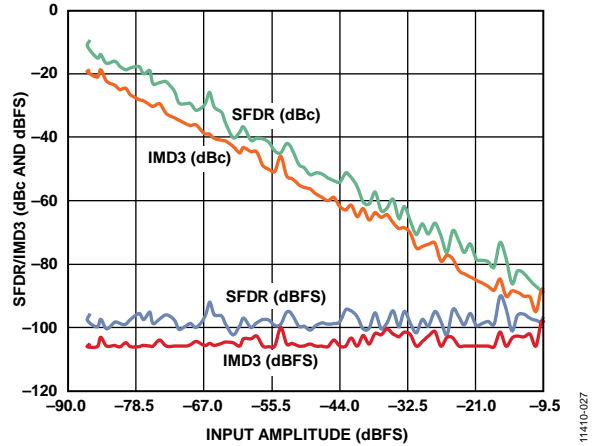


図 27.AD9683-250 入力振幅 ( $A_{IN}$ ) 対 2 トーン SFDR/IMD3、 $f_{IN1} = 89.12$  MHz、 $f_{IN2} = 92.12$  MHz、 $f_s = 250$  MSPS

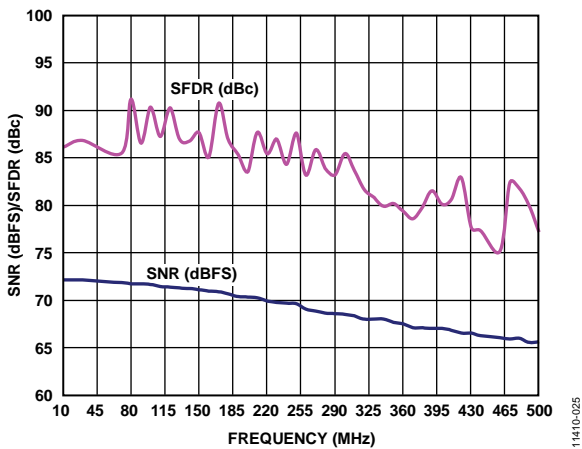


図 25.AD9683-250 入力周波数 ( $f_{IN}$ ) 対シングル・トーン SNR/SFDR

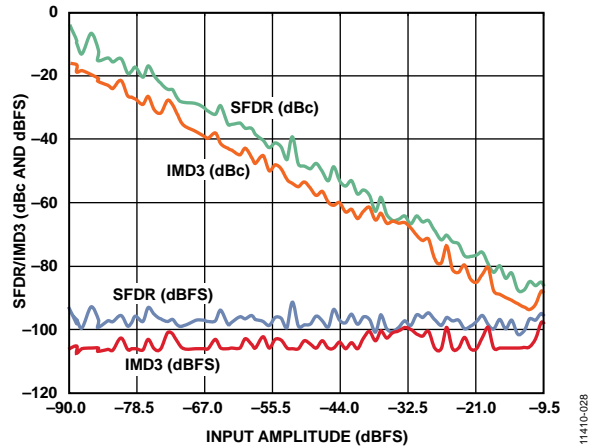
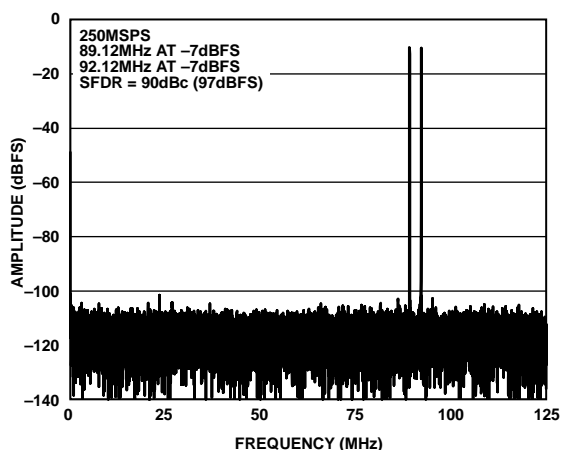


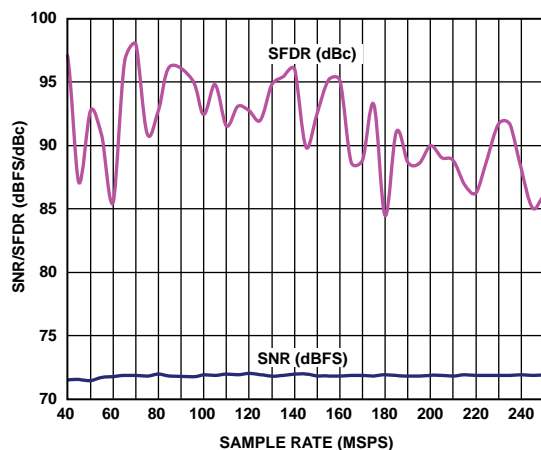
図 28.AD9683-250 入力振幅 ( $A_{IN}$ ) 対 2 トーン SFDR/IMD3、 $f_{IN1} = 184.12$  MHz、 $f_{IN2} = 187.12$  MHz、 $f_s = 250$  MSPS





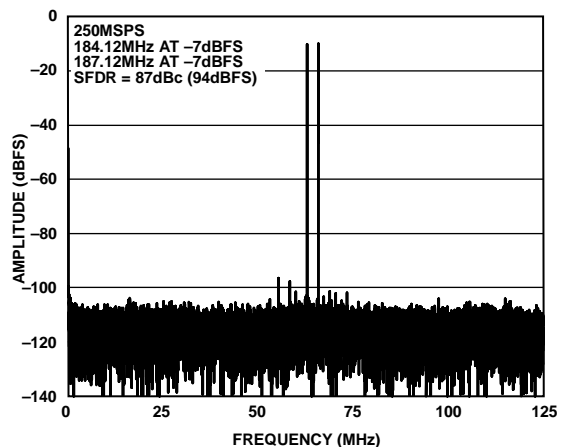
11410-029

図 29.AD9683-250 2 トーン FFT、 $f_{IN1} = 89.12$  MHz、 $f_{IN2} = 92.12$  MHz、 $f_s = 250$  MSPS



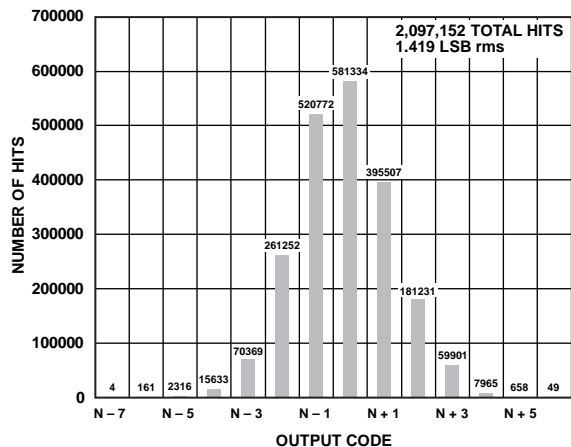
11410-031

図 31.AD9683-250 サンプル・レート ( $f_s$ ) 対シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$  MHz



11410-030

図 30.AD9683-250 2 トーン FFT、 $f_{IN1} = 184.12$  MHz、 $f_{IN2} = 187.12$  MHz、 $f_s = 250$  MSPS



11410-032

図 32.AD9683-250 グラウンド時入力ヒストグラム

等価回路

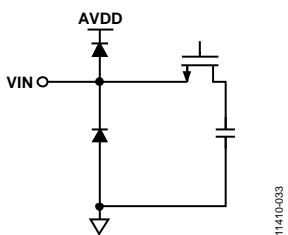


図 33. アナログ入力の等価回路

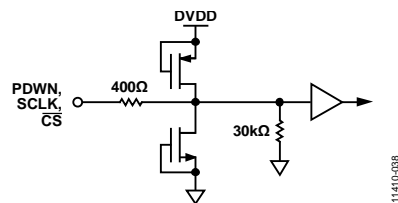


図 38. PDWN、SCLK、または  $\overline{CS}$  の等価入力回路

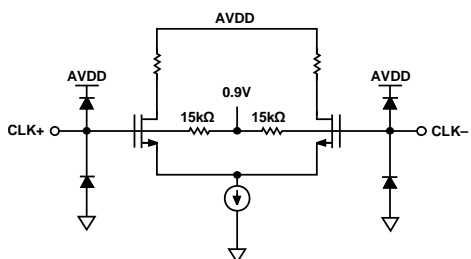


図 34. クロック入力の等価回路

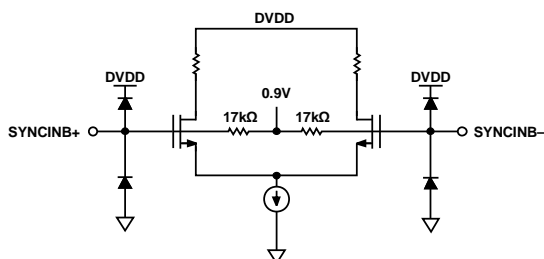


図 39. SYNCINB± の等価入力回路

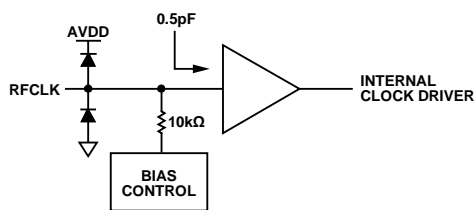


図 35. RF クロック入力の等価回路

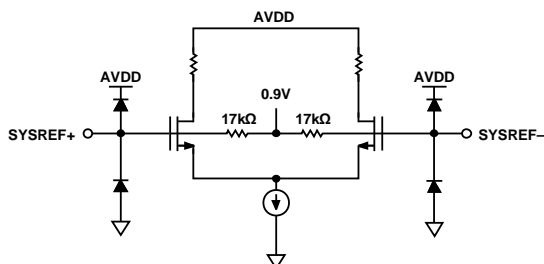


図 40. SYSREF± の等価入力回路

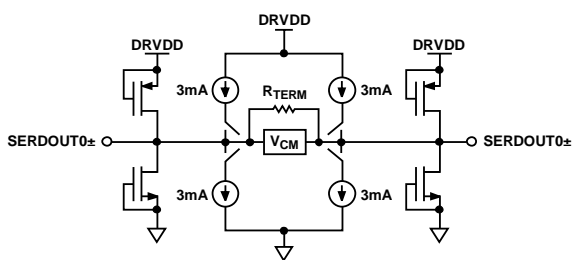


図 36. デジタル CML 出力回路

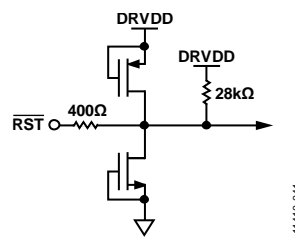


図 41.  $\overline{RST}$  入力等価回路

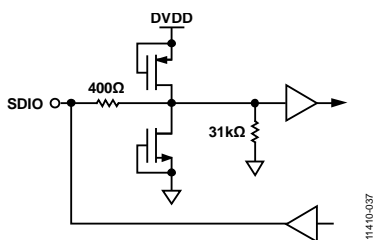


図 37. SDIO の等価回路

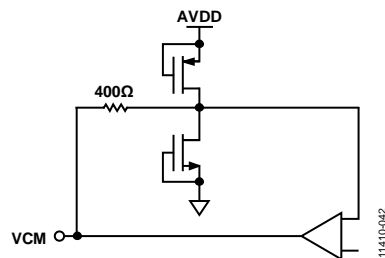


図 42. VCM の等価回路

## 動作原理

AD9683 は、1つのアナログ入力チャンネルと1つの JESD204B 出力レーンを持っています。信号は、複数のステージを通過した後出力ポートから出力されます。

ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使い ADC 性能をほとんど損なうことなく、DC~400 MHz の周波数をサンプルすることができます。400 MHz 以上のアナログ入力を処理することができますが、ADC のノイズと歪みが大きくなります。

同期機能を内蔵しているため、複数デバイス間でタイミングを同期させることができます。

AD9683 の設定と制御は、3ピンの SPI 互換シリアル・インターフェースを使って行います。

## ADC のアーキテクチャ

AD9683 アーキテクチャは、フロントエンドのサンプル・アンド・ホールド回路とそれに続くパイプライン化されたスイッチド・キャパシタ型 ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この MDAC は、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

入力ステージには差動サンプリング回路が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電源は分離されているため、デジタル出力ノイズをアナログ・コアから分離することができます。

## アナログ入力に対する考慮

AD9683 のアナログ入力は、差動のスイッチド・キャパシタ回路になっています。この回路は、差動入力信号を処理する際に最適性能が得られるようにデザインされています。

クロック信号により、入力はサンプル・モードとホールド・モードの間で交互に切り替えられます(図 43 参照)。入力がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電する能力を持ち、クロック・サイクルの 1/2 以内で安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージに必要なとされるピーク過渡電流を減少させることに役立ちます。また、入力間にコンデンサをシャント接続すると、動的な充電電流を供給することができます。これらの受動回路は ADC 入力でローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。

中間周波数(IF)アンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを小さくしてください。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、AN-742 アプリケーション・ノート「*Frequency Domain Response of Switched-Capacitor ADCs*」、AN-827 アプリケーション・ノート「*A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs*」、アナログ・ダイアログ資料「*Transformer-Coupled Front-End for Wideband A/D Converters*」を参照してください。

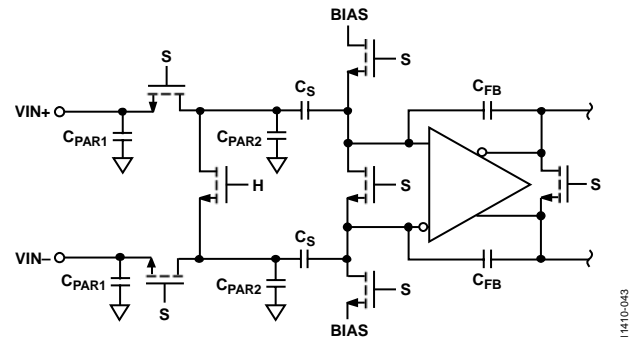


図 43. スイッチド・キャパシタ入力

最適なダイナミック性能を得るためには、VIN+ と VIN- を駆動するソース・インピーダンスを一致させ、さらに入力も平衡させてください。

## 入力同相モード

AD9683 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザーが外部からこのバイアスを与える必要があります。最適性能のためには、 $V_{CM} = 0.5 \times AV_{DD}$  (すなわち 0.9 V) となるように入力を設定することが推奨されます。同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。VCM 出力を使って入力同相モードを設定することが推奨されます。アナログ入力の同相モード電圧を VCM ピン電圧 ( $0.5 \times AV_{DD}$  (typ)) で設定したときに最適性能が得られます。VCM ピンは、0.1  $\mu$ F のコンデンサでグラウンドにデカップリングする必要があります(アプリケーション情報のセクション参照)。このデカップリング・コンデンサはピンの近くに配置して、デバイスとこのコンデンサの間の直列抵抗とインダクタンスを小さくしてください。

## 差動入力構成

最適性能は、AD9683 を差動入力構成で駆動したときに得られません。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-1、ADA4938-1、ADA4930-1 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインターフェースを提供します。

ADA4930-1 の出力同相モード電圧は AD9683 の VCM ピンで容易に設定できるため(図 44 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

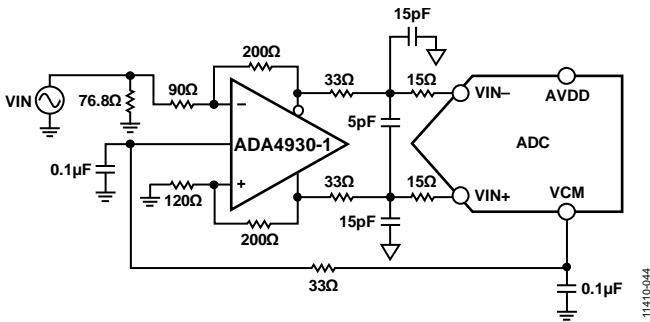


図 44.ADA4930-1 を使用した差動入力構成

SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 45 に例を示します。アナログ入力にバイアスを加えるため、VCM 電圧をトランス 2 次巻線のセンタータップに接続することができます。

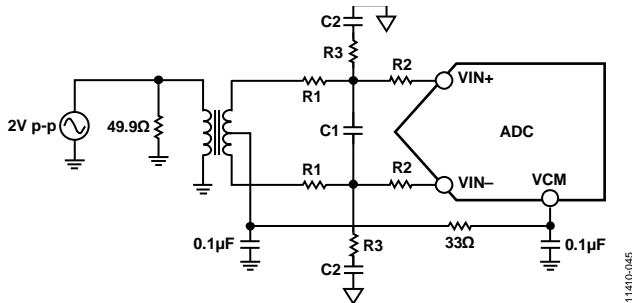


図 45.差動トランス結合構成

トランスを選択するときには、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを生じさせます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9683 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バラン結合を使用することが推奨されます(図 46 参照)。この構成では、入力は AC 結合され、VCM 電圧が 33 Ω 抵抗を介して各入力に供給されます。これらの抵抗は入力バランの損失を補償して、ドライブに対して 50 Ω インピーダンスを提供します。

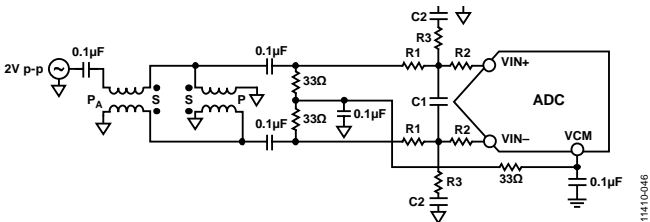


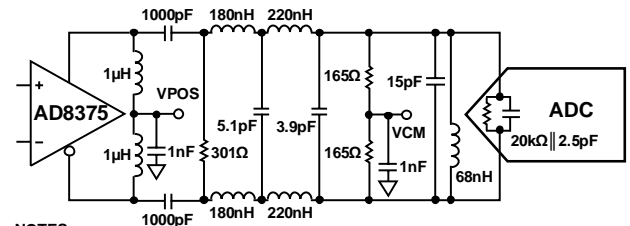
図 46.差動ダブル・バラン入力構成

ダブル・バラン構成とトランス構成では、入力コンデンサと抵抗の値は入力周波数とソース・インピーダンスに依存します。これらのパラメータに基づき、入力抵抗とコンデンサの値を調整するか、部品の削除が必要となることがあります。表 9 に、様々な入力周波数範囲に対して RC 回路を設定する推奨値を示しますが、これらの値は入力信号と帯域幅に依存します。これらの値は、開始ガイドとしてのみ使用してください。表 9 に示す値は、図 45 と図 46 に示す R1、R2、C1、C2、R3 の各部品に対するものであることに注意してください。

表 9. RC 回路の例

Frequency Range (MHz)	R1 Series (Ω)	C1 Differential (pF)	R2 Series (Ω)	C2 Shunt (pF)	R3 Shunt (Ω)
0 to 100	33	8.2	0	15	24.9
100 to 400	15	8.2	0	8.2	24.9
>400	15	≤3.9	0	≤3.9	24.9

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、可変ゲイン・アンプを使う方法があります。AD8375 デジタル可変ゲイン・アンプ(DVGA)は、AD9683 の駆動で優れた性能を提供します。図 47 に、折り返し防止バンドパス・フィルタを介して AD9683 を駆動する AD8375 の例を示します。



NOTES  
 1. ALL INDUCTORS ARE COILCRAFT® 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (COILCRAFT 0603LS).  
 2. FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

図 47.AD8375 を使用した差動入力構成

## リファレンス電圧

AD9683 には、安定かつ正確なリファレンス電圧が内蔵されています。フルスケール入力範囲は、SPI を経由して基準電圧を変化させることにより調整することができます。ADC の入力スパンは、リファレンス電圧の変化に比例して追従します。

### クロック入力の考慮事項

AD9683 には、入力サンプリング・クロックを駆動するための、差動ナイキスト・サンプリング・クロック入力または RF クロック入力 (内部で 2 分周または 4 分周) の 2 つのオプションがあります。クロック入力はアドレス 0x09 で選択され、デフォルトでナイキスト・クロック入力を選択されています。最適性能を得るためには、AD9683 のサンプル・クロック入力 CLK+ と CLK- を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ ピンと CLK- ピンに AC 結合されます。これらのピンは内部でバイアスされるため(図 48 参照)、外付けバイアスは不要です。クロック入力をフローティングにする場合は、CLK- ピンを CLK+ ピンより少し低く駆動して、余分なクロック動作を防止します。

### ナイキスト・クロック入力オプション

AD9683 ナイキスト・クロック入力は、40 MHz~625 MHz の差動クロックをサポートしています。このクロック入力構造は、0.3 V~3.6 V の差動入力電圧をサポートするため、CMOS、LVDS、LVPECL のような種々のロジック・ファミリー入力と互換性があります。正弦波入力も受け付けますが、一般に高いスルーレートほど性能がよくなります。クロック・ソース・ジッタは、性能に影響を与えるクリティカルなパラメータです(ジッタについての考慮事項のセクション参照)。入力をフローティングにする場合は、CLK- ピンをロー・レベルにプルダウンして余分なクロック動作を防止してください。

ナイキスト・クロック入力ピン (CLK+ と CLK-) は、内部で 0.9 V にバイアスされ、入力インピーダンス(typ)は 4 pF と 10 kΩ の並列接続になります(図 48 参照)。入力クロックは一般に CLK+ と CLK- に AC 結合されます。代表的なクロック駆動回路を参考として図 49~図 52 に示します。

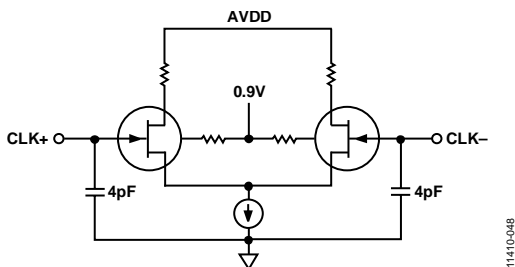


図 48.等価ナイキスト・クロック入力回路

40 MHz~200 MHz のシングルエンド低ジッタ・クロックが使用可能なアプリケーションに対しては、RF トランスの使用が推奨されます。クロック回路で RF トランスを使用する例を図 49 に示します。200 MHz より上の周波数では、RF バランの使用が推奨されます(図 50 参照)。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードにより、AD9683 に入力されるクロックが約 0.8 V のピーク to ピーク差動に制限されます。この機能は、クロックの大きな電圧振幅が AD9683 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、クロックの高速な立上がり時間と立下がり時間を維持します。

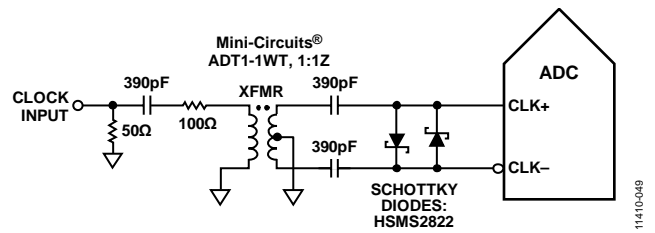


図 49.トランス結合の差動クロック(最大 200 MHz)

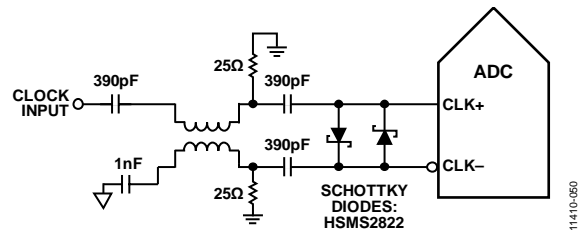


図 50.バラン結合の差動クロック(最大 625 MHz)

場合によっては、1 つのソースからの複数クロックを発生またはバッファさせることが望ましい場合があります。これらのケースでは、アナログ・デバイゼスは優れたジッタ性能を持つクロック・ドライバを提供しています。図 51 に、代表的な PECL ドライバ回路を示します。これらの PECL ドライバは、AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524、ADCLK905、ADCLK907、ADCLK925 のような PECL ドライバを使用しています。

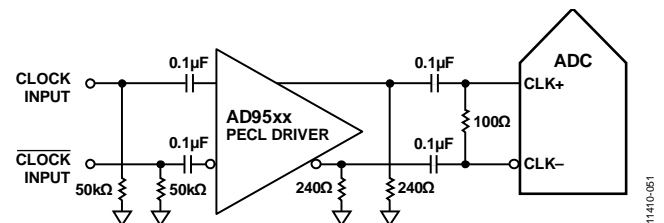


図 51.差動 PECL サンプル・クロック(最大 625 MHz)

アナログ・デバイゼスは優れたジッタ性能を持つ LVDS クロック・ドライバも提供しています。代表的な回路を図 52 に示します。この回路では、AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524 のような LVDS ドライバを使用しています。

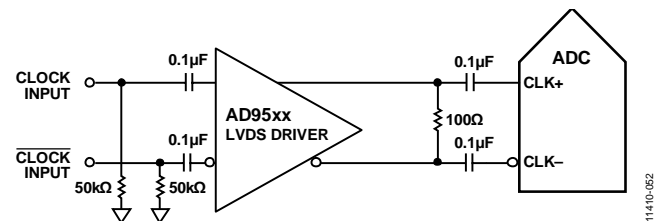


図 52.差動 LVDS サンプル・クロック(最大 625 MHz)

**RF クロック入力オプション**

AD9683 RF クロック入力、625 MHz~1.5 GHz のシングルエンド・クロックをサポートしています。RF クロック入力の等価回路を図 53 に示します。入力は 0.9 V にセルフバイアスされており、一般に AC 結合されます。RFCLK ピンでの入力インピーダンスは、10 kΩ と 0.5 pF の並列接続になります。

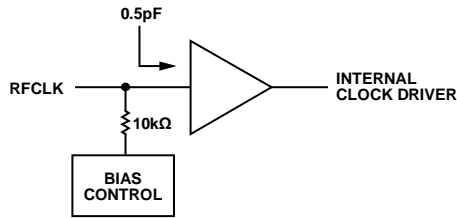


図 53. RF クロック入力の等価回路

AD9683 の RF クロック入力は、PECL 信号または 600 mV p-p の最小信号振幅を持つ正弦波信号で駆動することが推奨されます。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。図 54 に、AD9683 の RF クロック入力を使用する際の望ましい方法を示します。クロック信号は高周波であるため、50 Ω 伝送線を使用して AD9683 の RF クロック入力へ接続することが推奨されます。伝送線は RF クロック入力の近くで終端してください。

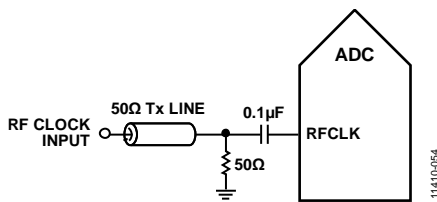


図 54. 代表的な RF クロック入力回路

図 56 に、AD9515 の LVPECL 出力で駆動される AD9683 の RF クロック入力を示します。AD9515 からの差動 LVPECL 出力信号は、RF バランまたは RF トランスを使ってシングルエンド信号に変換されます。RF クロック入力に接続されるクロック周波数に対しては RF バラン構成の使用が推奨されます。

**入力クロック・ドライバ**

AD9683 は、ナイキスト入力クロックを 1~8 分周できる入力クロック分周器を内蔵しています。RF クロック入力は、内蔵分周器を使用してクロック入力を 4 分周した後に 1~8 分周器に入力されます。このため RF クロック入力が高い入力周波数を実現することができます。分周比はアドレス 0x09 とアドレス 0x0B を使

って選択することができます。アドレス 0x09 を使って RF クロック入力を設定し、アドレス 0x0B を使って RF クロック入力とナイキスト・クロック入力に対する 1~8 分周の分周比を設定することができます。1 以外の分周比に対して、デューティ・サイクル・スタビライザ (DCS) が自動的にイネーブルされます。

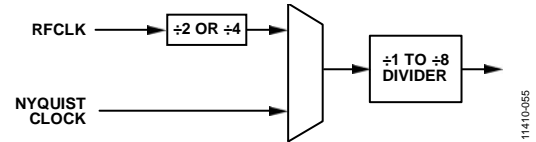


図 55. クロック・デバイダ回路

AD9683 のクロック分周器は外部 SYSREF 入力を使って同期させることができます。アドレス 0x3A のビット 1 とビット 2 を使うと、各 SYSREF 信号で、またはレジスタが書込まれた後の最初の信号で、クロック分周器を再同期することができます。有効な SYSREF により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。

**クロック・デューティ・サイクル**

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容誤差は±5%以内である必要があります。

AD9683 は、非サンプリング・エッジ(立下がり)の再タイミングを行って、公称 50% のデューティ・サイクルを持つ内部クロック信号を発生する DCS を内蔵しています。この回路により、AD9683 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。

それでも、入力クロックの立上がりエッジのジッタは大きな問題であり、DCS で減少させることはできません。デューティ・サイクル制御ループは、公称 40 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号に再ロックするまで、1.5 μs~5 μs の待ち時間が必要です。ループがロックされていない間、DCS ループはバイパスされるため、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、DCS をディスエーブルすることが適切です。その他のすべてのアプリケーションでは、AC 性能を最大にするため DCS 回路をイネーブルすることが推奨されます。

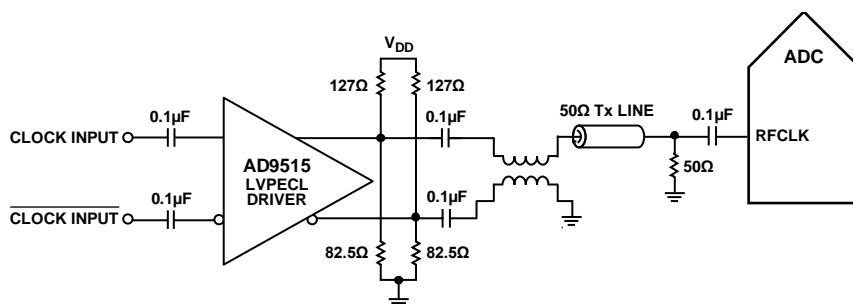


図 56.差動 PECL RF クロック入力回路

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数( $f_{IN}$ )でジッタ( $t_j$ )により発生する SNR 性能の低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{J_{RMS}})^2 + 10^{(-SNR_{LF}/10)}]$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 57)。

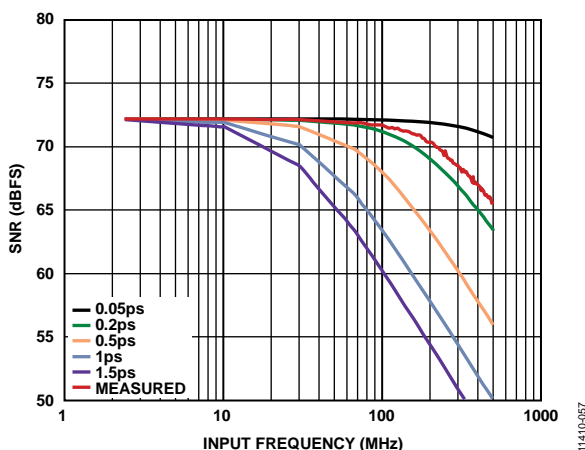


図 57.AD9683-250 の入力周波数およびジッタ対 SNR

アパーチャ・ジッタが AD9683 のダイナミックレンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ADC に関するジッタ性能の詳細については、AN-501 アプリケーション・ノート「Aperture Uncertainty and ADC System Performance」と AN-756 アプリケーション・ノート「Sampled Systems and the Effects of Clock Phase Noise and Jitter」を参照してください。

消費電力とスタンバイ・モード

図 58 に示すように、AD9683 で消費される電力はサンプル・レートに比例します。図 58 のデータは、代表的な性能特性のセクションと同じ動作条件で取得しました。図 58 の  $I_{DVDD}$  は、 $I_{DVDD}$  と  $I_{DRVDD}$  の和です。

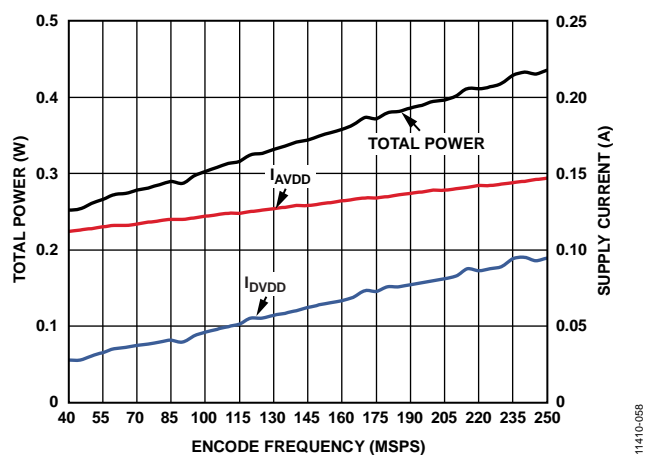


図 58.AD9683-250 のエンコード・レート対消費電力

PDWN をアサートすると (SPI ポートを使うか、または PDWN ピンをハイ・レベルします)、AD9683 はパワーダウン・モードになります。この状態では、ADC の消費電力は約 9 mW になります。PDWN ピンをロー・レベルにすると、AD9683 は通常動作モードに戻ります。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。パワーダウン・モードに入ると、内蔵コンデンサは放電するため、通常動作に戻る際には再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップ時間が必要な場合に内蔵リファレンス回路を動作させたままにしておくことができます。詳細については、メモリ・マップ・レジスタの説明のセクションと AN-877 アプリケーション・ノート「Interfacing to High Speed ADCs via SPI」を参照してください。

## デジタル出力

### JESD204B 送信最上位レベルの説明

AD9683 のデジタル出力では、JEDEC 標準 No. JESD204B, *Serial Interface for Data Converters* を採用しています。JESD204B は、最大 5 Gbps リンク速度のシリアル・インターフェースを使って AD9683 とデジタル処理デバイスを接続するプロトコルです。JESD204B インターフェースの利点としては、データ・インターフェースの配線に要するボード面積を削減し、コンバータとロジック・デバイスのパッケージを小型化できることなどがあります。AD9683 は、シングル・レーン・インターフェースをサポートしています。

### JESD204B の概要

JESD204B データ送信ブロックは、ADC からのパラレル・データをフレームに変換し、8B/10B 符号化を行い、さらにオプションのスクランプリングを行ってシリアル出力データを形成します。レーン同期がリンク確立時に特別な文字を使ってサポートされ、追加同期機能がその後のデータ・ストリームに組み込まれています。シリアル・データ・ストリームにロックしてデータとクロックを再生するためには、外部レシーバの一致が必要です。JESD204B インターフェースの詳細については、JESD204B 規格を参照してください。

AD9683 JESD204B 送信ブロックは、ADC 出力を 1 本のリンクに対応させます。このリンクは、レーンと呼ばれる 1 対のシリアル差動出力を使って構成されます。JESD204B 仕様はリンクを定義する多数のパラメータを規定し、これらのパラメータは、JESD204B トランスミッタ (AD9683 出力) とレシーバの間で一致する必要があります。

JESD204B リンクは、次のパラメータに従って規定されます。

- S = 1 コンバータ当たり 1 フレーム・サイクルで送信されるサンプル数 (AD9683 値 = 1)
- M = 1 コンバータ・デバイス当たりのコンバータ数 (AD9683 値 = 1)
- L = 1 コンバータ・デバイス当たりのレーン数 (AD9683 値 = 1)
- N = コンバータ分解能 (AD9683 値 = 14)
- N' = 1 サンプル当たりの合計ビット数 (AD9683 値 = 16)
- CF = 1 コンバータ・デバイスの 1 フレーム・クロック・サイクル当たりのコントロール・ワード数 (AD9683 値 = 0)
- CS = コントロール・ビット数/変換サンプル (AD9683 では 2 ビットまで設定可能)
- K = 1 マルチフレーム当たりのフレーム数 (AD9683 では設定可能)
- HD = 高密度モード (AD9683 値 = 0)
- F = 1 フレーム当たりのオクテット数 (AD9683 値 = 2)
- C = コントロール・ビット (範囲外、オーバーフロー、アンダーフロー; AD9683 上で使用可能)
- T = テール・ビット (AD9683 上で使用可能)
- SCR = スクランブラ・イネーブル/ディスエーブル (AD9683 上で設定可能)
- FCHK = JESD204B パラメータに対するチェックサム (自動的に計算してレジスタ・マップに保存)

図 59 に、AD9683 JESD204B リンクの簡略化したブロック図を示します。AD9683 は、1 コンバータと 1 レーンを使用します。コンバータ・データは、SERDOUT0+/SERDOUT0-に出力されます。

デフォルトでは、AD9683 内で 14 ビット・コンバータ・ワードは、2 つのオクテット (8 ビットのデータ) に分割されます。ビット 0 (MSB) ~ ビット 7 は先頭オクテット内にあり、ビット 8 ~ ビット 13 (LSB) と 2 ビットのテール・ビットは 2 番目のオクテット内にあります。テール・ビットは、ゼロ、擬似ランダム数シーケンス、またはコントロール・ビット (上限外、下限外、または有効データ状態を表示) として設定することができます。

得られた 2 つのオクテットをスクランブルすることができます。ただし、スクランブルはオプションであり、同じデジタル・データ・パターンを送信する際にスペクトル・ピークの発生を防止するために使用することができます。スクランブラでは、式  $1 + x^{14} + x^{15}$  を使用した多項式ベースの自己同期アルゴリズムを採用しています。レシーバのデスクランブラは、スクランブラ多項式の自己同期バージョンである必要があります。

2 つのオクテットは、その後 8B/10B エンコーダで符号化されます。8B/10B エンコーダは、8 ビットのデータ (オクテット) を取り出してこれを 10 ビットのシンボルに符号化します。図 60 に、ADC から 14 ビット・データを取り出し、テール・ビットを追加し、2 つのオクテットをスクランブルし、これらのオクテットを 2 つの 10 ビット・シンボルに符号化する方法を示します。図 60 に、デフォルトのデータ・フォーマットを示します。

データ・リンク層では、8B/10B 符号化の他に、文字置換を行ってレシーバがフレーム・アライメントを監視できるようにします。文字置換プロセスはフレームとマルチフレームの境界で実行され、発生する境界に応じて、さらにスクランプリングがイネーブルされている場合に実装されます。

スクランプリングがディスエーブルされている場合には、次が適用されます。

- マルチフレームの最後のフレームの最後のスクランブルされたオクテットが前のフレームの最後のオクテットと一致する場合、トランスミッタは最後のオクテットを制御文字 /A/ = /K28.3/ で置き換えます。
- マルチフレーム内の他のフレームでは、フレーム内の最後のオクテットが前のフレームの最後のオクテットに一致する場合、トランスミッタは最後のオクテットを制御文字 /F/ = /K28.7/ で置き換えます。

スクランプリングがイネーブルされている場合には、次が適用されます。

- マルチフレームの最後のフレームの最後のオクテットが 0x7C の場合、トランスミッタは最後のオクテットを制御文字 /A/ = /K28.3/ で置き換えます。
- マルチフレーム内の他のフレームでは、最後のオクテットが 0xFC の場合、トランスミッタは最後のオクテットを制御文字 /F/ = /K28.7/ で置き換えます。

JESD204B インターフェースの詳細については、JEDEC 規格 No. 204B, July 2011 を参照してください。セクション 5.1 にはトランスポート層とデータ・フォーマットの詳細が、セクション 5.2 にはスクランプリングとデスクランプリングが記載されています。



## JESD204B 同期化の詳細

AD9683 は、2つのコントロール信号(SYSREF と SYNC)、および一般的には共通のデバイス・クロックを使ってリンクの同期を確立する JESD204B サブクラス 1 デバイスです。SYSREF と SYNC は、システム・レベルでのアライメント用としてすべてのコンバータ・デバイスに共通です。

同期プロセスは、コード・グループ同期 (CGS)、初期レーン・アライメント・シーケンス (ILAS)、データ送信からなる 3つのフェーズで実行されます。スクランプリングがイネーブルされている場合、ビットはデータ送信フェーズまで実際にはスクランブルされず、CGS フェーズと ILAS フェーズではスクランプリングを使用しません。

### CGS フェーズ

CGS フェーズでは、JESD204B 送信ブロックは/K28.5/ 文字を送信します。レシーバ (外部ロジック・デバイス) は、クロックとデータの再生 (CDR) 技術を使って入力データ・ストリーム内で /K28.5/ 文字を探す必要があります。

リンク・レーンで所定数の連続した /K28.5/ 文字が検出されると、レシーバは、AD9683 送信データが内部でローカル・マルチフレーム・クロック (LMFC)を確立できるように SYSREF エッジを開始します。

また、SYSREF エッジは ADC 内で全サンプリング・エッジをリセットして、サンプリング・タイミングを LMFC に一致させます。これは、複数のデバイス間で同期を維持するために重要です。

レシーバまたはロジック・デバイスは SYNC 信号 (SYNCINB±) のアサートを解除し、トランスミッタ・ブロックは ILAS フェーズを開始します。

### ILAS フェーズ

ILAS フェーズでは、トランスミッタは既知パターンを送信し、レシーバはリンク内のレーンをアラインさせ、リンクのパラメータを確認します。

SYNC のアサートが解除された(ハイ・レベルになります)後に、ILAS フェーズが開始されます。送信ブロックは、4 個のマルチフレームの送信を開始します。マルチフレーム全体が送信されるように、ダミー・サンプルが所要文字の間に挿入されます。4 個のマルチフレームには次が含まれます。

- /R/ 文字 [K28.0]で開始され、/A/ 文字 [K28.3]で終わるマルチフレーム 1。
- /R/ 文字で開始され、/Q/ [K28.4] 文字、14 個の設定オクテットのリンク設定パラメータ (表 10 参照)が続き、/A/ 文字で終わるマルチフレーム 2。
- マルチフレーム 1 と同じマルチフレーム 3。
- マルチフレーム 1 と同じマルチフレーム 4。

### データ送信フェーズ

データ送信フェーズでは、フレーム・アライメントが制御文字で監視されます。文字置換はフレームの終わりで使用されます。トランスミッタでの文字置換は次の場合に行われます。

- スクランプリングがディスエーブルされ、かつフレームまたはマルチフレームの最後のオクテットが前のフレームのオクテット値に一致する場合。
- スクランプリングがイネーブルされ、かつマルチフレームの最後のオクテットが 0x7C に一致するか、またはフレームの最後のオクテットが 0xFC に一致する場合。

表 10.ILAS フェーズでの 14 個の設定オクテット

No.	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)
0	DID[7:0]							
1	BID[3:0]							
2	LID[4:0]							
3	SCR	L[4:0]						
4	F[7:0]							
5	K[4:0]							
6	M[7:0]							
7	CS[1:0]	N[4:0]						
8	SUBCLASS[2:0]			N'[4:0]				
9	JESDV[2:0]				S[4:0]			
10	CF[4:0]							
11	Reserved, don't care							
12	Reserved, don't care							
13	FCHK[7:0]							

### リンク・セットアップ・パラメータ

次のセクションでは、AD9683 JESD204B インターフェースの設定方法を説明します。出力設定ステップには次が含まれます。

1. 設定を変更する前にレーンのディスエーブル
2. クイック設定オプションの選択
3. 詳細オプションの設定
4. JESD204B インターフェース・パラメータのチェックサムである FCHK のチェック
5. その他のデジタル出力設定オプションの設定
6. レーンの再イネーブル

### 設定を変更する前にレーンのディスエーブル

JESD204B リンク・パラメータを変更する前に、リンクをディスエーブルしてリセット状態にします。これは、ロジック 1 をアドレス 0x5F のビット 0 へ書込むことにより実行します。

### 詳細オプションの設定

テール・ビットとコントロール・ビットを次のように設定します。

- N' = 16 と N = 14 では、JESD204B リンクでその他の情報を送信するためにサンプル当たり 2 ビット使用することができます。オプションはテール・ビットまたはコントロール・ビットです。デフォルトで、0b00 値のテール・ビットが使用されます。
- テール・ビットは、2 つのオクテットを完成させるためにリンクに送信され、入力信号についての情報を持たないダミー・ビットです。テール・ビットは、ゼロ固定 (デフォルト) または擬似ランダム数 (アドレス 0x5F、ビット 6) です。
- アドレス 0x72、ビット [7:6] のテール・ビットの代わりに、1 ビットまたは 2 ビットのコントロール・ビットを使用することができます。テール・ビットはアドレス 0x14、ビット [7:5] を使って送信することができ、テール・ビットはアドレス 0x5F、ビット 6 を使ってイネーブルすることができます。

### レーン識別値の設定

- JESD204B ではパラメータを使ってデバイスとレーンを識別することができます。これらのパラメータは ILAS フェーズで送信され、内部レジスタからアクセスすることができます。

- デバイス識別 (DID)、バンク識別 (BID)、レーン識別 (LID) の 3 種類の識別値があります。DID と BID はデバイス固有であるため、リンク識別に使用することができます。

**マルチフレーム当たりのフレーム数 K の設定**

- JESD204B 仕様では、マルチフレームは K 個の連続フレームのグループとして定義されています。ここで K は 1~32 の値で、オクテット数は 17~1024 である必要があります。K 値は、アドレス 0x70、ビット[7:0]にデフォルトで 32 と設定されています。K 値はレジスタ値 + 1 であることに注意してください。
- K 値は変更できますが、次の条件に従う必要があります。JESD204B クイック設定値に基づいて、AD9683 ではフレーム (F) 当たりのオクテット 数に固定値を使用します。K は 4 の倍数で次式を満たす必要があります。  

$$32 \geq K \geq \text{Ceil}(17/F)$$
- また、JESD204B 仕様はマルチフレーム当たりのオクテット数 (K × F) を 17~1024 にすることを要求しています。クイック設定値で F 値を固定にしてこの関係を満たしています。

表 11. JESD204B の設定可能な識別値

ID Value	Register, Bits	Value Range
LID	0x67, [4:0]	0 to 31
DID	0x64, [7:0]	0 to 255
BID	0x65, [3:0]	0 to 15

スクランブル、SCR。

- アドレス 0x6E、ビット 7 を設定して、スクランブルをイネーブルまたはディスエーブルすることができます。デフォルトで、スクランプリングはイネーブルされています。JESD204B プロトコルに従い、レーン同期が完了した後のみスクランブルは機能します。

レーン同期オプションの選択。

一般的なアプリケーションに対して、デフォルトで JESD204B インターフェースの大部分の同期機能がイネーブルされています。場合によって、これらの機能をディスエーブルするか、次のように変更することができます。

- ILAS のイネーブルはアドレス 0x5F、ビット[3:2]から制御され、デフォルトでイネーブルされています。オプションで、インターフェースの独自な例 (例えば NMCDA-SL) をサポートするため、ILAS シーケンスをディスエーブルするか、または ILAS シーケンスを連続して繰り返すように、JESD204B インターフェースを設定することができます。

AD9683 は、次のように固定値の JESD204B インターフェース・パラメータを持ちます。

- N = 14、コンバータ当たりのビット数は 14、アドレス 0x72、ビット[3:0]
- N' = 16、サンプル当たりのビット数は 16、アドレス 0x73、ビット[3:0]
- CF = 0、1 個のコンバータのフレーム・クロック・サイクル当たりのコントロール・ワード数は 0、アドレス 0x75、ビット[4:0]

リンク当たりのレーン数 (L)、フレーム当たりのオクテット数 (F)、コンバータ数 (M)、フレーム当たりの 1 コンバータのサンプル数 (S) の各読み専用値を確認します。AD9683 は、他の設定、特にクイック設定レジスタの選択に基づいて幾つかの JESD204B パラメータ値を計算します。ここでの読み専用値は、評価用にレジスタ・マップに記載してあります。

- L = リンク当たりのレーン数は 1; アドレス 0x6E、ビット [4:0]の値を読みします
- F = フレーム当たりのオクテット数は 1、2、または 4; アドレス 0x6F、ビット[7:0]の値を読みします
- HD = 高密度モードは 0 または 1 に設定可能; アドレス 0x75、ビット 7 の値を読みします
- M = リンク当たりのコンバータ数は 1; アドレス 0x71、ビット [7:0]の値を読みします
- S = フレーム当たりの 1 コンバータのサンプル数は 1 または 2 に設定可能; アドレス 0x74、ビット [4:0]の値を読みします

**JESD204B インターフェース・パラメータのチェックサム (FCHK) のチェック**

JESD204B パラメータは、JESD204B インターフェース・パラメータのチェックサム値 (FCHK) を使って検証することができます。各レーンには対応する FCHK 値があります。FCHK 値は ILAS の 2 番目のマルチフレームで送信され、内部レジスタから読み出すことができます。

チェックサム値は、表 12 の No. 欄のパラメータのモジュロ 256 の和です。チェックサムは、表 12 に示すオクテットにパックする前にパラメータ・フィールドを加算することにより計算されます。

レーン 0 から出力されるデータに対するレーン設定の FCHK 値は、アドレス 0x79 から読み出すことができます。

表 12. ILAS と CHKSUM 計算で使用される JESD204B 設定表

No.	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)
0	DID[7:0]							
1					BID[3:0]			
2					LID[4:0]			
3	SCR				L[4:0]			
4	F[7:0]							
5					K[4:0]			
6	M[7:0]							
7	CS[1:0]				N[4:0]			
8	SUBCLASS[2:0]				N'[4:0]			
9	JESDV[2:0]				S[4:0]			
10					CF[4:0]			

**その他のデジタル出力設定オプションの設定**

その他のデータ・フォーマット制御には次が含まれます。

- シリアル出力データ極性の反転、アドレス 0x60、ビット 1
- ADC データ・フォーマットの選択 (オフセット・バイナリまたは 2 の補数)、アドレス 0x14、ビット [1:0]
- SYSREF± と SYNCINB± についての信号解釈オプション、アドレス 0x3A、ビット [4:0]

設定後のレーン再イネーブル

JESD204B リンク・パラメータを変更した後、リンクをイネーブルして同期プロセスを開始できるようにします。これは、ロジック 0 をアドレス 0x5F、ビット 0 へ書込むことにより実行します。

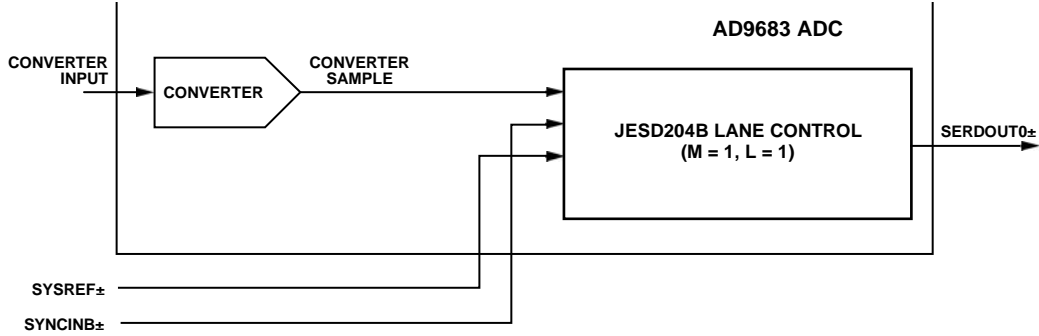


図 59.送信リンクの簡略化したブロック図

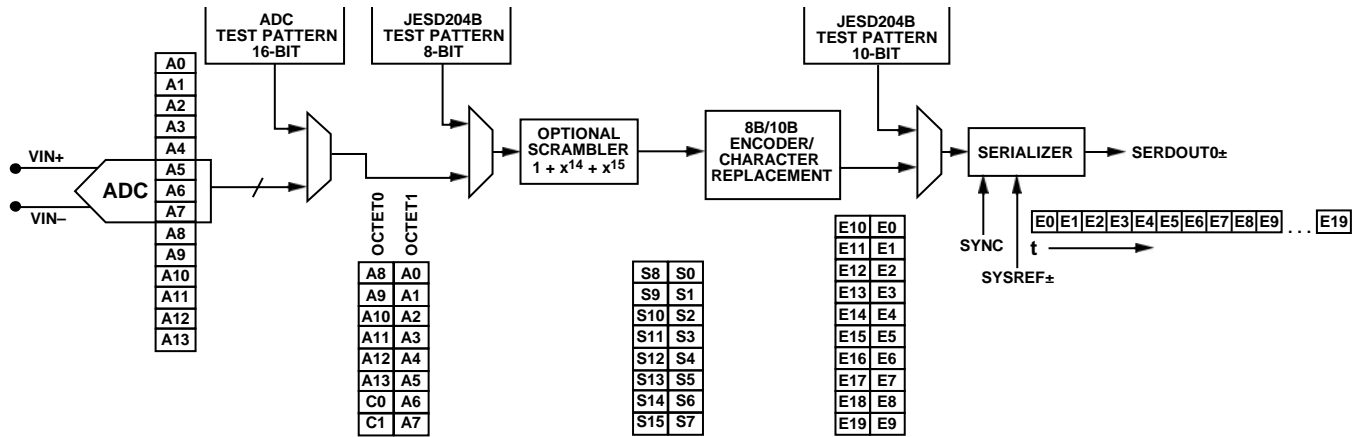


図 60.JESD204B レーンのデジタル処理

表 13.JESD204B の一般的な設定

JESD204B Configure Setting	M (No. of Converters), Address 0x71, Bits[7:0]	L (No. of Lanes), Address 0x6E, Bits[4:0]	F (Octets/Frame), Address 0x6F, Bits[7:0], Read Only	S (Samples/ADC/Frame), Address 0x74, Bits[4:0], Read Only	HD (High Density Mode), Address 0x75, Bit 7, Read Only
0x11 (Default)	1	1	2	1	0

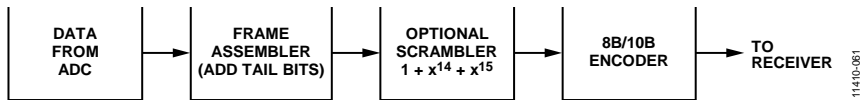


図 61.ADC 出力データ・パス

表 14.JESD204B フレーム・アライメントの監視と補正置換文字

Scrambling	Lane Synchronization	Character to be Replaced	Last Octet in Multiframe	Replacement Character
Off	On	Last octet in frame repeated from previous frame	No	K28.7
Off	On	Last octet in frame repeated from previous frame	Yes	K28.3
Off	Off	Last octet in frame repeated from previous frame	Not applicable	K28.7
On	On	Last octet in frame equals D28.7	No	K28.7
On	On	Last octet in frame equals D28.3	Yes	K28.3
On	Off	Last octet in frame equals D28.7	Not applicable	K28.7

**フレームとレーン・アライメントの監視と補正**

フレーム・アライメントの監視と補正は、JESD204B 仕様に含まれています。14 ビット・ワードでは、すべてのデータを送信するために 2 個のオクテットが必要です。2 個のオクテット (MSB と LSB) で 1 フレームが構成されます。ここで  $F = 2$  です。通常の動作状態では、フレーム・アライメントは一定の条件下でフレームの終わりに挿入されるアライメント文字を使って監視されます。表 14 に、文字挿入の条件と種々の動作モードで予想される文字の一覧を示します。レーン同期がイネーブルされる場合、置換文字値は、オクテットがフレームの終わりか、またはマルチフレームの終わりのいずれにあるかに依存します。

動作モードに基づいて、レーン・アライメント文字を正常受信することにより、フレーム境界に同期していることを確認することができます。

**デジタル出力とタイミング**

AD9683 には、デフォルトでパワーアップする差動デジタル出力があります。ドライバの電流は内部で発生され、各出力での出力電流公称値は 3 mA に設定されます。各出力には 100 Ω のダイナミックな内部終端があり、不要な反射を削減します。

各レーン・アライメント文字に 100 Ω の差動終端抵抗を接続すると、レーン・アライメント文字で公称振幅 600 mV p-p が得られます (図 62 参照)。あるいは、シングルエンド 50 Ω 終端を使用することもできます。シングルエンド終端を使用する場合、終端電圧を  $DRVDD/2$  にする必要があります。そうでない場合は、AC 結合コンデンサを使ってシングルエンド電圧を終端することができます。

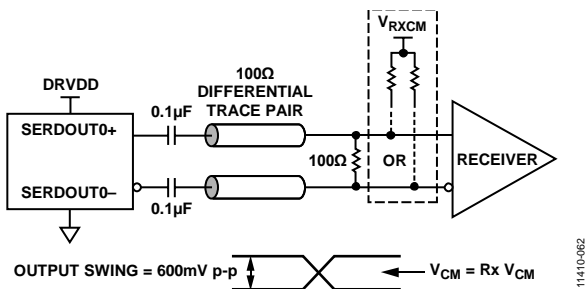


図 62.AC 結合デジタル出力終端の例

AD9683 デジタル出力はカスタム ASIC と FPGA のレーン・アライメントにインターフェースできるため、ノイズの多い環境で優れたスイッチング性能を提供することができます。1 本の 100 Ω の終端抵抗をできるだけレーン・アライメントの近くに接続した 1 対 1 回路の使用が推奨されます。DC 結合接続を使用する場合、デジタル出力の同相モードは自動的に AD9683 電源の中央 (1.8 V 電源では同相モード電圧は 0.9 V) にバイアスされます (図 63 参照)。DRVDD 電源の境界を超えるレーン・アライメントに対しては、AC 結合接続を使用してください。0.1 μF のコンデンサを各出力ピンに接続し、レーン・アライメントの近くに 100 Ω の差動終端を設けてください。

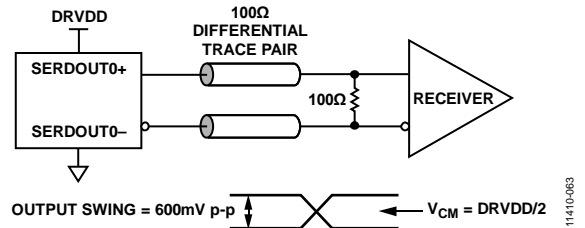


図 63.DC 結合デジタル出力終端の例

遠端でレーン・アライメント終端がない場合、または差動パターン配線が良くない場合には、タイミング誤差が発生します。このようなタイミング誤差を防止するため、パターン長を 6 インチ以下に抑え、差動出力パターンを同じ長さで互いに近い配置にすることが推奨されます。

図 64 に、デジタル出力 (デフォルト) データ・アイと時間インターバル誤差 (TIE) ジッタ・ヒストグラム (TIE) の例、および 5 Gbps で動作する AD9683 レーンのバスタブカーブを示します。

追加の SPI オプションを使うと、出力ドライバ電圧振幅を大きくするか、またはプリエンファシスを可能にして長いパターンを駆動できるようにすることができます (表 17 のアドレス 0x15 参照)。DRVDD 電源の消費電力は、このオプションを使うと増加します。詳細については、メモリ・マップのセクションを参照してください。

出力データのデフォルト・フォーマットは 2 の補数です。出力データ・フォーマットをオフセット・バイナリへ変更するときは、メモリマップのセクションを参照してください (表 17 のアドレス 0x14 参照)。

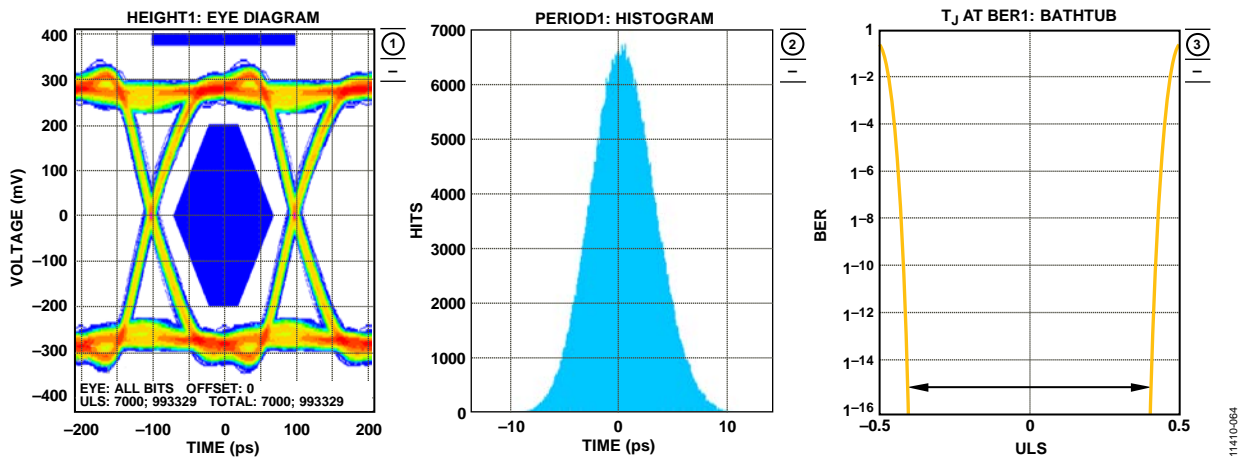


図 64.5 Gbps での AD9683 デジタル出力のデータアイ、ヒストグラム、バスタブ、外部 100 Ω 終端

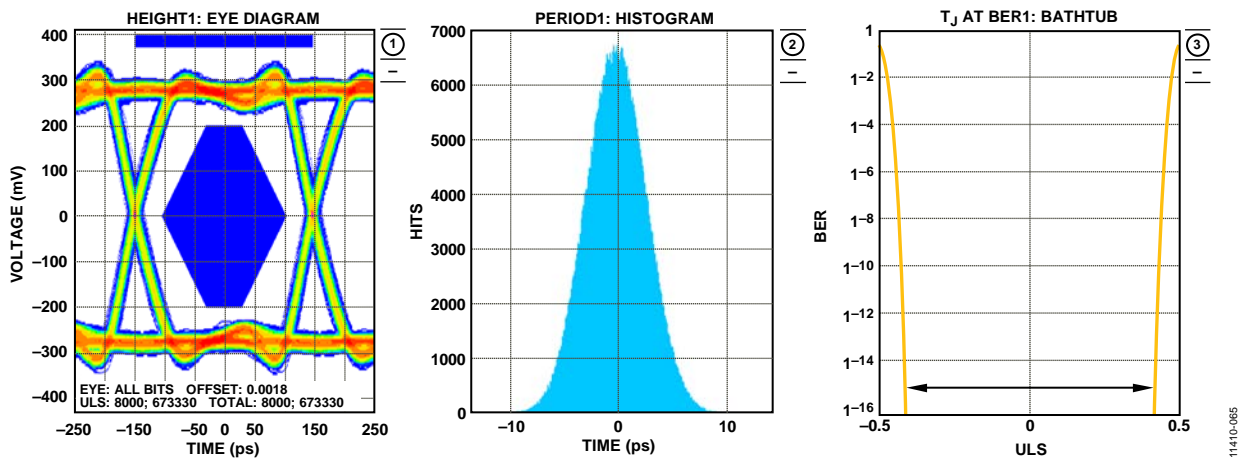


図 65.3.4 Gbps での AD9683 デジタル出力のデータアイ、ヒストグラム、バスタブ、外部 100 Ω 終端

## ADC オーバーレンジとゲインの制御

レーザ・アプリケーションでは、コンバータがクリップされそうなき確実に検出できることが望まれます。標準のオーバーフロー・インジケータは、アナログ入力の状態に対して事後情報を提供するため、クリッピングの防止にはあまり役立ちません。したがって、クリップが発生する前にゲインを小さくするための時間を確保するために、フルスケールより下にプログラマブルなスレッシュホールドを設けることが有効です。さらに、入力信号が大きなスルーレートを持つことがあるため、この機能によるレイテンシが問題になります。

SPI ポートを使うと、超えたときに FD 出力がアクティブになるスレッシュホールドを設定することができます。アドレス 0x45 のビット 0 により高速検出機能がイネーブルされます。アドレス 0x47~アドレス 0x4A を使うと、スレッシュホールド・レベルを設定することができます。信号が選択したスレッシュホールドを下回っている限り、FD 出力はロー・レベルを維持します。このモードでは、データの振幅が条件の計算に使用されます(データの符号は無視されます)。スレッシュホールド検出機能は、所望の範囲外にある正と負の信号(振幅)に対して同じ応答をします。

## ADC オーバーレンジ(OR)

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で決定されるため、ADC クロックで 36 サイクルのレイテンシが発生します。入力でのオーバーレンジは、発生してから 36 クロック・サイクル後にこのビットで表示されます。

## ゲインの切り替え

AD9683 は、広いダイナミックレンジのアプリケーションまたはゲイン調整アンプを採用しているアプリケーションで役立つ回路を内蔵しています。この回路を使うと、上側と下側のスレッシュホールドが変更できるようにデジタル・スレッシュホールドを設定できます。

この機能の 1 つの使い方は、特定の入力条件のもとで、ADC がフルスケールに近づこうとしているを検出することです。この結果が表示され、これを使って、減衰器を迅速に挿入して、ADC のオーバードライブを防止します。

**高速スレッシュホールド検出 (FD)**

入力振幅がアドレス 0x47 とアドレス 0x48 にある高速検出上側スレッシュホールド・レジスタに設定された値を超えると、FD インジケータがアサートされます。選択されたのスレッシュホールド・レジスタが、ADC の出力で信号振幅と比較されます。高速上側スレッシュホールド検出には、7 クロック・サイクルの遅延があります。上側スレッシュホールド振幅の概略値は次式で与えられます。

$$\text{上側スレッシュホールド振幅 (dBFS)} = 20 \log (\text{スレッシュホールド振幅} / 2^{13})$$

信号が設定されたドウエル時間に対する下側スレッシュホールドを下回るまで、FD インジケータはクリアされません。下側スレッシュホールドは、アドレス 0x49 とアドレス 0x4A の高速検出下側スレッシュホールド・レジスタに設定されます。高速検出下側スレッシュホールド・レジスタは 16 ビットのレジスタで、このレジスタは ADC の出力で信号振幅と比較されます。この比較では、

ADC パイプライン・レイテンシが発生しますが、コンバータ分解能は正確です。下側スレッシュホールド振幅は次式で与えられます。

$$\text{下側スレッシュホールド振幅 (dBFS)} = 20 \log (\text{スレッシュホールド振幅} / 2^{13})$$

例えば、-6 dBFS の上側スレッシュホールドを設定するときは、これらのレジスタへ 0x0FFF を書き込み、-10 dBFS の下側スレッシュホールドを設定するときは、これらのレジスタへ 0x0A1D を書き込みます。

アドレス 0x4B とアドレス 0x4C の高速検出ドウエル時間レジスタに所望の値を設定して、ドウエル時間を 1~65,535 サンプル・クロック・サイクルに設定することができます。

図 66 に上側スレッシュホールド・レジスタと下側スレッシュホールド・レジスタおよびドウエル時間レジスタの動作を示します。

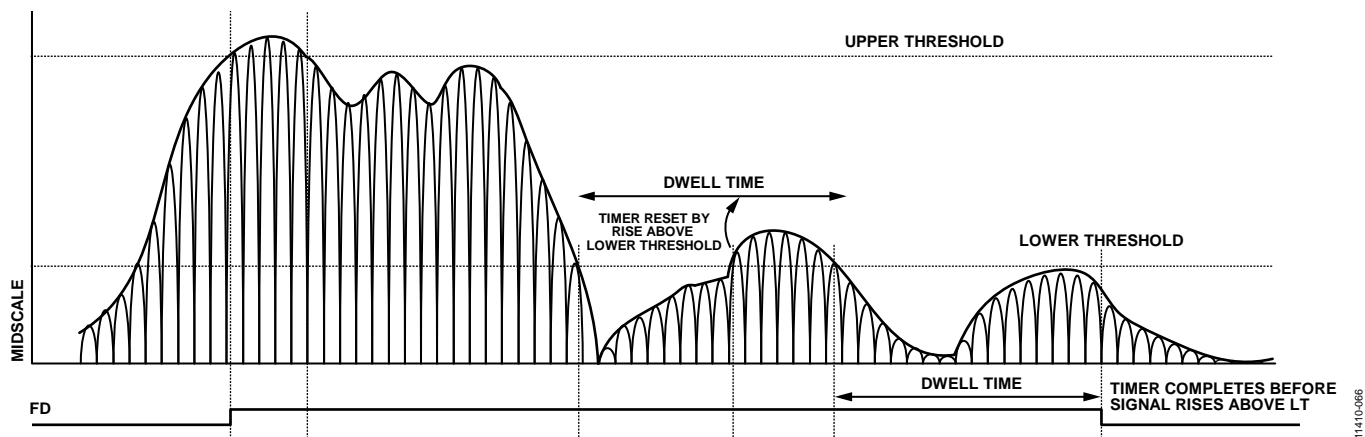


図 66.FD 信号に対するスレッシュホールド設定値

11410-086

## DC 補正 (DCC)

ADC の DC オフセットが測定する信号より大幅に大きくなることがあるため、電力を測定する前に DC オフセットを除去する DC 補正回路が含まれています。DC 補正回路はメイン信号パスに挿入するように切り替えることができますが、大きな DC 成分を持つ時間変化する、GSM のような信号を ADC がデジタル化する場合には、これは適切ではありません。

### DC 補正帯域幅

DC 補正回路は、プログラマブルな帯域幅(245.76 MSPS で 0.29 Hz~2.387 kHz の範囲)を持つハイパス・フィルタです。この帯域幅を制御するときは、4 ビットの DC 補正帯域幅選択ビット (アドレス 0x40、ビット[5:2])に書込みを行います。次式を使って、DC 補正回路の帯域幅値を計算することができます。

$$DC\_Corr\_BW = 2^{-k-14} \times f_{CLK} / (2 \times \pi)$$

ここで、

$k$  はアドレス 0x40 のビット[5:2]に設定される 4 ビット値 ( $k$  に対しては 0~13 の値が有効)。

$f_{CLK}$  は AD9683 ADC サンプル・レート(Hz)。

### DC 補正のリードバック

電流 DC 補正值は、アドレス 0x41 とアドレス 0x42 へリードバックすることができます。DC 補正值は、ADC の全入力範囲を表せる 16 ビット値です。

### DC 補正のフリーズ

アドレス 0x40 のビット 6 をセットすると、DC 補正を現在の状態にフリーズして、直前に更新した値を DC 補正值として使い続けます。このビットをクリアすると、DC 補正を再起動して、現在計算した値をデータに加算します。

### DC 補正イネーブル・ビット

アドレス 0x40 のビット 1 をセットすると、出力データ信号パスで DC 補正が使用可能になります。

## シリアル・ポート・インターフェース(SPI)

AD9683 の SPI を使うと、ADC 内部の構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドは、メモリ・マップのセクションに記載します。詳細については、AN-877 アプリケーション・ノート「*Interfacing to High Speed ADCs via SPI*」を参照してください。

### SPI を使う設定

この ADC の SPI は、SCLK ピン、SDIO ピン、 $\overline{\text{CS}}$ ピンの 3 本のピンにより定義されます(表 15 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。 $\overline{\text{CS}}$  (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読込みサイクルと書込みサイクルをイネーブル/ディスエーブルします。

表 15. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize the serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
$\overline{\text{CS}}$	Chip select bar. An active low control that gates the read and write cycles.

$\overline{\text{CS}}$ の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 67 と表 5 に示します。

$\overline{\text{CS}}$ を使用するその他のモードもあります。 $\overline{\text{CS}}$  はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。 $\overline{\text{CS}}$  をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。 $\overline{\text{CS}}$ をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは書込みコマンドのいずれが発行されたかを表示します。これにより、SDIO ピンが入力から出力へ方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、SDIO ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変更することができます。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「*Interfacing to High Speed ADCs via SPI*」を参照してください。

### ハードウェア・インターフェース

表 15 に示すピンにより、ユーザー書込みデバイスと AD9683 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと  $\overline{\text{CS}}$ ピンは、SPI インターフェースを使用するときには入力として機能します。SDIO ピンは双方向で、書込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、AN-812 アプリケーション・ノート「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、 $\overline{\text{CS}}$ 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9683 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。



SPI からアクセス可能な機能

表 16 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、AN-877 アプリケーション・ノート「*Interfacing to High Speed ADCs via SPI*」で詳しく説明しています。AD9683 デバイスに固有な機能はメモリ・マップ・レジスタの説明のセクションで説明します。

表 16.SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS via the SPI
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage

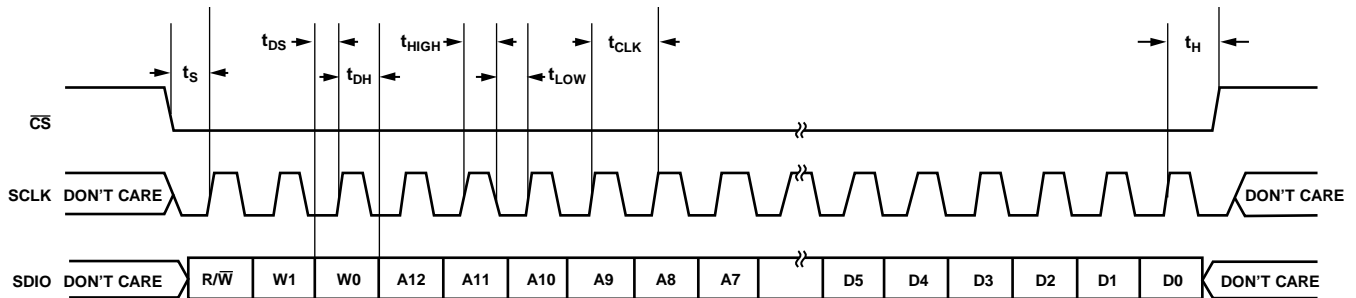


図 67.シリアル・ポート・インターフェースのタイミング図

11410-067

## メモリ・マップ

### メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ (アドレス 0x00~アドレス 0x02)、セットアップ、コントロール、テストを含む ADC 機能レジスタ (アドレス 0x08~アドレス 0xA8)、デバイス更新レジスタ(アドレス 0xFF)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 17 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x14 の出力モード・レジスタは、16 進デフォルト値 0x01 を持ちます。これは、ビット 0 = 1 で、残りのビットはすべて 0 であることを意味します。この設定値は、デフォルトの出力フォーマット値で 2 の補数です。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「*Interfacing to High Speed ADCs via SPI*」を参照してください。このアプリケーション・ノートでは、アドレス 0x00~アドレス 0x21 およびアドレス 0xFF(ただし、アドレス 0x08 とアドレス 0x14 を除く)から制御される機能を説明しています。残りのレジスタ(アドレス 0x08、アドレス 0x14、アドレス 0x3A~アドレス 0xA8)は、メモリ・マップ・レジスタの説明のセクションにドキュメント化してあります。

### 未使用ロケーション

表 17 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書込んでください。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です(例えばアドレス 0x18)。アドレス・ロケーション全体が未使用の場合(例えばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

### デフォルト値

AD9683 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 17)に記載してあります。

### ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

### 転送レジスタ・マップ

アドレス 0x09、アドレス 0x0B、アドレス 0x14、アドレス 0x18、アドレス 0x3A~アドレス 0x4C は、シャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

## メモリ・マップ・レジスタ・テーブル

表 17に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 17.メモリ・マップ・レジスタ

Reg Addr (Hex)	Reg Addr Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x00	SPI port configuration	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	
0x01	Chip ID	AD9683 8-bit chip ID is 0xC3								0xC3	Read only
0x02	Chip grade			Speed grade: 00 = 250 MSPS, 11 = 170 MSPS			Reserved for chip die revision, currently 0x0			0x00 or 0x30	
0x08	PDWN modes			External PDWN mode: 0 = PDWN is full power-down, 1 = PDWN puts device in standby	JESD204B standby mode (when external PDWN is used): 0 = JESD204B core is unaffected, 1 = JESD204B core is powered down except for PLL	JESD204B power modes: 00 = normal mode (power-up); 01 = power-down mode, PLL off, serializer off, clocks stopped, digital held in reset; 10 = standby mode, PLL on, serializer off, clocks stopped, digital circuitry held in reset	ADC power modes: 00 = normal mode (power-up), 01 = power-down mode, 10 = standby mode, does not affect JESD204B digital circuitry			0x00	
0x09	Global clock	Reserved		Clock selection: 00 = Nyquist clock, 01 = RF clock divide by 2, 10 = RF clock divide by 4, 11 = clock off					Clock duty cycle stabilizer enable	0x01	DCS enabled if clock divider enabled
0x0A	PLL status	PLL locked status							JESD204B link is ready		Read only
0x0B	Clock divide			Clock divide phase relative to the encode clock: 0x0 = 0 input clock cycles delayed, 0x1 = 1 input clock cycles delayed, 0x2 = 2 input clock cycles delayed, ... 0x7 = 7 input clock cycles delayed		Clock divider ratio relative to the encode clock: 0x00 = divide by 1, 0x01 = divide by 2, 0x02 = divide by 3, ... 0x07 = divide by 8				0x00	Clock divide values other than 0x00 automatically cause the DCS to become active
0x0D	Test mode	User test mode cycle: 00 = repeat pattern (user pattern 1, 2, 3, 4, 1, 2, 3, 4, 1, ...); 10 = single pattern (user pattern 1, 2, 3, 4, then all zeros)	Long pseudo-random number generator reset: 0 = long PRN enabled, 1 = long PRN held in reset	Short pseudo-random number generator reset: 0 = short PRN enabled, 1 = short PRN held in reset	Data output test generation mode: 0000 = off (normal mode), 0001 = midscale short, 0010 = positive full scale, 0011 = negative full scale, 0100 = alternating checkerboard, 0101 = PN sequence long, 0110 = PN sequence short, 0111 = 1/0 word toggle, 1000 = user test mode (use with Address 0x0D, Bits[7:6] and user pattern 1, 2, 3, 4), 1001 to 1110 = unused, 1111 = ramp output					0x00	
0x10	Customer offset			Offset adjust in LSBs from +31 to -32 (twos complement format): 01 1111 = adjust output by +31, 01 1110 = adjust output by +30, ... 00 0001 = adjust output by +1, 00 0000 = adjust output by 0 (default), ... 10 0001 = adjust output by -31, 10 0000 = adjust output by -32						0x00	

Reg Addr (Hex)	Reg Addr Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes	
0x14	Output mode	JESD204B CS bits assignment (in conjunction with Address 0x72): 000 = {overrange underrange, valid}, 001 = {overrange, underrange}, 010 = {overrange underrange, blank}, 011 = {blank, valid}, 100 = {blank, blank}, 101 = {underrange, overrange}, 110 = {valid, overrange underrange}, 111 = {valid, blank}			ADC output disable		ADC data invert: 0 = normal (default), 1 = inverted	Data format select (DFS): 00 = offset binary, 01 = twos complement		0x01		
0x15	CML output adjust						JESD204B CML differential output drive level adjustment: 000 = 75% of nominal (438 mV p-p), 001 = 83% of nominal (488 mV p-p), 010 = 91% of nominal (538 mV p-p), 011 = nominal (default) (588 mV p-p), 100 = 109% of nominal (638 mV p-p), 101 = 117% of nominal (690 mV p-p), 110 = 126% of nominal (740 mV p-p), 111 = 134% of nominal (790 mV p-p)			0x03		
0x18	Input span select				Main reference full-scale VREF adjustment: 0 1111 = internal 2.087 V p-p, ... 0 0001 = internal 1.772 V p-p, 0 0000 = internal 1.75 V p-p (default), 1 1111 = internal 1.727 V p-p, ... 1 0000 = internal 1.383 V p-p					0x00		
0x19	User Test Pattern 1 LSB	User Test Pattern 1 LSB; use in conjunction with Address 0x0D and Address 0x61										
0x1A	User Test Pattern 1 MSB	User Test Pattern 1 MSB										
0x1B	User Test Pattern 2 LSB	User Test Pattern 2 LSB										
0x1C	User Test Pattern 2 MSB	User Test Pattern 2 MSB										
0x1D	User Test Pattern 3 LSB	User Test Pattern 3 LSB										
0x1E	User Test Pattern 3 MSB	User Test Pattern 3 MSB										
0x1F	User Test Pattern 4 LSB	User Test Pattern 4 LSB										
0x20	User Test Pattern 4 MSB	User Test Pattern 4 MSB										
0x21	PLL low encode				00 = for lane speeds of >2 Gbps, 01 = for lane speeds of <2 Gbps					0x00		
0x3A	SYNCINB±/ SYSREF± control				JESD204B realign SYNCINB±: 0 = normal mode, 1 = realigns lane on every active SYNCINB±	JESD204B realign SYSREF±: 0 = normal mode, 1 = realigns lane on every active SYSREF±	SYSREF± mode: 0 = continuous reset clock dividers, 1 = sync on next SYSREF± rising edge only	SYSREF± enable: 0 = disabled, 1 = enabled	Enable SYNCINB± buffer: 0 = buffer disabled, 1 = buffer enabled	0x00		

Reg Addr (Hex)	Reg Addr Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x40	DC correction control		Freeze dc correction: 0 = calculate, 1 = freeze value	DC correction bandwidth select; correction bandwidth is 2387.32 Hz/register value; there are 14 possible values; 0000 = 2387.32 Hz, 0001 = 1193.66 Hz, 0010 = 596.83 Hz, 0011 = 298.42 Hz, 0100 = 149.21 Hz, 0101 = 74.60 Hz, 0110 = 37.30 Hz, 0111 = 18.65 Hz, 1000 = 9.33 Hz, 1001 = 4.66 Hz, 1010 = 2.33 Hz, 1011 = 1.17 Hz, 1100 = 0.58 Hz, 1101 = 0.29 Hz, 1110 = reserved, 1111 = reserved				Enable dc correction		0x00	
0x41	DC Correction Value 0	DC correction value LSB[7:0]								0x00	
0x42	DC Correction Value 1	DC correction value MSB[15:8]								0x00	
0x45	Fast detect control				FD pin function: 0 = fast detect, 1 = overrange	Force FD output enable: 0 = normal function, 1 = force to value	Forced FD output value; if force FD pin is true, this value is output on the FD pin		Enable fast detect output	0x00	
0x47	Fast detect upper threshold	Fast detect upper threshold[7:0]									
0x48	Fast detect upper threshold	Fast detect upper threshold[14:8]									
0x49	Fast detect lower threshold	Fast detect lower threshold[7:0]									
0x4A	Fast detect lower threshold	Fast detect lower threshold[14:8]									
0x4B	Fast detect dwell time	Fast detect dwell time[7:0]									
0x4C	Fast detect dwell time	Fast detect dwell time[15:8]									
0x5E	JESD204B quick config	JESD204B quick configuration, always reads back 0x00; 0x11: M = 1, L = 1; one converter, one lane								0x00	Always reads back 0x00
0x5F	JESD204B Link Control 1		Serial tail bit enable: 0 = extra bits are 0, 1 = extra bits are 9-bit PN	JESD204B test sample enable	Reserved; set to 1	ILAS mode: 01 = ILAS normal mode enabled, 11 = ILAS always on, test mode	Reserved; set to 1	JESD204B link power-down; set high while configuring link parameters	0x14		
0x60	JESD204B Link Control 2	Reserved; set to 0	Reserved; set to 0	Reserved; set to 0	SYNCINB± logic type: 0 = LVDS (differential), 1 = CMOS (single-ended)		Reserved; set to 0	Invert transmit bits	Reserved; set to 0	0x00	
0x61	JESD204B Link CTRL 3	Reserved; set to 0	Reserved; set to 0	Test data injection point: 01 = 10-bit data at 8B/10B output, 10 = 8-bit data at scrambler input		JESD204B test mode patterns: 0000 = normal operation (test mode disabled), 0001 = alternating checker board, 0010 = 1/0 word toggle, 0011 = PN Sequence PN23, 0100 = PN Sequence PN9, 0101 = continuous/repeat user test mode, 0110 = single user test mode, 0111 = reserved, 1100 = PN Sequence PN7, 1101 = PN Sequence PN15, other setting are unused			0x00		
0x64	JESD204B DID config	JESD204B DID value									

Reg Addr (Hex)	Reg Addr Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x65	JESD204B BID config					JESD204B BID value					
0x67	JESD204B LID config					JESD204B LID value					
0x6E	JESD204B scrambler (SCR) and lane (L) configuration	JESD204B scrambling (SCR): 0 = disabled, 1 = enabled			JESD204B number of lanes (L); 0 = one lane per link (L = 1)				0x80		
0x6F	JESD204B parameter, F	JESD204B number of octets per frame (F); calculated value; read only									Read only
0x70	JESD204B parameter, K	JESD204B number of frames per multiframe (K); set value of K per JESD204B specifications, but must also be a multiple of four octets									
0x71	JESD204B parameter, M	JESD204B number of converters (M); 0 = 1 converter								0x00	Read only
0x72	JESD204B parameters, N/CS	Number of control bits (CS): 00 = no control bits (CS = 0), 01 = 1 control bit (CS = 1), 10 = 2 control bits (CS = 2)				ADC converter resolution (N), 0xD = 14-bit converter (N = 14)			0x0D		
0x73	JESD204B parameters, subclass/N'		JESD204B subclass: 00 = Subclass 0, 01 = Subclass 1 (default)			JESD204B N' value; 0xF = N' = 16			0x2F		
0x74	JESD204B parameter, S			Reserved; set to 1	JESD204B samples per converter per frame cycle (S); read only						
0x75	JESD204B parameters, HD and CF	JESD204B HD value; read only			JESD204B control words per frame clock cycle per link (CF); read only					Read only	
0x76	JESD204B RESV1	JESD204B Reserved Field 1									
0x77	JESD204B RESV2	JESD204B Reserved Field 2									
0x79	JESD204B CHKSUM	JESD204B checksum value for the output lane									
0x80	JESD204B output driver control								JESD204B driver power-down: 0 = enabled, 1 = powered down	0x00	
0x8B	JESD204B LMFC offset				Local multiframe clock (LMFC) phase offset value; reset value for LMFC phase counter when SYSREF± is asserted; used for deterministic delay applications				0x00		
0xA8	JESD204B preemphasis	JESD204B preemphasis enable option (consult factory for more details); set value to 0x04 for preemphasis off, and set value to 0x14 for preemphasis on								0x04	Typically not required
0xFF	Device update (global)								Transfer settings		

## メモリ・マップ・レジスタの説明

アドレス 0x00～アドレス 0x21 およびアドレス 0xFF (ただし、アドレス 0x08 とアドレス 0x14 は除く) から制御される機能の詳細については、AN-877 アプリケーション・ノート「*Interfacing to High Speed ADCs via SPI*」を参照してください。

## PDWN モード (アドレス 0x08)

ビット[7:6]—予約済み

ビット 5—外部 PDWN モード

このビットは、PDWN ピンの機能を制御します。このビットが 0 のとき、PDWN ピンをアサートすると、デバイスがフル・パワーダウンします。このビットが 1 のとき、PDWN ピンをアサートすると、デバイスはスタンバイ・モードになります。

**ビット 4—JESD204B スタンバイ・モード**

外部 PDWN ピンを使ってデバイスをスタンバイ・モードにすると、このビットは JESD204B デジタル回路の状態を制御します。このビットが 0 の場合、JESD204B デジタル回路はスタンバイ・モードになりません。このビットが 1 の場合、PDWN ピンをアサートしてビット 5 が 1 のとき、JESD204B 回路はスタンバイ・モードになります。

**ビット[3:2]—JESD204B パワー・モード**

これらのビットは、JESD204B デジタル回路のパワー・モードを制御します。ビット[3:2] = 00 のとき、JESD204B デジタル回路は通常モードになります。ビット[3:2] = 01 のとき、JESD204B デジタル回路はパワーダウン・モードになり、PLL はオフ、シリアライザはオフ、クロックは停止、デジタル回路はリセット状態になります。ビット[3:2] = 10 のとき、JESD204B デジタル回路はスタンバイ・モードになり、PLL はオン、シリアライザはオフ、クロックは停止、デジタル回路はリセット状態になります。

**ビット[1:0]—ADC パワー・モード**

これらのビットは、JESD204B デジタル回路を除く ADC のパワー・モードを選択します。ビット[1:0] = 00 のとき、ADC は通常モードになります。ビット[1:0] = 01 のとき、ADC はパワーダウン・モードになります。ビット[1:0] = 10 のとき、ADC はスタンバイ・モードになります。

**出力モード (アドレス 0x14)****ビット[7:5]—JESD204B CS ビット割り当て**

これらのビットは、JESD204B シリアル・データ・ストリーム内で CS ビットの機能を制御します。

**ビット 4—ADC 出力ディスエーブル**

このビットをセットすると、ADC 出力データがディスエーブルされます。

**ビット 3—オープン****ビット 2—ADC データの反転**

このビットをセットすると、ADC 出力データが反転されます。

**ビット[1:0]—データ・フォーマットの選択**

これらのビットは出力データ・フォーマットを選択します。ビット[1:0] = 00 のとき出力データはオフセット・バイナリ・フォーマットで、ビット[1:0] = 01 のとき、出力データは 2 の補数フォーマットになります。

**SYNCINB±/SYSREF± 制御 (アドレス 0x3A)****ビット[7:5]—予約済み****ビット 4—JESD204B リアライン SYNCINB±**

このビットがロー・レベルのとき、JESD204B リンクは通常モードで動作します。このビットがハイ・レベルのとき、JESD204B リンクは各アクティブ SYNCINB± アサーションごとにリアラインします。

**ビット 3—JESD204B リアライン SYSREF±**

このビットがロー・レベルのとき、JESD204B リンクは通常モードで動作します。このビットがハイ・レベルのとき、JESD204B リンクは各アクティブ SYSREF±アサーションごとにリアラインします。

**ビット 2—SYSREF± モード**

このビットをロー・レベルにすると、クロック分周器は各 SYSREF± アサーションごとに連続的にリセットされます。このビットをハイ・レベルにすると、クロック分周器は SYSREF±の次の立上がりエッジでのみリセットされます。

**ビット 1—SYSREF± のイネーブル**

このビットをロー・レベルに設定すると、SYSREF± 入力がディスエーブルされます。このビットがハイ・レベルのとき、SYSREF± 入力がいネーブルされます。

**ビット 0—SYNCINB± バッファのイネーブル**

このビットをロー・レベルに設定すると、SYNCINB±入力バッファがディスエーブルされます。このビットがハイ・レベルのとき、SYNCINB±入力バッファがいネーブルされます。

**DC 補正の制御(アドレス 0x40)****ビット 7—予約済み****ビット 6—DC 補正のフリーズ**

ビット 6 をロー・レベルに設定すると、DC 補正が連続的に計算されます。ビット 6 をハイ・レベルにすると、直前に計算された DC 値を保持する信号モニタ・ブロックに対して DC 補正が更新されなくなります。

**ビット[5:2]—DC 補正帯域幅の選択**

ビット[5:2]は、信号モニタ DC 補正機能で平均をとる時間を設定します。この 4 ビットのワードは、補正ブロックの帯域幅を次式に従って設定します。

$$DC\_Corr\_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

ここで、

$k$  はアドレス 0x40 のビット[5:2]に書込む 4 ビット値 (有効な  $k$  値は 0~13。14 または 15 を書込むと、13 を書込んだ場合と同じ結果になります)。

$f_{CLK}$  は AD9683ADC のサンプル・レート(Hz)。

**ビット 1—DC 補正のイネーブル**

このビットをハイ・レベルにすると、DC 計測ブロックの出力が信号パスのデータに加算されて、信号パスから DC オフセットが除去されます。

**ビット 0—予約済み****DC 補正值 0 (アドレス 0x41)****ビット[7:0]—DC 補正值 LSB[7:0]**

これらのビットは、DC 補正值の下位ビットです。

**DC 補正值 1 (アドレス 0x42)****ビット[7:0]—DC 補正值 MSB[15:8]**

これらのビットは、DC 補正值の上位ビットです。

**高速検出制御 (アドレス 0x45)****ビット[7:5]—予約済み****ビット 4—FD ピンの機能**

このビットをロー・レベルに設定すると、FD ピンは高速検出出力として機能します。このピンにハイ・レベルを設定すると、FD ピンは範囲外インジケータとして機能します。

**ビット 3—強制 FD 出力のイネーブル**

このビットにハイ・レベルを設定すると、FD 出力ピンはこのレジスタ (アドレス 0x45)のビット 2 に書込まれた値になります。この機能を使うと、ユーザーはデバッグのために FD ピンを強制的に既知の値にすることができます。

**ビット 2—強制 FD 出力値**

ビット 3 にハイ・レベルが書込まれたとき、ビット 2 に書込まれた値が FD 出力ピンに出力されます。

**ビット 1—予約済み****ビット 0—高速検出出力のイネーブル**

このビットをハイ・レベルに設定すると、上側スレッシュールド FD コンパレータ出力が FD 出力ピンを駆動できるようになります。

**高速検出上側スレッシュールド (アドレス 0x47 とアドレス 0x48)****アドレス 0x48、ビット 7—予約済み**

**アドレス 0x48、ビット [6:0]—高速検出上側スレッシュールド [14:8]**

**アドレス 0x47、ビット [7:0]—高速検出上側スレッシュールド [7:0]**

これらのレジスタは、上側スレッシュールドを提供します。15 ビットの値が、ADC ブロックからの出力振幅と比較されます。ADC 振幅がこのスレッシュールド値を超えると、アドレス 0x45 のビット 0 がセットされているとき、FD 出力ピンがセットされます。

**高速検出下側スレッシュールド (アドレス 0x49 とアドレス 0x4A)****アドレス 0x4A、ビット 7—予約済み**

**アドレス 0x4A、ビット [6:0]—高速検出下側スレッシュールド [14:8]**

**アドレス 0x49、ビット [7:0]—高速検出下側スレッシュールド [7:0]**

これらのレジスタは下限スレッシュールドを提供します。15 ビットの値が、ADC ブロックからの出力振幅と比較されます。高速検出ドウェル時間レジスタに書込まれたサイクル数の間 ADC 振幅がこのスレッシュールド値を下回ると、FD 出力ビットがクリアされます。

**高速検出ドウェル時間 (アドレス 0x4B とアドレス 0x4C)****アドレス 0x4C、ビット [7:0]—高速検出ドウェル時間 [15:8]****アドレス 0x4B、ビット [7:0]—高速検出ドウェル時間 [7:0]**

これらのレジスタ値には、FD 出力ビットがクリアされる前に信号が下側スレッシュールド値を下回っている必要のある最小時間を ADC サンプル・クロック(クロック分周器出力)のサイクル数で設定します。

**JESD204B クイック設定 (アドレス 0x5E)****ビット [7:0]—JESD204B クイック設定**

これらのビットは、M = 1 と L = 1 に対するデフォルト JESD204B リンク・パラメータを迅速に設定する機能を持ちます。

**JESD204B リンク制御 1 (アドレス 0x5F)****ビット 7—オープン****ビット 6—シリアル・テール・ビット・イネーブル**

このビットをセットし、かつ CS ビットをイネーブルしない場合、未使用テール・ビットには 9 ビット LFSR からの擬似ランダム数シーケンスが詰め込まれます (JESD204B 5.1.4 参照)。

**ビット 5—JESD204B テスト・サンプル・イネーブル**

セットされると、JESD204B テスト・サンプルがイネーブルされて、トランスポート層テストの長いサンプル・シーケンス (JESD204B のセクション 5.1.6.3 で規定)がすべてのリンク・レーンへ送信されます。

**ビット 4—予約済み; 1 に設定****ビット [3:2]—ILAS モード**

01 = 初期レーン・アライメント・シーケンスをイネーブル。

11 = テスト・モードでは初期レーン・アライメント・シーケンスは常にオン; 繰り返しレーン・アライメント・シーケンス (JESD204B 5.3.3.8.2 に規定)がすべてのレーンへ送信される JESD204B データ・リンク層テスト・モード。

**ビット 1—予約済み; 1 に設定****ビット 0—JESD204B リンクのパワーダウン**

ビット 0 がハイ・レベルに設定されると、シリアル送信リンクがリセット状態になり、クロックはオフになります。リンク設定ビットを変更する際は、JESD204B トランスミッタをパワーダウンさせる必要があります。

**JESD204B リンク制御 2 (アドレス 0x60)****ビット [7:5]—予約済み; 0 に設定****ビット 4—SYNCINB<sub>±</sub> のロジック・タイプ**

0 = LVDS 差動対 SYNCINB<sub>±</sub> 入力 (デフォルト)。

1 = SYNCINB<sub>-</sub> 入力を使用する CMOS シングルエンド SYNCINB<sub>±</sub>。

**ビット 3—オープン****ビット 2—予約済み; 0 に設定****ビット 1—送信ビットの反転**

このビットをセットすると、10 ビットのシリアル出力が反転されます。これにより実際に出力信号が反転します。

**ビット 0—予約済み; 0 に設定****JESD204B リンク制御 3 (アドレス 0x61)****ビット [7:6]—予約済み; 0 に設定****ビット [5:4]—テスト・データ注入ポイント**

01 = 8B/10B エンコーダ出力 (PHY への入力)で 10 ビットのテスト生成データを注入

10 = スクランブラ入力で 8 ビットのテスト生成データを注入

**ビット [3:0]—JESD204B テスト・モード・パターン**

0000 = 通常動作 (テスト・モードをディスエーブル)。

0001 = チェッカボードの切り替え。

0010 = 1/0 ワード・トグル。

0011 = PN23 シーケンス。

0100 = PN9 シーケンス。

0101 = 連続/繰り返しユーザー・テスト・モード。ユーザー・パターン (1、2、3、4)からの最上位ビットが 1 クロック・サイクル間出力された後、出力ユーザー・パターンが繰り返されます (1、2、3、4、1、2、3、4、1、2、3、4...)。

0110 = シングル・ユーザー・テスト・モード。ユーザー・パターン (1、2、3、4)からの最上位ビットが 1 クロック・サイクル間出力された後、全ビット・ゼロが出力されます (出力ユーザー・パターン 1、2、3、4; その後に全ビット・ゼロの出力)。

0111 = 予約済み。

1100 = PN7 シーケンス。

1101 = PN15 シーケンス。

その他 = 未使用。



**JESD204B デバイス識別 (DID) 設定 (アドレス 0x64)**

ビット[7:0]—JESD204B デバイス識別 (DID) 値

**JESD204B バンク識別 (BID) 設定 (アドレス 0x65)**

ビット[7:4]—オープン

ビット[3:0]—JESD204B バンク識別 (BID) 値

**JESD204B レーン識別 (LID) 設定 (アドレス 0x67)**

ビット[7:5]—オープン

ビット[4:0]—JESD204B レーン識別 (LID) 値

**JESD204B スランブラ (SCR) およびレーン (L) 設定 (アドレス 0x6E)**

ビット 7—JESD204B スランプリング (SCR)

このビットをロー・レベルに設定すると、スランブラがディセーブルされます (SCR = 0)。

このビットをハイ・レベルに設定すると、スランブラがイネーブルされます (SCR = 1)。

ビット[6:5]—オープン

ビット[4:0]—JESD204B レーン数 (L)

0 = リンクあたり 1 レーン (L = 1)。

**JESD204B パラメータ、F (アドレス 0x6F、読出し専用)**

ビット[7:0]—JESD204B フレーム当たりのオクテット数 (F)

このレジスタの読出し値は、 $F = (M \times 2) / L$  で計算されます。

M = 1 かつ L = 1 のとき F の有効値は 2 です。

**JESD204B パラメータ、K (アドレス 0x70)**

ビット[7:0]—JESD204B マルチフレーム当たりのフレーム数 (K)

このレジスタは JESD204B インターフェースの K 値を設定します。この値はマルチフレーム当たりのフレーム数を定めます。この値は 4 の倍数である必要があります。

**JESD204B パラメータ、M (アドレス 0x71)**

ビット[7:0]—JESD204B コンバータ数 (M)

0 = 1 個の ADC に接続したリンク。プライマリ入力のみを使用 (M = 1)。

**JESD204B パラメータ、N/CS (アドレス 0x72)**

ビット[7:6]—コントロール・ビット数 (CS)

00 = サンプルあたり送信するコントロール・ビットなし (CS = 0)。

01 = サンプルあたり 1 コントロール・ビットを送信—範囲外ビットをイネーブル (CS = 1)。

10 = サンプルあたり 2 コントロール・ビットを送信—オーバーフロー/アンダーフロー・ビットをイネーブル (CS = 2)。

ビット[5:4]—オープン

ビット [3:0]—ADC コンバータ分解能 (N)

コンバータ分解能を表す読出し専用ビット (14 ビット分解能に対する読出し値は 13 (0xD))。

**JESD204B パラメータ、サブクラス/N' (アドレス 0x73)**

ビット 7—予約済み

ビット[6:5]—JESD204B サブクラス

ビット[6:5] が 00 のとき、デバイスはサブクラス 0 モードで動作し、ビット[6:5]が 01 のとき、デバイスはサブクラス 1 モードで動作します。

ビット 4—予約済み

ビット[3:0]—JESD204B N' 値

サンプル当たりの全ビット数 - 1 を表す読出し専用ビット (サンプルあたり 16 ビットに対する読出し値は 15 (0xF))。

**JESD204B フレーム・サイクル当たりの 1 コンバータのサンプル数 (アドレス 0x74)**

ビット[7:6]—オープン

ビット 5—予約済み; 1 に設定

ビット[4:0]—JESD204B コンバータ・フレーム・サイクル当たりのサンプル数

コンバータ・フレーム・サイクル当たりのサンプル数 - 1 を表す読出し専用ビット (コンバータ・フレームあたり 1 サンプルに対する読出し値は 0 (0x0))。

**JESD204B パラメータ HD および CF (アドレス 0x75)**

ビット 7—JESD204B 高密度 (HD) 値 (読出し専用)

読出し専用ビット。常に 0 に設定。

ビット[6:5]—オープン

ビット[4:0]—JESD204B リンク当たりの 1 フレーム・クロック・サイクルのコントロール・ワード数 (CF)

読出し専用ビット。読出し値は 0x0。

**JESD204B 予約済み 1 (アドレス 0x76)**

ビット[7:0]—JESD204B 予約済みフィールド 1

ユーザー用のリード/ライト・レジスタ。

**JESD204B 予約済み 2 (アドレス 0x77)**

ビット[7:0]—JESD204B 予約済みフィールド 2

ユーザー用のリード/ライト・レジスタ。

**JESD204B チェックサム (アドレス 0x79)**

ビット[7:0]—JESD204B 出力レーンのチェックサム値

この読出し専用レジスタは、レーンに対して自動的に計算されます。チェックサムはモジュラス 256 の和 (レーンのリンク設定全パラメータ) です。

**JESD204B 出力ドライバ制御 (アドレス 0x80)**

ビット[7:1]—予約済み

ビット 1—JESD204B ドライバ・パワーダウン

このビットをロー・レベルに設定すると、JESD204B 出力ドライバがイネーブルされます。このビットをハイ・レベルに設定すると、JESD204B 出力ドライバがパワーダウンします。

**JESD204B LMFC オフセット (アドレス 0x8B)**

ビット[7:5]—予約済み

ビット[4:0]—ローカル・マルチフレーム・クロック・フェーズ・オフセット値

これらのビットは、SYSREF<sub>±</sub>がアサートされたときの ローカル・マルチフレーム・クロック (LMFC) フェーズ・カウンタのリセット値です。これらのビットは、決定性遅延を必要とするアプリケーションで使用されます。

**JESD204B プリエンファシス (アドレス 0xA8)**

ビット[7:0]—JESD204B プリエンファシス・イネーブル・オプション

これらのビットは、JESD204B 出力ドライバのプリエンファシス機能をイネーブルします。ビット[7:0]に 0x04 を設定するとプリエンファシスがデisableされ、ビット[7:0]に 0x14 を設定するとプリエンファシスがイネーブルされます。

## アプリケーション情報

### デザイン・ガイドライン

AD9683 のシステムのレベル・デザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

#### 電源とグラウンドの推奨事項

電源を AD9683 に接続する際、2 個の 1.8 V 電源を使うことが推奨されます。AVDD の電源を絶縁型にし、DVDD と DRVDD の電源を相互接続することができます。この場合、約 1  $\mu$ H のアイソレーション・インダクタの使用が推奨されます。あるいは、JESD204B PHY 電源 (DRVDD) とアナログ (AVDD) 電源を相互接続し、デジタル出力 (DVDD) に別の電源を使用することができます。

高周波と低周波のデカップリングをカバーするために、種類の異なる複数のデカップリング・コンデンサを使うことができます。これらコンデンサは PCB レベルの入りの近くで、かつ最短パターンでデバイス・ピンの近くに配置してください。

AD9683 を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

#### エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側の露出型パッドをアナログ・グラウンド (AGND) に接続することが必要です。PCB 上に露出した (ハンダ・マスクなし) 連続銅プレーンを設けて、これに AD9683 のエクスポーズド・パッドを接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。PCB レイアウト例については評価用ボードを参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、[AN-772](#) アプリケーション・ノート「*A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)*」を参照してください。

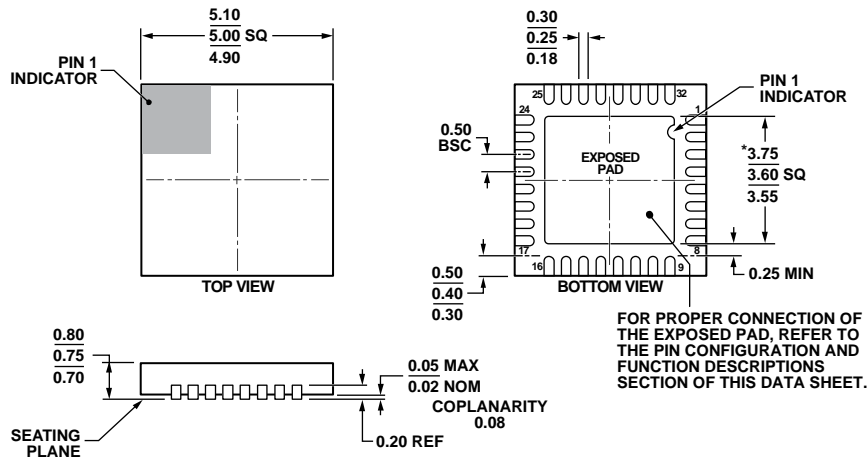
#### VCM

VCM ピンは、0.1  $\mu$ F のコンデンサでグラウンドにデカップリングしてください (図 45 参照)。0.1  $\mu$ F のコンデンサを VCM ピンの近くに、もう 1 個をアナログ入力回路への VCM 接続の近くに、それぞれ接続することが推奨されます。

#### SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CS 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9683 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力ピンでこれらの信号が変化するのを防止することが必要になります。

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

08-16-2010-B

図 68.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
5 mm x 5 mm ボディ、極薄クワッド  
(CP-32-12)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9683BCPZ-170	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9683BCPZRL7-170	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9683-170EBZ	-40°C to +85°C	Evaluation Board with AD9683-170	
AD9683BCPZ-250	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9683BCPZRL7-250	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9683-250EBZ	-40°C to +85°C	Evaluation Board with AD9683-250	

<sup>1</sup> Z = RoHS 準拠製品。