

**特長**

JESD204B (サブクラス 1) 符号化のシリアル・デジタル出力  
 1 GSPS (デフォルト設定)でチャンネルあたり 1.65 W の消費電力  
 SFDR = 340 MHz で 85 dBFS、1 GHz で 80 dBFS  
 SNR = 340 MHz で 65.3 dBFS (A<sub>IN</sub> = -1.0 dBFS)、  
 1 GHz で 61.4 dBFS  
 ENOB = 10 MHz で 10.8 ビット  
 DNL = ±0.5 LSB  
 INL = ±2.5 LSB  
 ノイズ密度 = 1 GSPS で -154 dBFS/Hz  
 動作電源電圧: 1.25 V、2.5 V、3.3 V dc  
 ノーミス・コード  
 ADC リファレンス電圧を内蔵  
 フレキシブルな入力範囲と終端インピーダンス  
 1.46 V p-p ~ 1.94 V p-p (公称 1.70 V p-p)  
 400 Ω、200 Ω、100 Ω、50 Ω 差動  
 有効アナログ入力フル・パワー帯域幅: 2 GHz  
 チャンネル・アイソレーション/クロストーク: 95 dB  
 AGC の実現に便利な振幅検出ビットを装備  
 チャンネルあたり 2 個の広帯域デジタル・プロセッサを内蔵  
 12 ビット NCO、最大 4 個のカスケード接続ハーフバンド・  
 フィルタ  
 差動クロック入力  
 -1、2、4、または 8 分周  
 フレキシブルな JESD204B レーン構成  
 小信号デザイナ

**アプリケーション**

**通信**  
 ダイバーシティ・マルチバンド、マルチモード・デジタル・レシーバ  
 3G/4G、TD-SCDMA、W-CDMA、GSM、LTE  
 汎用ソフトウェア無線  
 超広帯域衛星レシーバ  
**計装機器**  
 レーダー  
 シグナル・インテリジェンス (SIGINT)  
 DOCSIS 3.0 CMTS アップストリーム受信パス  
 HFC デジタル逆方向パス・レシーバ

**機能ブロック図**

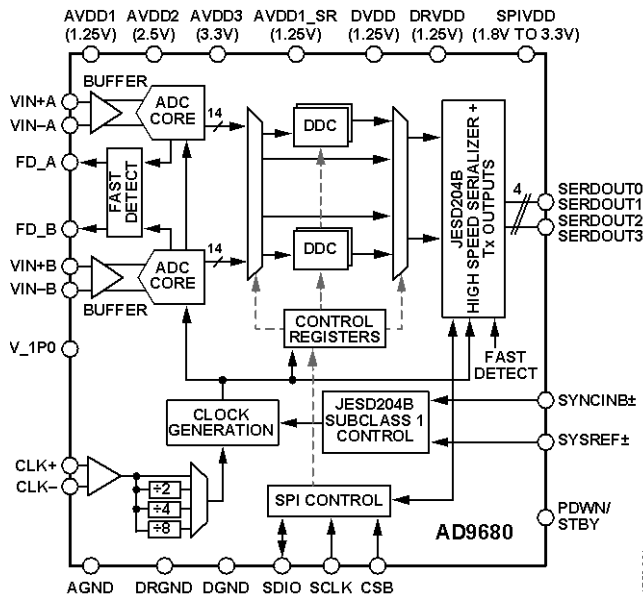


図 1.

**製品のハイライト**

1. 広いフル・パワー帯域幅で最大 2 GHz 信号の IF サンプリングをサポート
2. フィルタのデザインと構成を容易にするプログラマブルな入力終端を持つバッファ付き入力
3. 4 個の内蔵広帯域デシメーション・フィルタと数値制御発振器 (NCO) ブロックにより、マルチバンド・レシーバをサポート
4. 柔軟なシリアル・ポート・インターフェース (SPI)により、特定のシステム条件に合わせて種々の製品機能を制御
5. プログラマブルな高速範囲外検出
6. 9 mm × 9 mm の 64 ピン LFCSP を採用

## 目次

特長.....	1	DDC NCO およびミキサーの損失と SFDR.....	31
アプリケーション.....	1	数値制御オシレータ.....	31
機能ブロック図.....	1	FIR フィルタ.....	33
製品のハイライト.....	1	概要.....	33
改訂履歴.....	2	ハーフバンド・フィルタ.....	34
概要.....	3	DDC ゲイン・ステージ.....	36
仕様.....	4	DDC 複素数/実数変換.....	36
DC 仕様.....	4	DDC の設定例.....	37
AC 仕様.....	5	デジタル出力.....	40
デジタル仕様.....	6	JESD204B インターフェースの概要.....	40
スイッチング仕様.....	7	JESD204B の概要.....	40
タイミング仕様.....	8	機能概要.....	41
絶対最大定格.....	10	JESD204B リンクの確立.....	41
熱特性.....	10	物理レイヤー (ドライバ) 出力.....	44
ESD の注意.....	10	JESD204B TX コンバータのマッピング.....	45
ピン配置およびピン機能説明.....	11	JESD204B リンクの設定.....	47
代表的な性能特性.....	13	シリアル・ポート・インターフェース.....	50
等価回路.....	16	SPI を使う設定.....	50
動作原理.....	18	ハードウェア・インターフェース.....	50
ADC のアーキテクチャ.....	18	SPI からアクセス可能な機能.....	50
アナログ入力に対する考慮.....	18	メモリ・マップ.....	51
リファレンス電圧.....	20	メモリ・マップ・レジスタ・テーブルの読出し.....	51
クロック入力の考慮事項.....	21	メモリ・マップ・レジスタ・テーブル.....	52
ADC 範囲外と高速検出.....	23	アプリケーション情報.....	63
ADC 範囲外.....	23	電源の推奨事項.....	63
高速スレッショルド検出 (FD_A および FD_B).....	23	エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項.....	63
デジタル・ダウン・コンバータ (DDC).....	24	AVDD1_SR (ピン 57) と AGND (ピン 56 およびピン 60).....	63
DDC I/Q 入力選択.....	24	外形寸法.....	64
DDC I/Q 出力の選択.....	24	オーダー・ガイド.....	64
DDC の概要.....	24		
周波数変換.....	30		
概要.....	30		

## 改訂履歴

5/14—Revision 0: Initial Version

## 概要

AD9680 は 14 ビット 1 GSPS のデュアル A/D コンバータ (ADC) です。バッファとサンプル・アンド・ホールド回路を内蔵し、低消費電力、小型、使い易いデザインになっています。このデバイスは、最大 2 GHz の広帯域アナログ信号をサンプリングするようにデザインされています。AD9680 は、広い入力帯域幅、高サンプリング・レート、優れた直線性、小型パッケージで低消費電力となるよう最適化されています。

2 個の ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC は、ユーザー選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが容易です。

アナログ入力とクロック信号は差動入力です。各 ADC データ出力は、内部で 2 個のデジタル・ダウン・コンバータ (DDC) に接続されています。各 DDC は、12 ビット周波数変換器 (NCO) と 4 個のハーフバンド・デシメーション・フィルタからなる 4 段カスケード接続信号処理ステージから構成されています。

AD9680 は、DDC ブロックの他に、通信器レシーバで自動ゲイン制御 (AGC) 機能を簡素化する複数の機能を内蔵しています。

プログラマブルなスレッシュホールドを持つ検出器を使うと、ADC の高速検出出力ビットを使って着信信号電力をモニタすることができます。入力信号レベルがプログラマブルなスレッシュホールドを超えると、高速検出インジケータがハイ・レベルになります。このスレッシュホールド・インジケータのレイテンシは小さいため、迅速にシステム・ゲインを下げて ADC 入力での範囲外状態を回避することができます。

DDC の構成と受信ロジック・デバイスの許容レール・レートに応じて、サブクラス 1 JESD204B に基づく高速シリアル出力を 1 レール、2 レール、または 4 レールの多様なレール構成にすることができます。複数デバイス間の同期は、SYSREF<sub>±</sub>入力ピンと SYNCINB<sub>±</sub>入力ピンを使ってサポートします。

AD9680 は、必要に応じて大幅な省電力を可能にする柔軟なパワーダウン・オプションを持っています。これらの機能はすべて、1.8 V~3.3 V 対応の 3 線式 SPI を使って設定することができます。

AD9680 は鉛フリーの 64 ピン LFCSP パッケージを採用し、仕様は -40°C~+85°C の工業用温度範囲で規定されています。このデバイスは、米国特許により保護されています。

## 仕様

## DC仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1\_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、規定最大サンプリング・レート (1000 MSPS)、1.7 V p-p フルスケール差動入力、1.0 V 内蔵リファレンス電圧、 $A_{IN} = -1.0$  dBFS、デフォルト SPI 設定、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Temperature	Min	Typ	Max	Unit
RESOLUTION	Full	14			Bits
ACCURACY			Guaranteed		
No Missing Codes	Full				
Offset Error	Full	-0.31	0	+0.31	% FSR
Offset Matching	Full		0	+0.23	% FSR
Gain Error	Full	-5	0	+5	% FSR
Gain Matching	Full		1	+4.5	% FSR
Differential Nonlinearity (DNL)	Full	-0.7	$\pm 0.5$	+0.8	LSB
Integral Non-Linearity (INL)	Full	-5.7	$\pm 2.5$	+6.9	LSB
TEMPERATURE DRIFT					
Offset Error	25°C		-14		ppm/°C
Gain Error	25°C		$\pm 13.8$		ppm/°C
INTERNAL VOLTAGE REFERENCE					
Voltage	Full		1.0		V
INPUT-REFERRED NOISE					
$V_{REF} = 1.0$ V	25°C		2.63		LSB rms
ANALOG INPUTS					
Differential Input Voltage Range (Programmable)	Full	1.46	1.70	1.94	V p-p
Common-Mode Voltage ( $V_{CM}$ )	25°C		2.05		V
Differential Input Capacitance <sup>1</sup>	25°C		1.5		pF
Analog Input Full Power Bandwidth	25°C		2		GHz
POWER SUPPLY					
AVDD1	Full	1.22	1.25	1.28	V
AVDD2	Full	2.44	2.50	2.56	V
AVDD3	Full	3.2	3.3	3.4	V
AVDD1_SR	Full	1.22	1.25	1.28	V
DVDD	Full	1.22	1.25	1.28	V
DRVDD	Full	1.22	1.25	1.28	V
SPIVDD	Full	1.7	1.8	3.4	V
$I_{AVDD1}$	Full		685	720	mA
$I_{AVDD2}$	Full		595	680	mA
$I_{AVDD3}$	Full		125	142	mA
$I_{AVDD1\_SR}$	Full		16	18	mA
$I_{DVDD}$ <sup>2</sup>	Full		208	236	mA
$I_{DRVDD}$ <sup>1</sup>	Full		200	225	mA
$I_{SPIVDD}$	Full		5	6	mA
POWER CONSUMPTION					
Total Power Dissipation (Including Output Drivers) <sup>2,3</sup>	Full		3.3		W
Power-Down Dissipation	Full		835		mW
Standby <sup>4</sup>	Full		1.4		W

<sup>1</sup> すべてのレーンが動作。DRVDD の消費電力は、レーン・レートと使用するレーン数により変わります。

<sup>2</sup> デフォルト・モード。DDC 不使用。L = 4、M = 2、F = 1。

<sup>3</sup> デフォルト・モード。DDC 不使用。

<sup>4</sup> SPI 経由で制御可能。

## AC仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1\_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、規定最大サンプリング・レート、1.7 V p-p フルスケール差動入力、1.0 V 内蔵リファレンス電圧、 $A_{IN} = -1.0$  dBFS、デフォルト SPI 設定、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter <sup>1</sup>	Temperature	Min	Typ	Max	Unit
ANALOG INPUT FULL SCALE	Full		1.7		V p-p
NOISE DENSITY <sup>2</sup>	Full		-154		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR) <sup>3</sup>					
$f_{IN} = 10$ MHz	25°C		67.2		dBFS
$f_{IN} = 170$ MHz	Full	65.1	66.6		dBFS
$f_{IN} = 340$ MHz	25°C		65.3		dBFS
$f_{IN} = 450$ MHz	25°C		64.0		dBFS
$f_{IN} = 765$ MHz	25°C		62.4		dBFS
$f_{IN} = 985$ MHz	25°C		61.4		dBFS
$f_{IN} = 1950$ MHz	25°C		57.0		dBFS
SNR AND DISTORTION RATIO (SINAD) <sup>3</sup>					
$f_{IN} = 10$ MHz	25°C		67.1		dBFS
$f_{IN} = 170$ MHz	Full	65.0	66.4		dBFS
$f_{IN} = 340$ MHz	25°C		65.2		dBFS
$f_{IN} = 450$ MHz	25°C		63.8		dBFS
$f_{IN} = 765$ MHz	25°C		62.1		dBFS
$f_{IN} = 985$ MHz	25°C		61.1		dBFS
$f_{IN} = 1950$ MHz	25°C		56.0		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)					
$f_{IN} = 10$ MHz	25°C		10.8		Bits
$f_{IN} = 170$ MHz	Full	10.5	10.7		Bits
$f_{IN} = 340$ MHz	25°C		10.5		Bits
$f_{IN} = 450$ MHz	25°C		10.3		Bits
$f_{IN} = 765$ MHz	25°C		10.0		Bits
$f_{IN} = 985$ MHz	25°C		9.8		Bits
$f_{IN} = 1950$ MHz	25°C		9.0		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR) <sup>3</sup>					
$f_{IN} = 10$ MHz	25°C		88		dBFS
$f_{IN} = 170$ MHz	Full	75	85		dBFS
$f_{IN} = 340$ MHz	25°C		85		dBFS
$f_{IN} = 450$ MHz	25°C		82		dBFS
$f_{IN} = 765$ MHz	25°C		80		dBFS
$f_{IN} = 985$ MHz	25°C		80		dBFS
$f_{IN} = 1950$ MHz	25°C		68		dBFS
WORST HARMONIC, SECOND OR THIRD <sup>3</sup>					
$f_{IN} = 10$ MHz	25°C		-95		dBFS
$f_{IN} = 170$ MHz	Full		-94	-75	dBFS
$f_{IN} = 340$ MHz	25°C		-88		dBFS
$f_{IN} = 450$ MHz	25°C		-86		dBFS
$f_{IN} = 765$ MHz	25°C		-80		dBFS
$f_{IN} = 985$ MHz	25°C		-80		dBFS
$f_{IN} = 1950$ MHz	25°C		-80		dBFS
WORST OTHER, EXCLUDING SECOND OR THIRD HARMONIC <sup>3</sup>					
$f_{IN} = 10$ MHz	25°C		-95		dBFS
$f_{IN} = 170$ MHz	Full		-94	-81	dBFS
$f_{IN} = 340$ MHz	25°C		-88		dBFS
$f_{IN} = 450$ MHz	25°C		-86		dBFS
$f_{IN} = 765$ MHz	25°C		-81		dBFS
$f_{IN} = 985$ MHz	25°C		-82		dBFS
$f_{IN} = 1950$ MHz	25°C		-75		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD), $A_{IN1}$ AND $A_{IN2} = -7$ dBFS					
$f_{IN1} = 185$ MHz, $f_{IN2} = 188$ MHz	25°C		-87		dBFS
$f_{IN1} = 338$ MHz, $f_{IN2} = 341$ MHz	25°C		-88		dBFS

Parameter <sup>1</sup>	Temperature	Min	Typ	Max	Unit
CROSSTALK <sup>4</sup>	25°C		95		dB
FULL POWER BANDWIDTH <sup>5</sup>	25°C		2		GHz

<sup>1</sup> 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「Understanding High Speed ADC Testing and Evaluation」を参照してください。

<sup>2</sup> ノイズ密度は、低いアナログ入力周波数(30 MHz)で測定した値です。

<sup>3</sup> フルスケール電圧とバッファ電流の推奨設定値については表 9 を参照してください。

<sup>4</sup> クロストークは、片方のアナログ・チャンネルに-1.0 dBFS を入力し、隣接チャンネルは入力なしで、170 MHz で測定。

<sup>5</sup> 図 36 の回路で測定。

## デジタル仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1\_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、規定最大サンプリング・レート、1.7 V p-p フルスケール差動入力、1.0 V 内蔵リファレンス電圧、A<sub>IN</sub> = -1.0 dBFS、デフォルト SPI 設定、T<sub>A</sub> = 25°C。

表 3.

Parameter	Temperature	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance	Full		LVDS/LVPECL		
Differential Input Voltage	Full	600	1200	1800	mV p-p
Input Common-Mode Voltage	Full		0.85		V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance	Full			2.5	pF
SYSREF INPUTS (SYSREF+, SYSREF-)					
Logic Compliance	Full		LVDS/LVPECL		
Differential Input Voltage	Full	400	1200	1800	mV p-p
Input Common-Mode Voltage	Full	0.6	0.85	2.0	V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance (Differential)	Full			2.5	pF
LOGIC INPUTS (SDI, SCLK, CSB, PDWN/STBY)					
Logic Compliance	Full		CMOS		
Logic 1 Voltage	Full		0.8 × SPIVDD		V
Logic 0 Voltage	Full	0	0.2 × SPIVDD		V
Input Resistance	Full		30		kΩ
LOGIC OUTPUT (SDIO)					
Logic Compliance	Full		CMOS		
Logic 1 Voltage (I <sub>OH</sub> = 800 μA)	Full		0.8 × SPIVDD		V
Logic 0 Voltage (I <sub>OL</sub> = 50 μA)	Full		0.2 × SPIVDD		V
SYNCIN INPUT (SYNCINB+/SYNCINB-)					
Logic Compliance	Full		LVDS/LVPECL/CMOS		
Differential Input Voltage	Full	400	1200	1800	mV p-p
Input Common-Mode Voltage	Full	0.6	0.85	2.0	V
Input Resistance (Differential)	Full		35		kΩ
Input Capacitance	Full			2.5	pF
LOGIC OUTPUTS (FD_A, FD_B)					
Logic Compliance	Full		CMOS		
Logic 1 Voltage	Full	0.8	SPIVDD		V
Logic 0 Voltage	Full	0	0		V
Input Resistance	Full		30		kΩ

Parameter	Temperature	Min	Typ	Max	Unit
DIGITAL OUTPUTS (SERDOUT <sub>x±</sub> , x = 0 TO 3)					
Logic Compliance	Full		CML		
Differential Output Voltage	Full	360		770	mV p-p
Output Common-Mode Voltage (V <sub>CM</sub> )					
AC Coupled	25°C	0		1.8	V
Short-Circuit Current (I <sub>Dshort</sub> )	25°C	-100		+100	mA
Differential Return Loss (RL <sub>DIFF</sub> ) <sup>1</sup>	25°C	8			dB
Common-Mode Return Loss (RL <sub>CM</sub> ) <sup>1</sup>	25°C	6			dB
Differential Termination Impedance	Full	80	100	120	Ω

<sup>1</sup> 差動および同相モード・リターン損失は、100 MHz~0.75 MHz × ボー・レートで測定。

## スイッチング仕様

特に指定がない限り、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1\_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、規定最大サンプリング・レート、1.7 V p-p フルスケール差動入力、1.0 V 内蔵リファレンス電圧、A<sub>IN</sub> = -1.0 dBFS、デフォルト SPI 設定、T<sub>A</sub> = 25°C。

表 4.

Parameter	Temperature	Min	Typ	Max	Unit
CLOCK					
Clock Rate (at CLK+/CLK- Pins)	Full	0.3		4	GHz
Maximum Sample Rate <sup>1</sup>	Full	1000			MSPS
Minimum Sample Rate <sup>2</sup>	Full	300			MSPS
Clock Pulse Width High	Full	500			ps
Clock Pulse Width Low	Full	500			ps
OUTPUT PARAMETERS					
Unit Interval (UI) <sup>3</sup>	Full	80	100		ps
Rise Time (t <sub>R</sub> ) (20% to 80% into 100 Ω Load)	25°C	24	32		ps
Fall Time (t <sub>F</sub> ) (20% to 80% into 100 Ω Load)	25°C	24	32		ps
PLL Lock Time	25°C		2		ms
Data Rate per Channel (NRZ) <sup>4</sup>	25°C	3.125	10	12.5	Gbps
LATENCY <sup>5</sup>					
Pipeline Latency	Full		55		Clock cycles
Fast Detect Latency	Full			28	Clock cycles
Wake-Up Time <sup>6</sup>					
Standby	25°C		1		Ms
Power-Down	25°C			4	Ms
APERTURE					
Aperture Delay (t <sub>A</sub> )	Full		530		Ps
Aperture Uncertainty (Jitter, t <sub>j</sub> )	Full		55		fs rms
Out-of-range Recovery Time	Full		1		Clock Cycles

<sup>1</sup> 最大サンプル・レートは分周後のクロック・レートです。

<sup>2</sup> 最小サンプル・レートは、L=2 または L=1 の 300 MSPS で動作。

<sup>3</sup> ボー・レート = 1/UI。このレンジの一部分をサポートすることができます。

<sup>4</sup> デフォルト L=4。この値はサンプル・レートとデシメーション比に基いて変更することができます。

<sup>5</sup> DDC 不使用。L=4、M=2、F=1。

<sup>6</sup> ウェイクアップ時間は、パワーダウン・モードから通常動作へ戻るために要する時間として定義されます。

タイミング仕様

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CLK+ to SYSREF+ TIMING REQUIREMENTS	See Figure 3				
$t_{SU\_SR}$	Device clock to SYSREF+ setup time		117		ps
$t_{H\_SR}$	Device clock to SYSREF+ hold time		-96		ps
SPI TIMING REQUIREMENTS	See Figure 4				
$t_{DS}$	Setup time between the data and the rising edge of SCLK	2			ns
$t_{DH}$	Hold time between the data and the rising edge of SCLK	2			ns
$t_{CLK}$	Period of the SCLK	40			ns
$t_S$	Setup time between CSB and SCLK	2			ns
$t_H$	Hold time between CSB and SCLK	2			ns
$t_{HIGH}$	Minimum period that SCLK must be in a logic high state	10			ns
$t_{LOW}$	Minimum period that SCLK must be in a logic low state	10			ns
$t_{EN\_SDIO}$	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 4)	10			ns
$t_{DIS\_SDIO}$	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 4)	10			ns

タイミング図

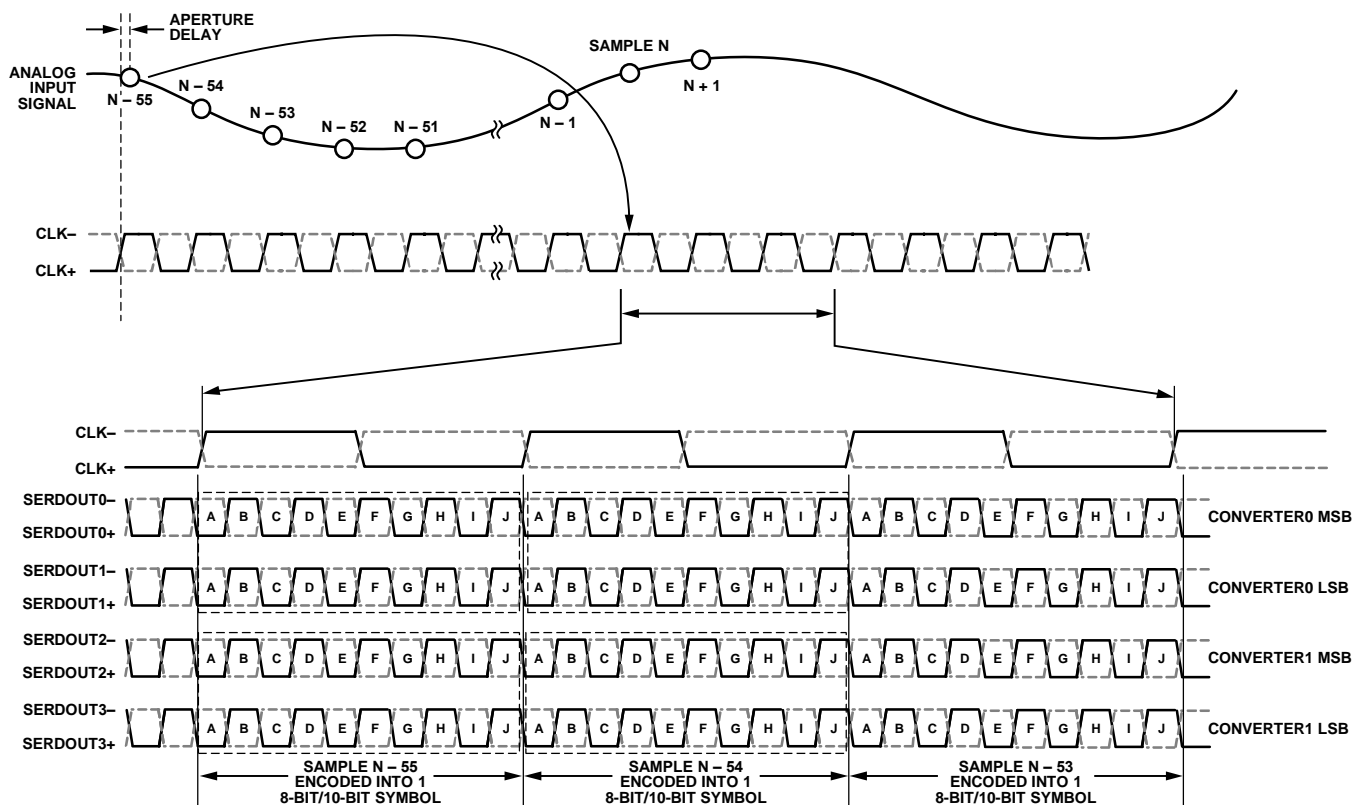


図 2. データ出カタイミング (フル帯域幅モード; L = 4; M = 2; F = 1)



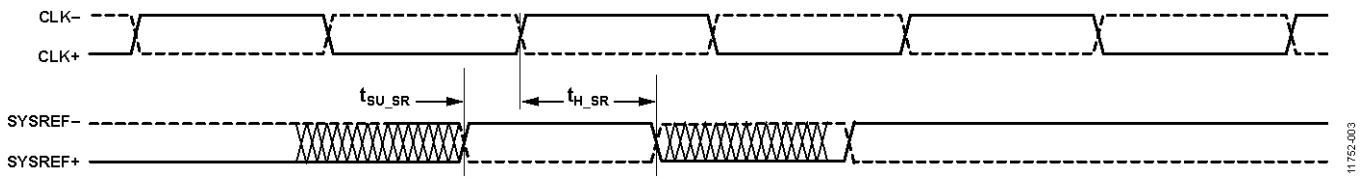


図 3.SYSREF±のセットアップとホールド・タイミング

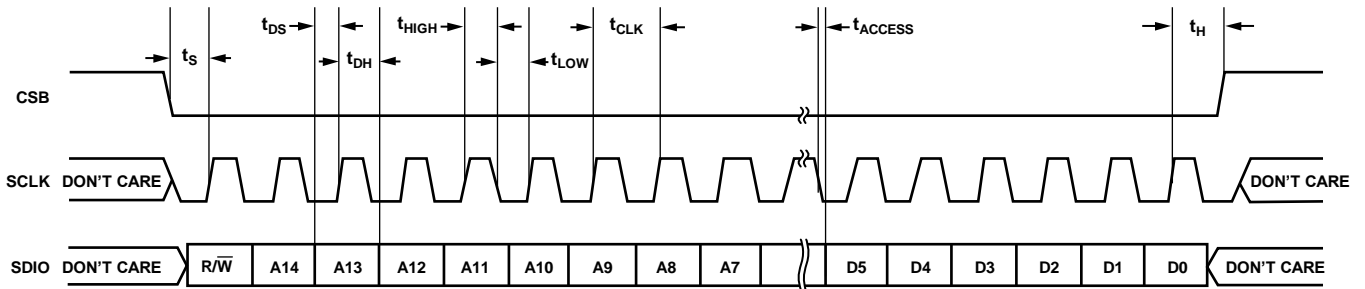


図 4.シリアル・ポート・インターフェースのタイミング

## 絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD1 to AGND	1.34 V
AVDD1_SR to AGND	1.34 V
AVDD2 to AGND	2.75 V
AVDD3 to AGND	3.63 V
DVDD to DGND	1.34 V
DRVDD to DRGND	1.34 V
SPIVDD to AGND	3.63 V
AGND to DRGND	-0.3 V to +0.3 V
VIN±x to AGND	3.2 V
SCLK, SDIO, CSB to AGND	-0.3 V to SPIVDD + 0.3 V
PDWN/STBY to AGND	-0.3 V to SPIVDD + 0.3 V
Environmental	
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	125°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

## 熱特性

$\theta_{JA}$ 、 $\theta_{JB}$ 、 $\theta_{JC}$  の typ 値は、様々な空気流 (m/sec) でプリント回路ボード (PCB) 層数に対して規定されます。空気流があると放熱効果が良くなるため、実質的に  $\theta_{JA}$  と  $\theta_{JB}$  が小さくなります。最大ジャンクション温度が表 7 に示す規定値を超えないようにするため、適切な熱管理技術の使用が推奨されます。

表 7.

PCB Type	Airflow Velocity (m/sec)	$\theta_{JA}$	$\Psi_{JB}$	$\theta_{JC\_TOP}$	$\theta_{JC\_BOT}$	Unit
JEDEC 2s2p Board	0.0	17.8 <sup>1,2</sup>	6.3 <sup>1,3</sup>	4.7 <sup>1,5</sup>	1.2 <sup>1,5</sup>	°C/W
	1.0	15.6 <sup>1,2</sup>	5.9 <sup>1,3</sup>	N/A <sup>4</sup>		°C/W
	2.5	15.0 <sup>1,2</sup>	5.7 <sup>1,3</sup>	N/A <sup>4</sup>		°C/W
10-Layer PCB 81 Vias Under Exposed Pad	0.0	13.8	4.6	4.7	1.2	°C/W
	1.0	12.7	4.6	N/A <sup>4</sup>		°C/W
	2.5	12.0	4.6	N/A <sup>4</sup>		°C/W

<sup>1</sup> JEDEC 51-7 と JEDEC 51-5 2s2p のテスト・ボードに準拠。

<sup>2</sup> JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

<sup>3</sup> JEDEC JESD51-8 (自然空冷) に準拠。

<sup>4</sup> N/A = 該当しません。

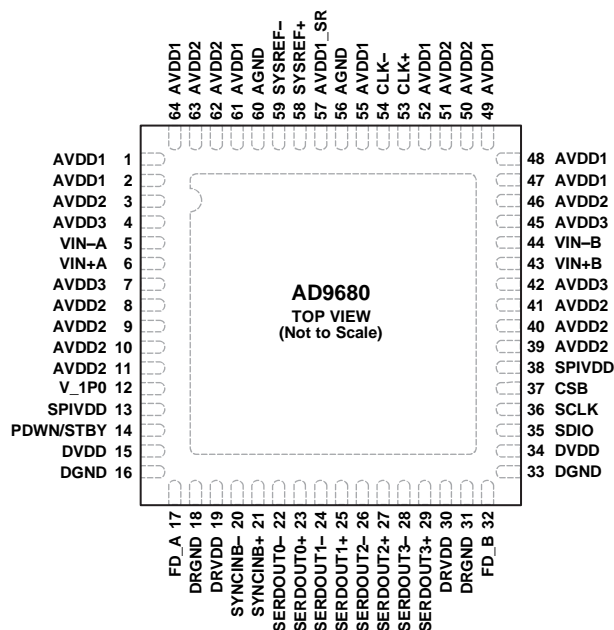
<sup>5</sup> MIL-STD 883、Method 1012.1 に準拠。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDDx. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

11752-005

図 5. ピン配置 (上面図)

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
電源			
0	EPAD	グラウンド	エクスポーズド・パッド。パッケージ底面のエクスポーズド・サーマル・パッドは、AVDDxのグラウンド基準になります。このエクスポーズド・パッドはグラウンドへ接続する必要があります。
1、2、47、48、49、52、55、61、64	AVDD1	電源	アナログ電源(公称 1.25 V)。
3、8、9、10、11、39、40、41、46、50、51、62、63	AVDD2	電源	アナログ電源(公称 2.5 V)。
4、7、42、45	AVDD3	電源	アナログ電源(公称 3.3 V)。
13、38	SPIVDD	電源	SPI用のデジタル電源(1.8 V~3.3 V)。
15、34	DVDD	電源	デジタル電源(公称 1.25 V)。
16、33	DGND	グラウンド	DVDDのグラウンド基準。
18、31	DRGND	グラウンド	DRVDDのグラウンド基準。
19、30	DRVDD	電源	デジタル・ドライバ電源(1.25 V 公称)。
56、60	AGND <sup>1</sup>	グラウンド	SYSREF±のグラウンド基準。
57	AVDD1_SR <sup>1</sup>	電源	SYSREF±のアナログ電源(公称 1.25 V)。
アナログ			
5、6	VIN-A、VIN+A	入力	ADC A アナログ入力反転/非反転。
12	V <sub>1P0</sub>	入力/DNC	1.0 V リファレンス電圧入力、接続しないでください。このピンは、SPIを使って非接続または入力に設定することができます。内蔵リファレンス電圧を使用する場合は、このピンを接続しないでください。外付けリファレンス電圧ソースを使う場合は、1.0 V のリファレンス電圧入力が必要です。
44、43	VIN-B、VIN+B	入力	ADC B アナログ入力反転/非反転。
53、54	CLK+、CLK-	入力	クロック入力非反転/反転。

ピン番号	記号	タイプ	説明
CMOS 出力 17、32	FD_A、FD_B	出力	チャンネル A とチャンネル B の高速検出出力。
デジタル入力 20、21 58、59	SYNCINB-、SYNCINB+ SYSREF+、SYSREF-	入力 入力	アクティブ・ローの JESD204B LVDS 同期入力非反転/反転。 アクティブ・ローの JESD204B LVDS システム・リファレンス電圧入力非反転/反転。
データ出力 22、23	SERDOUT0-、 SERDOUT0+	出力	レーン 0 出力データ反転/非反転。
24、25	SERDOUT1-、 SERDOUT1+	出力	レーン 1 出力データ反転/非反転。
26、27	SERDOUT2-、 SERDOUT2+	出力	レーン 2 出力データ反転/非反転。
28、29	SERDOUT3-、 SERDOUT3+	出力	レーン 3 出力データ反転/非反転。
被テスト・デバイス (DUT) の制御 14	PDWN/STBY	入力	パワーダウン入力 (アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができます。
35	SDIO	入力/出力	SPI シリアル・データ入力/出力。
36	SCLK	入力	SPI シリアル・クロック。
37	CSB	入力	SPI チップ・セレクト (アクティブ・ロー)。

<sup>1</sup> 正しい ADC 動作を保証するために、AVDD1\_SR と AGND の接続は AVDD1 と EPAD の接続と別にしてください。詳細については、アプリケーション情報のセクションを参照してください。

## 代表的な性能特性

特に指定がない限り、AVDD1 = 1.25 V、AVDD1\_SR = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V、1.7 V p-p フルスケール差動入力、 $A_{IN} = -1.0$  dBFS、デフォルト SPI 設定、クロック分周器 = 2、 $T_A = 25^\circ\text{C}$ 、128k FFT サンプル。

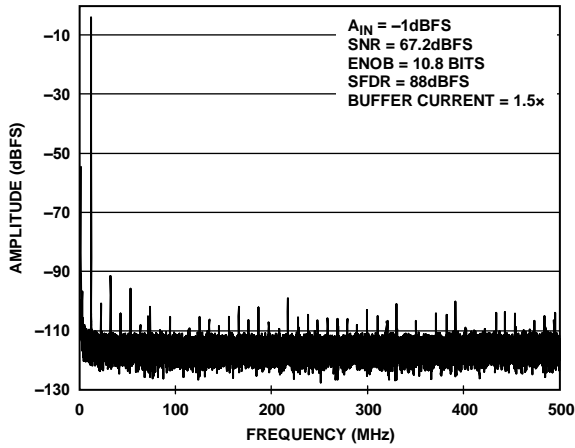


図 6. シングル・トーン FFT、 $f_{IN} = 10.3$  MHz

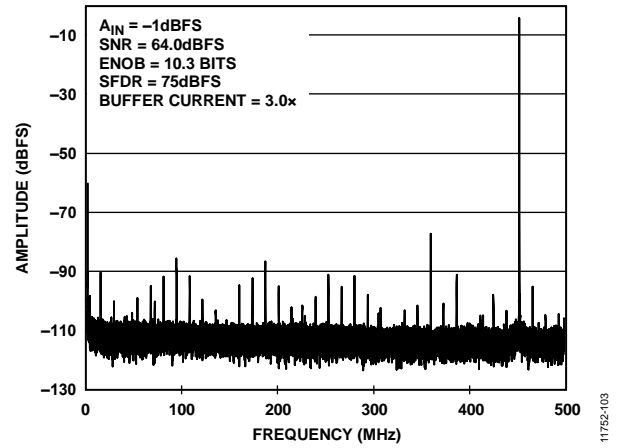


図 9. シングル・トーン FFT、 $f_{IN} = 450.3$  MHz

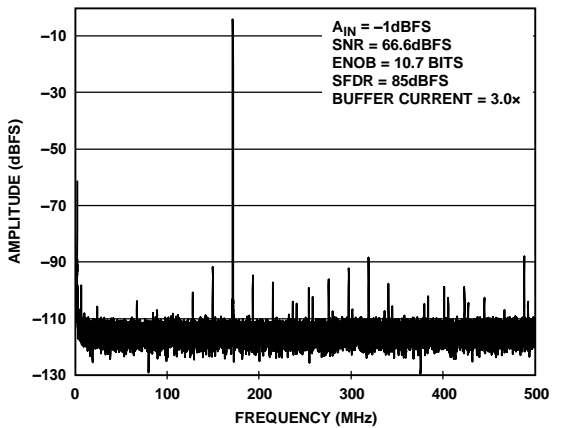


図 7. シングル・トーン FFT、 $f_{IN} = 170.3$  MHz

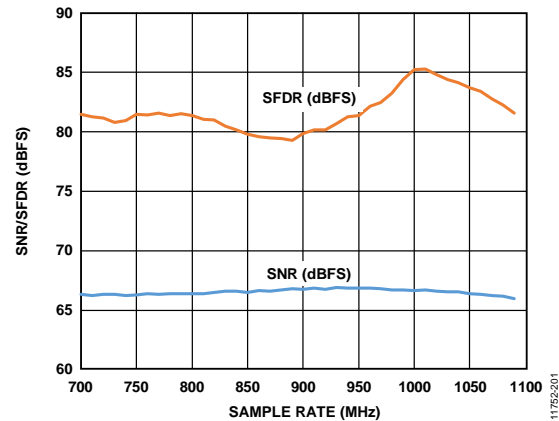


図 10.  $f_S$  対 SNR/SFDR  
 $f_{IN} = 170.3$  MHz ; バッファ設定 = 3.0x

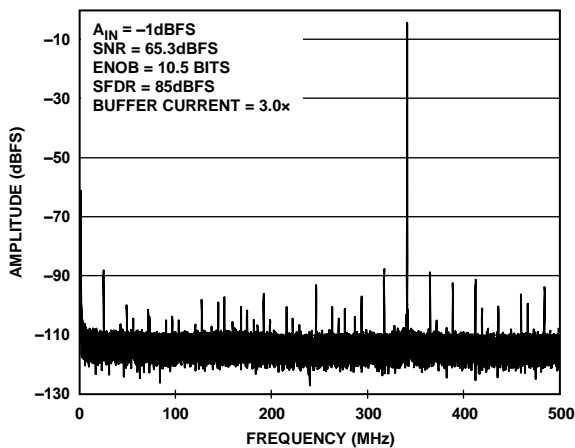


図 8. シングル・トーン FFT、 $f_{IN} = 340.3$  MHz

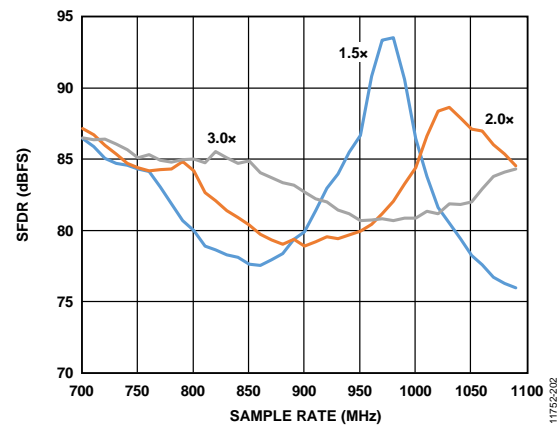
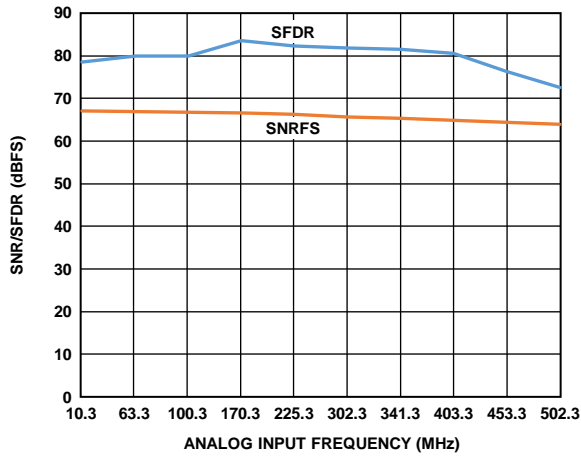
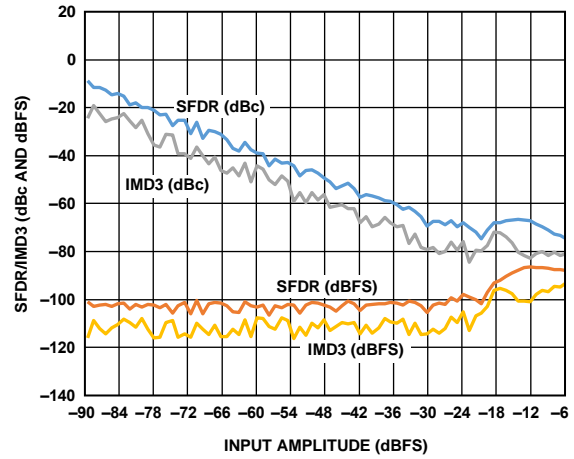


図 11.  $f_S$  対 SFDR  
 $f_{IN} = 10.3$  MHz、バッファ設定 = 1.5x、2.0x または 3.0x



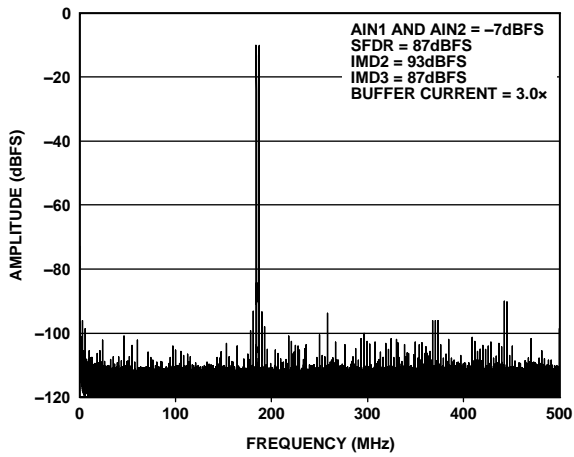
11752-203

図 12.  $f_{IN}$  対 SNR/SFDR  
 $f_{IN} < 500$  MHz ; バッファ設定 = 3.0x



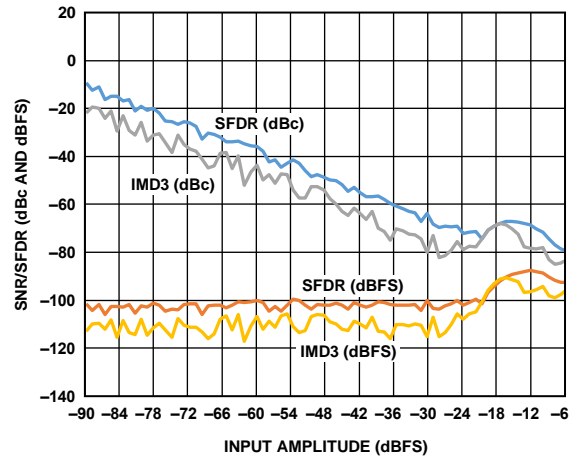
11752-207

図 15. 入力振幅 ( $A_{IN}$ ) 対 2 トーン SFDR/IMD3  
 $f_{IN1} = 184$  MHz、 $f_{IN2} = 187$  MHz



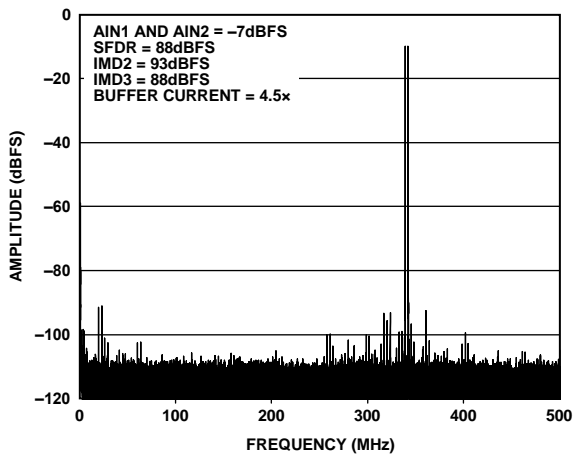
11752-205

図 13.2 トーン FFT  
 $f_{IN1} = 184$  MHz、 $f_{IN2} = 187$  MHz



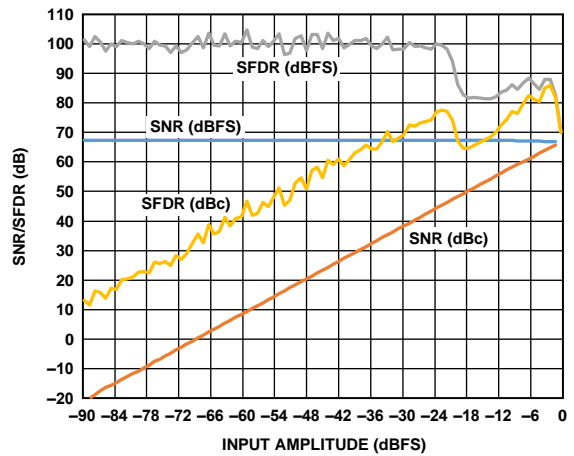
11752-208

図 16. 入力振幅 ( $A_{IN}$ ) 対 2 トーン IMD3/SFDR  
 $f_{IN1} = 338$  MHz、 $f_{IN2} = 341$  MHz



11752-206

図 14.2 トーン FFT  
 $f_{IN1} = 338$  MHz、 $f_{IN2} = 341$  MHz



11752-209

図 17. アナログ入力レベル対 SNR/SFDR  
 $f_{IN} = 170.3$  MHz

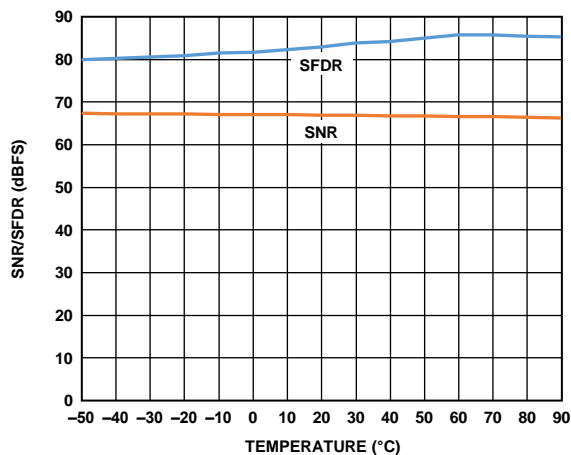


図 18. SNR/SFDR の温度特性  
 $f_{IN} = 170.3 \text{ MHz}$

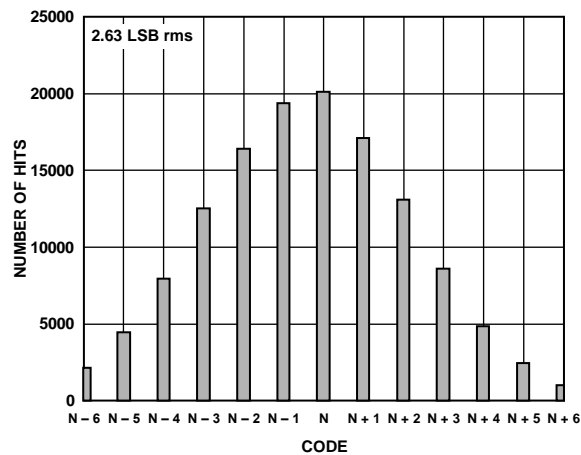


図 21. 入力換算ノイズ・ヒストグラム

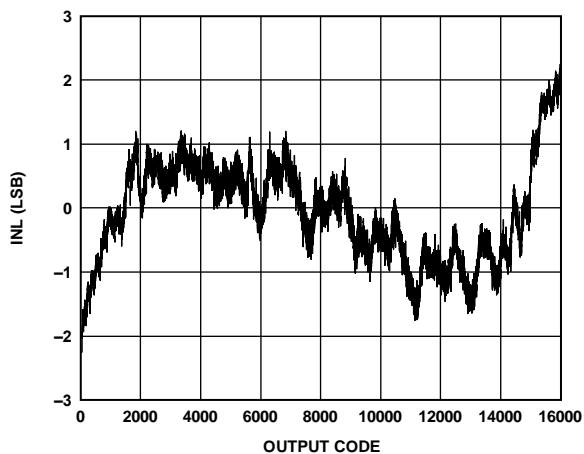


図 19. INL、 $f_{IN} = 10.3 \text{ MHz}$

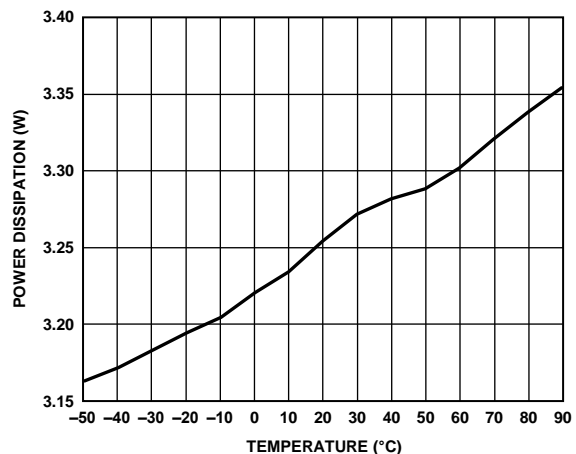


図 22. 消費電力の温度特性

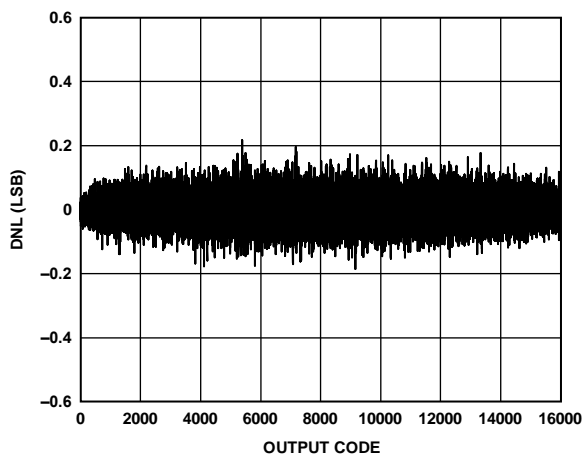


図 20. DNL、 $f_{IN} = 15 \text{ MHz}$ .

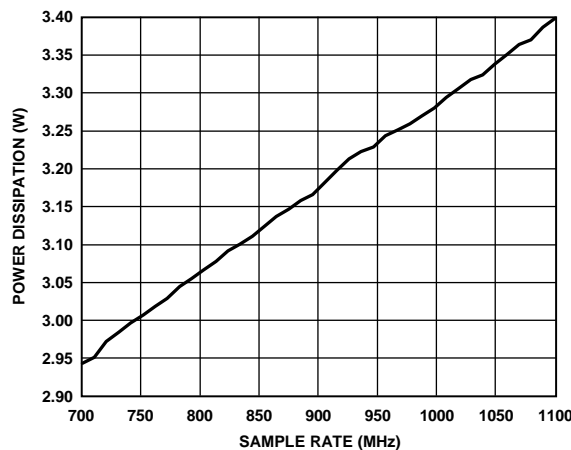


図 23.  $f_s$  対消費電力

等価回路

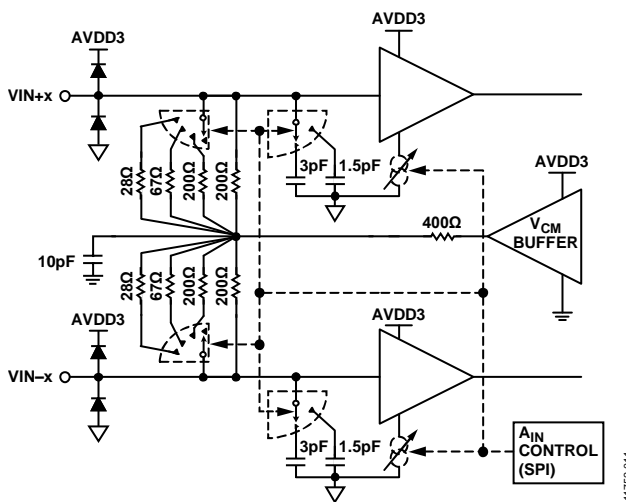


図 24. アナログ入力

11752-011

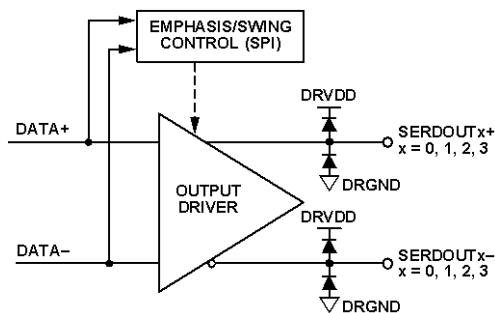


図 27. デジタル出力

11752-014

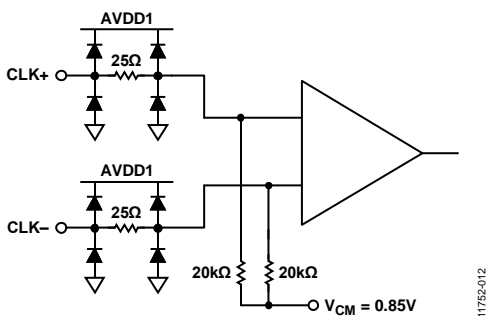


図 25. クロック入力

11752-012

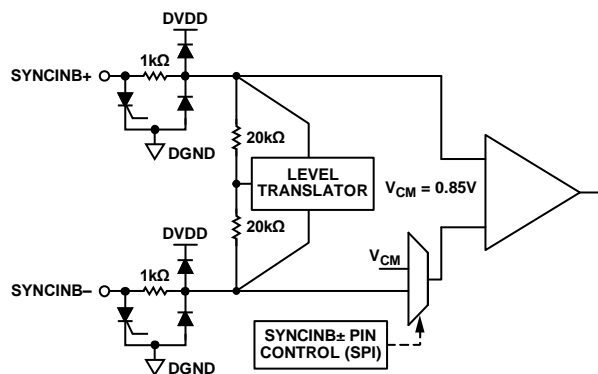


図 28. SYNCINB± 入力

11752-015

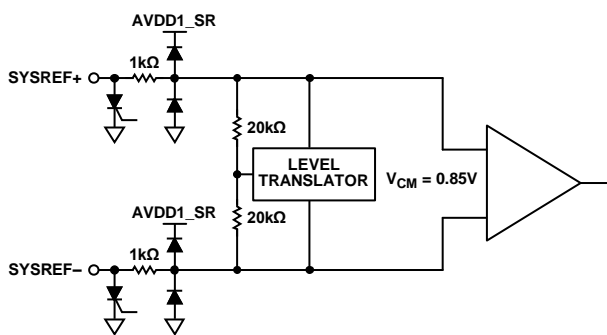


図 26. SYSREF± 入力

11752-013

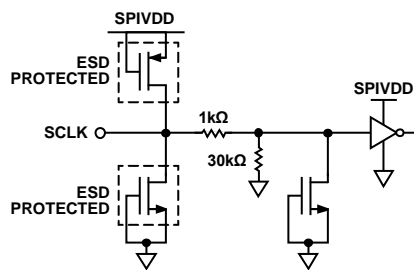
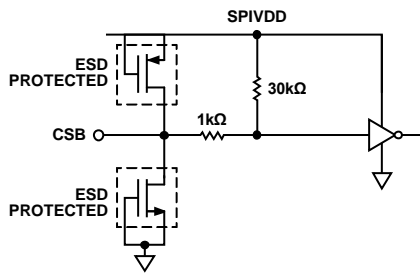


図 29. SCLK 入力

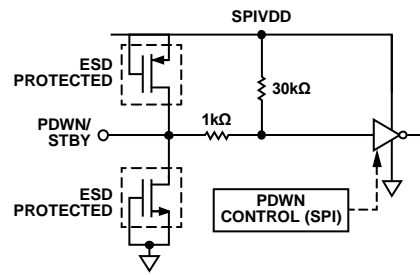
11752-016





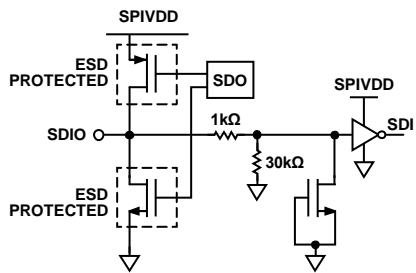
11752-017

図 30.CSB 入力



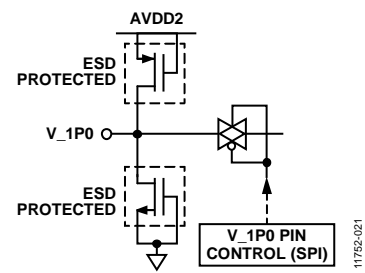
11752-020

図 33.PDWN/STBY 入力



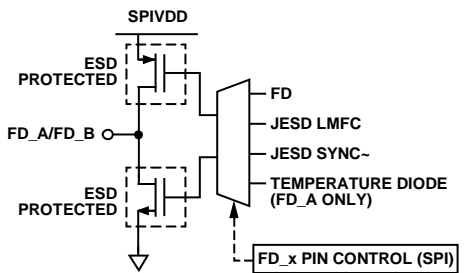
11752-018

図 31.SDIO 入力



11752-021

図 34.V\_1P0 入力/出力



11752-019

図 32.FD\_A/FD\_B 出力

## 動作原理

AD9680 には、2 つのアナログ入力チャンネルと 2 つの JESD204B 出力レーン対があります。この ADC は、最大 2 GHz の広帯域アナログ信号をサンプルするようにデザインされています。AD9680 は、広い入力帯域幅、高サンプリング・レート、優れた直線性、小型パッケージで低消費電力となるよう最適化されています。

2 個の ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC は、ユーザー選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが容易です。

AD9680 は、通信レーンバの AGC 機能を簡素化する複数の機能を内蔵しています。プログラマブルなスレッシュホールドを持つ検出器を使うと、ADC の高速検出力ビットを使って着信信号電力をモニタすることができます。入力信号レベルがプログラマブルなスレッシュホールドを超えると、高速検出インジケータがハイ・レベルになります。このスレッシュホールド・インジケータのレイテンシは小さいため、迅速にシステム・ゲインを下げ ADC 入力での範囲外状態を回避することができます。

サンプル・レートとデシメーション比に応じて、サブクラス 1 JESD204B に基づく高速シリアル出力データ・レートを 1 レーン ( $L=1$ )、2 レーン ( $L=2$ )、4 レーン ( $L=4$ ) に設定することができます。複数デバイス間の同期は、 $SYSREF_{\pm}$  入力ピンと  $SYNCINB_{\pm}$  入力ピンを使ってサポートします。

### ADC のアーキテクチャ

AD9680 のアーキテクチャは、入力バッファ付きパイプライン ADC で構成されています。入力バッファは、アナログ入力信号に対する終端インピーダンスを提供するようにデザインされています。この終端インピーダンスは、ドライバ/アンプの終端条件に合わせて SPI 経由で変更することができます。デフォルトの終端値は  $400 \Omega$  です。アナログ入力終端の等価回路図を図 24 に示します。入力バッファは、優れた直線性、低ノイズ、低消費電力となるように最適化されています。

入力バッファはリニアな高入力インピーダンスを提供し(駆動が容易)、ADC からの影響を小さくします。バッファは、優れた直線性、低ノイズ、低消費電力となるように最適化されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

### アナログ入力に対する考慮

AD9680 へのアナログ入力は差動バッファになっています。このバッファの内部同相モード電圧は  $2.05 \text{ V}$  です。クロック信号により、入力回路がサンプル・モードとホールド・モードの間で交互に切り替えられます。

入力回路がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電して、クロック・サイクルの  $1/2$  以内に安定する必要があります。各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージから発生するピーク過渡電流を減少させることに役立ちます。さらに、 $Q$  の小さいインダクタまたはフェライト・ビーズを各入力に接続し、これによりアナログ入力の大きな差動容量を小さくして、ADC の最大帯域幅を実現することができます。このような低  $Q$  インダクタまたはフェライト・ビーズの使用は、コンバータのフロントエンドを高い IF 周波数で駆動する際に必要となります。差動コンデンサまたは 2 個のシングルエンド・コンデンサを入力に接続して、受動整合回路を設けることができます。これにより入力に最終的にローパス・フィルタが形成されて、不要な広帯域幅ノイズが制限されます。詳細については、AN-742 アプリケーション・ノート、AN-827 アプリケーション・ノート、アナログ・ダイアログ「*Transformer-Coupled Front-End for Wideband A/D Converters (Volume 39, April 2005)*」を参照してください。一般に、正確な値はアプリケーションに依存します。

最適なダイナミック性能を得るためには、同相モードのセトリング誤差が対称になるように、 $VIN+x$  と  $VIN-x$  を駆動するソース・インピーダンスが一致している必要があります。これらの誤差は、ADC の同相モード除去比により小さくなります。内蔵リファレンス・バッファは、ADC コアの振幅を決定する差動リファレンスを発生します。

最大 SNR 性能は、ADC を差動構成で最大スパンに設定したときに得られます。AD9680 の場合、有効振幅は SPI ポートを介して、 $1.46 \text{ V p-p} \sim 1.94 \text{ V p-p}$  の差動に設定することができます(デフォルトは  $1.70 \text{ V p-p}$  差動)。

### 差動入力構成

AD9680 を能動的または受動的に駆動する方法は複数ありますが、最適性能は、アナログ入力を差動で駆動したときに得られます。

SNR と SFDR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨される入力構成です(図 35 と図 36 参照)。これは、大部分のアンプのノイズ性能は、AD9680 の真の性能を実現するために不十分であるためです。

低周波から中周波の範囲では、AD9680 の最適性能のために、ダブル・ balan またはダブル・トランス回路(図 35 参照)が推奨されます。第 2 または第 3 ナイキスト・ゾーンの高周波では、幾つかのフロントエンド受動部品を削除して広帯域動作を確保することが望まれます(図 36 参照)。

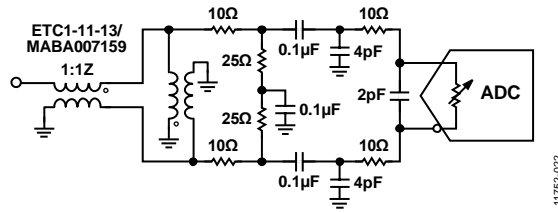


図 35.第 1 および第 2 ナイキスト周波数での差動トランス結合構成

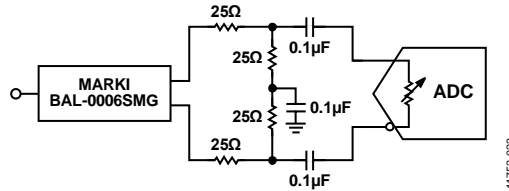


図 36.第 2 および第 3 ナイキスト周波数での差動トランス結合構成

**入力同相モード**

AD9680 のアナログ入力、内部で同相モードにバイアスされています (図 37 参照)。同相モード・バッファの範囲には限界があるため、同相モード電圧が 100 mV 以上低下すると、性能が影響を受けます。このため、DC 結合アプリケーションでは、同相モード電圧を 2.05 V $\pm$ 100 mV に設定して正しい ADC 動作を確保してください。DC 結合アプリケーションで動作する場合は、フルスケール電圧を 1.7 V p-p 差動に設定する必要があります。

**アナログ入力の制御と SFDR の最適化**

AD9680 では、入力終端、バッファ電流、入力フルスケール調整のような、アナログ入力に対する柔軟な制御を提供しています。使用可能なすべての制御を図 37 に示します。

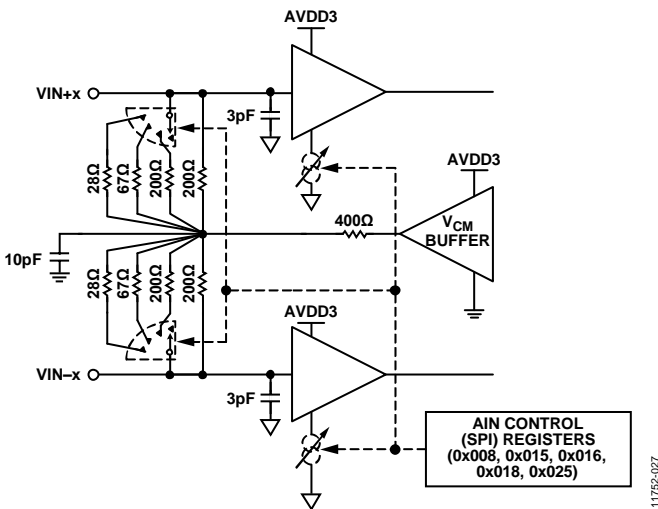


図 37.アナログ入力の制御

レジスタ 0x018 を使うと、各チャンネルのバッファ電流をスケールリングして、種々の入力周波数と注目する帯域幅で SFDR を最適化することができます。入力バッファ電流を設定すると、AVDD3 電源で必要とされる電流が変化します。この関係を図 38 に示します。バッファ電流設定のすべての値については、表 29 を参照してください。

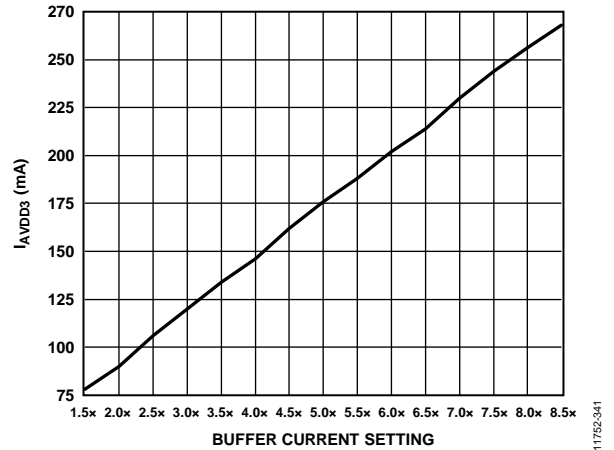


図 38.バッファ電流設定値対 AVDD3 電源

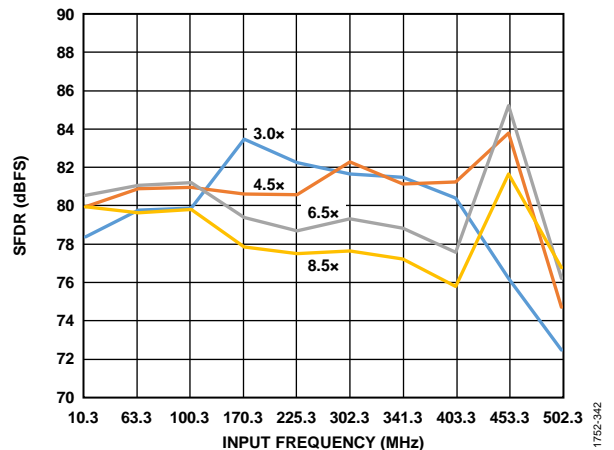


図 39.バッファ電流スイープ AD9680 (SFDR 対 I<sub>BUF</sub>); f<sub>IN</sub> < 500 MHz

高周波アプリケーションによっては、フルスケール設定値を小さくして SFDR を向上させることができます。

表 9 に、様々なアナログ入力周波数範囲での推奨バッファ電流とフルスケール電圧の設定値を示します。

表 9. 入力周波数に対する SFDR の最適化

Input Frequency (MHz)	Input Full-Scale Range, Register 0x025 (V p-p)	Input Buffer Current Control Setting, Register 0x018
<500 MHz	1.7/1.82/1.94 differential	3.0×
500 MHz to 1 GHz	1.58/1.46 differential	4.5× or 6.5×
>1 GHz	1.46 differential	6.5×

**絶対最大入力振幅**

AD9680 入力で許容される絶対最大入力振幅は、4.3 V p-p 差動です。このレベルまたは近くで動作する信号により、ADC に恒久的な損傷が生ずることがあります。

**リファレンス電圧**

AD9680 には、安定かつ正確な 1.0 V のリファレンス電圧が内蔵されています。この内蔵 1.0 V リファレンス電圧を使って、ADC のフルスケール入力範囲を設定します。フルスケール入力範囲は、ADC ファンクション・レジスタ 0x025 を使って調整することができます。入力振幅調整の詳細については、表 29 を参照してください。図 40 に内部 1.0 V リファレンス電圧制御のブロック図を示します。

SPI レジスタ 0x024 を使うと、この内部 1.0 V リファレンス電圧の使用か、外付け 1.0 V リファレンス電圧の使用を選択することができます。外付けリファレンス電圧を使用する場合、1.0 V のリファレンス電圧を入力する必要があります。フルスケール調整は、リファレンス電圧に無関係に、SPI を経由して行うことができます。AD9680 のフルスケール・レベル調整の詳細については、メモリ・マップ・レジスタ・テーブルのセクションを参照してください。

アプリケーションによっては、ADC のゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外付けリファレンス電圧の使用が必要となることがあります。図 41 に、内蔵 1.0 V リファレンス電圧の代表的なドリフト特性を示します。

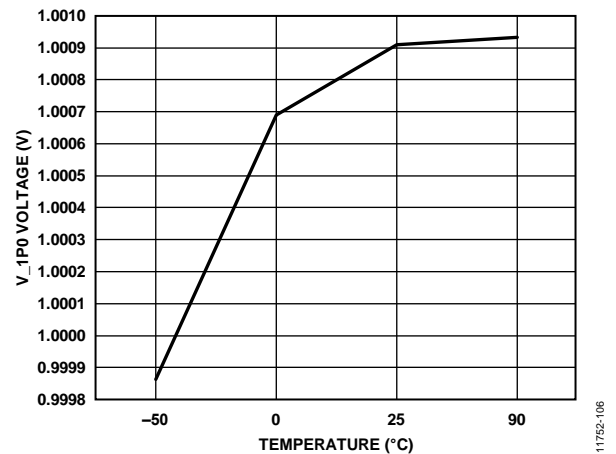


図 41. 代表的な V\_1P0 ドリフト

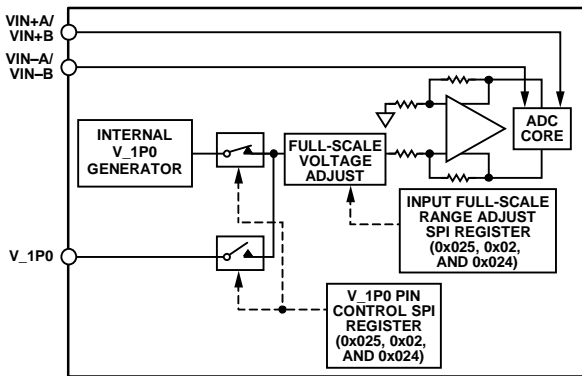


図 40. 内蔵リファレンス電圧の設定と制御

外付けリファレンス電圧は、安定な 1.0 V リファレンス電圧である必要があります。ADR130 は、1.0 V リファレンス電圧の優れたオプションです。図 42 に、ADR130 を使用して外付け 1.0 V リファレンス電圧を AD9680 へ供給する方法を示します。灰色領域は AD9680 の未使用ブロックを示し、ADR130 を使用して外付けリファレンス電圧を供給しています。

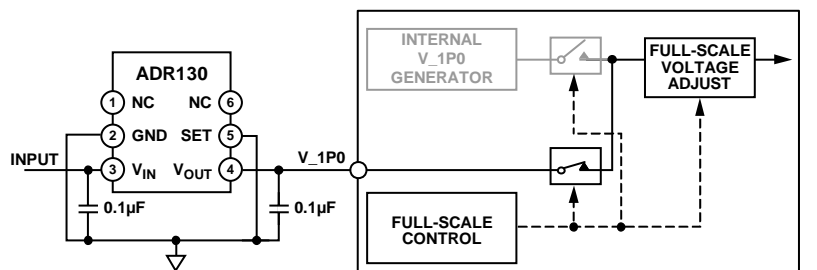


図 42. ADR130 を使用した外付けリファレンス電圧

### クロック入力の考慮事項

最適性能を得るためには、AD9680 のサンプル・クロック入力 (CLK+と CLK-)を差動信号で駆動する必要があります。信号は、一般にトランスまたはクロック・ドライバを介して CLK+ピンと CLK-ピンに AC 結合されます。これらのピンは内部でバイアスされているため、バイアスを追加する必要はありません。

図 43 に、AD9680 に対する推奨クロック入力方法を示します。ジッタの少ないクロック・ソースは、RF トランスを使ってシングルエンド信号から差動信号に変換されます。

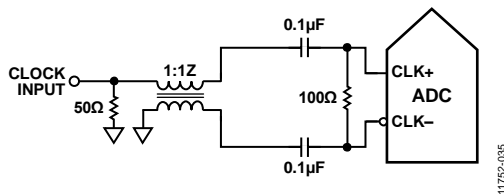


図 43. トランス結合差動クロック

別のオプションは、差動 CML または LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 44 と図 45 参照)。

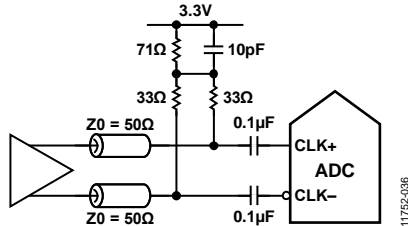


図 44. 差動 CML サンプル・クロック

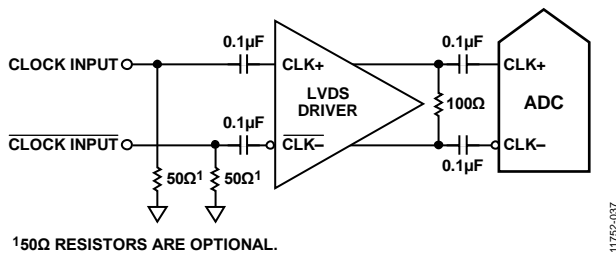


図 45. 差動 LVDS サンプル・クロック

### クロック・デューティ・サイクルの考慮事項

一般的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しています。このため、これらの ADC はクロックのデューティ・サイクルに敏感です。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容誤差は 5%以内である必要があります。50%のクロック・デューティ・サイクルを保証できないアプリケーションでは、複数の高周波クロックをデバイスへ供給することができます。内蔵クロック分周器を 2 に設定して、2 GHz クロックで AD9680 を駆動することができます。分周器出力は、50%デューティ・サイクルで高いスルー・レート (高速エッジ) のクロック信号を内蔵 ADC へ供給します。この機能の詳細については、メモリ・マップのセクションを参照してください。

### 入カクロック・ドライバ

AD9680 は、ナイキスト入力クロックを-1、2、4、8 分周できる入力クロック分周器を内蔵しています。分周比はレジスタ 0x10B を使って選択することができます。これを図 46 に示します。

CLK± 入力の最大周波数は 4 GHz です。これは、分周器による制限です。クロック入力サンプル・クロックの倍数であるアプリケーションでは、該当する分周比をクロック分周器に設定した後にクロック信号を供給するように注意してください。これにより、デバイス・スタートアップ時の過渡電流の制御が行われます。

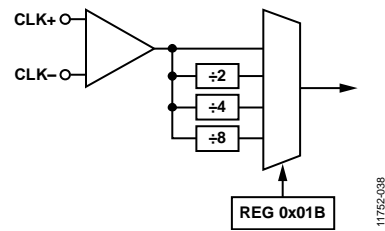


図 46. クロック分周器回路

AD9680 のクロック分周器は外部 SYSREF±入力を使って同期させることができます。有効な SYSREF ±により、クロック分周器はプログラマブルな状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。

### クロック・ジッタの考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数( $f_A$ )でジッタ( $t_j$ )のみにより発生する SNR 性能の低下は次式で計算されます。

$$SNR = 20 \times \log_{10} (2 \times \pi \times f_A \times t_j)$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。IF アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 47)。

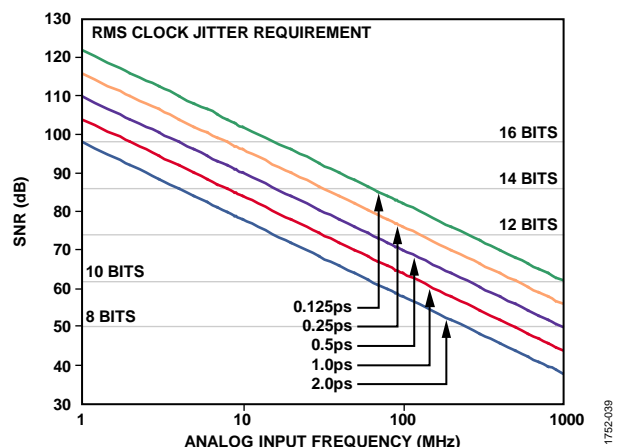


図 47. 入力周波数およびジッタ対理論 SNR

アパーチャ・ジッタが AD9680 のダイナミックレンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。クロックが別のタイプのソース(ゲーティング、分周、またはその他の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。ジッタ性能については ADC に関するため、AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノートを参照してください。

### パワーダウン/スタンバイ・モード

AD9680 には PDWN/STBY ピンがあり、このピンを使って、デバイスをパワーダウン・モードまたはスタンバイ・モードに設定することができます。デフォルト動作は PDWN です。PDWN/STBY ピンはロジック・ハイ・ピンです。パワーダウン・モードのとき、JESD204B リンクは切断されます。パワーダウン・オプションは、レジスタ 0x03F とレジスタ 0x040 を使って設定することもできます。

スタンバイ・モードでは、JESD204B リンクが切断されないため、すべてのコンバータ・サンプルに対してゼロが送信されます。これは、レジスタ 0x571 のビット 7 を使って /K/文字を選択するように変更することができます。

### 温度ダイオード

AD9680 は、チップ温度を測定するダイオードを採用した温度センサーを内蔵しています。このダイオードは電圧を出力することができるため、内部チップ温度をモニタする粗調整温度センサーとして機能することができます。

温度ダイオード電圧は SPI を使って、FD\_A ピンへ出力させることができます。レジスタ 0x028 のビット 0 を使って、ダイオード

をイネーブルまたはディスエーブルしてください。レジスタ 0x028 はローカル・レジスタです。温度ダイオードの読出しをイネーブルするときは、デバイス・インデックス・レジスタ (0x008) でチャンネル A を選択する必要があります。レジスタ 0x040[2:0]を設定して、FD\_A ピンにダイオード電圧を出力するように設定してください。詳細については、表 29 を参照してください。

温度ダイオードの電圧応答を図 48 に示します。



図 48. 温度ダイオード電圧の温度特性

## ADC 範囲外と高速検出

レシーバ・アプリケーションでは、コンバータがクリップされそうなき確実に検出できることが望まれます。JESD204B 出力の標準の範囲外ビットは、アナログ入力状態の情報を提供しますが、あまり役立ちません。したがって、クリップが実際に発生する前にゲインを小さくするための時間を確保するためには、フルスケールより下にプログラマブルなスレッショールドを設けることが有効です。さらに、入力信号が大きなスループートを持つことがあるため、この機能によるレイテンシが大きな問題になります。高度にパイプライン化されたコンバータは大きなレイテンシを持ちます。AD9680 は、スレッショールドをモニタし、FD\_A ピンと FD\_B ピンをアサートする高速検出回路を個々のチャンネルに対して内蔵しています。

### ADC 範囲外

ADC の入力で範囲外が検出されると、ADC 範囲外インジケータがアサートされます。範囲外インジケータは、JESD204B リンク内にコントロール・ビット (CSB > 0 の場合) として設けることができます。この範囲外インジケータのレイテンシは、サンプル・レイテンシと一致します。

また、AD9680 は 8 個の仮想コンバータのすべての範囲外状態を記録します。仮想コンバータの詳細については、図 50 を参照してください。各仮想コンバータの範囲外ステータスは、レジスタ 0x563 のスティッキー・ビットとして保持されます。レジスタ 0x562 で仮想コンバータのセット位置とリセット位置に対応するビットをトグルすることにより、レジスタ 0x563 の値はクリアすることができます。

### 高速スレッショールド検出 (FD\_A および FD\_B)

入力信号の絶対値がプログラマブルな上側スレッショールド・レベルを超えるたびに FD ビットは直ちにセットされます。入力信号の絶対値がプログラマブルなドウエル時間より長い間下側スレッショールド・レベルを下回ると、FD ビットがクリアされます。この機能はヒステリシスを提供して、FD ビットの余分なトグルングを防止します。

上側スレッショールド・レジスタ、下側スレッショールド・レジスタ、およびドウエル時間レジスタの動作を図 49 に示します。

入力振幅が高速検出上側スレッショールド・レジスタ (レジスタ 0x247 とレジスタ 0x248) に設定された値を超えると、FD インジケータがアサートされます。選択されたスレッショールド・レジスタが、ADC の出力で信号振幅と比較されます。高速上側スレッショールド検出には、最大 28 クロック・サイクルのレイテンシがあります。上側スレッショールド振幅の概略値は次式で与えられます。

$$\text{上側スレッショールド振幅 (dBFS)} = 20 \log (\text{スレッショールド振幅} / 2^{13})$$

信号が設定されたドウエル時間に対する下側スレッショールドを下回るまで、FD インジケータはクリアされません。下側スレッショールドは、レジスタ 0x249 とレジスタ 0x24A の高速検出下側スレッショールド・レジスタに設定されます。高速検出下側スレッショールド・レジスタは 13 ビットのレジスタで、このレジスタは ADC の出力で信号振幅と比較されます。この比較では、ADC パイプライン・レイテンシが発生しますが、コンバータ分解能は正確です。下側スレッショールド振幅は次式で与えられます。

$$\text{下側スレッショールド振幅 (dBFS)} = 20 \log (\text{スレッショールド振幅} / 2^{13})$$

例えば、-6 dBFS の上側スレッショールドを設定するときは、レジスタ 0x247 とレジスタ 0x248 へ 0xFFF を書込みます。-10 dBFS の下側スレッショールドを設定するときは、レジスタ 0x249 とレジスタ 0x24A へ 0xA1D を書込みます。

レジスタ 0x24B とレジスタ 0x24C の高速検出ドウエル時間レジスタに所望の値を設定して、ドウエル時間を 1~65,535 サンプル・クロック・サイクルに設定することができます。詳細については、メモリ・マップのセクション (表 29 のレジスタ 0x040、レジスタ 0x245~レジスタ 0x24C) を参照してください。

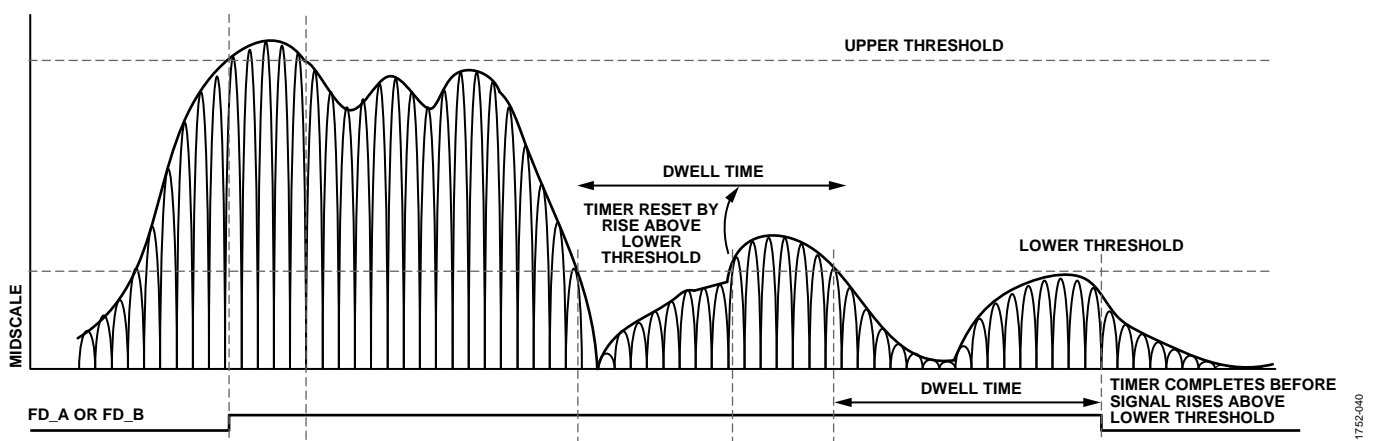


図 49. FD\_A 信号と FD\_B 信号に対するスレッショールドの設定

## デジタル・ダウン・コンバータ (DDC)

AD9680 は、フィルタ機能を提供し、出力データ・レートを下げる 4 個のデジタル・ダウン・コンバータ (DDC 0~DDC 3) を内蔵しています。このデジタル処理セクションには、NCO、ハーフバンド・デシメーション・フィルタ、FIR フィルタ、ゲイン・ステージ、複素数/実数変換ステージが含まれています。これらの各処理ブロックは、コントロール・ラインを持っています。このラインを使うと、これらのブロックを独立にイネーブル/ディスエーブルして、所望の処理機能を提供することができます。デジタル・ダウンコンバータは、実数データまたは複素数データを出力するように設定することができます。

### DDC I/Q 入力選択

AD9680 には 2 つの ADC チャンネルと 4 つの DDC チャンネルがあります。各 DDC チャンネルには 2 つの入力ポートがあり、これらで対を構成して、I/Q クロスバー・マルチプレクサを介して実数入力と複素数入力をサポートすることができます。実数信号の場合、両 DDC 入力ポートで同じ ADC チャンネルを選択する必要があります (例えば、DDC 入力ポート I = ADC チャンネル A、入力ポート Q = ADC チャンネル A)。複素数信号の場合、各 DDC 入力ポートは異なる ADC チャンネルを選択する必要があります (例えば、DDC 入力ポート I = ADC チャンネル A、入力ポート Q = ADC チャンネル B)。

各 DDC の入力は、DDC 入力選択レジスタ (レジスタ 0x311、レジスタ 0x331、レジスタ 0x351、レジスタ 0x371) から制御されます。DDC の設定方法については、表 29 を参照してください。

### DDC I/Q 出力の選択

各 DDC チャンネルには 2 つの出力ポートがあり、これらで対を構成して、実数出力と複素数出力をサポートすることができます。実数出力信号の場合、DDC 出力ポート I のみを使用します (DDC 出力ポート Q は無効になります)。複素数 I/Q 出力信号の場合、DDC 出力ポート I と DDC 出力ポート Q を使用します。

各 DDC チャンネルに対する I/Q 出力は、DDC コントロール・レジスタ (レジスタ 0x310、レジスタ 0x330、レジスタ 0x350、レジスタ 0x370) の DDC 複素数/実数イネーブル・ビット (ビット 3) から制御されます。

チップ・アプリケーション・モード・レジスタ (レジスタ 0x200) のチップ Q 無視ビット (ビット 5) は、すべての DDC チャンネルのチップ出力マルチプレクサを制御します。すべての DDC チャンネルで実数出力を使用する場合は、このビットにハイ・レベルを設定して、すべての DDC Q 出力ポートを無視する必要があります。いずれかの DDC チャンネルで複素数 I/Q 出力を使用するように設定する場合は、このビットをクリアして DDC 出力ポート I と DDC 出力ポート Q を使用する必要があります。詳細については、図 58 を参照してください。

### DDC の概要

4 個の DDC ブロックを使って、ADC で取得したフル・デジタル・スペクトルの一部を取り出します。これらは、広帯域入力信号を必要とする IF サンプリングまたはオーバーサンプリしたベースバンド無線を対象にしています。

各 DDC ブロックには次の信号処理ステージが含まれます。

#### 周波数変換ステージ (オプション)

周波数変換ステージは、実数入力信号または複素数入力信号の周波数変換に使用できる 12 ビット複素数 NCO と直交ミキサから構成されています。このステージは、有効なデジタル・スペクトル部分をベースバンドへ変換します。

#### フィルタ・ステージ

ベースバンドへ変換した後、フィルタ・ステージは、レート変換用の最大 4 個のハーフバンド・ローパス・フィルタのチェーンを使って周波数スペクトルをデシメートします。このデシメーション処理により出力データ・レートが低下するため、出力インターフェース・レートも低くなります。

#### ゲイン・ステージ (オプション)

実数入力信号をミキシングしてベースバンドへ変換する際に損失が生ずるため、ゲイン・ステージは 0 dB または 6 dB のゲインを追加してこれを補償します。

#### 複素数/実数変換ステージ (オプション)

実数出力が必要な場合、複素数/実数変換ステージは、 $f_s/4$  ミキシング動作とフィルタリングにより信号の複素数成分を除去して複素数出力を実数出力に戻します。

図 50 に、AD9680 の内蔵 DDC の詳細ブロック図示をします。



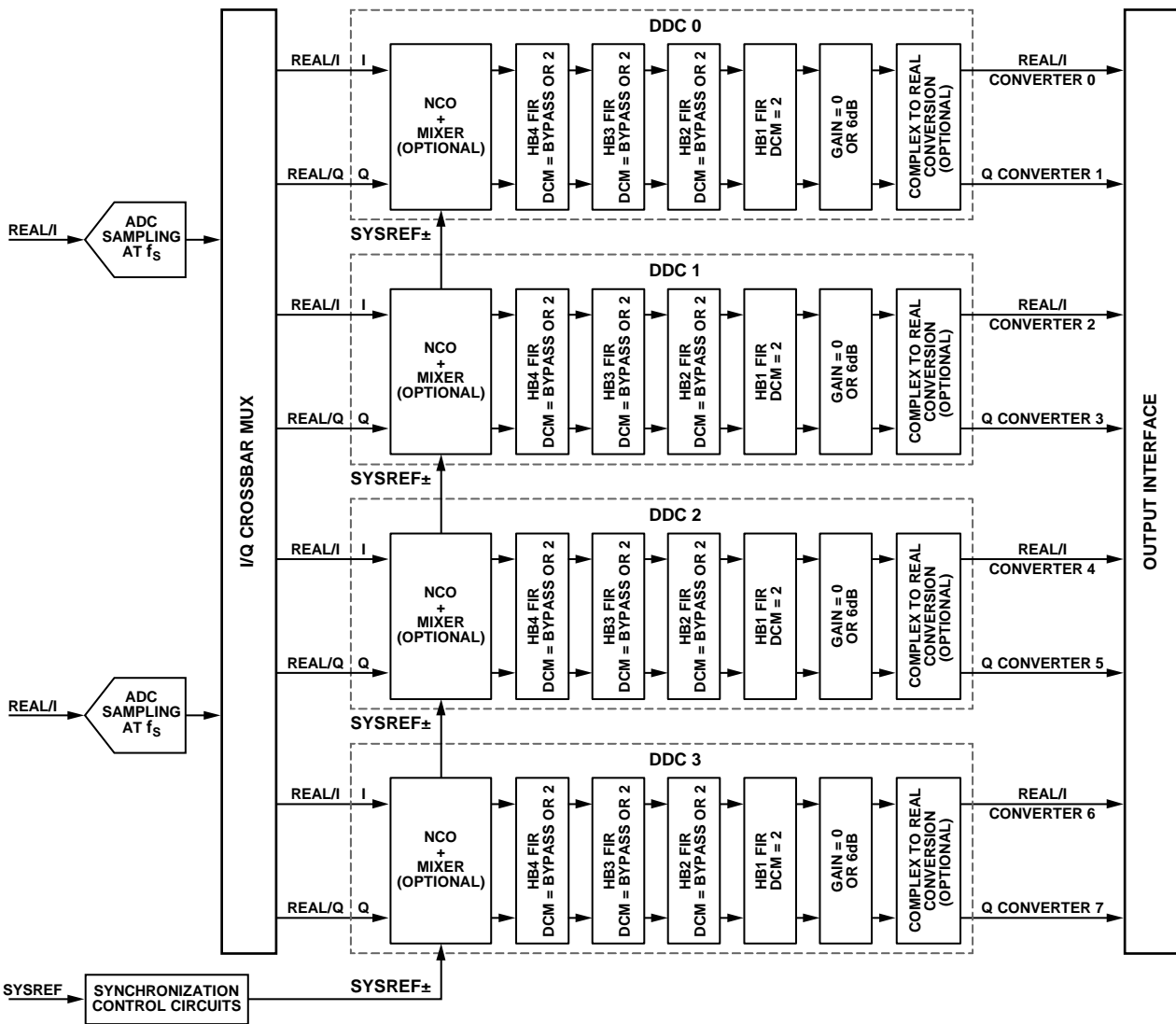


図 50.DDC の詳細ブロック図

図 51 に、4 個の DDC ブロックの 1 つの使用例を示します。この例では実数入力信号と 4 個のハーフバンド・フィルタ (HB4、HB3、HB2、HB1) を使用しています。この図は、複素数 (デシメーション比 16) と実数 (デシメーション比 8) の出力オプションを示しています。

DDC が異なるデシメーション比を持つ場合、チップ・デシメーション比 (レジスタ 0x201) には、すべての DDC ブロックの最小デシメーション比を設定する必要があります。この場合、チッ

プ・デシメーション比のサンプル・レートに一致させるため、高いデシメーション比の DDC ではサンプル値が繰り返されます。NCO 周波数を設定または変更するごとに、DDC ソフト・リセットを発行する必要があります。DDC ソフト・リセットを発行しないと、出力振幅が変動することがあります。

表 10、表 11、表 12、表 13、表 14 に、チップ・デシメーション比をそれぞれ 1、2、4、8、16 に設定した場合の DDC サンプルを示します。

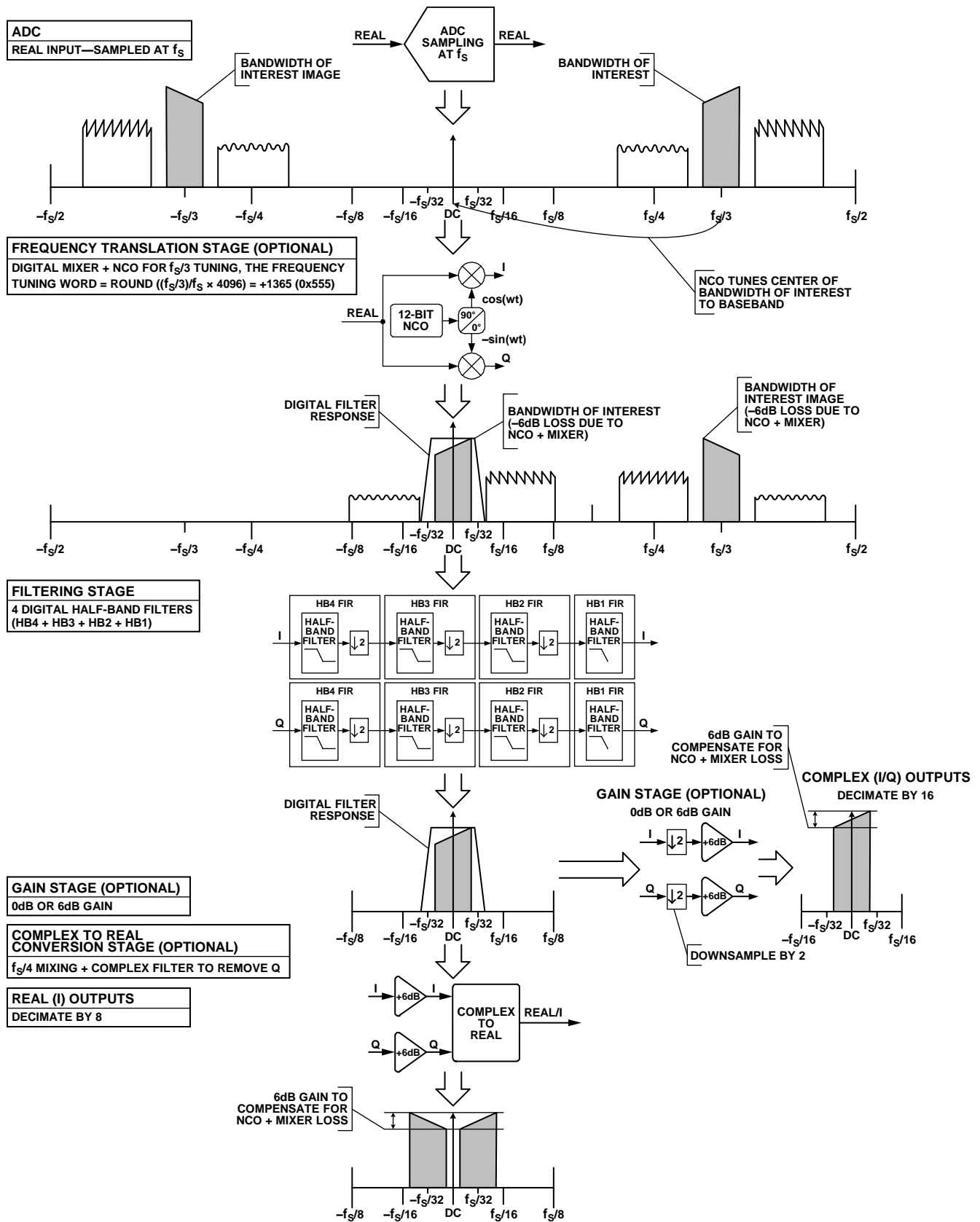


図 51.DDC の動作例 (実数入力—デシメーション比 16)

表 10.DDC サンプル、チップ・デシメーション比 = 1

Real (I) Output (Complex to Real Enabled)				Complex (I/Q) Outputs (Complex to Real Disabled)			
HB1 FIR (DCM <sup>1</sup> = 1)	HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB1 FIR (DCM <sup>1</sup> = 2)	HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 16)
N	N	N	N	N	N	N	N
N + 1	N	N	N	N	N	N	N
N + 2	N + 1	N	N	N + 1	N	N	N
N + 3	N + 1	N	N	N + 1	N	N	N
N + 4	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 5	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 6	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 7	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 8	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 9	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 10	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 11	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 12	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 13	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 14	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 15	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 16	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 17	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 18	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 19	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 20	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 21	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 22	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 23	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 24	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 25	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 26	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 27	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 28	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 29	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 30	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1
N + 31	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

<sup>1</sup> DCM = デシメーション。

表 11.DDC サンプル、チップ・デシメーション比 = 2

Real (I) Output (Complex to Real Enabled)			Complex (I/Q) Outputs (Complex to Real Disabled)			
HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB1 FIR (DCM <sup>1</sup> = 2)	HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 16)
N	N	N	N	N	N	N
N + 1	N	N	N + 1	N	N	N
N + 2	N + 1	N	N + 2	N + 1	N	N
N + 3	N + 1	N	N + 3	N + 1	N	N
N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

<sup>1</sup> DCM = デシメーション。

表 12.DDC サンプル、チップ・デシメーション比 = 4

Real (I) Output (Complex to Real Enabled)		Complex (I/Q) Outputs (Complex to Real Disabled)		
HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 16)
N	N	N	N	N
N + 1	N	N + 1	N	N
N + 2	N + 1	N + 2	N + 1	N
N + 3	N + 1	N + 3	N + 1	N
N + 4	N + 2	N + 4	N + 2	N + 1
N + 5	N + 2	N + 5	N + 2	N + 1
N + 6	N + 3	N + 6	N + 3	N + 1
N + 7	N + 3	N + 7	N + 3	N + 1

<sup>1</sup> DCM = デシメーション。

表 13.DDC サンプル、チップ・デシメーション比 = 8

Real (I) Output (Complex to Real Enabled)	Complex (I/Q) Outputs (Complex to Real Disabled)	
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM <sup>1</sup> = 16)
N	N	N
N + 1	N + 1	N
N + 2	N + 2	N + 1
N + 3	N + 3	N + 1
N + 4	N + 4	N + 2
N + 5	N + 5	N + 2
N + 6	N + 6	N + 3
N + 7	N + 7	N + 3

<sup>1</sup> DCM = デシメーション。

表 14.DDC サンプル、チップ・デシメーション比 = 16

Real (I) Output (Complex to Real Enabled)	Complex (I/Q) Outputs (Complex to Real Disabled)
<b>HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM = 16)</b>	<b>HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM<sup>1</sup> = 16)</b>
Not applicable	N
Not applicable	N + 1
Not applicable	N + 2
Not applicable	N + 3

<sup>1</sup> DCM = デシメーション。

チップ・デシメーション比をデシメーション比 4 に設定した場合、DDC 0 は HB2 + HB1 フィルタを使用するように (デシメーション比 4 の複素数出力)、DDC 1 は HB4 + HB3 + HB2 + HB1 フィルタを使用するように (デシメーション比 8 の実数出力)、それぞれ設定され、さらに DDC 1 は各 DDC 0 出力に対して出力データを 2 回繰り返します。この結果得られる出力サンプルを表 15 に示します。

表 15.チップ DCM<sup>1</sup> = 4、DDC 0 DCM<sup>1</sup> = 4 (複素数)、DDC 1 DCM<sup>1</sup> = 8 (実数) の場合の DDC 出力サンプル

DDC Input Samples	DDC 0		DDC 1	
	Output Port I	Output Port Q	Output Port I	Output Port Q
N	I0 [N]	Q0 [N]	I1 [N]	Not applicable
N + 1				
N + 2				
N + 3				
N + 4	I0 [N + 1]	Q0 [N + 1]		
N + 5				
N + 6				
N + 7				
N + 8	I0 [N + 2]	Q0 [N + 2]	I1 [N + 1]	Not applicable
N + 9				
N + 10				
N + 11				
N + 12	I0 [N + 3]	Q0 [N + 3]		
N + 13				
N + 14				
N + 15				

<sup>1</sup> DCM = デシメーション。

## 周波数変換

### 概要

周波数変換は、12 ビット複素数 NCO とデジタル直交ミキサーを使って実現しています。周波数変換は、実数入力信号または複素数入力信号を中間周波数 (IF) からベースバンド複素数デジタル出力 (キャリア周波数 = 0 Hz) へ変換します。

各 DDC の周波数変換ステージは、DDC コントロール・レジスタ (レジスタ 0x310、レジスタ 0x330、レジスタ 0x350、レジスタ 0x370) のビット [5:4] を使って個別に制御され、4 種類の IF モードをサポートすることができます。これらの IF モードは、

- 可変 IF モード
- 0 Hz IF (ZIF) モード
- fs/4 Hz IF モード
- テスト・モード

### 可変 IF モード

NCO とミキサーがイネーブルされます。NCO 出力周波数を使って、デジタル的に IF 周波数をチューニングすることができます。

### 0 Hz IF (ZIF) モード

ミキサーはバイパスされ、NCO がディスエーブルされます。

### fs/4 Hz IF モード

fs/4 モードの特別なダウン・ミキシングでミキサーと NCO がイネーブルされ、消費電力が削減されます。

### テスト・モード

入力サンプルが強制的に正フルスケールの 0.999 に設定されます。NCO はイネーブルされます。このテスト・モードを使うと、NCO からデシメーション・フィルタを直接駆動することができます。

図 52 と図 53 に、実数入力と複素数入力に対する周波数変換ステージの例を示します。

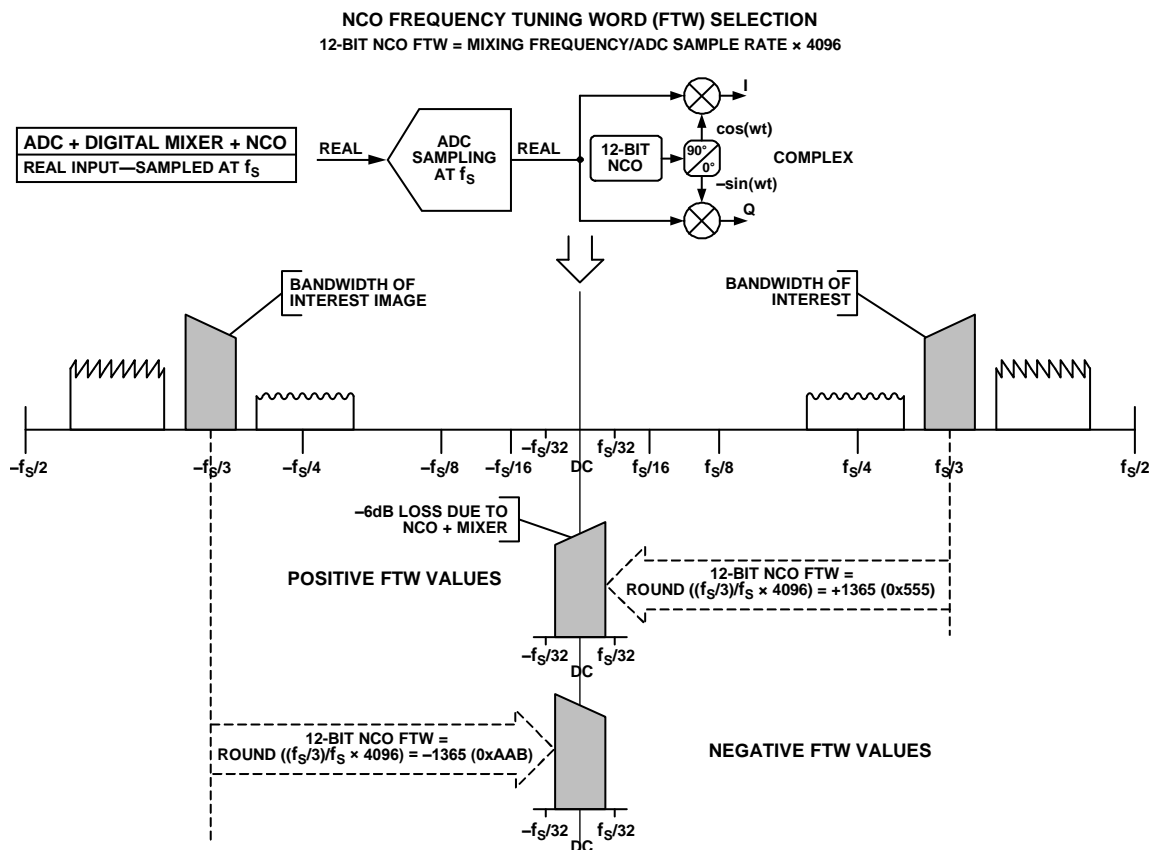


図 52.DDC NCO 周波数チューニング・ワードの選択—実数入力

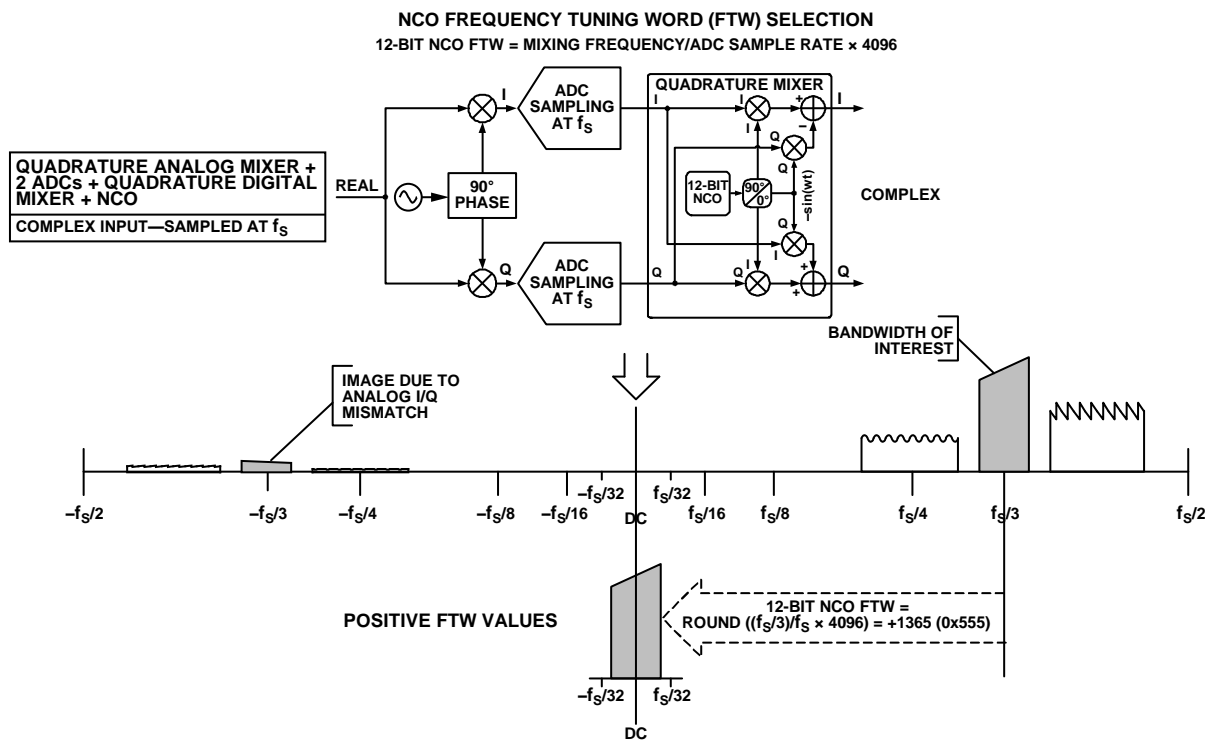


図 53.DDC NCO 周波数チューニング・ワードの選択—複素数入力

### DDC NCO およびミキサの損失と SFDR

実数入力信号をミキシングしてベースバンドへ変換する際、負イメージのフィルタリングに起因して、信号に 6 dB の損失が発生します。さらに NCO により 0.05 dB の損失が発生します。ミキシングしてベースバンドへ変換された実数入力信号の合計損失は 6.05 dB になります。このため、DDC ゲイン・ステージで 6 dB のゲイン追加をイネーブルして、出力ビットのフルスケール内で信号のダイナミックレンジ中心を再設定することにより、この損失を補償することが推奨されます。

ミキシングにより複素数入力信号をベースバンドへ変換する際、複素数ミキサー通過後に各 I/Q サンプルが到達できる最大値は 1.414 × フルスケールです。I/Q サンプルが範囲外になることを回避し、データ・ビット幅を実数ミキシングに合わせるために、複素数信号に対して 3.06 dB の損失 (0.707 × フルスケール) をミキサーで加えます。さらに 0.05 dB の損失が NCO で発生します。ミキシングしてベースバンドへ変換された複素数入力信号の合計損失は -3.11 dB になります。

NCO から出力されるワーストケース・スプリアス信号は、すべての出力周波数に対して 102 dBc SFDR より大きくなります。

### 数値制御オシレータ

AD9680 は、各 DDC に対して周波数変換処理を可能にする 12 ビット NCO を内蔵しています。この NCO を使用すると、入力スペクトルを DC に同調させることができます。これを後続フィルタ・ブロックで効果的にフィルタして折り返しを防止することができます。NCO は、周波数チューニング・ワード (FTW) と位相オフセット・ワード (POW) を入力して設定することができます。

### NCO の FTW と POW の設定

NCO 周波数値は、NCO FTW に入力される 12 ビット 2 の補数値により決定されます。 $-f_s/2 \sim f_s/2$  ( $f_s/2$  は除く) の周波数は、次の周波数ワードで表現されます。

- 0x800 は  $-f_s/2$  の周波数を表します。
- 0x000 は DC を表します (周波数は 0 Hz)。
- 0x7FF は  $+f_s/2 \sim f_s/2^{12}$  の周波数を表します。

NCO 周波数チューニング・ワードは、次式で計算できます。

$$NCO\_FTW = \text{round} \left( 2^{12} \frac{\text{Mod}(f_c, f_s)}{f_s} \right)$$

ここで、

$NCO\_FTW$  は NCO FTW を表す 12 ビットの 2 の補数値。

$f_s$  は Hz で表した AD9680 のサンプリング周波数 (クロック・レート)。

$f_c$  は Hz で表したキャリア周波数。

$\text{Mod}()$  は余り関数。例えば、 $\text{Mod}(110, 100) = 10$ 、負値の場合  $\text{Mod}(-32, 10) = -2$ 。

$\text{round}()$  は丸め関数。例えば、 $\text{round}(3.6) = 4$ 、負値の場合  $\text{round}(-3.4) = -3$ 。

この式はデジタル領域での信号折り返しに適用されることに注意してください (すなわちアナログ信号のデジタル化で発生)。

例えば、ADC サンプリング周波数 ( $f_s$ )が 1250 MSPS で、キャリア周波数 ( $f_c$ )が 416.667 MHz の場合、

$$NCO\_FTW = \text{round}\left(2^{12} \frac{\text{Mod}(416.667, 1250)}{1250}\right) = 1365 \text{MHz}$$

したがって、これは NCO\_FTW の 12 ビット 2 の補数表現では、0x555 に変換されます。実際のキャリア周波数は、次式で計算できます。

$$f_c - \text{actual} = \frac{NCO\_FTW \times f_s}{2^{12}} = 416.56 \text{MHz}$$

12 ビット POW は各 NCO で使用でき、複数の AD9680 チップ間または 1 つの AD9680 内部での個々の DDC チャンネル間の既知の位相関係を発生させます。

NCO の正しい動作のためには次の手順に従って FTW レジスタおよび/または POW レジスタを更新する必要があります。

- すべての DDC の FTW レジスタに書き込みを行います。
- すべての DDC の POW レジスタに書き込みを行います。
- SPI から使用できる DDC ソフト・リセット・ビットを使って、または SYSREF± ピンのアサーションにより、各 NCO を同期化します。

FTW レジスタまたは POW レジスタに対するすべての書き込みが完了した後に、SPI または SYSREF± ピンを使って NCO を同期化する必要があることに注意してください。この同期は、NCO の正しい動作のために必要です。

### NCO の同期

各 NCO には、NCO の瞬時位相の決定に使用する別々の位相アキュムレータ・ワード (PAW)があります。各 PAW の初期リセット値は、NCO の FTW と POW の設定のセクションで説明する POW によって決定されます。各 PAW の位相インクリメント値は FTW によって決定されます。

次の 2 つの方法を使って、チップ内の複数の PAW を同期化することができます。

- SPI を使用する方法。DDC 同期コントロール・レジスタ (レジスタ 0x300、ビット 4) の DDC NCO ソフト・リセット・ビットを使って、チップ内のすべての PAW をリセットします。これは、DDC NCO ソフト・リセット・ビットをトグルすることにより実行されます。この方法は、同じ AD9680 チップ内の DDC チャンネルの同期化のみに使用することができます。
- SYSREF± ピンを使用する方法。SYSREF± コントロール・レジスタ (レジスタ 0x120 とレジスタ 0x121)で SYSREF± ピンをイネーブルするとき、および DDC 同期コントロール・レジスタ (レジスタ 0x300)のビット [1:0]で DDC 同期をイネーブルするとき、後続のすべての SYSREF± イベントでチップ内のすべての PAW がリセットされます。この方法は、同じ AD9680 チップ内の DDC チャンネルの同期化に、または別々の AD9680 チップ内の DDC チャンネルの同期化に使用することができます。

### ミキサ

NCO にはミキサが付随しています。このミキサの動作は、アナログ直交ミキサの動作と同じです。NCO 周波数をローカル発振器として使用することにより、入力信号 (実数または複素数)をダウン変換します。実数入力信号の場合、このミキサは実数ミキサ動作を行います (2 つの乗算器を使用)。複素数入力信号の場合、ミキサは複素数ミキサ動作を行います (4 個の乗算器と 2 個の加算器を使用)。このミキサは、個々のチャンネルの入力信号 (実数または複素数)に基いて動作を調整します。実数入力または複素数入力の選択は、DDC コントロール・レジスタ (レジスタ 0x310、レジスタ 0x330、レジスタ 0x350、レジスタ 0x370)のビット 7 を使って、各 DDC ブロックに対して個別に制御することができます。



## FIR フィルタ

### 概要

4 セットのデシメーション比 2、ローパス、ハーフバンド、有限インパルス応答 (FIR) フィルタ (図 50 に示す HB1 FIR、HB2 FIR、HB3 FIR、HB4 FIR) があります。これらのフィルタは周波数変換ステージの後ろにあります。注目するキャリアを DC (キャリア周波数 = 0 Hz) まで下げた後、これらのフィルタが効果的にサンプル・レートを下げると同時に、注目する帯域幅付近の不要な隣接キャリアに対して十分な折り返し除去比を提供します。

HB1 FIR は常にイネーブルされ、バイパスすることはできません。HB2、HB3、HB4 FIR フィルタはオプションであるため、

表 16.DDC フィルタの特性

ADC Sample Rate (MSPS)	DDC Decimation Ratio	Real Output Sample Rate (MSPS)	Complex (I/Q) Output Sample Rate (MSPS)	Alias Protected Bandwidth (MHz)	Ideal SNR Improvement <sup>1</sup> (dB)	Pass-Band Ripple (dB)	Alias Rejection (dB)
1000	2 (HB1)	1000	500 (I) + 500 (Q)	385.0	1	<-0.001	>100
	4 (HB1 + HB2)	500	250 (I) + 250 (Q)	192.5	4		
	8 (HB1 + HB2 + HB3)	250	125 (I) + 125 (Q)	96.3	7		
	16 (HB1 + HB2 + HB3 + HB4)	125	62.5 (I) + 62.5 (Q)	48.1	10		

<sup>1</sup> オーバーサンプリングとフィルタリングによる理論 SNR 改善 =  $10\log(\text{帯域幅}/(f_s/2))$ 。

表 17.DDC フィルタ折り返し除去比

Alias Rejection (dB)	Pass-Band Ripple/Cutoff Point (dB)	Alias Protected Bandwidth for Real (I) Outputs <sup>1</sup>	Alias Protected Bandwidth for Complex (I/Q) Outputs <sup>1</sup>
>100	<-0.001	<38.5% × $f_{OUT}$	<77% × $f_{OUT}$
90	<-0.001	<38.7% × $f_{OUT}$	<77.4% × $f_{OUT}$
85	<-0.001	<38.9% × $f_{OUT}$	<77.8% × $f_{OUT}$
63.3	<-0.006	<40% × $f_{OUT}$	<80% × $f_{OUT}$
25	-0.5	44.4% × $f_{OUT}$	88.8% × $f_{OUT}$
19.3	-1.0	45.6% × $f_{OUT}$	91.2% × $f_{OUT}$
10.7	-3.0	48% × $f_{OUT}$	96% × $f_{OUT}$

<sup>1</sup>  $f_{OUT}$  = ADC 入力サンプル・レート/DDC デシメーション比。

高い出力サンプル・レートではバイパスすることができます。

表 16 に、様々なハーフバンド・フィルタを含む様々な帯域幅オプションを示します。すべてのケースで、AD9680 の DDC フィルタリング・ステージは、-0.001 dB 以下の通過帯域リップルと 100 dB 以上の阻止帯域折り返し除去比を提供します。

表 17 に、複数の通過帯域リップル/カットオフ・ポイントに対する阻止帯域折り返し除去比を示します。各 DDC のフィルタリング・ステージのデシメーション比は、DDC コントロール・レジスタ (0x310、0x330、0x350、0x370) のビット [1:0] を使って個別に制御することができます。

### ハーフバンド・フィルタ

AD9680 では、ADC 変換済データのデジタル信号処理を可能にする 4 個のハーフバンド・フィルタを提供します。これらのハーフバンド・フィルタはバイパス可能で、個別に選択することができます。

#### HB4 フィルタ

最初のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB4)では、低消費電力向けに最適化された 11 タップ、対称、固定係数フィルタ構成を採用しています。HB4 フィルタは、複素数出力 (デシメーション比 16) または実数出力 (デシメーション比 8) をイネーブルした場合にのみ使用します。その他の場合、このフィルタはバイパスされます。表 18 と図 54 に、HB4 フィルタの係数と応答を示します。

表 18.HB4 のフィルタ係数

HB4 Coefficient Number	Decimal Coefficient (15-Bit)
C1, C11	99
C2, C10	0
C3, C9	-808
C4, C8	0
C5, C7	4805
C6	8192

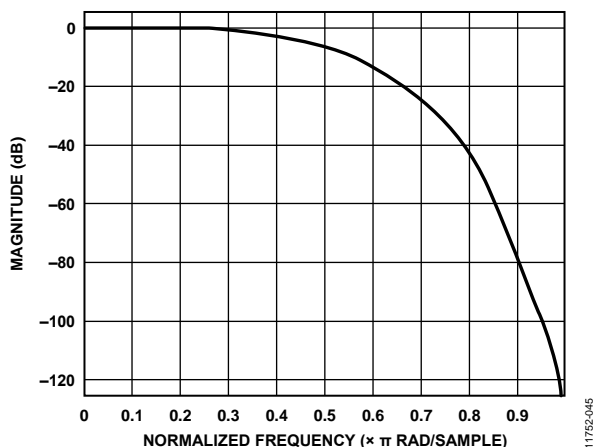


図 54.HB4 フィルタの応答

#### HB3 フィルタ

2つ目のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB3)では、低消費電力向けに最適化された 11 タップ、対称、固定係数フィルタ構成を採用しています。HB3 フィルタは、複素数出力 (デシメーション比 8 または 16) または実数出力 (デシメーション比 4 または 8) をイネーブルした場合にのみ使用します。その他の場合、このフィルタはバイパスされます。表 19 と図 55 に、HB3 フィルタの係数と応答を示します。

表 19.HB3 フィルタの係数

HB3 Coefficient Number	Decimal Coefficient (18-Bit)
C1, C11	859
C2, C10	0
C3, C9	-6661
C4, C8	0
C5, C7	38570
C6	65536

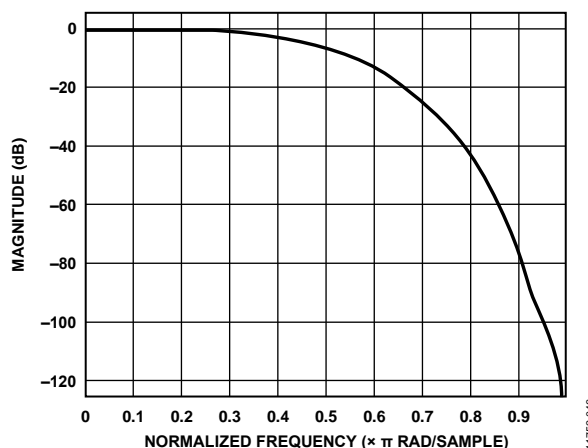


図 55.HB3 フィルタ応答

#### HB2 フィルタ

3つ目のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB2)では、低消費電力向けに最適化された 19 タップ、対称、固定係数フィルタ構成を採用しています。HB2 フィルタは、複素数出力 (デシメーション比 4、8 または 16) または実数出力 (デシメーション比 2、4 または 8) をイネーブルした場合にのみ使用します。その他の場合、このフィルタはバイパスされます。表 20 と図 56 に、HB2 フィルタの係数と応答を示します。

表 20.HB2 フィルタの係数

HB2 Coefficient Number	Decimal Coefficient (19-Bit)
C1, C19	161
C2, C18	0
C3, C17	-1328
C4, C16	0
C5, C15	5814
C6, C14	0
C7, C13	-19272
C8, C12	0
C9, C11	80,160
C10	131,072

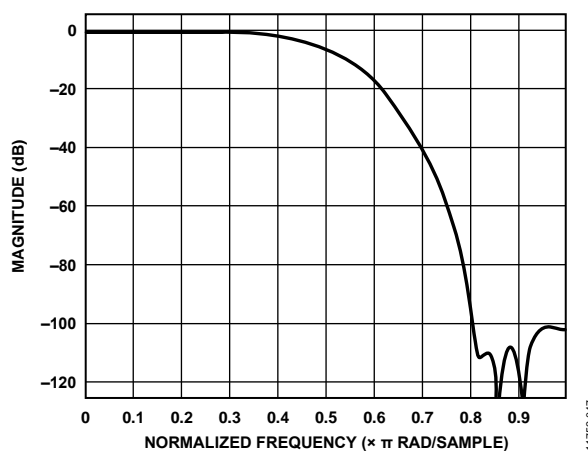


図 56.HB2 フィルタ応答

表 21.HB1 フィルタの係数

HB1 Coefficient Number	Decimal Coefficient (21-Bit)
C1, C55	-24
C2, C54	0
C3, C53	102
C4, C52	0
C5, C51	-302
C6, C50	0
C7, C49	730
C8, C48	0
C9, C47	-1544
C10, C46	0
C11, C45	2964
C12, C44	0
C13, C43	-5284
C14, C42	0
C15, C41	8903
C16, C40	0
C17, C39	-14,383
C18, C38	0
C19, C37	22,640
C20, C36	0
C21, C35	-35,476
C22, C34	0
C23, C33	57,468
C24, C32	0
C25, C31	-105,442
C26, C30	0
C27, C29	331,792
C28	524,288

HB1 フィルタ

4 つ目の最後のデシメーション比 2、ハーフバンド、ローパス FIR フィルタ (HB1)では、低消費電力向けに最適化された 55 タップ、対称、固定係数フィルタ構成を採用しています。HB1 フィルタは常にイネーブルされ、バイパスすることはできません。表 21 と図 57 に、HB1 フィルタの係数と応答を示します。

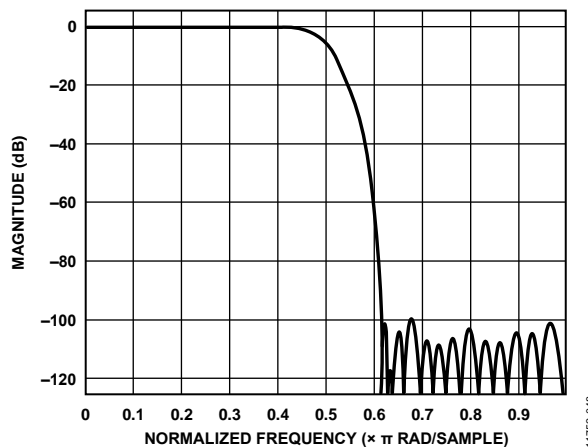


図 57.HB1 フィルタの応答

DDC ゲイン・ステージ

各 DDC は、独立に制御されるゲイン・ステージを内蔵しています。ゲインは 0 dB または 6 dB を選択することができます。ミキシングして実数入力信号をベースバンドへダウン変換するときは、6 dB のゲインをイネーブルして、信号ダイナミックレンジ中心を出力ビットのフルスケール内で再設定することが推奨されます。

ミキシングして複素数入力信号をベースバンドへダウン変換するときは、ミキサーが信号ダイナミックレンジ中心を出力ビットのフルスケール内で既に設定しているため、ゲインの追加は不要ですが、オプションの 6 dB ゲインを使って低い信号強度を補償することができます。複素数/実数変換ステージを使用する場合、HB1 FIR フィルタの 2 つの部分によるダウンサンプルはバイパスされます(図 58 参照)。

DDC 複素数/実数変換

各 DDC は独立に制御される複素数/実数変換ブロックを内蔵しています。複素数/実数変換ブロックでは、フィルタリング・ステージの最終フィルタ (HB1 FIR) と  $f_s/4$  複素数ミキサーを再使用して信号をアップ変換します。

信号のアップ変換後、複素数ミキサーの Q 部分は不要になるので、切り離されます。

図 58 に、複素数/実数変換の簡略化したブロック図を示します。

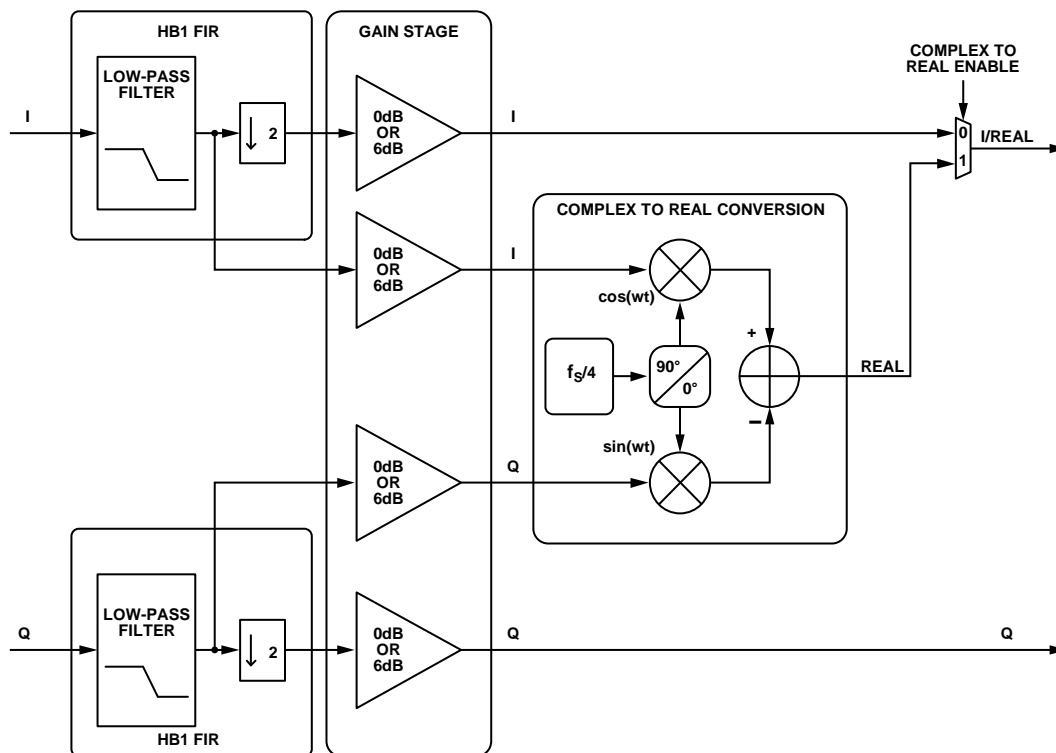


図 58.複素数/実数変換のブロック図

11752-049

## DDC の設定例

表 22 に、複数の DDC 設定例のレジスタ設定値を示します。

表 22.DDC の設定例

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC <sup>1</sup>	Number of Virtual Converters Required (M)	Register Settings <sup>2</sup>
One DDC	2	Complex	Complex	$77\% \times f_s$	2	Register 0x200 = 0x01 (one DDC; I/Q selected) Register 0x201 = 0x01 (chip decimate by 2) Register 0x310 = 0x83 (complex mixer; 0 dB gain; variable IF; complex outputs; HB1 filter) Register 0x311 = 0x04 (DDC I input = ADC Channel A; DDC Q input = ADC Channel B) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0
Two DDCs	4	Complex	Complex	$38.5\% \times f_s$	4	Register 0x200 = 0x02 (two DDCs; I/Q selected) Register 0x201 = 0x02 (chip decimate by 4) Register 0x310, Register 0x330 = 0x80 (complex mixer; 0 dB gain; variable IF; complex outputs; HB2+HB1 filters) Register 0x311, Register 0x331 = 0x04 (DDC I input = ADC Channel A; DDC Q input = ADC Channel B) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0 Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1
Two DDCs	4	Complex	Real	$19.25\% \times f_s$	2	Register 0x200 = 0x22 (two DDCs; Q ignore selected) Register 0x201 = 0x02 (chip decimate by 4) Register 0x310, Register 0x330 = 0x89 (complex mixer; 0 dB gain; variable IF; real output; HB3 + HB2 + HB1 filters) Register 0x311, Register 0x331 = 0x04 (DDC I input = ADC Channel A; DDC Q input = ADC Channel B) Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0 Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC <sup>1</sup>	Number of Virtual Converters Required (M)	Register Settings <sup>2</sup>
Two DDCs	4	Real	Real	$19.25\% \times f_s$	2	<p>Register 0x200 = 0x22 (two DDCs; Q ignore selected)</p> <p>Register 0x201 = 0x02 (chip decimate by 4)</p> <p>Register 0x310, Register 0x330 = 0x49 (real mixer; 6 dB gain; variable IF; real output; HB3+HB2+HB1 filters)</p> <p>Register 0x311 = 0x00 (DDC0 I Input = ADC Channel A; DDC0 Q Input = ADC Channel A)</p> <p>Register 0x331 = 0x05 (DDC 1 I Input = ADC Channel B; DDC 1 Q Input = ADC Channel B)</p> <p>Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0</p> <p>Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1</p>
Two DDCs	4	Real	Complex	$38.5\% \times f_s$	4	<p>Register 0x200 = 0x02 (two DDCs; I/Q selected)</p> <p>Register 0x201 = 0x02 (chip decimate by 4)</p> <p>Register 0x310, Register 0x330 = 0x40 (real mixer; 6 dB gain; variable IF; complex output; HB2 + HB1 filters)</p> <p>Register 0x311 = 0x00 (DDC 0 I input = ADC Channel A; DDC 0 Q input = ADC Channel A)</p> <p>Register 0x331 = 0x05 (DDC 1 I input = ADC Channel B; DDC 1 Q input = ADC Channel B)</p> <p>Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0</p> <p>Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1</p>
Four DDCs	8	Real	Complex	$19.25\% \times f_s$	8	<p>Register 0x200 = 0x03 (four DDCs; I/Q selected)</p> <p>Register 0x201 = 0x03 (chip decimate by 8)</p> <p>Register 0x310, Register 0x330, Register 0x350, Register 0x370 = 0x41 (real mixer; 6 dB gain; variable IF; complex output; HB3 + HB2 + HB1 filters)</p> <p>Register 0x311 = 0x00 (DDC 0 I input = ADC Channel A; DDC 0 Q input = ADC Channel A)</p> <p>Register 0x331 = 0x00 (DDC 1 I input = ADC Channel A; DDC 1 Q input = ADC Channel A)</p> <p>Register 0x351 = 0x05 (DDC 2 I input = ADC Channel B; DDC 2 Q input = ADC Channel B)</p>

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC <sup>1</sup>	Number of Virtual Converters Required (M)	Register Settings <sup>2</sup>
						<p>Register 0x371 = 0x05 (DDC 3 I input = ADC Channel B; DDC 3 Q input = ADC Channel B)</p> <p>Register 0x314, Register 0x315, Register 0x320, Register 0x321 = FTW and POW set as required by application for DDC 0</p> <p>Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1</p> <p>Register 0x354, Register 0x355, Register 0x360, Register 0x361 = FTW and POW set as required by application for DDC 2</p> <p>Register 0x374, Register 0x375, Register 0x380, Register 0x381 = FTW and POW set as required by application for DDC 3</p>
Four DDCs	16	Real	Complex	$9.625\% \times f_s$	8	<p>Register 0x200 = 0x03 (four DDCs; I/Q selected)</p> <p>Register 0x201 = 0x04 (chip decimate by 16)</p> <p>Register 0x310, Register 0x330, Register 0x350, Register 0x370 = 0x42 (real mixer; 6 dB gain; variable IF; complex output; HB4 + HB3 + HB2 + HB1 filters)</p> <p>Register 0x311 = 0x00 (DDC 0 I input = ADC Channel A; DDC0 Q input = ADC Channel A)</p> <p>Register 0x331 = 0x00 (DDC 1 I input = ADC Channel A; DDC1 Q input = ADC Channel A)</p> <p>Register 0x351 = 0x05 (DDC 2 I input = ADC Channel B; DDC2 Q input = ADC Channel B)</p> <p>Register 0x371 = 0x05 (DDC 3 I input = ADC Channel B; DDC 3 Q input = ADC Channel B)</p> <p>Register 0x314, 0x315, 0x320, 0x321 = FTW and POW set as required by application for DDC 0</p> <p>Register 0x334, Register 0x335, Register 0x340, Register 0x341 = FTW and POW set as required by application for DDC 1</p> <p>Register 0x354, Register 0x355, Register 0x360, Register 0x361 = FTW and POW set as required by application for DDC 2</p> <p>Register 0x374, Register 0x375, Register 0x380, Register 0x381 = FTW and POW set as required by application for DDC 3</p>

<sup>1</sup>  $f_s$  = ADC サンプル・レート。記載する帯域幅は、-0.001 dB 以下の通過帯域リップルと 100 dB 以上の阻止帯域折り返し除去比を提供します。

<sup>2</sup> FTW レジスタまたは POW レジスタに対するすべての書込みが完了した後に、SPI または SYSREF<sub>±</sub> ピンを使って NCO を同期化する必要があります。これは、NCO の正しい動作のために必要です。詳細については、NCO 同期化のセクションを参照してください。

## デジタル出力

### JESD204B インターフェースの概要

AD9680 のデジタル出力は、JEDEC 標準 JESD204B データ・コンバータ用シリアル・インターフェースに準拠してデザインされています。JESD204B は、最大 12.5 Gbps レーン速度のシリアル・インターフェースを使って AD9680 とデジタル処理デバイスを接続するプロトコルです。LVDS を使用する JESD204B インターフェースの利点としては、データ・インターフェースの配線に要するボード面積を削減し、コンバータとロジック・デバイスのパッケージを小型化できることなどがあります。

### JESD204B の概要

JESD204B データ送信ブロックは、ADC からのパラレル・データをフレームに変換し、8B/10B 符号化を行い、さらにオプションのスクランプリングを行ってシリアル出力データを形成します。リンクの初期確立時に特別な制御文字を使用するレーン同期がサポートされています。その他の制御文字は、その後の同期を維持するデータ・ストリーム内に組み込まれています。JESD204B レシーバは、シリアル・リンクを完成させるために必要です。JESD204B インターフェースの詳細については、JESD204B 規格を参照してください。

AD9680 JESD204B データ送信ブロックは、1 つのリンクに対して最大 2 個の物理的 ADC または最大 8 個の仮想コンバータ (DDC のイネーブル時) を対応させます。リンクは、1 個、2 個、または 4 個の JESD204B レーンを使用するように設定することができます。JESD204B 仕様はリンクを定義する多数のパラメータを規定し、これらのパラメータは、JESD204B トランスミッタ (AD9680 出力) と JESD204B レシーバ (論理デバイス入力) の間で一致する必要があります。

JESD204B リンクは、次のパラメータに従って規定されます。

- L = レーン/コンバータ・デバイス数 (リンクあたりのレーン数)(AD9680 値 = 1、2、または 4)
- M = コンバータ/コンバータ・デバイス数 (リンクあたりの仮想コンバータ数)(AD9680 値 = 1、2、4、または 8)
- F = 1 フレームあたりのオクテット数 (AD9680 値 = 1、2、4、8、または 16)
- N' = サンプルあたりのビット数 (JESD204B ワード・サイズ)(AD9680 値 = 8 または 16)
- N = コンバータ分解能 (AD9680 値 = 7~16)

- CS = サンプルあたりのコントロール・ビット数 (AD9680 値 = 0、1、2、または 3)
- K = マルチフレームあたりのフレーム数 (AD9680 値 = 4、8、12、16、20、24、28、または 32)
- S = シングル・コンバータ/フレーム・サイクルあたりの送信サンプル数 (AD9680 値 = L、M、F、N' に基づき自動的に設定)
- HD = 高密度モード (AD9680 = L、M、F、N' に基づき自動的に設定)
- CF = フレーム・クロック・サイクル/コンバータ・デバイスあたりの制御ワード数 (AD9680 値 = 0)

図 59 に、AD9680 JESD204B リンクの簡略化したブロック図を示します。デフォルトで、AD9680 は 2 個のコンバータと 4 個のレーンを使用するように設定されています。コンバータ A データは SERDOUT0± および/または SERDOUT1± に対する出力で、コンバータ B は SERDOUT2± および/または SERDOUT3± に対する出力です。AD9680 では、両コンバータ出力をシングル・レーンに対応させる、または A デジタル出力パスと B デジタル出力パスの対応を変更するなどのその他の設定も可能です。これらのモードとその他のカスタマイズ・オプションは、SPI レジスタ・マップのクイック設定レジスタを使って設定されます。

デフォルトでは、AD9680 内で各コンバータからの 14 ビット・コンバータ・ワードは、2 つのオクテット (8 ビットのデータ) に分割されます。ビット 13 (MSB)~ビット 6 が最初のオクテットになります。2 つ目のオクテットは、ビット 5~ビット 0 (LSB) と 2 ビットのテール・ビットになります。テール・ビットには、ゼロまたは擬似ランダム数シーケンスを設定することができます。またテール・ビットは、範囲外、SYSREF±、または高速検出出力を表すコントロール・ビットで置き換えることができます。

得られた 2 つのオクテットをスクランブルすることができます。ただし、スクランブルはオプションであり、同じデジタル・データ・パターンを送信する際にスペクトル・ピークの発生を防止するために使用することが推奨されます。スクランブラでは、式  $1 + x^{14} + x^{15}$  を使用した多項式ベースの自己同期アルゴリズムを採用しています。レシーバのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

2 つのオクテットは、その後 8B/10B エンコーダで符号化されません。8B/10B エンコーダは、8 ビットのデータ (オクテット) を取り出してこれを 10 ビットのシンボルに符号化します。図 60 に、ADC から 14 ビット・データを取り出し、テール・ビットを追加し、2 つのオクテットをスクランブルし、これらのオクテットを 2 つの 10 ビット・シンボルに符号化する方法を示します。図 60 に、デフォルトのデータ・フォーマットを示します。



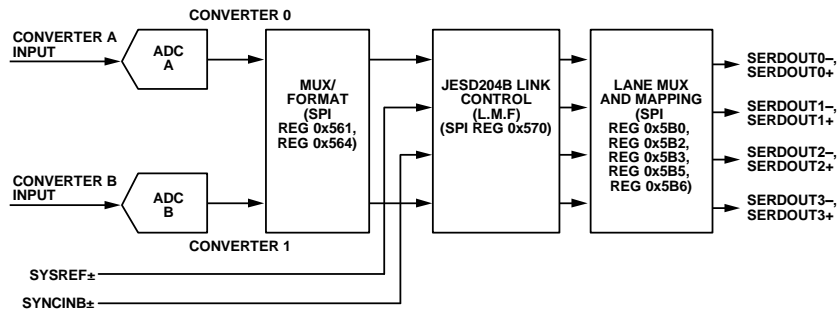


図 59.送信リンクの簡略化したブロック図—フル帯域幅モード (レジスタ 0x200 = 0x00)

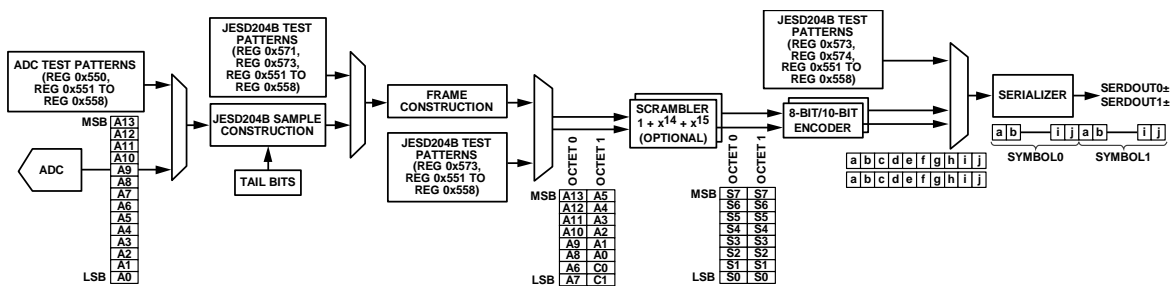


図 60.ADC 出力データ・パースデータ・フレーミング

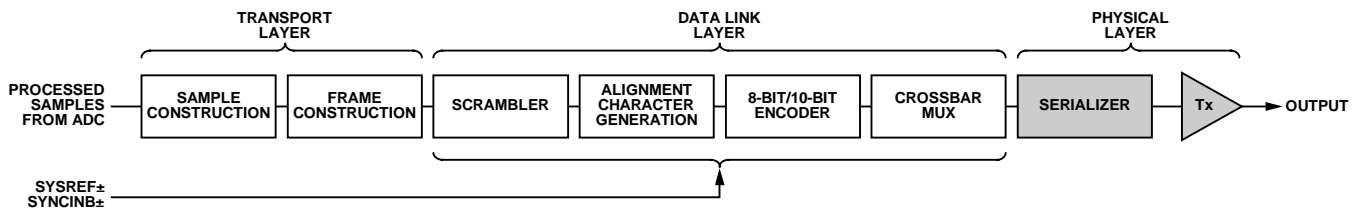


図 61.データ・フロー

## 機能概要

図 61 のブロック図に、JESD204B ハードウェアを経由するサンプル入力から物理出力までのデータ・フローを示します。この処理は、通信システムの抽象レイヤーの説明に広く使われているオープン・ソース・イニシアティブ (OSI) モデルから導出されるレイヤーに分割することができます。これらのレイヤーは、トランスポート・レイヤー、データ・リンク・レイヤー、物理レイヤー (シリアライザと出力ドライバ) です。

### トランスポート・レイヤー

トランスポート・レイヤーでは、データ (サンプルとオプションのコントロール・ビットで構成) を JESD204B フレームへパッキングします。このフレームは 8 ビット・オクテットに対応します。これらのオクテットはデータ・リンク・レイヤーに送られます。トランスポート・レイヤーのマッピングは、リンク・パラメータから導出された規則で制御されます。必要な場合、ギャップを埋めるためテール・ビットが追加されます。次式を使って、サンプル (JESD204B ワード) 内のテール・ビット数を求めることができます。

$$T = N' - N - CS$$

### データ・リンク・レイヤー

データ・リンク・レイヤーには、リンクを介してデータを渡す低レベルの機能があります。これらの機能としては、オプションのデータ・スクランプリング、マルチチップ同期/レーン・アライメント/モニタリング用の制御文字の挿入、8 ビット・オクテットの 10 ビット・シンボルへの符号化などがあります。また、データ・リンク・レイヤーには、初期レーン・アライメント・シーケンス (ILAS) を送信する機能もあります。これには、トランスポート・レイヤーで設定値を確認する際にレシーバが使用するリンク設定データが含まれます。

### 物理レイヤー

物理レイヤーは、シリアル・クロック・レートでクロック駆動される高速回路で構成されます。このレイヤーでは、並列データが 1 レーン、2 レーン、または 4 レーンの高速差動シリアル・データに変換されます。

### JESD204B リンクの確立

AD9680 の JESD204B トランスミッタ (Tx) インターフェースは、JEDEC 標準 204B (July 2011 specification) で規定されるサブクラス 1 内で動作します。リンク確立処理は、コード・グループ同期および SYNCINB±、初期レーン・アライメント・シーケンス、ユーザー・データおよびエラー訂正の各ステップに分割されます。

### コード・グループ同期 (CGS)および SYNCINB±

JESD204B レシーバがデータ・ストリーム内で 10 ビット・シンボルと 10 ビット・シンボルの間の境界を見つける処理が CGS です。CGS フェーズでは、JESD204B 送信ブロックは /K28.5/ 文字を送信します。レシーバは、クロックとデータの再生 (CDR) 技術を使って入力データ・ストリーム内で /K28.5/ 文字を探す必要があります。

レシーバは、AD9680 の SYNCINB± ピンをロー・レベルにして同期要求を発行します。次に JESD204B Tx は /K/ 文字の送信を開始します。レシーバが同期化された後、少なくとも 4 個の連続する /K/ シンボルの受信を待ちます。そして SYNCINB± のアサートを解除します。次に、AD9680 は次のローカル・マルチフレーム・クロック (LMFC) の境界で ILAS を送信します。

コード・グループ同期フェーズの詳細については、JEDEC 標準 JESD204B、July 2011 のセクション 5.3.3.1 を参照してください。

SYNCINB± ピン動作も、SPI から制御することができます。SYNCINB± 信号は、デフォルトで差動 LVDS モード信号になっていますが、シングルエンドで駆動することもできます。SYNCINB± ピン動作の設定については、レジスタ 0x572 を参照してください。

### 初期レーン・アライメント・シーケンス (ILAS)

ILAS フェーズは CGS フェーズの後に続き、次の LMFC 境界から開始されます。ILAS は 4 個のマルチフレームで構成され、/R/ 文字が開始を、/A/ 文字が終わりを、それぞれ示します。ILAS は、/R/ 文字とそれに続く 0 から 255 のランプ・データ (1 マルチフレーム分) を送信することにより開始されます。2 番目のマルチフレームで、3 番目の文字で始まるリンク設定データが送信されます。2 番目の文字は、リンク設定データが次に続くことを確認する /Q/ 文字です。すべての不定データ・スロットにはランプ・データが詰められます。ILAS シーケンスは、スクランブルされません。

ILAS シーケンスの構成を図 62 に示します。4 個のマルチフレームには次が含まれます。

- マルチフレーム 1。/R/ 文字 (/K28.0) で開始され、/A/ 文字 (/K28.3) で終わります。
- マルチフレーム 2。/R/ 文字で開始され、/Q/ (K28.4) 文字、14 個の設定オクテットのリンク設定パラメータ (表 23 参照) が続き、/A/ 文字で終わります。多くのパラメータ値は、値 -1 の表記法を使用します。
- マルチフレーム 3。/R/ 文字 (/K28.0) で開始され、/A/ 文字 (/K28.3) で終わります。
- マルチフレーム 4。/R/ 文字 (/K28.0) で開始され、/A/ 文字 (/K28.3) で終わります。

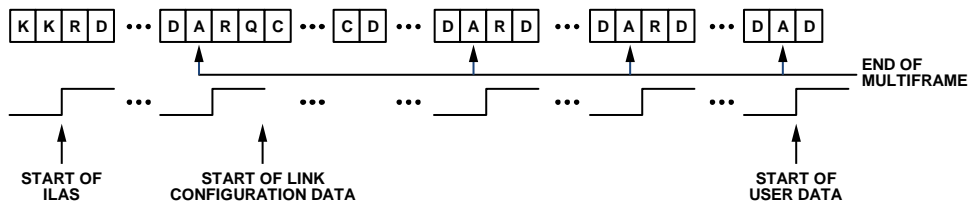


図 62.初期レーン・アライメント・シーケンス

11752-063

### ユーザー・データおよびエラー検出

初期レーン・アライメント・シーケンスが完了した後に、ユーザー・データが送信されます。通常、1 のフレーム内では、すべての文字がユーザー・データと見なされますが、フレーム・クロックとマルチフレーム・クロック同期をモニタするために、データが所定の条件を満たすとき、文字を/F/または/A/ アライメント文字で置き換えるメカニズムがあります。これらの条件は、非スクランブル・データとスクランブル・データに対して異なります。デフォルトで、スクランプリング動作はイネーブルされていますが、SPI を使ってディスエーブルすることができます。

スクランブル・データの場合、フレームの終わりのすべての 0xFC 文字が /F/ で置換えられ、マルチフレームの終わりのすべての 0xFD 文字が /A/ で置換えられます。JESD204B レシーバ (Rx) は、受信データ・ストリーム内で/F/文字と/A/ 文字を調べて、これらが予想する位置で発生していることを確認します。予想しない/F/文字または/A/ 文字を見つけると、レシーバはダイナミック再アライメントを使用してこの状況に対処します。すなわち 4 フレームより長い間 SYNCINB± 信号をアサートして再同期を開始します。非スクランブル・データの場合、後続の 2 フレームの最終文字が一致すると、2 番目の文字がフレームの最

後の場合は /F/ で、マルチフレームの最後の場合は/A/で、それぞれ置換えられます。

アライメント文字の挿入は、SPI を使って変更することができます。フレーム・アライメント文字の挿入 (FACI) は、デフォルトでイネーブルされています。リンク制御の詳細については、メモリ・マップのセクションのレジスタ 0x571 を参照してください。

### 8B/10B エンコーダ

8B/10B エンコーダは、8 ビット・オクテットを 10 ビット・シンボルへ変換し、必要に応じて制御文字をストリームに挿入します。JESD204B で使用される制御文字を表 23 に示します。8B/10B エンコーディングでは、複数のシンボル間で同数の 1 と 0 を使うことにより信号の DC バランスを保証します。

8B/10B インターフェースには、SPI から制御できるオプションがあります。これらの動作には、バイパスと反転が含まれます。これらのオプションは、デジタル・フロントエンド (DFE) 評価用のトラブルシュート・ツールです。8B/10B エンコーダの設定については、メモリ・マップのセクションのレジスタ 0x572[2:1]を参照してください。

表 23. JESD204B で使用される AD9680 制御文字

Abbreviation	Control Symbol	8-Bit Value	10-Bit Value, RD <sup>1</sup> = -1	10-Bit Value, RD <sup>1</sup> = +1	Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	Start of multiframe
/A/	/K28.3/	011 11100	001111 0011	110000 1100	Lane alignment
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	Start of link configuration data
/K/	/K28.5/	101 11100	001111 1010	110000 0101	Group synchronization
/F/	/K28.7/	111 11100	001111 1000	110000 0111	Frame alignment

<sup>1</sup> RD = running disparity.

## 物理レイヤー (ドライバ)出力

### デジタル出力、タイミング、制御

AD9680 の物理レイヤーは、JEDEC 標準 JESD204B、July 2011 で規定されるドライバで構成されています。デフォルトで、差動デジタル出力がパワーアップします。ドライバでは  $100\ \Omega$  のダイナミック内部終端を使って、不要な反射を小さくしています。

各レーバ入力に  $100\ \Omega$  の差動終端抵抗を接続すると、レーバで公称振幅  $300\ \text{mV p-p}$  が得られます (図 63 参照)。あるいは、シングルエンド  $50\ \Omega$  終端を使用することもできます。シングルエンド終端を使用する場合、終端電圧は  $\text{DRVDD}/2$  になります。そうでない場合は、 $0.1\ \mu\text{F}$  の AC 結合コンデンサを使ってシングルエンド電圧を終端することができます。

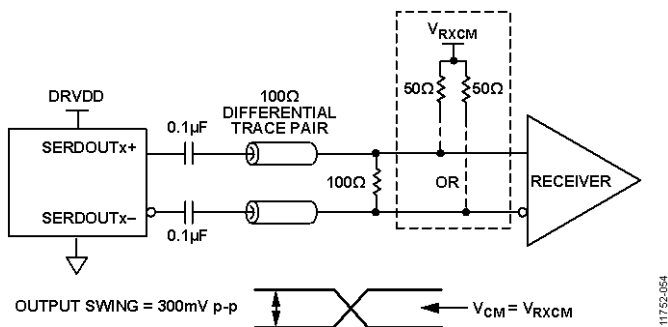


図 63. AC 結合デジタル出力終端の例

AD9680 デジタル出力はカスタム ASIC と FPGA のレーバにインターフェースできるため、ノイズの多い環境で優れたスイッチング性能を提供することができます。1本の  $100\ \Omega$  の終端抵抗をできるだけレーバ入力の近くに接続した 1 対 1 回路の使用が推奨されます。デジタル出力の同相モードは、 $1.2\ \text{V}$  の  $\text{DRVDD}$  電源の  $1/2$  に ( $V_{\text{CM}} = 0.6\ \text{V}$ )自動的にバイアスされます。出力とレーバ・ロジックの DC 結合については、図 64 を参照してください。

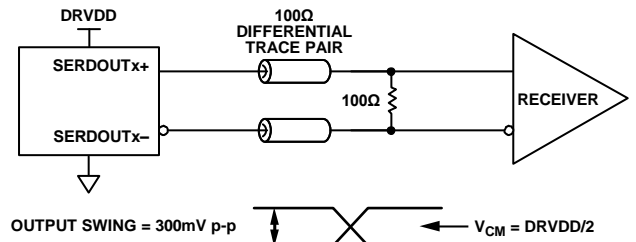


図 64. DC 結合デジタル出力終端の例

遠端でレーバ終端がない場合、または差動パターン配線が良くない場合には、タイミング誤差が発生します。このようなタイミング誤差を防止するため、パターン長を 6 インチ以下に抑え、差動出力パターンを同じ長さで互いに近い配置にすることが推奨されます。

図 65 と図 66 に、それぞれ  $10\ \text{Gbps}$  と  $6\ \text{Gbps}$  で動作する AD9683 の 1 レーンについて、デジタル出力データ・アイ、時間インターバル誤差 (TIE) ジッタ・ヒストグラム、バスタブカーブの例を示します。出力データのデフォルト・フォーマットは 2 の補数です。出力データ・フォーマットを変更するときは、メモリ・マップのセクション (表 29 のレジスタ  $0x561$ ) を参照してください。

### ディエンファシス

ディエンファシスを使うと、相互接続挿入損失が JESD204B 仕様を満たさない状態で、レーバ・アイ・ダイアグラム・マスクを満足させることができます。ディエンファシス機能は、挿入損失が大きいためレーバがクロックを再生できないときにのみ使用してください。通常の状態では、消費電力削減のためこの機能をディisableしています。さらに、短いリンクで大き過ぎるディエンファシス値を設定/イネーブルすると、レーバ・アイ・ダイアグラムは失敗します。電磁干渉 (EMI) が大きくなるので、ディエンファシスの設定は注意深く行ってください。詳細については、メモリ・マップのセクション (表 29 のレジスタ  $0x5C1$  ~ レジスタ  $0x5C5$ ) を参照してください。

### 位相ロック・ループ

位相ロック・ループ (PLL) は、JESD204B レーン・レートで動作するシリアライザ・クロックを発生するために使います。PLL ロックのステータスは、PLL ロック・ステータス・ビット (レジスタ  $0x56F$ 、ビット 7) で調べることができます。この読み専用ビットを使うと、ユーザーは特定のセットアップに対して PLL がロックしたか否かを知ることができます。ESD204B レーン・レート制御 (レジスタ  $0x56E$  ビット 4) をレーン・レートに対応して設定する必要があります。

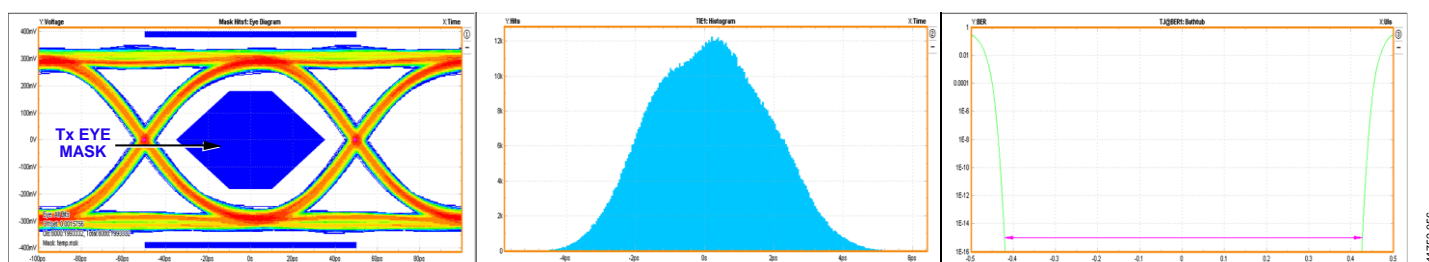


図 65.AD9680 デジタル出力のデータ・アイ、ヒストグラム、バスタブ・カーブ、外付け 100 Ω 終端、10 Gbps

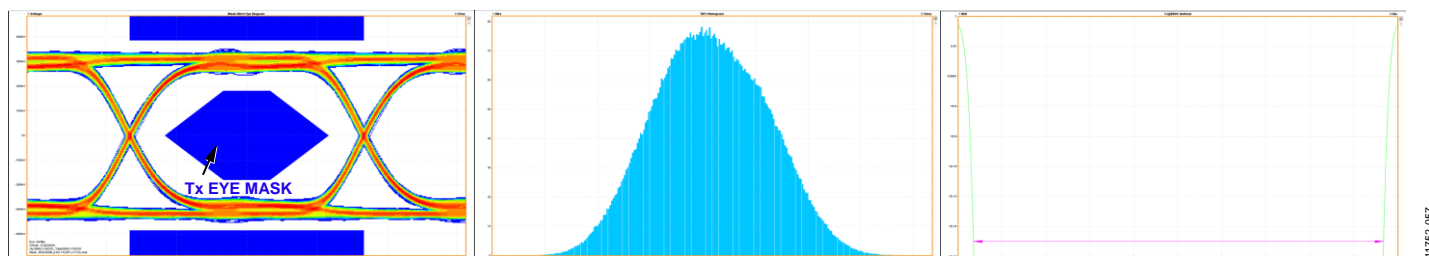


図 66.デジタル出力のデータ・アイ、ヒストグラム、バスタブ・カーブ、外付け 100 Ω 終端、6 Gbps

## JESD204B TX コンバータのマッピング

AD9680 デザインでは、様々なチップ動作モードをサポートするため、各サンプル・ストリーム (実数または I/Q) を別々の仮想コンバータから発生したものと扱います。I/Q サンプルは常に、対として I サンプルを最初の仮想コンバータに、Q サンプルを 2 番目の仮想コンバータに、それぞれマッピングします。このトランスポート・レイヤー・マッピングでは、次のいずれの場合でも仮想コンバータ数は同じです。

- 1 個の実数コンバータとデジタル・ダウン・コンバータ・ブロックを使用して I/Q 出力を発生する
- 1 個のアナログ・ダウン変換と 2 個の実数コンバータを使用して I/Q 出力を発生する

図 67 に、I/Q トランスポート・レイヤー・マッピングに対して説明した 2 つの場合のブロック図を示します。

AD9680 の JESD204B Tx ブロックは、最大 4 個の DDC ブロックをサポートします。各 DDC ブロックは、複素数データ成分 (実数 + 虚数) に対しては 2 つのサンプル・ストリーム (I/Q) を、実数 (I) データに対しては 1 つのサンプル・ストリームを、それぞれ出力します。JESD204B インターフェースは、DDC 構成に応じて最大 8 個の仮想コンバータを使用するように設定することができます。図 68 に、複素数出力を使用する場合の仮想コンバータと DDC 出力との関係を示します。表 24 に、チャンネル・スワッピングをディスエーブルした場合の各チップ動作モードに対する仮想コンバータのマッピングを示します。

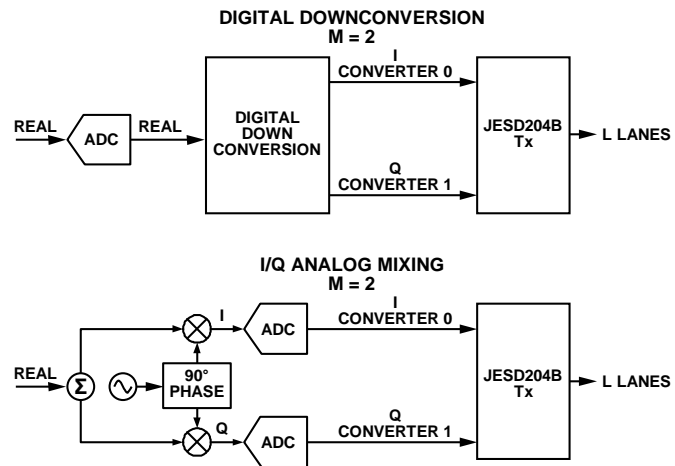


図 67. I/Q トランスポート・レイヤーのマッピング

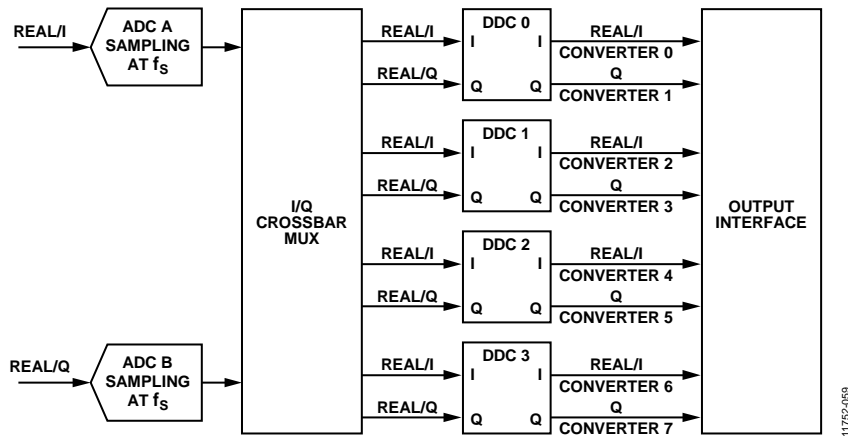


図 68. DDC および仮想コンバータのマッピング

表 24. 仮想コンバータのマッピング

Number of Virtual Converters Supported	Chip Operating Mode (0x200 [1:0])	Chip Q Ignore (0x200, Bit 5)	Virtual Converter Mapping								
			0	1	2	3	4	5	6	7	
1 to 2	Full bandwidth mode (0x0)	Real or complex (0x0)	ADC A samples	ADC B samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
1	One DDC mode (0x1)	Real (I only) (0x1)	DDC 0 I samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused	Unused
2	One DDC mode (0x1)	Complex (I/Q) (0x0)	DDC 0 I samples	DDC 0 Q samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
2	Two DDC mode (0x2)	Real (I Only) (0x1)	DDC 0 I samples	DDC 1 I samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
4	Two DDC mode (0x2)	Complex (I/Q) (0x0)	DDC 0 I samples	DDC 0 Q samples	DDC 1 I samples	DDC 1 Q samples	Unused	Unused	Unused	Unused	Unused
4	Four DDC mode (0x3)	Real (I Only) (0x1)	DDC 0 I samples	DDC 1 I samples	DDC 2 I samples	DDC 3 I samples	Unused	Unused	Unused	Unused	Unused
8	Four DDC mode (0x3)	Complex (I/Q) (0x0)	DDC 0 I samples	DDC 0 Q samples	DDC 1 I samples	DDC 1 Q samples	DDC 2 I samples	DDC 2 Q samples	DDC 3 I samples	DDC 3 Q samples	DDC 3 Q samples

## JESD204B リンクの設定

AD9680 は 1 本の JESD204B リンクを持っています。このデバイスでは、JESD04B クイック設定レジスタ (レジスタ 0x570) を使って JESD204B リンクを設定する容易な方法を提供します。シリアル出力 (SERDOUT0±~SERDOUT3±) は、1 本の JESD204B リンクの一部と見なされます。リンクのセットアップを決める基本パラメータは、

- リンクあたりのレーン数 (L)
- リンクあたりのコンバータ数 (M)
- フレームあたりのオクテット数 (F)

内蔵 DDC を内蔵デジタル処理のために使う場合、M は仮想コンバータ数を表します。仮想コンバータ・マッピングのセットアップを図 68 に示します。

JESD204B 仕様で許容される最大レーン・レートは 12.5 Gbps です。レーン・ライン・レートと JESD204B パラメータの関係は、次式で表されます。

$$LaneLineRate = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

ここで、

$$f_{OUT} = \frac{f_{ADC\_CLOCK}}{DecimationRatio}$$

表 25. N'=16 に対する JESD204B 出力設定

Number of Virtual Converters Supported (Same Value as M)	JESD204B Quick Configuration (0x570)	JESD204B Serial Line Rate <sup>1</sup>	JESD204B Transport Layer Settings <sup>2</sup>								K <sup>3</sup>
			L	M	F	S	HD	N	N'	CS	
1	0x01	20 × f <sub>OUT</sub>	1	1	2	1	0	8 to 16	16	0 to 3	Only valid K values that are divisible by 4 are supported
	0x40	10 × f <sub>OUT</sub>	2	1	1	1	1	8 to 16	16	0 to 3	
	0x41	10 × f <sub>OUT</sub>	2	1	2	2	0	8 to 16	16	0 to 3	
	0x80	5 × f <sub>OUT</sub>	4	1	1	2	1	8 to 16	16	0 to 3	
	0x81	5 × f <sub>OUT</sub>	4	1	2	4	0	8 to 16	16	0 to 3	
2	0x0A	40 × f <sub>OUT</sub>	1	2	4	1	0	8 to 16	16	0 to 3	
	0x49	20 × f <sub>OUT</sub>	2	2	2	1	0	8 to 16	16	0 to 3	
	0x88	10 × f <sub>OUT</sub>	4	2	1	1	1	8 to 16	16	0 to 3	
	0x89	10 × f <sub>OUT</sub>	4	2	2	2	0	8 to 16	16	0 to 3	
4	0x13	80 × f <sub>OUT</sub>	1	4	8	1	0	8 to 16	16	0 to 3	
	0x52	40 × f <sub>OUT</sub>	2	4	4	1	0	8 to 16	16	0 to 3	
	0x91	20 × f <sub>OUT</sub>	4	4	2	1	0	8 to 16	16	0 to 3	
8	0x1C	160 × f <sub>OUT</sub>	1	8	16	1	0	8 to 16	16	0 to 3	
	0x5B	80 × f <sub>OUT</sub>	2	8	8	1	0	8 to 16	16	0 to 3	
	0x9A	40 × f <sub>OUT</sub>	4	8	4	1	0	8 to 16	16	0 to 3	

<sup>1</sup> f<sub>OUT</sub> = 出力サンプル・レート = ADC サンプル・レート / チップ・デシメーション比。 JESD204B シリアル・ライン・レートは 3125 Mbps 以上かつ 12,500 Mbps 以下である必要があります。シリアル・ライン・レートが 12.5 Gbps 以下かつ 6.25 Gbps 以上の場合、低ライン・レート・モードをディスエーブルする必要があります (0x56E のビット 4 に 0x0 を設定)。シリアル・ライン・レートが 6.25 Gbps 以下かつ 3.125 Gbps 以上の場合、低ライン・レート・モードをイネーブルする必要があります (0x56E のビット 4 に 0x1 を設定)。

<sup>2</sup> JESD204B トランスポート・レイヤーの説明は、JESD204B 概要のセクションに記載してあります。

<sup>3</sup> F=1 の場合、K=20、24、28、32。F=2 の場合、K=12、16、20、24、28、32。F=4 の場合、K=8、12、16、20、24、28、32。F=8 かつ F=16 の場合、K=4、8、12、16、20、24、28、32。

デシメーション比 (DCM) は、レジスタ 0x201 に設定されるパラメータです。

次のステップに従って出力を設定することができます。

1. リンクをパワーダウンさせます。
2. クイック設定オプションを選択します。
3. 詳細オプションを設定します。
4. 出力レーン・マッピング (オプション) を設定します。
5. その他のドライバ設定オプションを設定します (オプション)。
6. リンクをパワーアップさせます。

計算したレーン・ライン・レートが 6.25 Gbps より小さい場合は、低ライン・レート・オプションを選択します。これは、値 0x10 をレジスタ 0x56E に書込むと実行されます。

表 25 と表 26 に、与えられた仮想コンバータ数に対して N' = 16 と N' = 8 をサポートする JESD204B 出力設定を示します。与えられた設定に対してシリアル・ライン・レートが 3.125 Gbps ~ 12.5 Gbps のサポート範囲内となるように注意してください。

表 26.N'=8 に対する JESD204B 出力設定

Number of Virtual Converters Supported (Same Value as M)	JESD204B Quick Configuration (0x570)	Serial Line Rate <sup>1</sup>	JESD204B Transport Layer Settings <sup>2</sup>								
			L	M	F	S	HD	N	N'	CS	K <sup>3</sup>
1	0x00	$10 \times f_{OUT}$	1	1	1	1	0	7 to 8	8	0 to 1	Only valid K values which are divisible by 4 are supported
	0x01	$10 \times f_{OUT}$	1	1	2	2	0	7 to 8	8	0 to 1	
	0x40	$5 \times f_{OUT}$	2	1	1	2	0	7 to 8	8	0 to 1	
	0x41	$5 \times f_{OUT}$	2	1	2	4	0	7 to 8	8	0 to 1	
	0x42	$5 \times f_{OUT}$	2	1	4	8	0	7 to 8	8	0 to 1	
	0x80	$2.5 \times f_{OUT}$	4	1	1	4	0	7 to 8	8	0 to 1	
	0x81	$2.5 \times f_{OUT}$	4	1	2	8	0	7 to 8	8	0 to 1	
2	0x09	$20 \times f_{OUT}$	1	2	2	1	0	7 to 8	8	0 to 1	
	0x48	$10 \times f_{OUT}$	2	2	1	1	0	7 to 8	8	0 to 1	
	0x49	$10 \times f_{OUT}$	2	2	2	2	0	7 to 8	8	0 to 1	
	0x88	$5 \times f_{OUT}$	4	2	1	2	0	7 to 8	8	0 to 1	
	0x89	$5 \times f_{OUT}$	4	2	2	4	0	7 to 8	8	0 to 1	
	0x8A	$5 \times f_{OUT}$	4	2	4	8	0	7 to 8	8	0 to 1	

<sup>1</sup>  $f_{OUT}$  = 出力サンプル・レート = ADC サンプル・レート / チップ・デシメーション比。 JESD204B シリアル・ライン・レートは 3125 Mbps 以上かつ 12,500 Mbps 以下である必要があります。シリアル・ライン・レートが 12.5 Gbps 以下かつ 6.25 Gbps 以上の場合、低ライン・レート・モードをディスエーブルする必要があります (レジスタ 0x56E のビット 4 に 0x0 を設定)。シリアル・ライン・レートが 6.25 Gbps 以下かつ 3.125 Gbps 以上の場合、低ライン・レート・モードをイネーブルする必要があります (レジスタ 0x56E のビット 4 に 0x1 を設定)。

<sup>2</sup> JESD204B トランスポート・レイヤーの説明は、JESD204B 概要のセクションに記載してあります。

<sup>3</sup> F=1 の場合、K=20、24、28、32。F=2 の場合、K=12、16、20、24、28、32。F=4 の場合、K=8、12、16、20、24、28、32。F=8 かつ F=16 の場合、K=4、8、12、16、20、24、28、32。

与えられたチップ・モードに対して有効な JESD204B トランスポート・レイヤー設定を説明する 2 つの例については、例 1: フル帯域幅モードのセクションと例 2: DDC オプション付の ADC (2 個の ADC と 4 個の DDC) のセクションを参照してください。

**例 1: フル帯域幅モード**

チップ・アプリケーション・モード = フル帯域幅モード (図 69 参照)。

- 2 個の 14 ビット・コンバータは 1000 MSPS
- フル帯域幅アプリケーション・レイヤー・モード
- デシメーションなし

JESD204B 出力設定:

- 2 個の仮想コンバータが必要 (表 25 参照)
- 出力サンプル・レート ( $f_{OUT}$ ) =  $1000/1 = 1000$  MSPS

JESD204B でサポートされる出力設定 (表 25) には次が含まれません:

- N' = 16 ビット
- N = 14 ビット
- L = 4、M = 2、F = 1、または L = 4、M = 2、F = 2 (クイック設定 = 0x80 または 0x81)
- CS = 0~2
- K = 32
- 出力シリアル・ライン・レート = レーンあたり 10 Gbps、低ライン・レート・モードをディスエーブル

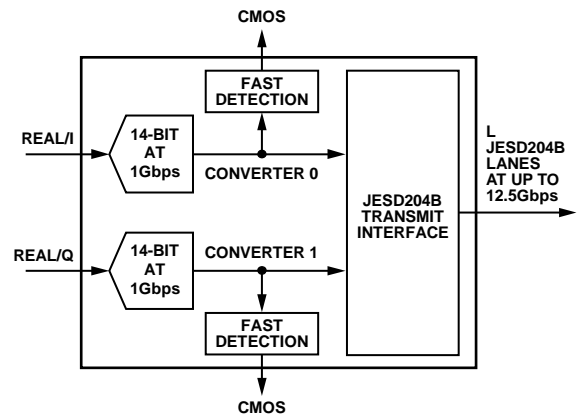


図 69. フル帯域幅モード

**例 2: DDC オプション付の ADC (2 個の ADC と 4 個の DDC)**

チップ・アプリケーション・モード = 4 DDC モード (図 70 参照)。

- 2 個の 14 ビット・コンバータは 1 MSPS
- 複素数出力 (I/Q) 付の 4 つの DDC アプリケーション・レイヤー・モード
- チップ・デシメーション比 = 16
- DDC デシメーション比 = 16 (表 14 参照)。

JESD204B 出力設定:

- 仮想コンバータが必要 = 8 (表 25 参照)
- 出力サンプル・レート ( $f_{OUT}$ ) =  $1000/16 = 62.5$  MSPS



JESD204B でサポートする出力設定 (表 25 参照):

- $N' = 16$  ビット
- $N = 14$  ビット
- $L = 1, M = 8, F = 16$ , または  $L = 2, M = 8, F = 8$  (クイック設定 = 0x1C または 0x5B)
- $CS = 0 \sim 1$
- $K = 32$
- 出力シリアル・ライン・レート = レーンあたり 10 Gbps ( $L = 1$ ) または レーンあたり 5 Gbps ( $L = 2$ )

$L = 1$  の場合、低ライン・レート・モードをディスエーブル。 $L = 2$  の場合、低ライン・レート・モードをイネーブル。

例 2 に、AD9680 のデジタルおよびレーン設定の柔軟性を示します。サンプル・レートは 1 GSPS ですが、受信デバイスの I/O 速度能力に応じて、すべての出力は 1 レーンまたは 2 レーンに組み合わせられます。

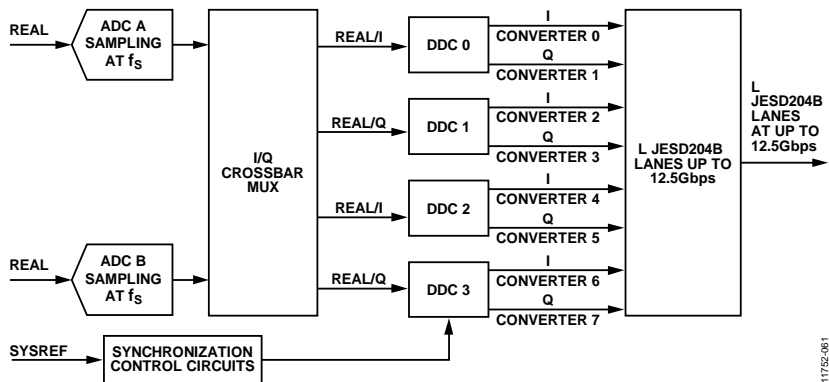


図 70.2 個の ADC と 4 個の DDC モード

## シリアル・ポート・インターフェース

AD9680 の SPI を使うと、ADC 内部の構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドは、メモリ・マップのセクションに記載します。動作の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。

### SPI を使う設定

この ADC の SPI は、SCLK ピン、SDIO ピン、CSB ピンの 3 本のピンにより定義されます(表 27 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読出しサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表 27.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize serial interface, reads, and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 4 と表 5 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは

表 28.SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode.
Clock	Allows the user to access the clock divider via the SPI.
DDC	Allows the user to set up decimation filters for different applications.
Test Input/Output	Allows the user to set test modes to have known data on output bits.
Output Mode	Allows the user to set up outputs.
SERDES Output Setup	Allows the user to vary SERDES settings such as swing and emphasis.

書き込みコマンドのいずれが発行されたかを表示します。これにより、SDIO ピンが入力から出力へ方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、SDIO ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の機能の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。

### ハードウェア・インターフェース

表 27 に示すピンにより、ユーザー書き込みデバイスと AD9680 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、[AN-812 アプリケーション・ノート「Microcontroller-Based Serial Port Interface \(SPI\) Boot Circuit」](#)に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は、一般に ADC クロックに非同期であるため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使う場合には、このバスと AD9680 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

### SPI からアクセス可能な機能

表 28 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能については、[Serial Control Interface Standard \(Rev. 1.0\)](#)を参照してください。AD9680 デバイスに固有な機能はメモリ・マップのセクションで説明します。

## メモリ・マップ

### メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは、アナログ・デバイス SPI レジスタ (レジスタ 0x000～レジスタ 0x00D)、ADC 機能レジスタ (レジスタ 0x015～レジスタ 0x24C)、DDC 機能レジスタ (レジスタ 0x300～レジスタ 0x387)、デジタル出力およびテスト・モード・レジスタ (レジスタ 0x550～レジスタ 0x5C5) の 4 つのセクションに分割されます。

表 29 (メモリ・マップのセクション参照) には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB) の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x561 の出力モード・レジスタは、16 進デフォルト値 0x01 を持ちます。これは、ビット 0 = 1 で、残りのビットはすべて 0 であることを意味します。この設定値は、デフォルトの出力フォーマット値で 2 の補数です。この機能およびその他の機能の詳細については、表 29 を参照してください。

### 未使用ロケーション

表 29 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。デフォルト値が別に設定されていない限り、有効アドレス・ロケーションの未使用ビットには 0 を書込んでください。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です(たとえばアドレス 0x561)。アドレス・ロケーション全体が未使用の場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

### デフォルト値

AD9680 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 29)に記載してあります。

### ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。
- X は don't care ビットを表します。

### チャンネル固有のレジスタ

入力終端(レジスタ 0x016)のような幾つかのチャンネル・セットアップ機能は、チャンネルごとに異なる設定が可能です。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 29 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x008 内のチャンネル A またはチャンネル B の該当するビットをセットします。両ビットがセットされている場合は、後続の書込みは両チャンネルのレジスタに対して行われます。読出しサイクルでは、チャンネル A またはチャンネル B の一方のみをセットして、2 つのレジスタの内の 1 つを読出す必要があります。SPI 読出しサイクルで両ビットがセットされていると、デバイスはチャンネル A の値を返します。表 29 でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間で独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x005 内の設定は、グローバルなレジスタとビットに影響を与えません。

### SPI のソフト・リセット

レジスタ 0x000 に 0x81 を書込んでソフト・リセットを発行した後、AD9680 は回復に 5 ms を要します。アプリケーションのセットアップ用に AD9680 を設定するときは、ソフト・リセットのアサートからデバイス・セットアップの開始までの間に十分な遅延をファームウェアに設定するように注意してください。

## メモリ・マップ・レジスタ・テーブル

表 29 に記載されていないすべてのアドレス・ロケーションは、このデバイスでは現在サポートされていないため、書込みを行わないでください。

表 29.メモリ・マップ・レジスタ

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
Analog Devices SPI Registers											
0x000	INTERFA CE_CONFI G_A	Soft reset (self clearing)	LSB first 0 = MSB 1 = LSB	Address ascension	0	0	Address ascension	LSB first 0 = MSB 1 = LSB	Soft reset (self clearing)	0x00	
0x001	INTERFA CE_CONFI G_B	Single instruction	0	0	0	0	0	Datapath soft reset (self clearing)	0	0x00	
0x002	DEVICE_ CONFIG (local)	0	0	0	0	0	0	00 = normal operation 10 = standby 11 = power-down	0x00		
0x003	CHIP_TYP E						011 = high speed ADC			0x03	Read only
0x004	CHIP_ID (low byte)	1	1	0	0	0	1	0	1	0xC5	Read only
0x005	CHIP_ID (high byte)	0	0	0	0	0	0	0	0	0x00	Read only
0x006	CHIP_ GRADE	1	0	1	0	X	X	X	X	0xAX	Read only
0x008	Device index	0	0	0	0	0	0	Channel B	Channel A	0x03	
0x00A	Scratch pad	0	0	0	0	0	0	0	0	0x00	
0x00B	SPI revision	0	0	0	0	0	0	0	1	0x01	
0x00C	Vendor ID (low byte)	0	1	0	1	0	1	1	0	0x56	Read only
0x00D	Vendor ID (high byte)	0	0	0	0	0	1	0	0	0x04	Read only
ADC Function Registers											
0x015	Analog Input (local)	0	0	0	0	0	0	0	Input disable 0 = normal operation 1 = input disabled	0x00	
0x016	Input termination (local)	Analog input differential termination 0000 = 400 Ω 0001 = 200 Ω 0010 = 100 Ω 0110 = 50 Ω				1	1	0	0	0x0C	
0x018	Input buffer current control (local)	0000 = 1.0× buffer current (default) 0001 = 1.5× buffer current 0010 = 2.0× buffer current 0011 = 2.5× buffer current 0100 = 3.0× buffer current 0101 = 3.5× buffer current ... ... 1111 = 8.5× buffer current				0	0	0	0	0x04	
0x024	V_1P0 control	0	0	0	0	0	0	0	1.0 V reference select 0 = internal 1 = external	0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x025	Input full-scale range (local)	0	0	0	0	Full-scale adjust 0000 = 1.94 V 1000 = 1.46 V 1001 = 1.58 V 1010 = 1.70 V (default) 1011 = 1.82 V			0x0A	V <sub>p-p</sub> Differential; use in conjunction with 0x030	
0x028	Temperature diode	0	0	0	0	0	0	0	Diode selection 0 = no diode selected 1 = temperature diode selected	0x00	Used in conjunction with 0x040
0x030	Input full-scale control (local)	0	0	0	Full-scale control 10 = 1.82 to 1.94 V 11 = 1.46 to 1.70 V		0	0	0	0x18	Used in conjunction with 0x025
0x03F	PDWN/STBY pin control (local)	0 = PDWN/STBY enabled 1 = disabled	0	0	0	0	0	0	0	0x00	Used in conjunction with 0x040
0x040	Chip pin control	PDWN/STBY function 00 = power down 01 = standby 10 = disabled		Fast Detect B (FD_B) 000 = Fast Detect B output 001 = JESD204B LMFC output 010 = JESD204B internal SYNC~ output 111 = disabled			Fast Detect A (FD_A) 000 = Fast Detect A output 001 = JESD204B LMFC output 010 = JESD204B internal SYNC~ output 011 = temperature diode 111 = disabled			0x3F	
0x10B	Clock divider	0	0	0	0	0	000 = divide by -1 001 = divide by 2 011 = divide by 4 111 = divide by 8		0x00		
0x10C	Clock divider phase (local)	0	0	0	0	Independently controls Channel A and Channel B clock divider phase offset 0000 = 0 input clock cycles delayed 0001 = ½ input clock cycles delayed 0010 = 1 input clock cycles delayed 0011 = 1½ input clock cycles delayed 0100 = 2 input clock cycles delayed 0101 = 2½ input clock cycles delayed ... 1111 = 7½ input clock cycles delayed			0x00		
0x11C	Clock status	0	0	0	0	0	0	0	0 = no input clock detected 1 = input clock detected	Read only	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x120	SYSREF± Control 1	0	SYSREF± flag reset 0 = normal operation 1 = flags held in reset	0	SYSREF± transition select 0 = low to high 1 = high to low	CLK± edge select 0 = rising 1 = falling	SYSREF± mode select 00 = disabled 01 = continuous 10 = N shot		0	0x00	
0x121	SYSREF± Control 2	0	0	0	0	SYSREF N-shot ignore counter select 0000 = next SYSREF± Only 0001 = ignore the first SYSREF± transitions 0010 = ignore the first two SYSREF± transitions ... 1111 = ignore the first 16 SYSREF± transitions			0x00	Mode select (Reg 0x120, Bits [2:1]) must be N-shot	
0x129	SYSREF± and clock divider status	0	0	0	0	Clock divider phase when SYSREF± was captured 0000 = in-phase 0001 = SYSREF± is ½ cycle delayed from clock 0010 = SYSREF± is 1 cycle delayed from clock 0011 = 1½ input clock cycles delayed 0100 = 2 input clock cycles delayed 0101 = 2½ input clock cycles delayed ... 1111 = 7½ input clock cycles delayed			Read only		
0x12A	SYSREF± counter	SYSREF counter, Bits[7:0] increments when a SYSREF± is captured								Read only	
0x200	Chip application mode	0	0	Chip Q ignore 0 = normal (I/Q) 1 = ignore (I-only)	0	0	0	Chip operating mode 00 = full bandwidth mode 01 = DDC 0 on 10 = DDC 0 and DDC 1 on 11 = DDC 0, DDC 1, DDC 2, and DDC 3 on		0x00	
0x201	Chip decimation ratio	0	0	0	0	0	Chip decimation ratio select 000 = full sample rate (decimate = 1) 001 = decimate by 2 010 = decimate by 4 011 = decimate by 8 100 = decimate by 16		0x00		
0x228	Customer offset	Offset adjust in LSBs from +127 to -128 (twos complement format)								0x00	
0x245	Fast detect (FD) control (local)	0	0	0	0	Force FD_A / FD_B pins; 0 = normal function; 1 = force to value	Force value of FD_A / FD_B pins if force pins is true, this value is output on FD pins	0	Enable fast detect output	0x00	
0x247	FD upper threshold LSB (local)	Fast detect upper threshold, Bits[7:0]								0x00	
0x248	FD upper threshold MSB (local)	0	0	0	Fast detect upper threshold, Bits[12:8]					0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x249	FD lower threshold LSB (local)	Fast detect lower threshold, Bits[7:0]								0x00	
0x24A	FD lower threshold MSB (local)	0	0	0	Fast detect lower threshold, Bits[12:8]					0x00	
0x24B	FD dwell time LSB (local)	Fast detect dwell time, Bits[7:0]								0x00	
0x24C	FD dwell time MSB (local)	Fast detect dwell time, Bits[15:8]								0x00	
DDC Function Registers (See the Digital Downconverter Section)											
0x300	DDC synch control	0	0	0	DDC NCO soft reset 0 = normal operation 1 = reset	0	0	Synchronization mode (triggered by SYSREF±) 00 = disabled 01 = continuous 11 = 1-shot			
0x310	DDC 0 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 dB gain 1 = 6 dB gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ( $f_{ADC}/4$ down-mixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = Disabled 1 = Enabled	0	Decimation rate select (complex—real enabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real disabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x311	DDC 0 input selection	0	0	0	0	0	Q input select 0 = Ch A 1 = Ch B	0	I input select 0 = Ch A 1 = Ch B	0x00	Refer to the DDC section
0x314	DDC 0 frequency LSB	DDC 0 NCO frequency value, Bits[7:0] twos complement								0x00	
0x315	DDC 0 frequency MSB	X	X	X	X	DDC 0 NCO frequency value, Bits[11:8] twos complement			0x00		
0x0320	DDC 0 phase LSB	DDC 0 NCO phase value, Bits[7:0] twos complement								0x00	
0x321	DDC 0 phase MSB	X	X	X	X	DDC 0 NCO phase value, Bits[11:8] twos complement			0x00		
0x327	DDC 0 output test mode selection	0	0	0	0	0	Q output test mode enable 0 = disabled 1 = enabled from Channel B	0	I output test mode enable 0 = disabled 1 = enabled from Channel A	0x00	Refer to the DDC section

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x330	DDC 1 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 dB gain 1 = 6 dB gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ( $f_{ADC}/4$ downmixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = disabled 1 = enabled	0	Decimation rate select (complex—real enabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real disabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x331	DDC 1 input selection	0	0	0	0	0	Q input select 0 = Ch A 1 = Ch B	0	I input select 0 = Ch A 1 = Ch B	0x00	Refer to the DDC section
0x334	DDC 1 frequency LSB	DDC 1 NCO frequency value, Bits[7:0] twos complement								0x00	
0x335	DDC 1 frequency MSB	X	X	X	X	DDC 1 NCO frequency value, Bits[11:8] twos complement				0x00	
0x340	DDC 1 phase LSB	DDC 1 NCO phase value, Bits[7:0] twos complement								0x00	
0x341	DDC 1 phase MSB	X	X	X	X	DDC 1 NCO phase value, Bits[11:8] twos complement				0x00	
0x347	DDC 1 output test mode selection	0	0	0	0	0	Q output test mode enable 0 = disabled 1 = enabled from Ch B	0	I output test mode enable 0 = disabled 1 = enabled from Ch A	0x00	Refer to the DDC section
0x350	DDC 2 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 dB gain 1 = 6 dB gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ( $f_{ADC}/4$ down-mixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = disabled 1 = enabled	0	Decimation rate select (complex—real enabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real disabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x351	DDC 2 input selection	0	0	0	0	0	Q input select 0 = Ch A 1 = Ch B	0	I input select 0 = Ch A 1 = Ch B	0x00	Refer to the DDC section
0x354	DDC 2 frequency LSB	DDC 2 NCO frequency value, Bits[7:0] twos complement								0x00	
0x355	DDC 2 frequency MSB	X	X	X	X	DDC 2 NCO frequency value, Bits[11:8] twos complement				0x00	
0x360	DDC 2 phase LSB	DDC 2 NCO phase value, Bits[7:0] twos complement								0x00	
0x361	DDC 2 phase MSB	X	X	X	X	DDC 2 NCO phase value, Bits[11:8] twos complement				0x00	



Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x367	DDC 2 output test mode selection	0	0	0	0	0	Q output test mode enable 0 = disabled 1 = enabled from Ch. B	0	I output test mode enable 0 = disabled 1 = enabled from Ch. A	0x00	Refer to the DDC section
0x370	DDC 3 control	Mixer select 0 = real mixer 1 = complex mixer	Gain select 0 = 0 db gain 1 = 6 db gain	IF (intermediate frequency) mode 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_{ADC}/4$ Hz IF mode ( $f_{ADC}/4$ downmixing mode) 11 = test mode (mixer inputs forced to +FS, NCO enabled)		Complex to real enable 0 = disabled 1 = enabled	0	Decimation rate select (complex—real enabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex—real disabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8		0x00	
0x371	DDC 3 input selection	0	0	0	0	0	Q input select 0 = Ch A 1 = Ch B	0	I input select 0 = Ch A 1 = Ch B	0x00	Refer to the DDC section
0x374	DDC 3 frequency LSB	DDC 3 NCO frequency value, Bits[7:0] twos complement								0x00	
0x375	DDC 3 frequency MSB	X	X	X	X	DDC 3 NCO frequency value, Bits[11:8] twos complement				0x00	
0x380	DDC3 phase LSB	DDC 3 NCO phase value, Bits[7:0] twos complement								0x00	
0x381	DDC 3 phase MSB	X	X	X	X	DDC 3 NCO phase value, Bits[11:8] twos complement				0x00	
0x387	DDC 3 output test mode selection	0	0	0	0	0	Q Output test mode enable 0 = disabled 1 = enabled from Ch B	0	I Output test mode enable 0 = disabled 1 = enabled from Ch A	0x00	Refer to DDC section
Digital Outputs and Test Modes											
0x550	ADC test modes (local)	User pattern selection 0 = continuous repeat 1 = single pattern	0	Reset PN long gen 0 = long PN enable 1 = long PN reset	Reset PN short gen 0 = short PN enable 1 = short PN reset	Test mode selection 0000 = off, normal operation 0001 = midscale short 0010 = positive full-scale 0011 = negative full-scale 0100 = alternating checker board 0101 = PN sequence, long 0110 = PN sequence, short 0111 = 1/0 word toggle 1000 = the user pattern test mode (used with Register 0x0550, Bit 7 and user pattern 1, 2, 3, 4 registers) 1111 = ramp output				0x00	
0x551	User Pattern 1 LSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573
0x552	User Pattern 1 MSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes	
0x553	User Pattern 2 LSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x554	User Pattern 2 MSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x555	User Pattern 3 LSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x556	User Pattern 3 MSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x557	User Pattern 4 LSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x558	User Pattern 4 MSB	0	0	0	0	0	0	0	0	0x00	Used with 0x550 and 0x573	
0x559	Output Mode Control 1	0	Converter control Bit 1 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± Only used when CS (Register 0x58F) = 2 or 3				0	Converter control Bit 0 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± Only used when CS (Register 0x58F) = 3			0x00	
0x55A	Output Mode Control 2	0	0	0	0	0	Converter control Bit 2 selection 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF Used when CS (Register 0x58F) = 1, 2, or 3			0x00		
0x561	Output mode	0	0	0	0	0	Sample invert 0 = normal 1 = sample invert	Data format select 00 = offset binary 01 = twos complement		0x01		
0x562	Output overrange (OR) clear	Virtual Converter 7 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 6 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 5 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 4 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 3 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 2 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 1 OR 0 = OR bit enabled 1 = OR bit cleared	Virtual Converter 0 OR 0 = OR bit enabled 1 = OR bit cleared	0x00		
0x563	Output OR status	Virtual Converter 7 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 6 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 5 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 4 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 3 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 2 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 1 OR 0 = no OR occurred 1 = OR occurred	Virtual Converter 0 OR 0 = no OR occurred 1 = OR occurred	0x00	Read only	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x564	Output channel select	0	0	0	0	0	0	0	Converter channel swap 0 = normal channel ordering 1 = channel swap enabled	0x00	
0x56E	JESD204B lane rate control	0	0	0	0 = serial lane rate $\geq 6.25$ Gbps and $\leq 12.5$ Gbps 1 = serial lane rate must be $\geq 3.125$ Gbps and $\leq 6.25$ Gbps	0	0	0	0	0x00	
0x56F	JESD204B PLL lock status	PLL lock 0 = not locked 1 = locked	0	0	0	0	0	0	0	0x00	Read only
0x570	JESD204B quick configuration	JESD204B quick configuration L = number of lanes = $2^{\text{Register 0x570, Bits[7:6]}}$ M = number of converters = $2^{\text{Register 0x570, Bits[5:3]}}$ F = number of octets/frame = $2^{\text{Register 0x570, Bits[2:0]}}$								0x88	Refer to Table 25 and Table 26
0x571	JESD204B Link Mode Control 1	Standby mode 0 = all converter outputs 0 1 = CGS (/K28.5/)	Tail bit (t) PN 0 = disable 1 = enable  T = N' - N - CS	Long transport layer test 0 = disable 1 = enable	Lane synchronization 0 = disable 1 = enable FACI uses /K28.7/ 1 = enable FACI uses /K28.3/ and /K28.7/	ILAS sequence mode 00 = ILAS disabled 01 = ILAS enabled 11 = ILAS always on test mode		FACI 0 = enabled 1 = disabled	Link control 0 = active 1 = power down	0x14	
0x572	JESD204B Link Mode Control 2	SYNCINB $\pm$ pin control 00 = normal 10 = ignore SYNCINB $\pm$ (force CGS) 11 = ignore SYNCINB $\pm$ (force ILAS/user data)		SYNCINB $\pm$ pin invert 0 = active low 1 = active high	SYNCINB $\pm$ pin type 0 = differential 1 = cmos	0	8B/10B bypass 0 = normal 1 = bypass	8B/10B bit invert 0 = normal 1 = invert the abcd efghij symbols	0	0x00	
0x573	JESD204B Link Mode Control 3	CHKSUM mode 00 = sum of all 8-bit link config registers 01 = sum of individual link config fields 10 = checksum set to zero		Test injection point 00 = N' sample input 01 = 10-bit data at 8B/10B output (for PHY testing) 10 = 8-bit data at scrambler input		JESD204B test mode patterns 0000 = normal operation (test mode disabled) 0001 = alternating checker board 0010 = 1/0 word toggle 0011 = 31-bit PN sequence— $X^{31} + X^{28} + 1$ 0100 = 23-bit PN sequence— $X^{23} + X^{18} + 1$ 0101 = 15-bit PN sequence— $X^{15} + X^{14} + 1$ 0110 = 9-bit PN sequence— $X^9 + X^5 + 1$ 0111 = 7-bit PN sequence— $X^7 + X^6 + 1$ 1000 = ramp output 1110 = continuous/repeat user test 1111 = single user test				0x00	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x574	JESD204B Link Mode Control 4	ILAS delay 0000 = transmit ILAS on first LMFC after SYNCINB± deasserted 0001 = transmit ILAS on second LMFC after SYNCINB± deasserted ... 1111 = transmit ILAS on 16 <sup>th</sup> LMFC after SYNCINB± deasserted				0	Link layer test mode 000 = normal operation (link layer test mode disabled) 001 = continuous sequence of /D21.5/ characters 100 = modified RPAT test sequence 101 = JSPAT test sequence 110 = JTSPAT test sequence			0x00	
0x578	JESD204B LMFC offset	0	0	0	LMFC phase offset value[4:0]				0x00		
0x580	JESD204B DID config	JESD204B Tx DID value[7:0]							0x00		
0x581	JESD204B BID config	0	0	0	0	JESD204B Tx BID value, Bits[7:0]			0x00		
0x583	JESD204B LID Config 1	0	0	0	Lane 0 LID value, Bits[4:0]				0x00		
0x585	JESD204B LID Config 2	0	0	0	Lane 1 LID value, Bits[4:0]				0x02		
0x587	JESD204B LID Config 3	0	0	0	Lane 2 LID value, Bits[4:0]				0x04		
0x589	JESD204B LID Config 4	0	0	0	Lane 3 LID value, Bits[4:0]				0x06		
0x58B	JESD204B parameters SCR/L	JESD204B scrambling (SCR) 0 = disabled 1 = enabled	0	0	0	0	0	JESD204B lanes (L) 00 = 1 lane 01 = 2 lanes 11 = 4 lanes  Read only, see Register 0x570		0x8X	
0x58C	JESD204B F config	Number of octets per frame, F = Register 0x58C[7:0] + 1							0x88	Read only, see 0x570	
0x58D	JESD204B K config	0	0	0	Number of frames per multiframe, K = Register 0x58D[4:0] + 1. Only values where (F × K) mod 4 = 0 are supported				0x1F	See 0x570	
0x58E	JESD204B M config	Number of converters per link[7:0] 0x00 = link connected to one virtual converter (M = 1) 0x01 = link connected to two virtual converters (M = 2) 0x03 = link connected to four virtual converters (M = 4) 0x07 = link connected to eight virtual converters (M = 8)								Read only	
0x58F	JESD204B CS/N config	Number of control bits (CS) per sample 00 = no control bits (CS = 0) 01 = 1 control bit (CS = 1); Control Bit 2 only 10 = 2 control bits (CS = 2); Control Bit 2 and 1 only 11 = 3 control bits (CS = 3); all control bits (2, 1, 0)	0	ADC converter resolution (N) 0x0D = 14-bit resolution 0x0F = 16-bit resolution							
0x0590	JESD204B N' config	Subclass support (Subclass V) 000 = Subclass 0 (no deterministic latency) 001 = Subclass 1	ADC number of bits per sample (N') 0x7 = 8 bits 0xF = 16 bits				0x2F				
0x591	JESD204B S config	0	0	1	Samples per converter frame cycle (S) S value = Register 0x591[4:0] + 1					Read only	

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes	
0x592	JESD204B HD and CF config	HD value 0 = disabled 1 = enabled	0	0	Control words per frame clock cycle per link (CF) CF value = Register 0x592, Bits[4:0]					0x80	Read only	
0x5A0	JESD204B CHKSUM 0	CHKSUM value for SERDOUT0±, Bits[7:0]								0xC3	Read only	
0x5A2	JESD204B CHKSUM 1	CHKSUM value for SERDOUT1±, Bits[7:0]								0xC5	Read only	
0x5A4	JESD204B CHKSUM 2	CHKSUM value for SERDOUT2±, Bits[7:0]								0xC7	Read only	
0x5A6	JESD204B CHKSUM 3	CHKSUM value for SERDOUT3±, Bits[7:0]								0xC9	Read only	
0x5B0	JESD204B lane power-down	1	SERD-OUT3± 0 = on 1 = off	1	SERD-OUT2± 0 = on 1 = off	1	SERD-OUT1± 0 = on 1 = off	1	SERD-OUT0± 0 = on 1 = off	0xAA		
0x5B2	JESD204B lane SERD-OUT0± assign	X	X	X	X	0	SERDOUT0± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x00		
0x5B3	JESD204B lane SERD-OUT1± assign	X	X	X	X	0	SERDOUT1± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x11		
0x5B5	JESD204B lane SERD-OUT2± assign	X	X	X	X	0	SERDOUT2± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x22		
0x5B6	JESD204B lane SERD-OUT3± assign	X	X	X	X	0	SERDOUT3± lane assignment 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3			0x33		
0x5BF	JESD serializer drive adjust	0	0	0	0	Swing voltage 0000 = 237.5 mV 0001 = 250 mV 0010 = 262.5 mV 0011 = 275 mV 0100 = 287.5 mV 0101 = 300 mV 0110 = 312.5 mV 0111 = 325 mV 1000 = 337.5 mV 1001 = 350 mV 1010 = 362.5 mV 1011 = 375 mV 1100 = 387.5 mV 1101 = 400 mV 1110 = 412.5 mV 1111 = 425 mV						
0x5C1	Deemphasis select	0	SERD-OUT3± 0 = disable 1 = enable	0	SERD-OUT2± 0 = disable 1 = enable	0	SERDOUT1± 0 = disable 1 = enable	0	SERDOUT0± 0 = disable 1 = enable	0x00		

Reg Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default	Notes
0x5C2	Deemphasis setting for SERDOUT0±	0	0	0	0	SERDOUT0± deemphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C3	Deemphasis setting for SERDOUT1±	0	0	0	0	SERDOUT1± deemphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C4	Deemphasis setting for SERDOUT2±	0	0	0	0	SERDOUT2± deemphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	
0x5C5	Deemphasis setting for SERDOUT3±	0	0	0	0	SERDOUT3± deemphasis settings: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB				0x00	

## アプリケーション情報

### 電源の推奨事項

AD9680 には、AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1\_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.25 V の 7 種類の電源を供給する必要があります。最適な電力効率と低ノイズ性能を必要とするアプリケーションでは、スイッチング・レギュレータ ADP2164 および ADP2370 を使用して 3.3 V、5.0 V、12 V 入力レールを中間レール(1.8 V および 3.8 V)に変換することが推奨されます。これらの中間レールをさらに非常に低いノイズの低ドロップアウト (LDO) レギュレータ (ADP1741、ADM7160、ADP170、ADP125) でレギュレーションします。図 71 に、AD9680 に対する推奨電源方式を示します。

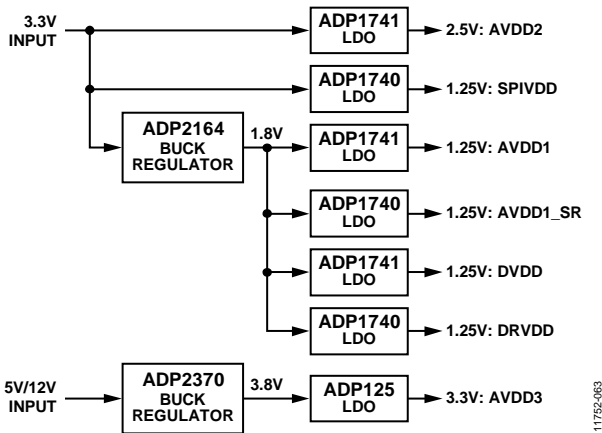


図 71. AD9680 に対する高効率低ノイズの電源ソリューション

これらすべての電源ドメインをすべての場合に分割する必要はありません。図 71 の推奨ソリューションは、AD9680 に対する最小ノイズ最大効率の電源システムです。1.25 V のみの 1 種類の電源を使用する場合は、先に AVDD1 に接続し、そこから分岐して AVDD1\_SR、SPIVDD、DVDD、DRVDD 用にこの順に、デカップリング・コンデンサを接続し、その後ろにフェライト・ビードまたはフィルタ・チョークでアイソレーションする必要があります。高周波と低周波をカバーするために、種類の異なる複数のデカップリング・コンデンサを使うことができます。これらは PCB レベルの入り口の近くで、かつ最短パターン長でデバイスの近くに配置する必要があります。

### エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

AD9680 の最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パッドを AGND に接続することが必要です。AD9680 のエクスポーズド・パッド(ピン 0)を PCB の連続した銅プレーンに直接接触させる必要があります。銅プレーンには、PCB 裏面を通しての最小熱抵抗パスを実現するために複数

のビアを設ける必要があります。これらのビアは、ハンダで埋めるかプラグを挿入する必要があります。ビア数とフィルにより、ボード上で測定する  $\theta_{JA}$  が決まります。これを表 7 に示します。

ADC と PCB との接触面積と接着を最大にするため、PCB をシルクスクリーンで覆い、連続な銅プレーンを複数の均一なセクションに分割してください。これにより、リフロー処理時に ADC と PCB の間に複数の接続ポイントができます。これに対して分割のない 1 つの連続プレーンを使うと接続ポイントが 1 箇所になってしまいます。PCB レイアウト例については、図 72 を参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、アプリケーション・ノート AN-772 「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」を参照してください。

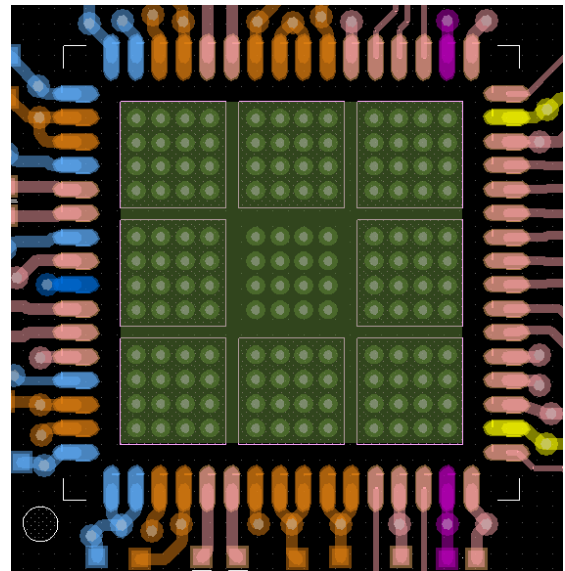
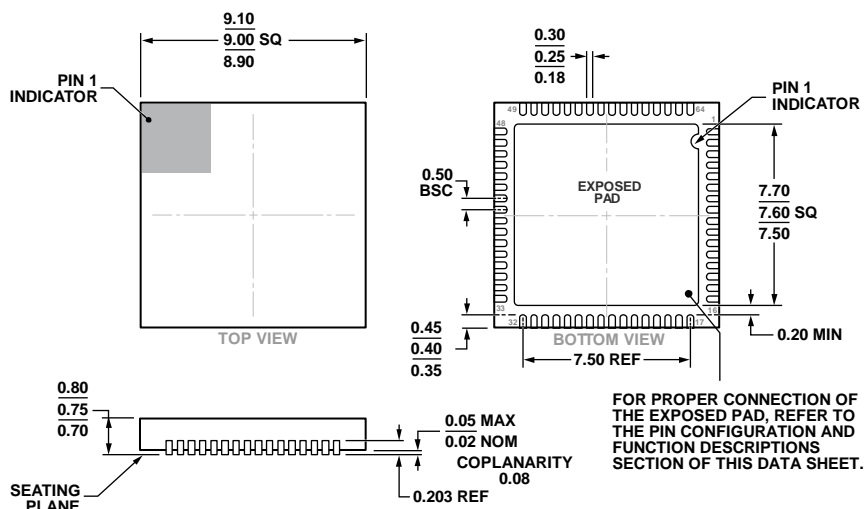


図 72. AD9680 のエクスポーズド・パッドに対する推奨 PCB レイアウト

### AVDD1\_SR (ピン 57) と AGND (ピン 56 およびピン 60)

AVDD1\_SR (ピン 57) と AGND (ピン 56 およびピン 60) を使って、AD9680 の SYSREF± 回路に対して別々の電源ノードを提供することができます。AD9680 はサブクラス 1 で動作する場合、周期的なワンショットまたはギャップのある信号をサポートすることができます。この電源から AVDD1 電源ノードへの混入を小さくするため、十分な電源バイパスが必要です。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD

図 73.64 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WQ]  
 9 mm × 9 mm ボディ、極薄クワッド  
 (CP-64-15)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9680BCPZ-1000	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9680BCPZRL7-1000	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-64-15
AD9680-1000EBZ		Evaluation Board for AD9680-1000	

<sup>1</sup> Z = RoHS 準拠製品。