

特長

高ダイナミックレンジ

- SNR = 75.0 dBFS at 70 MHz ($A_{IN} = -1$ dBFS)
- SFDR = 87 dBc at 70 MHz ($A_{IN} = -1$ dBFS)
- Noise spectral density (NSD) = -156.7 dBFS/Hz 入力ノイズ at -1 dBFS at 70 MHz
- NSD = -157.6 dBFS/Hz 小信号ノイズ at -7dBFS at 70 MHz
- チャンネル・アイソレーションクロストーク: 90 dB
- ディザリング回路を内蔵 (小信号直線性を改善)

卓越した IF サンプリング性能

- SNR = 73.7 dBFS at 170 MHz ($A_{IN} = -1$ dBFS)
- SFDR = 85 dBc at 170 MHz ($A_{IN} = -1$ dBFS)
- フルパワー帯域幅: 465 MHz

3.3 V バッファを内蔵

プログラマブル入力スパン: 2 Vp-p~2.5 Vp-p (デフォルト)

1、2、4 及び 8 分周差動クロック入力受信回路 (クロック分周器は 1.24 GHz までのクロックを受信可能)

ADC クロックのデューティ・サイクル・スタビライザを内蔵

SYNC 入力によりマルチチップ同期が可能

総合消費電力: 2.16 W

電源電圧: 3.3 V 及び 1.8 V

DDR LVDS (ANSI-644 レベル) 出力

シリアル・ポート制御

省電力のパワーダウン・モード

アプリケーション

軍用レーダー及び通信

マルチモード・デジタル・レシーバ(3G または 4G)

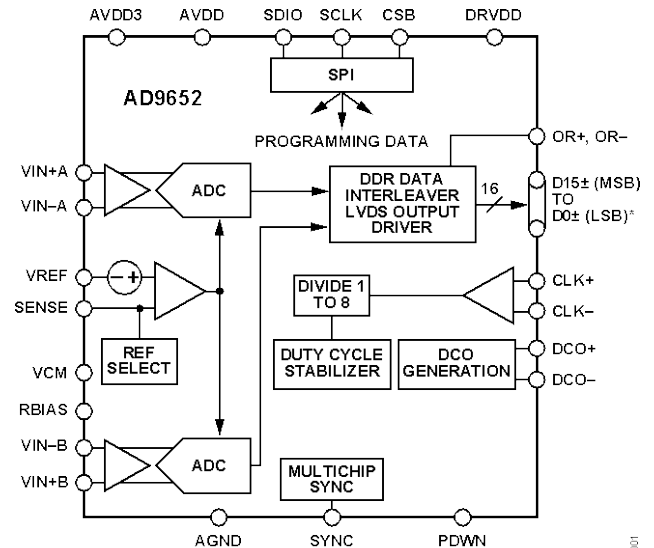
試験及び計測機器

スマート・アンテナ・システム

概要

AD9652 は、デュアル、16 ビットの A/D コンバータ(ADC)で、最大 310MSPS のサンプリング速度を備えています。AD9652 は、広い周波数帯域 (最大 465 MHz まで) に渡って優れたダイナミックレンジ性能を要求する高速信号処理アプリケーションをサポートするために設計されています。-157.6 dBFS という優れた低ノイズ・フロア特性と大信号スプリアス・フリー・ダイナミック・レンジ(SFDR) 特性 (通常 85 dBFS を超える) により、大信号が存在する場合でも低レベルの信号を処理することができます。デュアルの ADC コアは、マルチステージのパイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。内蔵の高性能バッファと基準電圧源により、ADC の優れた性能を保持しながら、外付け駆動回路とのインタフェースを簡略化を図ることができます。AD9652 は、ADC のサンプル・クロックを生成するために使用される 1、2、4、及び 8 分周が可能で分周回路を備えており、最高 1.24 GHz までの入力クロック周波数をサポートすることができます。デューティ・サイクル・スタビライザは、ADC へのクロック・デューティ・サイクルの変動を補償します。各 ADC からの 16 ビットの出力データ (オー

機能ブロック図



*THESE PINS ARE FOR CHANNEL A AND CHANNEL B.

図 1

バーレンジ・ビットつき) は、ダブルデータレート(DDR)クロックと一緒に単一の LVDS 出力上にインターリーブされます。セットアップと制御のためのプログラミングは、3 線の SPI 互換シリアル・インタフェースを用いて行われます。

AD9652 は、144 ボール CSP_BGA パッケージを採用し、-40°C~+85°C の標準工業用温度範囲にわたって仕様規定されています。この製品は出願中の米国特許によって保護されています。

製品のハイライト

1. 16 ビット、310MSPS の ADC を 2 個内蔵。
2. 内蔵のバッファで ADC のドライバ・インタフェースを簡易化。
3. 3.3 V 及び 1.8 V の電源と、これらとは別のデジタル出力ドライバ用電源で LVDS 出力に対応。
4. 独自の差動入力により、最大 485 MHz までの入力周波数で優れた信号対雑音比 (SNR) 性能を維持。
5. SYNC 入力により複数デバイスの同期が可能。
6. レジスタのプログラミングとリードバックのための、3.3 V または 1.8 V の 3 線 SPI ポートを装備。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	電圧リファレンス.....	23
アプリケーション.....	1	クロック入力の考慮事項.....	23
機能ブロック図.....	1	消費電力とスタンバイ・モード.....	25
概要.....	1	内部バックグラウンド・キャリブレーション.....	25
製品のハイライト.....	1	デジタル出力.....	26
改訂履歴.....	2	ADC のオーバーレンジ.....	26
仕様.....	3	高速スレッシュホールド検出 (FDA/FDB).....	28
ADC の直流(DC)仕様.....	3	シリアル・ポート・インターフェース.....	29
ADC の交流(AC)仕様.....	4	SPI を使う設定.....	29
デジタル仕様.....	5	ハードウェア・インターフェース.....	29
スイッチング仕様.....	7	SPI を使わない設定.....	29
タイミング仕様.....	7	SPI からアクセス可能な機能.....	30
絶対最大定格.....	9	メモリ・マップ.....	31
熱特性.....	9	メモリ・マップ・レジスタ・テーブルの読み出し.....	31
ESD に関する注意.....	9	メモリ・マップ・レジスタ・テーブル.....	32
ピン配置及びピン機能説明.....	10	アプリケーション情報.....	36
代表的な性能特性.....	13	デザイン・ガイドライン.....	36
等価回路.....	19	外形寸法.....	37
動作原理.....	20	オーダー・ガイド.....	37
ADC のアーキテクチャ.....	20		
アナログ入力に対する考慮.....	20		

改訂履歴

5/14—Rev. 0 to Rev. A

3 ページ、表 1、クロック分周 =1 の電源電流及び消費電力のパラメータを変更。

4/14—Revision 0: Initial Version

仕様

ADCの直流(DC)仕様

特に指定のない限り、AVDD3 = 3.3 V、AVDD = AVDD_CLK = 1.8 V、SPIVDD = DRVDD = 1.8 V、サンプル・レート = 310 MSPS (クロック入力 = 1240 MHz、AD9652 4 分周)、VIN = -1.0 dBFS 差動入力、2.5 V p-p フルスケール入力範囲、デューティ・サイクル・スタビライザ (DCS) イネーブル、ディザ・オフ。

表 1

パラメータ	温度	Min	Typ	Max	単位
分解能	Full		16		Bits
精度					
ノーマス・コード	Full		保証		
オフセット誤差	Full		1.5		mV
ゲイン誤差	Full		-0.3		% FSR
微分非直線性(DNL) ¹	Full		-0.76/+1.1		LSB
積分非直線性(INL) ¹	Full		-4.5/+4.5		LSB
マッチング特性					
オフセット誤差	Full		±0.7		mV
ゲイン誤差	Full		±0.1		%FSR
温度ドリフト					
オフセット誤差	Full		±0.8		ppm/°C
ゲイン誤差	Full		±16		ppm/°C
入力換算ノイズ					
V _{REF} = 1.25 V	25°C		3.7		LSB rms
アナログ入力					
入力スパン (V _{REF} = 1.25 V に対して)	Full		2.5		V p-p
入力容量 ²	Full		5.8		pF
入力抵抗 ³	Full		27		kΩ
入力コモン・モード電圧	Full		2.0	2.4	V
電源					
電源電圧					
AVDD3	Full	3.15	3.3	3.45	V
AVDD	Full	1.7	1.8	1.9	V
AVDD_CLK	Full	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	V
SPIVDD	Full	1.7	1.8	3.6	V
電源電流、クロック分周 = 1					
I _{AVDD3}	Full		145		mA
I _{AVDD}	Full		701		mA
I _{AVDD_CLK}	Full		56		mA
I _{DRVDD}	Full		180		mA
I _{SPIVDD}	Full		0.005		mA
消費電力					
クロック分周 = 1					
通常動作 ¹	Full		2160	2236	mW
スタンバイ電力 ⁴	Full		80		mW
パワーダウン時電力	Full		1		mW

¹ 低入力周波数のフルスケール正弦波を用いて測定。

² 入力容量は、1本の差動入力ピンとAGNDとの間の実効容量です。

³ 入力抵抗は、1本の差動入力ピンとAGNDとの間の実効抵抗です。

⁴ スタンバイ電力は、DC入力とCLK±ピンを非アクティブ(すなわちAVDDまたはAGNDに接続)にして測定。

ADCの交流(AC)仕様

特に指定のない限り、AVDD3 = 3.3 V、AVDD = AVDD_CLK = 1.8 V、SPIVDD = DRVDD = 1.8 V、サンプル・レート = 310 MSFS (クロック入力 = 1240 MHz、AD9652 4分周)、VIN = -1.0 dBFS 差動入力、2.5 V p-p フルスケール入力範囲、DCS イネーブル、ディザ・オフ。

表 2

パラメータ ¹	温度	V _{REF} = 1 V			V _{REF} = 1.25 V、 デフォルト			単位
		Min	Typ	Max	Min	Typ	Max	
差動入力電圧	25°C	2.0			2.5			V p-p
信号対ノイズ比(SNR)								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C	74.0			75.4			dBFS
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C	73.6			74.0	75.0		dBFS
	Full				73.3			dBFS
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	25°C	73.1			74.3			dBFS
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C	72.1			73.7			dBFS
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用、ディザ・オン)	25°C	71.2			72.0			dBFS
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C	70.1			70.7			dBFS
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C	67.9			68.0			dBFS
信号対ノイズ比及び歪み(SINAD)								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C	72.8			74.2			dBFS
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C	73.5			73.8	74.6		dBFS
	Full				73.2			dBFS
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	25°C	73.0			74.0			dBFS
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C	72.0			72.6			dBFS
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用、ディザ・オン)	25°C	71.1			71.7			dBFS
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C				68.5			dBFS
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C				65.8			dBFS
実効ビット数(ENOB)								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C	11.8			12.0			Bits
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C	12			12.0	12.1		Bits
	Full				11.9			Bits
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	25°C	11.8			12.0			Bits
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C	11.7			11.8			Bits
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用、ディザ・オン)	25°C	11.5			11.6			Bits
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C				11.1			Bits
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C				10.6			Bits
第 2 または第 3 高調波								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C	-96			-94			dBc
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C	-90			-87	-83		dBc
	Full				-83			dBc
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	25°C	-92			-89			dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C	-87			-85			dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用、ディザ・オン)	25°C	-87			-85			dBc
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C	-89			-86			dBc
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C	-80			-77			dBc
スプリアス・フリー・ダイナミック・レンジ(SFDR)								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C	96			94			dBc
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C	90			83	87		dBc

パラメータ ¹	温度	V _{REF} = 1 V			V _{REF} = 1.25 V、 デフォルト			単位
		Min	Typ	Max	Min	Typ	Max	
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	Full				83			dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C		92			89		dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用, ディザ・オン)	25°C		84			85		dBc
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C		87			85		dBc
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C		89			86		dBc
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C		80			77		dBc
その他の高調波 (2 nd または 3 rd 高調波は含まない)								
f _{IN} = 30 MHz (ナイキスト 1 設定条件を使用)	25°C		-101			-102		dBc
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用)	25°C		-99			-98	-90	dBc
	Full						-86	dBc
f _{IN} = 70 MHz (ナイキスト 1 設定条件を使用、ディザ・オン)	25°C		-100			-100		dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用)	25°C		-91			-90		dBc
f _{IN} = 170 MHz (ナイキスト 2 設定条件を使用, ディザ・オン)	25°C		-90			-95		dBc
f _{IN} = 305 MHz (ナイキスト 2 設定条件を使用)	25°C		-98			-97		dBc
f _{IN} = 400 MHz (ナイキスト 3 設定条件を使用)	25°C		-92			-91		dBc
2 調波 SFDR								
f _{IN} = 70.1 MHz (-7 dBFS), 72.1 MHz (-7 dBFS)	25°C					93		dBc
f _{IN} = 184.12 MHz (-7 dBFS), 187.12 MHz (-7 dBFS)	25°C					83		dBc
クロストーク ²	Full		90			90		dB
フル・パワー帯域幅 ³	25°C		485			485		MHz
ノイズ帯域幅 ⁴	25°C		650			650		MHz

¹ 完全な定義については [AN-835 Application Note 「Understanding High Speed ADC Testing and Evaluation」](#) を参照してください。

² クロストークは、片方のチャンネルに-1.0 dBFS を入力し、他方のチャンネルは入力なしで、100 MHz で測定。

³ フルパワー帯域幅とは、適切な ADC 性能が得られる動作帯域幅です。

⁴ ノイズ帯域幅は、ADC にノイズが混入して内部で減衰されない ADC 入力 of -3 dB 帯域幅です。

デジタル仕様

特に指定のない限り、AVDD3 = 3.3 V、AVDD = AVDD_CLK = 1.8 V、SPIVDD = DRVDD = 1.8 V、サンプル・レート = 310 MSPS (クロック入力 = 1240 MHz、AD9652 4 分周)、VIN = -1.0 dBFS 差動入力、2.5 V p-p フルスケール入力範囲、DCS イネーブル、ディザ・オフ。

表 3

パラメータ	試験条件/コメント	温度	Min	Typ	Max	単位
差動クロック入力 (CLK+, CLK-)						
ロジック互換性			CMOS/LVDS/LVPECL			
差動入力電圧		Full	0.3		3.6	V p-p
入力電圧範囲		Full	AGND		AVDD_CLK	V
内部コモン・モード・バイアス		Full		0.9		V
入力コモン・モード範囲		Full	0.9		1.4	V
ハイ・レベル入力電流		Full	+10		+145	μA
ロー・レベル入力電流		Full	-155		-15	μA
入力容量 ¹		Full		5		pF
入力抵抗 ¹		Full		10		kΩ
SYNC 入力						
ロジック互換性			CMOS/LVDS			
内部バイアス		Full		0.9		V
入力電圧範囲		Full	AGND		AVDD_CLK	V

パラメータ	試験条件/コメント	温度	Min	Typ	Max	単位
ハイ・レベル入力電圧		Full	1.2		AVDD_CLK	V
ロー・レベル入力電圧		Full	AGND		0.6	V
ハイ・レベル入力電流		Full	-15		+110	μA
ロー・レベル入力電流		Full	-105		+15	μA
入力容量		Full		1.5		pF
入力抵抗		Full		16		kΩ
ロジック入力 (CSB) ²						
ハイ・レベル入力電圧		Full	1.22		SPIVDD	V
ロー・レベル入力電圧		Full	0		0.6	V
ハイ・レベル入力電流		Full	-65		+65	μA
ロー・レベル入力電流		Full	-135		0	μA
入力容量		Full		26		kΩ
入力抵抗		Full		2		pF
ロジック入力 (SCLK) ³						
ハイ・レベル入力電圧		Full	1.22		SPIVDD	V
ロー・レベル入力電圧		Full	0		0.6	V
ハイ・レベル入力電流		Full	0		110	μA
ロー・レベル入力電流		Full	-60		+50	μA
入力容量		Full		26		kΩ
入力抵抗		Full		2		pF
ロジック入力 (SDIO) ²						
ハイ・レベル入力電圧		Full	1.22		SPIVDD	V
ロー・レベル入力電圧		Full	0		0.6	V
ハイ・レベル入力電流		Full	-65		+70	μA
ロー・レベル入力電流		Full	-135		0	μA
入力容量		Full		26		kΩ
入力抵抗		Full		5		pF
ロジック入力 (PDWN) ³						
ハイ・レベル入力電圧		Full	1.22		DRVDD	V
ロー・レベル入力電圧		Full	0		0.6	V
ハイ・レベル入力電流		Full	-80		+190	μA
ロー・レベル入力電流		Full	-145		+130	μA
入力容量		Full		26		kΩ
入力抵抗		Full		5		pF
デジタル出力						
LVDS データ及び OR± 出力	公称 100 Ω 差動終端を仮定					
ANSI モード						
差動出力電圧 (V _{OD})	最大設定値、デフォルト	Full	310	350	450	mV
出力オフセット電圧 (V _{OS})		Full	1.15	1.22	1.35	V
Reduced Swing モード						
差動出力電圧 (V _{OD})	最小設定値	Full	150	200	280	mV
出力オフセット電圧 (V _{OS})		Full	1.15	1.22	1.35	V

¹ | 入力容量/抵抗は、1本の差動入力ピンと AGND との間の実効容量/抵抗です。

² | 内部の弱いプルアップ。 . .

³ 内部の弱いプルダウン。

スイッチング仕様

表 4

パラメータ	試験条件/コメント	温度	Min	Typ	Max	単位
クロック入力パラメータ (CLK±)						
入力クロック・レート		Full	80		1240	MHz
変換レート ¹		Full	80		310	MSPS
周期-1分周モード (t _{CLK})		Full	3.2			ns
ハイ・レベルの最小パルス幅 (t _{CH})						
1分周モード	DCS イネーブル	Full		0.8		ns
	DCS ディスエーブル	Full		1.3		ns
2分周モード~8分周モード		Full		0.8		ns
アパーチャ遅延 (t _A)		Full		1.0		ns
アパーチャ不確定性 (ジッタ、t _j)		Full		0.1		ps rms
データ出力パラメータ						
LVDS モード						
データ伝播遅延 (t _{PD})		Full		290		ps
DCO± 伝播遅延 (t _{DCO})		Full		290		ps
DCO±-to-Data スキュー (t _{SKREW})		Full		0		ns
パイプライン遅延(レイテンシ)		Full		26		Cycles
ウェイクアップ時間	スタンバイから	Full		100		µs
	パワーダウンから	Full		1		sec
範囲外からの回復時間		Full		3		Cycles

¹ 変換レートは分周後のクロック・レートです。

タイミング仕様

表 5

パラメータ	試験条件/コメント	Min	Typ	Max	単位
SYNC のタイミング条件					
t _{SSYNC}	SYNC から CLK+の立ち上がりエッジまでのセットアップ・タイム		0.1		ns
t _{HSYNC}	SYNC から CLK+の立ち上がりエッジまでのホールド・タイム		0.1		ns
SPI のタイミング条件					
t _{DS}	データと SCLK の立ち上がりエッジとの間のセットアップ・タイム	2			ns
t _{DH}	データと SCLK の立ち上がりエッジとの間のホールド・タイム	2			ns
t _{CLK}	SCLK の周期	40			ns
t _S	CSB と SCLK との間のセットアップ・タイム	2			ns
t _H	CSB と SCLK との間のホールド・タイム	2			ns
t _{HIGH}	SCLK ハイ・レベルの最小時間	10			ns
t _{LOW}	SCLK ロー・レベルの最小時間	10			ns
t _{EN_SDIO}	SCLK の立下りエッジを基準として、SDIO ピンを入力から出力に切り換えるために必要な時間 (タイミング図には示されていない)	10			ns
t _{DIS_SDIO}	SCLK の立下りエッジを基準として、SDIO ピンを出力から入力に切り換えるために必要な時間 (タイミング図には示されていない)	10			ns

パラメータ	試験条件/コメント	Min	Typ	Max	単位
t_{SPL_RST}	パワーアップの後、SPIアクセスが可能となるまでのハードまたはソフト・リセットのために必要な時間(タイミング図には示されていない)	500			μs

タイミング図

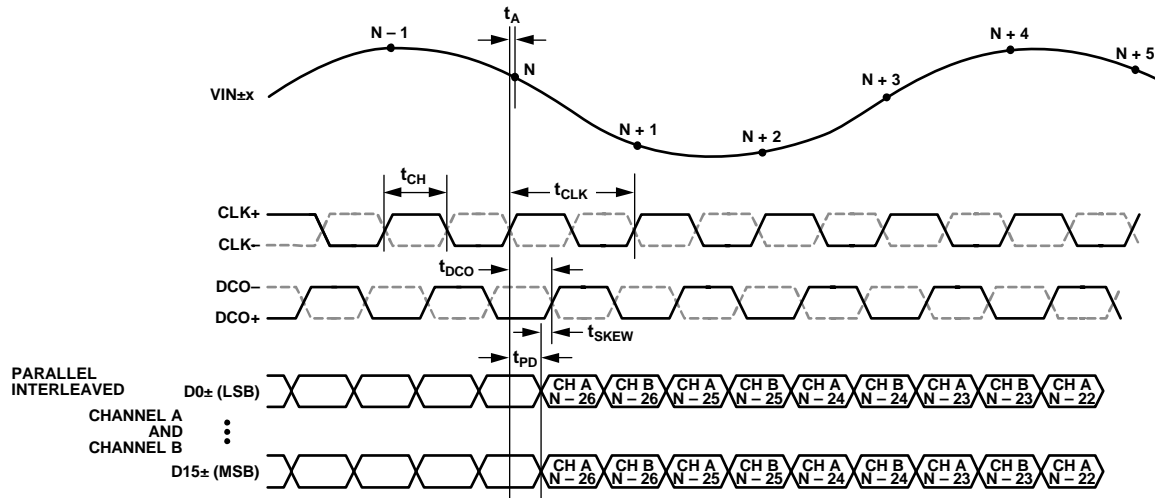


図 2. LVDS データ出力のタイミング

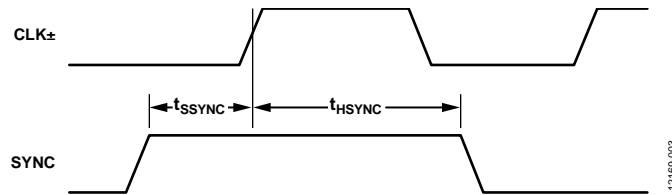


図 3. SYNC タイミング入力

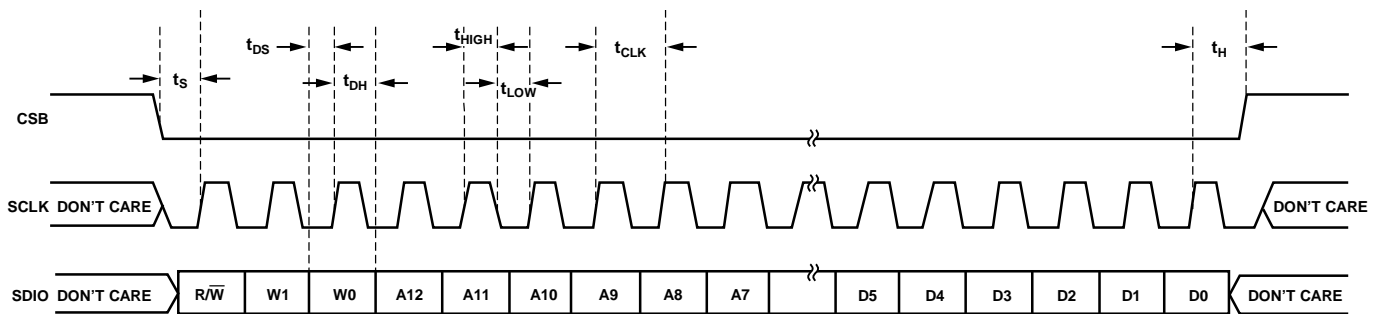


図 4. シリアル・ポート・インタフェースのタイミング図

絶対最大定格

表 6

パラメータ	定格
電気的條件	
AGND を基準とする AVDD3	-0.3 V ~ +3.6 V
AGND を基準とする AVDD_CLK	-0.3 V ~ +2.0 V
AGND を基準とする AVDD	-0.3 V ~ +2.0 V
AGND を基準とする DRVDD	-0.3 V ~ +2.0 V
AGND を基準とする SPIVDD	-0.3 V ~ +3.6 V
AGND を基準とする VIN+A/VIN+B、VIN-A/VIN-B	1.2 V ~ 3.0 V
AGND を基準とする CLK+、 CLK-	-0.3 V ~ AVDD_CLK + 0.2 V
AGND を基準とする SYNC	-0.3 V ~ AVDD_CLK + 0.2 V
AGND を基準とする VCM	-0.3 V ~ AVDD + 0.2 V
AGND を基準とする CSB	-0.3 V ~ SPIVDD + 0.3 V
AGND を基準とする SCLK	-0.3 V ~ SPIVDD + 0.3 V
AGND を基準とする SDIO	-0.3 V ~ SPIVDD + 0.3 V
AGND を基準とする PDWN	-0.3 V ~ DRVDD + 0.3 V
AGND を基準とする OR+/OR-	-0.3 V ~ DRVDD + 0.3 V
AGND を基準とする D0±~D15±	-0.3 V ~ DRVDD + 0.3 V
AGND を基準とする DCO±	-0.3 V ~ DRVDD + 0.3 V
環境条件	
動作温度範囲(周囲)	-40°C ~ +85°C
バイアス時の最高ジャンクション温度	125°C
保存温度範囲(周囲)	-65°C ~ 150°C

上記の絶対最大定格またはそれ以上のストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作

の節に記載する規定値以上での製品の動作を定めたものではありません。製品を長時間最大動作条件以上で動作させると製品の信頼性に影響を与えます。

熱特性

θ_{JA} (Typ) は、厚いグラウンド・プレーンを持つ JEDEC 51-2 規格の 4 層 PCB と、8 層 PCB の両方に対して規定されます。8 層 PCB は 2 オンスの銅配線層 (M1 と M8)、1 オンスの内部銅配線層、及び M2、M5、及び M7 層へのヴィア接続を持っています。

表 7 に示されるように、空気流を与えると熱放散が大きくなり、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

表 7. 熱抵抗

パッケージ・タイプ	空気流 の速度 (m/sec)	ボードのタイ プ	θ_{JA} ²	単位
144 ボール	0	8 層 PCB	15.8	°C/W
CSP_BGA	1.0	8 層 PCB	13.9	°C/W
10 mm x 10 mm (BC-144-6)	0	JEDEC ¹	21.7	°C/W
	1.0	JEDEC ¹	19.2	°C/W

¹ JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

ESD に関する注意



SD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置及びピン機能説明

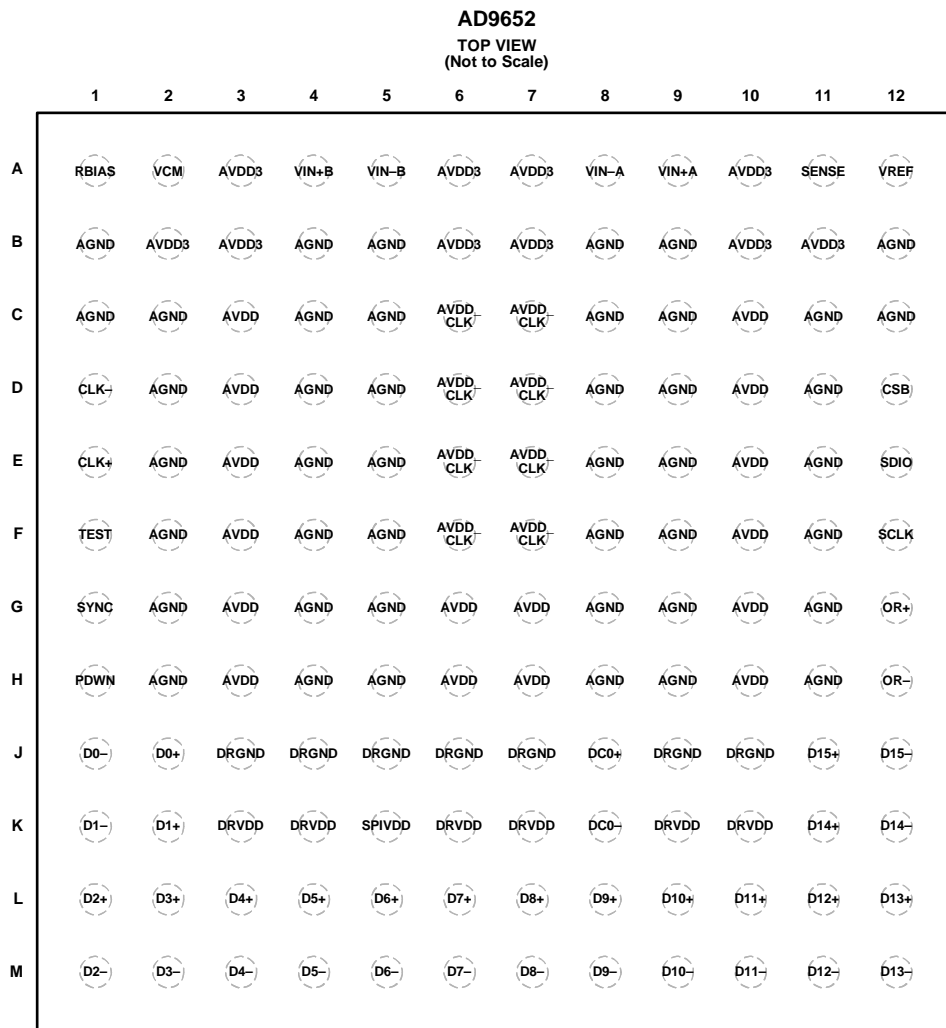


図 5. ピン配置

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
ADC 電源 K5	SPIVDD	電源	シリアル・インタフェース・ロジック電源 (1.8 V Typ.、3.3 V オプション)
K3, K4, K6, K7, K9, K10	DRVDD	電源	デジタル出力ドライバ電源(1.8 V 公称)
A3, A6, A7, A10, B2, B3, B6, B7, B10, B11	AVDD3	電源	3.3 V アナログ電源(3.3 V 公称)
C6, C7, D6, D7, E6, E7, F6, F7	AVDD_CLK	電源	クロック回路用 1.8 V アナログ電源(1.8 V 公称)
C3, C10, D3, D10, E3, E10, F3, F10, G3, G6, G7, G10, H3, H6, H7, H10	AVDD	電源	1.8 V アナログ電源(1.8 V 公称)

ピン番号	記号	タイプ	説明
B1, B4, B5, B8, B9, B12, C1, C2, C4, C5, C8, C9, C11, C12, D2, D4, D5, D8, D9, D11, E2, E4, E5, E8, E9, E11, F2, F4, F5, F8, F9, F11, G2, G4, G5, G8, G9, G11, H2, H4, H5, H8, H9, H11	AGND	アナログ・グラウンド	AVDD3、AVDD_CLK、及び AVDD 用アナログ・グラウンド基準
J3	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J4	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J5	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J6	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J7	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J9	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
J10	DRGND	デジタル・グラウンド	デジタル及び出力ドライバ・グラウンド基準
ADC アナログ			
A9	VIN+A	入力	差動アナログ入力ピン(+)、チャンネル A
A8	VIN-A	入力	差動アナログ入力ピン(-)、チャンネル A
A4	VIN+B	入力	差動アナログ入力ピン(+)、チャンネル B
A5	VIN-B	入力	差動アナログ入力ピン(-)、チャンネル B
A2	VCM	出力	アナログ入力のコモン・モード・レベル・バイアス出力。0.1 μ F のコンデンサでこのピンをグラウンドへデカップリングしてください。
A1	RBIAS	出力	外部バイアス抵抗接続。このピンとアナログ・グラウンド (AGND) との間に 10 k Ω の抵抗を接続する必要があります。
A12	VREF	入力/出力	リファレンス電圧入力/出力
A11	SENSE	入力	リファレンス電圧モード・セレクト (表 12 参照)。
E1	CLK+	入力	ADC クロック入力 (+側)。
D1	CLK-	入力	ADC クロック入力 (-側)。
デジタル入力			
F1	TEST	入力	プルダウン。未使用デジタル入力。50 Ω の抵抗でこのピンをグラウンドへプルダウンしてください。
G1	SYNC	入力	デジタル入力クロック同期ピン。使用しない場合はロー・レベルに固定。
H1	PDWN	入力	パワーダウン入力 (アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができます (Table 17 内の抵抗 0x08 参照)。
デジタル出力			
J2	D0+	出力	チャンネル A/チャンネル B LVDS 出力データ 0+ (+側、LSB)。
J1	D0-	出力	チャンネル A/チャンネル B LVDS 出力データ 0- (-側、LSB)。
K2	D1+	出力	チャンネル A/チャンネル B LVDS 出力データ 1+ (+側)。
K1	D1-	出力	チャンネル A/チャンネル B LVDS 出力データ 1- (-側)。

ピン番号	記号	タイプ	説明
L1	D2+	出力	チャンネル A/チャンネル B LVDS 出力データ 2- (+側)。
M1	D2-	出力	チャンネル A/チャンネル B LVDS 出力データ 2- (-側)。
L2	D3+	出力	チャンネル A/チャンネル B LVDS 出力データ 3- (+側)。
M2	D3-	出力	チャンネル A/チャンネル B LVDS 出力データ 3- (-側)。
L3	D4+	出力	チャンネル A/チャンネル B LVDS 出力データ 4- (+側)。
M3	D4-	出力	チャンネル A/チャンネル B LVDS 出力データ 4- (-側)。
L4	D5+	出力	チャンネル A/チャンネル B LVDS 出力データ 5- (+側)。
M4	D5-	出力	チャンネル A/チャンネル B LVDS 出力データ 5 (-側)。
L5	D6+	出力	チャンネル A/チャンネル B LVDS 出力データ 6 (+側)。
M5	D6-	出力	チャンネル A/チャンネル B LVDS 出力データ 6 (-側)。
L6	D7+	出力	チャンネル A/チャンネル B LVDS 出力データ 7 (+側)。
M6	D7-	出力	チャンネル A/チャンネル B LVDS 出力データ 7 (-側)。
L7	D8+	出力	チャンネル A/チャンネル B LVDS 出力データ 8 (+側)。
M7	D8-	出力	チャンネル A/チャンネル B LVDS 出力データ 8 (-側)。
L8	D9+	出力	チャンネル A/チャンネル B LVDS 出力データ 9 (+側)。
M8	D9-	出力	チャンネル A/チャンネル B LVDS 出力データ 9 (-側)。
L9	D10+	出力	チャンネル A/チャンネル B LVDS 出力データ 10 (+側)。
M9	D10-	出力	チャンネル A/チャンネル B LVDS 出力データ 10 (-側)。
L10	D11+	出力	チャンネル A/チャンネル B LVDS 出力データ 11 (+側)。
M10	D11-	出力	チャンネル A/チャンネル B LVDS 出力データ 11 (-側)。
L11	D12+	出力	チャンネル A/チャンネル B LVDS 出力データ 12 (+側)。
M11	D12-	出力	チャンネル A/チャンネル B LVDS 出力データ 12 (-側)。
L12	D13+	出力	チャンネル A/チャンネル B LVDS 出力データ 13 (+側)。
M12	D13-	出力	チャンネル A/チャンネル B LVDS 出力データ 13 (-側)。
K11	D14+	出力	チャンネル A/チャンネル B LVDS 出力データ 14 (+側)。
K12	D14-	出力	チャンネル A/チャンネル B LVDS 出力データ 14 (-側)。
J11	D15+	出力	チャンネル A/チャンネル B LVDS 出力データ 15 (+側、MSB)。
J12	D15-	出力	チャンネル A/チャンネル B LVDS 出力データ 15 (-側、MSB)。
G12	OR+	出力	チャンネル A/チャンネル B LVDS 範囲外 (+側)。
H12	OR-	出力	チャンネル A/チャンネル B LVDS 範囲外 (-側)。
J8	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力 (+側)。
K8	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力 (-側)。
SPI 制御			
F12	SCLK	入力	SPI シリアル・クロック
E12	SDIO	入力/出力	SPI のシリアル・データ入力/出力。
D12	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。このピンはこのピンはパワーアップ時はハイ・レベルにプルアップする必要があります。

代表的な性能特性

特に指定のない限り、AVDD3 = 3.3 V、AVDD = AVDD_CLK = 1.8 V、SPIVDD = DRVDD = 1.8 V、サンプル・レート = 310 MSPS (クロック入力 = 1240 MHz、AD9652 4 分周)、VIN = -1.0 dBFS 差動、VREF = 1.25 V、DCS イネーブル、ディザ・オフ。

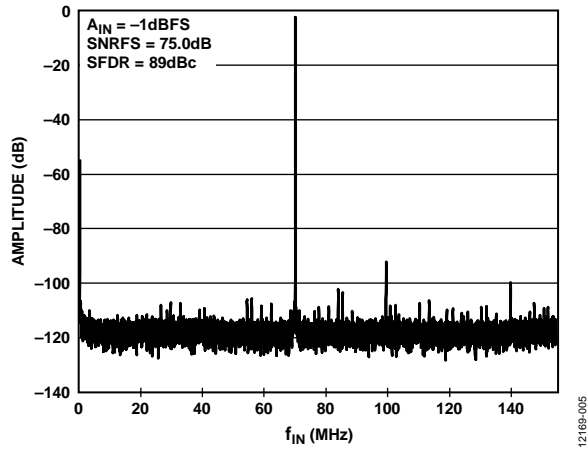


図 6. シングル・トーン高速フーリエ変換(FFT)、
f_{IN} = 70.1 MHz、(NSD = -156.7 dBFS/Hz)

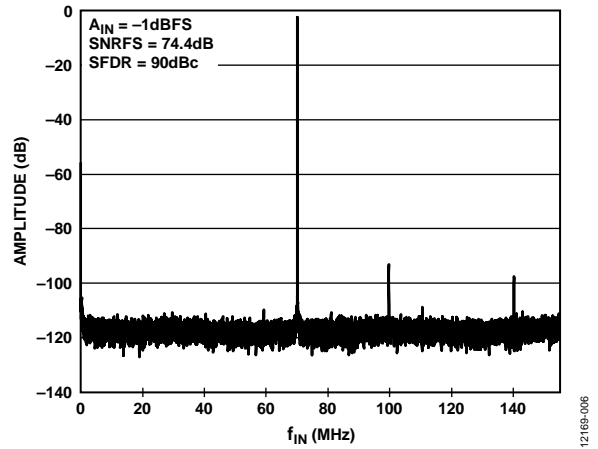


図 9. シングル・トーン FFT、f_{IN} = 70.1 MHz、ディザ・オン、
(NSD = -156.3 dBFS/Hz)

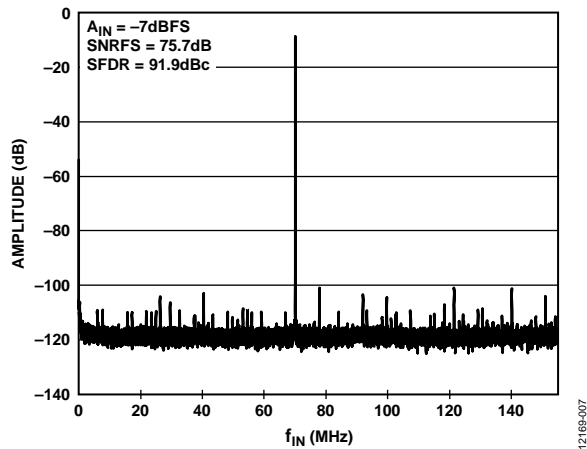


図 7. シングル・トーン高速フーリエ変換(FFT)、f_{IN} = 70.1 MHz
(NSD = -156.7 dBFS/Hz)

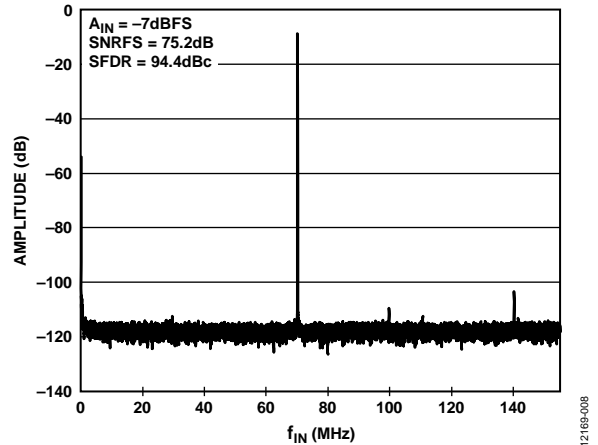


図 10. シングル・トーン FFT、f_{IN} = 70.1 MHz at -7 dBFS、
ディザ・オン (NSD = -157.1 dBFS/Hz)

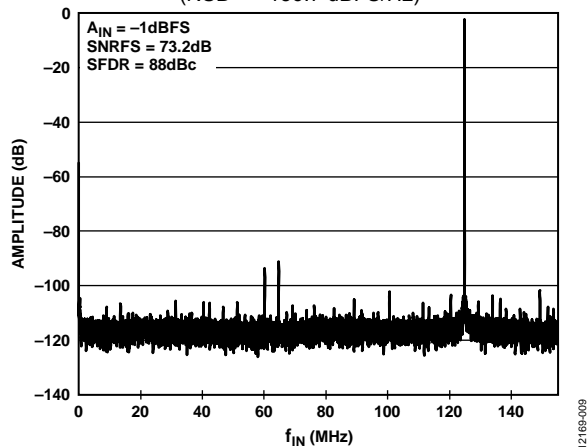


図 8. シングル・トーン FFT、f_{IN} = 185 MHz at -1 dBFS
(NSD = -155.2 dBFS/Hz)、抵抗 0x22A = 0x01

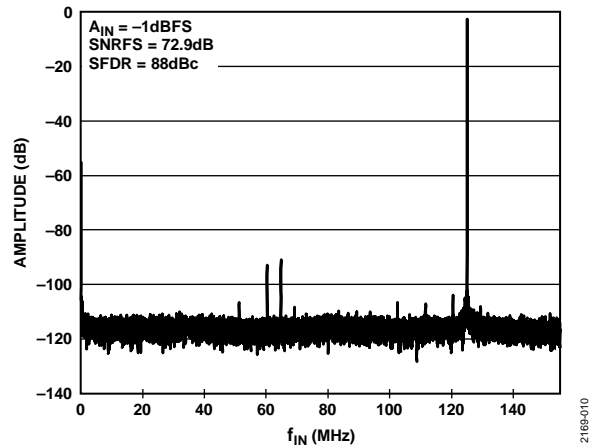


図 11. シングル・トーン FFT、f_{IN} = 185 MHz at -1 dBFS、
ディザ・オン (NSD = -154.9 dBFS/Hz)、抵抗 0x22A = 0x01

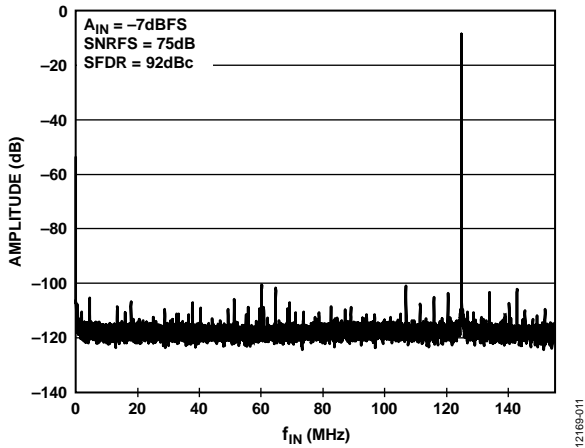


図 12. シングル・トーン FFT、 $f_{IN} = 185$ MHz at -7 dBFS (NSD = -156.9 dBFS/Hz)、抵抗 0x22A = 0x01

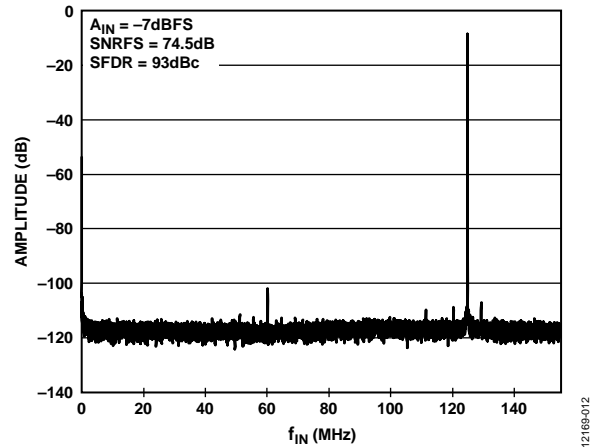


図 15. シングル・トーン FFT、 $f_{IN} = 185$ MHz at -7 dBFS (NSD = -156.4 dBFS/Hz)、抵抗 0x22A = 0x01

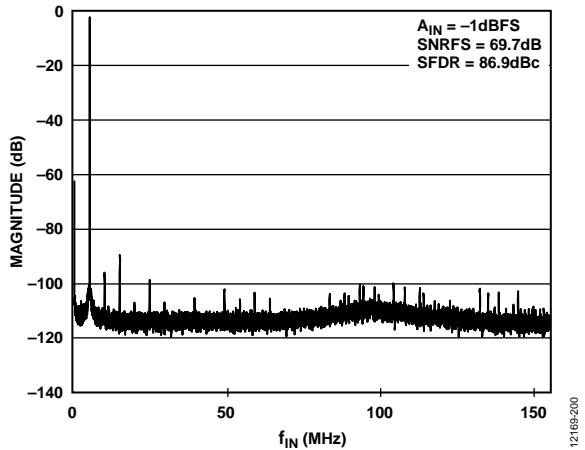


図 13. FFT、 $f_{IN} = 305$ MHz、 $A_{IN} = -1$ dBFS、ディザ・オフ、抵抗 0x22A = 0x01

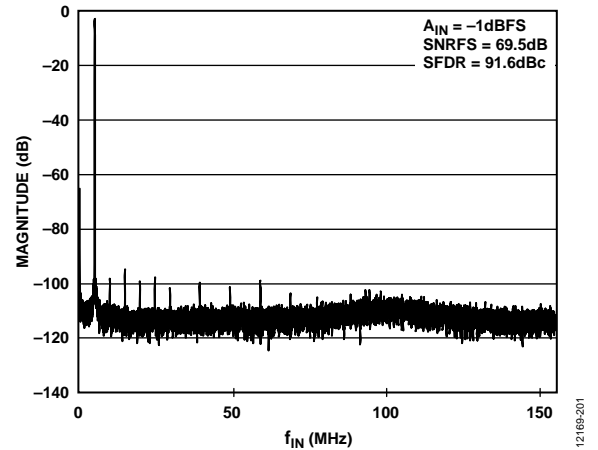


図 16. FFT、 $f_{IN} = 305$ MHz、 $A_{IN} = -1$ dBFS、ディザ・オン、抵抗 0x22A = 0x01

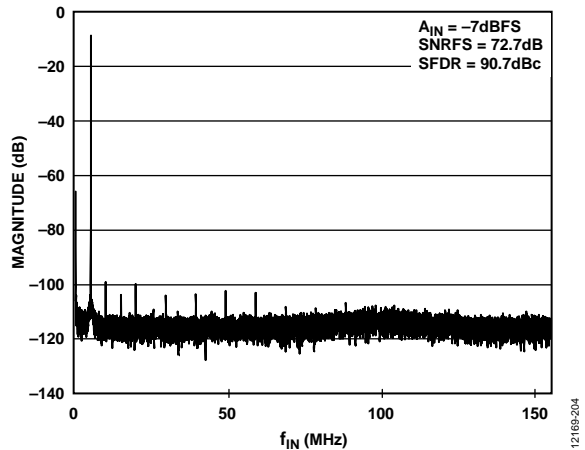


図 14. FFT、 $f_{IN} = 305$ MHz、 $A_{IN} = -7$ dBFS、ディザ・オフ、抵抗 0x22A = 0x01

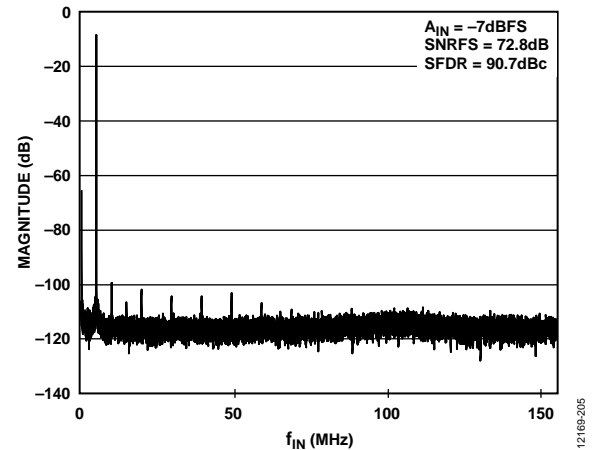


図 17. FFT、 $f_{IN} = 305$ MHz、 $A_{IN} = -7$ dBFS、ディザ・オン、抵抗 0x22A = 0x01

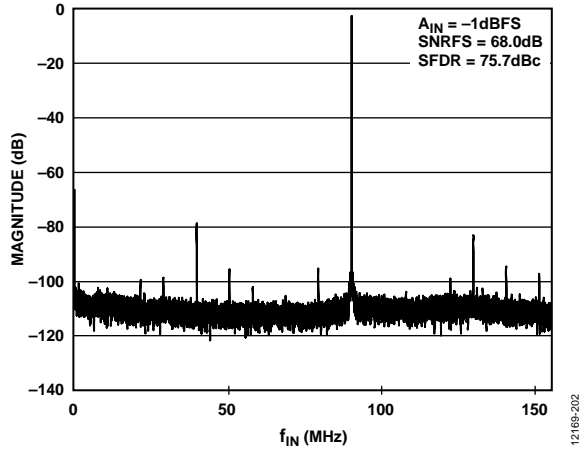


図 18. FFT、 $f_{IN} = 400$ MHz、 $A_{IN} = -1$ dBFS、ディザ・オフ、抵抗 $0x22A = 0x02$

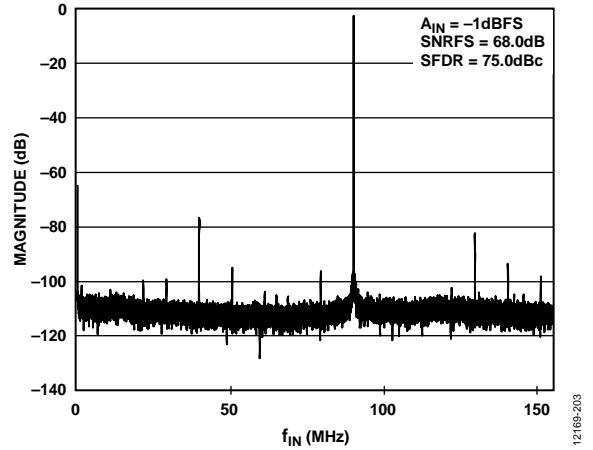


図 21. FFT、 $f_{IN} = 400$ MHz、 $A_{IN} = -1$ dBFS、ディザ・オン、抵抗 $0x22A = 0x02$

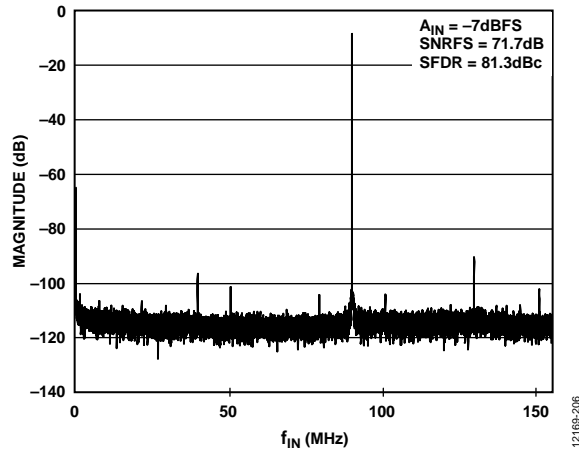


図 19. FFT、 $f_{IN} = 400$ MHz、 $A_{IN} = -7$ dBFS、ディザ・オフ、抵抗 $0x22A = 0x02$

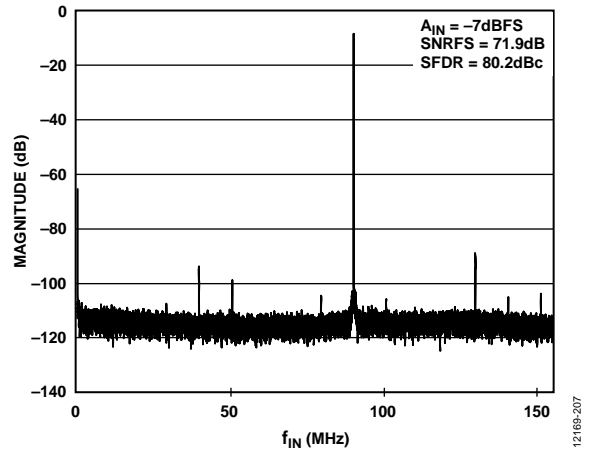


図 22. FFT、 $f_{IN} = 400$ MHz、 $A_{IN} = -7$ dBFS、ディザ・オン、抵抗 $0x22A = 0x02$

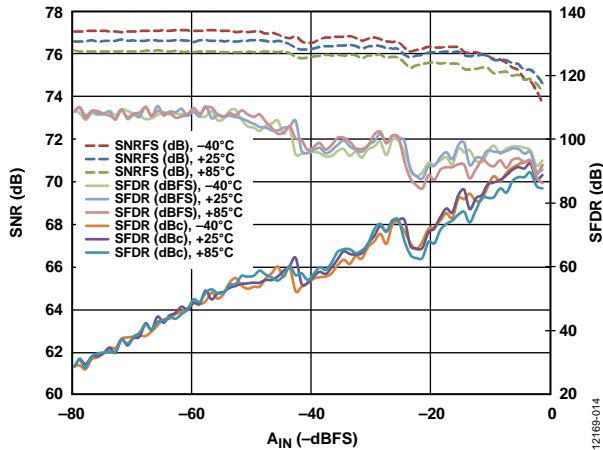


図 20. シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 90.1$ MHz、 $V_{REF} = 1.25$ V、パラメータ：温度、ディザ・オフ

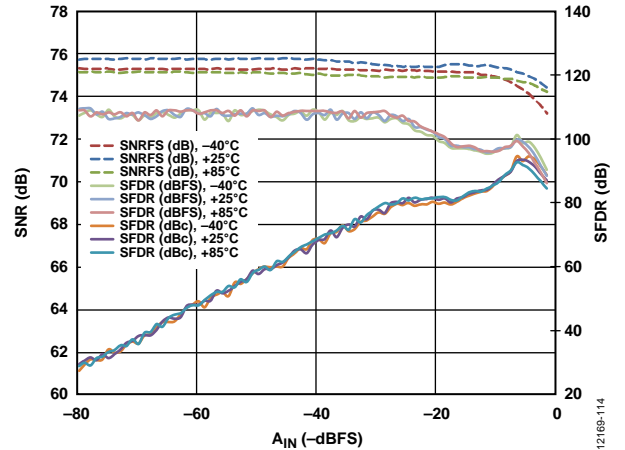


図 23. シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 90.1$ MHz、 $V_{REF} = 1.25$ V、パラメータ：温度、ディザ・オン

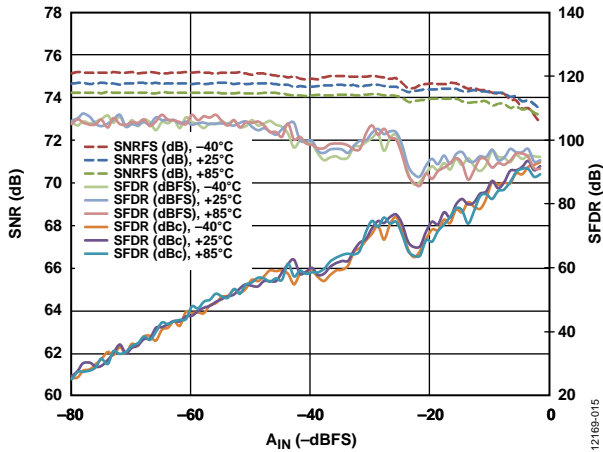


図 24. シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 90.1$ MHz、 $V_{REF} = 1.0$ V、パラメータ：温度、ディザ・オフ

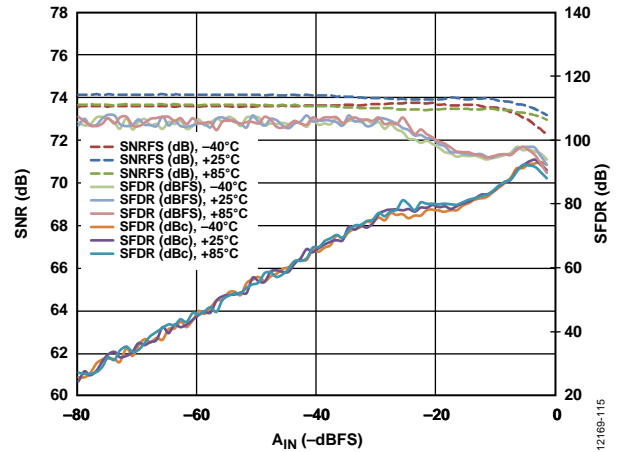


図 27. シングル・トーン SNR/SFDR 対入力振幅(A_{IN})、 $f_{IN} = 90.1$ MHz、 $V_{REF} = 1.0$ V、パラメータ：温度、ディザ・オン

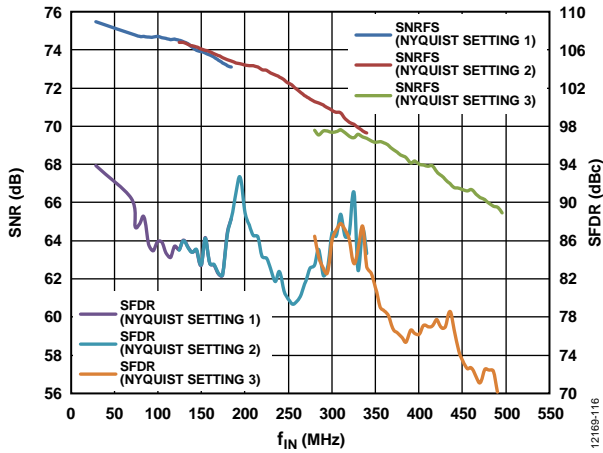


図 25. シングル・トーン SNR/SFDR 対入力周波数周波数(f_{IN})、振幅 = -1 dBFS、 $V_{REF} = 1.25$ V

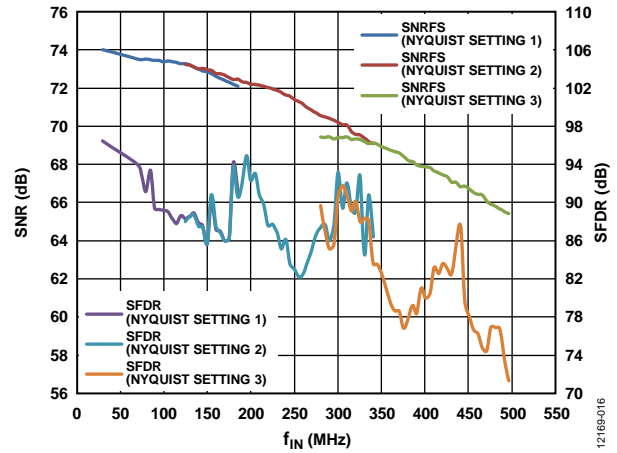


図 28. シングル・トーン SNR/SFDR 対入力周波数周波数(f_{IN})、振幅 = -1 dBFS、 $V_{REF} = 1.0$ V

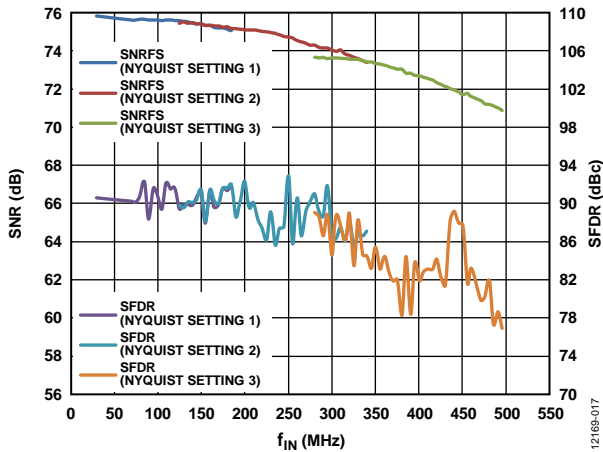


図 26. シングル・トーン SNR/SFDR 対入力周波数周波数(f_{IN})、振幅 = -7 dBFS、 $V_{REF} = 1.25$ V

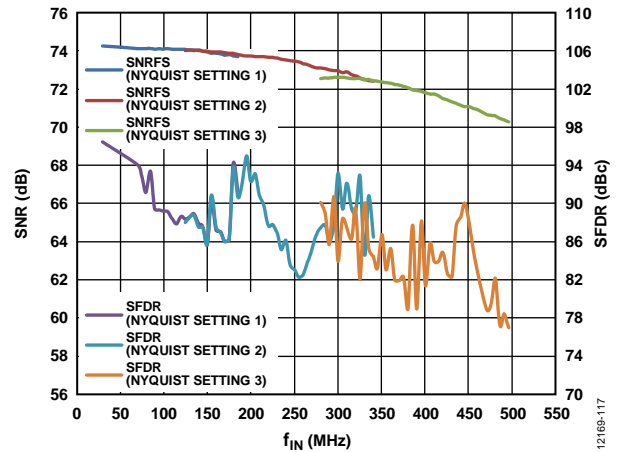


図 29. シングル・トーン SNR/SFDR 対入力周波数周波数(f_{IN})、振幅 = -7 dBFS、 $V_{REF} = 1.0$ V

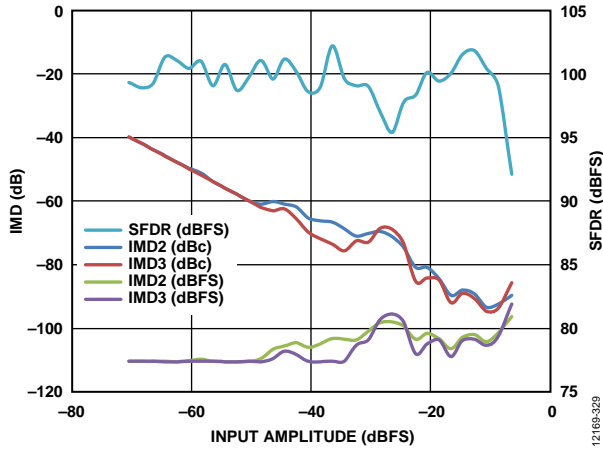


図 30. 2 トーン SFDR/相互変調歪み(IMD) 対入力振幅、 $f_{IN} = 70.1$ MHz 及び 72.1 MHz、ディザ・オフ

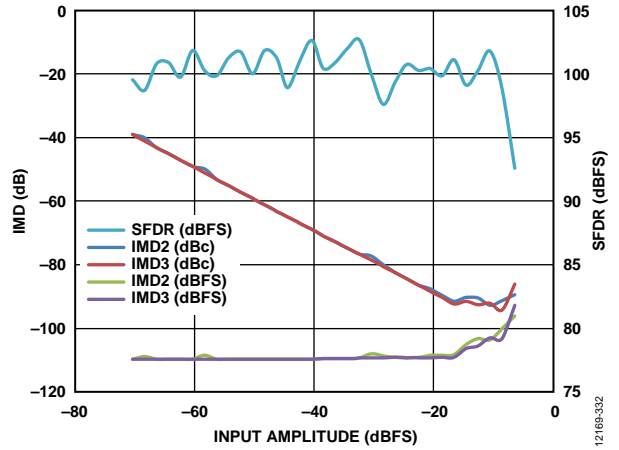


図 33. 2 トーン SFDR/IMD 対入力振幅、 $f_{IN} = 70.1$ MHz 及び 72.1 MHz、ディザ・オン

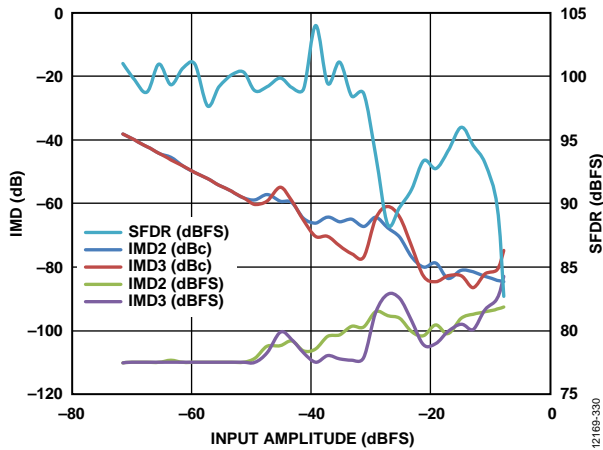


図 31. 2 トーン SFDR/IMD 対入力振幅、 $f_{IN} = 184$ MHz 及び 187 MHz、ディザ・オフ、抵抗 $0 \times 22A = 0 \times 01$

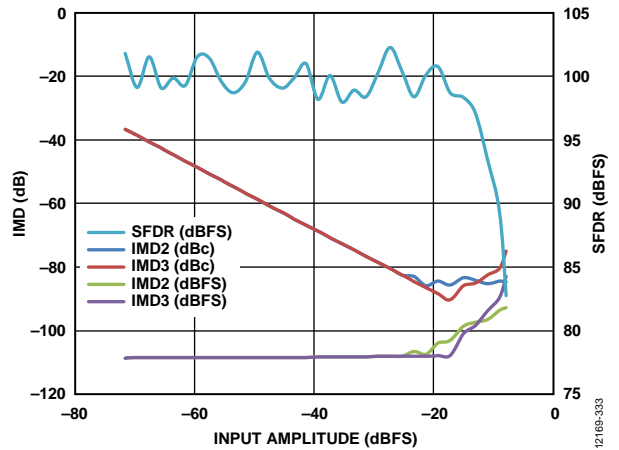


図 34. 2 トーン SFDR/IMD 対入力振幅、 $f_{IN} = 184$ MHz 及び 187 MHz、ディザ・オン、抵抗 $0 \times 22A = 0 \times 01$

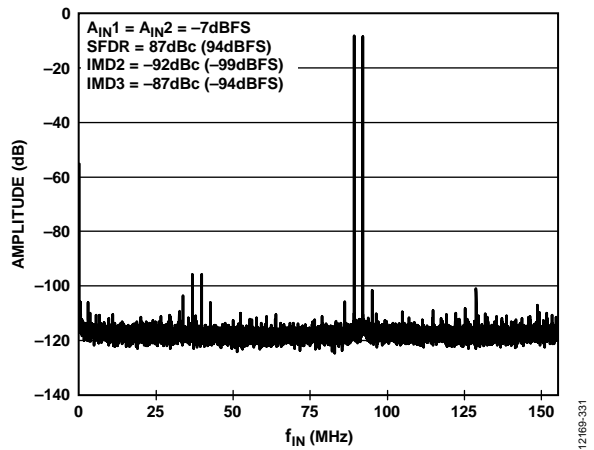


図 32. 2 トーン FFT、 $f_{IN} = 89.1$ MHz 及び 92.1 MHz、 $V_{REF} = 1.25$ V

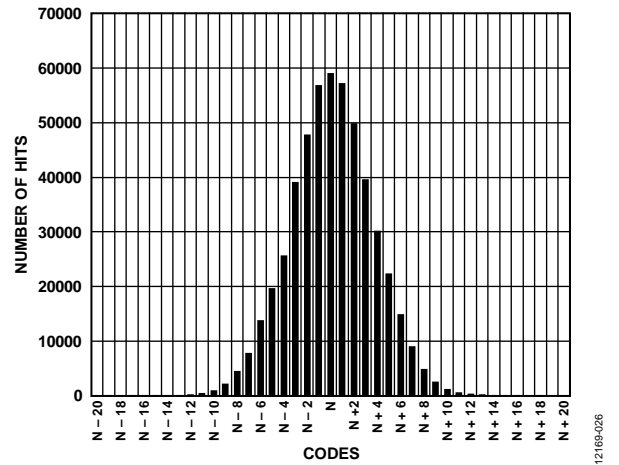


図 35. グラウンド時入カヒストグラム

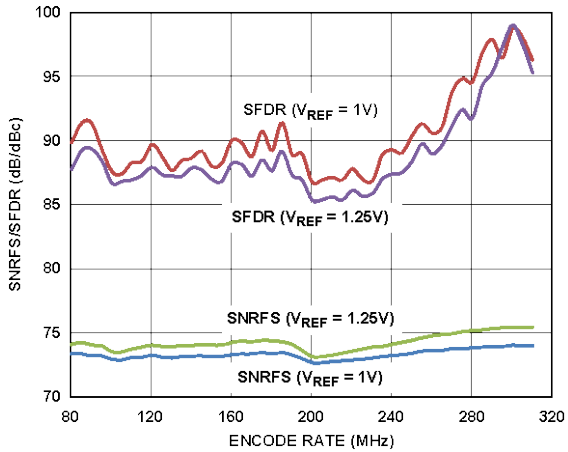


図 36. エンコード・レート・スイープ、 $f_{IN} = 90.1$ MHz at -7 dBFS、 $V_{REF} = 1.25$ V 及び 1.0 V

12189-335

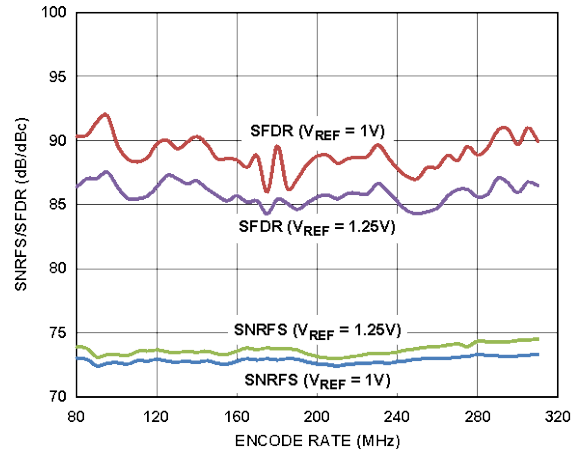


図 39. エンコード・レート・スイープ、 $f_{IN} = 90.1$ MHz at -1 dBFS、 $V_{REF} = 1.25$ V 及び 1.0 V

12189-336

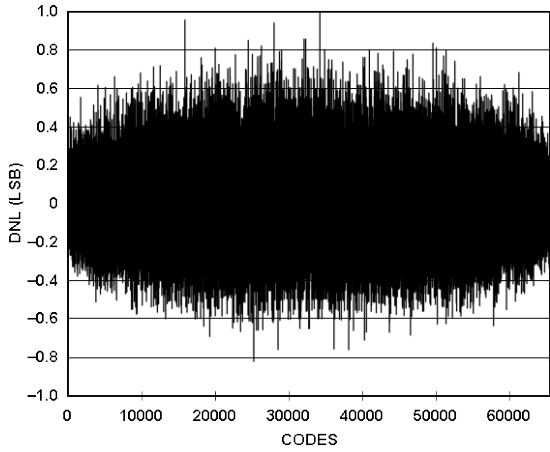


図 37. ディザ・オフ時の DNL、 $f_{IN} = 30$ MHz

12189-024

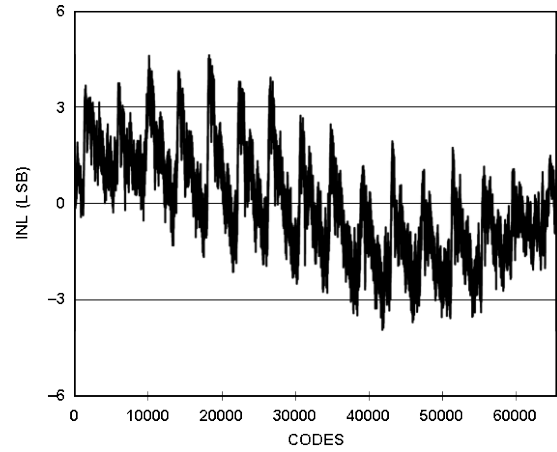


図 40. ディザ・オフ時の INL、 $f_{IN} = 30$ MHz

12189-124

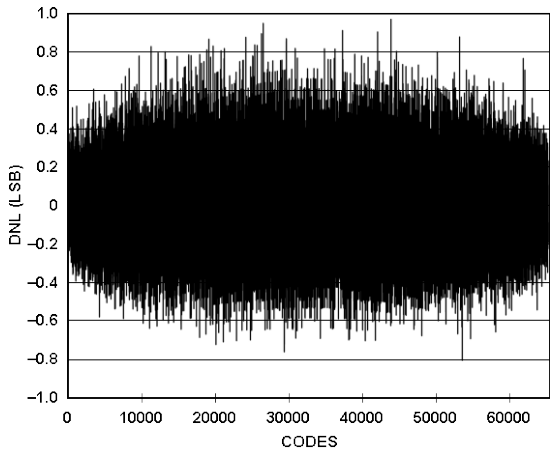


図 38. ディザ・オン時の DNL、 $f_{IN} = 30$ MHz

12189-025

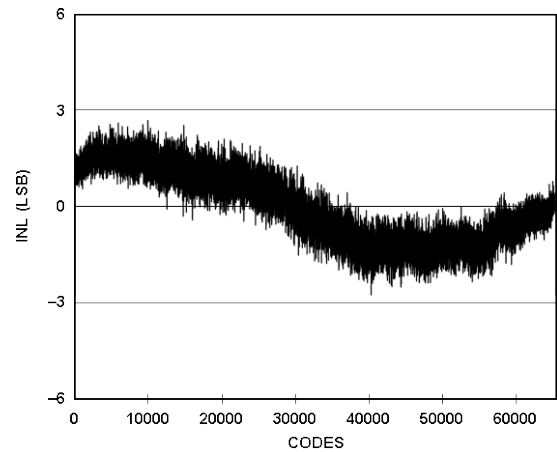


図 41. ディザ・オン時の INL、 $f_{IN} = 30$ MHz

12189-125

等価回路

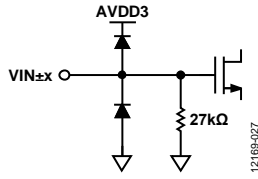


図 42. アナログ入力段等価回路

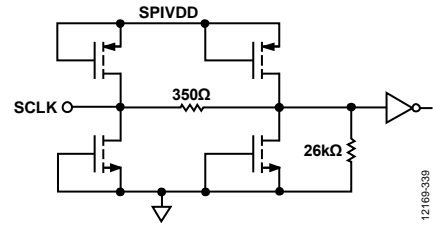


図 47. SCLK 入力等価回路

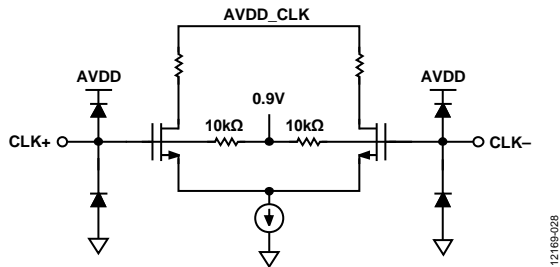


図 43. クロック入力等価回路

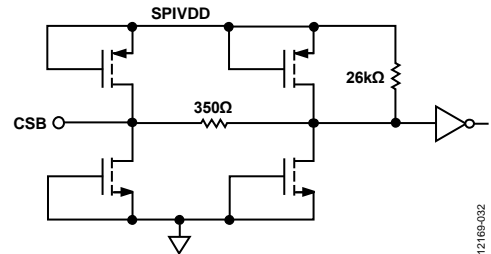


図 48. CSB 入力等価回路

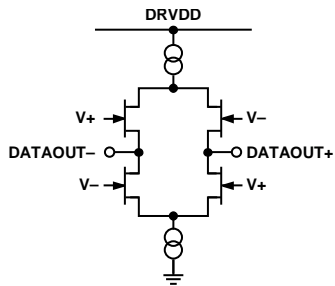


図 44. LVDS 出力等価回路 (DCO±、OR±、及び D0± ~ D15±)

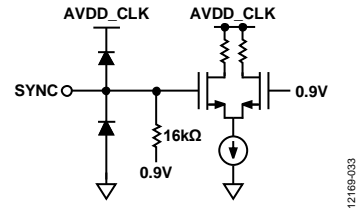


図 49. SYNC 入力等価回路

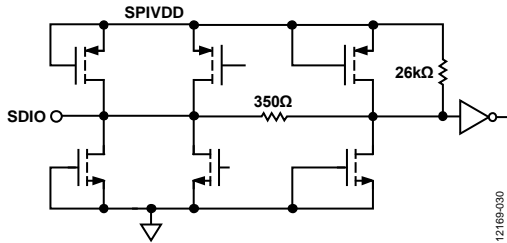


図 45. SDIO 等価回路

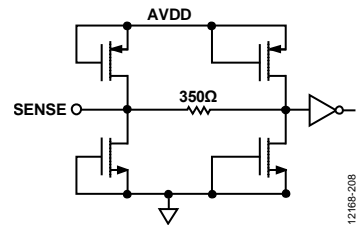


図 50. SENSE 等価回路

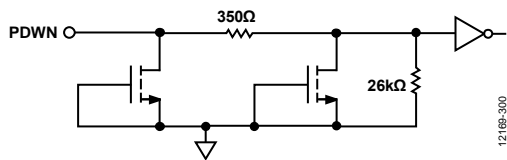


図 46. PDWN 等価回路

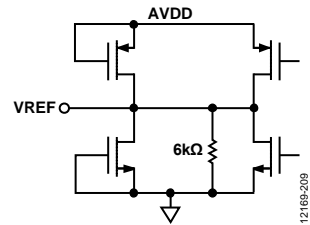


図 51. VREF 等価回路

動作原理

AD9652 は、デュアル、16 ビットの ADC で、最大 310 MSPS のサンプリング速度を持っています。AD9652 は、広帯域性能が要求される通信及び計測機器のアプリケーション用に設計されています。

デュアル ADC デザインは、2 つの別のアンテナから受信された同じキャリアに対して ADC が同じ動作を行うダイバーシティ受信回路で使用することができます。ADC は独立なアナログ入力に対しても使うことができます。ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使って、ADC 性能をほとんど損なうことなく、DC~310 MHz の周波数をサンプリングすることができます。485 MHz (Typ.) アナログ入力に対する処理が許容されていますが、ADC ノイズと歪みが増える犠牲が伴います。

同期機能を内蔵しているため、複数デバイス間でタイミングを同期させることができます。

AD9652 の設定と制御は、3 線の SPI 互換シリアル・インターフェースを使って行います。

ADC のアーキテクチャ

AD9652 はデュアルのバッファつきフロントエンド・サンプル・アンド・ホールド回路と、パイプライン化されたスイッチド・キャパシタ型 ADC から構成されています。AD9652 は、パイプライン化されたコンバータに加えて、初段の性能を最大限に高めるための新しい入力回路の長所を利用したユニークなアーキテクチャを採用しています。

各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 16 ビットの結果を生成します。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立ち上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・コンデンサ DAC に接続された低分解能のフラッシュ ADC とステージ間残留乗算型 DAC (MDAC) により構成されています。MDAC は、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

AD9652 は、各パイプライン・ステージで発生する内部誤差を連続的に追跡し、誤差を補正することによって様々な動作条件に対して連続的な動作を保証する内部デジタル信号処理回路を備えています。この方法は、補正データのリセット及び収集を行うための余分なスタートアップ時間を必要とします。

各チャンネルの入力ステージには差動サンプリング回路が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電圧は、デジタル出力ノイズをアナログ・コアから隔離するためにアナログ回路とは別の電源から供給されます。パワーダウン時には、出力バッファは高インピーダンス状態になります。

アナログ入力に対する考慮

AD9652 のアナログ入力は、高性能な差動バッファになっています。このバッファは、差動入力信号を処理する際に最適性能

が得られるようにデザインされています。入力バッファは一貫した入力インピーダンスを提供し、アナログ入力のインタフェースを容易にします。

差動アナログ入力インピーダンスは約 54 kΩ の抵抗と 5.8 pF の並列容量から構成されます。個別素子の受動ネットワークを使用して ADC 入力にローパス・フィルタを構成することができますが、素子の正確な値はアプリケーションによって変わります。

中間周波数 (IF) のアンダーサンプリング・アプリケーションでは、シャント・コンデンサが小さくなります。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、資料「Analog Dialog」の「Transformer-Coupled Front-End for Wideband A/D Converters」の項を参照してください。

AD9652 は、様々な入力信号周波数に対して、内蔵されている最適設定を使用します。望ましい周波数帯に対する最適な ADC を構成するために抵抗 0x22A を使用します。

表 9. 抵抗 0x22A の設定

抵抗 0x22A の設定	入力周波数範囲
0 (デフォルト)	0~155 MHz (1 st ナイキスト)
1	155~310 MHz (2 nd ナイキスト)
2	310 MHz 以上 (3 rd ナイキスト)

最適なダイナミック性能を得るためには、各差動入力 VIN+ と VIN- を駆動するソース・インピーダンスが一致しており、各差動入力はバランスしている必要があります。

入力コモン・モード

AD9652 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザーが外付けからこのバイアスを与える必要があります。最適な性能を得るためには、コモン・モード電圧が 2.0 V に等しくするように設定することが推奨されます。設計ではオンボードにコモン・モード電圧リファレンスが搭載されており、VCM ピンから供給することができます。入力コモン・モードを設定するために VCM 出力を使用することが推奨されます。VCM ピンはアプリケーション情報セクションで説明されているように、0.1 μF のコンデンサでグラウンドに対してデカップリングする必要があります。このデカップリング・コンデンサは、デバイスとこのコンデンサ間の直列抵抗とインダクタンスを最小化するためにピンにできるだけ近く配置してください。

コモン・モード電圧サーボ

AD9652 の VCM 出力とアナログ入力間に電圧損失があるようなアプリケーションの場合、コモン・モード電圧サーボを有効にして対処することができます。入力が交流結合され、VCM 出力とアナログ入力の間に 100Ω 以上の抵抗が置かれている場合、大きな電圧降下が生ずることがあり、コモン・モード電圧サーボを有効にします。レジスタ 0x0F 内の Bit 0 をハイ・レベルにセットすると、VCM サーボ・モードが有効になります。このモードでは、AD9652 がアナログ入力部でのコモン・モード入力レベルを監視し、コモン・モード入力電圧を最適なレベルに維持するように VCM 出力レベルを調整します。

両方のチャンネルが動作している場合、チャンネル A が監視されます。しかし、チャンネル A がパワーダウンまたはスタンバ

イ・モードである場合は、チャンネル B が監視されます。**ディザ**

AD9652 は、SFDR 特性、特に小信号でのそれを改善するために使用できるオプションの内部ディザ回路を備えています。ディザリングとは、AD9652 の入力に既知のしかし大きさがランダムな白色ノイズを注入する操作のことです。ディザリングは ADC の伝達関数内のローカル・リニアリティを改善する効果を持っています。AD9652 は、どちらかの ADC 入力に独立にディザリングを施すことが可能です。ディザ DAC のフルスケールは十分小さいため、ディザリングを有効化しても外部入力信号振幅を制限することはありません。

図 52 のディザ回路ブロック図に示されるように、ディザ DAC を通して ADC の入力に加えられたディザは、SNR の劣化をデジタル的に最小化するために ADC の出力で正確に減算されます。ディザリングが有効化されると、ディザ DAC が擬似乱数発生器 (PN gen) によって駆動されます。AD9652 では、ディザ DAC が精密に較正されており、ディザを有効化することによって SNR と SINAD の劣化を極めて小さく抑えることができます。

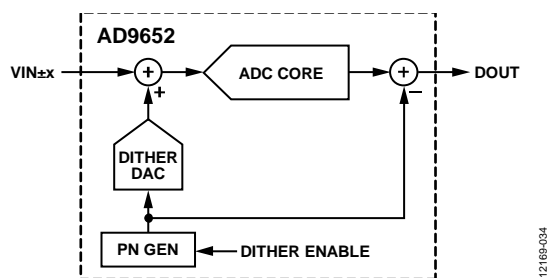


図 52. ディザ回路ブロック図

SFDR の改善には SNR の劣化という代償が伴いますが、ディザ回路が内蔵されており両者を相関づけることができるため、SNR への影響は 1st ナイキスト領域内で通常 0.5 dB 以下に抑えられます。内蔵のディザ回路を有効化してもフルスケール・ダイナミック・レンジへの影響はありません。ディザの大きさは制御可能であり、これによってユーザーは SFDR の改善と SNR の劣化の間で望ましいトレードオフを選択することができます。

ディザを有効化するには、レジスタ 0x30 の Bit 4 をセットします。ディザのゲインを変更するには、レジスタ 0x212[7:4] を使用します。

表 10. ディザのゲイン

レジスタ 0x212[7:4] の設定	ゲイン比	ゲイン(%)
0b0000 (デフォルト)	Maximum dither	100
0b0001	255/256 × max	99.6
0b0010	254/256 × max	99.2
0b0011	252/256 × max	98.4
0b0100	248/256 × max	96.8
0b0101	240/256 × max	93.75
0b0110	224/256 × max	87.5
0b0111	192/256 × max	75
0b1000	Minimum dither	50

大信号高速フーリエ変換

ほとんどの場合、ディザリングはフルスケールに近い大信号に対しては、たとえば入力信号が -1 dBFS のような場合は、SFDR を改善する効果はありません。入力が大信号の場合、SFDR は通常、ディザリングでは改善できないフロントエンド・サンプリングの歪みによって制約されます。しかし、そのような大信号に対しても、ディザリングはノイズ・フロアをより白色化するため、あるアプリケーションに対しては有効となる場合があります。パイプライン型 ADC では一般的であるように、AD9652 はランダム素子のミスマッチによって生ずる小さな DNL 誤差を含んでおり、ノイズ・フロアをデバイスごとに若干ランダムに色づけるスプリアスまたはトーンを発生します。これらのトーンは通常極めて低レベルであり、ADC が大信号入力を量子化している場合は SFDR を制限しませんが、ディザリングはこれらのトーンを雑音に変換し、より白色が強いノイズ・フロアを発生します。

小信号 FFT

小信号入力の場合、フロントエンド・サンプリング回路は通常歪みにはほとんど影響を与えません。SFDR はランダム素子のミスマッチによって生ずる DNL 誤差が発生するトーンによって制限される傾向があります。従って、小信号の場合 (通常、-6 dBFS 以下)、ディザリングはこれらの DNL トーンを白色ノイズに変換することによって SFDR を大幅に改善することができます。

静的直線性

ディザリングは、ADC の INL 伝達関数における鋭いローカル不連続性を除去し、総合的なピーク to ピーク INL を低減する効果もあります。

ディザリングを使用すると、INL 伝達関数に不連続性を発生するローカル小信号 DNL 誤差をランダム化するため、ピーク to ピーク INL 性能が改善されます。

差動入力構成

最適性能は、AD9652 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、[ADL5566](#)、[AD8138](#)、[ADA4937-2](#)、[ADA4938-2](#)、及び [ADA4930-2](#) 差動ドライバが優れた性能と ADC に対する柔軟なインタフェースを提供します。

ADA4930-2 の出力コモン・モード電圧は AD9652 の CML ピンで容易に設定できるため (図 53 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

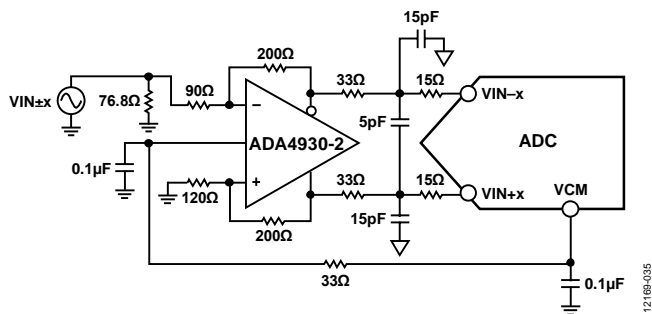


図 53. ADA4930-2 を使用した差動入力構成

SNR が重要なパラメータとなるベースバンド・アプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 54 に例を示します。アナログ入力にバイアス

を加えるため、VCM 電圧をトランス二次巻線のセンタータップに接続することができます。

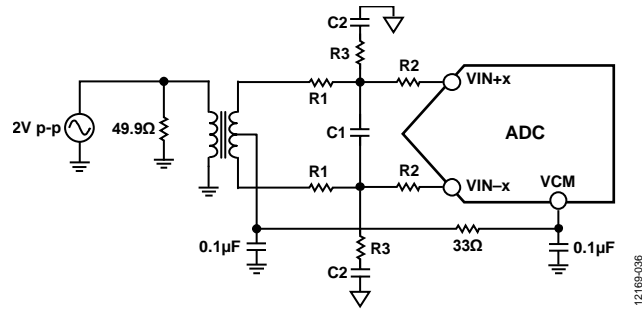


図 54. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを生じさせます。

第 2 ナイキスト領域及びそれ以上の入力周波数では、AD9652 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バラン結合を使用することが推奨されます (図 56 参照)。この構成では、入力は AC 結合され、VCM 電圧は 33Ω の抵抗を通して各入力に供給されます。これらの抵抗は入力バランの損失を補償し、ドライバに 50Ω のインピーダンスを供給します。

ダブル・バランとトランスの構成の場合、入力容量と抵抗の値は入力周波数とソース・インピーダンスに依存して変わります。これらのパラメータに基づいて、入力抵抗と容量の値を調整したり、ある素子を削除したりする必要が生じることがあります。表 11 は、様々な入力周波数領域に対して RC ネットワークを設定するための推奨値を示します。ただし、これらの値は入力信号に依存するため、初期ガイドとして帯域幅のみ使用してください。表 11 の数値は図 54 及び図 56 に表示されている各 R1、

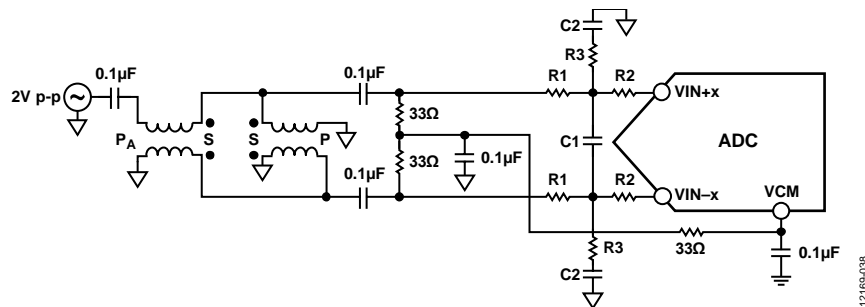


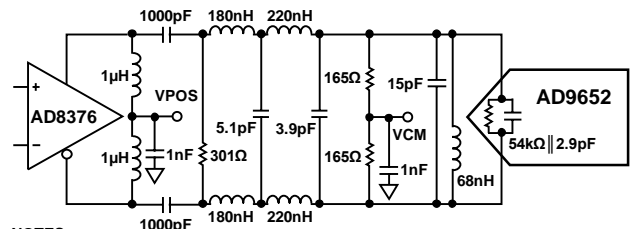
図 56. 差動ダブル・バラン入力構成

R2、C1、C2、及び R3 に対する値であることに注意してください。

表 11. RC ネットワークの例

周波数範囲 (MHz)	R1 直列 (Ω)	C1 差動 (pF)	R2 直列 (Ω)	C2 シャント (pF)	R3 シャント (Ω)
0~100	33	Open	0	15	49.9
100~300	15	Open	15	2.7	0

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、可変ゲイン・アンプを使う方法があります。AD8375 または AD8376 のデジタル可変ゲイン・アンプ (DVGA) は AD9652 を駆動するための優れた性能を提供します。図 55 は AD8376 とバンドパス・アンチエイリアス・フィルタを通して AD9652 を駆動する例を示します。



- NOTES
- ALL INDUCTORS ARE COILCRAFT® 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (COIL CRAFT 0603LS).
 - FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

図 55. AD8376 を使用した差動入力構成

表 12. V_{REF} 回路構成のオプション

選択するモード	SENSE 電圧	発生される ADC リファレンス電圧 (V)	発生される入ルスパン (差動 V p-p)
外部リファレンス電圧	AVDD	N/A ¹	2×外部リファレンス電圧
内部固定リファレンス電圧	GND	V _{REF} ²	2×V _{REF} ²

¹ N/A = 該当せず。

² V_{REF} は抵抗 0x18 を通して設定される。デフォルトの VREF は 1.25 V。

電圧リファレンス

AD9652には、安定かつ正確なリファレンス電圧が内蔵されています。フルスケール入力範囲は、SPIを通して基準電圧を変化させることにより調整することができます。ADCの入力スパンは、リファレンス電圧の変化に比例して追従します。

内部リファレンス電圧の接続

AD9652には安定で正確なプログラマブル・リファレンス電圧回路が内蔵されており、このリファレンスは1.0Vから、最大2.5 Vppの差動フルスケール入力を提供するための1.25Vまでの電圧リファレンスが可能となっています。VREF電圧はデフォルトで1.25Vに設定されていますが、レジスタ0x18[2:0]、VREF selectを用いて変更することが可能です。

内部リファレンス電圧に対してAD9652を設定するには、SENSEピンをロー・レベルに固定する必要があります。SENSEをロー・レベルに固定すると、ADCはVREFを直接使用してVREF値の2倍の差動入力電圧を提供します。

内部リファレンス電圧を用いて最適なノイズ性能を得るためには、VREFピンを1.0μFと0.1μFのコンデンサでピンの近傍でデカップリングすることが推奨されます。図57は、VREFによって2.5 Vp-pの差動フルスケール入力電圧を設定する内部リファレンス接続の構成を示します。

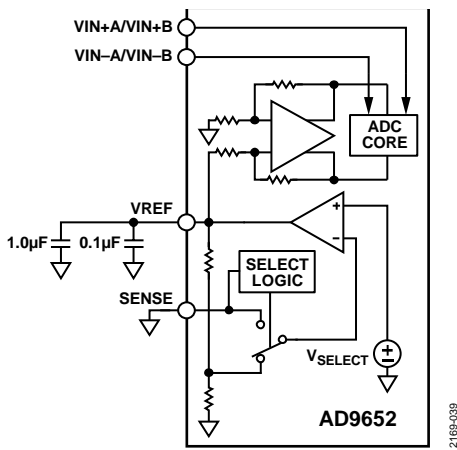


図 57. 内部リファレンス電圧発生回路の構成

ゲイン・マッチングを改善するために、AD9652の内部リファレンス電圧を使って複数のコンバータを駆動する場合、他のコンバータによるリファレンス電圧への負荷を考慮する必要があります。図58に、内部リファレンス電圧が受ける負荷の影響を示します。

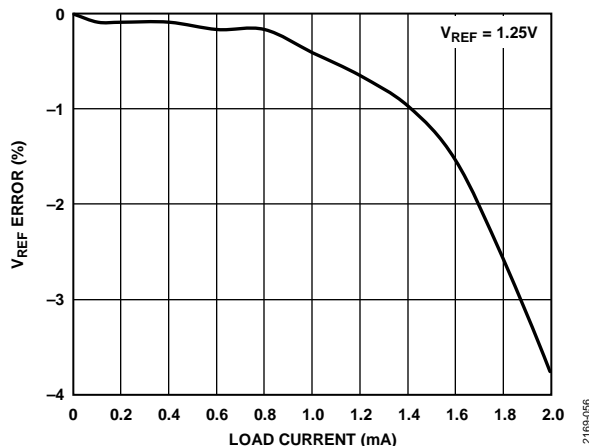


図 58. リファレンス電圧誤差対負荷電流

外部リファレンス電圧による動作

ADCのゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外部リファレンス電圧の使用が必要となります。SENSEピンをAVDDに接続すると、内部リファレンス電圧がディスエーブルされて、VREFピンに供給される外部リファレンス電圧の使用が可能になります。内部リファレンス・バッファに対して、等価6kΩを持つ外部リファレンスが負荷になります。内部リファレンス・バッファは、ADCコアに対して正側と負側のフルスケール・リファレンスを発生します。従って、入力電圧を2.5 Vp-p差動フルスケール入力またはそれ以下に維持するには、外部リファレンス電圧が最大1.25Vに制限される必要があります。

クロック入力の考慮事項

最適な性能を得るためには、AD9652のサンプル・クロック入力（CLK+とCLK-）を高スループートの差動信号で駆動する必要があります。信号は一般にトランスまたはコンデンサを介してCLK+ピンとCLK-ピンにAC結合されます。これらのピンは内部でバイアスされるため（図59参照）、外付けバイアスは不要です。入力がフローティングされている場合、CLK-ピンはCLK+ピンより若干低い電位にバイアスされるため、余分なクロック動作が防止されます。（これは図59には示されていません）

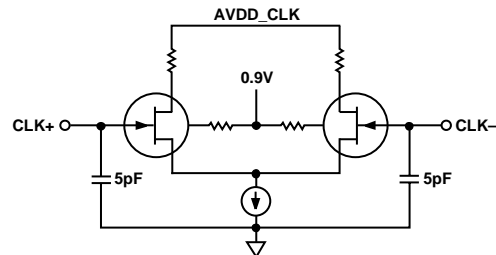


図 59. 単純化されたクロック入力等価回路

クロック入力オプション

AD9652は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、「ジッタについての考慮事項」のセクションで説明するように、最も大きな問題です。

図 60 と図 61 に AD9652 をクロック駆動する(最大 1240 MHz のクロック・レートまで)2つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

RF バラン構成は 125 MHz~1240 MHz のクロック周波数に、RF トランスは 80 MHz~200 MHz のクロック周波数に、それぞれ推奨されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードにより、AD9652 に入力されるクロックが約 0.8 V のピーク to ピーク差動に制限されます。この制限は、クロックの大きな電圧振幅が AD9652 の別の部分に混入することを防止するのに役立つと同時に、低ジッタ性能にとって重要な、クロックの高速な立ち上がり時間と立ち下がり時間を維持します。

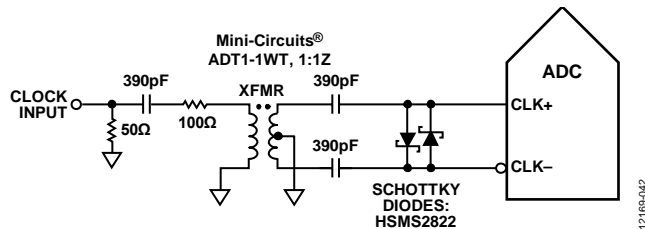


図 60. トランス結合の差動クロック(最大 200 MHz)

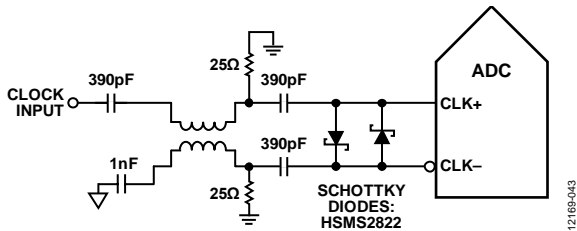


図 61. バラン結合の差動クロック(最大 1240 MHz)

低ジッタ・クロックが使用できない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 62 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524、及び ADCLK905/ADCLK907/ADCLK925 の各クロックドライバは、優れたジッタ性能を提供します。

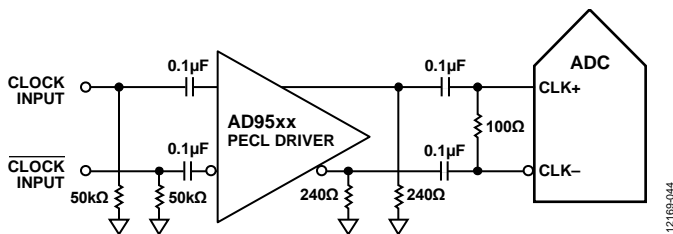


図 62. 差動 PECL サンプル・クロック(最大 1240 MHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 63 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、及び AD9524 の各クロック・ドライバは優れたジッタ性能を提供します。

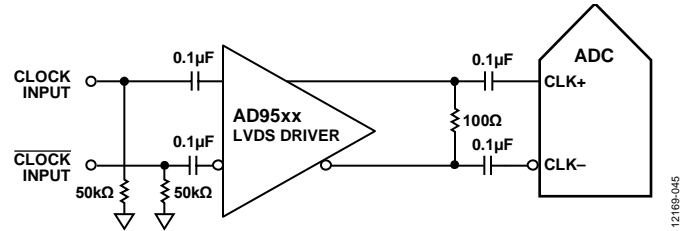


図 63. 差動 LVDS サンプル・クロック(最大 625 MHz)

入力クロック分周器

AD9652 は入力クロックを 1、2、4、または 8 分周できる入力クロック分周器を内蔵しています。デューティ・サイクル・スタビライザ(DCS)が、デフォルトでパワーアップ時にイネーブルされます。クロック分周比はレジスタ 0x0B にセットされます。

AD9652 のクロック分周器は外部 SYNC 入力を使って同期させることができます。レジスタ 0x100 のビット 1 とビット 2 を使うと、各 SYNC 信号で、またはレジスタが書き込まれた後の最初の SYNC 信号で、クロック分周器を再同期することができます。有効な SYNC により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。分周器がイネーブルされ、SYNC オプションが使用される場合、ADC クロック分周器の出力位相は、同期後にレジスタ 0x16 を用いて入力クロック・サイクルの刻みで調整することができます。

SYNC 入力は、シングルエンドの CMOS タイプ信号を用いて駆動してください。SYNC 入力を使用しない場合は SYNC ピンをグラウンドに接続してください。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、さまざまな内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は±5%以内である必要があります。

AD9652 は、非サンプリング・エッジ(立下り)の再タイミングを行って、公称 50% のデューティ・サイクルを持つ内部クロック信号を発生するクロック・DCS を内蔵しています。この回路により、AD9652 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。

それでも、入力クロックの立ち上がりエッジのジッタは大きな問題であり、内部安定化回路で容易に減少させることはできません。DCS 制御ループは、公称 80 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わる時は、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力クロックに再ロックするまで、1.5 μs ~ 5 μs の待ち時間が必要です。ループがロックされていない間、DCS ループはバイパスされるため、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。AD9652 その他のすべてのアプリケーションでは、AC 性能を最大にするため DCS 回路をイネーブルすることが推奨されます。

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{IN})でジッタ(t_j)により発生する SNR 性能の低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{J RMS})^2 + 10^{(-SNR_{LF}/10)}]$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です (図 64)。

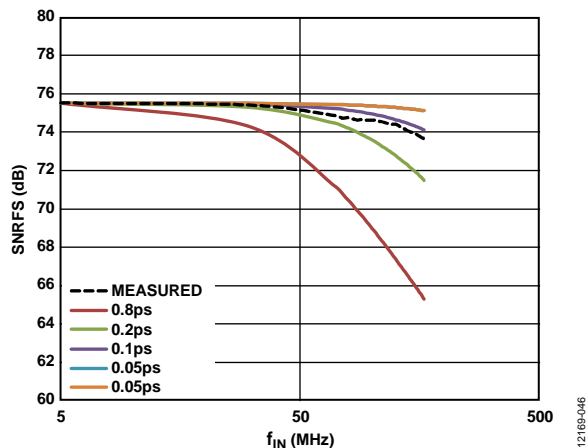


図 64. SNRFS 対入力周波数及びジッタ

ジッタが AD9652 のダイナミックレンジに影響を与えるケースでは、クロック入力をアナログ信号として扱ってください。

ADC クロックがノイズで変調されるのを防ぐために、外部クロック源及びバッファはクリーンな ADC 出力ドライバ電源で駆動してください。

低ジッタの水晶制御発振器は最適なクロック源です。

クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ADC に関するジッタ性能の詳細については、AN-501「アパーチャ不確定性と ADC システム性能」と AN-756「サンプリングシステムに及ぼすクロック位相ノイズとジッタの影響」を参照してください。

消費電力とスタンバイ・モード

図 65 に示すように、AD9652 で消費される電力はサンプル・レートに比例します。図 65 のデータは代表的な性能特性のセクションと同じ動作条件で取得しました。

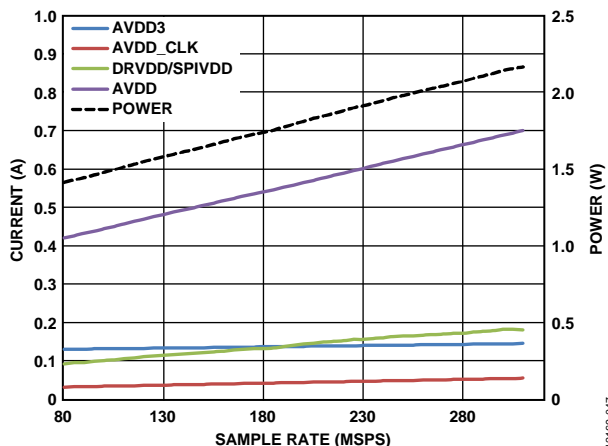


図 65. 消費電力及び電流対サンプル・レート

パワーダウン (レジスタ 0x08 の設定、または PDWN ピンをハイ・レベルします) をアサートすると、AD9652 はパワーダウン・モードになります。この状態では、ADC の消費電力は 1 mW(typ) になります。パワーダウン時は、出力ドライバは高インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD9652 は通常動作モードに戻ります。

PDWN ピンのレベルはデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできないことに注意してください。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。スタンバイ・モードに入ると、デカップリング・コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにすることが可能です。

スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内部リファレンス回路を動作させたままにしておくことができます。詳細については、AN-877「SPI を使った高速 ADC へのインターフェース」を参照してください。

内部バックグラウンド・キャリブレーション

AD9652 は様々な条件に対応して高いレベルなノイズ性能を維持するために、内部アナログ回路間のエラーを継続的に補正するバックグラウンド・キャリブレーション機能を備えています。キャリブレーション補正は様々なアナログ回路ブロック内のエラーをデジタル的に監視し、エラー量を計算して補正を行います。バックグラウンド補正は 3×2^{33} サンプルごとに計算されます。従って 310 MSPS で動作中は、アップデート速度は約 83 秒となります。各キャリブレーション・サイクルは、トラッキング性能を高めるため以前のキャリブレーションとは独立に行われます。バックグラウンド・キャリブレーションのための入力信号に関する制約は一切ありません。

キャリブレーションは各 ADC の経路に対して個別に行われます。バックグラウンド・キャリブレーションは連続して行われますが、更新はキャリブレーションの計算にエラーを発生させることがあるため、入力信号がある範囲から大きくずれない限り

(OTR) 更新を行いません。キャリブレーション・エンジンがエラーを監視し、1 回のキャリブレーション・サイクルの中で 1000 サンプルにわたって入力信号が入力範囲を超えた場合にキャリブレーション・サイクルをリセットします。AD9652 に初めて電源が投入され、正しいクロックが供給されたスタートアップ時には、通常のキャリブレーション・サイクルより 64 倍高速に収束する高速スタートアップ・バックグラウンド・キャリブレーションが実行されます。310 MSPS 時には、高速スタートアップ・キャリブレーションが 1.3 秒後に更新を行います。高速スタートアップ・キャリブレーションは、AD9652 の SNR 性能の低下を 0.5 dB 以下に抑えながら、フル・キャリブレーション・サイクルの完了を待つよりも早く使用可能とします。この性能の低下は最初のキャデラック・サイクルが完了するまで続きます。

AD9652 の設定が変わって再キャリブレーションが必要になった場合、SPI レジスタの書き込みまたは PDWN ピンのアサート及びデアサートによって高速スタートアップ・キャリブレーション

オンを開始させることができます。SPI レジスタを用いて開始させるには、レジスタ 0x08[1:0]を使用します。

新たに高速キャリブレーションを開始するには、ADC チャンネルの一方または両方を一旦スタンバイ状態においてから、レジスタ 0x08[1:0]に 0x2、0x0 の順に書き込みを行うことによって通常動作モードに戻します。通常動作モードに戻ると、高速キャリブレーションが一回行われた後、通常のフル・キャリブレーション・サイクルが実行されます。スタンバイの場合に加えて、パワーダウンの場合も同様のキャリブレーションが実行されます。0x1 に続いて 0x0 を書き込むことによって高速キャリブレーションが開始されます。別の方法として、レジスタ 0x4FB に 0x0C、0x08 を順番に書き込むことによっても高速キャリブレーションを開始させることができます。

PDWN ピンは、レジスタ 0x08[1:0]の設定に従ってデバイスをパワーダウンまたはスタンバイ・モードに移行させるように設定することができます。パワーダウンまたはスタンバイ・モードのいずれかから通常モードに移行すると、高速キャリブレーションが開始されます。新たなキャリブレーションが必要な設定変更としては、VREF の変更、ディザ・オン/オフ、クロック入力の変更、及び DCS 状態の変更がありますが、これらには限られません。

特別な取扱いを必要とするアプリケーションのためのバックグラウンド・キャリブレーションに関連した様々な高度設定オプションもあります。これらのオプションとしては、スタンバイに対するオプションのリカバリ・モード、及びバックグラウンド・キャリブレーションの停止等があります。

アプリケーションでスタンバイ・モードが用いられる場合、AD9652 はデフォルトで電流補正を維持しますが、通常動作モードに戻ったときに新たな高速キャリブレーションを開始します。スタンバイ・モードで条件が大きく変化していない場合は、AD9652 はスタンバイ・モードに移行する前にレジスタ 0x4FA に 0x00 を書き込むことによって最近の補正係数を維持するように設定することができます。

これにより、デバイスはスタンバイ・モードに移行したときと同じ動作に戻り、スタンバイ・モードでの以前のキャリブレーション値を維持し、通常動作モードに戻ると同時に通常のキャリブレーション・サイクルを継続して実行します。

これは推奨されませんが、環境、クロッキング、及び入力信号のすべてが極めて安定しているような場合は、キャリブレーションを停止させることも可能です。バックグラウンド・キャリブレーションの停止は、若干の性能低下が生じますが、レジスタ 0x4FB の Bit 0 に 0x01 を書き込むことによって行うことができます。バックグラウンド・キャリブレーションを再度オンにするためには、レジスタ 0x4FB の Bit 0 に 0x0 を書き込みます。

注：バックグラウンド・キャリブレーションを再度オンにするためには、レジスタ 0x4FB の Bit 0 に 0x0 を書き込みます。

デジタル出力

AD9652 出力ドライバは標準の ANSI LVDS 用ドライバですが、オプションとしてレジスタ 0x15 を用いて駆動電流を小さくすることもできます。LVDS 用駆動電流を小さくするとデジタル的に誘起されたノイズを抑えられる可能性があります。

AN-877 アプリケーション・ノート、「SPI を使った高速 ADC へのインタフェース」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

AD9652 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードは、デバイスがパワーダウン・モードに設定されたときにイネーブルされます。

タイミング

AD9652 は、26 サンプル・クロック・サイクルの遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立ち上がりエッジから 1 伝搬遅延(tPD)後に出力されます。AD9652 内部の過渡電圧を抑えるために、出力データ線の長さに対応する負荷を最小限に抑えてください。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。AD9652 の最小変換レートは 80 MSPS(typ)です。80 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力

AD9652 は、外部レジスタ内のデータをキャプチャするためのデータ・クロック出力 (DCO) も供給します。図 2 に、AD9652 の出力モードのタイミング図を示します。データ出力に対する DCO はレジスタ 0x17 を用いてタイミングを調整することができます。1 ステップあたり約 81 ps の刻みで 32 通りの遅延を設定することができます。データは DDR フォーマットで出力され、DCO± から生成されたクロックの立ち上がり及び立下りエッジに整列されます。

ADC のオーバーレンジ

ADC の入力でオーバーレンジ (OR) が検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で決定されるため、ADC クロックで 26 サイクルのレイテンシが発生します。入力でのオーバーレンジは、それが発生してから 26 クロック・サイクル後にこのビットで表示されます。

表 13. 出力データ・フォーマット

差動入力電圧 (V): (VIN+x) – (VIN-x) 入カスパン = 2.5 V p-p (V)	オフセット自然 2 進数出力 モード	2 の補数モード (デフォルト)	OR± ピンのロジック・レベル
<-1.25	00 0000 0000 0000	10 0000 0000 0000	1
-1.25	00 0000 0000 0000	10 0000 0000 0000	0
0	10 0000 0000 0000	00 0000 0000 0000	0
+1.25	11 1111 1111 1111	01 1111 1111 1111	0
>+1.25	11 1111 1111 1111	01 1111 1111 1111	1

高速スレッシュールド検出 (FDA/FDB)

レシーバ・アプリケーションでは、コンバータがクリップされそうなとき確実に検出できることが望まれます。OR_±ピン上の標準オーバーフロー・インジケータは出力データで同期される遅延情報を提供します。遅延インジケータはこの場合、クリッピングの防止に限定された値しか表示しません。このため、クリップが発生する前に外部ゲインを小さくするための時間を確保するために、フルスケールより下にプログラマブルなスレッシュールドを設けることが有効です。さらに、入力信号が大きなスルーレートを持つことがあるため、この機能によるレイテンシが大きな問題になります。

SPIポートを使うと、超えたときに高速検出 (FD) 出力がアクティブになるスレッシュールドを設定することができます。レジスタ 0x45 の Bit 0 が FD 機能をオンにします。レジスタ 0x47 ~ レジスタ 0x4C によってスレッシュールド・レベルとタイミングを設定することができます。信号が選択されたスレッシュールドを下回っている限り、FD 出力はロー・レベルを維持します。このモードでは、データの振幅が条件の計算に使用されますが、データの符号 (正か負のいずれか) は考慮されません。スレッシュールド検出機能は、所望の範囲外にある正と負の信号(振幅)に対して同じ応答をします。チャンネル A 用 FDA、及びチャンネル B 用 FDB の高速検出インジケータは、入力の振幅が高速検出上側スレッシュールド・レジスタ 0x47 にプログラムされた値を超えたときにアサートされます。選択されたスレッシュールド・レジスタの内容が、ADC の出力での信号振幅と比較されます。

高速上側スレッシュールド検出は 7 クロック・サイクル分の遅延を持っています。上側スレッシュールドは次の式で定義される 4 ビットの値です：

$$\text{Upper Threshold (\% Full Scale)} = ((\text{Register 0x47 value})/8) \times 100\%$$

FD インジケータは、信号が下側スレッシュールド・レベル以下に低下し、プログラムされたドウェル・タイムの間そのレベル以下に留まるまでクリアされません。下側スレッシュールド・レベルは高速検出下側スレッシュールド・レジスタ、0x49 及び 0x4A でプログラムされます。高速検出下側スレッシュールド・レジスタは、ADC 出力の信号振幅と比較される 15 ビットのレジスタです。この比較には、ADC のパイプライン・レイテンシが発生しますが、コンバータ分解能は正確です。下側スレッシュールドは次式で定義されています。

$$\text{Lower Threshold (\% Full Scale)} = ((\text{Register 0x49/0x4A value})/32767) \times 100\%$$

たとえば、フルスケールの 50% を上側スレッシュールドに設定し、フルスケールの 40% を下側スレッシュールドに設定する場合は、レジスタ 0x49 とレジスタ 0x4A に 0x3333 を書き込みます。

ドウェル・タイムは、高速検出ドウェル・タイム・レジスタ、0x4B と 0x4C 内に望みの値を書き込むことによって 1 サンプル・クロック・サイクルから 65,535 サンプル・クロック・サイクルの間でプログラムすることができます(図 66 参照)。

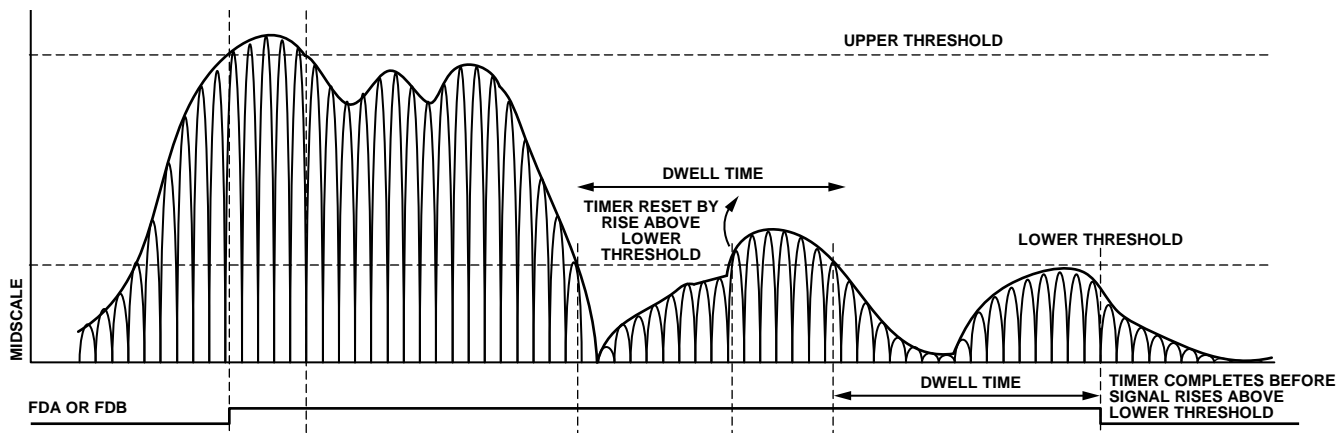


図 66. FDA 及び FDB 信号に対するスレッシュールドの設定

12169-048

シリアル・ポート・インタフェース

AD9652 シリアル・ポート・インタフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI は、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、このポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドについては、Memory Map のセクションに記載します。詳細については、アプリケーション・ノート AN-877、「SPI を使った高速 ADC へのインタフェース」を参照してください。

SPI を使う設定

この ADC の SPI は、SCLK ピン、SDIO ピン、CSB ピンの 3本のピンにより定義されます(表 14 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読み出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、書き込みサイクルと読み込みサイクルをイネーブル/ディスエーブルします。

表 14. シリアル・ポート・インタフェース・ピン

ピン	機能
SCLK	シリアル・クロック。シリアル・インタフェースの読み出し・書き込みを同期させるために用いられるシリアル・シフト・クロック入力。
SDIO	シリアル・データ入力/出力。2つの機能で共有されるピンであり、送られる命令とタイミング・フレーム内の相対位置に依存して、入力ピンまたは出力ピンとして働きます。
CSB	チップ・セレクト・バー。読み出しサイクルと書き込みサイクルをゲーティングするアクティブ・ローのコントロール信号です。パワーアップ中はロジック・ハイにプルアップする必要があります。

CSB の立ち下がりエッジと SCLK の立ち上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を表 5 と 図 4 に示します。

CSB ピンを使用するその他のモードもあります。CSB ピンはロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。

CSB ピンをバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能は高インピーダンス・モードになります。命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。すべてのデータは 8 ビット・ワードで構成されます。

シリアル・データの各バイトの先頭ビットは、発行されているのが読み出しコマンドまたは書き込みコマンドのいずれであるかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読み出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵

メモリ値の読み出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO/DCS)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。詳細及びその他の機能については、AN-877 アプリケーション・ノートを参照してください。

ハードウェア・インタフェース

表 14 に記載されているピンは、ユーザー書き込みデバイスと AD9652 のシリアル・ポートとの間の物理層インタフェースです。SCLK ピンと CSB ピンは、SPI インタフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。SPI インタフェースは、フィールド・プログラマブル・グリッド・アレイ (FPGA) またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一つの方法は、AN-812「Microcontroller-Based Serial Port Interface (SPI) Boot Circuit」に詳細が記載されています。コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。オンボードの SPI バスを他のデバイスに対して使う場合には、このバスと AD9652 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でのこれらの信号が変化することを防止することが必要になります。

SPI を使わない設定

SPI コントロール・レジスタとインタフェースしないアプリケーションでは、SDIO ピンと SCLK ピンは独立した CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、ピンは DCS 及び出力データ・フォーマット機能制御用のスタティック・コントロール・ラインとして使用されるものと見なされます。このモードでは、CSB を AVDD に接続する必要があります。この接続により、シリアル・ポート・インタフェースがディスエーブルされます。

表 15. モードの選択

ピン	外部電源電圧	コンフィギュレーション
SDIO	AVDD (デフォルト) AGND	DCS イネーブル DCS ディスエーブル
SCLK	AVDD AGND (デフォルト)	2 の補数有効 オフセット・バイナリ有効

SPI からアクセス可能な機能

表 16 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能の詳細については AN-877 アプリケーション・ノートに記載されています。

表 16. SPI を使ってアクセスできる機能

機能名	説明
Power Modes	パワーダウン・モードまたはスタンバイ・モードのいずれかに設定することができます。
Clock	SPI を介して DCS にアクセスすることができます。
Offset	コンバータのオフセットをデジタル的に調整します。
Test I/O	既知のデータを出力ビット上に表示させるテスト・モードを設定します。
Output Mode	出力モードを設定します。
Output Phase	出力クロックの極性を設定します。
Output Delay	DCO _± から出力されるクロックの遅延を変更します。
VREF	リファレンス電圧を設定します。

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読み出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00~アドレス 0x02)、チャンネル・インデックス及び転送レジスタ(アドレス 0x05 とアドレス 0xFF)、及びセットアップ、コントロール、及びテストを含む ADC 機能レジスタ(アドレス 0x08~アドレス 0x4FB)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 17 を参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。たとえば、アドレス 0x09 のグローバル・クロック・レジスタは、16 進デフォルト値 0x01 を持ちます。これは、LSB またはビット 0=1、残りのビットはすべて 0 であることを意味します。この設定はデフォルトの出力フォーマット値であり、2 の補数です。

レジスタ 0x00~レジスタ 0x17 によって制御される機能の詳細については、AN-877 アプリケーション・ノートを参照してください。このアプリケーション・ノートは、他の残りのレジスタによって制御される機能の詳細も説明しています。

未使用及び予約済みのロケーション

表 17 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。特に指定がない限り、有効アドレス・ロケーションの未使用ビットには 0 を書き込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書き込みが必要です(たとえばアドレス 0x18)。アドレス・ロケーション全体がオープン/未使用/未記載の場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書き込みを行わないでください。

デフォルト値

AD9652 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル 17 に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書き込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書き込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08、0x09、0x0B、0x0D、0x0F、0x10、0x14、0x16、0x17、及び 0x30 のレジスタはシャドウされます。これらのアドレスに書き込みを行っても、アドレス 0xFF に 0x01 を書き込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

チャンネル特有レジスタ

信号モニター・スレッショールドのような幾つかのチャンネル・セットアップ機能は、チャンネルごとに異なった値をプログラムすることができます。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 17 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x05 内の該当するチャンネル A またはチャンネル B ビットをセットします。両ビットがセットされている場合は、後続の書き込みは両チャンネルのレジスタに対して行われます。読み出しサイクルでは、チャンネル A またはチャンネル B の一方のみをセットして、2 つのレジスタの内の 1 つを読み出します。SPI 読み出しサイクルで両ビットがセットされていると、デバイスはチャンネル A の値を返します。でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間に独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x05 内の設定は、グローバルなレジスタとビットに影響を与えません。

メモリ・マップ・レジスタ・テーブル

表 17 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。

表 17. メモリ・マップ・レジスタ

アドレス (Hex)	レジスタ名	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	デフォルト値 (Hex)	デフォルトの注/ コメント
チップ設定レジスタ											
0x00	SPI ポート設定 (グローバル) ¹	0	LSB ファースト	ソフト・リセット	1	1	ソフト・リセット	LSB ファースト	0	0x18	ニブルは、LSB ファースト・モードまたは MSB ファースト・モードがシフト・モードに関係なく正しくレジスタするようにミラーされます。
0x01	チップ ID (グローバル)	8-Bit チップ ID[7:0], (AD9652 = 0xC1) (デフォルト)								0xC1	読み出し専用
0x02	Chip grade (グローバル)			速度グレード、0x00: デフォルト						0x00	デバイスを区別するために用いられる速度グレード ID; 読み出し専用
チャンネル・インデックス及び転送レジスタ											
0x05	チャンネル・インデックス (グローバル)							チャンネル B (デフォルト)	チャンネル A (デフォルト)	0x03	ビットは、チップ上のどのデバイスが次の書き込みコマンドを受け取るかを決定するためにセットされます。ローカル・レジスタのみに適用されます。
0xFF	転送 (グローバル)								転送	0x00	マスタ・シフト・レジスタからスレーブヘデータを同期転送します。
ADC 機能											
0x08	パワー・モード (ローカル)	予約済み、1 に設定。		外部パワー・ダウン・ピン機能 (ローカル) 0 = パワ				内部パワーダウン・モード (ローカル) 00 = 通常動作 01 = フル・パワーダウン 10 = スタンバイ		0x80	パワーダウンのオプションを制御します。

アドレス (Hex)	レジスタ名	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	デフォルト値 (Hex)	デフォルトの注/ コメント	
				ーダウン 1 = スタ ンバイ				11 = 予約済み				
0x09	グローバル・クロック (グローバル)								DCS イネーブル (デフォルト)	0x01		
0x0B	クロック分周 (グローバル)							クロック分周比 000 = 1 分周 001 = 2 分周 010 = 予約済み、使用不可 011 = 4 分周 100 = 8 分周		0x00		
0x0D	テスト・モード (ローカル)			リセット PN23 (Long gen.) PN23: $1 + x^{17} + x^{22}$	リセット PN9 (Short gen.) PN9: $1 + x^3 + x^8$			出力テスト・モード 0000 = オフ (デフォルト) 0001 = ミッドスケール・ショート 0010 = 正 FS 0011 = 負 FS 0100 = 交互チェッカー・ボード 0101 = PN23 長シーケンス 0110 = PN9 短シーケンス 0111 = 1/0 ワード・トグル		0x00	このレジスタがセットされると、出力ピン (D0±~D15±) 上に通常データに代えてテスト・データが出力されま す。	
0x0F	コモン・モード・サーボ (グローバル)								コモン・モード・サーボ・イネーブル	0x00		
0x10	オフセット調整 (ローカル)	LSB 内オフセット調整 +127 (0111 1111) ~-128 (1000 0000) (2 の補数形式)									0x00	
0x14	出力モード (ローカル)							出力形式 00 = オフセット・バイナリ (デフォルト) 01 = 2 の補数 10 = グレイ・コード 11 = 予約済み		0x00	出力形式とデータのフォーマットを設定しま す。	
0x15	出力 LVDS のコントロール (グローバル)							LVDS 出力駆動電流の調整 000 = 3.72 mA (ANSI-LVDS, default) 001 = 3.50 mA 010 = 3.30 mA 011 = 2.96 mA 100 = 2.82 mA 101 = 2.57 mA 110 = 2.27 mA 111 = 2.00 mA (Reduced Swing LVDS)		0x00		
0x16	クロック位相調整 (グローバル)							入力クロック分周器の位相調整 000 = 遅延なし 001 = 1 入力クロック・サイクル 010 = 2 入力クロック・サイクル 011 = 3 入力クロック・サイクル 100 = 4 入力クロック・サイクル 101 = 5 入力クロック・サイクル 110 = 6 入力クロック・サイクル		0x00		

アド レス (Hex)	レジスタ名	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	デフォ ルト値 (Hex)	デフォルト の注/ コメント
							111 = 7 入力クロック・サイクル				
0x17	DCO± 出力 遅延 (グローバル)						DCO± 出力遅延 (遅延 = (2500 ps × レジスタ値/31)) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps			0x00	
0x18	入力スパン 選択 (グローバル)	予約済 み、1に 設定	予約済 み、1に 設定				V _{REF} 選択 000 = 1.25 V (2.5 V p-p 入力)、デフ ォルト 001 = 1.125 V (2.25 V p-p 入力) 010 = 1.20 V (2.4 V p-p 入力) 011 = 1.25 V (2.5 V p-p 入力) 100 = 使用不可 101 = 1.0 V (2.0 V p-p 入力)			0xC0	
0x30	ディザ (ロ ーカル)				ディザ・ イネーブ ル					0x00	
0x45	高速検出 (FD) コン トロール								高速検出 出力イネ ーブル	0x00	
0x47	FD 上側ス レッシュョ ールド						高速検出上側スレッシュョールド[3:0] 有効プログラミング範囲 = 0x1 to 0x8 スレッシュョールド = ミッドスケール ± (レジ スタ値) × (1/8) × (フルスケール)			0x08	
0x49	FD 下側ス レッシュョ ールド	高速検出下側スレッシュョールド[7:0]								0x00	
0x4A	FD 下側ス レッシュョ ールド	高速検出下側スレッシュョールド[14:8]								0x02	
0x4B	FD ドウェ ル・タイム	高速検出ドウェル・タイム[7:0]								0x00	
0x4C	FD ドウェ ル・タイム	高速検出ドウェル・タイム[15:8]								0x08	
0x100	SYNC コ ントロール (グローバル)						クロック 分周器 次の SYNC の み	クロック 分周器 SYNC イ ネーブル	マスター SYNC バ ッファ・ イネーブ ル	0x00	
0x212	ディザのゲ イン (グロー バル)		0b0000: 100% ディザ適用 0b0001: 99.6% ディザ適用 0b0010: 99.2% ディザ適用 0b0011: 98.4% ディザ適用 0b0100: 96.8% ディザ適用 0b0101: 93.75% ディザ適用 0b0110: 87.5% ディザ適用 0b0111: 75% ディザ適用 0b1000: 50% ディザ適用			予約済 み、0に 設定	予約済 み、0に 設定	予約済 み、0に 設定	予約済 み、0に 設定	0x08	
0x22A	入力周波数 の設定 (グ ローバル)								0: f _{IN} in 1 st Nyquist 1: f _{IN} in 2 nd Nyquist 2: f _{IN} in 3rd Nyquist ま たはそれ以上	0x00	
0x4F A	較正パワー ダウン設定	予約済 み、0に	予約済 み、0に	予約済 み、0に	予約済 み、0に	予約済 み、0に	予約済 み、0に	予約済 み、0に	パワーダウン/スタン バイ初期較正:	0x03	

アドレス (Hex)	レジスタ名	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	デフォルト値 (Hex)	デフォルトの注/ コメント
	(グローバル)	設定	設定	設定	設定	設定	設定	0b00: 以前の較正・補正を使用 0b11: 高速較正を開始			
0x4FB	較正パワーダウン設定 (グローバル)	予約済み、0に設定	予約済み、0に設定	予約済み、0に設定	予約済み、0に設定	予約済み、1に設定	バックグラウンド・キャリブレーションをリセット。ハイにセットした後、ローにセット。	予約済み、0に設定	バックグラウンド・キャリブレーションを停止	0x08	

¹ アドレス 0x05 のチャンネル・インデクス・レジスタには、アドレス 0x00 に書き込む際、0x03 (デフォルト) を設定する必要があります。

アプリケーション情報

デザイン・ガイドライン

AD9652 のシステムのレベル・デザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD9652 に接続する際は、3 個の独立した電源を使うことが推奨されます。AVDD3 は 3.3 V の電源を、AVDD_CLK 及び AVDD は 1.8 V の電源を、また DRVDD は 1.8 V 電源をそれぞれ必要とします。SPIVDD は通常、DRVDD と同じ電源に接続しますが、SPI ピン (CLK、SPIO、及び CSB) に接続するロジック・デバイスとのインタフェースを容易にするために 1.8 V と 3.3 V の中間の独立した電源に接続することも可能です。

AVDD3 電源はクリーンな 3.3 V 電源から供給する必要があります。デカップリングは、高周波及び低周波ノイズ源の両方をカバーするため、PCB 面コンデンサとデカップリング・コンデンサの組み合わせで行う必要があります。0.1 μF と 1 μF のコンデンサ (Typ.) を AD9652 の AVDD3 ピンの近くに配置することが推奨されます。

AVDD と AVDD_CLK の電圧は適切なオンチップ・バイアシングを行うために同時にパワーアップされなければなりません。そのため、これら 2 つのピンは同じ電源に接続することが推奨されます。AVDD3 電源と同様に、AVDD と AVDD_CLK 電源のデカップリングは高周波及び低周波ノイズ源の両方をカバーするため、PCB 面コンデンサとデカップリング・コンデンサの組み合わせで行う必要があります。0.1 μF と 1 μF のコンデンサ (Typ.) を AD9652 の AVDD ピン及び AVDD_CLK ピンの近くに配置することが推奨されます。

DRVDD 及び SPIVDD 電源接続もデカップリングする必要がありますが、これらは AD9652 から少し離れた場所に配置することも可能です。DRVDD ピンと SPIVDD ピンは、1.8 V SPI インタフェース・ロジックを使用するアプリケーションの場合は結合させることができます。SPIVDD ピンはオプションで高電圧レベルのロジックとのインタフェースをサポートするために最大 3.3 V までの電源を供給することができます。

複数の大面積 PCB グラウンド・プレーンを配置することが推奨されます。これにより多くの利点が生じます。性能を維持するためには、低インピーダンスの電源及びグラウンド・プレーンが必要です。PCB 内に電源及びグラウンド・プレーンをスタックすることにより高周波のデカップリングを行うことができます。グラウンド・プレーンとサーマル・ビアはデバイスが発生した熱を放散するのに役立ちます。適切なデカップリングと PCB のアナログ、デジタル、及びクロック・セクションのスマートな分割を行うことにより、最適な性能を発揮させることができます。

VCM

VCM ピンは、ピンの近くで 0.1 μF のコンデンサにより GND にデカップリングする必要があります (図 54 参照)。最適なチャンネル間アイソレーションのためには、AD9652 の VCM ピンとチャンネル A アナログ入力ネットワーク接続の間と、AD9652 の VCM ピンとチャンネル B アナログ入力ネットワーク接続の間の両方に 33 Ω の抵抗を挿入する必要があります。

RBIAS

AD9652 では、RBIAS ピンとグラウンドとの間に 10 k Ω の抵抗を接続する必要があります。この抵抗は ADC コアのマスター電流リファレンスを設定するため、誤差 1% 以下ものを使う必要があります。

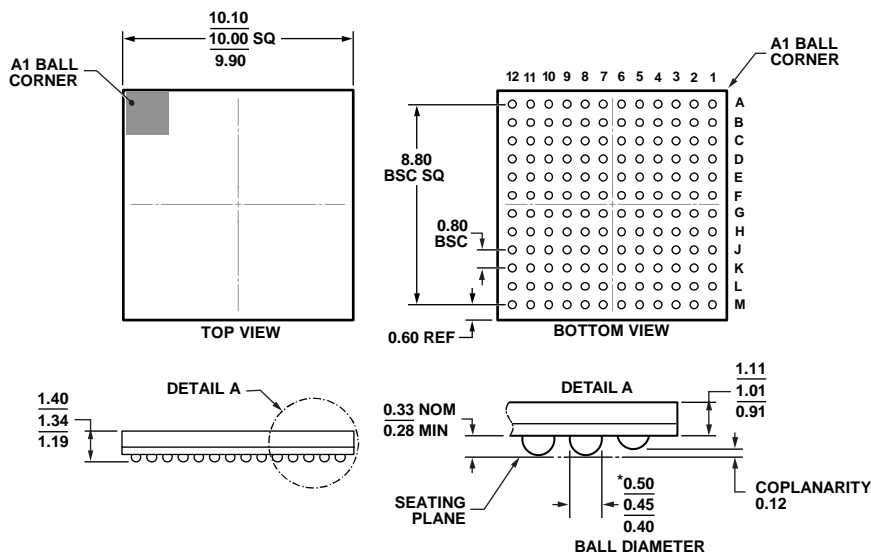
リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい 1.0 μF のコンデンサと ESR の小さい 0.1 μF のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。オンボードの SPI バスを他のデバイスに対して使う場合には、このバスと AD9652 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

外形寸法



*COMPLIANT WITH JEDEC STANDARDS MO-275-EEAA-1 WITH THE EXCEPTION TO BALL DIAMETER.

11-18-2011-A

図 67. 144 ボール・チップ・スケール・パッケージのボール・グリッド・アレイ [CSP_BGA] (BC-144-6) 寸法表示 : mm

オーダー・ガイド

モデル名 ¹	温度範囲	パッケージの説明	梱包オプション
AD9652BBCZ-310	-40°C~+85°C	144 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA)	BC-144-6
AD9652BBCZRL7-310	-40°C~+85°C	144 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA)	BC-144-6
AD9652-310EBZ	-40°C~+85°C	AD9652 搭載評価ボード	

¹ Z = RoHS 適合部品