

特長

1.8 Vのアナログ電源動作

1.8 V~3.3 Vの出力電源

SNR

9.7 MHz 入力で 74.3 dBFS

200 MHz 入力で 71.5 dBFS

SFDR

9.7 MHz 入力で 93 dBc

200 MHz 入力で 80 dBc

低消費電力

20 MSPS で 45 mW

80 MSPS で 87 mW

帯域幅 700 MHz の差動入力

リファレンス電圧とサンプル・アンド・ホールド回路を内蔵

2 V p-p の差動アナログ入力

DNL = ±0.35 LSB

シリアル・ポート制御オプション

オフセット・バイナリ、グレイ・コード、または2の補数データ・フォーマット

分周比1、2、4の入力クロック分周器

選択可能なデジタル・テスト・パターン発生器を内蔵

省電力のパワーダウン・モード

クロックとデータのアライメントが調整可能なデータ・クロック出力 (DCO)

アプリケーション

通信

ダイバーシティー無線システム

マルチモード・デジタル・レシーバ

GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA

スマート・アンテナ・システム

バッテリー駆動の計装機器

ハンドヘルド型スコープ・メータ

携帯型医用画像処理

超音波

レーダ/LIDAR

機能ブロック図

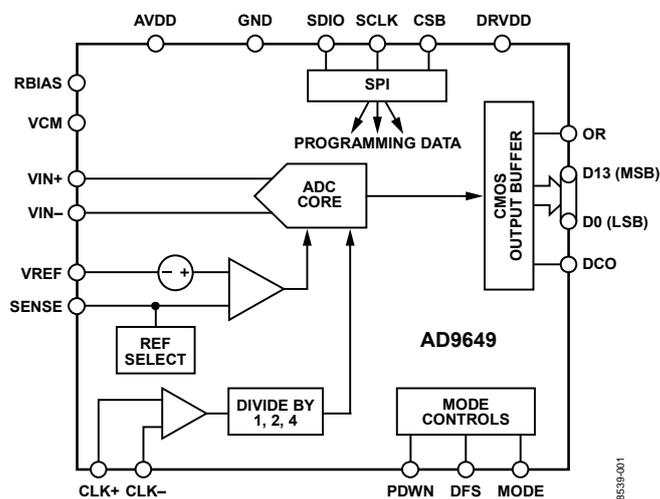


図 1.

製品のハイライト

- AD9649は1.8 Vアナログ単電源で動作し、1.8 V~3.3 V ロジック・ファミリーに対応するためデジタル出力ドライバ電源が分離されています。
- 特許取得済みのサンプル・アンド・ホールド入力は、200 MHz までの入力周波数に対して優れた性能を維持し、低価格、低消費電力、使い易さを重視してデザインされています。
- 標準シリアル・ポート・インターフェース(SPI)では、データ出力フォーマッティング機能、内部クロック分周器、パワーダウン、DCO、データ出力 (D13~D0)のタイミングとオフセットの調整、電圧リファレンス・モードなどの種々の製品機能をサポートしています。
- AD9649は32ピンのRoHS準拠 LFCSPパッケージを採用しています。このデバイスは、AD9629 (12ビット ADC)およびAD9609 (10ビット ADC)とピン互換であるため、20 MSPS ~80 MSPSのサンプリングで10ビット・コンバータと14ビット・コンバータとの間の移行を容易に行うことができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	クロック入力の考慮事項	20
アプリケーション	1	消費電力とスタンバイ・モード	21
機能ブロック図	1	デジタル出力	22
製品のハイライト	1	タイミング	22
改訂履歴	2	ビルトイン・セルフテスト(BIST)と出力テスト	23
概要	3	ビルトイン・セルフテスト(BIST)	23
仕様	4	出力テスト・モード	23
DC仕様	4	シリアル・ポート・インターフェース(SPI)	24
AC仕様	5	SPIを使う設定	24
デジタル仕様	6	ハードウェア・インターフェース	25
スイッチング仕様	7	SPIを使わない設定	25
タイミング仕様	8	SPIからアクセス可能な機能	25
絶対最大定格	9	メモリ・マップ	26
熱特性	9	メモリ・マップ・レジスタ・テーブルの読出し	26
ESDの注意	9	未使用ロケーション	26
ピン配置およびピン機能説明	10	デフォルト値	26
代表的な性能特性	11	メモリ・マップ・レジスタ・テーブル	27
AD9649-80	11	メモリ・マップ・レジスタの説明	29
AD9649-65	13	アプリケーション情報	30
AD9649-40	14	デザイン・ガイドライン	30
AD9649-20	15	外形寸法	31
等価回路	16	オーダー・ガイド	31
動作原理	17		
アナログ入力に対する考慮	17		
リファレンス電圧	19		

改訂履歴

10/09—Revision 0: Initial Version

概要

AD9649 は、モノリシック、1チャンネル、1.8 V 電源、14 ビット、20/40/65/80 MSPS の A/D コンバータ (ADC) です。高性能サンプル・アンド・ホールド回路とリファレンス電圧を内蔵しています。

この製品では、80 MSPS のデータレートで 14 ビット精度を提供し、全動作温度範囲でノー・ミスコードを保証するための出力誤差補正ロジックを内蔵するパイプライン化マルチステージ差動アーキテクチャを採用しています。

ADC は、プログラマブルなクロックとデータのアライメントやプログラマブルなデジタル・テスト・パターン発生器のような柔軟性を強化し、システム・コストを削減するようにデザインされた幾つかの機能を内蔵しています。使用可能なデジタル・テスト・パターンとしては、内蔵の決定性および疑似ランダムのパターンやシリアル・ポート・インターフェース (SPI) を介し

て入力されるユーザ定義のカスタム・テスト・パターンなどがあります。

オプションの分周比 1、2、4 を持つ差動クロック入力により、すべての内部変換サイクルが制御されます。

デジタル出力データは、オフセット・バイナリ、グレイ・コードまたは 2 の補数フォーマットで出力されます。データ出力クロック (DCO) は、受信ロジックとの正しいラッチ・タイミングを確保するように出力されます。1.8 V と 3.3 V の CMOS レベルをサポートしています。

AD9649 は 32 ピンの RoHS 準拠 LFCSP パッケージを採用し、-40 ~ +85°C の工業温度範囲で仕様を規定しています。

仕様

DC仕様

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

表 1.

Parameter	Temp	AD9649-20/AD9649-40			AD9649-65			AD9649-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			14			Bits
ACCURACY											
No Missing Codes	Full	Guaranteed			Guaranteed			Guaranteed			
Offset Error	Full	-0.40	+0.05	+0.50	-0.40	+0.05	+0.50	-0.40	+0.05	+0.50	% FSR
Gain Error ¹	Full		-1.5			-1.5			-1.5		% FSR
Differential Nonlinearity (DNL) ²	Full			±0.50			+0.55			±0.65	LSB
	25°C		±0.25			±0.3			±0.35		LSB
Integral Nonlinearity (INL) ²	Full			±1.30			±1.30			±1.75	LSB
	25°C		±0.50			±0.50			±0.60		LSB
TEMPERATURE DRIFT											
Offset Error	Full		±2			±2			±2		ppm/°C
INTERNAL VOLTAGE REFERENCE											
Output Voltage (1 V Mode)	Full	0.984	0.996	1.008	0.984	0.996	1.008	0.984	0.996	1.008	V
Load Regulation Error at 1.0 mA	Full		2			2			2		mV
INPUT-REFERRED NOISE											
VREF = 1.0 V	25°C		0.98			0.98			0.98		LSB rms
ANALOG INPUT											
Input Span, VREF = 1.0 V	Full		2			2			2		V p-p
Input Capacitance ³	Full		6			6			6		pF
Input Common-Mode Voltage	Full		0.9			0.9			0.9		V
Input Common-Mode Range	Full	0.5		1.3	0.5		1.3	0.5		1.3	V
REFERENCE INPUT RESISTANCE	Full		7.5			7.5			7.5		kΩ
POWER SUPPLIES											
Supply Voltage											
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7		3.6	1.7		3.6	1.7		3.6	V
Supply Current											
IAVDD ²	Full		25.0/31.3	27.3/33.7		41.0	44.0		47.0	50.0	mA
IDRVDD ² (1.8 V)	Full		1.6/2.9			4.7			5.6		mA
IDRVDD ² (3.3 V)	Full		3.0/5.3			8.4			10.2		mA
POWER CONSUMPTION											
DC Input	Full		45.2/57.2			75.2			86.8		mW
Sine Wave Input ² (DRVDD = 1.8 V)	Full		47.9/61.6	51.8/65.8		82.3	87.5		94.7	100	mW
Sine Wave Input ² (DRVDD = 3.3 V)	Full		54.9/73.8			101.5			118.3		mW
Standby Power ⁴	Full		34/34			34			34		mW
Power-Down Power	Full		0.5			0.5			0.5		mW

¹ 1.0 V の外部リファレンス電圧で測定。

² 10 MHz の入力周波数、定格サンプル・レート、フル・スケール正弦波、各出力ビットに約 5 pF の負荷を接続して測定。

³ 入力容量は、1 本の差動入力ピンとグラウンドとの間の実効容量です。

⁴ スタンバイ電力は、DC 入力 CLK+ と CLK- をアクティブにして測定。

AC仕様

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

表 2.

Parameter ¹	Temp	AD9649-20/AD9649-40			AD9649-65			AD9649-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)											
$f_{IN} = 9.7$ MHz	25°C		74.7			74.5			74.3		dBFS
$f_{IN} = 30.5$ MHz	25°C		74.4			74.3			74.1		dBFS
	Full	73.1			73.6						dBFS
$f_{IN} = 70$ MHz	25°C		73.7			73.7			73.6		dBFS
	Full							72.7			dBFS
$f_{IN} = 200$ MHz	25°C		71.5			71.5			71.5		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)											
$f_{IN} = 9.7$ MHz	25°C		74.6			74.4			74.1		dBFS
$f_{IN} = 30.5$ MHz	25°C		74.3			74.2			74.0		dBFS
	Full	73.0			73.5						dBFS
$f_{IN} = 70$ MHz	25°C		73.6			73.6			73.5		dBFS
	Full							72.6			dBFS
$f_{IN} = 200$ MHz	25°C		70.0			70.0			70.0		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)											
$f_{IN} = 9.7$ MHz	25°C		12.0			12.0			12.0		Bits
$f_{IN} = 30.5$ MHz	25°C		12.0			12.0			12.0		Bits
$f_{IN} = 70$ MHz	25°C		11.9			11.9			11.9		Bits
$f_{IN} = 200$ MHz	25°C		11.3			11.3			11.3		Bits
WORST SECOND OR THIRD HARMONIC											
$f_{IN} = 9.7$ MHz	25°C		-95			-95			-93		dBc
$f_{IN} = 30.5$ MHz	25°C		-95			-95			-93		dBc
	Full			-82			-83				dBc
$f_{IN} = 70$ MHz	25°C		-94			-94			-92		dBc
	Full								-82		dBc
$f_{IN} = 200$ MHz	25°C		-80			-80			-80		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)											
$f_{IN} = 9.7$ MHz	25°C		95			95			93		dBc
$f_{IN} = 30.5$ MHz	25°C		94			94			93		dBc
	Full	82			83						dBc
$f_{IN} = 70$ MHz	25°C		93			93			92		dBc
	Full							82			dBc
$f_{IN} = 200$ MHz	25°C		80			80			80		dBc
WORST OTHER (HARMONIC OR SPUR)											
$f_{IN} = 9.7$ MHz	25°C		-100			-100			-100		dBc
$f_{IN} = 30.5$ MHz	25°C		-100			-100			-100		dBc
	Full			-90			-90				dBc
$f_{IN} = 70$ MHz	25°C		-100			-100			-100		dBc
	Full								-90		dBc
$f_{IN} = 200$ MHz	25°C		-95			-95			-95		dBc
TWO-TONE SFDR											
$f_{IN} = 30.5$ MHz (-7 dBFS), 32.5 MHz (-7 dBFS)	25°C		90			90			90		dBc
ANALOG INPUT BANDWIDTH	25°C		700			700			700		MHz

¹ 定義の完全なセットについてはアプリケーション・ノート AN-835 「Understanding High Speed ADC Testing and Evaluation」を参照してください。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

表 3.

Parameter	Temp	AD9649-20/AD9649-40/AD9649-65/AD9649-80			Unit
		Min	Typ	Max	
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance			CMOS/LVDS/LVPECL		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage	Full	0.2		3.6	V p-p
Input Voltage Range	Full	GND - 0.3		AVDD + 0.2	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full	8	10	12	kΩ
Input Capacitance	Full		4		pF
LOGIC INPUTS (SCLK/DFS, MODE, SDIO/PDWN)¹					
High Level Input Voltage	Full	1.2		DRVDD + 0.3	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-50		-75	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		30		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUTS (CSB)²					
High Level Input Voltage	Full	1.2		DRVDD + 0.3	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	40		135	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
DIGITAL OUTPUTS					
DRVDD = 3.3 V					
High Level Output Voltage (I _{OH})					
I _{OH} = 50 μA	Full	3.29			V
I _{OH} = 0.5 mA	Full	3.25			V
Low Level Output Voltage (I _{OL})					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μA	Full			0.05	V
DRVDD = 1.8 V					
High Level Output Voltage (I _{OH})					
I _{OH} = 50 μA	Full	1.79			V
I _{OH} = 0.5 mA	Full	1.75			V
Low Level Output Voltage (I _{OL})					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μA	Full			0.05	V

¹ 30 kΩ 内部プルダウン。

² 30 kΩ 内部プルアップ。

スイッチング仕様

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

表 4.

Parameter	Temp	AD9649-20/AD9649-40			AD9649-65			AD9649-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS											
Input Clock Rate	Full			80/160			260			320	MHz
Conversion Rate ¹	Full	3		20/40	3		65	3		80	MSPS
CLK Period, Divide-by-1 Mode (t_{CLK})	Full	50/25			15.38			12.5			ns
CLK Pulse Width High (t_{CH})			25.0/12.5			7.69			6.25		ns
Aperture Delay (t_A)	Full		1.0			1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1			0.1			0.1		ps rms
DATA OUTPUT PARAMETERS											
Data Propagation Delay (t_{PD})	Full		3			3			3		ns
DCO Propagation Delay (t_{DCO})	Full		3			3			3		ns
DCO to Data Skew (t_{SKEW})	Full		0.1			0.1			0.1		ns
Pipeline Delay (Latency)	Full		8			8			8		Cycles
Wake-Up Time ²	Full		350			350			350		μ s
Standby	Full		600/400			300			260		ns
OUT-OF-RANGE RECOVERY TIME	Full		2			2			2		Cycles

¹ 変換レートは CLK 分周後のクロック・レートです。

² ウェイクアップ時間はデカップリング・コデンサの値に依存します。

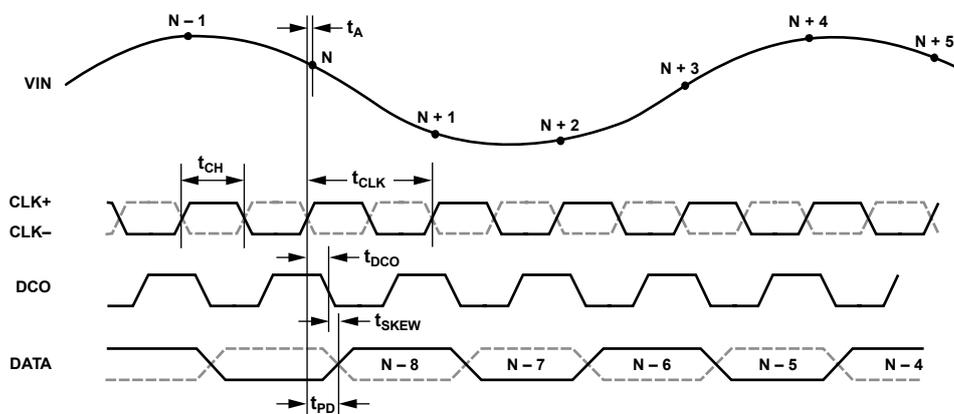


図 2. CMOS 出力データ・タイミング

08639-002

タイミング仕様

表 5.

Parameter	Conditions	Min	Typ	Max	Unit
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	SCLK pulse width high	10			ns
t_{LOW}	SCLK pulse width low	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns

絶対最大定格

表 6.

Parameter	Rating
AVDD to AGND ¹	-0.3 V to +2.0 V
DRVDD to AGND ¹	-0.3 V to +3.9 V
VIN+, VIN- to AGND ¹	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND ¹	-0.3 V to AVDD + 0.2 V
VREF to AGND ¹	-0.3 V to AVDD + 0.2 V
SENSE to AGND ¹	-0.3 V to AVDD + 0.2 V
VCM to AGND ¹	-0.3 V to AVDD + 0.2 V
RBIAS to AGND ¹	-0.3 V to AVDD + 0.2 V
CSB to AGND ¹	-0.3 V to DRVDD + 0.3 V
SCLK/DFS to AGND ¹	-0.3 V to DRVDD + 0.3 V
SDIO/PDWN to AGND ¹	-0.3 V to DRVDD + 0.3 V
MODE/OR to AGND ¹	-0.3 V to DRVDD + 0.3 V
D0 through D13 to AGND ¹	-0.3 V to DRVDD + 0.3 V
DCO to AGND ¹	-0.3 V to DRVDD + 0.3 V
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +150°C

¹ AGND は、ユーザ PCB のアナログ・グラウンドです。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

エクスポーズド・パドルはチップの唯一のグラウンド接続であるため、ユーザ PCB のアナログ・グラウンド・プレーンへハンダ付けする必要があります。エクスポーズド・パドルをユーザ・ボードのグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 7. 熱抵抗

Package Type	Airflow Velocity (m/sec)	θ_{JA}^1	θ_{JC}^1	θ_{JB}^1	$\Psi_{JT}^{1,2}$	Unit
32-Lead	0	37.1	3.1	20.7	0.3	°C/W
LFCSP 5 mm × 5 mm	1.0	32.4			0.5	°C/W
	2.5	29.1			0.8	°C/W

¹ JEDEC 51-7 と JEDEC 51-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

⁴ JEDEC JESD51-8 (自然空冷) に準拠。

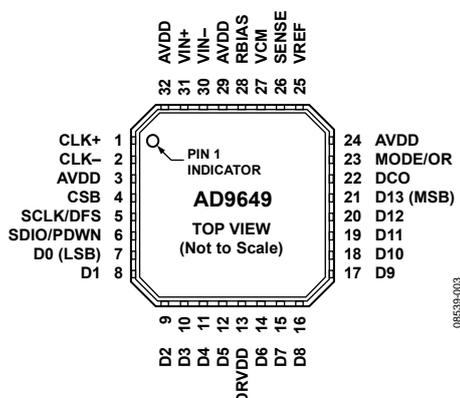
θ_{JA} (typ) は、厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定されています。表 7 に示すように、空気流を与えると熱放散が大きくなるので、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PADDLE MUST BE SOLDERED TO THE ANALOG GROUND PLANE OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND MAXIMIZE THE HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

図 3.ピン配置

表 8.ピン機能の説明

ピン番号	記号	説明
0 (EP)	GND	エクスポーズド・パドル。エクスポーズド・パドルは唯一のグラウンド接続です。ユーザ PCB のアナログ・グラウンドにハンダ接続して、正しい機能を保証し、熱放散、ノイズ耐性、機械的強度を強化する必要があります。
1、2	CLK+、CLK-	PECL、LVDS、1.8 V CMOS 入力に対する差動エンコード・クロック。
3、24、29、32	AVDD	ADC CORE ドメインに対する 1.8 V 電源ピン。
4	CSB	SPI チップ・セレクト。アクティブ・ロー・イネーブル、30 k Ω 内部プルアップ付き。
5	SCLK/DFS	SPI モードでの SPI クロック入力 (SCLK)。30 k Ω 内部プルダウン付き。 非 SPI モードでのデータ・フォーマット選択 (DFS)。データ出力フォーマットのスタティック制御。30 k Ω 内部プルダウン付き。 DFS ハイ・レベル=2 の補数出力; DFS ロー・レベル=オフセット・バイナリ出力。
6	SDIO/PDWN	SPI データ入力/出力 (SDIO)。双方向 SPI データ I/O、30 k Ω 内部プルダウン付き。 非SPI モード・パワーダウン (PDWN)。チップ・パワーダウンのスタティック制御、30 k Ω 内部プルダウン付き。詳細については、表 14 を参照。
7~12、14~21	D0 (LSB)~ D13 (MSB)	ADC デジタル出力。
13	DRVDD	出力ドライバ・ドメインに対する 1.8 V~3.3 V 電源ピン。
22	DCO	データ・クロック・デジタル出力。
23	MODE/OR	SPI モードでのチップ・モード・セレクト入力 (MODE)。 SPI モードまたは非 SPI モードでのアウトオブレンジ・デジタル出力 (OR)。 デフォルト=アウトオブレンジ (OR) デジタル出力 (SPI レジスタ 0x2A、ビット 0=1)。 オプション=チップ・モード・セレクト入力 (SPI レジスタ 0x2A、ビット 0=0)。 チップ・パワーダウン (SPI レジスタ 0x08、ビット [7:5]=100)。 チップ・スタンバイ (SPI レジスタ 0x08、ビット [7:5]=101)。 ノーマル動作、出力をディスエーブル (SPI レジスタ 0x08、ビット [7:5]=110)。 ノーマル動作、出力をイネーブル (SPI レジスタ 0x08、ビット [7:5]=111)。 非 SPI モードでは、このピンはアウトオブレンジ (OR) デジタル出力としてのみ動作。
25	VREF	1.0 V リファレンス電圧の入力/出力。表 10 を参照してください。
26	SENSE	リファレンス・モード選択。表 10 を参照してください。
27	VCM	アナログ出力電圧、AVDD 電源の中心。アナログ入力の同相モードを設定。
28	RBIAS	アナログ電流バイアスを設定。このピンとグラウンドの間に 10 k Ω (1% 偏差) 抵抗を接続します。
30、31	VIN-、VIN+	ADC アナログ入力。

代表的な性能特性

AD9649-80

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

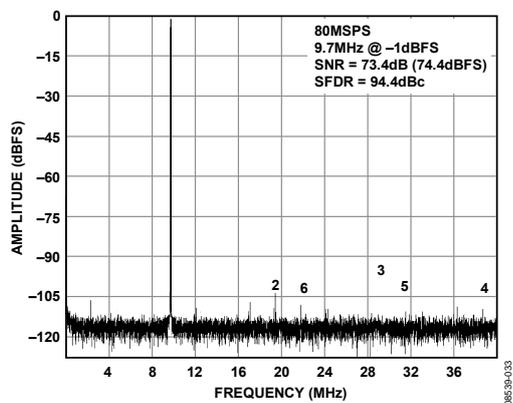


図 4. AD9649-80 シングル・トーン FFT、 $f_{IN} = 9.7$ MHz

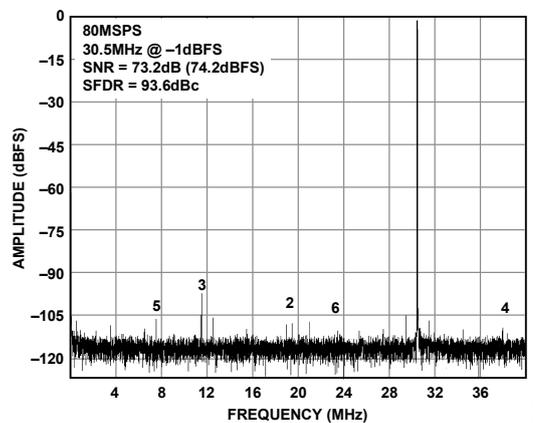


図 7. AD9649-80 シングル・トーン FFT、 $f_{IN} = 30.5$ MHz

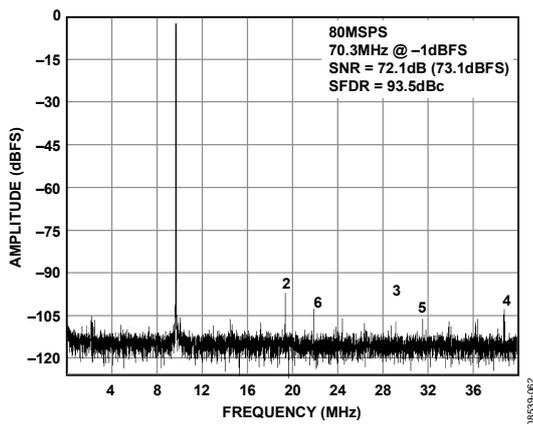


図 5. AD9649-80 シングル・トーン FFT、 $f_{IN} = 70.3$ MHz

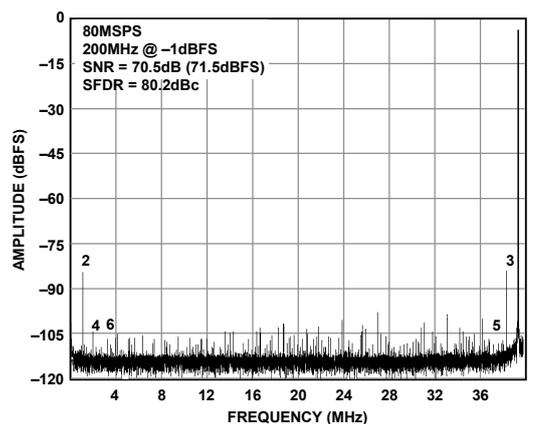


図 8. AD9649-80 シングル・トーン FFT、 $f_{IN} = 200$ MHz

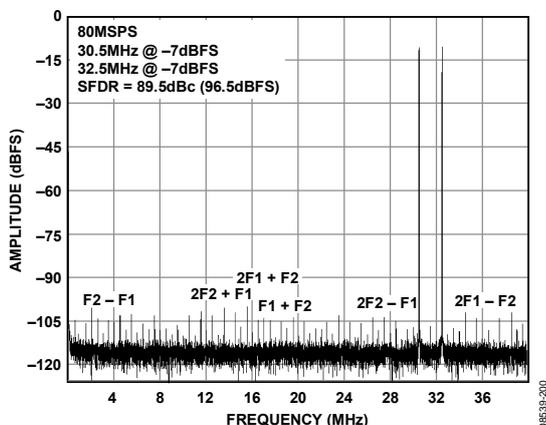


図 6. AD9649-80 2 トーン FFT
 $f_{IN1} = 30.5$ MHz および $f_{IN2} = 32.5$ MHz

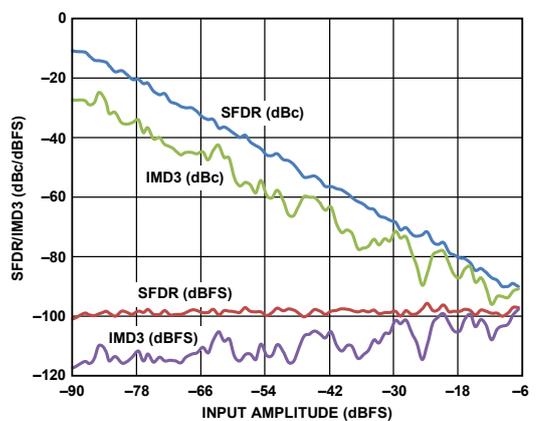


図 9. 入力振幅 (AIN) 対 AD9649-80 2 トーン SFDR/IMD3
 $f_{IN1} = 30.5$ MHz および $f_{IN2} = 32.5$ MHz

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

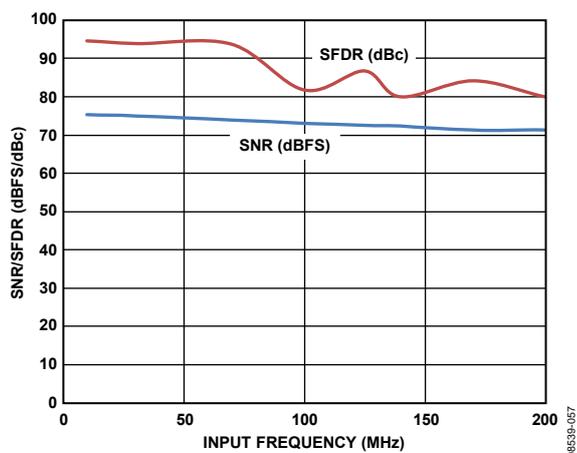


図 10. 入力周波数 (AIN) 対 AD9649-80 SNR/SFDR
2 V p-p フルスケール

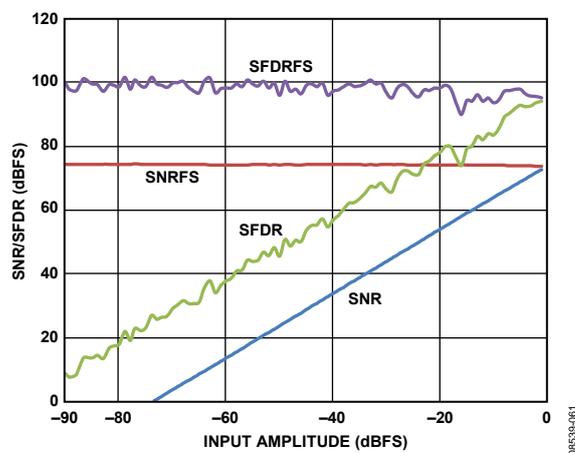


図 13. 入力振幅 (AIN) 対 AD9649-80 SNR/SFDR、 $f_{IN} = 9.7$ MHz

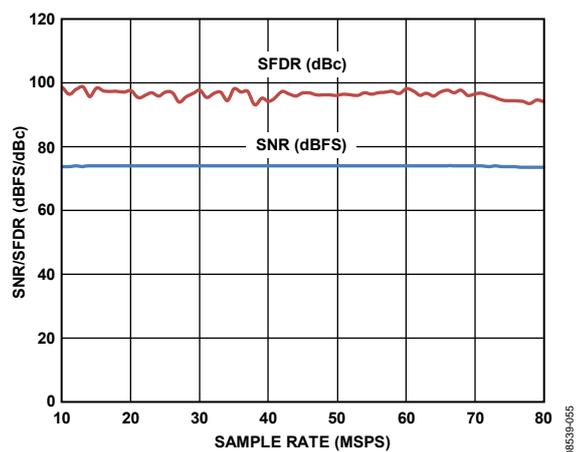


図 11. サンプル・レート対 AD9649-80 SNR/SFDR、AIN = 9.7 MHz

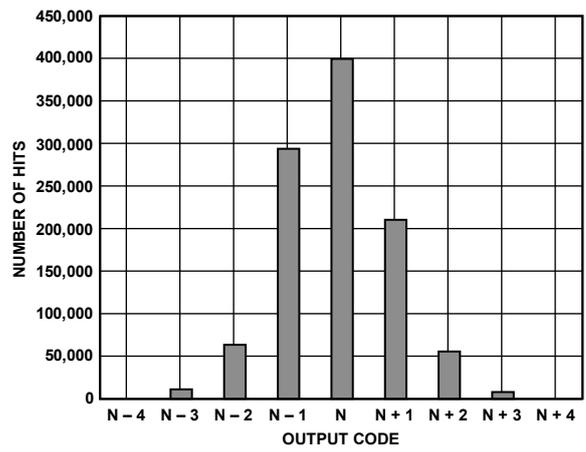


図 14. AD9649-80 グラウンド入力時のヒストグラム

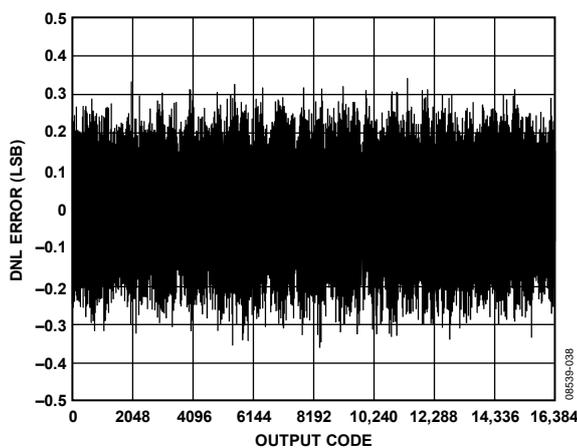


図 12. AD9649-80 DNL 誤差、 $f_{IN} = 9.7$ MHz

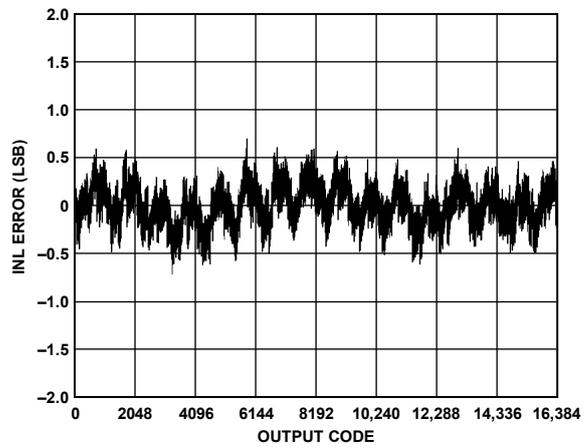


図 15. AD9649-80 INL、 $f_{IN} = 9.7$ MHz

AD9649-65

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

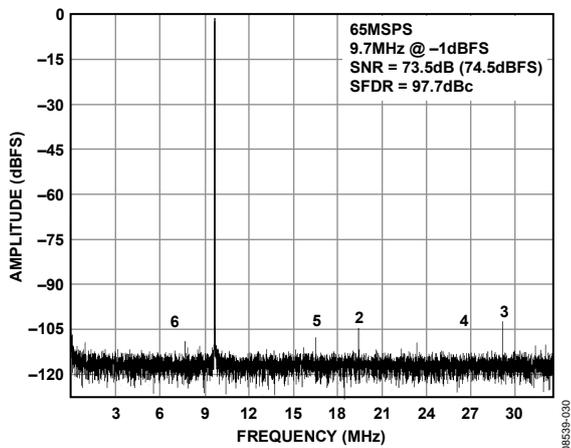


図 16. AD9649-65 シングル・トーン FFT、 $f_{IN} = 9.7$ MHz

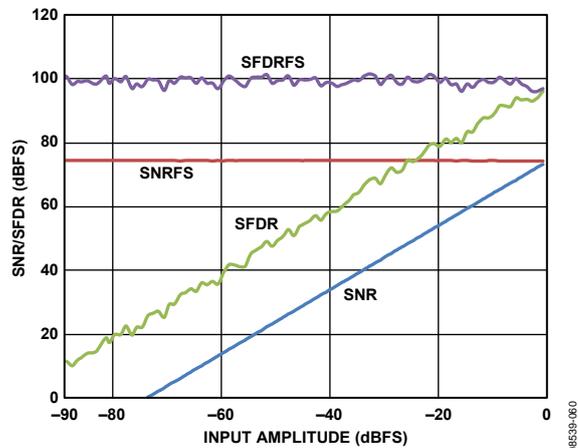


図 19. 入力振幅 (AIN) 対 AD9649-65 SNR/SFDR、 $f_{IN} = 9.7$ MHz

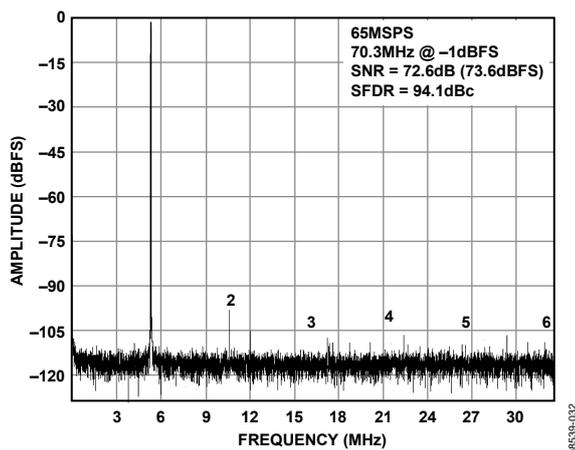


図 17. AD9649-65 シングル・トーン FFT、 $f_{IN} = 70.3$ MHz

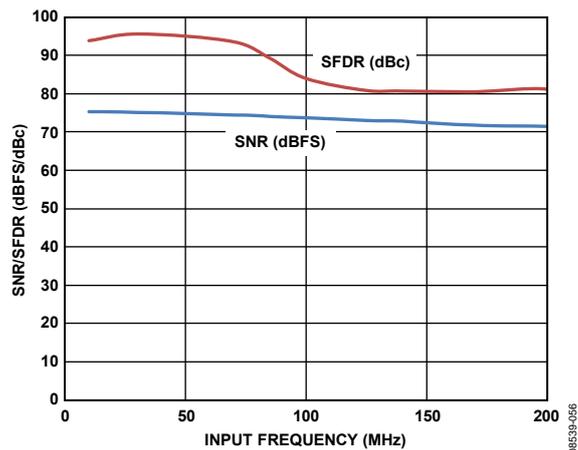


図 20. 入力周波数 (AIN) 対 AD9649-65 SNR/SFDR
2 V p-p フルスケール

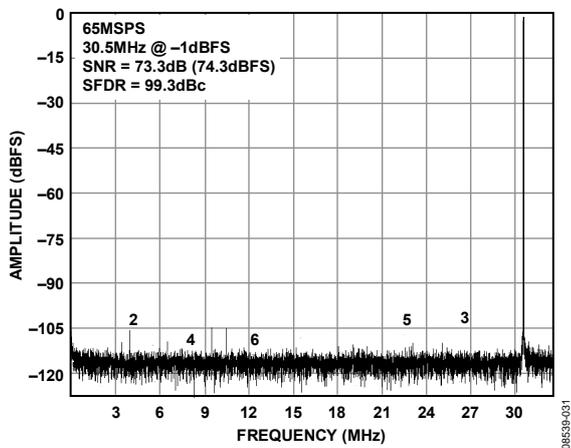


図 18. AD9649-65 シングル・トーン FFT、 $f_{IN} = 30.5$ MHz

AD9649-20

特に指定がない限り、AVDD = 1.8 V; DRVDD = 1.8 V、最大サンプル・レート、2 V p-p 差動入力、1.0 V 内部リファレンス電圧; AIN = -1.0 dBFS、50% デューティ・サイクル・クロック。

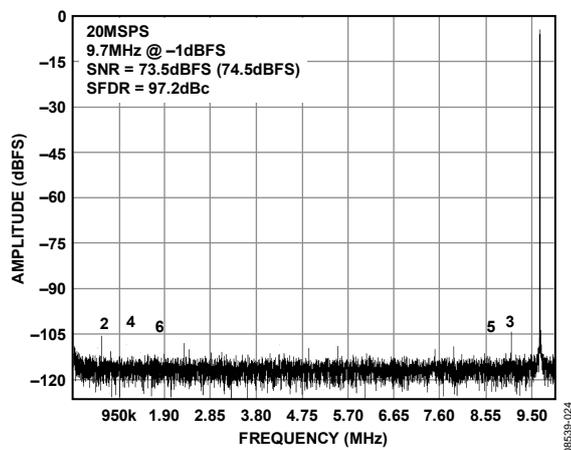


図 24. AD9649-20 シングル・トーン FFT、 $f_{IN} = 9.7$ MHz

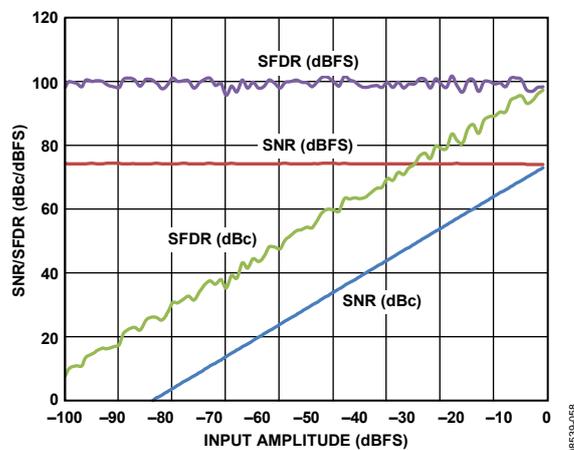


図 26. 入力振幅 (AIN) 対 AD9649-20 SNR/SFDR、 $f_{IN} = 9.7$ MHz

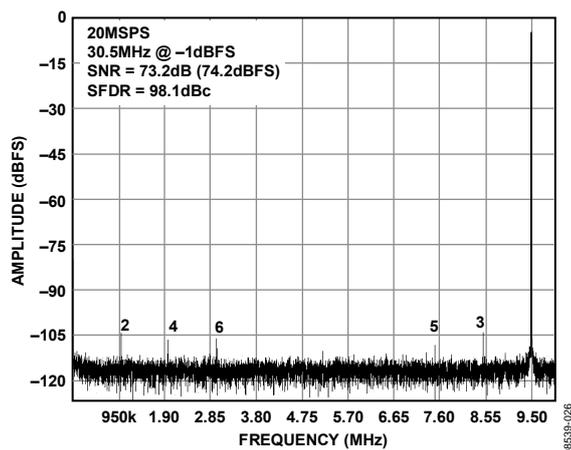


図 25. AD9649-20 シングル・トーン FFT、 $f_{IN} = 30.5$ MHz

等価回路

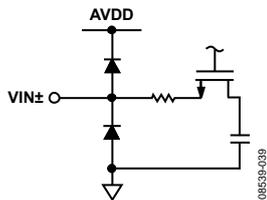


図 27. アナログの等価入力回路

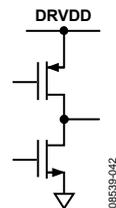


図 31. D0~D13 および OR の等価デジタル出力回路

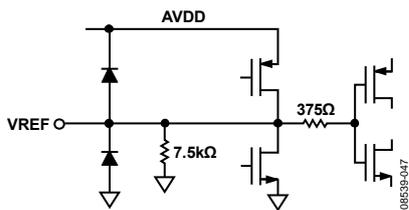


図 28. VREF の等価回路

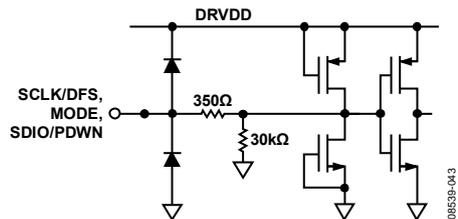


図 32. SCLK/DFS、MODE、SDIO/PDWN の等価入力回路

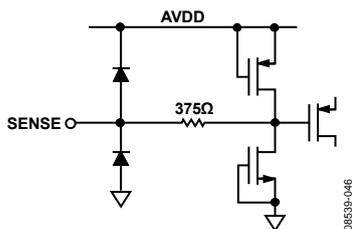


図 29. SENSE の等価回路

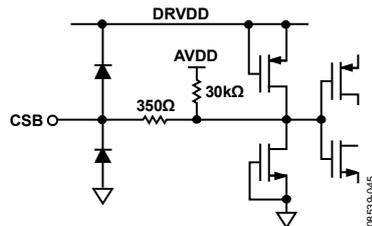


図 33. CSB の等価入力回路

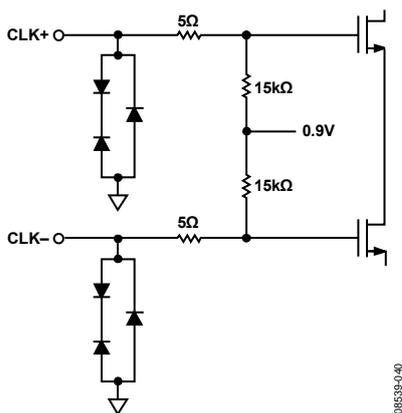


図 30. クロックの等価入力回路

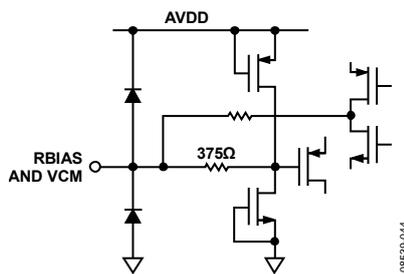


図 34. RBIAS、VCM の等価回路

動作原理

AD9649 アーキテクチャは、マルチステージのパイプライン化 ADC から構成されています。各ステージは、前ステージのフラッシュ誤差を訂正するように十分重なるようになっています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(例えば、乗算 D/A コンバータ(MDAC))により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力との差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC で構成されています。

出力ステージのブロックで、データ・アライメント、誤差補正、CMOS 出力バッファへのデータ出力が行われます。出力バッファは別電源(DRVDD)から供給されるため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に対する考慮

AD9649 のアナログ入力は、差動入力信号処理用にデザインされた差動スイッチド・キャパシタ回路です。この回路は広い同相モード範囲をサポートすることができるため、優れた性能を維持することができます。電源電圧の 1/2 での入力同相モード電圧は、信号依存の誤差を最小化するため、最適性能を実現します。

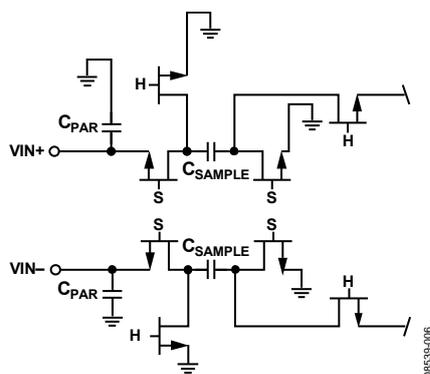


図 35. スイッチド・キャパシタ入力回路

クロック信号により、入力回路はサンプル・モードとホールド・モードの間で交互に切り替えられます(図 35 参照)。入力回路がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電して、クロック・サイクルの 1/2 以内に安定する必要があります。各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージから出力されるピーク過渡電流を減少させることに役立ちます。さらに、低い Q のインダクタまたはフェライト・ビードを各入力に接続して、アナログ入力での大きな差動容量を小さくして、ADC 帯域幅を広げることができます。このような低い Q のインダクタまたはフェライト・ビードの使用は、高い IF 周波数でコンバータ・フロント・エンドを駆動する際に必要となります。シャント・コンデンサまたは 2 個のシングルエンド・コンデンサを各入力に接続して、一致した受動回路を構成

することができます。これにより、入力がローパス・フィルタが構成されて、不要な広帯域幅ノイズが制限されます。詳細については、AN-742 アプリケーション・ノート、AN-827 アプリケーション・ノート、Analog Dialogue 資料「*Transformer-Coupled Front-End for Wideband A/D Converters*」(ボリューム 39、2005 年 4 月)をご覧ください。一般に、正確な値はアプリケーションに依存します。

入力同相モード

AD9649 のアナログ入力は内部で DC バイアスされていません。したがって、AC 結合のアプリケーションでは、ユーザが外付けから DC バイアスを与える必要があります。最適性能のために $V_{CM} = AVDD/2$ となるようにデバイスを設定することが推奨されますが、デバイスはさらに広い範囲で適切な性能で機能しませんが(図 36 と 図 37 参照)。

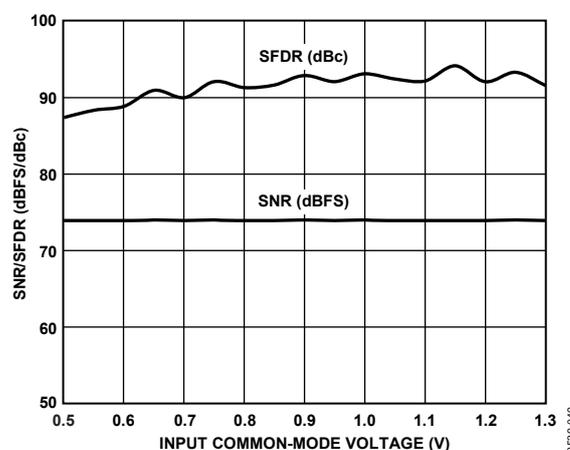


図 36. 入力同相モード電圧対 SNR/SFDR
 $f_{IN} = 32.1 \text{ MHz}$ 、 $f_S = 80 \text{ MSPS}$

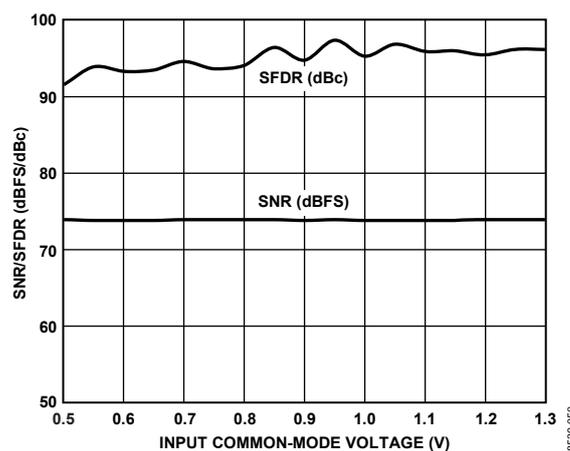


図 37. 入力同相モード電圧対 SNR/SFDR
 $f_{IN} = 10.3 \text{ MHz}$ 、 $f_S = 20 \text{ MSPS}$

同相モード・リファレンス電圧が内蔵されており、VCMピンに出力されています。VCMピンは、0.1 μF のコンデンサによりグラウンドにデカップリングする必要があります(アプリケーション情報参照)。

差動入力構成

最適性能は、AD9649 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-2、ADA4938-2 の各差動ドライバが優れた性能とA/Dコンバータに対する柔軟なインターフェースを提供します。

ADA4938-2 の出力同相モード電圧はAD9649 のVCMピンで容易に設定できるため(図 38 参照)、ドライバをSallen Keyフィルタ回路に組込んで入力信号の帯域制限を行うことができます。

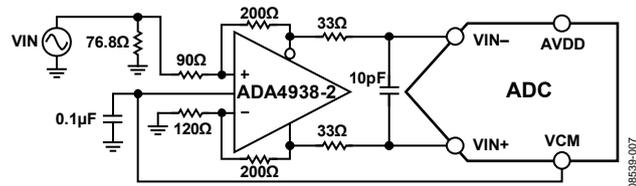


図 38.ADA4938-2 を使用した差動入力構成

SNRが重要なパラメータとなる 10 MHz以下のアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 39 に例を示します。アナログ入力にバイアスを加えるため、VCM電圧をトランス二次巻線のセンタータップに接続することができます。

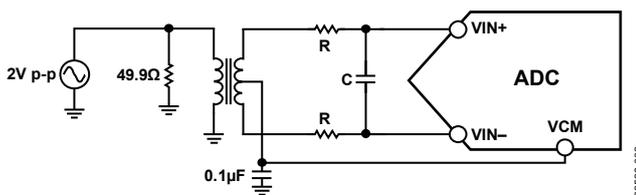


図 39.差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを発生させます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9649 の真のSNR性能を得るためには、大部分のアンプのノイズ性能

は不足しています。SNRが重要なパラメータとなる 10 MHz以下のアプリケーションに対しては、入力構成に差動ダブル・バラン結合を使用することが推奨されます(図 41 参照)。

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、AD8352 差動ドライバを使う方法があります。図 42 に例を示します。詳細については、AD8352 のデータシートを参照してください。

どの構成でも、シャント・コンデンサCの値は入力周波数とソース・インピーダンスに依存するため、小さくするか削除する必要があります。表 9 にRC回路に設定する推奨値を示します。ただし、これらの値は入力信号に依存するため、初期ガイドとしてのみ使用してください。

表 9. RC 回路の例

Frequency Range (MHz)	R Series (Ω Each)	C Differential (pF)
0 to 70	33	22
70 to 200	125	Open

シングルエンド入力構成

価格に厳しいアプリケーションでは、シングルエンド入力でも十分な性能を得ることが可能です。この構成では、入力同相モード振幅が大きいためSFDR性能と歪み性能が低下します。各入力のソース・インピーダンスを一致させると、SNR性能に対する影響を小さくすることができます。図 40 に代表的なシングルエンド入力構成を示します。

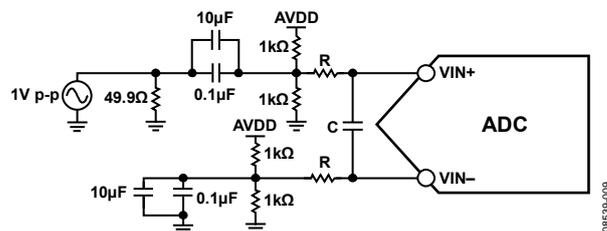


図 40.シングルエンド入力構成

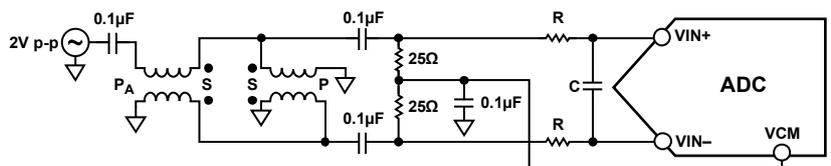


図 41.差動ダブル・バラン入力構成

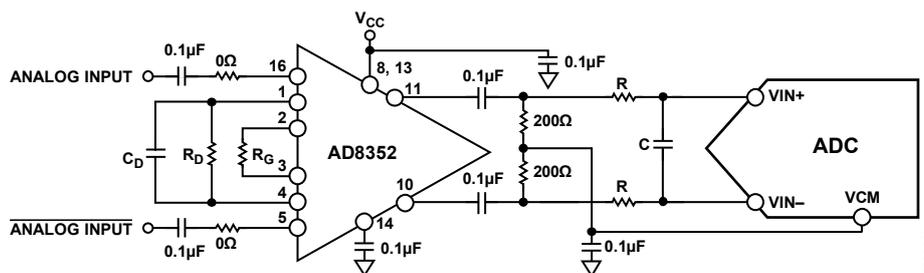


図 42.AD8352 を使用した差動入力構成

リファレンス電圧

AD9649 には、安定かつ正確な 1.0 V 電圧リファレンスが内蔵されています。内蔵 1.0 V リファレンス電圧または外付け 1.0 V リファレンス電圧を使用して VREF を設定することができます。種々のリファレンス・モードの一覧を以下のセクションに示します。リファレンス電圧のデカップリングのセクションでは、リファレンス電圧の PCB レイアウトについて説明します。

内部リファレンス電圧の接続

AD9649 内部のコンパレータが SENSE ピンの電位を検出して、リファレンスを表 10 に示す 2 つの状態のいずれかに設定します。SENSE をグラウンドに接続すると、リファレンス・アンプ・スイッチは内部抵抗分圧器に接続され(図 43)、VREF が 1.0 V に設定されます。

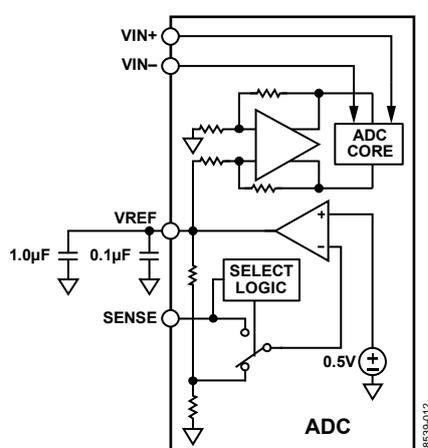


図 43. 内部リファレンス電圧の設定

ゲイン・マッチングを改善するために、AD9649 の内部リファレンス電圧を使って複数のコンパレータを駆動する場合、他のコンパレータによるリファレンス電圧への負荷を考慮する必要があります。図 44 に内部リファレンスが負荷から受ける影響を示します。

外部リファレンス電圧による動作

ADC のゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外部リファレンス電圧の使用が必要となります。図 45 に、1.0 V モードについて、代表的な内部リファレンスのドリフト特性を示します。

表 10. リファレンス構成の一覧

Selected Mode	SENSE Voltage (V)	Resulting VREF (V)	Resulting Differential Span (V p-p)
Fixed Internal Reference	AGND to 0.2	1.0 internal	2.0
Fixed External Reference	AVDD	1.0 applied to external VREF pin	2.0

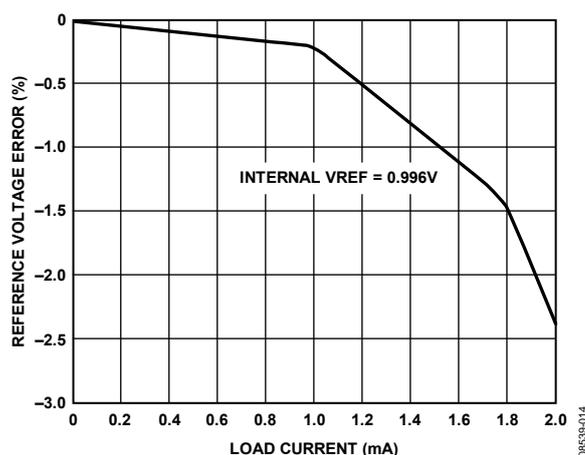


図 44. 負荷電流対 VREF 精度

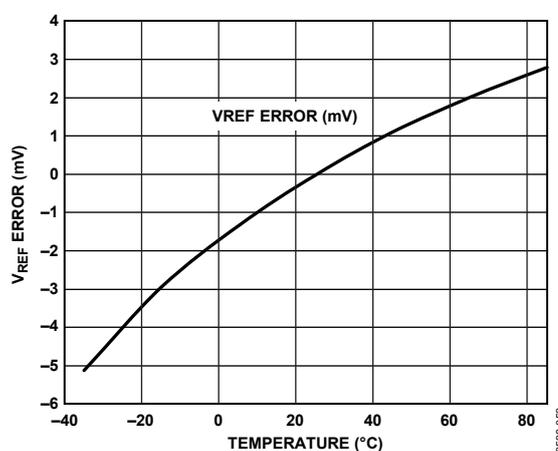


図 45. VREF ドリフト (typ)

SENSE ピンを AVDD に接続すると、内部リファレンス電圧がデイスエーブルされて、外部リファレンス電圧の使用が可能になります。内部リファレンス・バッファに対して、等価 7.5 kΩ を持つ外部リファレンスが負荷になります(図 28 参照)。内部リファレンス・バッファは、ADC コアに対して正側と負側のフルスケール・リファレンスを発生します。したがって、外付けリファレンス電圧は最大 1.0 V に制限する必要があります。

クロック入力の考慮事項

最適性能を得るためには、AD9649 のサンプル・クロック入力 (CLK+とCLK-)を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介してCLK+ピンとCLK-ピンにAC結合されます。これらのピンは内部でバイアスされるため(図 46 参照)、外付けバイアスは不要です。

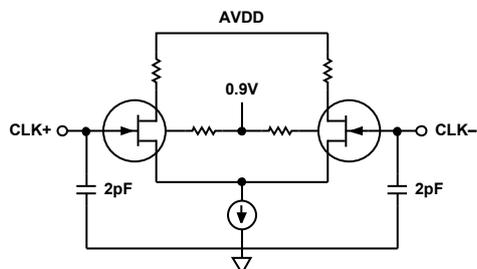


図 46. 等価クロック入力回路

クロック入力オプション

AD9649 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 47 と図 48 に、AD9649 をクロック駆動する 2 つの望ましい方法を示します。CLK 入力は、内蔵クロック分周器を使う場合、定格サンプル・レートの 4 倍までサポートします。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

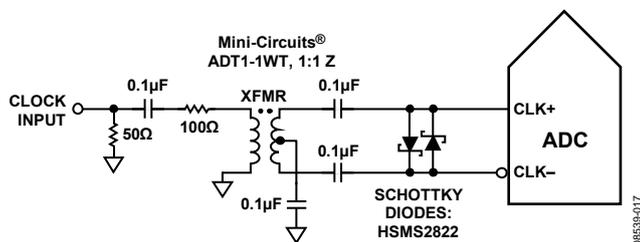


図 47. トランス結合の差動クロック (3 MHz~200 MHz)

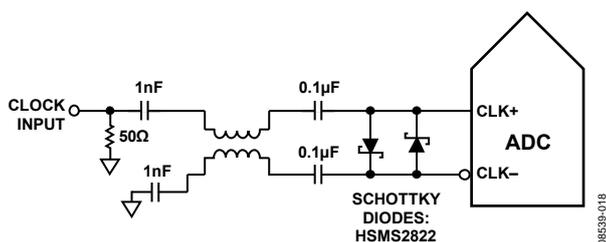


図 48. バラン結合の差動クロック (定格サンプル・レートの 4 倍まで)

RF バラン構成は 80 MHz~320 MHz のクロック周波数に、RF トランスは 3 MHz~200 MHz のクロック周波数に、それぞれ推奨されます。トランス/バランの 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9649 に入力されるクロックを約 0.8 Vp-p 差動に制限します。

この機能は、クロックの大きな電圧振幅が AD9649 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

低ジッタ・クロックが使用できない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 49 参照)。AD9510/ AD9511/ AD9512/ AD9513/ AD9514/ AD9515/ AD9516/ AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

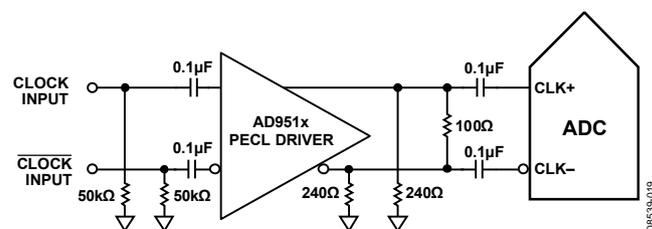


図 49. 差動 PECL サンプル・クロック (定格サンプル・レートの 4 倍まで)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 50 参照)。AD9510/ AD9511/ AD9512/ AD9513/ AD9514/ AD9515/ AD9516/ AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

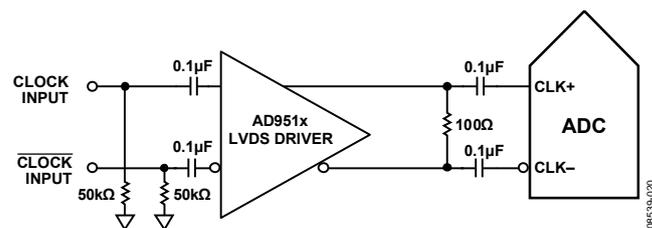


図 50. 差動 LVDS サンプル・クロック (定格サンプル・レートの 4 倍まで)

アプリケーションによっては、サンプル・クロック入力をシングルエンド 1.8 V CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ピンを CMOS ゲートで直接駆動し、CLK-ピンは 0.1 μ F のコンデンサによりグラウンドへバイパスします(図 51 参照)。

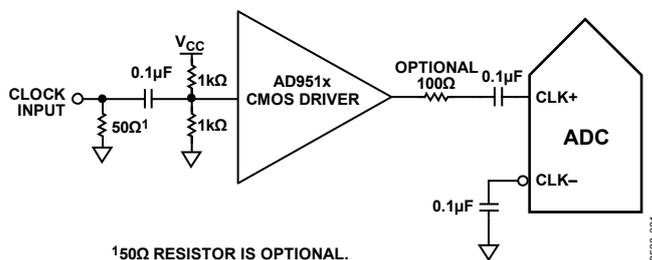


図 51. シングルエンド 1.8 V CMOS 入力クロック (最大 200 MHz)

入力クロック・ドライバ

AD9649 は入力クロック分周器を内蔵し、入力クロックを 1、2、4 分周することができます。

クロック・デューティ・サイクル

代表的な高速ADCでは両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は±5%以内である必要があります(図 52 参照)。

入力クロックの立上がりエッジのジッタもダイナミック性能に影響を与えるため、ジッタについての考慮事項のセクションで説明するように、これを小さくする必要があります。

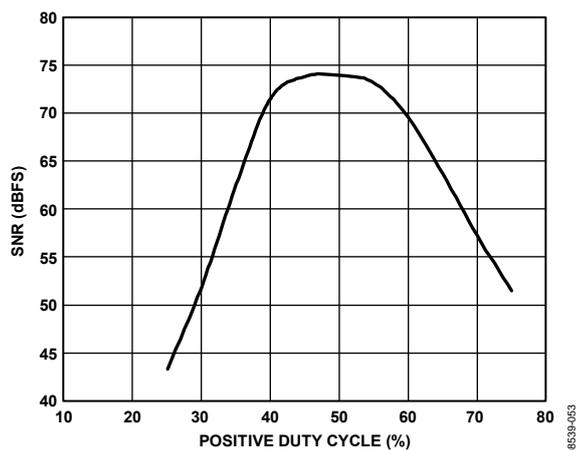


図 52. クロック・デューティ・サイクル対 SNR

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{INPUT})でジッタ($t_{\text{J RMS}}$)により発生する SNR 性能の低周波 SNR (SNR_{LF})からの低下は次式で計算されます。

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{J RMS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}]$$

この式で、rms アパーチャ・ジッタがクロック入力ジッタ仕様を表しています。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 53)。

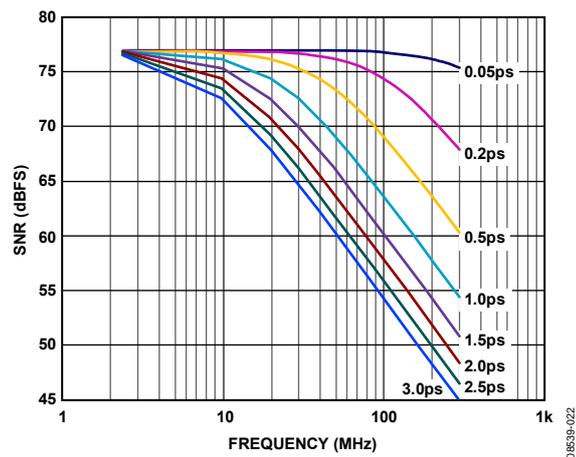


図 53. 入力周波数対 SNR およびジッタ

ジッタが AD9649 のダイナミック・レンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。

低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

詳細については、<http://www.analog.com/jp>から提供している AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノートを参照してください。

消費電力とスタンバイ・モード

図 54 に示すように、AD9649 で消費されるアナログ・コアの電力はサンプル・レートに比例します。CMOS出力のデジタル消費電力は主にデジタル・ドライバの強度と各出力ビットの負荷で決定されます。

最大 DRVDD 電流(I_{DRVDD})は次のように計算されます。

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLK}} \times N$$

ここで、N は出力ビット数であり、AD9649 の場合は 15 になります。

この最大電流は、各クロック・サイクルで各出力ビットがスイッチングする条件に対するもので、この条件はナイキスト周波数 $f_{\text{CLK}}/2$ のフルスケール方形波に対してのみ発生します。実用的には、DRVDD 電流はスイッチングしている出力ビット数の平均値を使って計算します。この値はサンプル・レートとアナログ入力信号の特性によって決定されます。

デジタル消費電力は出力ドライバの容量負荷を小さくすることにより、小さくすることができます。図 54 に示すデータは、代表的な性能特性の場合と同じ動作条件で取得したもので、各出力ドライバの負荷を 5 pF にしています。

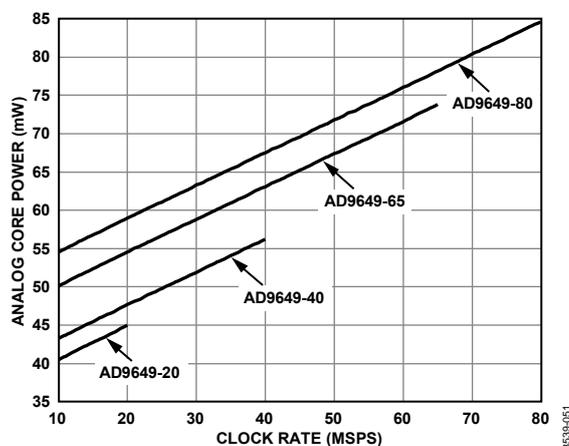


図 54. クロック・レート対アナログ・コア消費電力

SPI モードでは、SPI ポートまたはプログラマブルな外部 MODE ピンを使って、AD9649 を直接パワーダウン・モードにすることができます。非 SPI モードでは、PDWN ピンをハイ・レベルにすると、パワーダウンします。この状態では、ADC の消費電力は 500 μW (typ)になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。PDWN ピン(SPI モードでは MODE ピン)をロー・レベルにすると、AD9649 はノーマル動作モードに戻ります。PDWN はデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできません。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。パワーダウン・モードに入ると、内部コンデンサは放電するため、通常動作に戻

るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPIポート・インターフェースを使うときは、ADCをパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内部リファレンス回路を動作させたままにしておくことができます。詳細については、メモリ・マップのセクションを参照してください。

デジタル出力

AD9649の出力ドライバは、1.8 Vまたは3.3 VのCMOSロジック・ファミリーとインターフェースするように設定することができます。出力データも1本の出力バスにマルチプレクスして、パターン数を減らすことができます。

CMOS出力ドライバは、広範囲なロジック・ファミリーを駆動するために十分な出力電流を供給するようにサイズが決められています。大きな駆動電流は電源に電流グリッチを生じさせる傾向を持つため、コンバータ性能に影響を与えることがあります。

ADCにより大きな容量負荷または大きなファンアウトを駆動することが必要なアプリケーションでは、外付けバッファまたはラッチが必要となる場合があります。

外部ピン・モードで動作する場合、SCLK/DFSピンを設定して、出力データ・フォーマットとしてオフセット・バイナリまたは2の補数を選択することができます(表11参照)。

アプリケーション・ノート AN-877「*Interfacing to High Speed ADCs via SPI*」で説明するように、SPI制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2の補数、またはグレイ・コードを選択することができます。

表 11.SCLK/DFS と SDIO/PDWN モード選択 (外部ピン・モード)

Voltage at Pin	SCLK/DFS	SDIO/PDWN
GND	Offset binary (default)	Normal operation (default)
DRVDD	Twos complement	Outputs disabled

表 12.出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode	OR
VIN+ - VIN-	< -VREF - 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ - VIN-	= -VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ - VIN-	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ - VIN-	= +VREF - 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

デジタル出力イネーブル機能(OEB)

SPIインターフェースを使用する場合、プログラマブルな外部MODEピンを使うことにより、データ出力とDCOを独立にスリー・ステートにすることができます。MODEピンのOEB機能は、レジスタ0x08のビット[6:5]を使ってイネーブルします。

従来型OEBモードで動作するようにMODEピンを設定し、かつMODEピンをロー・レベルにすると、出力データ・ドライバとDCOがイネーブルされます。MODEピンをハイ・レベルにすると、出力データ・ドライバとDCOはハイ・インピーダンス状態になります。このOEB機能は、バスに対する高速アクセスを意図したものではありません。MODEピンはデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできません。

タイミング

AD9649は、8クロック・サイクルのパイプライン遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立上がりエッジから1伝搬遅延(t_{PD})後に出力されます。

出力データラインの長さ、それらに接続された負荷を最小にしてAD9649内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9649の最小変換レートは3 MSPS(typ)です。3 MSPSより低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD9649は、外部レジスタ内のデータをキャプチャするために、データ・クロック出力(DCO)信号を提供します。CMOSデータ出力は、SPIからDCOクロック極性が変更されていない限り、DCOの立上がりエッジで有効です。タイミング説明については、図2を参照してください。

ビルトイン・セルフテスト(BIST)と出力テスト

AD9649 は、各チャンネル正常性の確認とボード・レベルのデバッグを可能にするテスト機能を内蔵しています。BIST (ビルトイン・セルフテスト)機能も内蔵しており、AD9649 のデジタル・データ・パスの正常性を確認します。AD9649 の出力に予測可能な値を出力させるために、様々な出力テスト・オプションも用意されています。

ビルトイン・セルフテスト(BIST)

BIST は AD9649 の選択した信号パスのデジタル部分をテストします。デバイスが既知の状態にあることを確認するため、リセット後に BIST テストを実行してください。BIST テストでは、ADC ブロック出力から開始され、両チャンネルのデジタル・データパスに内部疑似ランダム・ノイズ (PN) ソースからのデータが出力されます。データパス出力では、CRC ロジックがデータからのシグネチャを計算します。BIST シーケンスは 512 サイクル間動作して停止します。BIST シーケンスが完了した後、BIST はシグネチャ結果と規定値を比較します。シグネチャが一致すると、BIST はレジスタ 0x24 のビット 0 を設定して、テストがパスしたことを表示します。BIST テストに失敗した場合は、レジスタ 0x24 のビット 0 がクリアされます。このテストの間出力が切り離されないため、PN シーケンスを動作中に観測することができます。値 0x05 をレジスタ 0x0E に書込むと、BIST が実行されて、レジスタ 0x0E のビット 0 (BIST イネーブル)がイネーブルされ、PN シーケンス・ジェネレータがリセットされます(レジスタ 0x0E のビット 2 (BIST init))。

BIST が完了すると、レジスタ 0x24 のビット 0 が自動的にクリアされます。PN シーケンスは、レジスタ 0x0E のビット 2 に 0 を書込むことにより、最終値から続けることができますが、PN シーケンスがリセットされない場合、テストの終わりにシグネチャ計算が規定値と一致しません。このため、ユーザは出力データの確認に依存するしかありません。

出力テスト・モード

出力テスト・オプションを表 16 のアドレス 0x0D に示します。出力テスト・モードをイネーブルすると、ADC のアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パターンのいくつかは出力フォーマットが行われ、また行われないものもあります。レジスタ 0x0D のビット 4 またはビット 5 をセットすることにより、PN シーケンス・テストの PN ジェネレータをリセットすることができます。アナログ信号なしまたはアナログ信号ありで(ありの場合、アナログ信号は無視されます)、これらのテストを実行することができますが、エンコード・クロックは不要です。詳細については、アプリケーション・ノート AN-877、「*Interfacing to High Speed ADCs via SPI*」を参照してください。

シリアル・ポート・インターフェース(SPI)

AD9649 のSPIを使うと、ADC内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPIは、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これについてはメモリ・マップのセクションに記載してあります。詳細については、アプリケーション・ノートAN-877、「*Interfacing to High Speed ADCs via SPI*」を参照してください。

SPIを使う設定

このADCのSPIは、SCLK (SCLK/DFS)、SDIO (SDIO/PDWN)、CSBピンの3本のピンにより定義されます(表13参照)。SCLK (シリアル・クロック)ピンは、ADCに対する読出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは2つの機能で共用されるピンであり、内部ADCメモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読込みサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表13.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active-low control that gates the read and write cycles.

CSBの立下がりエッジとSCLKの立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図55と表5に示します。

CSBを使用するその他のモードもあります。CSBはロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSBをバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSBをハイ・レベルに固定すると、SPI機能はハイ・インピーダンス・モードになります。このモードではすべてのSPIピンは2つ目の機能になります。

命令フェーズでは、16ビット命令が送信されます。命令フェーズの後にはデータが続き、長さはW0ビットとW1ビットにより指定されます(図55参照)。

すべてのデータは8ビット・ワードで構成されます。マルチバイト・シリアル・データの先頭バイトの先頭ビットは、読出しコマンドまたは書き込みコマンドのいずれが発行されたかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが、シリアル・フレームの該当するポイントで入力から出力へ方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSBファースト・モードまたはLSBファースト・モードで送信することができます。MSBファーストはパワーアップ時のデフォルトであり、SPIポート設定レジスタを使って変更することができます。この機能およびその他の詳細については、アプリケーション・ノートAN-877「*Interfacing to High Speed ADCs via SPI*」を参照してください。

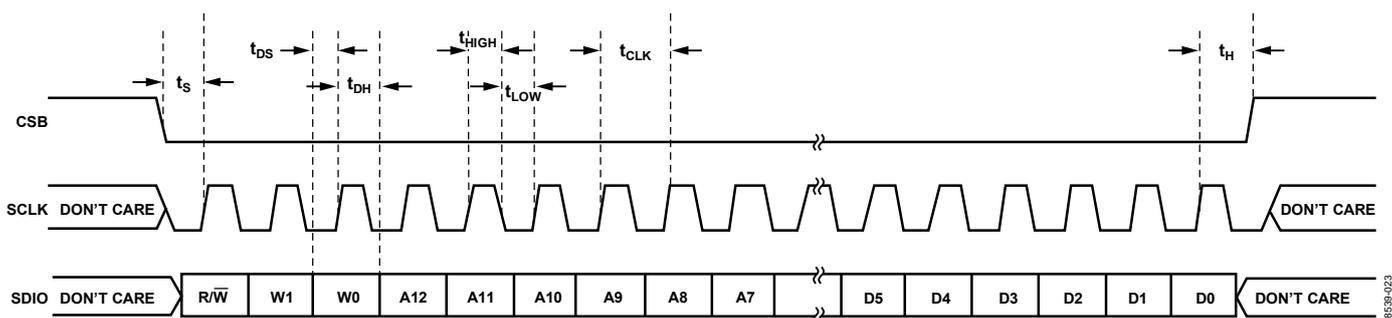


図55.シリアル・ポート・インターフェースのタイミング図

ハードウェア・インターフェース

表 13 に示すピンにより、ユーザ書き込みデバイスとAD9649 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLKピンとCSBピンは、SPIインターフェースを使用するときは入力として機能します。SDIOピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、アプリケーション・ノート AN-812 「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPIポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9649 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPIインターフェースを使用しない場合には、SDIO/PDWNピンとSCLK/DFSピンは他の機能に使用されます。デバイス・パワーオン時にピンを DRVDD またはグラウンドに接続すると、それらのピンは特定の機能として使われます。デジタル出力のセクションに、AD9649 でサポートしているストラップ接続可能な機能を示します。

SPIを使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/PDWN ピンと SCLK/DFS ピンは、独立し

た CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、パワーダウンと出力データ・フォーマット機能制御用のスタティック・コントロール・ラインとしてピンが使用されるものと見なされます。このモードでは、CSB チップ・セレクトを DRVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがデイスエーブルされます。

表 14. モードの選択

Pin	External Voltage	Configuration
SDIO/PDWN	DRVDD	Chip power-down mode
	AGND (default)	Normal operation (default)
SCLK/DFS	DRVDD	Twos complement enabled
	AGND (default)	Offset binary enabled

SPIからアクセス可能な機能

表 15 に、SPIからアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、アプリケーション・ノートAN-877 「*Interfacing to High Speed ADCs via SPI*」で詳しく説明しています。AD9649 デバイスに固有な機能は表 16 に示します。

表 15. SPI を使ってアクセスできる機能

Feature	Description
Modes	Allows the user to set either power-down mode or standby mode
Offset Adjust	Allows the user to digitally adjust the converter offset
Test Mode	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル(表 16) 内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00 ~ アドレス 0x02)、デバイス転送レジスタ(アドレス 0xFF)、プログラム・レジスタ・セットアップ、コントロール、テストを含む(アドレス 0x08 ~ アドレス 0x2A)、デジタル機能コントロール・レジスタ(アドレス 0x101) の 4 つのセクションに分かれています。

表 16 には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x2A の OR/MODE セレクト・レジスタは、16 進のデフォルト値 0x01 を持っています。これは、アドレス 0x2A で、ビット[7:1] = 0、かつビット 0 = 1 であることを意味します。この設定は OR/MODE のデフォルト設定になっています。デフォルト値により、プログラマブルな外部 MODE/OR ピン (ピン 23) はアウトオブレンジ・デジタル出力として機能することになります。この機能およびその他の詳細については、アプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」を参照してください。このドキュメントでは、レジスタ 0x00 ~ レジスタ 0xFF により制御される機能を詳しく説明しています。残りのレジスタ 0x101 については、メモリ・マップ・レジスタの説明の後の 表 16 のセクションを参照してください。

未使用ロケーション

SPI マップに記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。有効アドレス・ロケーションの未使用ビットには 0 を書込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です(例えばアドレス 0x2A)。アドレス・ロケーション全体が未使用の場合、SPI マップから削除されており(例えばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

デフォルト値

AD9649 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 16)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08 ~ アドレス 0x18 はシャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

メモリ・マップ・レジスタ・テーブル

表 16 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 16.

Addr. (Hex)	Register Name	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Def. Value (Hex)	Default Notes/ Comments
Chip configuration registers											
0x00	SPI port configuration	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so that LSB or MSB first mode registers correctly, regardless of shift mode.
0x01	Chip ID	8-bit chip ID, Bits[7:0] AD9649 = 0x6F								Read only	Unique chip ID used to differentiate devices; read only.
0x02	Chip grade	Open	Speed grade ID, Bits[6:4] (identify device variants of chip ID) 20 MSPS = 000 40 MSPS = 001 65 MSPS = 010 80 MSPS = 011			Open				Read only	Unique speed grade ID used to differentiate devices; read only.
Device transfer registers											
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave.
Program registers											
0x08	Modes	External Pin 23 MODE input enable	External Pin 23 function when high 00 = full power-down 01 = standby 10 = normal mode, output disabled 11 = normal mode, output enabled		Open	Open	Open	00 = chip run 01 = full power-down 10 = standby 11 = chip wide digital reset		0x00	Determines various generic modes of chip operation.
0x0B	Clock divide	Open					Clock divider, Bits[2:0] Clock divide ratio 000 = divide-by-1 001 = divide-by-2 011 = divide-by-4			0x00	The divide ratio is the value + 1.
0x0D	Test mode	User test mode 00 = single 01 = alternate 10 = single once 11 = alternate once		Reset PN long gen	Reset PN short gen	Output test mode, Bits[3:0] (local) 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN 23 sequence 0110 = PN 9 sequence 0111 = 1/0 word toggle 1000 = user input 1001 = 1/0 bit toggle 1010 = 1× sync 1011 = one bit high 1100 = mixed bit frequency				0x00	When set, the test data is placed on the output pins in place of normal data.
0x0E	BIST enable	Open	Open	Open	Open	Open	BIST init	Open	BIST enable	0x00	When Bit 0 is set, the built-in self-test function is initiated.
0x10	Offset adjust	8-bit device offset adjustment, Bits[7:0] (local) Offset adjust in LSBs from +127 to -128 (twos complement format)								0x00	Device offset trim.

Addr. (Hex)	Register Name	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Def. Value (Hex)	Default Notes/Comments
0x14	Output mode	00 = 3.3 V CMOS 10 = 1.8 V CMOS		Open	Output disable	Open	Output invert	00 = offset binary 01 = twos complement 10 = gray code 11 = offset binary		0x00	Configures the outputs and the format of the data.
0x15	Output adjust	3.3 V DCO drive strength 00 = 1 stripe (default) 01 = 2 stripes 10 = 3 stripes 11 = 4 stripes		1.8 V DCO drive strength 00 = 1 stripe 01 = 2 stripes 10 = 3 stripes (default) 11 = 4 stripes		3.3 V data drive strength 00 = 1 stripe (default) 01 = 2 stripes 10 = 3 stripes 11 = 4 stripes		1.8 V data drive strength 00 = 1 stripe 01 = 2 stripes 10 = 3 stripes (default) 11 = 4 stripes		0x22	Determines CMOS output drive strength properties.
0x16	Output phase	DCO output polarity 0 = normal 1 = inv	Open	Open	Open	Open	Input clock phase adjust, Bits[2:0] (Value is number of input clock cycles of phase delay) 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles			0x00	On devices that use global clock divide, determines which phase of the divider output is used to supply the output clock; internal latching is unaffected.
0x17	Output delay	Enable DCO delay	Open	Enable data delay	Open		DCO/data delay, Bits[2:0] 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns			0x00	Sets the fine output delay of the output clock but does not change internal timing.
0x19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern 1 LSB.
0x1A	USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User-defined Pattern 1 MSB.
0x1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern 2 LSB.
0x1C	USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User-defined Pattern 2 MSB.
0x24	BIST signature LSB	BIST signature, Bits[7:0]								0x00	Least significant byte of BIST signature, read only.
0x2A	OR/MODE select	Open	Open	Open	Open	Open	Open	Open	0 = MODE 1 = OR (default)	0x01	Selects I/O functionality in conjunction with Address 0x08 for MODE (input) or OR (output) on External Pin 23.
Digital feature-control register											
0x101	USR2	1	Open	Open	Open	Enable GCLK detect	Run GCLK	Open	Disable SDIO pull-down	0x88	Enables internal oscillator for clock rates of <5 MHz.

メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート AN-877「*Interfacing to High Speed ADCs via SPI*」を参照してください。

USR2 (レジスタ 0x101)

ビット 3— GCLK 検出のイネーブル

通常はハイ・レベルに設定します。、ビット 3 は約 5 MSPS 以下のエンコード・レートを検出する回路をイネーブルします。低いエンコード・レートが検出されると、内部発振器 GCLK がイネーブルされて、幾つかの回路の正常動作が保証されます。ロー・レベルに設定すると、検出器がディスエーブルされます。

ビット 2—GCLKの動作

ビット 2 は GCLK 発振器をイネーブルします。エンコード・レートが 10 MSPS より低いアプリケーションによっては、このビットをハイ・レベルに設定して GCLK 検出器を置換えることが望ましい場合があります。

ビット 0— SDIO プルダウンのディスエーブル

ビット 0 をハイ・レベルにして、SDIO ピンの内部 30 k Ω プルダウンをディスエーブルすることができます。これを使用して、多数のデバイスが SPI バスに接続される時、負荷を制限することができます。

アプリケーション情報

デザイン・ガイドライン

1 つのシステムとして、AD9649 のデザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD9649 に接続する際、2 個の別々の電源を使うことが強く推奨されます。1 個はアナログ (AVDD)用の 1.8 V 電源に、他の 1 個はデジタル出力電源 (DRVDD)用の 1.8 V~3.3 V 電源に、それぞれ使用します。共通の 1.8 V の AVDD 電源と DVDD 電源を使用し、フェライト・ビードまたはフィルタ・チョークと個別のデカップリング・コンデンサで AVDD ドメインと DRVDD ドメインを分離する必要があります。幾つかの異なるデカップリング・コンデンサを使って高周波と低周波をデカップリングすることもできます。これらは PCB レベルの入り口の近くで、かつ最短パターンでデバイス・ピンの近くに配置する必要があります。

AD9649 を使うときは、1 枚の PCB グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの賢明な分割により、最適性能を容易に実現することができます。

エクスポーズド・パドル・サーマル・ヒート・シンクの推奨事項

エクスポーズド・パドル(ピン 0)は AD9649 の唯一のグラウンド接続であるため、ユーザ PCB のアナログ・グラウンド(AGND)へハンダ付けする必要があります。最適な電気的および熱的性能を実現するため、PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD9649 のエクスポーズド・パドル(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADCとPCBとの接触面積と接着を最大にするため、シルクスクリーンで覆い、PCBの連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時にADCとPCBの間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADCとPCBとの間の接続点が確実に 1 個だけになります。チップ・スケール・パッケージのパッケージとPCBレイアウトの詳細については、アプリケーション・ノート AN-772 「*A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)*」 (<http://www.analog.com/jp>)を参照してください。

エンコード・クロック

最適ダイナミック性能を得るためには、AD9649 のクロックとして、50% デューティ・サイクル ($\pm 5\%$)の低ジッタ・エンコード・クロック・ソースを使用してください。

VCM

VCMピンは、0.1 μ Fのコンデンサによりグラウンドにデカップリングする必要があります(図 39 参照)。

RBIAS

AD9649 では、RBIAS ピンとグラウンドとの間に 10 k Ω の抵抗を接続する必要があります。この抵抗は ADC コアのマスター電流リファレンスを設定するため、誤差 1%以下ものを使う必要があります。

リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい 1.0 μ F のコンデンサと ESR の小さい 0.1 μ F のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

SPIポート

コンバータのフル・ダイナミック性能が必要な区間では、SPIポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9649 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

外形寸法

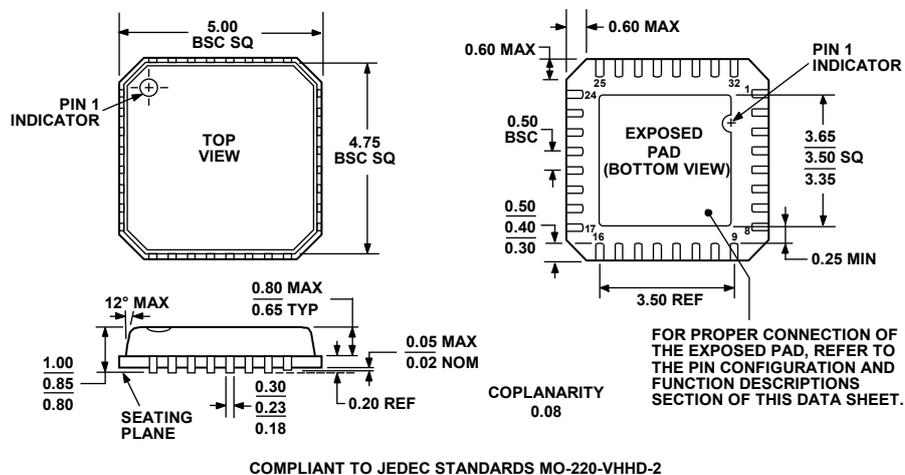


図 56.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド(CP-32-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9649BCPZ-80 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-80 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZ-65 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-65 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZ-40 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-40 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZ-20 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-20 ^{1,2}	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-32-4
AD9649-80EBZ ¹		Evaluation Board	
AD9649-65EBZ ¹		Evaluation Board	
AD9649-40EBZ ¹		Evaluation Board	
AD9649-20EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。

² エクスポーズド・パドル(ピン 0)はチップの唯一の GND 接続であるため、PCB の AGND へ接続する必要があります。