



125 MSPS/105 MSPS、1.8 Vの 14ビット・デュアルA/Dコンバータ

AD9648

特長

- 1.8 Vのアナログ電源動作
- 1.8 VのCMOSまたはLVDS出力
- 70 MHzでSNR = 74.5 dBFS
- 70 MHzでSFDR = 91 dBc
- 低消費電力: 125 MSPSでチャンネルADCコアあたり78 mW
- 650 MHz帯域幅の差動アナログ入力
- IFサンプリング周波数: 200 MHzまで
- リファレンス電圧とサンプル・アンド・ホールド回路を内蔵
- 2 V p-pの差動アナログ入力
- DNL = ±0.35 LSB
- シリアル・ポート制御オプション
 - オフセット・バイナリ、グレイ・コード、または2の補数データ・フォーマット
 - オプションのクロック・デューティ・サイクル・スタビライザ
- 入力クロック分周器(1~8分周)を内蔵
- データ出力マルチプレクス・オプション
- 選択可能なデジタル・テスト・パターン発生機能を内蔵
- 省電力のパワーダウン・モード
- プログラマブルなクロック/データ・アライメント機能を持つデータ・クロック出力

アプリケーション

通信

- ダイバーシティー無線システム
- マルチモード・デジタル・レシーバ
 - GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA

I/Q復調システム

- スマート・アンテナ・システム
- ブロードバンド・データ・アプリケーション

バッテリー駆動の計装機器

- ハンドヘルド・スコープ・メータ

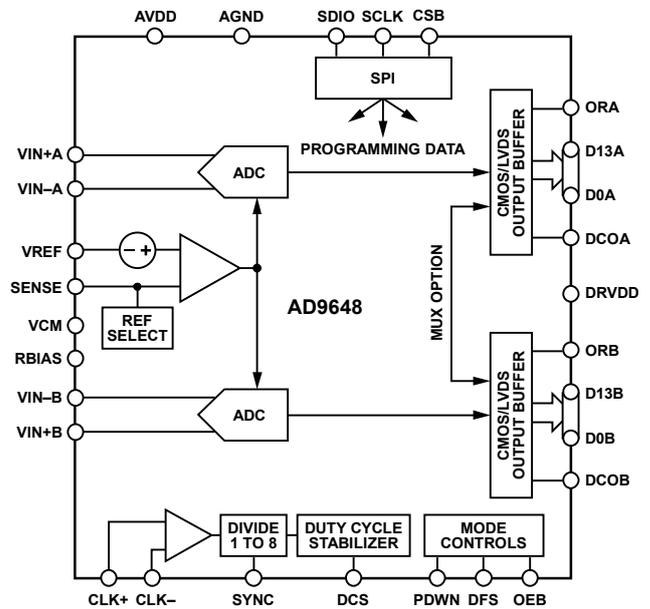
携帯型医用画像

超音波

レーダー/LIDAR

¹このデバイスは、米国特許により保護されています。

機能ブロック図



NOTES
1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY;
SEE FIGURE 7 FOR LVDS PIN NAMES.

09975-001

図 1.

製品のハイライト

- AD9648¹は1.8 Vアナログ単電源で動作し、1.8 VのCMOSまたはLVDSロジック・ファミリーに対応するためのデジタル出力ドライバ電源が分離されています。
- 特許取得済みのサンプル・アンド・ホールド回路は最大200 MHzの入力周波数に対して優れた性能を維持し、低価格、低消費電力、使い安いにデザインされています。
- 標準のシリアル・ポート・インターフェースは、データ出力フォーマット、内部クロック分周器、パワーダウン、DCO/データ・タイミング、オフセット調整などの種々の製品機能をサポートしています。
- AD9648は64ピンRoHS準拠LFCSPパッケージを採用しています。このデバイスは、AD9650/AD9269/AD9268 16ビットADC、AD9258 14ビットADC、AD9628/AD9231 12ビットADC、AD9608/AD9204 10ビットADCとピン互換であるため、20 MSPS~125 MSPSのサンプリングで10ビット・コンバータと16ビット・コンバータとの間でシンプルな移行パスを可能にします。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	クロック入力の考慮事項	28
アプリケーション	1	チャンネル/チップ同期	30
機能ブロック図	1	消費電力とスタンバイ・モード	30
製品のハイライト	1	デジタル出力	31
改訂履歴	2	タイミング	31
概要	3	ビルトイン・セルフテスト(BIST)と出力テスト	32
仕様	4	ビルトイン・セルフテスト(BIST)	32
DC仕様	4	出力テスト・モード	32
AC仕様	5	シリアル・ポート・インターフェース(SPI)	33
デジタル仕様	6	SPIを使う設定	33
スイッチング仕様	8	ハードウェア・インターフェース	34
タイミング仕様	9	SPIを使わない設定	34
絶対最大定格	12	SPIからアクセス可能な機能	34
熱特性	12	メモリ・マップ	35
ESDの注意	12	メモリ・マップ・レジスタ・テーブルの読出し	35
ピン配置およびピン機能説明	13	メモリ・マップ・レジスタ・テーブル	36
代表的な性能特性	19	メモリ・マップ・レジスタの説明	39
AD9648-125	20	アプリケーション情報	41
AD9648-105	22	デザイン・ガイドライン	41
等価回路	24	外形寸法	42
動作原理	25	オーダー・ガイド	42
ADCのアーキテクチャ	25		
アナログ入力に対する考慮	25		
リファレンス電圧	27		

改訂履歴

7/11—Revision 0: Initial Version

概要

AD9648 は、モノリシック、2 チャンネル、1.8 V 電源、105 MSPS/125 MSPS の 14 ビット A/D コンバータ(ADC)です。このデバイスは、高性能サンプル・アンド・ホールド回路とリファレンス電圧を内蔵しています。

また、125 MSPS のデータレートで 14 ビット精度を提供し、全動作温度範囲でノー・ミスコードを保証するための出力誤差補正ロジックを内蔵するパイプライン化マルチステージ差動アーキテクチャを採用しています。

ADC は、柔軟性を高め、システム・コストを下げるためにデザインされた、プログラマブルなクロック、データ・アライメント、プログラマブルなデジタル・テスト・パターンの生成などの複数の機能を持っています。使用可能なデジタル・テスト・パターンとしては、決定論的パターン、疑似ランダム・パターン、シリアル・ポート・インターフェース(SPI)を介して入力するユーザー定義のテスト・パターンなどがあります。

差動クロック入力により、すべての内部変換サイクルが制御されます。オプションのデューティ・サイクル・スタビライザ(DCS)は、クロック・デューティ・サイクルの広い変動を補償すると同時に、優れた ADC 全体性能を維持します。

デジタル・データは、オフセット・バイナリ・フォーマット、グレイ・コード・フォーマットまたは 2 の補数フォーマットで出力されます。受信ロジックとの正しいラッチ・タイミングを保証するため、各 ADC チャンネルに対してデータ出力クロック(DCO)を出力しています。1.8 V の CMOS または LVDS の出力ロジック・レベルをサポートしています。また、出力データを 1 本の出力バスへマルチプレクスすることもできます。

AD9648 は 64 ピン RoHS 準拠 LFCSP パッケージを採用し、工業用温度範囲(-40°C~+85°C)で仕様が規定されています。このデバイスは、米国特許により保護されています。

仕様

DC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 1.

Parameter	Temp	AD9648-105			AD9648-125			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY		Guaranteed			Guaranteed			
No Missing Codes	Full	Guaranteed			Guaranteed			
Offset Error	Full	-0.8	-0.3	+0.2	-0.8	-0.3	+0.2	% FSR
Gain Error	Full	-4.20	±1.3	+4.2	-5.1	±1.3	+5.1	% FSR
Differential Nonlinearity (DNL) ¹	Full	-0.5		+1.2	-0.5		+1.2	LSB
	25°C		±0.5			±0.5		LSB
Integral Nonlinearity (INL) ¹	Full	-2.3		+2.3	-2.3		+2.3	LSB
	25°C		±1.0			±1.0		LSB
MATCHING CHARACTERISTIC								
Offset Error	Full		±0.01	±0.58		±0.01	±0.58	% FSR
Gain Error	Full		±0.5	±4.0		±0.5	±4.0	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±2			±2		ppm/°C
Gain Error	Full		±50			±50		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage (1 V Mode)	Full	0.98	1.00	1.02	0.98	1.00	1.02	V
Load Regulation Error at 1.0 mA	Full		2			2		mV
INPUT REFERRED NOISE								
VREF = 1.0 V	25°C		0.98			0.98		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ²	Full		5			5		pF
Input Resistance (Differential)	Full		7.5			7.5		kΩ
Input Common-Mode Voltage	Full		0.9			0.9		V
Input Common-Mode Range	Full	0.5		1.3	0.5		1.3	V
POWER SUPPLIES								
Supply Voltage								
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ¹	Full		81	86		95	100	mA
I _{DRVDD} (1.8 V CMOS) ¹	Full		19.2			22.5		mA
I _{DRVDD} (1.8 V LVDS) ¹	Full		63.5			65.0		mA

Parameter	Temp	AD9648-105			AD9648-125			Unit
		Min	Typ	Max	Min	Typ	Max	
POWER CONSUMPTION								
DC Input	Full		135.4			155.5		mW
Sine Wave Input (DRVDD = 1.8 V CMOS Output Mode)	Full		172.3	181.3		202.5	211.5	mW
Sine Wave Input (DRVDD = 1.8 V LVDS Output Mode)	Full		180.4	189.4		211.5	220.5	mW
Standby Power ³	Full		108			120		mW
Power-Down Power	Full		2.0			2.0		mW

¹ 低入力周波数、フルスケール正弦波、各出力ビットに約 5 pF の負荷を接続して測定。

² 入力容量は、1 本の差動入力ピンと AGND との間の実効容量です。

³ スタンバイ電力は、DC 入力と CLK± ピンをアクティブにして測定(1.8 V CMOS モード)。

AC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 2.

Parameter ¹	Temp	AD9648-105			AD9648-125			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)								
$f_{IN} = 9.7$ MHz	25°C		75.4			75.0		dBFS
$f_{IN} = 30.5$ MHz	25°C		75.2			74.7		dBFS
$f_{IN} = 70$ MHz	25°C		74.8			74.5		dBFS
	Full	73.8			73.0			dBFS
$f_{IN} = 100$ MHz	25°C		73.8			73.9		dBFS
$f_{IN} = 200$ MHz	25°C		71.0			71.5		dBFS
SIGNAL-TO-NOISE AND DISTORTION (SINAD)								
$f_{IN} = 9.7$ MHz	25°C		74.3			73.9		dBFS
$f_{IN} = 30.5$ MHz	25°C		74.0			73.4		dBFS
$f_{IN} = 70$ MHz	25°C		73.4			73.3		dBFS
	Full	73.0			72.8			dBFS
$f_{IN} = 100$ MHz	25°C		72.8			72.8		dBFS
$f_{IN} = 200$ MHz	25°C		69.6			70.3		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 9.7$ MHz	25°C		12.0			11.9		Bits
$f_{IN} = 30.5$ MHz	25°C		12.0			11.9		Bits
$f_{IN} = 70$ MHz	25°C		11.8			11.8		Bits
$f_{IN} = 100$ MHz	25°C		11.8			11.8		Bits
$f_{IN} = 200$ MHz	25°C		11.3			11.4		Bits
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 9.7$ MHz	25°C		-98			-96		dBc
$f_{IN} = 30.5$ MHz	25°C		-90			-90		dBc
$f_{IN} = 70$ MHz	25°C		-93			-91		dBc
	Full			-86			-82	dBc
$f_{IN} = 100$ MHz	25°C		-92			-90		dBc
$f_{IN} = 200$ MHz	25°C		-81			-84		dBc

Parameter ¹	Temp	AD9648-105			AD9648-125			Unit
		Min	Typ	Max	Min	Typ	Max	
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 9.7$ MHz	25°C		98			96		dBc
$f_{IN} = 30.5$ MHz	25°C		90			90		dBc
$f_{IN} = 70$ MHz	25°C		93			91		dBc
	Full	86			82			dBc
$f_{IN} = 100$ MHz	25°C		92			90		dBc
$f_{IN} = 200$ MHz	25°C		81			84		dBc
WORST OTHER (HARMONIC OR SPUR)								
$f_{IN} = 9.7$ MHz	25°C		-98			-97		dBc
$f_{IN} = 30.5$ MHz	25°C		-96			-97		dBc
$f_{IN} = 70$ MHz	25°C		-96			-97		dBc
	Full			-91			-90	dBc
$f_{IN} = 100$ MHz	25°C		-92			-92		dBc
$f_{IN} = 200$ MHz	25°C		-90			-90		dBc
TWO-TONE SFDR								
$f_{IN} = 29$ MHz (-7 dBFS), 32 MHz (-7 dBFS)	25°C		84			84		dBc
CROSSTALK ²	Full		-95			-95		dB
ANALOG INPUT BANDWIDTH	25°C		650			650		MHz

¹ 完全な定義についてはアプリケーション・ノート [AN-835](#) 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

² クロストークは、片方のチャンネルに -1.0 dBFS を入力し、他方のチャンネルは入力なしで、100 MHz で測定。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 3.

Parameter	Temp	AD9628-105/125			Unit
		Min	Typ	Max	
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance			CMOS/LVDS/LVPECL		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND - 0.3		AVDD + 0.2	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
LOGIC INPUT (CSB) ¹					
High Level Input Voltage	Full	1.22		DRVDD + 0.2	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	40		132	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF

Parameter	Temp	AD9628-105/125			Unit
		Min	Typ	Max	
LOGIC INPUT (SCLK/DFS/SYNC)²					
High Level Input Voltage	Full	1.22		DRVDD + 0.2	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 1.8 V)	Full	-92		-135	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT/OUTPUT (SDIO/DCS)¹					
High Level Input Voltage	Full	1.22		DRVDD + 0.2	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	38		128	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
LOGIC INPUTS (OEB, PDWN)²					
High Level Input Voltage	Full	1.22		DRVDD + 0.2	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 1.8 V)	Full	-90		-134	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS					
CMOS Mode—DRVDD = 1.8 V					
High Level Output Voltage					
I _{OH} = 50 μA	Full	1.79			V
I _{OH} = 0.5 mA	Full	1.75			V
Low Level Output Voltage					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μA	Full			0.05	V
LVDS Mode—DRVDD = 1.8 V					
Differential Output Voltage (V _{OD}), ANSI Mode	Full	290	345	400	mV
Output Offset Voltage (V _{OS}), ANSI Mode	Full	1.15	1.25	1.35	V
Differential Output Voltage (V _{OD}), Reduced Swing Mode	Full	160	200	230	mV
Output Offset Voltage (V _{OS}), Reduced Swing Mode	Full	1.15	1.25	1.35	V

¹ プルアップ。² プルダウン。

スイッチング仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 4.

Parameter	Temp	AD9648-105			AD9648-125			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			1000			1000	MHz
Conversion Rate ¹								
DCS Enabled	Full	20		105	20		125	MSPS
DCS Disabled	Full	10		105	10		125	MSPS
CLK Period—Divide-by-1 Mode (t _{CLK})	Full		9.52			8		ns
CLK Pulse Width High (t _{CH})	Full		4.76			4		ns
Aperture Delay (t _A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t _J)	Full		0.07			0.07		ps rms
DATA OUTPUT PARAMETERS								
CMOS Mode (DRVDD = 1.8 V)								
Data Propagation Delay (t _{PD})	Full	1.8	2.9	4.4	1.8	2.9	4.4	ns
DCO Propagation Delay (t _{DCO}) ²	Full	2.0	3.1	4.4	2.0	3.1	4.4	ns
DCO to Data Skew (t _{SKEW})	Full	-1.2	-0.1	+1.0	-1.2	-0.1	+1.0	ns
LVDS Mode (DRVDD = 1.8 V)								
Data Propagation Delay (t _{PD})	Full		2.4			2.4		ns
DCO Propagation Delay (t _{DCO}) ²	Full		2.4			2.4		ns
DCO to Data Skew (t _{SKEW})	Full	-0.20	+0.03	+0.25	-0.20	+0.03	+0.25	ns
CMOS Mode Pipeline Delay (Latency)	Full		16			16		Cycles
LVDS Mode Pipeline Delay (Latency) Channel A/Channel B	Full		16/16.5			16/16.5		Cycles
Wake-Up Time (Power Down) ³	Full		350			350		μs
Wake-Up Time (Standby)	Full		250			250		ns
Out-of-Range Recovery Time	Full		2			2		Cycles

¹ 変換レートは分周後のクロック・レートです。

² SPI レジスタ 0x17 のビット[2:0]に書込むことにより DCO 遅延を追加することができます (表 18 参照)。

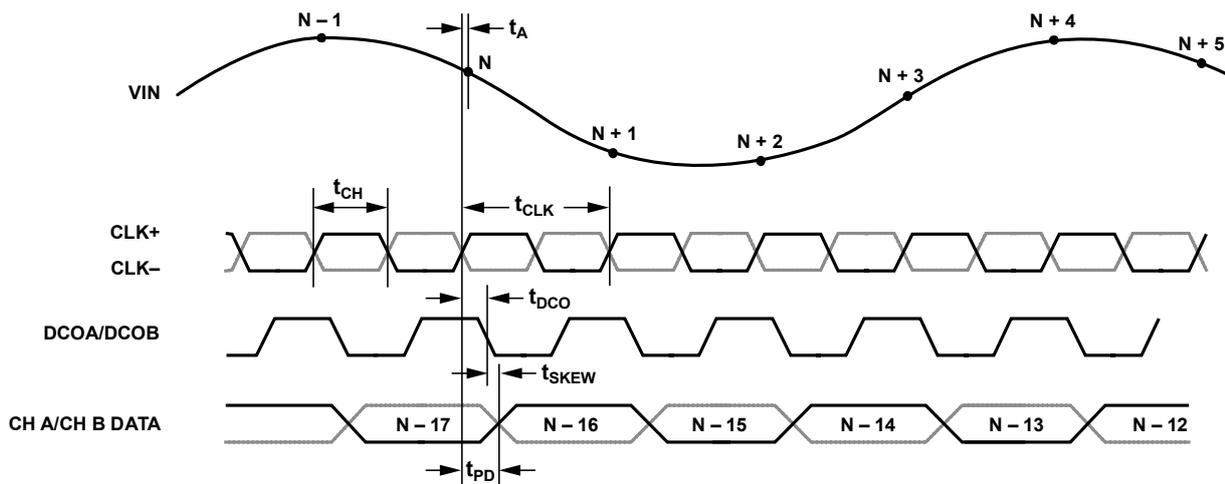
³ ウェイクアップ時間は、パワーダウン・モードから通常動作へ戻るために要する時間として定義されます。

タイミング仕様

表 5.

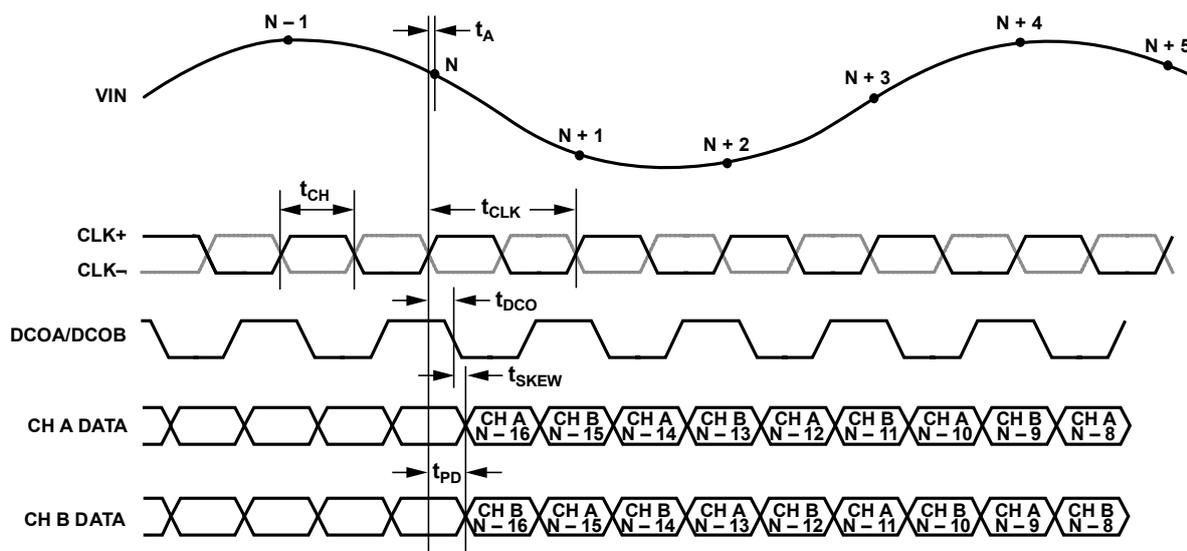
Parameter	Description	Limit	Unit
SYNC TIMING REQUIREMENTS			
t_{SSYNC}	SYNC to rising edge of CLK+ setup time	0.24	ns typ
t_{HSYNC}	SYNC to rising edge of CLK+ hold time	0.40	ns typ
SPI TIMING REQUIREMENTS			
t_{DS}	Setup time between the data and the rising edge of SCLK	2	ns min
t_{DH}	Hold time between the data and the rising edge of SCLK	2	ns min
t_{CLK}	Period of the SCLK	40	ns min
t_S	Setup time between CSB and SCLK	2	ns min
t_H	Hold time between CSB and SCLK	2	ns min
t_{HIGH}	SCLK pulse width high	10	ns min
t_{LOW}	SCLK pulse width low	10	ns min
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10	ns min
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10	ns min

タイミング図



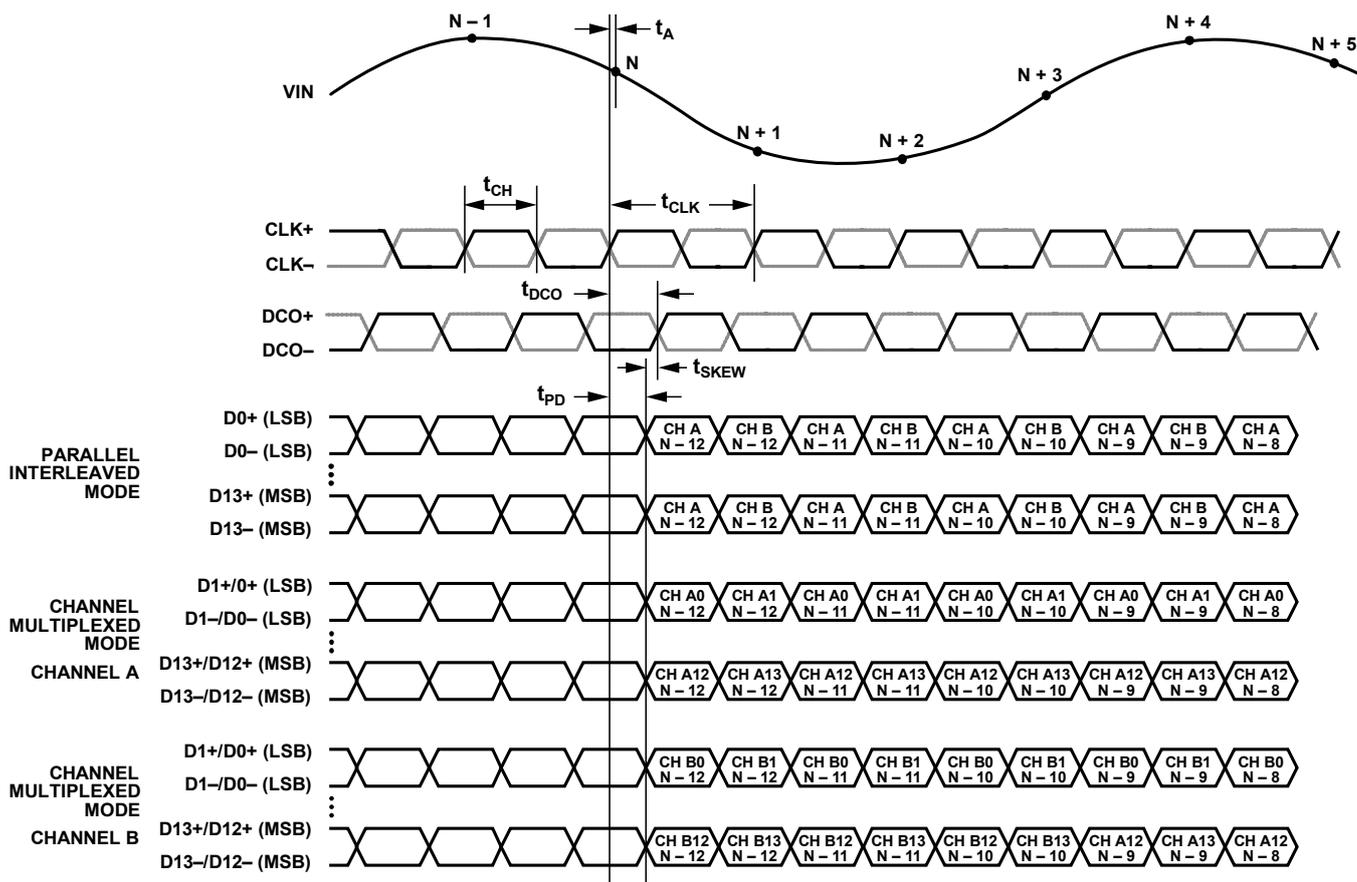
09875-002

図 2. CMOS デフォルト出力モードでのデータ出力タイミング



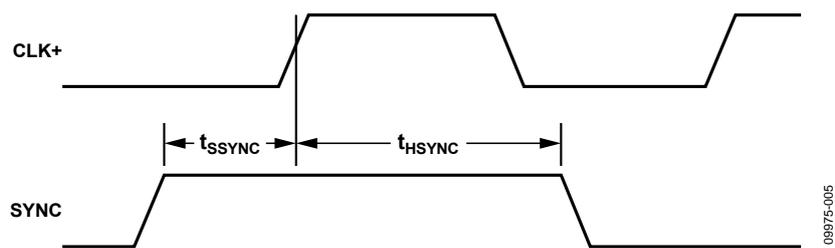
09875-003

図 3. CMOS インターリーブ出力モードでのデータ出力タイミング



09875-004

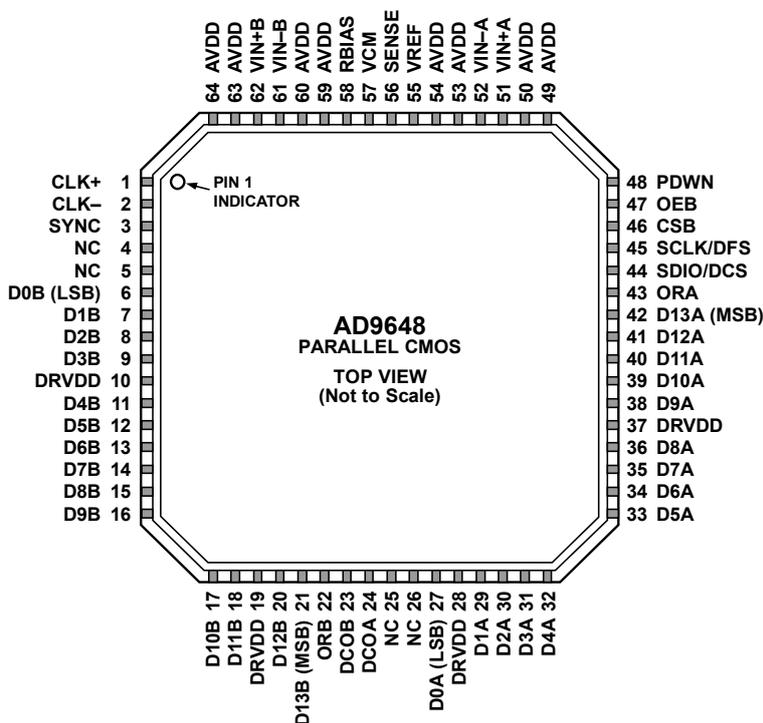
図 4. LVDS モードでのデータ出力タイミング



09375-005

図 5.SYNC の入カタイミング条件

ピン配置およびピン機能説明



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

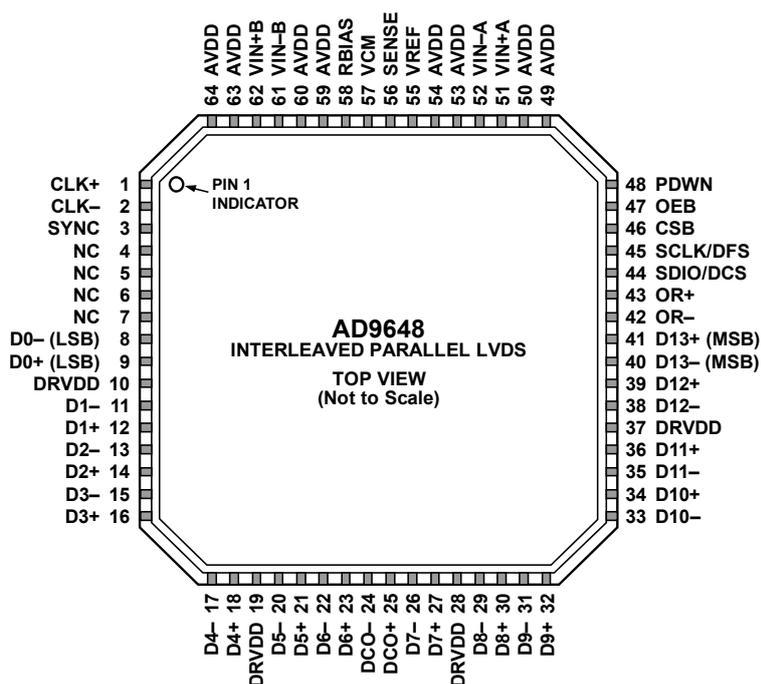
09975-006

図 6. パラレル CMOS ピン構成(上面図)

表 8. ピン機能の説明(パラレル CMOS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
10、19、28、37	DRVDD	電源	デジタル出力ドライバ電源(公称 1.8 V)
49、50、53、54、59、60、63、64	AVDD	電源	アナログ電源(公称 1.8 V)。
4、5、25、26	NC		未接続。これらのピンは接続しないでください。
0	AGND、Exposed Pad	グラウンド	パッケージ底面のエクスポーズド・サーマル・パッドは、デバイスのアナログ・グラウンドになります。このエクスポーズド・パッドはグラウンドへ接続する必要があります。
ADC アナログ			
51	VIN+A	入力	差動アナログ入力ピン(+), チャンネル A。
52	VIN-A	入力	差動アナログ入力ピン(-), チャンネル A。
62	VIN+B	入力	差動アナログ入力ピン(+), チャンネル B。
61	VIN-B	入力	差動アナログ入力ピン(-), チャンネル B。
55	VREF	入力/出力	リファレンス電圧入力/出力。
56	SENSE	入力	リファレンス電圧モード選択
58	RBIAS	入力/出力	外部リファレンス電圧バイアス抵抗。
57	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
1	CLK+	入力	ADC クロック入力—真。
2	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
3	SYNC	入力	デジタル同期ピン。スレーブ・モードの場合。

ピン番号	記号	タイプ	説明
デジタル出力			
27	D0A (LSB)	出力	チャンネル A CMOS 出力データ。
29	D1A	出力	チャンネル A CMOS 出力データ。
30	D2A	出力	チャンネル A CMOS 出力データ。
31	D3A	出力	チャンネル A CMOS 出力データ。
32	D4A	出力	チャンネル A CMOS 出力データ。
33	D5A	出力	チャンネル A CMOS 出力データ。
34	D6A	出力	チャンネル A CMOS 出力データ。
35	D7A	出力	チャンネル A CMOS 出力データ。
36	D8A	出力	チャンネル A CMOS 出力データ。
38	D9A	出力	チャンネル A CMOS 出力データ。
39	D10A	出力	チャンネル A CMOS 出力データ。
40	D11A	出力	チャンネル A CMOS 出力データ。
41	D12A	出力	チャンネル A CMOS 出力データ。
42	D13A (MSB)	出力	チャンネル A CMOS 出力データ。
43	ORA	出力	チャンネル A 範囲外出力。
6	D0B (LSB)	出力	チャンネル B CMOS 出力データ。
7	D1B	出力	チャンネル B CMOS 出力データ。
8	D2B	出力	チャンネル B CMOS 出力データ。
9	D3B	出力	チャンネル B CMOS 出力データ。
11	D4B	出力	チャンネル B CMOS 出力データ。
12	D5B	出力	チャンネル B CMOS 出力データ。
13	D6B	出力	チャンネル B CMOS 出力データ。
14	D7B	出力	チャンネル B CMOS 出力データ。
15	D8B	出力	チャンネル B CMOS 出力データ。
16	D9B	出力	チャンネル B CMOS 出力データ。
17	D10B	出力	チャンネル B CMOS 出力データ。
18	D11B	出力	チャンネル B CMOS 出力データ。
20	D12B	出力	チャンネル B CMOS 出力データ。
21	D13B (MSB)	出力	チャンネル B CMOS 出力データ。
22	ORB	出力	チャンネル B 範囲外出力。
24	DCOA	出力	チャンネル A データ・クロック出力。
23	DCOB	出力	チャンネル B データ・クロック出力。
SPI 制御			
45	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
44	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
46	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
ADC 構成			
47	OEB	入力	出力イネーブル入力(アクティブ・ロー)。ピンは SPI 経由でイネーブルする必要があります。
48	PDWN	入力	外部ピン・モードでのパワーダウン入力。SPI モードでは、この入力をパワーダウンまたはスタンバイに設定することができます。



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

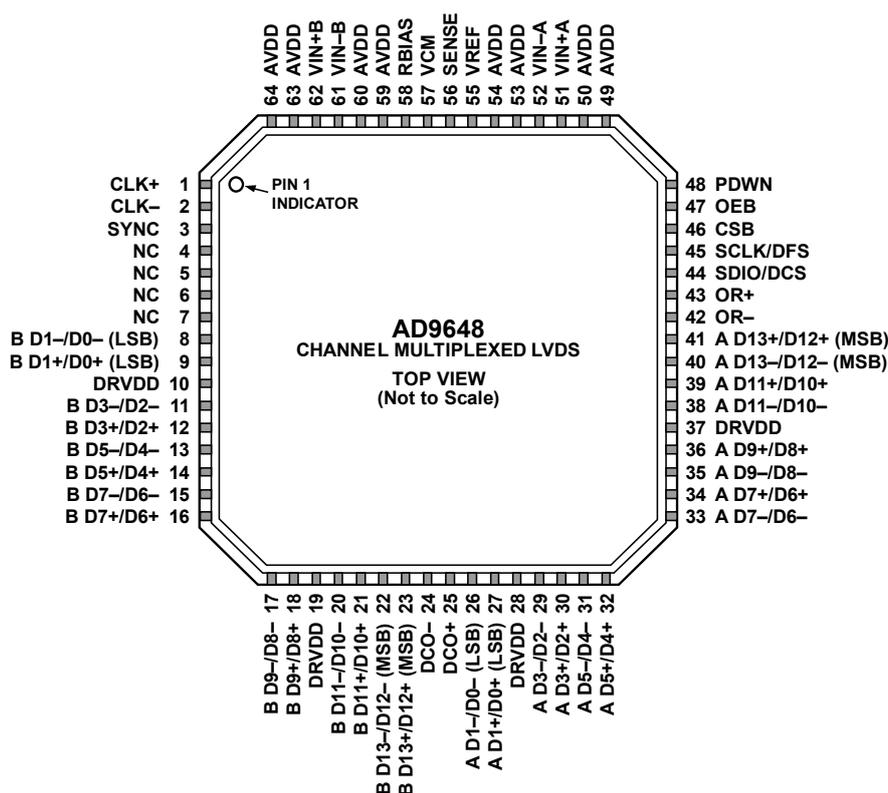
09975-007

図 7. インターリーブ・パラレル LVDS ピン構成(上面図)

表 9. ピン機能の説明(インターリーブ・パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
10、19、28、37	DRVDD	電源	デジタル出力ドライバ電源(公称 1.8 V)
49、50、53、54、59、60、63、64	AVDD	電源	アナログ電源(公称 1.8 V)。
4、5、6、7	NC		未接続。これらのピンは接続しないでください。
0	AGND、Exposed Pad	グラウンド	パッケージ底面のエクスポーズド・サーマル・パッドは、デバイスのアナログ・グラウンドになります。このエクスポーズド・パッドはグラウンドへ接続する必要があります。
ADC アナログ			
51	VIN+A	入力	差動アナログ入力ピン(+)、チャンネル A。
52	VIN-A	入力	差動アナログ入力ピン(-)、チャンネル A。
62	VIN+B	入力	差動アナログ入力ピン(+)、チャンネル B。
61	VIN-B	入力	差動アナログ入力ピン(-)、チャンネル B。
55	VREF	入力/出力	リファレンス電圧入力/出力。
56	SENSE	入力	リファレンス電圧モード選択。
58	RBIAS	入力/出力	外部リファレンス電圧バイアス抵抗。
57	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
1	CLK+	入力	ADC クロック入力—真。
2	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
3	SYNC	入力	デジタル同期ピン。スレープ・モードの場合。
デジタル出力			
9	D0+ (LSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 0—真。
8	D0- (LSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 0—相補。
12	D1+	出力	チャンネル A/チャンネル B LVDS 出力データ 1—真。

ピン番号	記号	タイプ	説明
11	D1-	出力	チャンネル A/チャンネル B LVDS 出力データ 1—相補。
14	D2+	出力	チャンネル A/チャンネル B LVDS 出力データ 2—真。
13	D2-	出力	チャンネル A/チャンネル B LVDS 出力データ 2—相補。
16	D3+	出力	チャンネル A/チャンネル B LVDS 出力データ 3—真。
15	D3-	出力	チャンネル A/チャンネル B LVDS 出力データ 3—相補。
18	D4+	出力	チャンネル A/チャンネル B LVDS 出力データ 4—真。
17	D4-	出力	チャンネル A/チャンネル B LVDS 出力データ 4—相補。
21	D5+	出力	チャンネル A/チャンネル B LVDS 出力データ 5—真。
20	D5-	出力	チャンネル A/チャンネル B LVDS 出力データ 5—相補。
23	D6+	出力	チャンネル A/チャンネル B LVDS 出力データ 6—真。
22	D6-	出力	チャンネル A/チャンネル B LVDS 出力データ 6—相補。
27	D7+	出力	チャンネル A/チャンネル B LVDS 出力データ 7—真。
26	D7-	出力	チャンネル A/チャンネル B LVDS 出力データ 7—相補。
30	D8+	出力	チャンネル A/チャンネル B LVDS 出力データ 8—真。
29	D8-	出力	チャンネル A/チャンネル B LVDS 出力データ 8—相補。
32	D9+	出力	チャンネル A/チャンネル B LVDS 出力データ 9—真。
31	D9-	出力	チャンネル A/チャンネル B LVDS 出力データ 9—相補。
34	D10+	出力	チャンネル A/チャンネル B LVDS 出力データ 10—真。
33	D10-	出力	チャンネル A/チャンネル B LVDS 出力データ 10—相補。
36	D11+	出力	チャンネル A/チャンネル B LVDS 出力データ 11—真。
35	D11-	出力	チャンネル A/チャンネル B LVDS 出力データ 11—相補。
39	D12+	出力	チャンネル A/チャンネル B LVDS 出力データ 12—真。
38	D12-	出力	チャンネル A/チャンネル B LVDS 出力データ 12—相補。
41	D13+ (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—真。
40	D13- (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—相補。
43	OR+	出力	チャンネル A/チャンネル B LVDS 範囲外出力—真。
42	OR-	出力	チャンネル A/チャンネル B LVDS 範囲外出力—相補。
25	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—真。
24	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—相補。
SPI 制御			
45	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
44	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
46	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
ADC 構成			
47	OEB	入力	出力イネーブル入力(アクティブ・ロー)。ピンは SPI 経由でイネーブルする必要があります。
48	PDWN	入力	外部ピン・モードでのパワーダウン入力。SPI モードでは、この入力をパワーダウンまたはスタンバイに設定することができます。



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

09975-008

図 8. チャンネル・マルチプレクス LVDS ピン構成(上面図)

表 10 ピン機能説明(チャンネル・マルチプレクス・パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
10、19、28、37	DRVDD	電源	デジタル出力ドライバ電源(公称 1.8 V)
49、50、53、54、59、60、63、64	AVDD	電源	アナログ電源(公称 1.8 V)。
4、5、6、7	NC		接続なし。
0	AGND、Exposed Pad	グラウンド	パッケージ底面のエクスPOSED・サーマル・パッドは、デバイスのアナログ・グラウンドになります。このエクスPOSED・パッドはグラウンドへ接続する必要があります。
ADC アナログ			
51	VIN+A	入力	差動アナログ入力ピン(+), チャンネル A。
52	VIN-A	入力	差動アナログ入力ピン(-), チャンネル A。
62	VIN+B	入力	差動アナログ入力ピン(+), チャンネル B。
61	VIN-B	入力	差動アナログ入力ピン(-), チャンネル B。
55	VREF	入力/出力	リファレンス電圧入力/出力。
56	SENSE	入力	リファレンス電圧モード選択。
58	RBIAS	入力/出力	外部リファレンス電圧バイアス抵抗。
57	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
1	CLK+	入力	ADC クロック入力—真。
2	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
3	SYNC	入力	デジタル同期ピン。スレープ・モードの場合。
デジタル出力			

ピン番号	記号	タイプ	説明
8	B D1-/D0- (LSB)	出力	チャンネル B LVDS 出力データ 1/データ 0 ⁻ 相補。
9	B D1+/D0+ (LSB)	出力	チャンネル B LVDS 出力データ 1/データ 0 ⁻ 真。
11	B D3-/D2-	出力	チャンネル B LVDS 出力データ 3/データ 2 ⁻ 相補。
12	B D3+/D2+	出力	チャンネル B LVDS 出力データ 3/データ 2 ⁻ 真。
13	B D5-/D4-	出力	チャンネル B LVDS 出力データ 5/データ 4 ⁻ 相補。
14	B D5+/D4+	出力	チャンネル B LVDS 出力データ 5/データ 4 ⁻ 真。
15	B D7-/D6-	出力	チャンネル B LVDS 出力データ 7/データ 6 ⁻ 相補。
16	B D7+/D6+	出力	チャンネル B LVDS 出力データ 7/データ 6 ⁻ 真。
17	B D9-/D8-	出力	チャンネル B LVDS 出力データ 9/データ 8 ⁻ 相補。
18	B D9+/D8+	出力	チャンネル B LVDS 出力データ 9/データ 8 ⁻ 真。
20	B D11-/D10-	出力	チャンネル B LVDS 出力データ 11/データ 10 ⁻ 相補。
21	B D11+/D10+	出力	チャンネル B LVDS 出力データ 11/データ 10 ⁻ 真。
22	B D13-/D12- (MSB)	出力	チャンネル B LVDS 出力データ 13/データ 12 ⁻ 相補。
23	B D13+/D12+ (MSB)	出力	チャンネル B LVDS 出力データ 13/データ 12 ⁻ 真。
26	A D1-/D0- (LSB)	出力	チャンネル A LVDS 出力データ 1/データ 0 ⁻ 相補。
27	A D1+/D0+ (LSB)	出力	チャンネル A LVDS 出力データ 1/データ 0 ⁻ 真。
29	A D3-/D2-	出力	チャンネル A LVDS 出力データ 3/データ 2 ⁻ 相補。
30	A D3+/D2+	出力	チャンネル A LVDS 出力データ 3/データ 2 ⁻ 真。
32	A D5+/D4+	出力	チャンネル A LVDS 出力データ 5/データ 4 ⁻ 相補。
31	A D5-/D4-	出力	チャンネル A LVDS 出力データ 5/データ 4 ⁻ 真。
34	A D7+/D6+	出力	チャンネル A LVDS 出力データ 7/データ 6 ⁻ 相補。
33	A D7-/D6-	出力	チャンネル A LVDS 出力データ 7/データ 6 ⁻ 真。
36	A D9+/D8+	出力	チャンネル A LVDS 出力データ 9/データ 8 ⁻ 相補。
35	A D9-/D8-	出力	チャンネル A LVDS 出力データ 9/データ 8 ⁻ 真。
39	A D11+/D10+	出力	チャンネル A LVDS 出力データ 11/データ 10 ⁻ 相補。
38	A D11-/D10-	出力	チャンネル A LVDS 出力データ 11/データ 10 ⁻ 真。
41	A D13+/D12+ (MSB)	出力	チャンネル A LVDS 出力データ 13/データ 12 ⁻ 相補。
40	A D13-/D12- (MSB)	出力	チャンネル A LVDS 出力データ 13/データ 12 ⁻ 真。
43	OR+	出力	チャンネル A/チャンネル B LVDS 範囲外出力 ⁻ 真。
42	OR-	出力	チャンネル A/チャンネル B LVDS 範囲外出力 ⁻ 相補。
25	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力 ⁻ 真。
24	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力 ⁻ 相補。
SPI 制御			
45	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
44	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
46	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
ADC 構成			
47	OEB	入力	出力イネーブル入力(アクティブ・ロー)。ピンは SPI 経由でイネーブルする必要があります。
48	PDWN	入力	外部ピン・モードでのパワーダウン入力。SPI モードでは、この入力をパワーダウンまたはスタンバイに設定することができます。

代表的な性能特性

AD9648-125

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

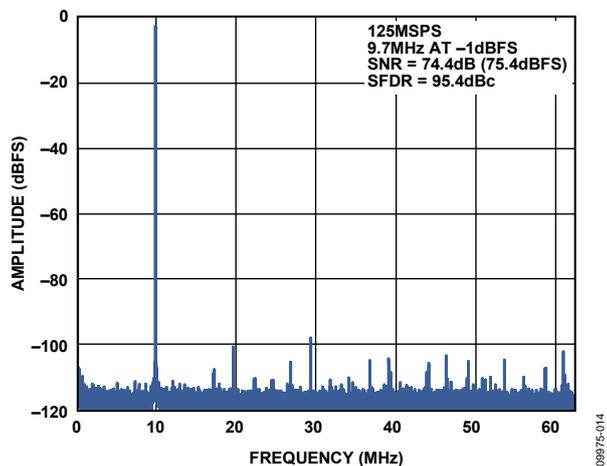


図 9. シングル・トーン FFT、 $f_{IN} = 9.7$ MHz

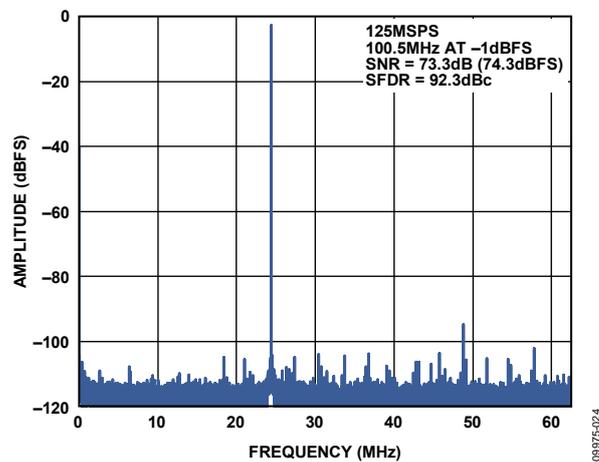


図 12. シングル・トーン FFT、 $f_{IN} = 100.5$ MHz

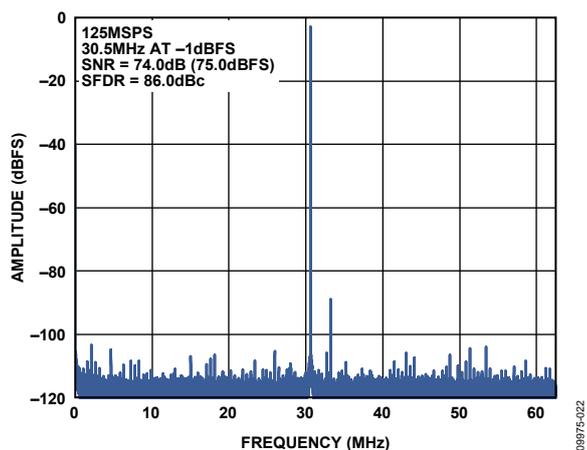


図 10. シングル・トーン FFT、 $f_{IN} = 30.5$ MHz

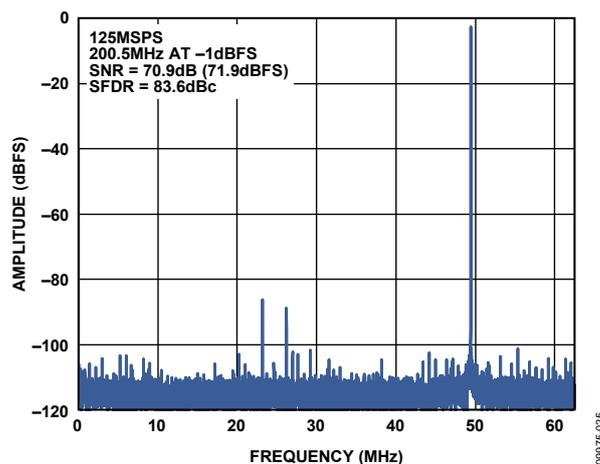


図 13. シングル・トーン FFT、 $f_{IN} = 200.5$ MHz

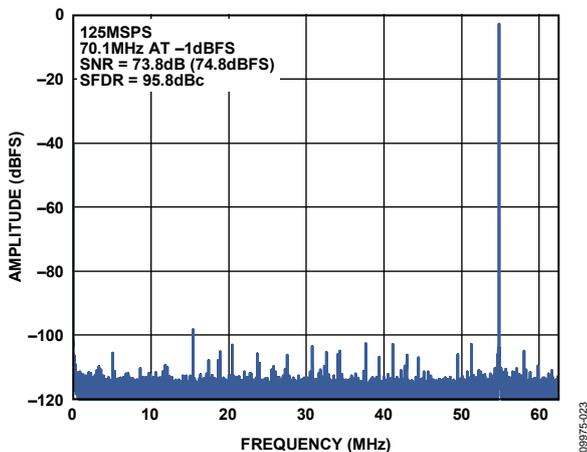


図 11. シングル・トーン FFT、 $f_{IN} = 70.1$ MHz

AD9648-125

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

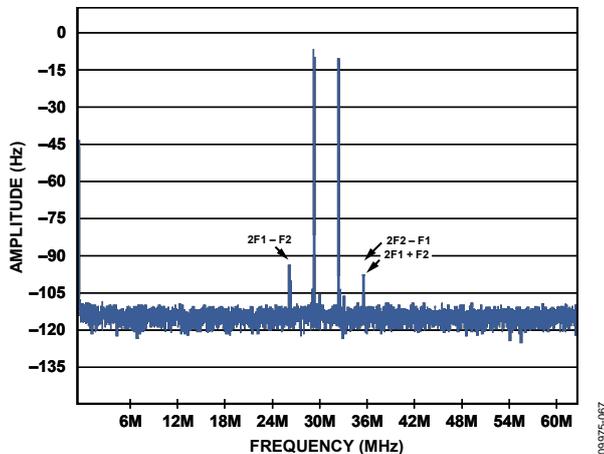


図 14.2 トーン FFT、 $f_{IN1} = 29$ MHz、 $f_{IN2} = 32$ MHz

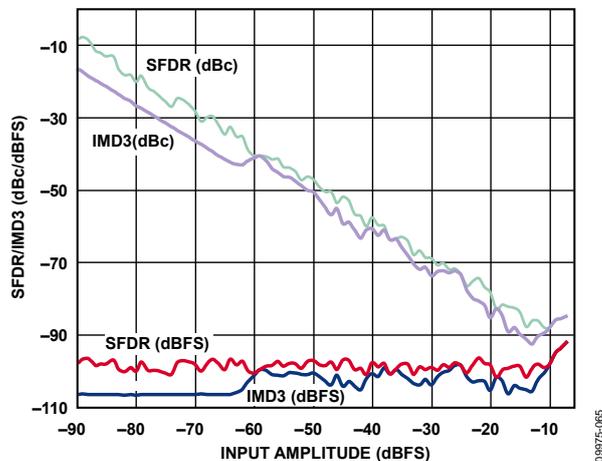


図 17. 入力振幅(AIN)対 2 トーン SFDR/IMD3
 $f_{IN1} = 29$ MHz、 $f_{IN2} = 32$ MHz

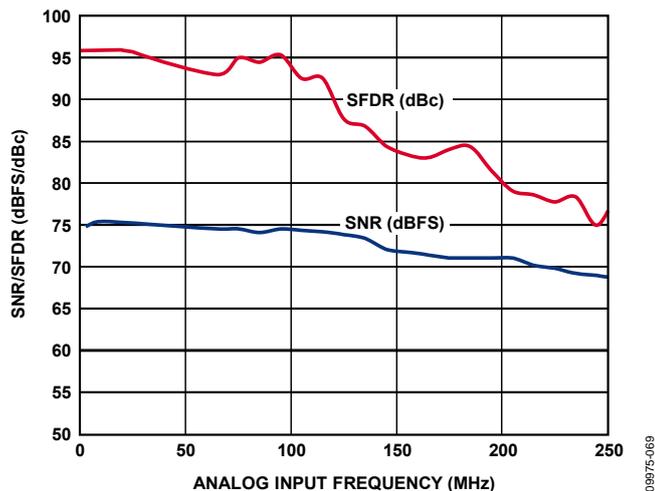


図 15. 入力周波数(AIN)対 SNR/SFDR、2 V p-p フル・スケール

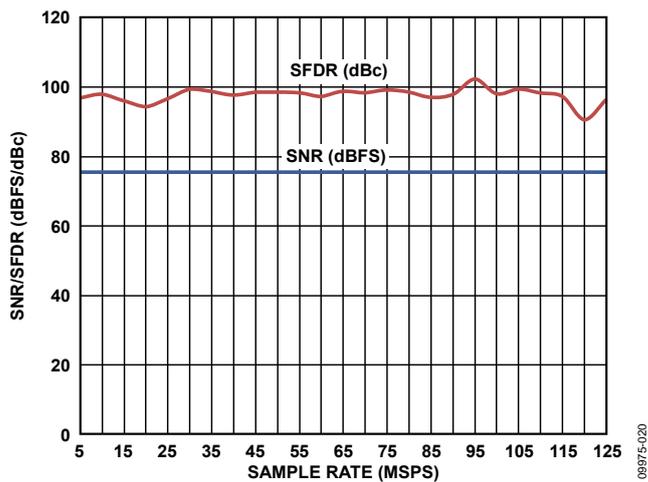


図 18. サンプル・レート対 SNR/SFDR、AIN = 9.7 MHz

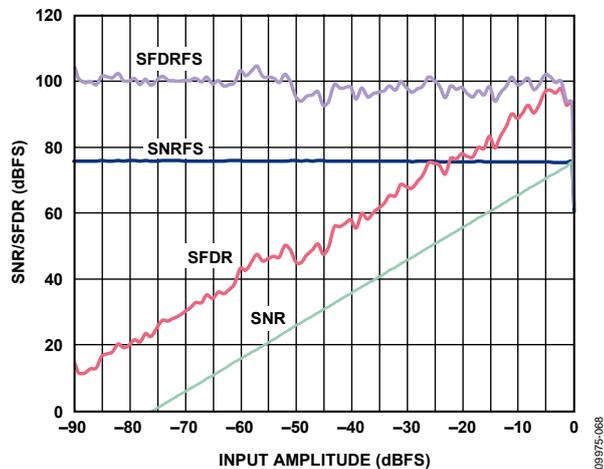


図 16. 入力振幅(AIN)対 SNR/SFDR、 $f_{IN} = 9.7$ MHz

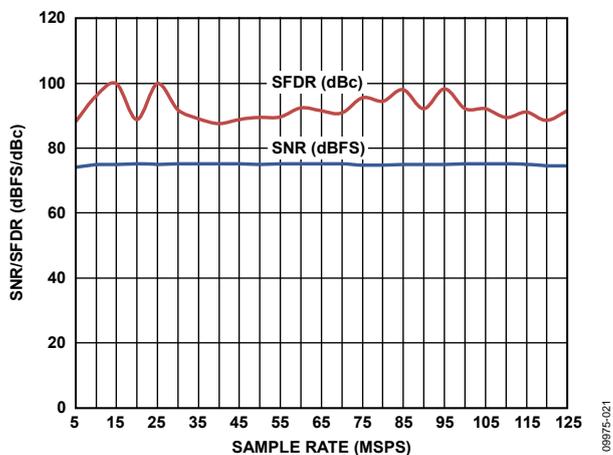


図 19. サンプル・レート対 SNR/SFDR、AIN = 70.1 MHz

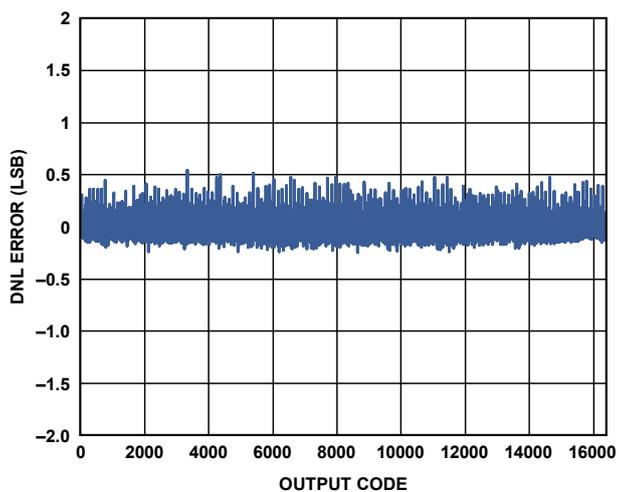


図 20. DNL 誤差、 $f_{IN} = 9.7$ MHz

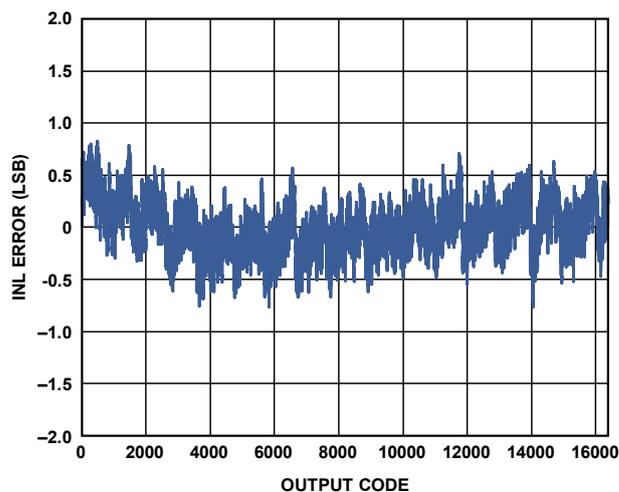


図 22. INL 誤差、 $f_{IN} = 9.7$ MHz

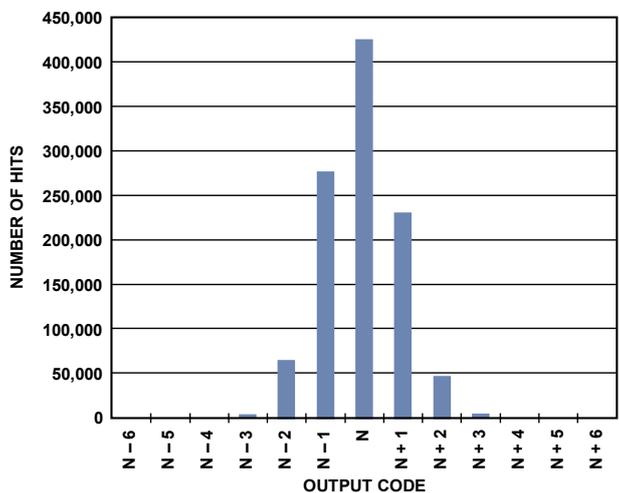


図 21. 短絡入力ヒストグラム

AD9648-105

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

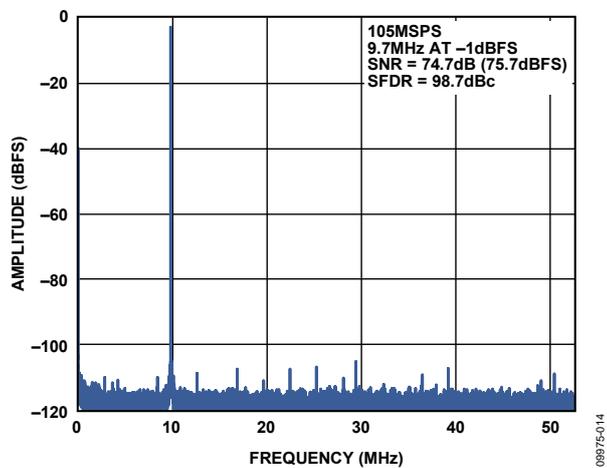


図 23. シングル・トーン FFT、 $f_{IN} = 9.7$ MHz

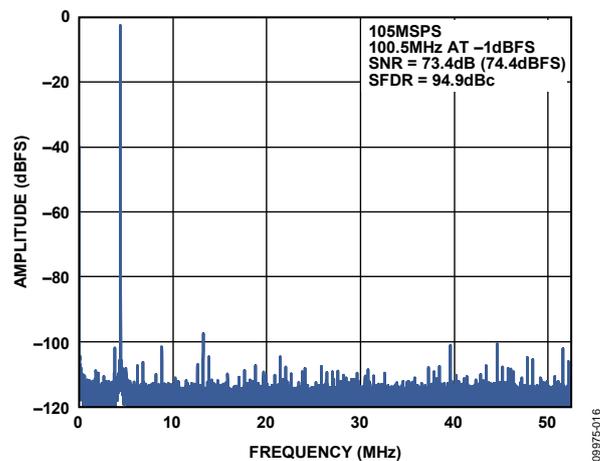


図 26. シングル・トーン FFT、 $f_{IN} = 100.5$ MHz

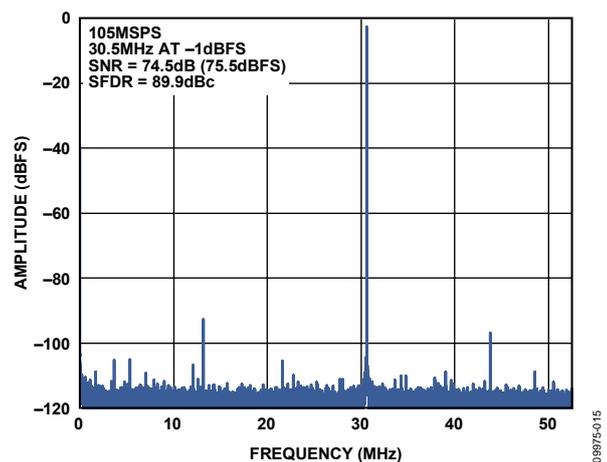


図 24. シングル・トーン FFT、 $f_{IN} = 30.5$ MHz

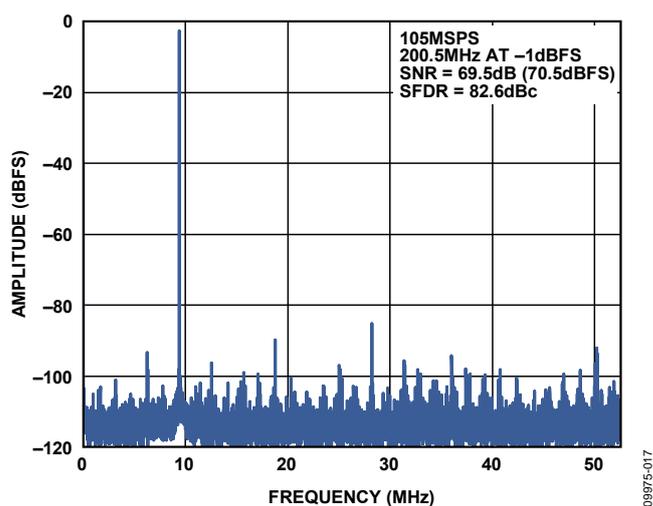


図 27. シングル・トーン FFT、 $f_{IN} = 200.5$ MHz

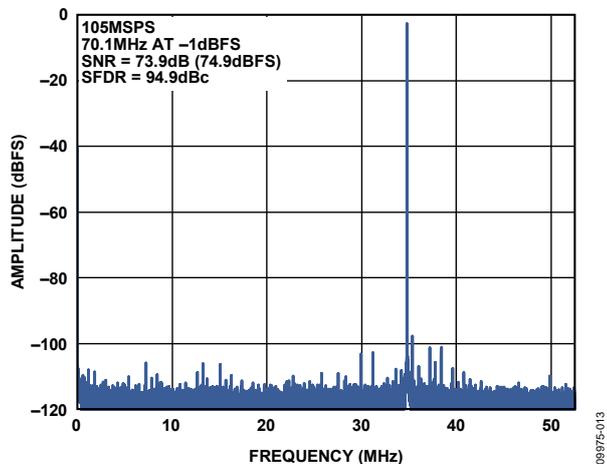


図 25. シングル・トーン FFT、 $f_{IN} = 70.1$ MHz

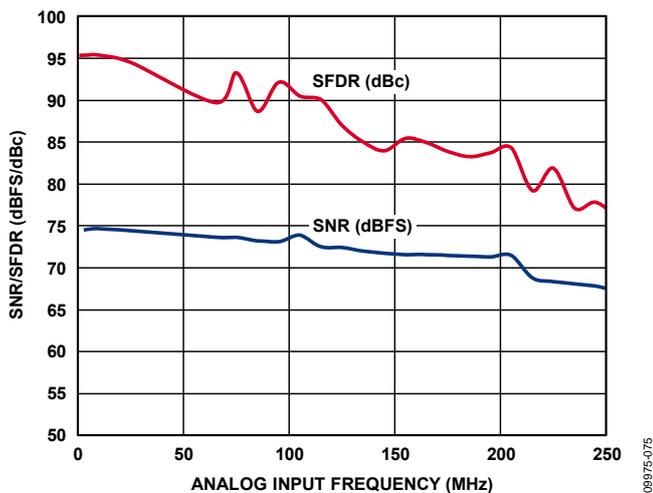


図 28.入力周波数(AIN)対 SNR/SFDR、2 V p-p フル・スケール

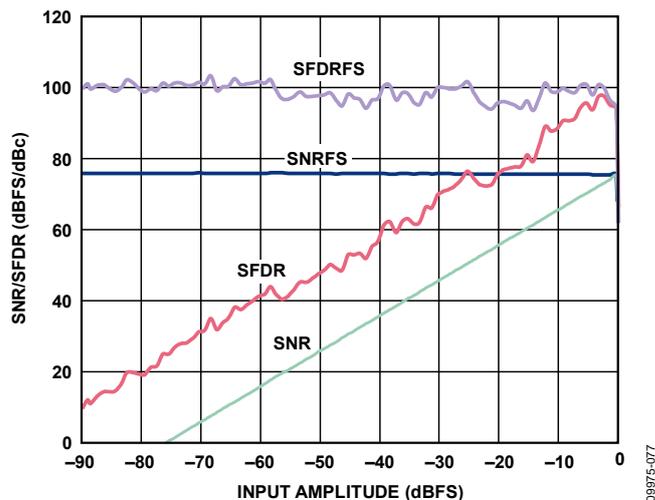


図 31.入力振幅(AIN)対 SNR/SFDR、 $f_{IN} = 9.7$ MHz

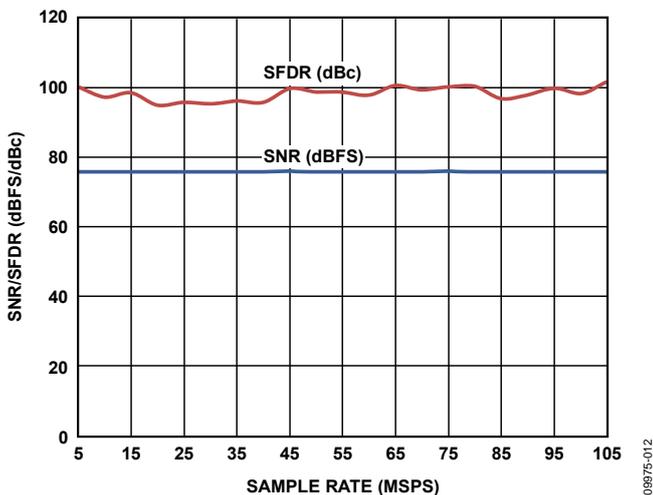


図 29.サンプル・レート対 SNR/SFDR、AIN = 9.7 MHz

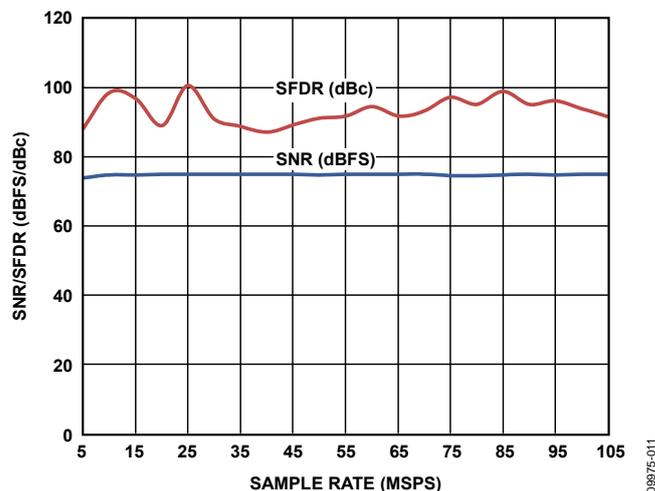


図 32.サンプル・レート対 SNR/SFDR、AIN = 70.1 MHz

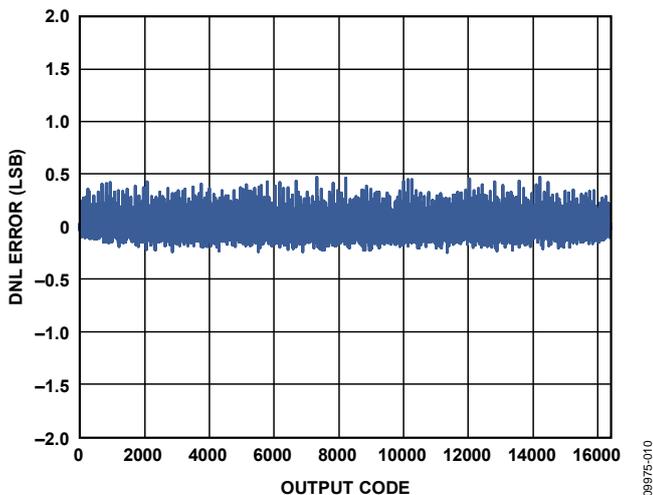


図 30.DNL 誤差、 $f_{IN} = 9.7$ MHz

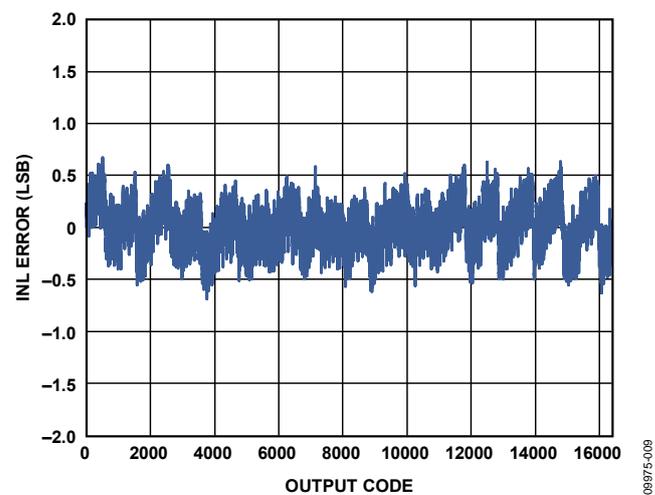


図 33.INL 誤差、 $f_{IN} = 9.7$ MHz

等価回路

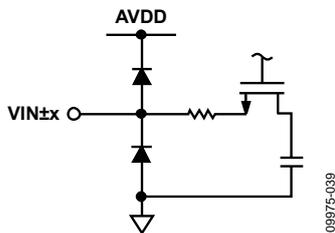


図 34. アナログ入力の等価回路

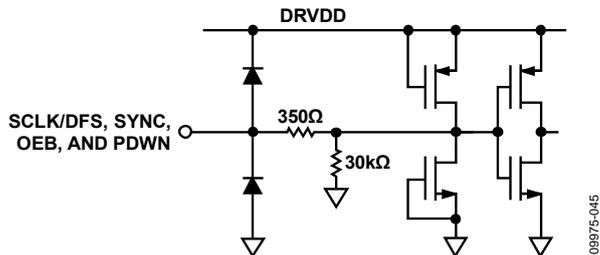


図 38. SCLK/DFS、SYNC、OEB、PDWN の等価入力回路

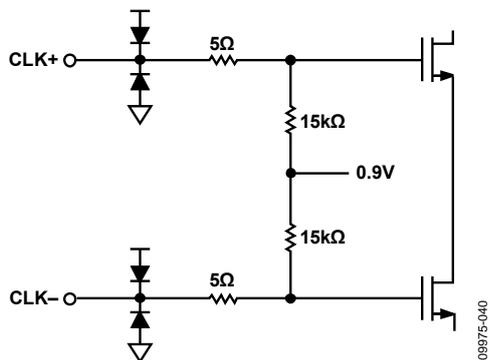


図 35. 等価クロック入力回路

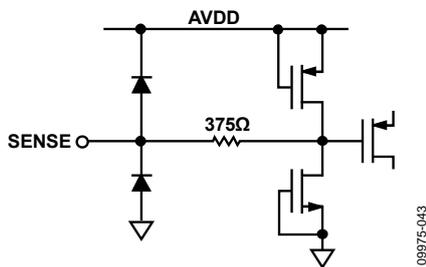


図 39. 等価 SENSE 回路

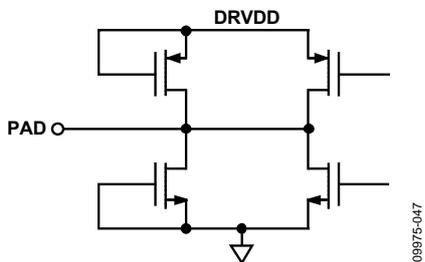


図 36. 等価デジタル出力回路

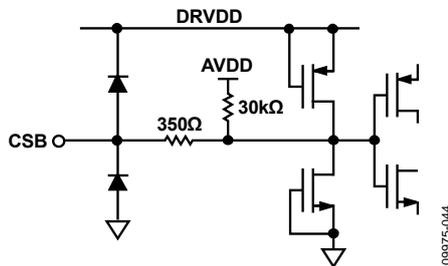


図 40. CSB の等価入力回路

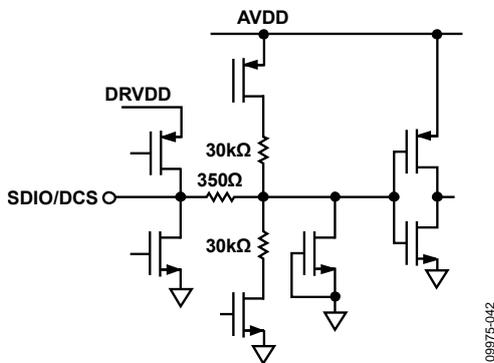


図 37. SDIO/DCS の等価入力回路

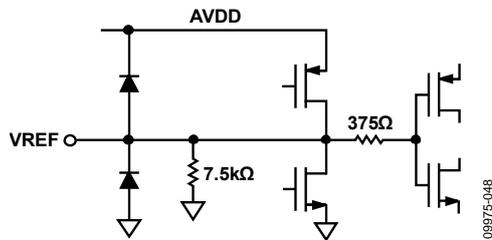


図 41. 等価 VREF 回路

動作原理

AD9648 のデュアル ADC デザインは、2 つの別のアンテナから受信された同じキャリアに対して ADC が同じ動作を行うダイバーシティー受信した信号に対して使うことができます。ADC は独立なアナログ入力に対しても使うことができます。ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使い ADC 性能をほとんど損なうことなく、DC~200 MHz の任意の $f_s/2$ 周波数セグメントをサンプルすることができます。300 MHz までのアナログ入力を処理することができますが、ADC のノイズと歪みが大きくなります。

非ダイバーシティー・アプリケーションでは、AD9648 をベースバンドまたはダイレクト・ダウンコンバータ・レシーバとして使うことができます。この場合は、片方の ADC を I 入力データに、他方を Q 入力データにそれぞれ使います。

同期機能を内蔵しているため、複数チャンネル間または複数デバイス間でタイミングを同期させることができます。

AD9648 の設定と制御は、3 ビット SPI 互換シリアル・インターフェースを使って行います。

ADC のアーキテクチャ

AD9648 のアーキテクチャは、マルチステージのパイプライン化 ADC で構成されています。各ステージは、前ステージのフラッシュ誤差を訂正するように十分重なるようになっています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(例えば乗算 D/A コンバータ(MDAC))により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

出力ステージのブロックで、データの整列、誤差補正、CMOS/LVDS 出力バッファへの出力が行われます。出力バッファの電源は分離されているため(DRVDD)、デジタル出力ノイズをアナログ・コアから分離することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に対する考慮

AD9648 のアナログ入力は、差動入力信号処理用にデザインされた差動のスイッチド・キャパシタ回路になっています。この回路は広い同相モード範囲をサポートすると同時に、優れた性能を維持することができます。電源電圧の 1/2 での入力同相モード電圧は信号依存誤差を最小化するため、最適性能を提供します。

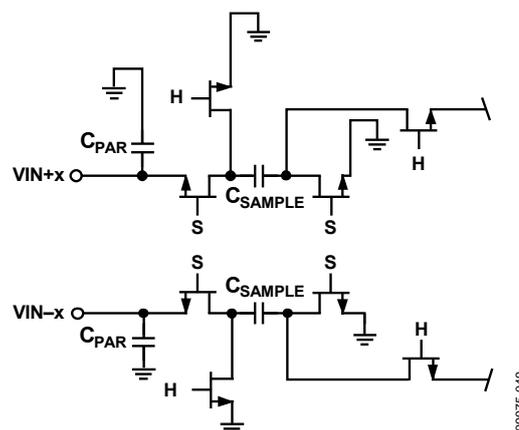


図 42. スイッチド・キャパシタ入力回路

クロック信号により、入力回路がサンプル・モードとホールド・モードの間で交互に切り替えられます(図 42 参照)。入力回路がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電して、クロック・サイクルの 1/2 以内に安定する必要があります。各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージから発生するピーク過渡電流を減少させることに役立ちます。さらに、Q の小さいインダクタまたはフェライト・ビーズを各入力に接続して、アナログ入力の大きな差動容量を小さくすることにより、ADC の最大帯域幅を実現することができます。このような低 Q インダクタまたはフェライト・ビーズの使用は、コンバータのフロント・エンドを高い IF 周波数で駆動する際に必要となります。シャント・コンデンサまたは 2 個のシングルエンド・コンデンサを入力に接続して、受動整合回路を設けることができます。これにより入力に最終的にローパス・フィルタが形成されて、不要な広帯域幅ノイズが制限されます。詳細については、AN-742 アプリケーション・ノート、AN-827 アプリケーション・ノート、技術情報誌 Analog Dialogue 「Transformer-Coupled Front-End for Wideband A/D Converters」(Vol.39, 2005 年 4 月)を参照してください。一般に、正確な値はアプリケーションに依存します。

入力同相モード

AD9648 のアナログ入力は内部で DC バイアスされていません。このため、AC 結合のアプリケーションでは、ユーザーが外部から DC バイアスを与える必要があります。最適性能を得るためには $V_{CM} = AVDD/2$ となるようにデバイスを設定することが推奨されますが、デバイスは広い範囲で適切な性能で機能します (図 43 参照)。

同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。VCM ピンは、 $0.1\mu\text{F}$ のコンデンサによりグラウンドにデカップリングする必要があります (アプリケーション情報参照)。

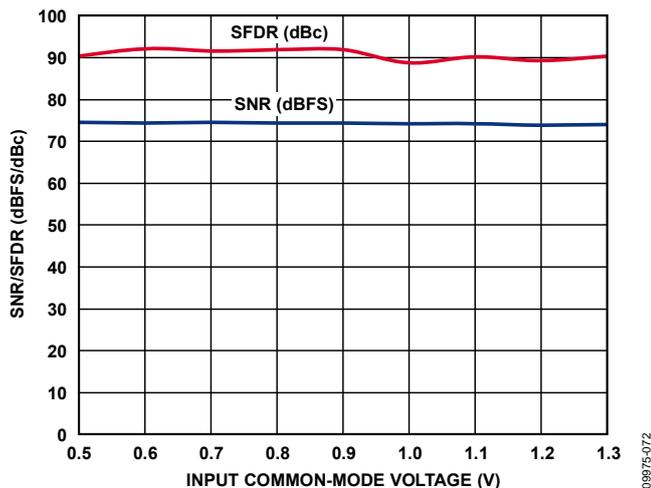


図 43. 入力同相モード電圧対 SNR/SFDR
 $f_{IN} = 70 \text{ MHz}$, $f_s = 125 \text{ MSPS}$

差動入力構成

最適性能は、AD9648 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-2、ADA4938-2 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインターフェースを提供します。

ADA4938-2 の出力同相モード電圧は AD9648 の VCM ピンで容易に設定できるため (図 44 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

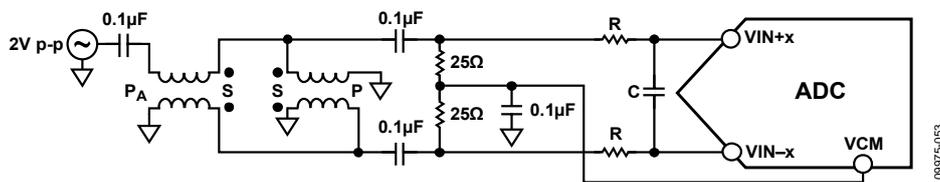


図 46. 差動ダブル・バランス入力構成

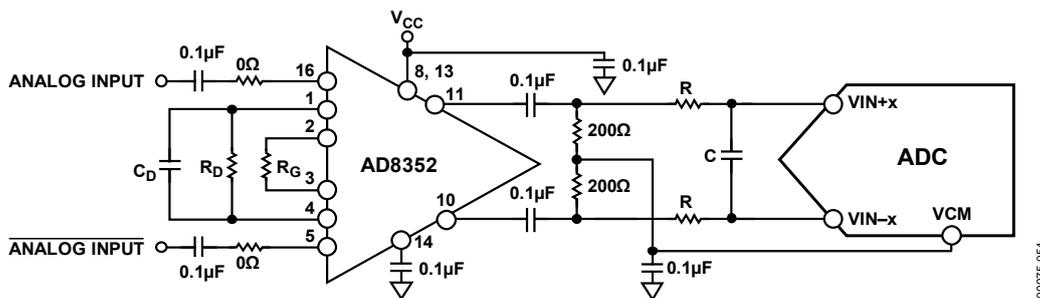


図 47. AD8352 を使用した差動入力構成

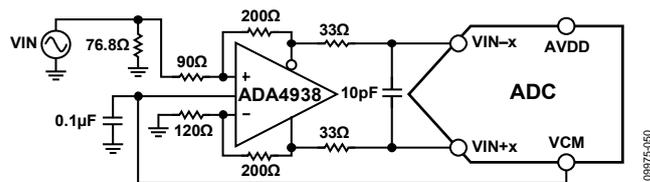


図 44. ADA4938-2 を使用した差動入力構成

SNR が重要なパラメータとなるこれら 10 MHz 以下のアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 45 に例を示します。アナログ入力にバイアスを加えるため、VCM 電圧をトランス 2 次巻線のセンタータップに接続することができます。

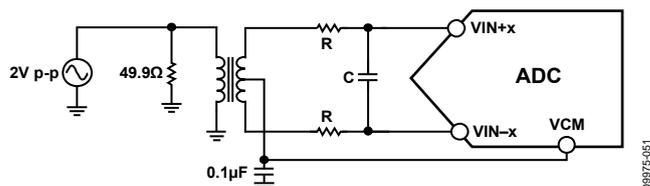


図 45. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを発生させます。

第 2 ナイquist 領域およびそれ以上の入力周波数では、AD9648 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれら 10 MHz 以上のアプリケーションに対しては、入力構成に差動ダブル・バランス結合を使用することが推奨されます (図 46 参照)。

第 2 ナイquist 領域の周波数でトランス結合入力を使う代わりに、AD8352 差動ドライバを使う方法があります。図 47 に例を示します。詳細については、AD8352 のデータシートを参照してください。

どの構成でも、シャント・コンデンサ C の値は入力周波数とソース・インピーダンスに依存するため、小さくするか削除する必要があります。表 11 に RC 回路に設定する推奨値を示します。ただし、これらの値は入力信号に依存するため、初期ガイドとしてのみ使用してください。

表 11. RC 回路の例

Frequency Range (MHz)	R Series (Ω Each)	C Differential (pF)
0 to 70	33	22
70 to 200	125	Open

シングルエンド入力構成

価格に厳しいアプリケーションでは、シングルエンド入力で妥当な性能を得ることが可能です。この構成では、入力同相モード振幅が大きいため SFDR 性能と歪み性能が低下します。各入力のソース・インピーダンスを一致させると、SNR 性能に対する影響を小さくすることができます。図 48 に代表的なシングルエンド入力構成を示します。

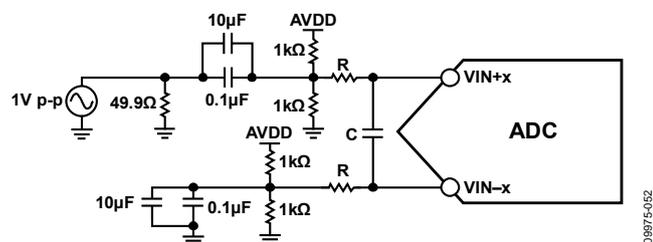


図 48. シングルエンド入力構成

リファレンス電圧

AD9648 には、安定かつ正確な 1.0 V のリファレンス電圧が内蔵されています。内蔵 1.0 V リファレンスまたは外部から供給する 1.0 V リファレンス電圧を使って VREF を設定することができます。種々のリファレンス・モードの一覧を以下のセクションに示します。リファレンス電圧のデカップリングのセクションでは、リファレンス電圧の PCB レイアウトについて説明します。

内部リファレンス電圧の接続

AD9648 内部のコンパレータが SENSE ピンの電位を検出して、リファレンスを表 12 に示す 2 つの状態のいずれかに設定します。SENSE をグラウンドに接続すると、リファレンス電圧アンプ・スイッチは内部抵抗デバイスに接続され(図 49)、VREF が 1.0 V に設定されます。

表 12. リファレンス構成の一覧

Selected Mode	SENSE Voltage (V)	Resulting VREF (V)	Resulting Differential Span (V p-p)
Fixed Internal Reference	AGND to 0.2	1.0 internal	2.0
Fixed External Reference	AVDD	1.0 applied to external VREF pin	2.0

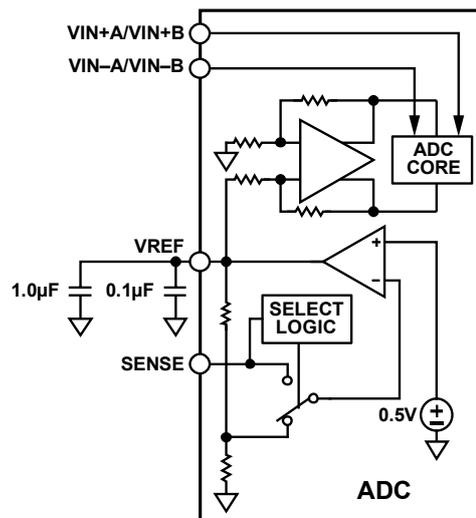


図 49. 内部リファレンス電圧の構成

ゲイン・マッチングを改善するために、AD9648 の内蔵リファレンス電圧を使って複数のコンバータを駆動する場合、他のコンバータによるリファレンス電圧への負荷を考慮する必要があります。図 50 に内部リファレンスが負荷から受ける影響を示します。

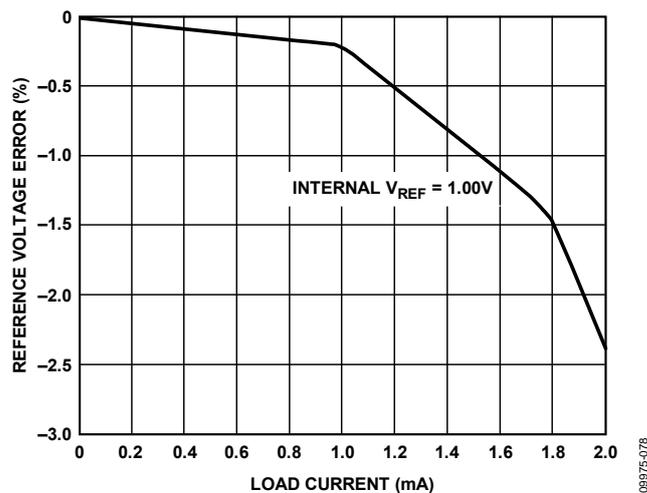


図 50. 負荷電流対 VREF 精度

外部リファレンス電圧による動作

ADC のゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外部リファレンス電圧の使用が必要となる場合があります。図 51 に、1.0 V モードについて、代表的な内部リファレンスのドリフト特性を示します。

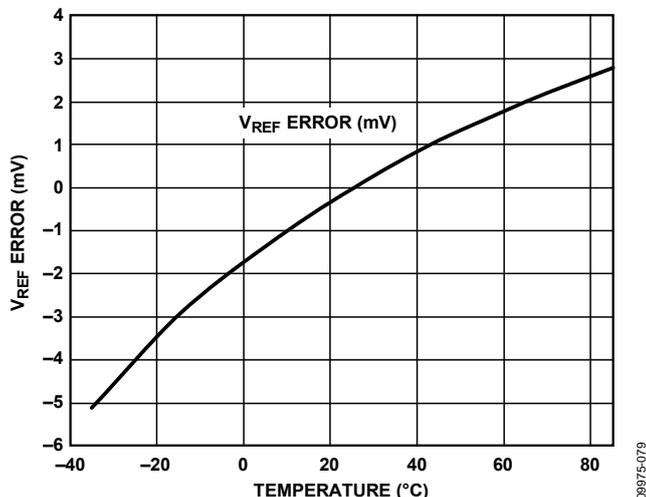


図 51. 代表的な V_{REF} ドリフト

SENSE ピンを AVDD に接続すると、内部リファレンス電圧がデイスエーブルされて、外部リファレンス電圧の使用が可能になります。内部リファレンス・バッファに対して、等価 7.5 kΩ を持つ外部リファレンスが負荷になります(図 41 参照)。内部リファレンス・バッファは、ADC コアに対して正側と負側のフルスケール・リファレンスを発生します。したがって、外付けリファレンス電圧は最大 1.0 V に制限する必要があります。

クロック入力の考慮事項

最適性能を得るためには、AD9648 のサンプル・クロック入力 CLK+ と CLK- を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ ピンと CLK- ピンに AC 結合されます。これらのピンは内部でバイアスされるため(図 52 参照)、外付けバイアスは不要です。

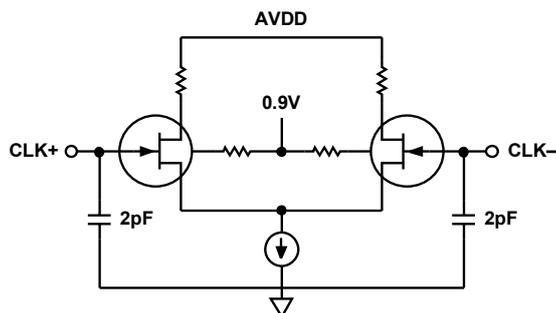


図 52. 等価クロック入力回路

クロック入力オプション

AD9648 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 53 と図 54 に、AD9648 をクロック駆動する(CLK ドライバの前で最大 1 GHz のクロック・レート) 2 つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

RF バラン構成は 125 MHz ~ 1 GHz のクロック周波数に、RF トランスは 10 MHz ~ 200 MHz のクロック周波数に、それぞれ推奨されます。トランス/バランの 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9648 に入力されるクロックを約 0.8 V_{p-p} 差動に制限します。

この機能は、クロックの大きな電圧振幅が AD9648 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

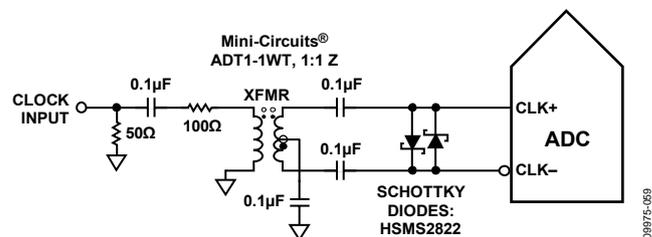


図 53. トランス結合の差動クロック(最大 200 MHz)

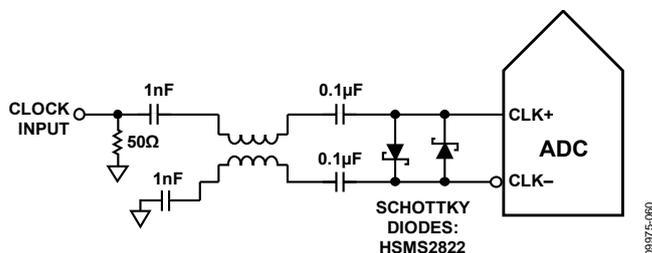


図 54. バラン結合の差動クロック(最大 1 GHz)

低ジッタ・クロックが使用できない場合、もう1つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 55 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

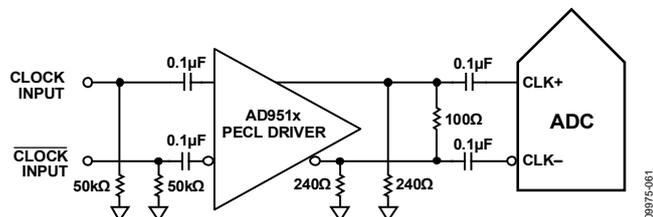


図 55. 差動 PECL サンプル・クロック(最大 1 GHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 56 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

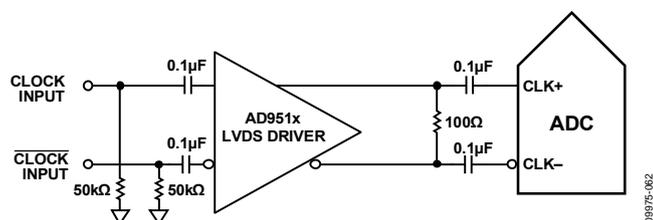


図 56. 差動 LVDS サンプル・クロック(最大 1 GHz)

アプリケーションによっては、サンプル・クロック入力をシングルエンド 1.8 V CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ピンを CMOS ゲートで直接駆動し、CLK-ピンは 0.1 µF コンデンサによりグラウンドへバイパスします(図 57 参照)。

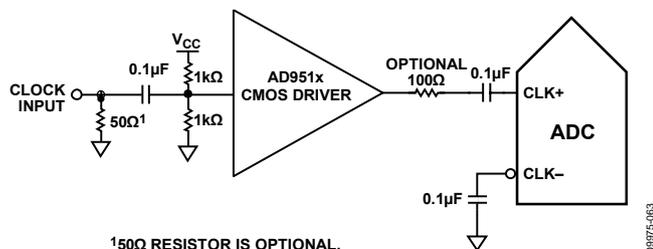


図 57. シングルエンド 1.8 V CMOS 入力クロック(最大 200 MHz)

入力クロック・ドライバ

AD9648 は、入力クロックを 1~8 分周できる入力クロック分周器を内蔵しています。

AD9648 のクロック分周器は外部 SYNC 入力を使って同期させることができます。レジスタ 0x3A のビット 1 とビット 2 を使うと、各 SYNC 信号で、またはレジスタが書込まれた後の最初の SYNC 信号で、クロック分周器を再同期することができます。有効な SYNC により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は±5%以内である必要があります。

AD9648 は、非サンプリング・エッジ(立下がり)の再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生するデューティ・サイクル・スタビライザ(DCS)を内蔵しています。この回路により、AD9648 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。図 58 に示すように、DCS をオンにすると、ノイズ性能と歪み性能はデューティ・サイクルの広い範囲でほぼ平坦です。

それでも、入力での立上がりエッジのジッタは問題であり、内部安定化回路で容易に減少させることはできません。デューティ・サイクル制御ループは、公称 20 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これをアプリケーションで考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号に再ロックするまで、1.5 µs~5 µs の待ち時間が必要です。

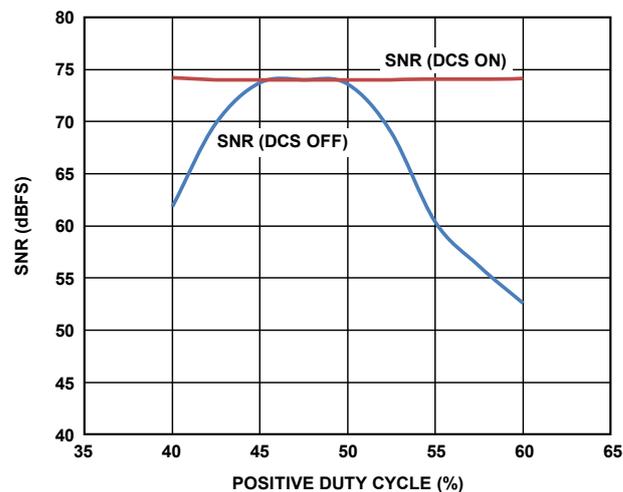


図 58. DCS のオン/オフ対 SNR

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数 (f_{INPUT}) でジッタ ($t_{\text{J RMS}}$) により発生する SNR 性能の低周波 SNR (SNR_{LF}) からの低下は次式で計算されます。

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{J RMS}})^2 + 10^{-(\text{SNR}_{\text{LF}}/10)}]$$

前式で、rms アバーチャ・ジッタがクロック入力ジッタ仕様を表しています。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 59)。

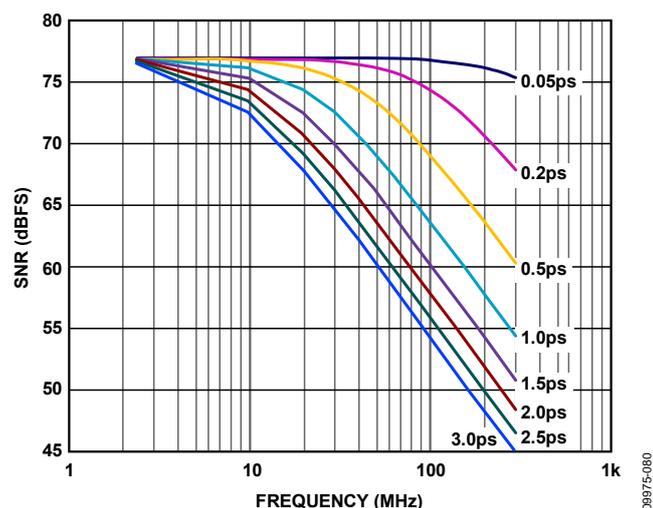


図 59. SNR 対入力周波数およびジッタ

ジッタが AD9648 のダイナミック・レンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック信号がデジタル・ノイズで変調されるのを防止するため、クロック・ドライバの電源を ADC 出力ドライバ電源から離してください。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

詳細については、www.analog.com/jp から提供する AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノートを参照してください。

チャンネル/チップ同期

AD9648 は、複数の ADC 間でサンプリング・クロックを同期化するための柔軟な同期オプションを可能にする SYNC 入力を持っています。入力クロック分周器をイネーブルして、同期信号の単発または発生毎に同期化することができます。SYNC 入力は内部でサンプル・クロックに同期化されます。ただし、複数のデバイス間でタイミングの不確実性が生じないようにするため、SYNC 入力信号は外部で入力クロック信号に同期化して、表 5 に示すセットアップ・タイムとホールド・タイムを満たす必要があります。SYNC 入力は、シングルエンドの CMOS タイプ信号を使って駆動する必要があります。

消費電力とスタンバイ・モード

図 60 に示すように、AD9648 で消費されるアナログ・コア電力はサンプル・レートに比例します。CMOS 出力のデジタル消費電力は、主にデジタル・ドライバの強度と各出力ビットの負荷により決定されます。

最大 DRVDD 電流 (I_{DRVDD}) は次のように計算されます。

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLK}} \times N$$

ここで、 N は出力ビット数であり、AD9648 の場合は 30 になります。

この最大電流は、各クロック・サイクルで各出力ビットがスイッチングする条件に対するもので、この条件はナイキスト周波数 $f_{\text{CLK}}/2$ のフルスケール方形波に対してのみ発生します。実用的には、DRVDD 電流はスイッチングしている出力ビット数の平均値を使って計算します。この値はサンプル・レートとアナログ入力信号の特性によって決定されます。

デジタル消費電力は出力ドライバの容量負荷を小さくすることにより、小さくすることができます。図 60 のデータは、表 1 に示す電源仕様と消費電力仕様で使用したものと同一動作条件で、各出力ドライバに 5 pF 負荷を接続して CMOS モードで取得したものです。

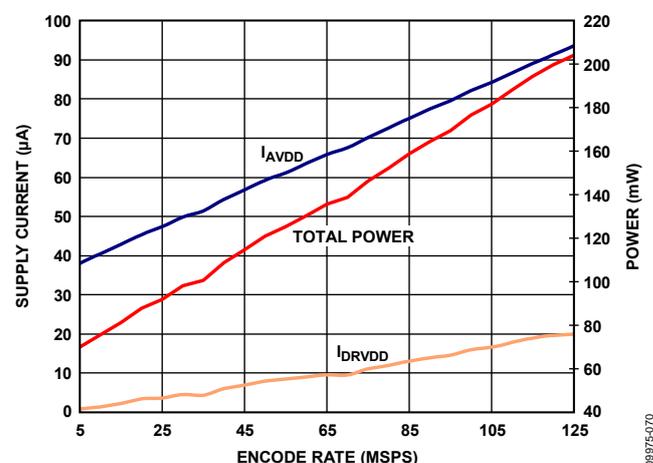


図 60. AD9648-125 のクロック・レート対消費電力と電流 (1.8 V CMOS 出力モード)

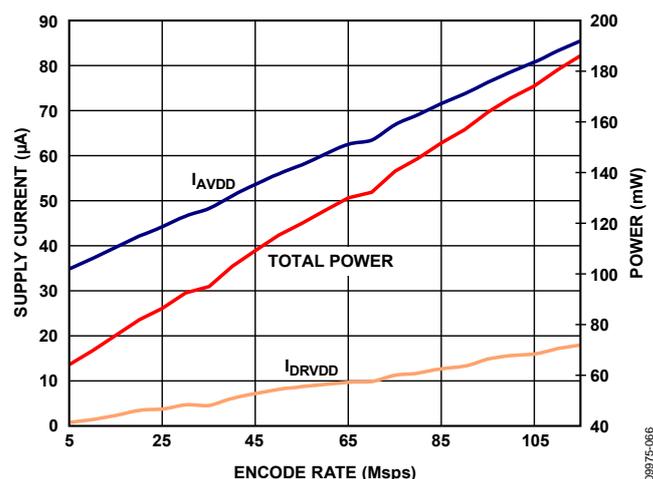


図 61. AD9648-105 のクロック・レート対消費電力と電流 (1.8 V CMOS 出力モード)

SPI ポートによるか、または PDWN ピンをハイ・レベルにすると、AD9648 はパワーダウン・モードになります。この状態では、ADC の消費電力は 2 mW (typ) 以下になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD9648 は通常動作モードに戻ります。PDWN はデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできません。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。パワーダウン・モードに入ると、内部コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップ時間が必要な場合、内蔵リファレンス回路を動作させたままにしておくことができます。詳細については、メモリ・マップのセクションを参照してください。

デジタル出力

AD9648 出力ドライバは、1.8 V CMOS または 1.8 V LVDS ロジック・ファミリーとインターフェースするように設定することができます。デフォルト出力モードは CMOS で、別々のパスの各チャンネル出力は図 2 のようになります。

CMOS 出力モードでは、CMOS 出力ドライバは様々なロジック・ファミリーを駆動するために十分な出力電流を提供するようにデザインされていますが、大きな駆動電流は電源にグリッチを生じさせる傾向を持つため、コンバータ性能に影響を与えることがあります。

ADC により大きな容量負荷または大きなファンアウトを駆動することが必要なアプリケーションでは、外付けバッファまたはラッチが必要となる場合があります。

また、CMOS 出力は SPI ポートを介してインターリーブ CMOS 出力モードに設定することができます。インターリーブ CMOS モードでは、両チャンネルのデータが 1 本の出力バスへ出力されるため、必要とされる合計パターン数が削減されます。インターリーブ CMOS 出力モードのタイミング図を図 3 に示します。

インターリーブ CMOS 出力モードは、両出力チャンネルに対してレジスタ 0x14 のビット 5 を使ってグローバルにイネーブルされます。未使用チャンネル出力のディスエーブルは、レジスタ 0x05 の該当するデバイス・インデックス(ビット 1 またはビット 0)を選択し、レジスタ 0x14 内のローカル(チャンネル固有の)出力ポート・ディスエーブル・ビットに 1 を書き込むことにより行います。

外部ピン・モードで動作する場合、SCLK/DFS ピンを設定して、出力データ・フォーマットとしてオフセット・バイナリまたは 2 の補数を選択することができます(表 13 参照)。

表 14. 出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode	OR
VIN+ – VIN–	< –VREF – 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ – VIN–	= –VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ – VIN–	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

表 13. SCLK/DFS モード選択(外部ピン・モード)

Voltage at Pin	SCLK/DFS	SDIO/DCS
AGND	Offset binary (default)	DCS disabled
DRVDD	Twos complement	DCS enabled (default)

デジタル出力イネーブル機能(OEB)

AD9648 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードは SPI インターフェースを使ってイネーブルされ、その後 OEB ピンまたは SPI から制御されます。レジスタ 0x101 の SPI (ビット 7) を使ってイネーブルした後、OEB ピンをロー・レベルにすると、出力データ・ドライバと DCO がイネーブルされます。OEB ピンをハイ・レベルにすると、出力データ・ドライバと DCO はハイ・インピーダンス状態になります。この OEB 機能は、データ・バスに対する高速アクセスを意図したものではありません。OEB はデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできないことに注意してください。

SPI インターフェースを使用する場合、レジスタ 0x14 の出力ディスエーブル・ビット(ビット 4)を使うと、各チャンネルのデータ出力と DCO を独立にスリー・ステートにすることができます。

タイミング

AD9648 は、ラッチされたデータを 16 クロック・サイクルのパイプライン遅延後に出力します。データ出力は、クロック信号の立上がりエッジから 1 伝搬遅延(t_{PD})後に出力されます。

出力データラインの長さ、それらに接続された負荷を最小にして AD9648 内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9648 の最小変換レートは 10 MSPS (typ) です。10 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD9648 は、外部レジスタ内のデータをキャプチャするために、2 つのデータ・クロック出力(DCO)信号を提供します。CMOS 出力モードでは、データ出力は SPI から DCO クロック極性が変更されていない限り、DCO の立上がりエッジで有効です。LVDS 出力モードでは、DCO とデータ出力のスウィッチング・エッジが一致します。SPI レジスタ 0x17 を使って DCO 出力に遅延を追加して、データ・セットアップ時間を大きくすることができます。この場合、チャンネル A の出力データは DCO の立上がりエッジで有効になり、チャンネル B の出力データは DCO の立下がりエッジで有効になります。出力モードでのタイミング説明のグラフについては、図 2、図 3、図 4 を参照してください。

ビルトイン・セルフテスト(BIST)と出力テスト

AD9648 は、各チャンネルのテストとボード・レベルのデバッグを可能にするビルトイン・テスト機能を内蔵しています。AD9648 のデジタル・データ・パスの正常性を確認するビルトイン・セルフテスト(BIST)機能も内蔵されています。AD9648 の出力に予測可能な値を出力させるための様々な出力テスト・オプションも用意されています。

ビルトイン・セルフテスト(BIST)

BIST は AD9648 の選択した信号パスのデジタル部分をテストします。デバイスが既知の状態にあることを確認するため、リセット後に BIST テストを実行してください。BIST 時、内部疑似ランダム・ノイズ(PN)ソースからのデータが、ADC ブロック出力からスタートして両チャンネルのデジタル・データ・パスを通過して駆動されます。データパス出力では、CRC ロジックがデータからのシグネチャを計算します。BIST シーケンスは 512 サイクル間動作して停止します。テストが完了すると、BIST はシグネチャ結果を規定値と比較します。シグネチャが一致すると、BIST はレジスタ 0x24 のビット 0 をセットして、テストがパスしたことを通知します。BIST テストに失敗すると、レジスタ 0x24 のビット 0 がクリアされます。このテストの間出力が接続されているため、PN シーケンスを動作中に観測することができます。値 0x05 をレジスタ 0x0E に書込むと BIST が開始されます。これにより、レジスタ 0x0E のビット 0 (BIST イネーブル)がイネーブルされ、レジスタ 0x0E 内の PN シーケンス・ジェネレータのビット 2 (BIST シーケンスの開始)がリセットされます。BIST が完了すると、レジスタ 0x24 のビット 0 は自動的にクリアされます。レジスタ 0x0E のビット 2 に 0 を書込むと、最後の値から PN シーケンスを続けることができますが、PN シーケンスをリセットしない場合、テストの終わりにシグネチャ計算が規定値と一致しません。この時は、出力データの検証を信ずるほかにありません。

出力テスト・モード

出力テスト・オプションを表 18 のアドレス 0x0D に示します。出力テスト・モードをイネーブルすると、ADC のアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パターンのいくつかは出力フォーマットが行われ、行われないものもあります。レジスタ 0x0D のビット 4 またはビット 5 をセットすることにより、PN シーケンス・テストの PN ジェネレータをリセットすることができます。これらのテストはアナログ信号の有無によらず(有りの場合、アナログ信号は無視されます)実行することができますが、エンコード・クロックは必要です。詳細については、アプリケーション・ノート AN-877、「SPI を使った高速 ADC へのインターフェース」を参照してください。

シリアル・ポート・インターフェース(SPI)

AD9648 シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI は、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これについてはメモリ・マップのセクションに記載してあります。詳細については、[AN-877](#) アプリケーション・ノート「*SPI* を使った高速 ADC へのインターフェース」を参照してください。

SPI を使う設定

この ADC の SPI は、SCLK/DFS ピン、SDIO/DCS ピン、CSB ピンの 3 本のピンにより定義されます(表 15 参照)。SCLK/DFS (シリアル・クロック)ピンは、ADC に対する読出し/書き込みデータの同期に使用されます。SDIO/DCS (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読出しサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表 15.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 62 と表 5 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読出しに使うことができます。マルチバイト・シリアル・データの先頭バイトの先頭ビットは、発行されているのが読出しコマンドまたは書き込みコマンドのいずれであるかを表示します。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

すべてのデータは 8 ビット・ワードで構成されます。データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の詳細については、[AN-877](#) アプリケーション・ノート「*SPI* を使った高速 ADC へのインターフェース」を参照してください。

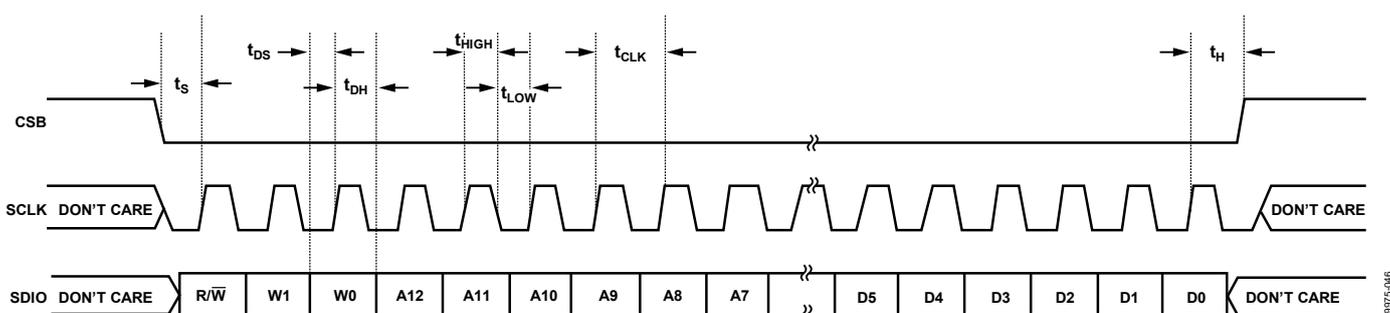


図 62.シリアル・ポート・インターフェースのタイミング図

ハードウェア・インターフェース

表 15 に示すピンにより、ユーザー書き込みデバイスと AD9648 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、アプリケーション・ノート AN-812 「Microcontroller-Based Serial Port Interface (SPI) Boot Circuit」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9648 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI インターフェースを使用しない場合には、幾つかのピンは他の機能に使用されます。デバイス・パワーオン時にピンを DRVDD またはグラウンドに接続すると、それらのピンは特定の機能として使われます。表 16 に、AD9648 でサポートしているストラップ接続可能な機能を示します。

SPI を使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/DCS ピン、SCLK/DFS ピン、PDWN ピンは、独立した CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、ピンはデューティ・サイクル・スタビライザ、出力データ・フォーマット、パワーダウン機能制御用のスタティック・コントロール・ラインとして使用されるものと見なされます。このモードでは、CSB チップ・セレクト・バーを AVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがディスエーブルされます。

デバイスが SPI モードの場合、PDWN ピンと OEB ピン(イネーブルされた場合)はアクティブのままになります。出力イネーブルとパワーダウンの SPI 制御の場合、OEB ピンと PDWN ピンはそれぞれのデフォルト状態に設定する必要があります。

表 16. モードの選択

Pin	External Voltage	Configuration
SDIO/DCS	DRVDD (default)	Duty cycle stabilizer enabled
	AGND	Duty cycle stabilizer disabled
SCLK/DFS	DRVDD	Twos complement enabled
	AGND (default)	Offset binary enabled
OEB	DRVDD	Outputs in high impedance
	AGND (default)	Outputs enabled
PDWN	DRVDD	Chip in power-down or standby
	AGND (default)	Normal operation

SPI からアクセス可能な機能

表 17 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」で詳しく説明しています。AD9648 デバイスに固有な機能は次の表 18 外部メモリ・マップ・レジスタ・テーブルに説明します。

表 17. SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS, set the clock divider, set the clock divider phase, and enable the sync
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set the output mode including LVDS
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00~アドレス 0x02)、チャンネル・インデックス・レジスタと転送レジスタ(アドレス 0x05 とアドレス 0xFF)、セットアップ、コントロール、テストなどの ADC ファンクション・レジスタ(アドレス 0x08~アドレス 0x102)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 18 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x05 のデバイス・インデックス・レジスタは、16 進デフォルト値 0x03 を持ちます。これは、アドレス 0x05 ビット[7: 2] = 0、かつビット[1: 0] = 1 を意味します。この設定はデフォルトのチャンネル・インデックス設定値です。デフォルト値により、両 ADC チャンネルは次の書込みコマンド受信になります。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。このアプリケーション・ノートでは、レジスタ 0x00~レジスタ 0xFF により制御される機能を詳しく説明しています。残りのレジスタは、メモリ・マップ・レジスタ説明のセクションに記載します。

未使用ロケーション

表 18 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です(例えばアドレス 0x05)。アドレス・ロケーション全体が未使用の場合(たとえばア

ドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

デフォルト値

AD9648 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 18)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

チャンネル固有のレジスタ

信号モニタ・スレッショールドのような幾つかのチャンネル・セットアップ機能は、各チャンネルごとに異なる設定が可能です。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 18 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x05 内の該当するチャンネル A またはチャンネル B ビットをセットします。両ビットがセットされている場合は、後続の書込みは両チャンネルのレジスタに対して行われます。読出しサイクルでは、チャンネル A またはチャンネル B の一方のみをセットして、2 つのレジスタの内の 1 つを読出す必要があります。SPI 読出しサイクルで両ビットがセットされていると、デバイスはチャンネル A の値を返します。表 18 でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間で独立な設定が許容されていないチャンネル機能に対して有効です。

メモリ・マップ・レジスタ・テーブル

表 18に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 18.メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments
Chip Configuration Registers											
0x00	SPI port config (global)	Open	LSB first	Soft reset	1	1	Soft reset	LSB first	Open	0x18	The nibbles are mirrored so LSB-first mode or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID (global)	8-bit chip ID[7: 0] AD9648 = 0x88								Read only	Unique chip ID used to differentiate devices; read only
0x02	Chip grade (global)	Open	Speed grade ID 100 = 105 MSPS 101 = 125 MSPS			Open				Read only	Unique speed grade ID used to differentiate devices; read only
Channel Index and Transfer Registers											
0x05	Device index (global)	Open	Open	Open	Open	Open	Open	Data Channel B	Data Channel A	0x03	Bits are set to determine which device on the chip receives the next write command; applies to local registers only
0xFF	Transfer (global)	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave
ADC Functions											
0x08	Power modes (local)	Open	Open	External power-down pin function 0 = PDWN 1 = standby	Open	Open	Open	Internal power-down mode 00 = normal operation 01 = full power-down 10 = standby 11 = digital reset		0x00	Determines various generic modes of chip operation
0x09	Global clock (global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer 0 = Disabled 1 = enabled	0x01	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments
0x0B	Clock divide (global)	Open	Open	Open	Open	Open	Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8		0x00	The divide ratio is value plus 1	
0x0C	Enhancement control (global)	Open	Open	Open	Open	Open	Chop 0 = disabled 1 = enabled	Open	Open	0x00	Chop mode enabled if Bit 2 is enabled
0x0D	Test mode (local)	User test mode control 00 = single pattern mode 01 = alternate continuous/repeat pattern mode 10 = single once pattern mode 11 = alternate once pattern mode		Reset PN long gen	Reset PN short gen	Output test mode 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN long sequence 0110 = PN short sequence 0111 = one/zero word toggle 1000 = user test mode 1111 = ramp output			0x00	When this register is set, the test data is placed on the output pins in place of normal data	
0x0E	BIST enable (global)	Open	Open	Open	Open	Open	Initialize BIST sequence	Open	BIST enable	0x00	
0x10	Customer offset adjust (local)	Offset adjust in LSBs from +127 to -128 (twos complement format)							0x00		
0x14	Output mode	Output port logic type (global) 00 = CMOS, 1.8 V 10 = LVDS, ANSI 11 = LVDS, reduced range		Output Interleave enable (global)	Output port disable (local)	Open (global)	Output invert (local)	Output format 00 = offset binary 01 = twos complement 10 = Gray code		0x00	Configures the outputs and the format of the data
0x15	Output adjust	Open	Open	CMOS 1.8 V DCO drive strength 00 = 1× 01 = 2× 10 = 3× 11 = 4×		Open	Open	CMOS 1.8 V data drive strength 00 = 1× 01 = 2× 10 = 3× 11 = 4×		0x00	Determines CMOS output drive strength properties
0x16	Clock phase control (global)	Invert DCO clock 0 = not inverted 1 = inverted	Open	Open	Open	Open	Input clock divider phase adjust relative to the encode clock 000 = no delay 001 = one input clock cycle 010 = two input clock cycles 011 = three input clock cycles 100 = four input clock cycles 101 = five input clock cycles 110 = six input clock cycles 111 = seven input clock cycles			0x00	Allows selection of clock delays into the input clock divider
0x17	Output delay (global)	DCO clock delay 0 = disabled 1 = enabled	Open	Data delay 0 = disabled 1 = enabled	Open	Open	Delay selection 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns			0x00	This sets the fine output delay of the output clock but does not change internal timing

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments
0x18	VREF select (global)	Open	Open	Open	Open	Open	Internal V _{REF} digital adjustment 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p			0x04	Select and/or adjust V _{REF}
0x19	User Pattern 1 LSB (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern 1 LSB
0x1A	User Pattern 1 MSB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User-defined Pattern, 1 MSB
0x1B	User Pattern 2 LSB (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined Pattern 2 LSB
0x1C	User Pattern 2 MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User-defined Pattern, 2 MSB
0x24	MISR LSB	MISR LSB[7: 0]								0xFF	Read only
0x25	MISR MSB	MISR MSB[15: 8]								0xFF	Read only
0x2A	Overrange control (global)	Open	Open	Open	Open	Open	Open	Open	Overrange output 0 = disabled 1 = enabled	0x01	Overrange control settings
0x2E	Output assign (local)	Open	Open	Open	Open	Open	Open	Open	0 = ADC A 1 = ADC B (local)	ADC A = 0x00 ADC B = 0x01	Assign an ADC to an output channel
0x3A	Sync control (global)	Open	Open	Open	Open	Open	Sync next only	Sync enable	Open	0x00	Sets the global sync options
0x100	Sample rate override	Open	Sample rate override enable	Resolution 010 = 14 bits 100 = 12 bits 110 = 10 bits			Sample rate 011 = 80 MSPS 100 = 105 MSPS 101 = 125 MSPS			0x00	
0x101	User I/O Control Register 2	Output enable bar (OEB) pin enable	Open	Open	Open	Open	Open	Open	Disable SDIO pull-down	0x00	OEB and SDIO pin controls
0x102	User I/O Control Register 3	Open	Open	Open	Open	VCM power-down	Open			0x00	

メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート AN-877「SPI を使った高速 ADC へのインターフェース」を参照してください。

パワー・モード(レジスタ 0x08)

ビット[7: 6]—オープン

ビット 5—外部パワーダウン・ピン機能

セットすると、PDWN ピンはパワーダウン・モードを開始します。クリアすると、外部 PDWN ピンはスタンバイ・モードを開始します。

ビット[4: 2]—オープン

ビット[1: 0]—内部パワーダウン・モード

通常の動作(ビット[1: 0]=00)では、両 ADC チャンネルがアクティブになります。

パワーダウン・モード(ビット[1: 0]=01)では、デジタル・データ・パス・クロックがディスエーブルされ、デジタル・データ・パスがリセットされます。出力はディスエーブルされます。

スタンバイ・モード(ビット[1: 0]=10)では、デジタル・データ・パス・クロックと出力がディスエーブルされます。

デジタル・リセット(ビット[1: 0]=11)時、デジタル・データ・パス・クロックがディスエーブルされ、デジタル・データ・パスはリセットを維持します。この状態で出力はイネーブルされます。最適性能を得るためには、両 ADC チャンネルを同時にリセットすることが推奨されます。これは、必ずレジスタ 0x05 を使って両チャンネルを選択した後にデジタル・リセット命令を発行することにより実現されます。

エンハンスメント・コントロール(レジスタ 0x0C)

ビット[7: 3]—オープン

ビット 2—チョップ・モード

ホモダインやダイレクト・コンバージョン・レシーバのようなオフセット電圧と他の低周波ノイズに敏感なアプリケーションの場合、AD9628 の初段ステージでのチョッピングはビット 2 をセットしてイネーブルできる機能です。周波数領域で、チョッピングはオフセットと他の低周波ノイズを $f_{CLK}/2$ に変換し、これはフィルタで除去することができます。

ビット[1: 0]—オープン

出力モード(レジスタ 0x14)

ビット[7: 6]—出力ポート・ロジック・タイプ

00 = CMOS、1.8 V

10 = LVDS、ANSI

11 = LVDS、縮小レンジ

ビット 5—出カインターリーブ・イネーブル

LVDS 出力の場合、ビット 5 をセットするとインターリーブがイネーブルされます。チャンネル A は DCO クロックのハイと、チャンネル B は DCO クロックのローと、それぞれ一致して出力されます。ビット 5 をクリアすると、インターリーブ機能がディスエーブルされます。

チャンネル A は下位ビット(LSB)を、チャンネル B は上位ビット(MSB)を、それぞれ出力します。偶数ビットが DCO クロックのハイに、奇数ビットが DCO クロックのローに、それぞれ一致して出力されます。

CMOS 出力の場合、ビット 5 をセットすると、CMOS DDR モードでインターリーブがイネーブルされます。ADC 出力ポート A では、チャンネル A が DCO クロックのローに、チャンネル B が DCO クロックのハイに、それぞれ一致して出力されます。ADC 出力ポート B では、チャンネル B が DCO クロックのローに、チャンネル A が DCO クロックのハイに、それぞれ一致して出力されます。ビット 5 をクリアすると、インターリーブ機能がディスエーブルされ、データは CMOS SDR モードで出力されます。チャンネル A はポート A へ、チャンネル B はポート B へ、それぞれ出力されます。

ビット 4—出力ポート・ディスエーブル

ビット 4 をハイ・レベルに設定すると、デバイス・インデックス・レジスタ(レジスタ 0x05)のビット[1: 0]で選択されたチャンネルの出力ポートがディスエーブルされます。

ビット 3—オープン

ビット 2—出力の反転

ビット 2 をハイ・レベルに設定すると、デバイス・インデックス・レジスタ(レジスタ 0x05)のビット[1: 0]で選択されたチャンネルの出力ポートが反転されます。

ビット[1: 0]—出力フォーマット

00 = オフセット・バイナリ

01 = 2 の補数

10 = グレイ・コード

同期制御(レジスタ 0x3A)

ビット[7: 3]—オープン

ビット 2—クロック分周器が次同期のみに同期

クロック分周器同期イネーブル・ビット(アドレス 0x3A、ビット 1)がハイ・レベルの場合、ビット 2 によりクロック分周器が受信した最初の同期パルスに同期するようになり、残りは無視します。クロック分周器同期イネーブル・ビットは同期後リセットされません。

ビット 1—クロック分周器同期イネーブル

ビット 1 は、クロック分周器への同期パルスをゲーティングします。ビット 1 がハイ・レベルのとき同期信号がイネーブルされます。これは連続同期モードです。

ビット 0—オープン

転送(レジスタ 0xFF)

レジスタ 0x100 以外の全レジスタは、書き込まれたときに更新されます。この転送レジスタのビット 0 をハイ・レベルにセットすると、ADC サンプル・レート・オーバーライド・レジスタ(アドレス 0x100)内の設定値が初期化されます。

サンプル・レート・オーバーライド(レジスタ 0x100)

このレジスタは、ユーザーがデバイスをダウングレードさせることができるようにデザインされています。デフォルトの速度グレードをアップグレードしようとする、チップはパワーダウンします。転送レジスタ(レジスタ 0xFF)のビット 0 にハイ・レベルが書込まれるまで、このレジスタ内の設定値は初期化されません。

ユーザーI/O コントロール 2 (レジスタ 0x101)**ビット 7—OEB ピン・イネーブル**

OEB ピン・イネーブル・ビット(ビット 7)がセットされると、OEB ピンがイネーブルされます。ビット 7 がクリアされると、OEB ピンがディスエーブルされます(デフォルト)。

ビット[6: 1]—オープン**ビット 0—SDIO プルダウン**

ビット 0 をセットして、SDIO ピンの内部 30 k Ω プルダウンをディスエーブルすることができます。この機能を使うと、多くのデバイスが SPI バスに接続されているとき、負荷を制限することができます。

ユーザーI/O コントロール 3 (レジスタ 0x102)**ビット[7: 4]—オープン****ビット 3—VCM パワーダウン**

ビット 3 をハイ・レベルにすると、内蔵 VCM ジェネレータをパワーダウンさせることができます。この機能は、外部リファレンスを供給する際に使います。

ビット[2: 0]—オープン

アプリケーション情報

デザイン・ガイドライン

1 つのシステムとして、AD9648 のデザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件についての次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD9648 に接続する際、2 個の 1.8 V 電源を使うことが推奨されます。1 つはアナログ用 1.8 V 電源(AVDD)、もう 1 つはデジタル出力用 1.8 V 電源(DRVDD)です。AVDD と DRVDD には、複数の異なるデカップリング・コンデンサを使って高周波と低周波をカバーする必要があります。これらコンデンサは PCB レベルの入りの近くで、かつ最短パターンでデバイス・ピンの近くに配置してください。

AD9648 を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

LVDS 動作

パワーアップ時、AD9648 はデフォルトとして CMOS 出力モードになります。LVDS で動作させる場合は、パワーアップ後に SPI 設定レジスタを使ってこのモードを設定する必要があります。AD9648 が CMOS モードでパワーアップすると、出力に LVDS 終端抵抗(100 Ω)が付いているため、デバイスが LVDS モードになるまで DRVDD 電流は typ 値より大きくなる場合があります。DRVDD 電流のこの増加により AD9648 が損傷を受けることはありませんが、デバイスの最大 DRVDD 電流を検討するときはこれを考慮する必要があります。

この DRVDD 電流の増加を回避するため、パワーアップ時に PDWN ピンをハイ・レベルにすることにより、AD9648 出力をディスエーブルすることができます。SPI ポートを経由してデバイスを LVDS モードにした後に、PDWN ピンをロー・レベルにして、出力をイネーブルすることができます。

エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パッドをアナログ・グラウンド(AGND)に接続することが必要です。PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD9648 のエクスポーズド・パッド(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。ビアにハンダ浸透する(接続が劣化します)のを防止するためこれらのビアを塞いでおく必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、www.analog.com/jp のアプリケーション・ノート AN-772 「リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド」を参照してください。

VCM

VCM ピンは、0.1 μF のコンデンサでグラウンドへデカップリングする必要があります。

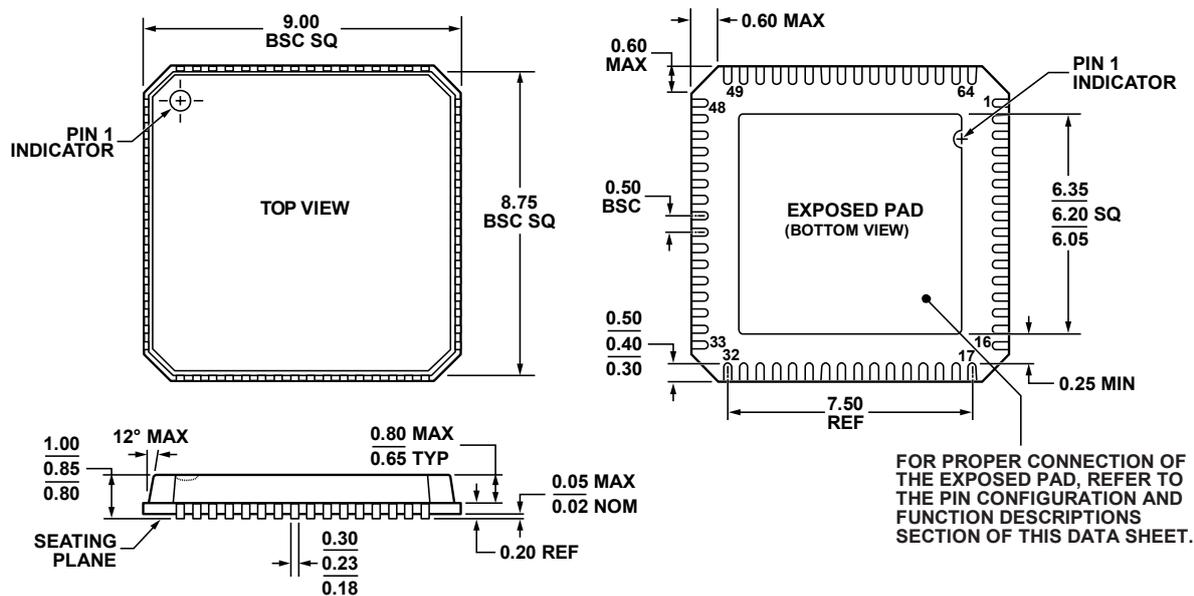
リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい 1.0 μF のコンデンサと ESR の小さい 0.1 μF のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9648 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

081707-C

図 63.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-4)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9648BCPZ-105	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9648BCPZ-125	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9648BCPZRL7-105	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9648BCPZRL7-125	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9648-125EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。