

**特長**

- 電源動作: 1.8 V
- 低消費電力: 125 MSPS でチャンネルあたり 122 mW、消費電力調整オプション付き。
- SNR = 74 dBFS (ナイキスト周波数まで)
- 70 MHz で SFDR = 91 dBc
- DNL = ±0.65 LSB (typ); INL = ±1.5 LSB (typ)
- シリアル LVDS (ANSI-644、デフォルト)および低消費電力の縮小レンジ・オプション(IEEE 1596.3 と同じ)
- 650 MHz のフル・パワー・アナログ帯域幅
- 入力電圧範囲: 2 V p-p
- シリアル・ポート制御
  - フルチップおよび個別のチャンネル・パワーダウン・モード
  - 柔軟なビット指向
  - 組み込みおよびカスタムのデジタル・テスト・パターン生成
  - クロック分周器
  - プログラマブルな出力クロックとデータ・アライメント
  - 出力分解能が設定可能
  - スタンバイ・モード

**アプリケーション**

- 通信
  - ダイバーシティ無線システム
  - マルチモード・デジタル・レシーバ
  - GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA
- I/Q 復調システム
  - スマート・アンテナ・システム
  - ブロードバンド・データ・アプリケーション
  - バッテリー駆動の計装機器
  - ハンドヘルド型スコープ・メータ
  - 携帯型の医用画像および超音波
  - レーダー/LIDAR

**概要**

AD9645 は、80/125 MSPS の 14 ビット・デュアル A/D コンバータ(ADC)で、サンプル・アンド・ホールド回路を内蔵し、低価格、低消費電力、小型、使い易くなるようにデザインされています。このデバイスは、最大 125 MSPS の変換レートで動作し、小型パッケージが重要となるアプリケーションで優れたダイナミック性能と低消費電力を持つように最適化されています。この ADC は、フル性能動作のために 1.8 V の単電源と LVPECL/CMOS/LVDS 互換のサンプル・レート・クロックを必要とします。多くのアプリケーションに対して、外付けのリファレンス電圧またはドライバなしで済みます。

**機能ブロック図**

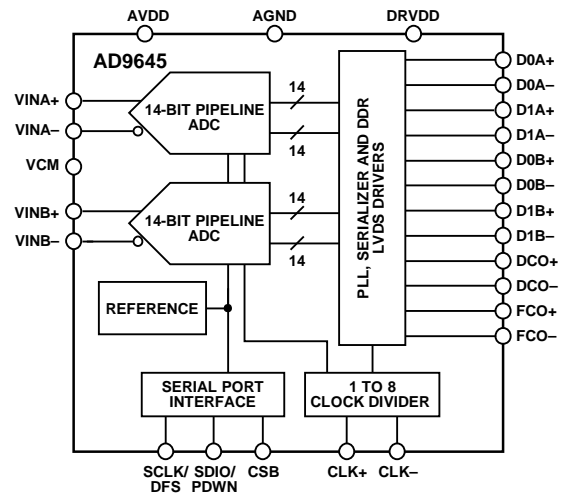


図 1.

この ADC は該当する LVDS シリアル・データレートを得るために、サンプル・レート・クロックを自動的に通信します。このデバイスには、出力でデータを取り込むためのデータ・クロック出力(DCO)と新しい出力バイトを通知するためのフレーム・クロック出力(FCO)が設けてあります。個別チャンネル・パワーダウンをサポートしており、フル・パワーダウン状態での AD9645 消費電力は 2 mW (typ)以下です。ADC は、柔軟性を高め、システム・コストを下げるためにデザインされた、プログラマブルな出力クロック、データ・アライメント、デジタル・テスト・パターンの生成などの複数の機能を持っています。使用可能なデジタル・テスト・パターンとしては、決定論的パターン、疑似ランダム・パターン、ユーザー定義のテスト・パターン(シリアル・ポート・インターフェース(SPI)を介して入力)などがあります。

AD9645 は、RoHS 準拠の 32 ピン LFCSP パッケージを採用しています。仕様は-40°C~+85°C の工業用温度範囲で規定されています。このデバイスは、米国特許により保護されています。

**製品のハイライト**

1. 小型フットプリント。2 個の ADC が小型省スペース・パッケージに内蔵されています。
2. 低消費電力。125 MSPS でチャンネルあたり 122 mW の低消費電力、消費電力調整オプション付き。
3. 12 ビット・デュアル ADC の AD9635 とピン・コンパチブルです。
4. 使い易い。最大 500 MHz の周波数で動作するデータ・クロック出力(DCO)を持ち、ダブル・データレート(DDR)動作をサポート。
5. 柔軟性。SPI 制御は、特定のシステム条件を満たすように広範囲で柔軟な機能を提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2012 Analog Devices, Inc. All rights reserved.

## 目次

特長	1	消費電力とパワーダウン・モード	22
アプリケーション	1	デジタル出力とタイミング	23
概要	1	出力テスト・モード	26
機能ブロック図	1	シリアル・ポート・インターフェース(SPI)	27
製品のハイライト	1	SPIを使う設定	27
改訂履歴	2	ハードウェア・インターフェース	28
仕様	3	SPIを使わない設定	28
DC仕様	3	SPIからアクセス可能な機能	28
AC仕様	4	メモリ・マップ	29
デジタル仕様	5	メモリ・マップ・レジスタ・テーブルの読出し	29
スイッチング仕様	6	メモリ・マップ・レジスタ・テーブル	30
タイミング仕様	6	メモリ・マップ・レジスタの説明	33
絶対最大定格	10	アプリケーション情報	35
熱抵抗	10	デザイン・ガイドライン	35
ESDの注意	10	電源とグラウンドのガイドライン	35
ピン配置およびピン機能説明	11	エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項	35
代表的な性能特性	12	VCM	35
AD9645-80	12	リファレンス電圧のデカップリング	35
AD9645-125	15	SPIポート	35
等価回路	18	外形寸法	36
動作原理	19	オーダー・ガイド	36
アナログ入力に対する考慮	19		
リファレンス電圧	20		
クロック入力の考慮事項	21		

## 改訂履歴

6/12—Revision 0: Initial Version

## 仕様

## DC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、2 V p-p 差動入力、1.0 V 内蔵リファレンス電圧、AIN = -1.0 dBFS。

表 1.

Parameter <sup>1</sup>	Temp	AD9645-80			AD9645-125			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION		14			14			Bits
ACCURACY		Guaranteed			Guaranteed			
No Missing Codes	Full							
Offset Error	Full	-0.6	-0.2	+0.1	-0.6	-0.2	+0.2	% FSR
Offset Matching	Full	-0.2	+0.1	+0.4	-0.2	+0.1	+0.4	% FSR
Gain Error	Full	-4.3	-1.0	+2.2	-5.1	-1.5	+2.3	% FSR
Gain Matching	Full	0.5		2.2	0.6		2.6	% FSR
Differential Nonlinearity (DNL)	Full	-0.6			-0.6			LSB
	25°C	±0.65			±0.65			LSB
Integral Nonlinearity (INL)	Full	-2.6			-3.6			LSB
	25°C	±1.1			±1.5			LSB
TEMPERATURE DRIFT								
Offset Error	Full	2.7			3.3			ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage (1 V Mode)	Full	0.98	1.0	1.02	0.98	1.0	1.02	V
Load Regulation at 1.0 mA (V <sub>REF</sub> = 1 V)	25°C	2			2			mV
Input Resistance	25°C	7.5			7.5			kΩ
INPUT-REFERRED NOISE								
V <sub>REF</sub> = 1.0 V	25°C	0.95			1.0			LSB rms
ANALOG INPUTS								
Differential Input Voltage (V <sub>REF</sub> = 1 V)	Full	2			2			V p-p
Common-Mode Voltage	Full	0.9			0.9			V
Common-Mode Range	25°C	0.5	1.3		0.5	1.3		V
Differential Input Resistance	25°C	5.2			5.2			kΩ
Differential Input Capacitance	25°C	3.5			3.5			pF
POWER SUPPLY								
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
I <sub>AVDD</sub> <sup>2</sup>	Full	56		61	78		83	mA
I <sub>DRVDD</sub> (ANSI-644 Mode) <sup>2</sup>	Full	48		50	57		60	mA
I <sub>DRVDD</sub> (Reduced Range Mode) <sup>2</sup>	25°C	39			48			mA
TOTAL POWER CONSUMPTION								
DC Input	Full	178		191	227		244	mW
Sine Wave Input (Two Channels; Includes Output Drivers in ANSI-644 Mode)	Full	187		200	243		257	mW
Sine Wave Input (Two Channels; Includes Output Drivers in Reduced Range Mode)	25°C	171			227			mW
Power-Down	25°C	2			2			mW
Standby <sup>3</sup>	Full	92	101		115	126		mW

<sup>1</sup> 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0/最新版は英文をご覧ください) を参照してください。

<sup>2</sup> 両チャンネルに低周波数のフルスケール正弦波を入力して測定。

<sup>3</sup> SPI 経由で制御可能。

## AC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、2 V p-p 差動入力、1.0 V 内部リファレンス電圧、AIN = -1.0 dBFS。

表 2.

Parameter <sup>1</sup>	Temp	AD9645-80			AD9645-125			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
$f_{IN} = 9.7$ MHz	25°C		75.6			75.2		dBFS
$f_{IN} = 30.5$ MHz	25°C		75.4			75.0		dBFS
$f_{IN} = 70$ MHz	Full	73.1	74.5		72.8	74.3		dBFS
$f_{IN} = 139.5$ MHz	25°C		72.1			72.5		dBFS
$f_{IN} = 200.5$ MHz	25°C		70.0			70.3		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)								
$f_{IN} = 9.7$ MHz	25°C		75.6			75.1		dBFS
$f_{IN} = 30.5$ MHz	25°C		75.2			75.0		dBFS
$f_{IN} = 70$ MHz	Full	72.7	74.4		72.4	74.2		dBFS
$f_{IN} = 139.5$ MHz	25°C		71.7			72.4		dBFS
$f_{IN} = 200.5$ MHz	25°C		69.7			70.0		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 9.7$ MHz	25°C		12.3			12.2		Bits
$f_{IN} = 30.5$ MHz	25°C		12.2			12.2		Bits
$f_{IN} = 70$ MHz	Full	11.8	12.1		11.7	12.0		Bits
$f_{IN} = 139.5$ MHz	25°C		11.6			11.7		Bits
$f_{IN} = 200.5$ MHz	25°C		11.3			11.3		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 9.7$ MHz	25°C		96			93		dBc
$f_{IN} = 30.5$ MHz	25°C		91			97		dBc
$f_{IN} = 70$ MHz	Full	82	96		82	91		dBc
$f_{IN} = 139.5$ MHz	25°C		82			91		dBc
$f_{IN} = 200.5$ MHz	25°C		82			81		dBc
WORST HARMONIC (SECOND OR THIRD)								
$f_{IN} = 9.7$ MHz	25°C		-96			-93		dBc
$f_{IN} = 30.5$ MHz	25°C		-91			-97		dBc
$f_{IN} = 70$ MHz	Full		-96	-83		-91	-82	dBc
$f_{IN} = 139.5$ MHz	25°C		-82			-93		dBc
$f_{IN} = 200.5$ MHz	25°C		-82			-81		dBc
WORST OTHER HARMONIC OR SPUR								
$f_{IN} = 9.7$ MHz	25°C		-99			-96		dBc
$f_{IN} = 30.5$ MHz	25°C		-97			-99		dBc
$f_{IN} = 70$ MHz	Full		-99	-82		-96	-84	dBc
$f_{IN} = 139.5$ MHz	25°C		-93			-91		dBc
$f_{IN} = 200.5$ MHz	25°C		-91			-87		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)—AIN1 AND AIN2 = -7.0 dBFS								
$f_{IN1} = 70.5$ MHz, $f_{IN2} = 72.5$ MHz	25°C		-93			-93		dBc
CROSSTALK <sup>2</sup>								
	25°C		-97			-97		dB
CROSSTALK (OVERRANGE CONDITION) <sup>3</sup>								
	25°C		-97			-97		dB
POWER SUPPLY REJECTION RATIO (PSRR) <sup>4</sup>								
AVDD	25°C		42			42		dB
DRVDD	25°C		67			67		dB
ANALOG INPUT BANDWIDTH, FULL POWER								
	25°C		650			650		MHz

<sup>1</sup> 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0/最新版は英文をご覧ください) を参照してください。

<sup>2</sup> クロストークは、片方のアナログ・チャンネルに -1.0 dBFS を入力し、隣接チャンネルは入力なしで、70 MHz で測定。

<sup>3</sup> オーバーレンジ状態は、フルスケール入力レンジの 3 dB により定義されます。

<sup>4</sup> PSRR は、10 MHz の正弦波を電源ピンに加えて、FFT で出力スプリアスを測定することにより測定します。PSRR は、ピン電圧に対するスプリアス電圧振幅の比として計算され、dB で表示されます。

## デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、2 V p-p 差動入力、1.0 V 内部リファレンス電圧、AIN = -1.0 dBFS。

表 3.

Parameter <sup>1</sup>	Temp	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance			CMOS/LVDS/LVPECL		
Differential Input Voltage <sup>2</sup>	Full	0.2		3.6	V p-p
Input Voltage Range	Full	AGND - 0.2		AVDD + 0.2	V
Input Common-Mode Voltage	Full		0.9		V
Input Resistance (Differential)	25°C		15		kΩ
Input Capacitance	25°C		4		pF
LOGIC INPUT (SCLK/DFS)					
Logic 1 Voltage	Full	1.2		AVDD + 0.2	V
Logic 0 Voltage	Full	0		0.8	V
Input Resistance	25°C		30		kΩ
Input Capacitance	25°C		2		pF
LOGIC INPUT (CSB)					
Logic 1 Voltage	Full	1.2		AVDD + 0.2	V
Logic 0 Voltage	Full	0		0.8	V
Input Resistance	25°C		26		kΩ
Input Capacitance	25°C		2		pF
LOGIC INPUT (SDIO/PDWN)					
Logic 1 Voltage	Full	1.2		AVDD + 0.2	V
Logic 0 Voltage	Full	0		0.8	V
Input Resistance	25°C		26		kΩ
Input Capacitance	25°C		5		pF
LOGIC OUTPUT (SDIO/PDWN) <sup>3</sup>					
Logic 1 Voltage (I <sub>OH</sub> = 800 μA)	Full		1.79		V
Logic 0 Voltage (I <sub>OL</sub> = 50 μA)	Full			0.05	V
DIGITAL OUTPUTS (D0x±, D1x±), ANSI-644					
Logic Compliance			LVDS		
Differential Output Voltage Magnitude (V <sub>OD</sub> )	Full	290	345	400	mV
Output Offset Voltage (V <sub>OS</sub> )	Full	1.15	1.25	1.35	V
Output Coding (Default)			Twos complement		
DIGITAL OUTPUTS (D0x±, D1x±), LOW POWER, REDUCED SIGNAL OPTION					
Logic Compliance			LVDS		
Differential Output Voltage Magnitude (V <sub>OD</sub> )	Full	160	200	230	mV
Output Offset Voltage (V <sub>OS</sub> )	Full	1.15	1.25	1.35	V
Output Coding (Default)			Twos complement		

<sup>1</sup> 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0/最新版は英文をご覧ください) を参照してください。

<sup>2</sup> LVDS と LVPECL に対してのみ規定。

<sup>3</sup> これは、同じ接続を共用する 13 本の SDIO/PDWN ピンに対して規定。

## スイッチング仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、2 V p-p 差動入力、1.0 V 内部リファレンス電圧、AIN = -1.0 dBFS。

表 4.

Parameter <sup>1,2</sup>	Temp	Min	Typ	Max	Unit
<b>CLOCK<sup>3</sup></b>					
Input Clock Rate	Full	10		1000	MHz
Conversion Rate	Full	10		80/125	MSPS
Clock Pulse Width High ( $t_{EH}$ )	Full		6.25/4.00		ns
Clock Pulse Width Low ( $t_{EL}$ )	Full		6.25/4.00		ns
<b>OUTPUT PARAMETERS<sup>3</sup></b>					
Propagation Delay ( $t_{PD}$ )	Full		2.3		ns
Rise Time ( $t_R$ ) (20% to 80%)	Full		300		ps
Fall Time ( $t_F$ ) (20% to 80%)	Full		300		ps
FCO Propagation Delay ( $t_{FCO}$ )	Full	1.5	2.3	3.1	ns
DCO Propagation Delay ( $t_{CPD}$ ) <sup>4</sup>	Full		$t_{FCO} + (t_{SAMPLE}/16)$		ns
DCO to Data Delay ( $t_{DATA}$ ) <sup>4</sup>	Full	$(t_{SAMPLE}/16) - 300$	$t_{SAMPLE}/16$	$(t_{SAMPLE}/16) + 300$	ps
DCO to FCO Delay ( $t_{FRAME}$ ) <sup>4</sup>	Full	$(t_{SAMPLE}/16) - 300$	$t_{SAMPLE}/16$	$(t_{SAMPLE}/16) + 300$	ps
Lane Delay ( $t_{LD}$ )			90		ps
Data-to-Data Skew ( $t_{DATA-MAX} - t_{DATA-MIN}$ )	Full		$\pm 50$	$\pm 200$	ps
Wake-Up Time (Standby)	25°C		250		ns
Wake-Up Time (Power-Down) <sup>5</sup>	25°C		375		$\mu$ s
Pipeline Latency	Full		16		Clock cycles
<b>APERTURE</b>					
Aperture Delay ( $t_A$ )	25°C		1		ns
Aperture Uncertainty (Jitter, $t_j$ )	25°C		174		fs rms
Out-of-Range Recovery Time	25°C		1		Clock cycles

<sup>1</sup> 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0/最新版は英文をご覧ください) を参照してください。

<sup>2</sup> 標準 FR-4 材上で測定。

<sup>3</sup> SPI 経由で制御可能。変換レートは分周後のクロック・レートです。

<sup>4</sup>  $t_{SAMPLE}/16$  は 2 つの LVDS データ・レーン内のビット数に基づきます。 $t_{SAMPLE} = 1/f_S$ 。

<sup>5</sup> ウェイクアップ時間は、パワーダウン・モードから通常動作へ戻るために要する時間として定義されます。

## タイミング仕様

表 5.

Parameter	Description	Limit	Unit
<b>SPI TIMING REQUIREMENTS</b>			
	See Figure 68		
$t_{DS}$	Setup time between the data and the rising edge of SCLK	2	ns min
$t_{DH}$	Hold time between the data and the rising edge of SCLK	2	ns min
$t_{CLK}$	Period of the SCLK	40	ns min
$t_S$	Setup time between CSB and SCLK	2	ns min
$t_H$	Hold time between CSB and SCLK	2	ns min
$t_{HIGH}$	SCLK pulse width high	10	ns min
$t_{LOW}$	SCLK pulse width low	10	ns min
$t_{EN\_SDIO}$	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 68)	10	ns min
$t_{DIS\_SDIO}$	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 68)	10	ns min

タイミング図

SPIレジスタ設定値については、メモリ・マップ・レジスタの説明のセクションと表 20 を参照してください。

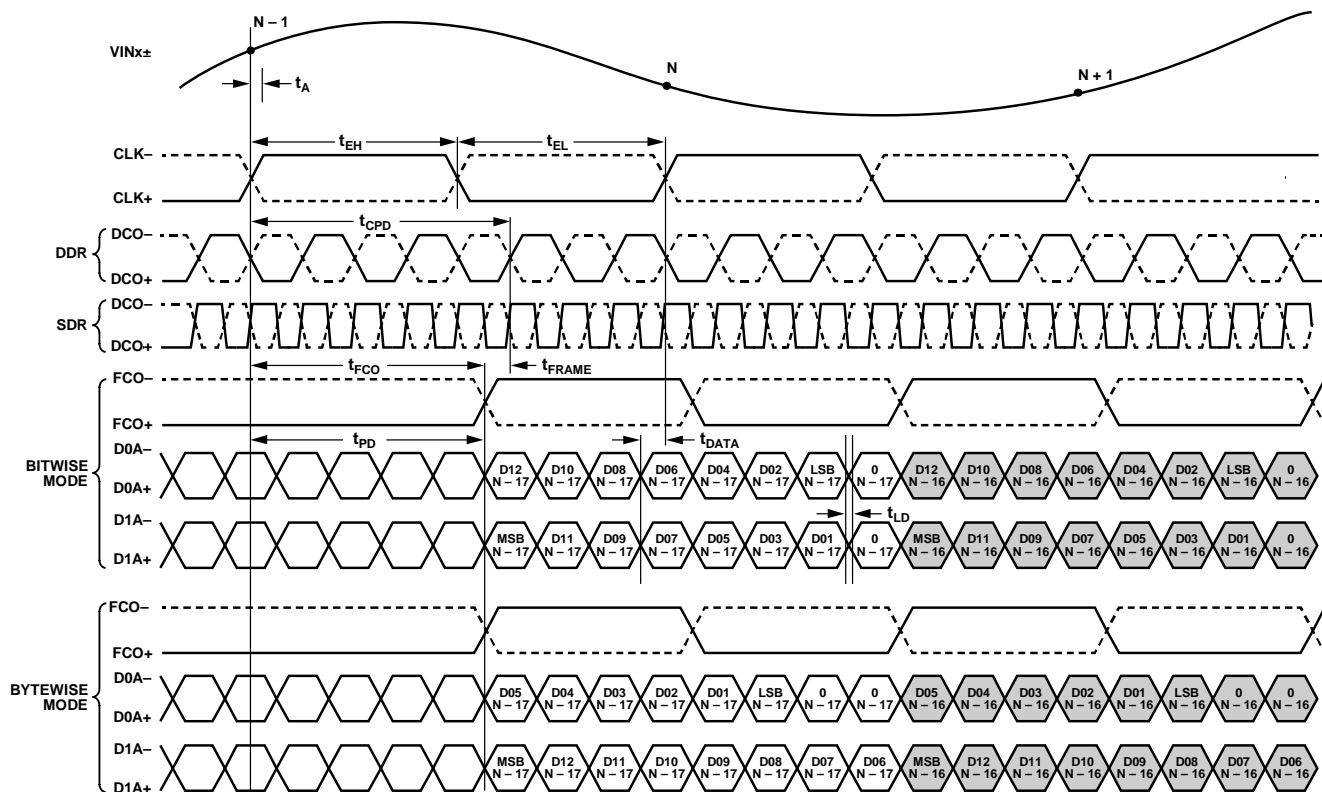


図 2.16 ビット DDR/SDR、2 レーン、1xフレーム・モード(デフォルト)

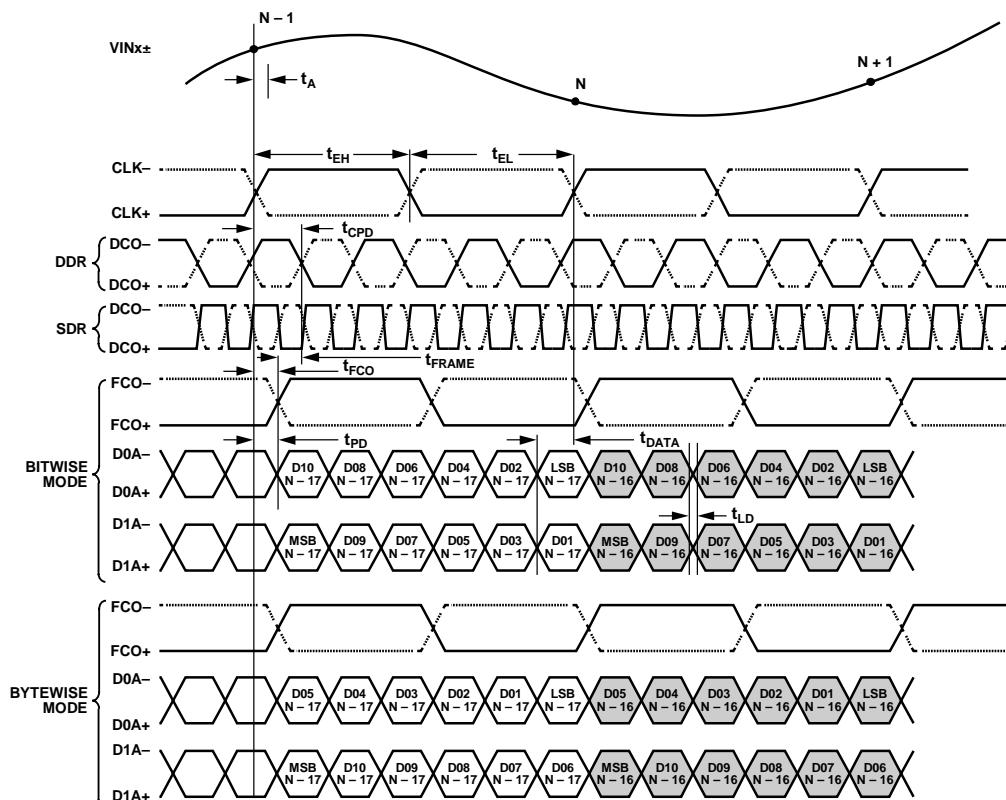


図 3.12 ビット DDR/SDR、2 レーン、1xフレーム・モード

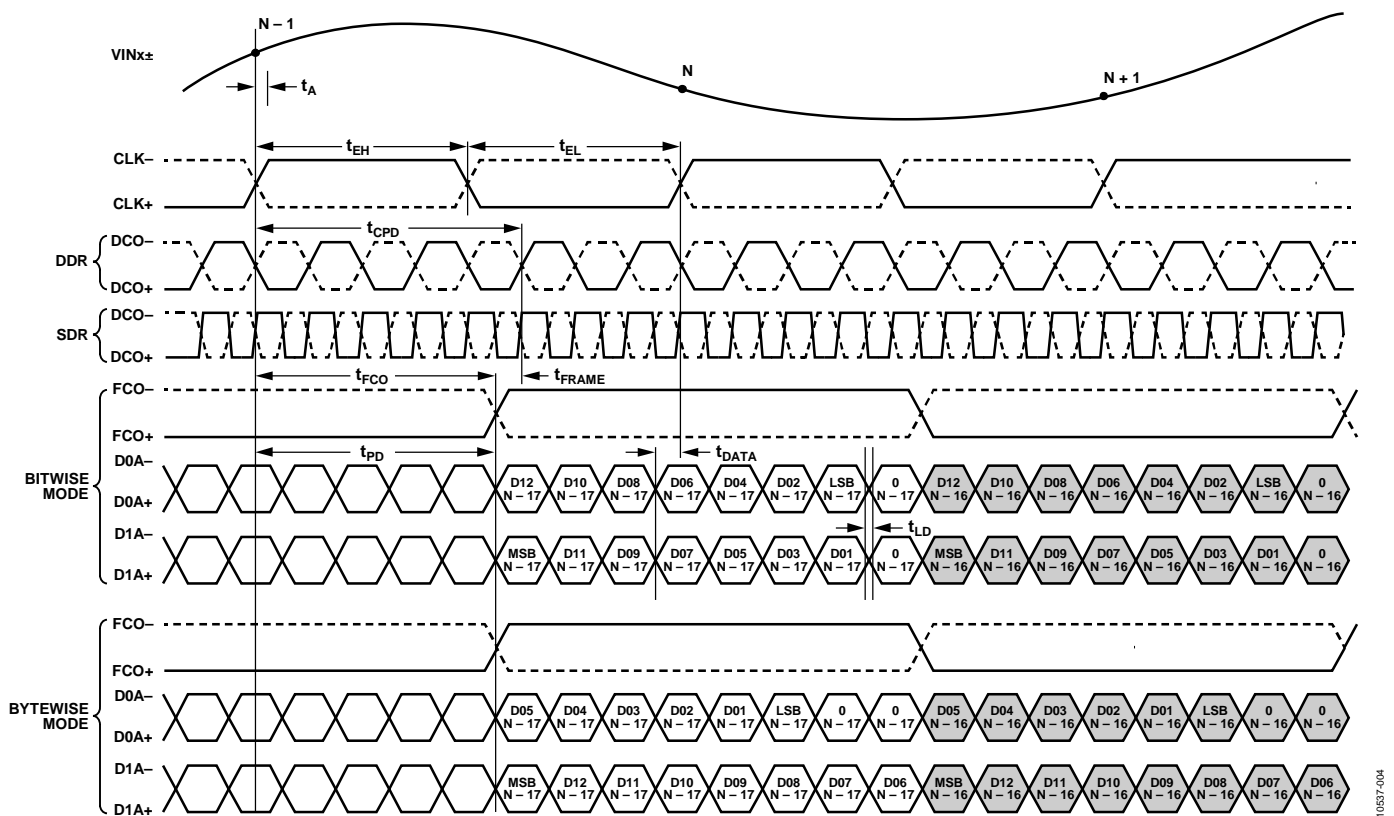


図 4.16 ビット DDR/SDR、2 レーン、2xフレーム・モード

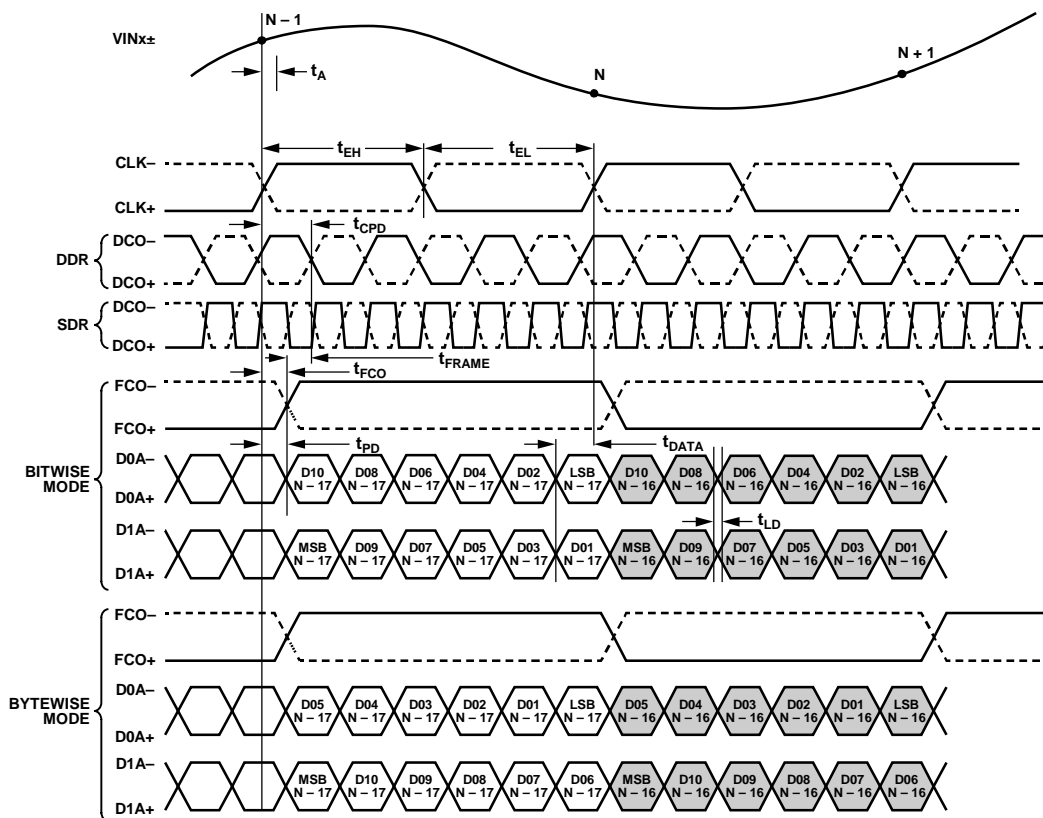
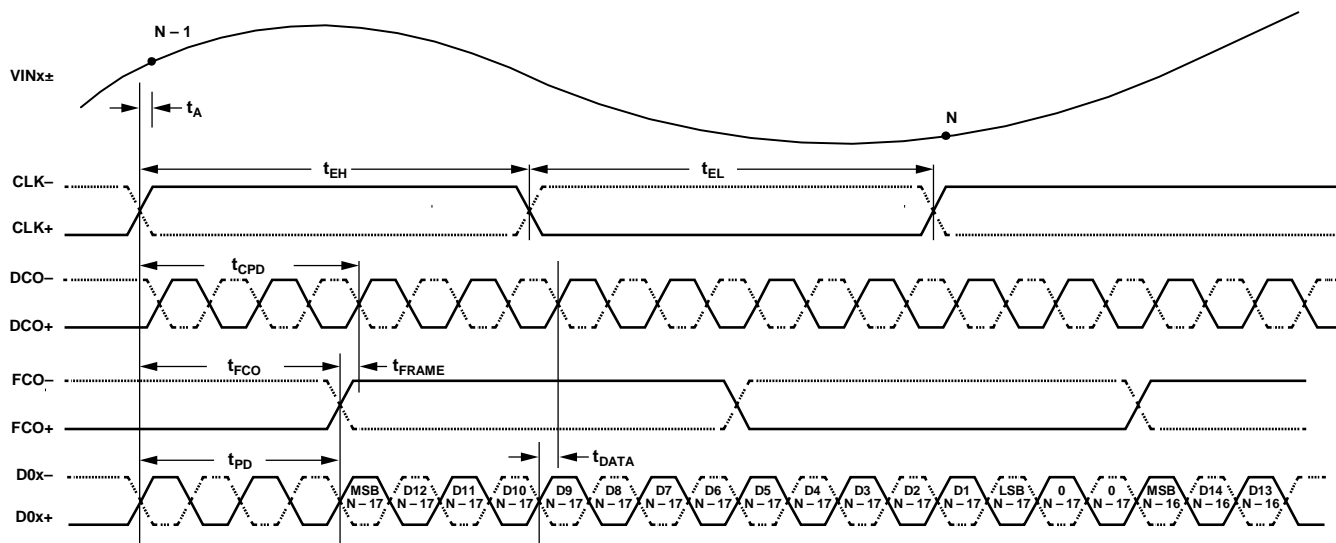


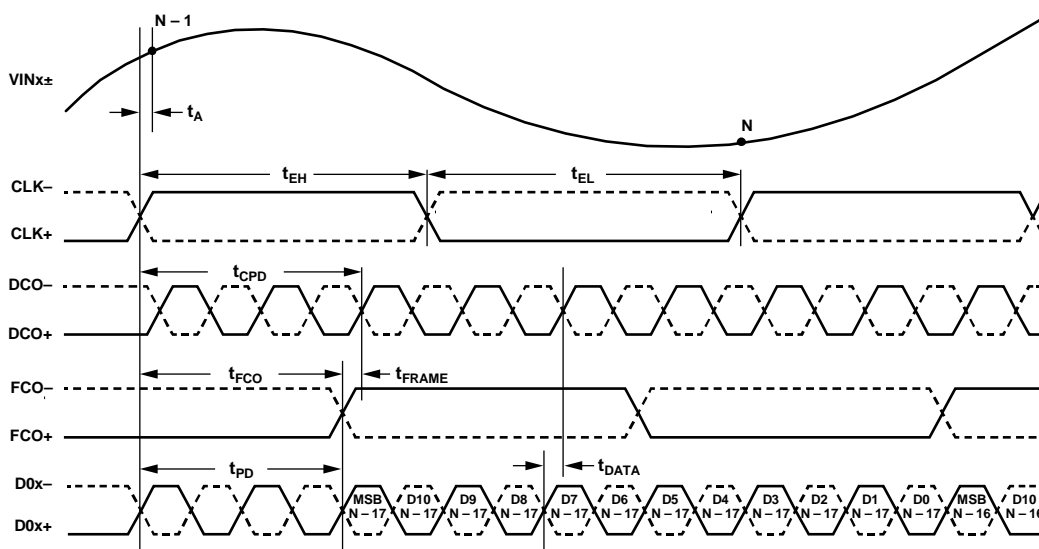
図 5.12 ビット DDR/SDR、2 レーン、2xフレーム・モード





10537-006

図 6.ワード幅 DDR、1 レーン、1xフレーム、16 ビット出力モード



10537-007

図 7.ワード幅 DDR、1 レーン、1xフレーム、12 ビット出力モード

## 絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to AGND	-0.3 V to +2.0 V
Digital Outputs to AGND (D0x±, D1x±, DCO+, DCO-, FCO+, FCO-)	-0.3 V to +2.0 V
CLK+, CLK- to AGND	-0.3 V to +2.0 V
VINx+, VINx- to AGND	-0.3 V to +2.0 V
SCLK/DFS, SDIO/PDWN, CSB to AGND	-0.3 V to +2.0 V
RBIAS to AGND	-0.3 V to +2.0 V
VREF to AGND	-0.3 V to +2.0 V
VCM to AGND	-0.3 V to +2.0 V
Environmental	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature	150°C
Lead Temperature (Soldering, 10 sec)	300°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

エクスポーズド・パッドは、チップの唯一のグラウンド接続です。エクスポーズド・パッドは、回路ボードの AGND プレーンにハンダ付けする必要があります。エクスポーズド・パッドをボードにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 7.熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	Unit
32-Lead LFCSP, 5 mm × 5 mm	0	37.1	3.1	20.7	0.3	°C/W
	1.0	32.4			0.5	°C/W
	2.5	29.1			0.8	°C/W

<sup>1</sup> JEDEC JESD51-7、および JEDEC JESD51-5 2S2P テスト・ボードに準拠。

<sup>2</sup> JEDEC JESD51-2 (自然空冷)または JEDEC JESD51-6 (強制空冷)に準拠。

<sup>3</sup> MIL-STD 883, Method 1012.1 に準拠。

<sup>4</sup> JEDEC JESD51-8 (自然空冷)に準拠。

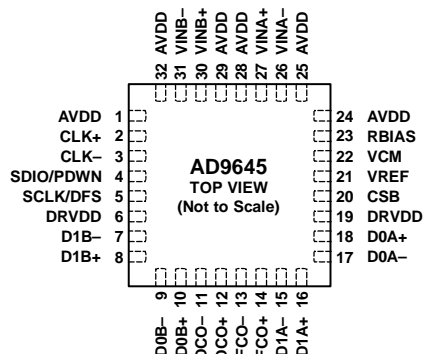
$\theta_{JA}$  (typ)は、厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定します。表 7 に示すように、空気流を与えると熱放散が大きくなるので、 $\theta_{JA}$  が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても  $\theta_{JA}$  が小さくなります。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



**NOTES**  
 1. THE EXPOSED PADDLE IS THE ONLY GROUND CONNECTION ON THE CHIP. IT MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

10837-008

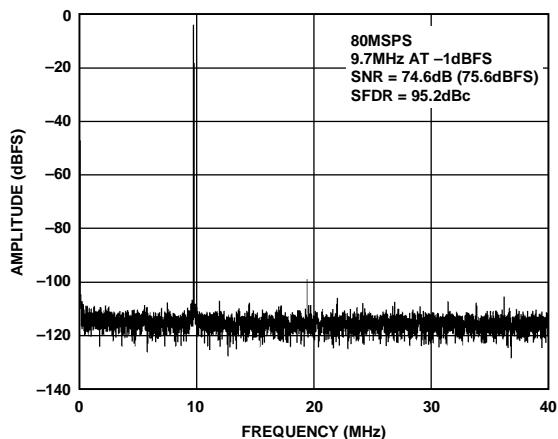
図 8. ピン配置(上面図)

表 8. ピン機能の説明

ピン番号	記号	説明
0	AGND、エクスポーズド・パッド	エクスポーズド・パッドは、チップの唯一のグラウンド接続です。正常な機能、熱放散、ノイズ、機械的強度を確保するため、PCB のアナログ・グラウンドへハンダ付けする必要があります。
1、24、25、28、29、32	AVDD	ADC アナログ・コア用の 1.8 V 電源ピン。
2、3	CLK+、CLK-	LVPECL 入力、LVDS 入力、または 1.8 V CMOS 入力用の差動エンコード・クロック。
4	SDIO/PDWN	SPI モード (SDIO)でのデータ入力/出力。30 kΩ プルダウン付きの双方向 SPI データ I/O。非 SPI モード (PDWN)でのパワーダウン。30 kΩ 内蔵プルダウンによるチップ・パワーダウンのスタティック制御。
5	SCLK/DFS	SPI モードでの SPI クロック入力 (SCLK)。30 kΩ 内蔵プルダウン。非 SPI モードでのデータ・フォーマット・セレクト (DFS)。30 kΩ 内蔵プルダウンによるデータ出力フォーマットのスタティック制御。DFS ハイ・レベル=2 の補数出力、DFS ロー・レベル= オフセット・バイナリ出力。
6、19	DRVDD	出力ドライバ用の 1.8 V 電源ピン。
7、8	D1B-、D1B+	チャンネル B デジタル出力。
9、10	D0B-、D0B+	チャンネル B デジタル出力。
11、12	DCO-、DCO+	データ・クロック出力。
13、14	FCO-、FCO+	フレーム・クロック出力。
15、16	D1A-、D1A+	チャンネル A デジタル出力。
17、18	D0A-、D0A+	チャンネル A デジタル出力。
20	CSB	SPI チップ・セレクト。15 kΩ プルアップ内蔵のアクティブ・ロー・イネーブル。
21	VREF	1.0 V 電圧リファレンス入力/出力。
22	VCM	AVDD 電源中心のアナログ出力電圧。アナログ入力の同相モード電圧を設定します。
23	RBIAS	アナログ電流バイアスを設定します。このピンとグラウンドとの間に 10 kΩ (1%許容誤差)抵抗を接続してください。
26、27	VINA-、VINA+	チャンネル A ADC のアナログ入力。
30、31	VINB+、VINB-	チャンネル B ADC のアナログ入力。

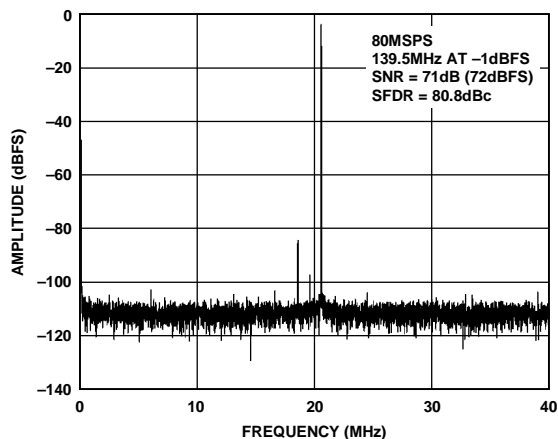
代表的な性能特性

AD9645-80



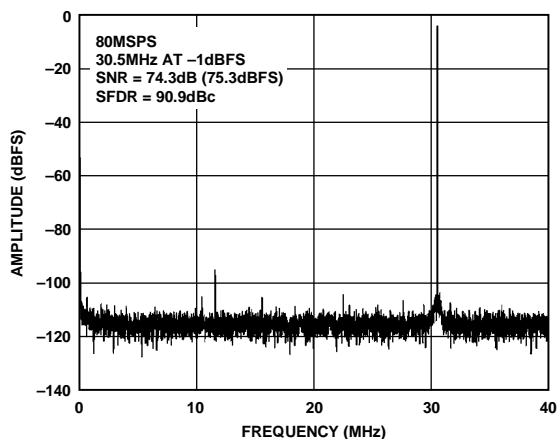
10637-009

図 9. シングル・トーン 16k FFT、 $f_{IN} = 9.7$  MHz  
 $f_{SAMPLE} = 80$  MSPS



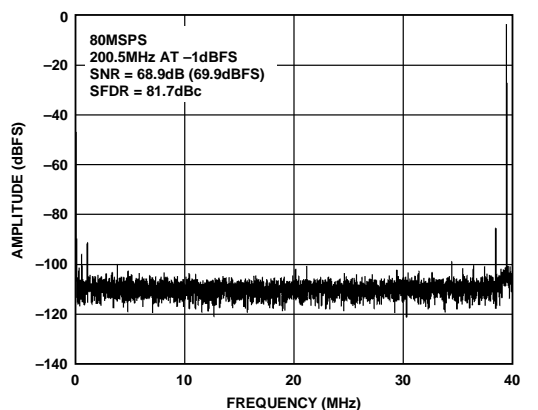
10637-012

図 12. シングル・トーン 16k FFT、 $f_{IN} = 139.5$  MHz  
 $f_{SAMPLE} = 80$  MSPS



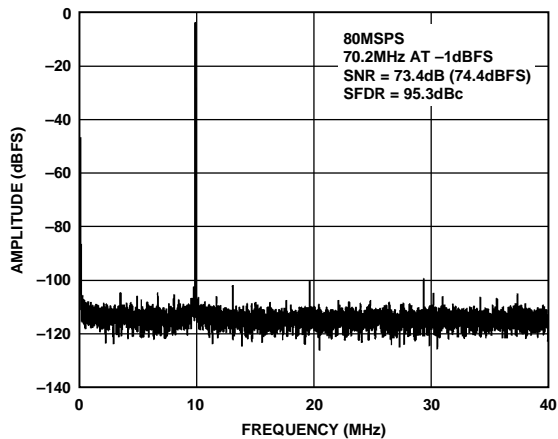
10637-010

図 10. シングル・トーン 16k FFT、 $f_{IN} = 30.5$  MHz  
 $f_{SAMPLE} = 80$  MSPS



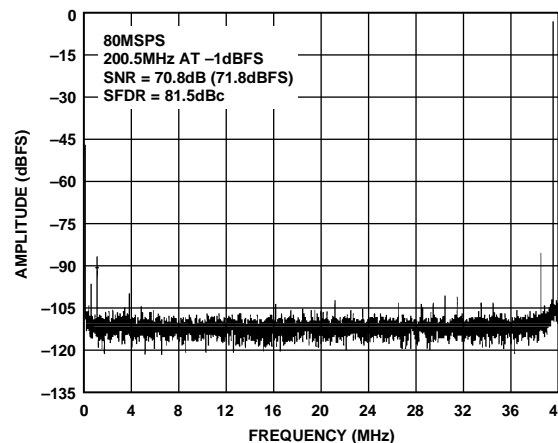
10637-013

図 13. シングル・トーン 16k FFT、 $f_{IN} = 200.5$  MHz  
 $f_{SAMPLE} = 80$  MSPS



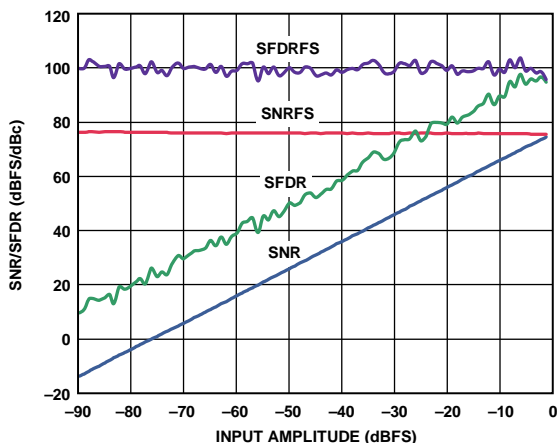
10637-011

図 11. シングル・トーン 16k FFT、 $f_{IN} = 70.2$  MHz  
 $f_{SAMPLE} = 80$  MSPS



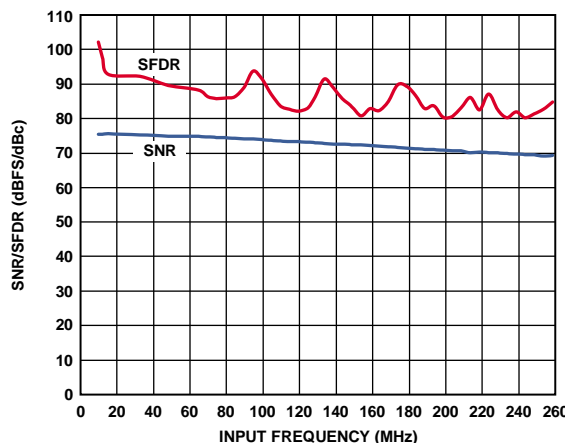
10637-014

図 14. シングル・トーン 16k FFT、 $f_{IN} = 200.5$  MHz  
 $f_{SAMPLE} = 80$  MSPS、クロック=8 分周



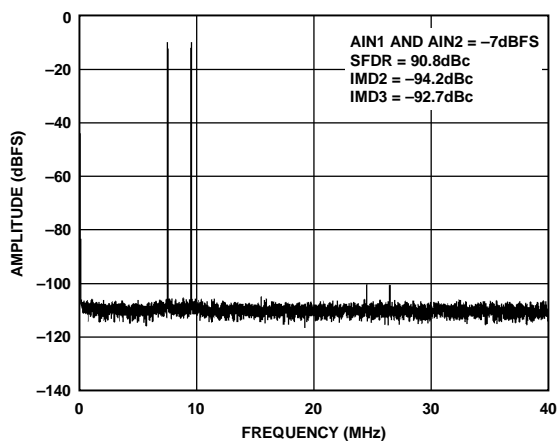
10537-015

図 15. アナログ入力レベル対 SNR/SFDR、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$



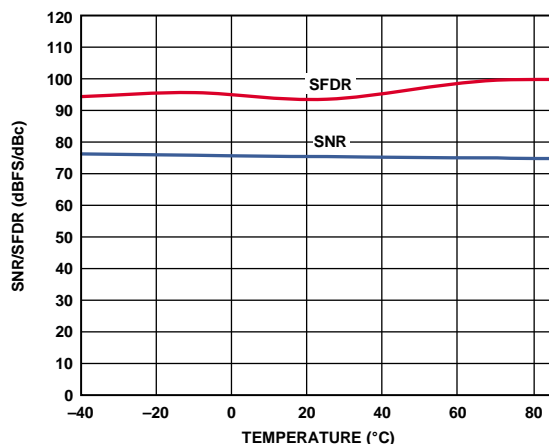
10537-018

図 18.  $f_{IN}$  対 SNR/SFDR  
 $f_{SAMPLE} = 80 \text{ MSPS}$



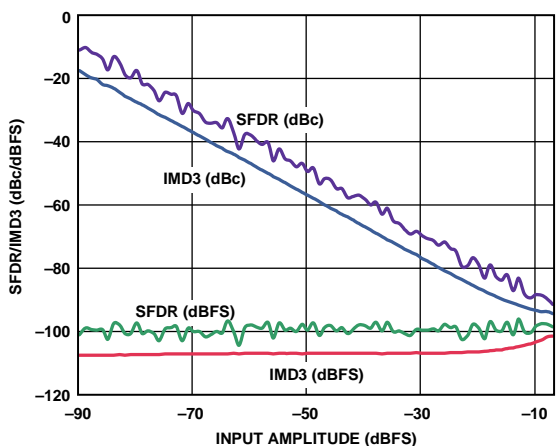
10537-016

図 16.2 トーン 16k FFT、 $f_{IN1} = 70.5 \text{ MHz}$ 、 $f_{IN2} = 72.5 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$



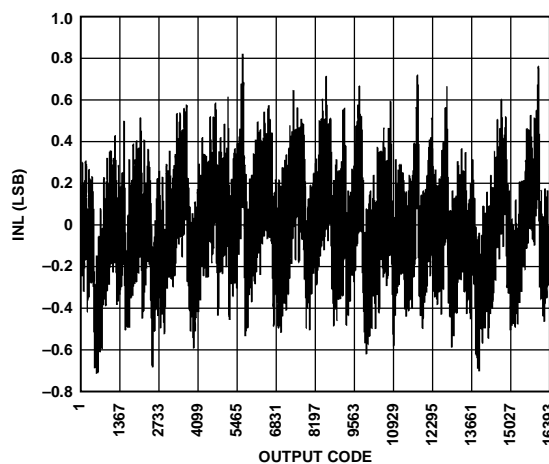
10537-019

図 19. SNR/SFDR の温度特性、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$



10537-017

図 17. 入力振幅 (AIN) 対 2 トーン SFDR/IMD3、  
 $f_{IN1} = 70.5 \text{ MHz}$ 、 $f_{IN2} = 72.5 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$



10537-020

図 20. INL、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$

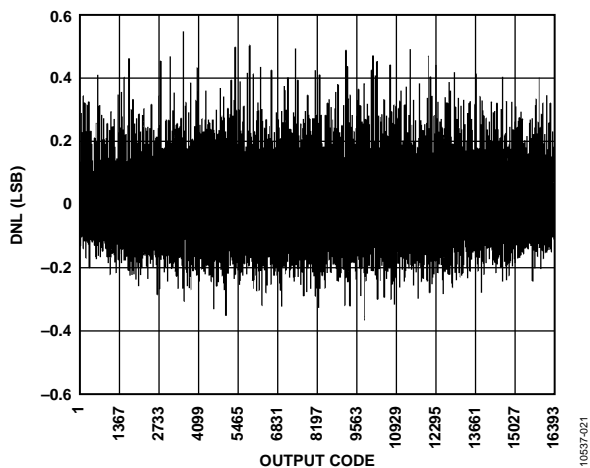


図 21. DNL、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$

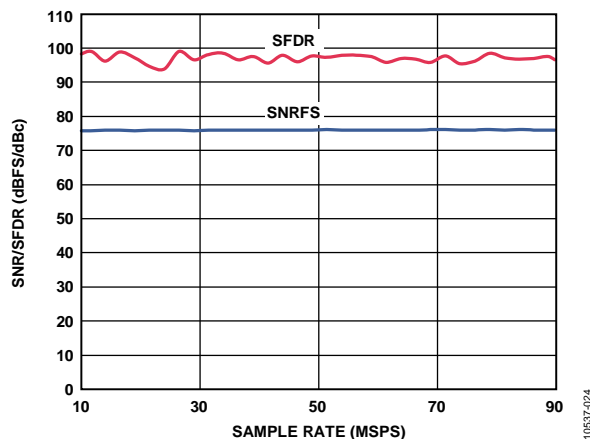


図 24. サンプル・レート対 SNR/SFDR、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$

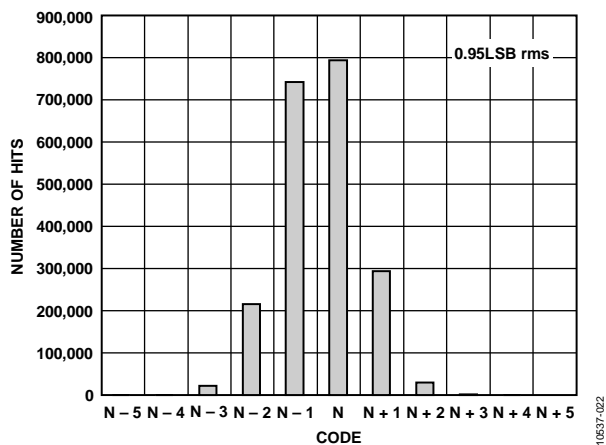


図 22. 入力換算ノイズ・ヒストグラム  
 $f_{SAMPLE} = 80 \text{ MSPS}$

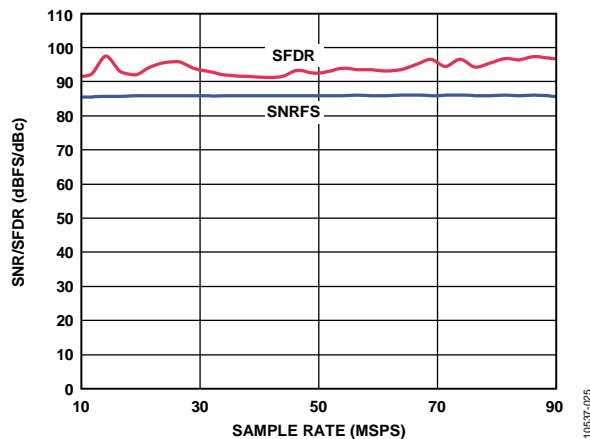


図 25. サンプル・レート対 SNR/SFDR、 $f_{IN} = 70 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$

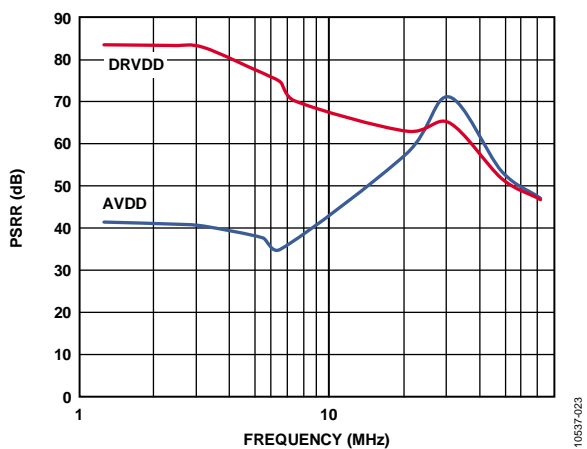
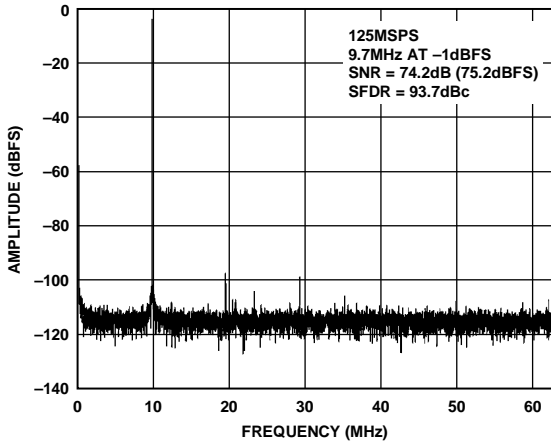
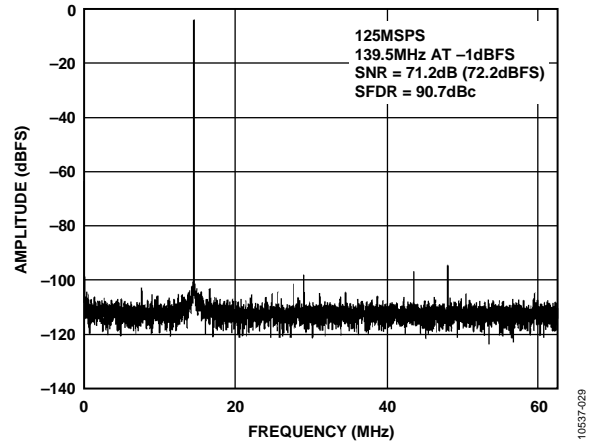


図 23. PSRR の周波数特性、 $f_{CLK} = 125 \text{ MHz}$   
 $f_{SAMPLE} = 80 \text{ MSPS}$

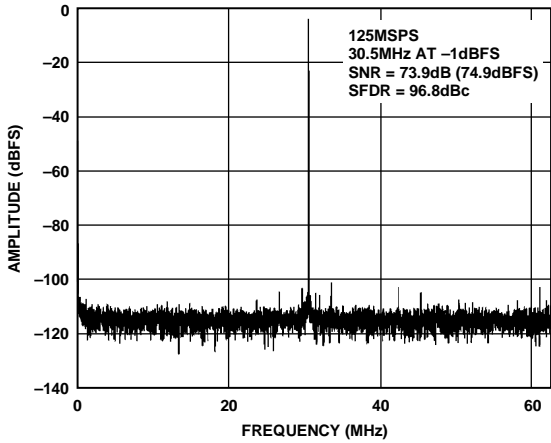
AD9645-125



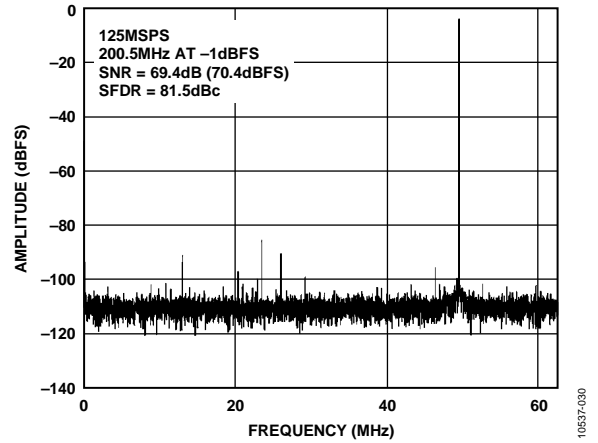
☒ 26. シングル・トーン 16k FFT,  $f_{IN} = 9.7$  MHz  
 $f_{SAMPLE} = 125$  MSPS



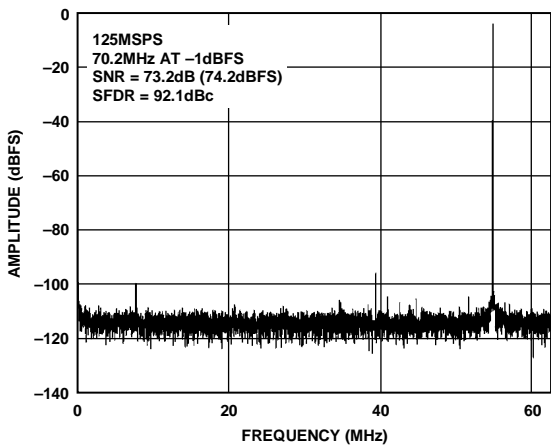
☒ 29. シングル・トーン 16k FFT,  $f_{IN} = 139.5$  MHz  
 $f_{SAMPLE} = 125$  MSPS



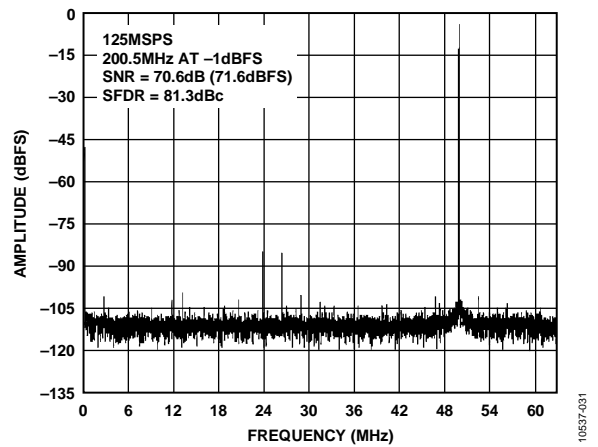
☒ 27. シングル・トーン 16k FFT,  $f_{IN} = 30.5$  MHz  
 $f_{SAMPLE} = 125$  MSPS



☒ 30. シングル・トーン 16k FFT,  $f_{IN} = 200.5$  MHz  
 $f_{SAMPLE} = 125$  MSPS



☒ 28. シングル・トーン 16k FFT,  $f_{IN} = 70.2$  MHz  
 $f_{SAMPLE} = 125$  MSPS



☒ 31. シングル・トーン 16k FFT,  $f_{IN} = 200.5$  MHz  
 $f_{SAMPLE} = 125$  MSPS、クロック=8分周

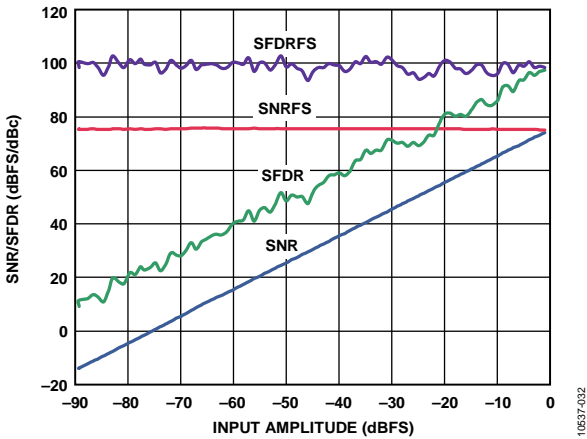


図 32. アナログ入力レベル対 SNR/SFDR、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

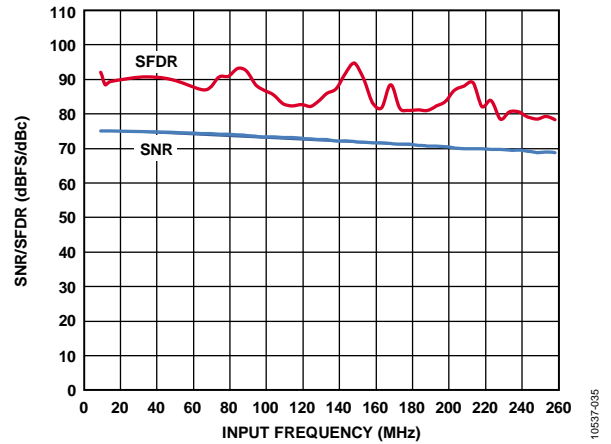


図 35.  $f_{IN}$  対 SNR/SFDR、 $f_{SAMPLE} = 125 \text{ MSPS}$

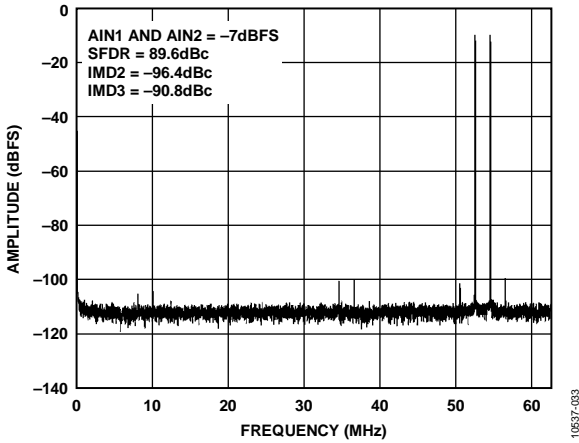


図 33.2 トーン 16k FFT、 $f_{IN1} = 70.5 \text{ MHz}$ 、 $f_{IN2} = 72.5 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

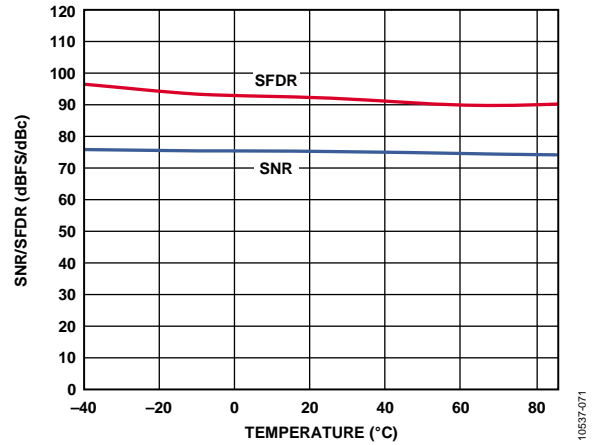


図 36. SNR/SFDR の温度特性、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

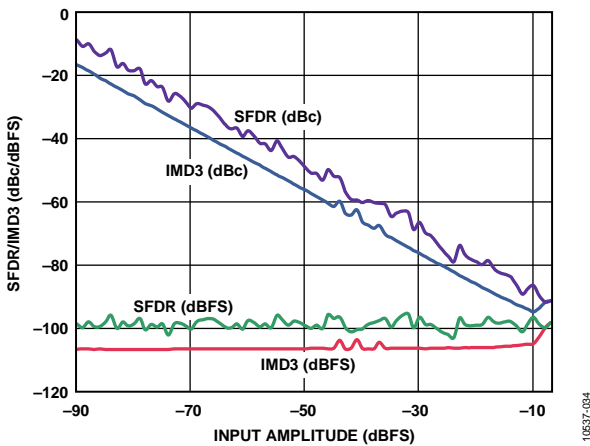


図 34. 入力振幅 (AIN) 対 2 トーン SFDR/IMD3、  
 $f_{IN1} = 70.5 \text{ MHz}$ 、 $f_{IN2} = 72.5 \text{ MHz}$ 、 $f_{SAMPLE} = 125 \text{ MSPS}$

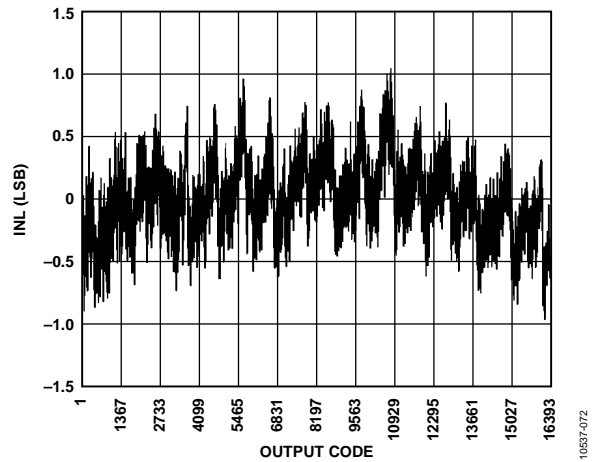


図 37. INL、 $f_{IN} = 9.7 \text{ MHz}$ 、 $f_{SAMPLE} = 125 \text{ MSPS}$



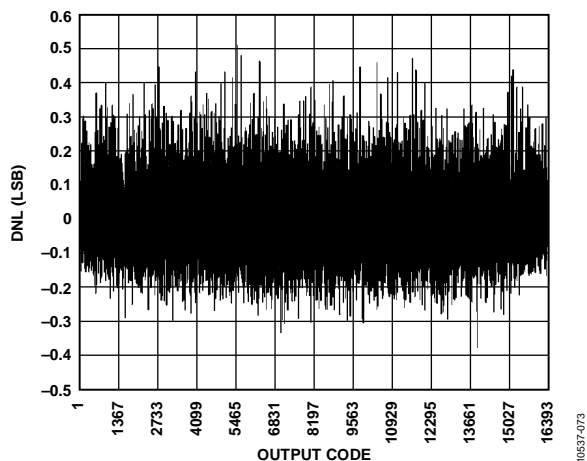


図 38. DNL、 $f_{IN} = 9.7 \text{ MHz}$ 、 $f_{SAMPLE} = 125 \text{ MSPS}$

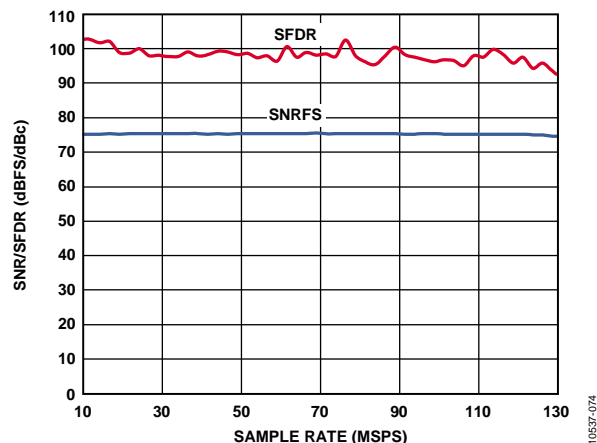


図 41. サンプル・レート対 SNR/SFDR、 $f_{IN} = 9.7 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

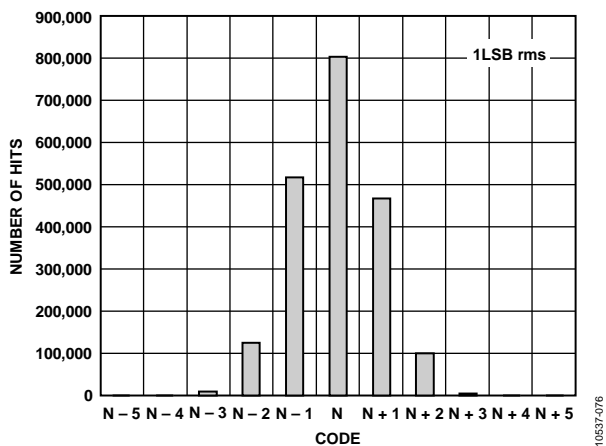


図 39. 入力換算ノイズ・ヒストグラム、 $f_{SAMPLE} = 125 \text{ MSPS}$

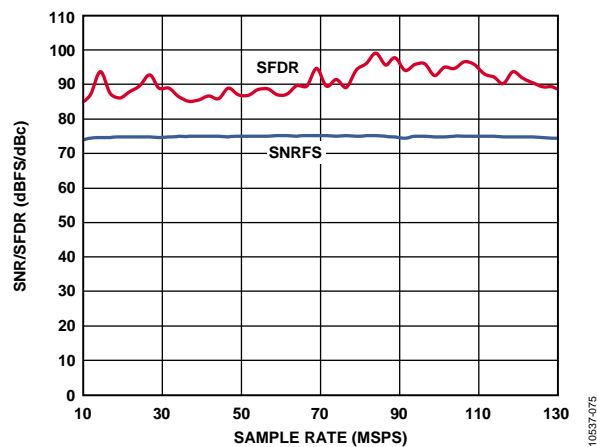


図 42. サンプル・レート対 SNR/SFDR、 $f_{IN} = 70 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

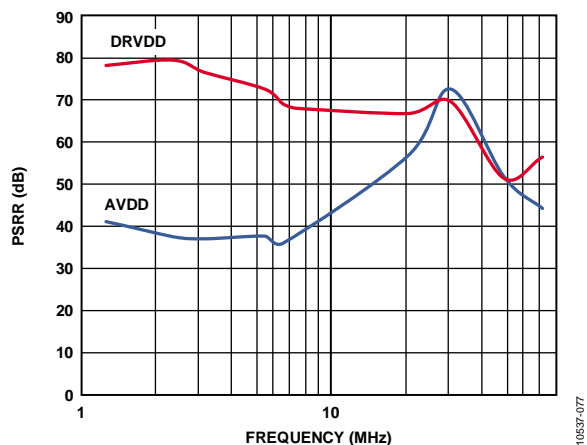


図 40. PSRR の周波数特性、 $f_{CLK} = 125 \text{ MHz}$   
 $f_{SAMPLE} = 125 \text{ MSPS}$

等価回路

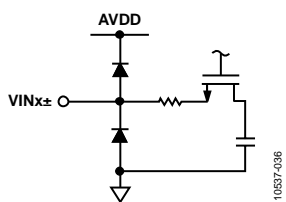


図 43. アナログ入力の等価回路

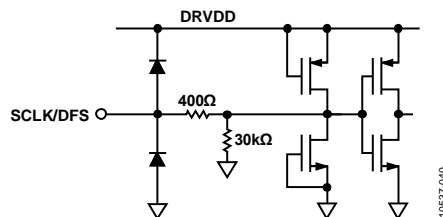


図 47. SCLK/DFS 入力の等価回路

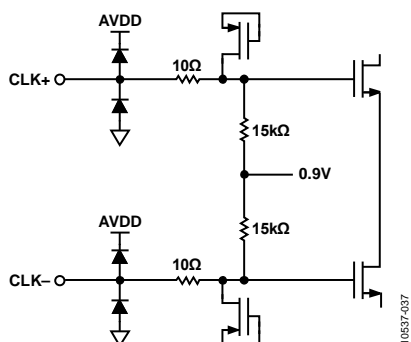


図 44. クロック入力の等価回路

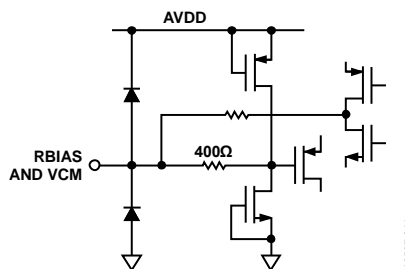


図 48. RBIAS と VCM の等価回路

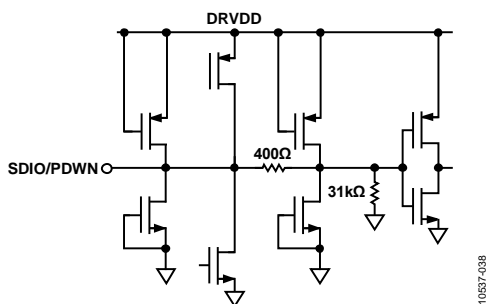


図 45. SDIO/PDWN 入力の等価回路

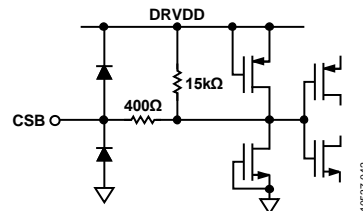


図 49. CSB 入力の等価回路

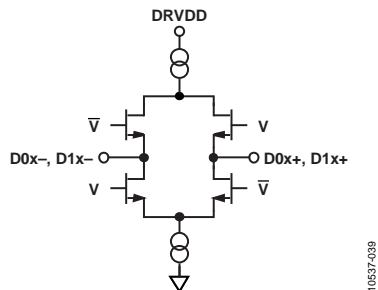


図 46. デジタル出力の等価回路

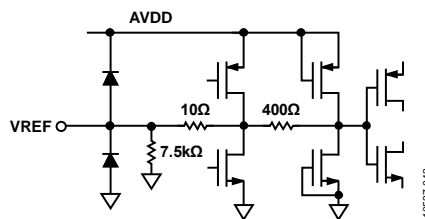


図 50. VREF の等価回路

## 動作原理

AD9645 は、マルチステージのパイプライン化 ADC です。各ステージは、前ステージのフラッシュ誤差を訂正するように十分重なるようになっています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。シリアルライザは、この変換したデータを 16 ビット出力で送信します。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(例えば乗算 D/A コンバータ(MDAC))により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力との差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC で構成されています。

出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。その後、データはシリアル化され、フレーム・クロックとデータ・クロックに整列されます。

## アナログ入力に対する考慮

AD9645 のアナログ入力は、差動入力信号処理用にデザインされた差動のスイッチド・キャパシタ回路になっています。この回路は広い同相モード範囲をサポートすると同時に、優れた性能を維持することができます。電源電圧の 1/2 での入力同相モード電圧は信号依存誤差を最小化するため、最適性能を提供します。

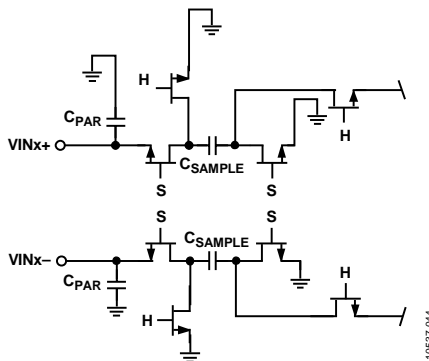


図 51. スイッチド・キャパシタ入力回路

クロック信号により、入力回路がサンプル・モードとホールド・モードの間で交互に切り替えられます(図 51 参照)。入力回路がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電して、クロック・サイクルの 1/2 以内に安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージから発生するピーク過渡電流を減少させることに役立ちます。さらに、Q の小さいインダクタまたはフェライト・ビーズを各入力に接続して、アナログ入力の大きな差動容量を小さくすることにより、ADC の最大帯域幅を実現することができます。このような低 Q インダクタまたはフェライト・ビーズの使用は、コンバータのフロント・エンドを高い IF 周波数で駆動する際に必要となります。差動コンデンサまたは 2 個のシングルエンド・コンデンサを入力に接続して、受動整合回路を設けることができます。これにより入力に最終的にローパス・フィルタが形成されて、不要な広帯域幅ノイズが制限されます。詳細については、AN-742 アプリケーション・ノート、AN-827 アプリケーション・ノート、技術情報誌 Analog Dialogue 「*Transformer-Coupled Front-End for Wideband A/D Converters*」(ボリューム 39、2005 年 4 月)を参照してください。一般に、正確な値はアプリケーションに依存します。

## 入力同相モード

AD9645 のアナログ入力は内部で DC バイアスされていません。そのため、AC 結合のアプリケーションでは、ユーザーが外部からこのバイアスを与える必要があります。最適性能を得るためには  $V_{CM} = AVDD/2$  となるようにデバイスを設定することが推奨されますが、デバイスは広い範囲で適切な性能で機能します(図 52 参照)。

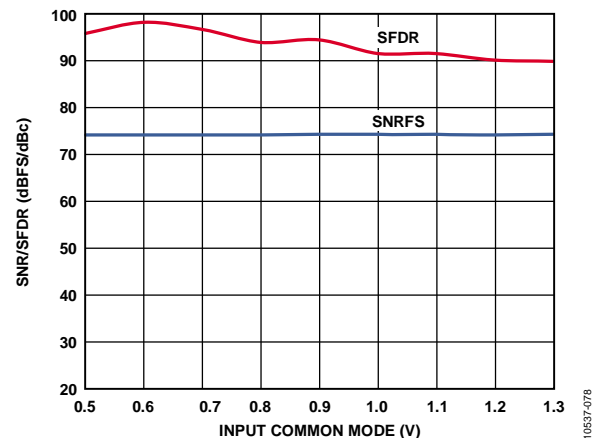


図 52. 入力同相モード電圧対 SNR/SFDR、 $f_{IN} = 9.7$  MHz、 $f_{SAMPLE} = 125$  MSPS

同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。VCM ピンは、 $0.1\mu\text{F}$  のコンデンサにより GND にデカップリングする必要があります(アプリケーション情報参照)。

最大 SNR 性能は、ADC を差動構成で最大スパンに設定したときに得られます。AD9645 の場合、最大有効入力振幅は  $2\text{ V}_{pp}$  です。

差動入力構成

AD9645 を能動的または受動的に駆動する方法は複数ありますが、最適性能は、アナログ入力を差動で駆動したときに得られます。差動ダブル・バラン構成で AD9645 を駆動すると、優れた性能とベースバンド・アプリケーションで ADC に対する柔軟なインターフェースが実現できます(図 55 参照)。

SNR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨される入力構成です(図 56 参照)。これは、大部分のアンプのノイズ性能は、AD9645 の真の性能を実現するために不十分であるためです。

どの構成でも、シャント・コンデンサ C の値は入力周波数に依存するため、小さくするか、削除する必要があります。

AD9645 入力をシングルエンドで駆動することは推奨できません。

リファレンス電圧

AD9645 には、安定かつ正確な 1.0 V リファレンス電圧が内蔵されています。VREF ピンは、ESR の小さい 1.0  $\mu\text{F}$  のコンデンサと ESR の小さい 0.1  $\mu\text{F}$  のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

ゲイン・マッチングを改善するために、AD9645 の内蔵リファレンス電圧を使って複数のコンバータを駆動する場合、他のコンバータによるリファレンス電圧への負荷を考慮する必要があります。図 53 に、内蔵リファレンス電圧が受ける負荷の影響を示します。図 54 に、1.0 V モードについて、代表的な内部リファレンスのドリフト特性を示します。

内蔵バッファは、ADC コアに対して正側と負側のフルスケール・リファレンスを発生します。

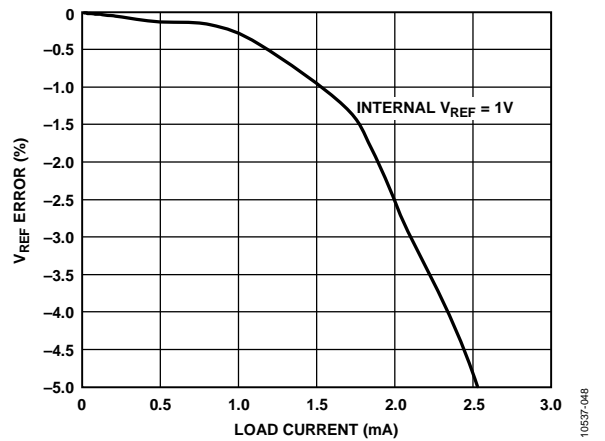


図 53. 負荷電流対 VREF 誤差

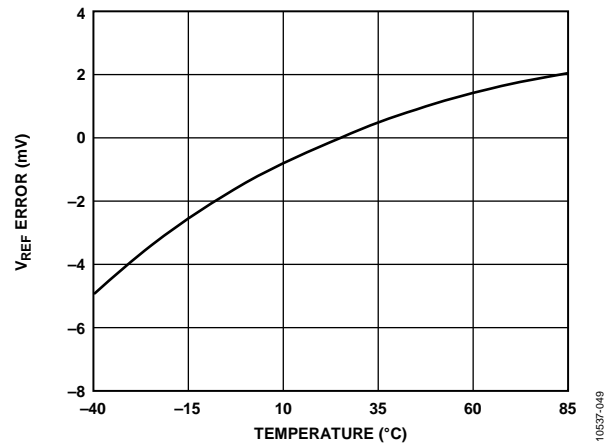


図 54. 代表的な VREF ドリフト

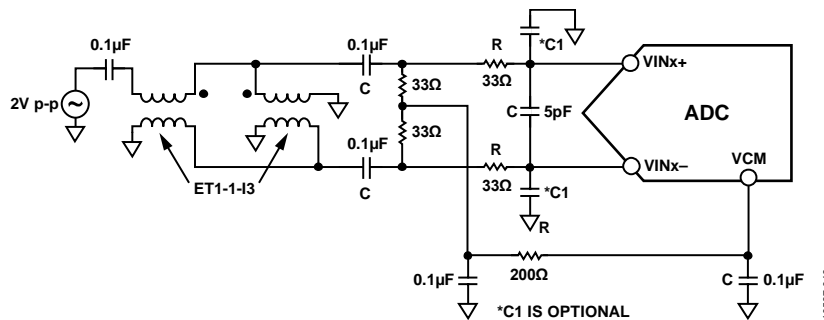


図 55. ベースバンド・アプリケーション向けの差動ダブル・バラン入力構成

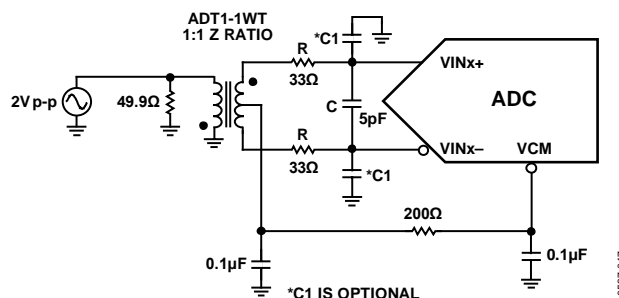


図 56. ベースバンド・アプリケーション向けの差動トランス結合構成

### クロック入力の考慮事項

最適性能を得るためには、AD9645 のサンプル・クロック入力 CLK+ と CLK- を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ ピンと CLK- ピンに AC 結合されます。これらのピンは内部でバイアスされるため(図 44 参照)、外付けバイアスは不要です。

### クロック入力オプション

AD9645 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 57 と図 58 に、AD9645 をクロック駆動する 2 つの望ましい方法を示します(CLK ドライバの前で最大 1 GHz のクロック・レート)。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

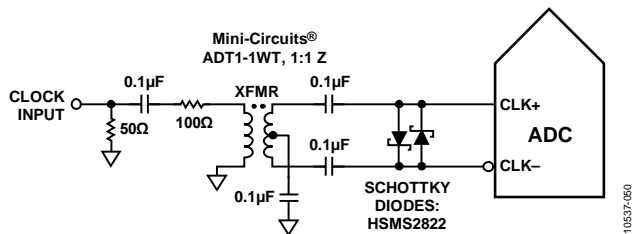


図 57. トランス結合の差動クロック(最大 200 MHz)

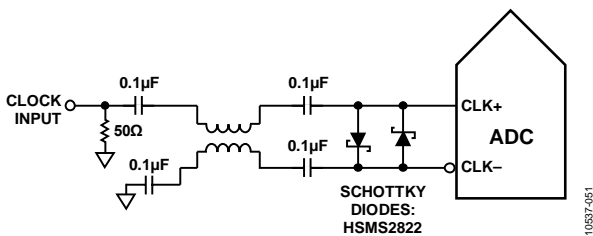


図 58. バラン結合の差動クロック(最大 1 GHz)

RF バラン構成は 125 MHz ~ 1 GHz のクロック周波数に、RF トランス構成は 10 MHz ~ 200 MHz のクロック周波数に、それぞれ推奨されます。トランス/バランの 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9645 に入力されるクロックを約 0.8 V<sub>p-p</sub> 差動に制限します。

この機能は、クロックの大きな電圧振幅が AD9645 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。ただし、ダイオード容量は 500 MHz より上の周波数で効いてきます。適切な信号制限ダイオードの選択には注意が必要です。

低ジッタ・クロックが使用できない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 59 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

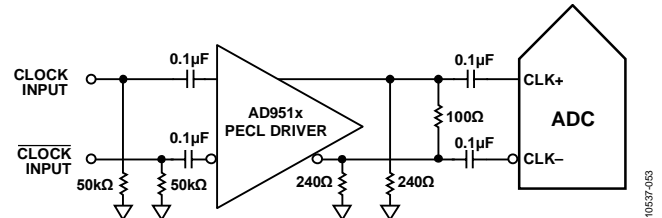


図 59. 差動 PECL サンプル・クロック(最大 1 GHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 60 参照)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

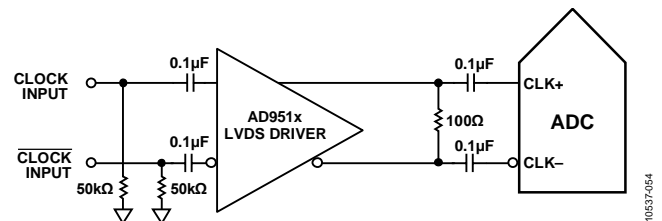


図 60. 差動 LVDS サンプル・クロック(最大 1 GHz)

アプリケーションによっては、サンプル・クロック入力をシングルエンド 1.8 V CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ ピンを CMOS ゲートで直接駆動し、CLK- ピンは 0.1 µF コンデンサによりグラウンドへバイパスします(図 61 参照)。

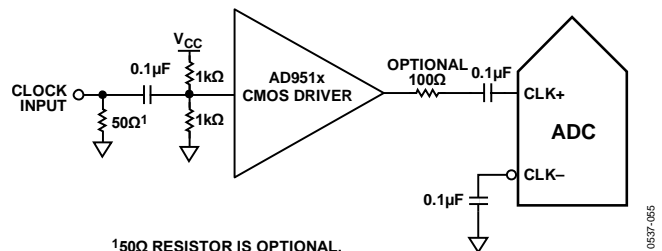


図 61. シングルエンド 1.8 V CMOS 入力クロック(最大 200 MHz)

### 入力クロック・ドライバ

AD9645 は、入力クロックを 1 ~ 8 分周できる入力クロック分周器を内蔵しています。与えられたサンプル・レートを実現するときは、外部入力クロック周波数を分周比倍する必要があります。外部クロックのレートを増やすと、通常、クロック・ジッタが小さくなるため、IF アンダーサンプリング・アプリケーションに有効です。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容誤差は±5%以内である必要があります。

AD9645 は、非サンプリング・エッジ(立下がり)の再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生するデューティ・サイクル・スタビライザ(DCS)を内蔵しています。この回路により、AD9645 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。DCS をオンにすると、ノイズ性能と歪み性能はデューティ・サイクルの広い範囲でほぼ平坦になります。

それでも、入力での立上がりエッジのジッタは問題であり、内部安定化回路で容易に減少させることはできません。デューティ・サイクル制御ループは、公称 20 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これをアプリケーションで考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号に再ロックするまで、1.5 μs~5 μs の待ち時間が必要です。

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数( $f_A$ )でアパーチャ・ジッタ( $t_j$ )のみにより発生する SNR 性能の低下は次式で計算されます。

$$SNR \text{ の低下} = 20 \log_{10} \left( \frac{1}{2\pi \times f_c \times v_L} \right)$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。IF アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 62)。

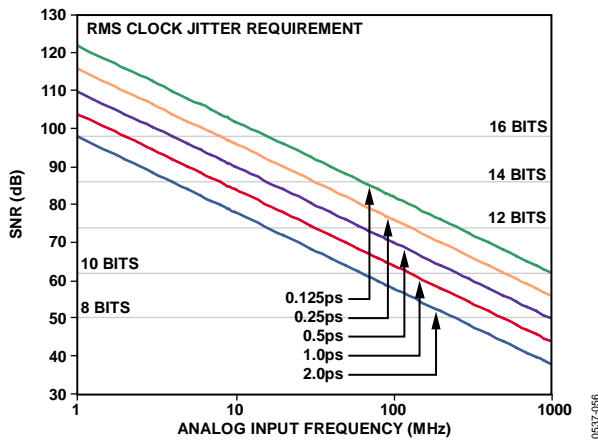


図 62.入力周波数およびジッタ対理論 SNR

アパーチャ・ジッタが AD9645 のダイナミックレンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、またはその他の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ジッタ性能については ADC に関係するため、AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノート を参照してください。

消費電力とパワーダウン・モード

図 63 に示すように、AD9645 で消費される電力はサンプル・レートに比例します。SPI ポートによるか、または PDWN ピンをハイ・レベルにすると、AD9645 はパワーダウン・モードになります。この状態で、ADC の消費電力は 2 mW (typ)になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD9645 は通常動作モードに戻ります。PDWN はデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできません。

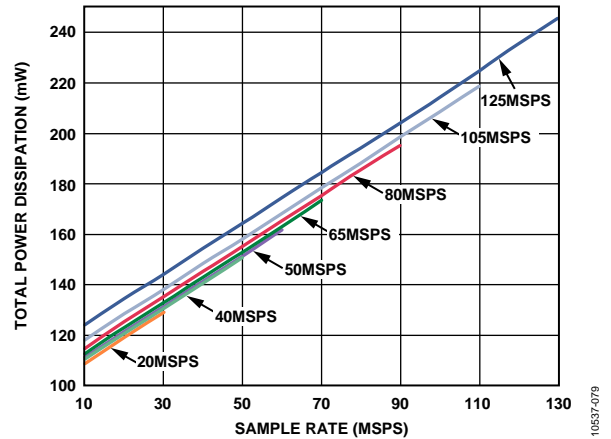


図 63.  $f_{SAMPLE}$  対総合消費電力、 $f_{IN} = 9.7 \text{ MHz}$

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。パワーダウン・モードに入ると、内蔵コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップ時間が必要な場合に内蔵リファレンス回路を動作させたままにしておくことができます。これらの機能の詳細については、メモリ・マップのセクションを参照してください。

デジタル出力とタイミング

AD9645 の差動出力は、デフォルトのパワーアップ時に ANSI-644 LVDS 規格に準拠します。このデフォルト設定値は、SPI を介して低消費電力(IEEE 1596.3 規格と同様の縮小信号オプション)に変更することができます。LVDS ドライバの電流は内部で発生され、各出力での出力電流公称値は 3.5 mA に設定されます。LVDS レシーバ入力に接続される 100 Ω の差動終端抵抗は、レシーバ側で公称 350 mV (差動 700 mV p-p)の振幅を発生させます。縮小レンジ・モードで動作する場合、出力電流は 2 mA に減少します。これにより、レシーバの 100 Ω 終端での振幅は 200 mV (差動 400 mV p-p)になります。

LVDS 出力によりカスタム ASIC や FPGA 内にある LVDS レシーバとのインターフェースが可能になり、ノイズの多い環境で優れたスイッチング性能を得ることができます。100 Ω の終端抵抗をできるだけレシーバの近くに接続した 1 対 1 回路の使用が推奨されます。遠端でレシーバ終端がない場合、または差動パターン配線が良くない場合には、タイミング誤差が発生します。このようなタイミング誤差を防止するため、パターン長を 24 インチ以下に抑え、差動出力パターンを同じ長さで互いに近い配置にしてください。

図 64 に、適切なパターン長と配置の FCO とデータ・ストリームの例を示します。

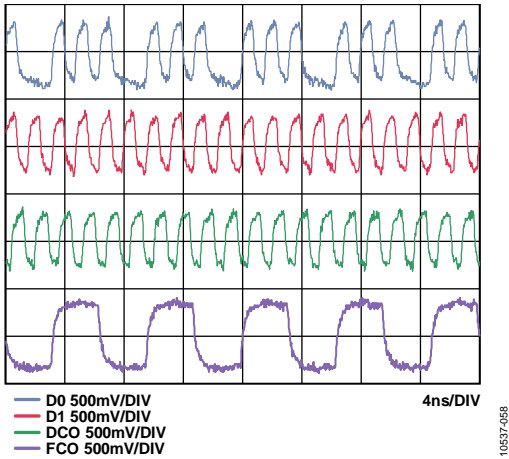


図 64.AD9645-125 の ANSI-644 モード(デフォルト)での LVDS 出力タイミング例

図 65 に縮小レンジ・モードでの LVDS 出力タイミング例を示します。

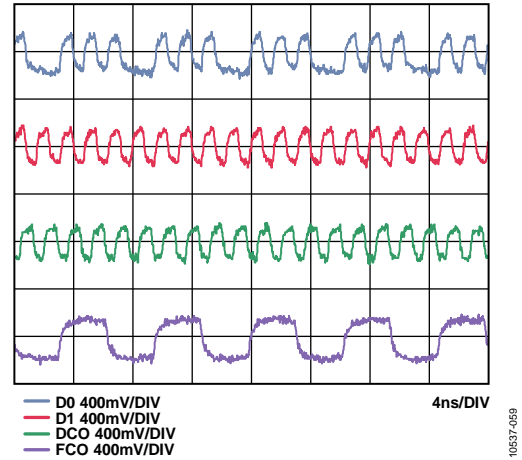


図 65.AD9645-125 の縮小レンジ・モードでの LVDS 出力タイミング例

図 66 に ANSI-644 規格(デフォルト)データ・アイを使用した LVDS 出力例と、標準 FR-4 材上でパターン長を 24 インチ以下とした場合のタイム・インターバル誤差(TIE)ジッタのヒストグラム例を示します。

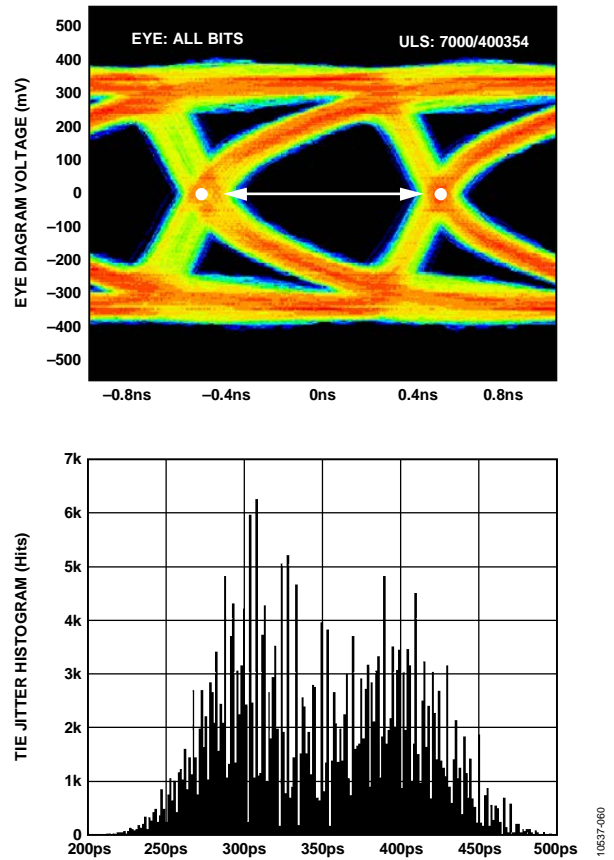


図 66.標準 FR-4 材料上でパターン長を 24 インチ以下にした ANSI-644 モードの LVDS 出力のデータ・アイ 外付け 100 Ω 遠端終端のみ

図 67 には、標準 FR-4 材上でパターン長を 24 インチ以上にした場合の例を示します。TIE ジッタ・ヒストグラムに、エッジが理想位置からずれることによるデータ・アイ開口の減少が反映されていることに注意してください。

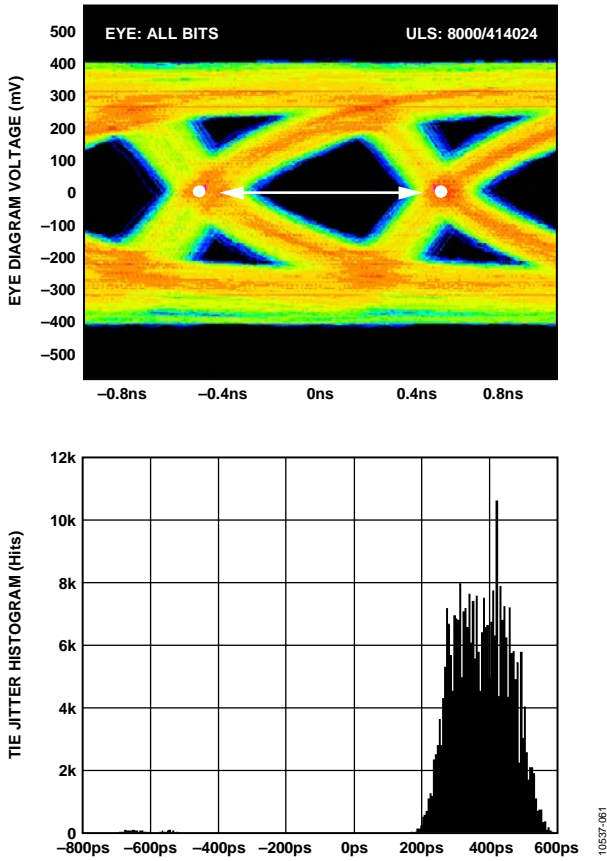


図 67 標準 FR-4 材料上でパターン長を 24 インチ以上にした ANSI-644 モードの LVDS 出力のデータ・アイ  
外付け 100 Ω 遠端終端のみ

パターン長が 24 インチを超える場合に、波形がデザイン上のタイミング条件を満たすか否かはユーザーの判断によります。追加の SPI オプションを使うと、両出力の内部終端を大きくして(電流を増やして)、長いパターンを駆動することができます。この電流の増加は、レジスタ 0x15 を設定して実現することができます。この電流増より、データ・エッジの立上がり時間と立下

表 9. デジタル出力コーディング

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode
VIN+ - VIN-	<-VREF - 0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	-VREF	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	0 V	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ - VIN-	+VREF - 1.0 LSB	1111 1111 1111 1100	0111 1111 1111 1100
VIN+ - VIN-	>+VREF - 0.5 LSB	1111 1111 1111 1100	0111 1111 1111 1100

がり時間がシャープになり、ビット・エラーが少なくなります。このオプションを使うと DRVDD 電源の消費電力が大きくなります。

出力データのデフォルト・フォーマットは 2 の補数です。出力コーディング・フォーマットの例を表 9 に示します。出力データ・フォーマットをオフセット・バイナリへ変更するときは、メモリ・マップのセクションを参照してください。

各 ADC からのデータはシリアル化されて、DDR モードで 2 レーンの別々のチャンネルから出力されます。各シリアル・ストリームのデータレートは等しく(16 ビット×サンプル・クロック・レート)/2 レーンで、最大 1 Gbps/レーンです[(16 ビット×125 MSPS)/(2 レーン) = 1 Gbps/レーン]。最小変換レートは 10 MSPS(typ)です。20 MSPS より小さい変換レートの場合、SPI を使って内蔵 PLL を再構成する必要があります。この機能のイネーブルについては、メモリ・マップのセクションのレジスタ 0x21 を参照してください。

AD9645 からのデータのキャプチャに役立てるため、2 個の出力クロックが用意されています。DCO は出力データのクロックとして使われ、デフォルトの動作モードに対してサンプリング・クロック(CLK)レートの 4 倍です。データは AD9645 からクロック駆動により出力され、ダブル・データレート(DDR)でのキャプチャをサポートする DCO の立上がりエッジと立下がりエッジでキャプチャすることができます。FCO は新しい出力バイトの開始を知らせるために使い、1×フレーム・モードではサンプリング・クロック・レートに一致します。詳細については、タイミング図のセクションを参照してください。

SPI を使用する場合、DCO の位相をデータ・エッジに対して 60°単位で増加させることができます。この機能を使うと、必要に応じてシステムのタイミング・マージンを調整することができます。図 2 に示すデフォルトの DCO+と DCO-のタイミングは、出力データ・エッジに対して 180°です。

また、SPI から 12 ビットのシリアル・ストリームを開始することもできます。この機能を使うと、低分解能のシステムに対する互換性を実現してテストすることができます。分解能を 12 ビット・シリアル・ストリームに変更すると、データ・ストリームは短くなります。12 ビットの例については、図 3 を参照してください。シリアル出力ビット数が 16 のデフォルト・オプションでは、データ・ストリームの 14 ビット・シリアル・データの後ろに 2 個の 0 が詰め込まれます。

図 2 に示すデフォルト・モードでは、データ出力シリアル・ストリーム内で MSB が先頭です。データ出力シリアル・ストリーム内で LSB が先頭になるように SPI を使って変更することができます。



表 10.柔軟な出力テスト・モード

Output Test Mode Bit Sequence	Pattern Name	Digital Output Word 1	Digital Output Word 2	Subject to Data Format Select	Notes
0000	Off (default)	N/A	N/A	N/A	
0001	Midscale short	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown
0010	+Full-scale short	1111 1111 1111 (12-bit) 0000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown
0011	-Full-scale short	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown
0100	Checkerboard	1010 1010 1010 (12-bit) 1010 1010 1010 1010 (16-bit)	0101 0101 0101 (12-bit) 0101 0101 0101 0100 (16-bit)	No	
0101	PN sequence long <sup>1</sup>	N/A	N/A	Yes	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN sequence short <sup>1</sup>	N/A	N/A	Yes	PN9 ITU 0.150 $X^9 + X^5 + 1$
0111	One-/zero-word toggle	1111 1111 1111 (12-bit) 111 1111 1111 1100 (16-bit)	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	No	
1000	User input	Register 0x19 and Register 0x1A	Register 0x1B and Register 0x1C	No	
1001	1-/0-bit toggle	1010 1010 1010 (12-bit) 1010 1010 1010 1000 (16-bit)	N/A	No	
1010	1× sync	0000 0011 1111 (12-bit) 0000 0001 1111 1100 (16-bit)	N/A	No	
1011	One bit high	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	No	Pattern associated with the external pin
1100	Mixed frequency	1010 0011 0011 (12-bit) 1010 0001 1001 1100 (16-bit)	N/A	No	

<sup>1</sup> PN シーケンス・ショートと PN シーケンス・ロングを除くすべてのテスト・モード・オプションでは、レシーバのデータ・キャプチャを確認するために 12 ビット ~16 ビットのワード長をサポートすることができます。

12 種類のデジタル出力テスト・パターン・オプションがあり、これらは SPI を使って開始させることができます。この機能は、レシーバ・キャプチャとタイミングを確認する際に便利です。出力ビット・シーケンシング・オプションについては、表 10 を参照してください。幾つかのテスト・パターンは、2 種類のシリアル・シーケンシャル・ワードを持っているため、選択したテスト・パターンに応じて種々の方法で切り替えることができます。

幾つかのパターンはデータ・フォーマット選択オプションに準拠していないことに注意してください。さらに、カスタムのユーザー定義テスト・パターンを 0x19、0x1A、0x1B、0x1C の各レジスタ・アドレスへ割り当てることができます。

PN シーケンス・ショート・パターンは、各  $2^9 - 1$  すなわち 511 ビットごとに繰り返す擬似ランダム・ビット・シーケンスを発生します。PN シーケンスの説明と発生方法は、ITU-T 0.150 (05/96)規格のセクション 5.1 に記載されています。シード値は全ビット 1 です(初期値については表 11 を参照)。出力は、MSB ファースト・フォーマットのシリアル PN9 シーケンスをパラレル表現したものです。先頭の出力ワードは、MSB に位置合わせした PN9 シーケンスの先頭 14 ビットです。

表 11.PN シーケンス

Sequence	Initial Value	First Three Output Samples (MSB First), Twos Complement
PN Sequence Short	0x1FE0	0x1DF1, 0x3CC8, 0x294E
PN Sequence Long	0x1FFF	0x1FE0, 0x2001, 0x1C00

PN シーケンス・ロング・パターンは、各  $2^{23} - 1$  すなわち 8,388,607 ビットごとに繰り返す擬似ランダム・ビット・シーケンスを発生します。PN シーケンスの説明と発生方法は、ITU-T 0.150 (05/96)規格のセクション 5.6 に記載されています。シード値は全ビット 1 であり(初期値については表 11 を参照)、AD9645 では ITU 規格に対してビット・ストリームを逆にしています。出力は、MSB ファースト・フォーマットのシリアル PN23 シーケンスをパラレル表現したものです。先頭の出力ワードは、MSB に位置合わせした PN23 シーケンスの先頭 14 ビットです。

これらの追加デジタル出力タイミング機能の、SPI を介する変更方法については、メモリ・マップのセクションを参照してください。

**SDIO/PDWN ピン**

SPI 動作モードが不要なアプリケーションでは、CSB ピンを DRVDD に接続し、SDIO/PDWN ピンにより表 12 に従ってパワーダウン・モードを制御します。

表 12. パワーダウン・モード・ピン設定

PDWN Pin Voltage	Device Mode
AGND (Default)	Run device, normal operation
DRVDD	Power down device

非 SPI モード (CSB を DRVDD へ接続) では、電源とグラウンドのガイドラインのセクションに示すパワーアップ・シーケンスに従う必要があります。パワーアップ・シーケンスに従わない場合は、SPI を使用したソフト・リセットが必要になりますが、これは非 SPI モードでは使用できません。

**SCLK/DFS ピン**

SCLK/DFS ピンを使って、SPI 動作モードを必要としないアプリケーションに対して出力フォーマットを選択します。デバイスのパワーアップ時に CSB ピンをハイ・レベルにすると、このピンによりデジタル出力フォーマットが決定されます。SCLK/DFS を DRVDD に接続すると ADC 出力フォーマットは 2 の補数になり、SCLK/DFS を AGND に接続すると、ADC 出力フォーマットはオフセット・バイナリになります。

表 13. デジタル出力フォーマット

DFS Voltage	Output Format
AGND	Offset binary
DRVDD	Twos complement

**CSB ピン**

SPI 動作モードが不要なアプリケーションでは、CSB ピンを DRVDD へ接続する必要があります。CSB をハイ・レベルに接続すると、SCLK と SDIO のすべての情報が無視されます。

非 SPI モード (CSB を DRVDD へ接続) では、電源とグラウンドのガイドラインのセクションに示すパワーアップ・シーケンスに従う必要があります。パワーアップ・シーケンスに従わない場合は、SPI を使用したソフト・リセットが必要になりますが、これは非 SPI モードでは使用できません。

**RBIAS ピン**

ADC の内部コア・バイアス電流を設定するときは、グラウンドと RBIAS ピンとの間に 1% 許容誤差の 10.0 kΩ 抵抗を接続してください。

**出力テスト・モード**

出力テスト・オプションを表 10 に示します。これらは、アドレス 0x0D の出力テスト・モード・ビットから制御されます。出力テスト・モードをイネーブルすると、ADC のアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パターンのいくつかは出力フォーマットが行われ、行われないものもあります。レジスタ 0x0D のビット 4 またはビット 5 をセットすることにより、PN シーケンス・テストの PN ジェネレータをリセットすることができます。これらのテストはアナログ信号の有無によらず(有りの場合、アナログ信号は無視されます)実行することができますが、エンコード・クロックは必要です。詳細については、アプリケーション・ノート [AN-877](#) 「SPI を使った高速 ADC へのインターフェース」を参照してください。

## シリアル・ポート・インターフェース(SPI)

**AD9645** シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これについてはメモリ・マップのセクションに記載してあります。詳細については、[AN-877](#) アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。

### SPI を使う設定

この ADC の SPI は、SCLK/DFS ピン、SDIO/PDWN ピン、CSB ピンの 3 本のピンにより定義されます(表 14 参照)。SCLK/DFS (CSB がロー・レベルのときシリアル・クロック)ピンは、ADC に対する読出し/書込みデータの同期に使用されます。SDIO/PDWN (CSB がロー・レベルのときシリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、SPI の読出しサイクルと書込みサイクルをイネーブル/ディスエーブルします。

表 14.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK/DFS	Serial clock when CSB is low. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO/PDWN	Serial data input/output when CSB is low. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that enables the SPI mode read and write cycles.

CSB の立下がりエッジと SCLK/DFS の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例を図 68 に示します。タイミング・パラメータの定義については表 5 を参照してください。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB ピンをハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードでは SPI ピンは 2 つ目の機能になります。

SPI 動作の命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書込みまたは内蔵メモリ値の読出しに使うことができます。マルチバイト・シリアル・データの先頭バイトの先頭ビットは、発行されているのが読出しコマンドまたは書込みコマンドのいずれであるかを表示します。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

すべてのデータは 8 ビット・ワードで構成されます。データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファースト・モードはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変更することができます。この機能およびその他の詳細については、[AN-877](#) アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。

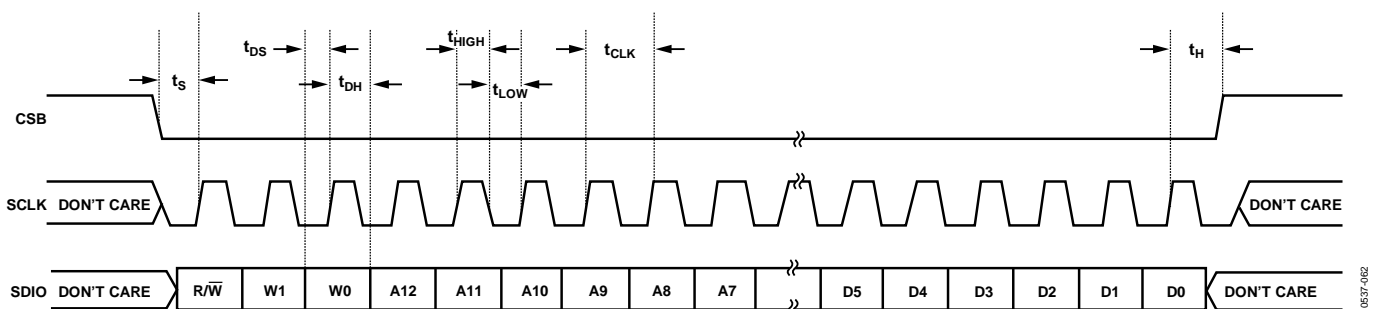


図 68.シリアル・ポート・インターフェースのタイミング図

## ハードウェア・インターフェース

表 14 に示すピンにより、ユーザーの書き込みデバイスと AD9645 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK/DFS ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO/PDWN ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、AN-812 アプリケーション・ノート「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK/DFS 信号、CSB 信号、SDIO/PDWN 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9645 の間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI インターフェースを使用しない場合には、SCLK/DFS ピンと SDIO/PDWN ピンは共用ピンとして機能します。デバイス・パワーオン時にピンを DRVDD またはグラウンドに接続すると、それらのピンは特定の機能として使われます。表 12 と表 13 に、AD9645 でサポートしているストラップ接続可能な機能を示します。

## SPI を使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SCLK/DFS ピンと SDIO/PDWN ピンは、独立した CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、ピンは出力データ・フォーマットとパワーダウン機能制御用のスタティック・コントロール・ラインとして使用されるものと見なされます。このモードでは、CSB ピンを DRVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがディスエーブルされます。

非 SPI モード (CSB を DRVDD へ接続) では、電源とグラウンドのガイドラインのセクションに示すパワーアップ・シーケンスに従う必要があります。パワーアップ・シーケンスに従わない場合は、SPI を使用したソフト・リセットが必要になりますが、これは非 SPI モードでは使用できません。

## SPI からアクセス可能な機能

表 15 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」で詳しく説明しています。AD9645 デバイスに固有な機能は次の外部メモリ・マップ・レジスタ・テーブルに説明します。

表 15. SPI を使ってアクセスできる機能

Feature Name	Description
Power Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS, set the clock divider, and set the clock divider phase
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set the output mode
Output Phase	Allows the user to set the output clock polarity
ADC Resolution	Allows for power consumption scaling with respect to sample rate

## メモリ・マップ

### メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル(表 16)内の各行には 8 個のビット・ロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00~アドレス 0x02)、デバイス・インデックス・レジスタと転送レジスタ(アドレス 0x05 とアドレス 0xFF)、セットアップ、コントロール、テストなどのグローバル ADC ファンクション・レジスタ(アドレス 0x08~アドレス 0x102)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブルには、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x05 のデバイス・インデックス・レジスタは、16 進デフォルト値 0x33 を持ちます。これは、アドレス 0x05 で、ビット[7:6] = 00、ビット[5:4] = 11、ビット[3:2] = 00、ビット[1:0] = 11 (バイナリ)を意味します。この設定は、デフォルトのチャンネル・インデックス設定です。デフォルト値により、両 ADC チャンネルは次の書き込みコマンド受信になります。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。このアプリケーション・ノートでは、レジスタ 0x00~レジスタ 0xFF により制御される機能を詳しく説明しています。残りのレジスタは、メモリ・マップ・レジスタの説明のセクションに記載してあります。

### 未使用ロケーション

表 16 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書き込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書き込みが必要です(例えばアドレス 0x05)。アドレス・ロケーション全体が未使用で表 16 に記載されていない場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書き込みを行わないでください。

### デフォルト値

AD9645 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 16)に記載してあります。

### ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書き込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書き込む」と同じ意味です。

### チャンネル固有のレジスタ

信号モニタ・スレッショールドのような幾つかのチャンネル・セットアップ機能は、各チャンネルごとに異なる設定が可能です。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 16 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、該当するデータ・チャンネル・ビット(A または B)、レジスタ 0x05 のクロック・チャンネル DCO ビット(ビット 5)と FCO ビット(ビット 4)をセットします。すべてのビットがセットされると、後続の書き込みが両チャンネルのレジスタと DCO/FCO クロック・チャンネルに対して有効になります。読出しサイクルでは、チャンネル A または B の一方のみをセットして、2 つのレジスタの内の 1 つを読出す必要があります。SPI 読出しサイクルで全ビットがセットされると、デバイスはチャンネル A の値を返します。表 16 でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間で独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x05 内の設定は、グローバルなレジスタとビットに影響を与えません。

## メモリ・マップ・レジスタ・テーブル

AD9645 では 3 線式インターフェースと 16 ビット・アドレッシングを採用しているため、レジスタ 0x00 のビット 0 とビット 7 は 0 に、ビット 3 とビット 4 は 1 に、それぞれ設定されます。

レジスタ 0x00 のビット 5 がハイ・レベルに設定されると、SPI はソフト・リセットを開始し、すべてのユーザー・レジスタがデフォルト値に戻され、ビット 2 は自動的にクリアされます。

表 16.

Addr (Hex)	Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments	
Chip Configuration Registers												
0x00	SPI port configuration	0 = SDO active	LSB first	Soft reset	1 = 16-bit address	1 = 16-bit address	Soft reset	LSB first	0 = SDO active	0x18	Nibbles are mirrored to allow a given register value to perform the same function for either MSB-first or LSB-first mode.	
0x01	Chip ID (global)	8-bit chip ID, Bits[7:0] AD9645 0x8B = dual, 14-bit, 80 MSPS/125 MSPS, serial LVDS								0x8B	Unique chip ID used to differentiate devices; read only.	
0x02	Chip grade (global)	Open	Speed grade ID, Bits[6:4] 100 = 80 MSPS 110 = 125 MSPS			Open	Open	Open	Open			Unique speed grade ID used to differentiate graded devices; read only.
Device Index and Transfer Registers												
0x05	Device index	Open	Open	Clock Channel DCO	Clock Channel FCO	Open	Open	Data Channel B	Data Channel A	0x33	Bits are set to determine which device on chip receives the next write command. Default is all devices on chip.	
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Initiate override	0x00	Set resolution/sample rate override.	
Global ADC Function Registers												
0x08	Power modes (global)	Open	Open	Open	Open	Open	Open	Power mode 00 = chip run 01 = full power-down 10 = standby 11 = reset		0x00	Determines various generic modes of chip operation.	
0x09	Clock (global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer 0 = off 1 = on	0x00	Turns duty cycle stabilizer on or off.	
0x0B	Clock divide (global)	Open	Open	Open	Open	Open	Clock divide ratio[2:0] 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8			0x00		
0x0C	Enhancement control	Open	Open	Open	Open	Open	Chop mode 0 = off 1 = on	Open	Open	0x00	Enables/disables chop mode.	

Addr (Hex)	Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments
0x0D	Test mode (local except for PN sequence resets)	User input test mode 00 = single 01 = alternate 10 = single once 11 = alternate once (affects user input test mode only, Bits[3:0] = 1000)		Reset PN long gen	Reset PN short gen	Output test mode, Bits[3:0] (local) 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN23 sequence 0110 = PN9 sequence 0111 = one-/zero-word toggle 1000 = user input 1001 = 1-/0-bit toggle 1010 = 1× sync 1011 = one bit high 1100 = mixed bit frequency				0x00	When set, the test data is placed on the output pins in place of normal data.
0x10	Offset adjust (local)	8-bit device offset adjustment, Bits[7:0] (local) Offset adjust in LSBs from +127 to -128 (twos complement format)								0x00	Device offset trim.
0x14	Output mode	Open	LVDS-ANSI/ LVDS-IEEE option 0 = LVDS- ANSI 1 = LVDS- IEEE reduced range link (global); see Table 17	Open	Open	Open	Output invert (local)	Open	Output format 0 = offset binary 1 = twos comple- ment (global)	0x01	Configures the outputs and format of the data.
0x15	Output adjust	Open	Open	Output driver termination, Bits[1:0] 00 = none 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		Open	Open	Open	Output drive 0 = 1× drive 1 = 2× drive	0x00	Determines LVDS or other output properties.
0x16	Output phase	Open	Input clock phase adjust, Bits[6:4] (value is number of input clock cycles of phase delay); see Table 18			Output clock phase adjust, Bits[3:0] (0000 through 1011); see Table 19			0x03	On devices using global clock divide, determines which phase of the divider output is used to supply the output clock. Internal latching is unaffected.	
0x18	V <sub>REF</sub>	Open	Open	Open	Open	Open	Internal V <sub>REF</sub> adjustment digital scheme, Bits[2:0] 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p		0x04	Selects and/or adjusts V <sub>REF</sub> .	
0x19	USER_PATT1_LS B (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User Defined Pattern 1 LSB.
0x1A	USER_PATT1_M SB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User Defined Pattern 1 MSB.
0x1B	USER_PATT2_LS B (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User Defined Pattern 2 LSB.
0x1C	USER_PATT2_M SB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User Defined Pattern 2 MSB.

Addr (Hex)	Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Comments
0x21	Serial output data control (global)	LVDS output 0 = MSB first (default) 1 = LSB first	SDR/DDR one-lane/two-lane, bitwise/bytewise, Bits[6:4] 000 = SDR two-lane, bitwise 001 = SDR two-lane, bytewise 010 = DDR two-lane, bitwise 011 = DDR two-lane, bytewise (default) 100 = DDR one-lane, wordwise			Encode mode 0 = normal encode rate mode (default) 1 = low encode mode for sample rate of <20 MSPS	0 = 1× frame (default) 1 = 2× frame	Serial output number of bits 00 = 16 bits (default) 10 = 12 bits		0x30	Serial stream control. Sample rate of <20 MSPS requires that Bits[6:4] = 100 (DDR one-lane) and Bit 3 = 1 (low encode mode).
0x22	Serial channel status (local)	Open	Open	Open	Open	Open	Open	Channel output reset	Channel power-down	0x00	Used to power down individual sections of a converter.
0x100	Resolution/sample rate override	Open	Resolution/sample rate override enable	Resolution 01 = 14 bits 10 = 12 bits		Open	Sample rate 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x00	Resolution/sample rate override (requires writing to the transfer register, 0xFF).
0x101	User I/O Control 2	Open	Open	Open	Open	Open	Open	Open	SDIO pull-down	0x00	Disables SDIO pull-down.
0x102	User I/O Control 3	Open	Open	Open	Open	VCM power-down	Open	Open	Open	0x00	VCM control.



## メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート [AN-877](#) 「SPI を使った高速 ADC へのインターフェース」を参照してください。

## デバイス・インデックス(レジスタ 0x05)

マップ内には、各チャンネルに対して独立に設定可能な機能がある一方で、すべてのチャンネルに対して、選択に無関係にグローバルに適用される機能もあります(コンテキストに依存)。レジスタ 0x05 のビット[1:0]を使って、対象となるデータ・チャンネルを選択することができます。出力クロック・チャンネルも、レジスタ 0x05 で選択することができます。独立な機能リストの一部をこれらのデバイスに使用することができます。

## 転送(レジスタ 0xFF)

レジスタ 0x100 以外の全レジスタは、書込まれたときに更新されます。レジスタ 0xFF のビット 0 をハイ・レベルにセットすると、ADC サンプル・レート・オーバーライド・レジスタ (アドレス 0x100) 内の設定値が初期化されます。

## パワー・モード(レジスタ 0x08)

### ビット[7:2]—オープン

### ビット[1:0]—パワー・モード

通常の動作(ビット[1:0]=00)では、両 ADC チャンネルがアクティブになります。

パワーダウン・モード(ビット[1:0]=01)では、デジタル・データ・パス・クロックがディスエーブルされ、デジタル・データ・パスがリセットされます。出力はディスエーブルされます。

スタンバイ・モード(ビット[1:0]=10)では、デジタル・データ・パス・クロックと出力がディスエーブルされます。

デジタル・リセット(ビット[1:0]=11)時、SPI ポート以外の全デジタル・データ・パス・クロックとチップ上の出力(該当する場合)がリセットされます。SPI は常にユーザー制御下にあることに注意してください。すなわち、パワーオン・リセット以外にリセットで自動的にディスエーブルされることはありません。

## エンハンスメント・コントロール(レジスタ 0x0C)

### ビット[7:3]—オープン

### ビット 2—チョップ・モード

ホモダインやダイレクト・コンバージョン・レシーバのようなオフセット電圧と他の低周波ノイズに敏感なアプリケーションの場合、[AD9645](#) の初段ステージでのチョッピングは、ビット 2 をセットしてイネーブルできる機能です。周波数領域では、チョッピングはオフセットと他の低周波ノイズを  $f_{CLK}/2$  に変換するので、これをフィルタで除去することができます。

### ビット[1:0]—オープン

## 出力モード(レジスタ 0x14)

### ビット 7—オープン

### ビット 6—LVDS-ANSI/LVDS-IEEE オプション

このビットをセットすると、LVDS-IEEE (縮小レンジ)オプションが選択されます。

デフォルト設定値は LVDS-ANSI です。表 17 に示すように、LVDS-ANSI または LVDS-IEEE 縮小レンジ・リンクを選択すると、ドライバ終端を選択することができます。ドライバ電流が自動的に選択されて、適切な出力振幅が得られます。

表 17. LVDS-ANSI/LVDS-IEEE オプション

Output Mode, Bit 6	Output Mode	Output Driver Termination	Output Driver Current
0	LVDS-ANSI	User selectable	Automatically selected to give proper swing
1	LVDS-IEEE reduced range link	User selectable	Automatically selected to give proper swing

### ビット[5:3]—オープン

### ビット 2—出力の反転

このビットをセットすると、出力ビット・ストリームが逆になります。

### ビット 1—オープン

### ビット 0—出力フォーマット

デフォルトでは、このビットがセットされて、データ出力が 2 の補数フォーマットになります。このビットを 0 にクリアすると、出力モードがオフセット・バイナリに変更されます。

## 出力調整(レジスタ 0x15)

### ビット[7:6]—オープン

### ビット[5:4]—出力ドライバ終端

これらのビットを使うと、内部終端抵抗を選択することができます。

### ビット[3:1]—オープン

### ビット 0—出力駆動

出力調整レジスタのビット 0 は、FCO 出力と DCO 出力の LVDS ドライバの駆動強度を制御します。デフォルト値では駆動強度 1x が設定されます。レジスタ 0x05 の該当するチャンネル・ビットをセットし、次にビット 0 をセットすると、駆動強度を 2x に設定することができます。これらの機能は、出力ドライバ終端の選択と一緒に使用することはできません。終端の選択は、出力ドライバ終端と出力駆動を選択した場合の FCO と DCO の 2x ドライバ強度より優先します。

## 出力位相(レジスタ 0x16)

### ビット 7—オープン

### ビット[6:4]—入カクロック位相調整

詳細については、表 18 を参照。

表 18. 入カクロック位相調整オプション

Input Clock Phase Adjust, Bits[6:4]	Number of Input Clock Cycles of Phase Delay
000 (Default)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

## ビット[3:0]—出力クロック位相調整

詳細については、表 19 を参照。

表 19. 出力クロック位相調整オプション

Output Clock (DCO), Phase Adjust, Bits[3:0]	DCO Phase Adjustment (Degrees Relative to D0x±/D1x± Edge)
0000	0
0001	60
0010	120
0011 (Default)	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

## シリアル出力データ・コントロール(レジスタ 0x21)

シリアル出力データ・コントロール・レジスタを使って、データ・キャプチャ・ソリューションに応じて AD9645 の種々の出力データ・モードを設定します。表 20 に、AD9645 で使用可能な種々のシリアル化オプションを示します。

表 20. SPI レジスタ・オプション

Register 0x21 Contents	Serialization Options Selected			DCO Multiplier	Timing Diagram
	Serial Output Number of Bits (SONB)	Frame Mode	Serial Data Mode		
0x30	16-bit	1×	DDR two-lane byte-wise	4 × f <sub>S</sub>	See Figure 2 (default setting)
0x20	16-bit	1×	DDR two-lane bit-wise	4 × f <sub>S</sub>	See Figure 2
0x10	16-bit	1×	SDR two-lane byte-wise	8 × f <sub>S</sub>	See Figure 2
0x00	16-bit	1×	SDR two-lane bit-wise	8 × f <sub>S</sub>	See Figure 2
0x34	16-bit	2×	DDR two-lane byte-wise	4 × f <sub>S</sub>	See Figure 4
0x24	16-bit	2×	DDR two-lane bit-wise	4 × f <sub>S</sub>	See Figure 4
0x14	16-bit	2×	SDR two-lane byte-wise	8 × f <sub>S</sub>	See Figure 4
0x04	16-bit	2×	SDR two-lane bit-wise	8 × f <sub>S</sub>	See Figure 4
0x40	16-bit	1×	DDR one-lane word-wise	8 × f <sub>S</sub>	See Figure 6
0x32	12-bit	1×	DDR two-lane byte-wise	3 × f <sub>S</sub>	See Figure 3
0x22	12-bit	1×	DDR two-lane bit-wise	3 × f <sub>S</sub>	See Figure 3
0x12	12-bit	1×	SDR two-lane byte-wise	6 × f <sub>S</sub>	See Figure 3
0x02	12-bit	1×	SDR two-lane bit-wise	6 × f <sub>S</sub>	See Figure 3
0x36	12-bit	2×	DDR two-lane byte-wise	3 × f <sub>S</sub>	See Figure 5
0x26	12-bit	2×	DDR two-lane bit-wise	3 × f <sub>S</sub>	See Figure 5
0x16	12-bit	2×	SDR two-lane byte-wise	6 × f <sub>S</sub>	See Figure 5
0x06	12-bit	2×	SDR two-lane bit-wise	6 × f <sub>S</sub>	See Figure 5
0x42	12-bit	1×	DDR one-lane word-wise	6 × f <sub>S</sub>	See Figure 7

## 分解能/サンプル・レート・オーバーライド(レジスタ 0x100)

このレジスタは、ユーザーがデバイスをダウングレードさせることができるようにデザインされています。デフォルトの速度グレードをアップグレードしようとする、チップはパワーダウンします。転送レジスタ(レジスタ 0xFF)のビット 0 にハイ・レベルが書込まれるまで、このレジスタ内の設定値は初期化されません。

## ユーザー I/O コントロール 2 (レジスタ 0x101)

ビット[7:1]—オープン

ビット 0—SDIO プルダウン

ビット 0 をセットして、SDIO ピンの内部 30 kΩ プルダウンをディスエーブルすることができます。この機能を使うと、多くのデバイスが SPI バスに接続されているとき、負荷を制限することができます。

## ユーザー I/O コントロール 3 (レジスタ 0x102)

ビット[7:4]—オープン

ビット 3—VCM パワーダウン

ビット 3 をハイ・レベルにすると、内蔵 VCM ジェネレータをパワーダウンさせることができます。この機能は、外部リファレンスを供給する際に使います。

ビット[2:0]—オープン

## アプリケーション情報

### デザイン・ガイドライン

システムとして [AD9645](#) のデザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件についての次のガイドラインをお読みください。

### 電源とグラウンドのガイドライン

電源を [AD9645](#) に接続する際、2 個の 1.8 V 電源を使うことが推奨されます。1 つはアナログ用電源 (AVDD)、もう 1 つはデジタル出力用電源 (DRVDD) です。AVDD と DRVDD には、複数の異なるデカップリング・コンデンサを使って高周波と低周波をカバーする必要があります。これらコンデンサは PCB レベルの入り口の近くで、かつ最短パターンでデバイス・ピンの近くに配置してください。

2 個の電源を使う場合、DRVDD の前に AVDD をパワーアップさせないでください。DRVDD は、AVDD より前または同時にパワーアップする必要があります。このシーケンスに違反した場合には、デバイスを正常動作に戻すため、SPI レジスタ 0x00 (ビット[7:0] = 0x3C) を使ったソフト・リセットと、それに続く SPI レジスタ 0x08 (ビット[7:0] = 0x03) その後でビット[7:0] = 0x00) を使ったデジタル・リセットが必要です。

非 SPI モードでは、この電源シーケンスが必須です。この場合、電源シーケンスに違反すると回復できません。

[AD9645](#) を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

### エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

[AD9645](#) の最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パッドをアナログ・グラウンド (AGND) に接続することが必要です。[AD9645](#) のエクスポーズド・パッド (ピン 0) を PCB の連続した銅プレーンに直接接触させる必要があります。銅プレーンには、PCB 裏面を通しての最小熱抵抗パスを実現するために複数のビアを設ける必要があります。これらのビアは、ハンダで埋めるかプラグを挿入する必要があります。

ADC と PCB との接触面積と接着を最大にするため、PCB をシ

ルクスクリーンで覆い、PCB の連続な銅プレーンを複数の均一なセクションに分割してください。これにより、リフロー処理時に ADC と PCB の間に複数の接続ポイントができます。これに対して分割のない 1 つの連続プレーンを使うと接続ポイントが 1 箇所になってしまいます。PCB レイアウト例については、[図 69](#) を参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、アプリケーション・ノート [AN-772](#) 「リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド」を参照してください。

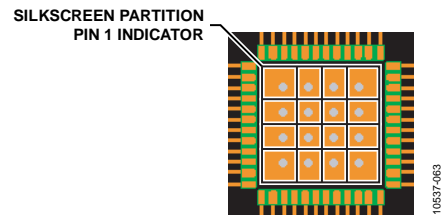


図 69. 代表的な PCB レイアウト

### VCM

VCM ピンは、0.1  $\mu\text{F}$  のコンデンサでグラウンドへデカップリングする必要があります。

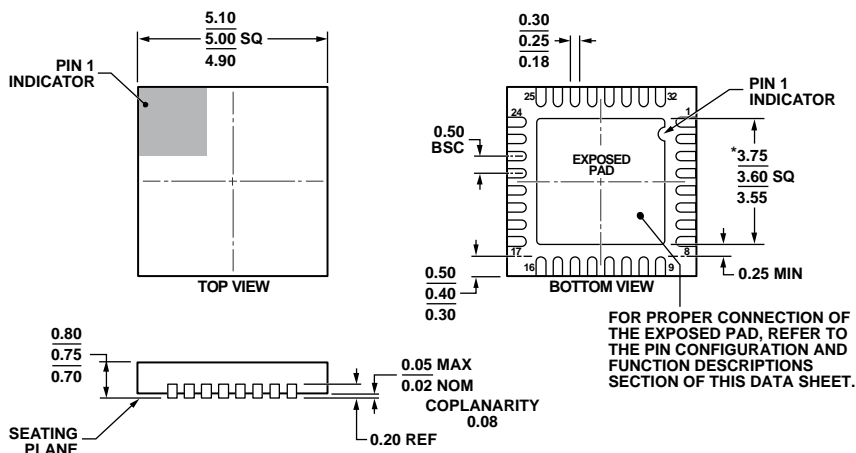
### リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい 1.0  $\mu\text{F}$  のコンデンサと ESR の小さい 0.1  $\mu\text{F}$  のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

### SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと [AD9645](#) との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止する必要があります。

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

08-16-2010-B

図 70.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
5 mm × 5 mm ボディ、超極薄クワッド  
(CP-32-12)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9645BCPZ-80	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-32-12
AD9645BCPZRL7-80	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-32-12
AD9645BCPZ-125	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-32-12
AD9645BCPZRL7-125	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-32-12
AD9645-125EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。