

特長

185 MHz A_{IN} 、250 MSPS で SNR = 70.6 dBFS
 185 MHz A_{IN} 、250 MSPS で SFDR = 85 dBc
 185 MHz、-1 dBFS A_{IN} 、250 MSPS で入力ノイズ = -151.6 dBFS/Hz
 総合消費電力: 250 MSPS で 785 mW
 電源電圧: 1.8 V
 LVDS (ANSI-644 レベル)出力
 1~8 分周の入カロック分周器を内蔵(最大入力 625 MHz)
 サンプル・レート: 最大 250 MSPS
 IF サンプリング周波数: 最大 400 MHz
 ADC リファレンス電圧を内蔵
 柔軟なアナログ入力範囲
 1.4 V p-p~2.0 V p-p (公称 1.75 V p-p)
 ADC クロックのデューティ・サイクル・スタビライザを内蔵
 チャンネル・アイソレーション/クロストーク: 95 dB
 シリアル・ポート制御
 省電力のパワーダウン・モード
 ユーザ設定可能なビルトイン・セルフテスト(BIST)機能

アプリケーション

通信

ダイバーシティー無線システム
 マルチモード・デジタル・レシーバ(3G)
 TD-SCDMA、WiMax、WCDMA、CDMA2000、GSM、EDGE、LTE

I/Q 復調システム

スマート・アンテナ・システム

汎用ソフトウェア無線

超音波装置

ブロードバンド・データ・アプリケーション

概要

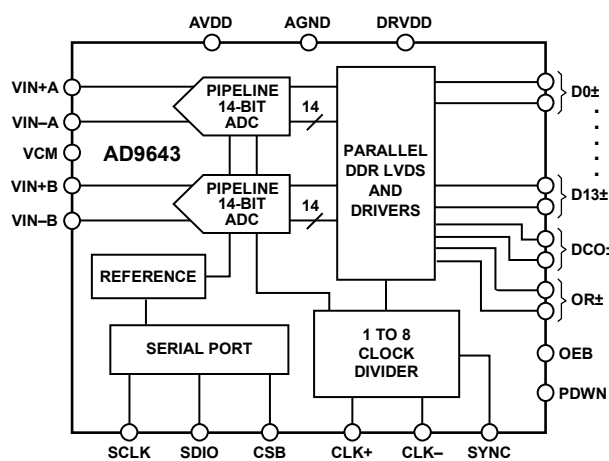
AD9643 は、サンプリング速度が最大 250 MSPS のデュアル 14 ビット A/D コンバータ(ADC)です。AD9643 は、低価格、小型、広帯域、多機能が必要とされる通信アプリケーションをサポートするようにデザインされています。

2 個の ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC は、ユーザ選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが容易です。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの変動を補償して、優れた性能を維持します。

ADC 出力データは 2 つの外部 14 ビット LVDS 出力ポートへ直接接続され、インターリーブまたはチャンネル・マルチプレクスとしてフォーマットされます。

柔軟なパワーダウン・オプションは、必要に応じて大幅な省電力を可能にします。

機能ブロック図



NOTES

1. THE D0± TO D13± PINS REPRESENT BOTH THE CHANNEL A AND CHANNEL B LVDS OUTPUT DATA.

096396-001

図 1.

設定と制御は、3 線式 SPI 互換シリアル・インターフェースを介して行います。

AD9643 は 64 ピン LFCSP パッケージを採用し、-40°C~+85°C の工業用温度範囲で仕様が規定されています。このデバイスは、米国特許により保護されています。

製品のハイライト

- 170 MSPS/210 MSPS/250 MSPS の 14 ビット ADC を 2 個内蔵しています。
- 1.8 V 単電源で動作し、LVDS 出力に対応するためのデジタル出力ドライバ電源が分離されています。
- 当社独自の差動入力により、最大 400 MHz までの入力周波数で優れた SNR 性能を維持します。
- SYNC 入力により複数デバイスの同期が可能です。
- レジスタの読み書きに使用する 3 ピン 1.8 V の SPI ポートを内蔵しています。
- AD9613 とピン互換であるため、14 ビットから 12 ビットへの移行が容易です。このデバイスは、AD6649 および AD9643 とともにピン・コンパチブルです。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2011 Analog Devices, Inc. All rights reserved.

Rev. B

目次

特長	1	アナログ入力に対する考慮	23
アプリケーション	1	リファレンス電圧	25
機能ブロック図	1	クロック入力の考慮事項	25
概要	1	消費電力とスタンバイ・モード	26
製品のハイライト	1	デジタル出力	27
改訂履歴	2	ADC オーバーレンジ(OR)	27
仕様	2	チャンネル/チップ同期	28
ADC の DC 仕様	3	シリアル・ポート・インターフェース(SPI)	29
ADC の AC 仕様	4	SPI を使う設定	29
デジタル仕様	6	ハードウェア・インターフェース	29
スイッチング仕様	8	SPI からアクセス可能な機能	30
タイミング仕様	9	メモリ・マップ	31
絶対最大定格	11	メモリ・マップ・レジスタ・テーブルの読出し	31
熱特性	11	メモリ・マップ・レジスタ・テーブル	32
ESD の注意	11	メモリ・マップ・レジスタの説明	34
ピン配置およびピン機能説明	12	アプリケーション情報	35
代表的な性能特性	16	デザイン・ガイドライン	35
等価回路	22	外形寸法	36
動作原理	23	オーダー・ガイド	36
ADC のアーキテクチャ	23		

改訂履歴

9/11—Rev. A to Rev. B

Changes to Table 1	3
Changes to Table 2,	4
Changes to Table 3	6
Changes to Table 4	8
Changes to Table 8	12
Changes to Table 9	14
Changes to Typical Performance Characteristics Section	16
Added ADC Overrange (OR) Section	27
Changes to Channel/Chip Synchronization Section	28
Changes to Reading the Memory Map Register Table Section	31
Changes to Table 14	32
Changes to Memory Map Register Description Section	34

5/11—Rev. 0 to Rev. A

Changes to Table 2, Worst Other (Harmonic or Spur) Max Values	4
--	---

4/11—Revision 0: Initial Version

仕様

ADC の DC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS (差動入力)、1.75 V p-p のフルスケール入力範囲、デューティ・サイクル・スタビライザ(DCS)をイネーブル。

表 1.

Parameter	Temperature	AD9643-170			AD9643-210			AD9643-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			14			Bits
ACCURACY		Guaranteed			Guaranteed			Guaranteed			
No Missing Codes	Full	Guaranteed			Guaranteed			Guaranteed			
Offset Error	Full	±10			±10			±10			mV
Gain Error	Full	+2/-6			+3/-5			±4			%FSR
Differential Nonlinearity (DNL)	Full	±0.75			±0.75			±0.75			LSB
	25°C	±0.25			±0.25			±0.25			LSB
Integral Nonlinearity (INL) ¹	Full	±1.8			±2			±3.5			LSB
	25°C	±1.5			±1.5			±1.5			LSB
MATCHING CHARACTERISTIC											
Offset Error	Full	±13			±13			±13			mV
Gain Error	Full	±2.5/+3.5			-2/+3.5			-2.5/+3.5			%FSR
TEMPERATURE DRIFT											
Offset Error	Full	±5			±5			±5			ppm/°C
Gain Error	Full	±70			±80			±100			ppm/°C
INPUT REFERRED NOISE											
VREF = 1.0 V	25°C	1.33			1.33			1.33			LSB rms
ANALOG INPUT											
Input Span	Full	1.75			1.75			1.75			V p-p
Input Capacitance ²	Full	2.5			2.5			2.5			pF
Input Resistance ³	Full	20			20			20			kΩ
Input Common-Mode Voltage	Full	0.9			0.9			0.9			V
POWER SUPPLIES											
Supply Voltage											
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current											
I _{AVDD} ¹	Full	196		250	217		265	256		275	mA
I _{DRVDD} ¹	Full	145		160	160		185	180		210	mA
POWER CONSUMPTION											
Sine Wave Input (DRVDD = 1.8 V)	Full	614			680			785			mW
Standby Power ⁴	Full	90			90			90			mW
Power-Down Power	Full	10			10			10			mW

¹ 低入力周波数のフルスケール正弦波で測定。

² 入力容量は、1つの差動入力ピンとその相補入力との間の実効容量です。

³ 入力抵抗は、1つの差動入力ピンとその相補入力との間の実効抵抗です。

⁴ スタンバイ消費電力は、DC入力とCLKピンを非アクティブ(すなわち AVDD または AGND に接続)にして測定。

ADC の AC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS (差動入力)、1.75 V p-p のフルスケール入力範囲。

表 2.

Parameter ¹	Temperature	AD9643-170			AD9643-210			AD9643-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)											
$f_{IN} = 30$ MHz	25°C		72.2			72.2			72.0		dBFS
$f_{IN} = 90$ MHz	25°C		72.0			72.0			71.7		dBFS
	Full	70.4			69.9						dBFS
$f_{IN} = 140$ MHz	25°C		71.8			71.6			71.4		dBFS
$f_{IN} = 185$ MHz	25°C		71.4			71.2			70.9		dBFS
	Full							68.8			dBFS
$f_{IN} = 220$ MHz	25°C		71.1			70.9			70.5		dBFS
SIGNAL-TO-NOISE AND DISTORTION (SINAD)											
$f_{IN} = 30$ MHz	25°C		71.2			71.2			71.0		dBFS
$f_{IN} = 90$ MHz	25°C		71.0			71.0			70.7		dBFS
	Full	70.4			69.9						dBFS
$f_{IN} = 140$ MHz	25°C		70.8			70.6			70.4		dBFS
$f_{IN} = 185$ MHz	25°C		70.4			70.2			69.9		dBFS
	Full							67.5			dBFS
$f_{IN} = 220$ MHz	25°C		70.1			69.9			69.5		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)											
$f_{IN} = 30$ MHz	25°C		11.5			11.5			11.5		Bits
$f_{IN} = 90$ MHz	25°C		11.5			11.5			11.5		Bits
$f_{IN} = 140$ MHz	25°C		11.5			11.5			11.4		Bits
$f_{IN} = 185$ MHz	25°C		11.4			11.4			11.3		Bits
$f_{IN} = 220$ MHz	25°C		11.4			11.3			11.3		Bits
WORST SECOND OR THIRD HARMONIC											
$f_{IN} = 30$ MHz	25°C		-95			-90			-90		dBc
$f_{IN} = 90$ MHz	25°C		-92			-90			-88		dBc
	Full			-78			-80				dBc
$f_{IN} = 140$ MHz	25°C		-88			-88			-86		dBc
$f_{IN} = 185$ MHz	25°C		-83			-87			-85		dBc
	Full								-80		dBc
$f_{IN} = 220$ MHz	25°C		-83			-85			-85		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)											
$f_{IN} = 30$ MHz	25°C		95			90			90		dBc
$f_{IN} = 90$ MHz	25°C		92			90			88		dBc
	Full	78			80						dBc
$f_{IN} = 140$ MHz	25°C		88			88			86		dBc
$f_{IN} = 185$ MHz	25°C		83			87			85		dBc
	Full							80			dBc
$f_{IN} = 220$ MHz	25°C		83			85			85		dBc
WORST OTHER (HARMONIC OR SPUR)											
$f_{IN} = 30$ MHz	25°C		-98			-95			-94		dBc
$f_{IN} = 90$ MHz	25°C		-97			-95			-93		dBc
	Full			-78			-80				dBc
$f_{IN} = 140$ MHz	25°C		-97			-93			-92		dBc
$f_{IN} = 185$ MHz	25°C		-96			-92			-92		dBc
	Full								-80		dBc
$f_{IN} = 220$ MHz	25°C		-94			-90			-88		dBc

Parameter ¹	Temperature	AD9643-170			AD9643-210			AD9643-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
TWO-TONE SFDR $f_{IN} = 184.12 \text{ MHz } (-7 \text{ dBFS}), 187.12 \text{ MHz } (-7 \text{ dBFS})$	25°C		88			88			88		dBc
CROSSTALK ²	Full		95			95			95		dB
FULL POWER BANDWIDTH ³	25°C		400			400			400		MHz
NOISE BANDWIDTH ⁴	25°C		1000			1000			1000		MHz

¹ 完全な定義については [AN-835](#) アプリケーション・ノート「高速 A/D コンバータ (ADC) のテストと評価について」(和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

² クロストークは、片方のチャンネルに -1.0 dBFS を入力し、他方のチャンネルは入力なしで、100 MHz で測定。

³ フルパワー帯域幅とは、適切な ADC 性能が得られる動作帯域幅です。

⁴ ノイズ帯域幅は、ADC にノイズが混入して内部で減衰されない ADC 入力の -3 dB 帯域幅です。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS (差動入力)、1.75 V p-p のフルスケール入力範囲、DCS をイネーブル。

表 3.

Parameter	Temp	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance		CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full	0.9			V
Differential Input Voltage	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND		AVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	-10		+22	μA
Low Level Input Current	Full	-22		-10	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
SYNC INPUT					
Logic Compliance		CMOS/LVDS			
Internal Bias	Full	0.9			V
Input Voltage Range	Full	AGND		AVDD	V
High Level Input Voltage	Full	1.2		AVDD	V
Low Level Input Voltage	Full	AGND		0.6	V
High Level Input Current	Full	-5		+5	μA
Low Level Input Current	Full	-5		+5	μA
Input Capacitance	Full		1		pF
Input Resistance	Full	12	16	20	kΩ
LOGIC INPUT (CSB) ¹					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-5		+5	μA
Low Level Input Current	Full	-80		-45	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT (SCLK) ²					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		70	μA
Low Level Input Current	Full	-5		+5	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUTS (SDIO) ¹					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		70	μA
Low Level Input Current	Full	-5		+5	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF

Parameter	Temp	Min	Typ	Max	Unit
LOGIC INPUTS (OEB, PDWN) ²					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		70	μA
Low Level Input Current	Full	-5		+5	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS					
LVDS Data and OR Outputs					
Differential Output Voltage (VOD), ANSI Mode	Full	250	350	450	mV
Output Offset Voltage (VOS), ANSI Mode	Full	1.15	1.22	1.35	V
Differential Output Voltage (VOD), Reduced Swing Mode	Full	150	200	280	mV
Output Offset Voltage (VOS), Reduced Swing Mode	Full	1.15	1.22	1.35	V

¹ プルアップ。² プルダウン。

スイッチング仕様

表 4.

Parameter	Temp	AD9643-170			AD9643-210			AD9643-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS											
Input Clock Rate	Full			625			625			625	MHz
Conversion Rate ¹	Full	40		170	40		210	40		250	MSPS
CLK Period—Divide-by-1 Mode (t_{CLK})	Full	5.8			4.8			4			ns
CLK Pulse Width High (t_{CH})											
Divide-by-1 Mode, DCS Enabled	Full	2.61	2.9	3.19	2.16	2.4	2.64	1.8	2.0	2.2	ns
Divide-by-1 Mode, DCS Disabled	Full	2.76	2.9	3.05	2.28	2.4	2.52	1.9	2.0	2.1	ns
Divide-by-2 Mode Through Divide-by-8 Mode	Full	0.8			0.8			0.8			ns
Aperture Delay (t_A)	Full		1.0			1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1			0.1			0.1		ps rms
DATA OUTPUT PARAMETERS											
LVDS Mode											
Data Propagation Delay (t_{PD})	Full		4.8			4.8			4.8		ns
DCO Propagation Delay (t_{DCO})	Full		5.5			5.5			5.5		ns
DCO-to-Data Skew (t_{SKEW})	Full	0.3	0.7	1.1	0.3	0.7	1.1	0.3	0.7	1.1	ns
Pipeline Delay (Latency)	Full		10			10			10		Cycles
Aperture Delay (t_A)	Full		1.0			1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1			0.1			0.1		ps rms
Wake-Up Time (from Standby)	Full		10			10			10		μ s
Wake-Up Time (from Power-Down)	Full		250			250			250		μ s
Out-of-Range Recovery Time	Full		3			3			3		Cycles

¹ 変換レートは分周後のクロック・レートです。

タイミング仕様

表 5.

Parameter	Conditions	Min	Typ	Max	Unit
SYNC TIMING REQUIREMENTS					
t_{SSYNC}	SYNC to the rising edge of CLK setup time		0.3		ns
t_{HSYNC}	SYNC to the rising edge of CLK hold time		0.4		ns
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	Minimum period that SCLK should be in a logic high state	10			ns
t_{LOW}	Minimum period that SCLK should be in a logic low state	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns

タイミング図

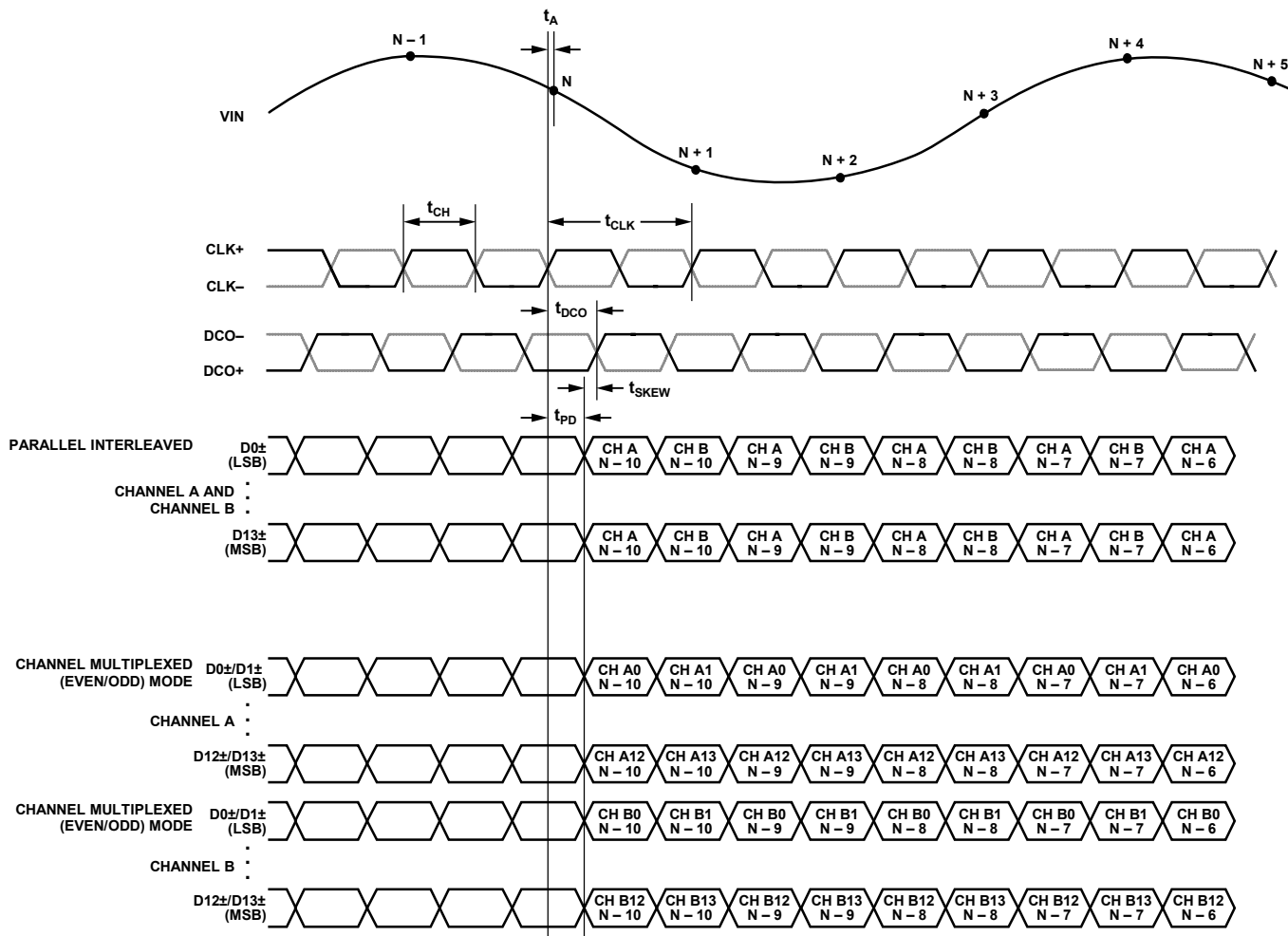


図 2.LVDS モードでのデータ出力タイミング

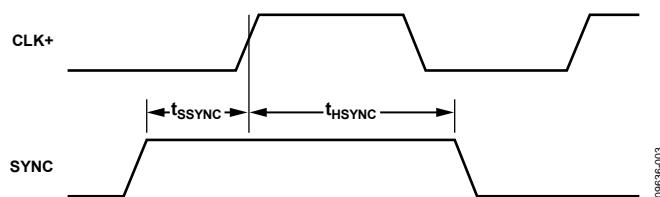


図 3.SYNC タイミング入力

絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to AGND	-0.3 V to +2.0 V
VIN+A/VIN+B, VIN-A/VIN-B to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to AVDD + 0.2 V
SYNC to AGND	-0.3 V to AVDD + 0.2 V
VCM to AGND	-0.3 V to AVDD + 0.2 V
CSB to AGND	-0.3 V to DRVDD + 0.3 V
SCLK to AGND	-0.3 V to DRVDD + 0.3 V
SDIO to AGND	-0.3 V to DRVDD + 0.3 V
OEB to AGND	-0.3 V to DRVDD + 0.3 V
PDWN to AGND	-0.3 V to DRVDD + 0.3 V
OR+/OR- to AGND	-0.3 V to DRVDD + 0.3 V
D0-/D0+ Through D13-/D13+ to AGND	-0.3 V to DRVDD + 0.3 V
DCO+/DCO- to AGND	-0.3 V to DRVDD + 0.3 V
Environmental	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

LFCSP パッケージのエクスポーズド・パッドは、グラウンド・プレーンにハンダ付けする必要があります。エクスポーズド・パッドをグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 7. 熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	Unit
64-Lead LFCSP 9 mm × 9 mm (CP-64-4)	0	26.8	1.14	10.4	°C/W
	1.0	21.6			°C/W
	2.0	20.2			°C/W

¹ JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

⁴ JEDEC JESD51-8 (自然空冷) に準拠。

θ_{JA} (typ) は、厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定します。表 7 に示すように、空気流を与えると熱放散が大きくなるので、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

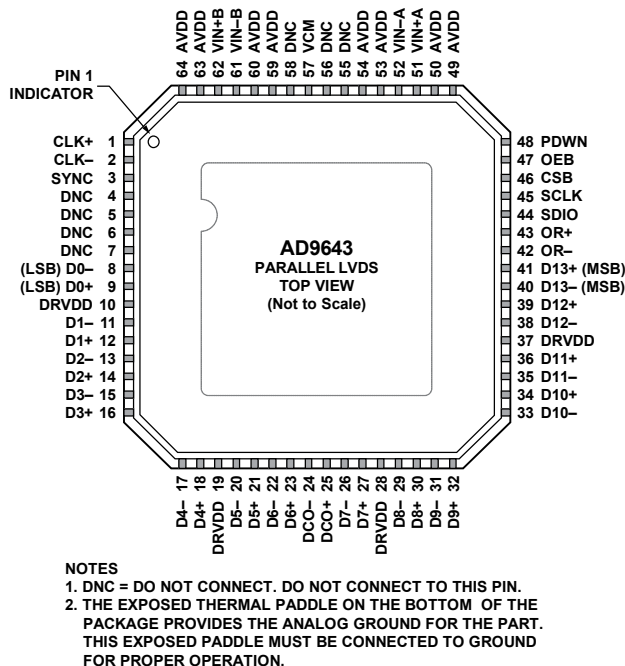
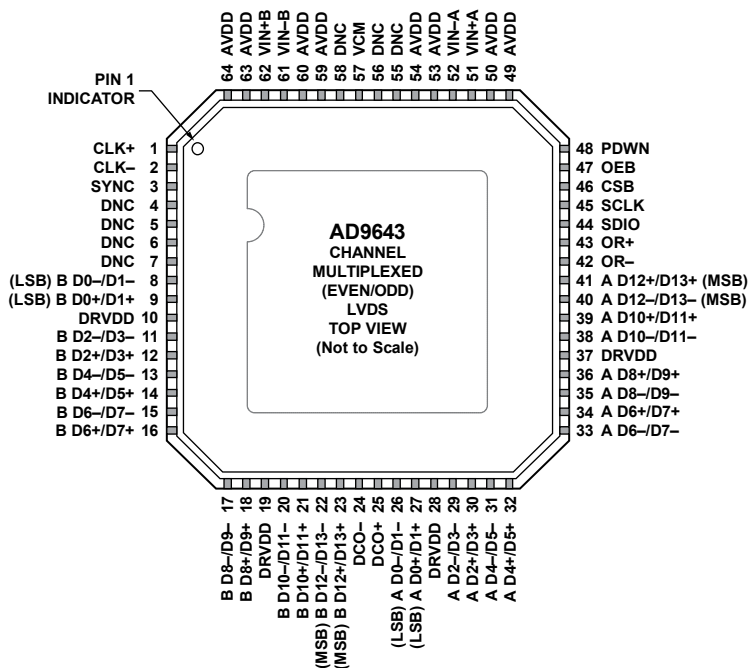


図 4.LFCSIP インターリーブ・パラレル LVDS のピン配置(上面図)

表 8.ピン機能の説明(インターリーブ・パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源 10、19、28、37 49、50、53、54、59、60、63、64 4、5、6、7、55、56、58 0	DRVDD AVDD DNC AGND、エクス ポーズド・パッ ド	電源 電源 グラウンド	デジタル出力ドライバ電源(公称 1.8 V)。 アナログ電源(公称 1.8 V)。 接続なし。このピンは接続しないでください。 アナログ・グラウンド。パッケージ底面のエクスポーズド・サーマル・ パッドは、デバイスのアナログ・グラウンドになります。このエクス ポーズド・パッドはグラウンドへ接続する必要があります。
ADC アナログ 51 52 62 61 57	VIN+A VIN-A VIN+B VIN-B VCM	入力 入力 入力 入力 出力	差動アナログ入力ピン(+)、チャンネル A。 差動アナログ入力ピン(-)、チャンネル A。 差動アナログ入力ピン(+)、チャンネル B。 差動アナログ入力ピン(-)、チャンネル B。 アナログ入力の同相モード・レベル・バイアス出力。このピンは、0.1 μF コンデンサでグラウンドへデカップリングする必要があります。
1 2	CLK+ CLK-	入力 入力	ADC クロック入力—真。 ADC クロック入力—相補。
デジタル入力 3	SYNC	入力	デジタル同期ピン。スレーブ・モードの場合。
デジタル出力 9 8 12 11 14 13 16 15 18	D0+ (LSB) D0- (LSB) D1+ D1- D2+ D2- D3+ D3- D4+	出力 出力 出力 出力 出力 出力 出力 出力 出力	チャンネル A/チャンネル B LVDS 出力データ 0—真。 チャンネル A/チャンネル B LVDS 出力データ 0—相補。 チャンネル A/チャンネル B LVDS 出力データ 1—真。 チャンネル A/チャンネル B LVDS 出力データ 1—相補。 チャンネル A/チャンネル B LVDS 出力データ 2—真。 チャンネル A/チャンネル B LVDS 出力データ 2—相補。 チャンネル A/チャンネル B LVDS 出力データ 3—真。 チャンネル A/チャンネル B LVDS 出力データ 3—相補。 チャンネル A/チャンネル B LVDS 出力データ 4—真。

ピン番号	記号	タイプ	説明
17	D4-	出力	チャンネル A/チャンネル B LVDS 出力データ 4—相補。
21	D5+	出力	チャンネル A/チャンネル B LVDS 出力データ 5—真。
20	D5-	出力	チャンネル A/チャンネル B LVDS 出力データ 5—相補。
23	D6+	出力	チャンネル A/チャンネル B LVDS 出力データ 6—真。
22	D6-	出力	チャンネル A/チャンネル B LVDS 出力データ 6—相補。
27	D7+	出力	チャンネル A/チャンネル B LVDS 出力データ 7—真。
26	D7-	出力	チャンネル A/チャンネル B LVDS 出力データ 7—相補。
30	D8+	出力	チャンネル A/チャンネル B LVDS 出力データ 8—真。
29	D8-	出力	チャンネル A/チャンネル B LVDS 出力データ 8—相補。
32	D9+	出力	チャンネル A/チャンネル B LVDS 出力データ 9—真。
31	D9-	出力	チャンネル A/チャンネル B LVDS 出力データ 9—相補。
34	D10+	出力	チャンネル A/チャンネル B LVDS 出力データ 10—真。
33	D10-	出力	チャンネル A/チャンネル B LVDS 出力データ 10—相補。
36	D11+	出力	チャンネル A/チャンネル B LVDS 出力データ 11—真。
35	D11-	出力	チャンネル A/チャンネル B LVDS 出力データ 11—相補。
39	D12+	出力	チャンネル A/チャンネル B LVDS 出力データ 12—真。
38	D12-	出力	チャンネル A/チャンネル B LVDS 出力データ 12—相補。
41	D13+ (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—真。
40	D13- (MSB)	出力	チャンネル A/チャンネル B LVDS 出力データ 13—相補。
43	OR+	出力	チャンネル A/チャンネル B LVDS 範囲外—真。
42	OR-	出力	チャンネル A/チャンネル B LVDS 範囲外—相補。
25	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—真。
24	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—相補。
SPI 制御			
45	SCLK	入力	SPI シリアル・クロック。
44	SDIO	入力/出力	SPI シリアル・データ I/O。
46	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
出カインエーブル・バーおよびパ ワーダウン			
47	OEB	入力/出力	出カインエーブル・バー入力(アクティブ・ロー)。
48	PDWN	入力/出力	パワーダウン入力(アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができます(表 14 参照)。



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PADDLE ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PADDLE MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

09638-005

図 5.LFCSFP チャンネル・マルチプレクス(奇数/偶数)LVDS のピン配置(上面図)

表 9.ピン機能の説明(チャンネル・マルチプレクス(奇数/偶数)LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
10、19、28、37	DRVDD	電源	デジタル出力ドライバ電源(1.8 V 公称)。
49、50、53、54、59、60、63、64	AVDD	電源	アナログ電源(1.8 V 公称)。
4、5	DNC		接続なし。このピンは接続しないでください。
0	AGND、エクスポート・パッド	グラウンド	パッケージ底面のエクスポート・サーマル・パッドは、デバイスのアナログ・グラウンドになります。このエクスポート・パッドはグラウンドへ接続する必要があります。
ADC アナログ			
51	VIN+A	入力	差動アナログ入力ピン(+)、チャンネル A。
52	VIN-A	入力	差動アナログ入力ピン(-)、チャンネル A。
62	VIN+B	入力	差動アナログ入力ピン(+)、チャンネル B。
61	VIN-B	入力	差動アナログ入力ピン(-)、チャンネル B。
55	DNC		接続なし。このピンは接続しないでください。
56	DNC		接続なし。このピンは接続しないでください。
58	DNC		接続なし。このピンは接続しないでください。
57	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。このピンは、0.1 μF コンデンサでグラウンドへデカップリングする必要があります。
1	CLK+	入力	ADC クロック入力—真。
2	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
3	SYNC	入力	デジタル同期ピン。スレープ・モードの場合。

デジタル出力			
7	ORB+	出力	チャンネル B LVDS 範囲外出力—真。範囲外表示は DCO の立上がりエッジで有効になります。
6	ORB-	出力	チャンネル B LVDS 範囲外出力—相補。範囲外表示は DCO の立上がりエッジで有効になります。
8	B D0-/D1- (LSB)	出力	チャンネル B LVDS 出力データ 0/データ 1—相補。
9	B D0+/D1+ (LSB)	出力	チャンネル B LVDS 出力データ 0/データ 1—真。
11	B D2-/D3-	出力	チャンネル B LVDS 出力データ 2/データ 3—相補。
12	B D2+/D3+	出力	チャンネル B LVDS 出力データ 2/データ 3—真。
13	B D4-/D5-	出力	チャンネル B LVDS 出力データ 4/データ 5—相補。
14	B D4+/D5+	出力	チャンネル B LVDS 出力データ 4/データ 5—真。
15	B D6-/D7-	出力	チャンネル B LVDS 出力データ 6/データ 7—相補。
16	B D6+/D7+	出力	チャンネル B LVDS 出力データ 6/データ 7—真。
17	B D8-/D9-	出力	チャンネル B LVDS 出力データ 8/データ 9—相補。
18	B D8+/D9+	出力	チャンネル B LVDS 出力データ 8/データ 9—真。
20	B D10-/D11-	出力	チャンネル B LVDS 出力データ 10/データ 11—相補。
21	B D10+/D11+	出力	チャンネル B LVDS 出力データ 10/データ 11—真。
22	B D12-/D13- (MSB)	出力	チャンネル B LVDS 出力データ 12/データ 13—相補。
23	B D12+/D13+ (MSB)	出力	チャンネル B LVDS 出力データ 12/データ 13—真。
26	A D0-/D1- (LSB)	出力	チャンネル A LVDS 出力データ 0/データ 1—相補。
27	A D0+/D1+ (LSB)	出力	チャンネル A LVDS 出力データ 0/データ 1—真。
29	A D2-/D3-	出力	チャンネル A LVDS 出力データ 2/データ 3—相補。
30	A D2+/D3+	出力	チャンネル A LVDS 出力データ 2/データ 3—真。
31	A D4-/D5-	出力	チャンネル A LVDS 出力データ 4/データ 5—相補。
32	A D4+/D5+	出力	チャンネル A LVDS 出力データ 4/データ 5—真。
33	A D6-/D7-	出力	チャンネル A LVDS 出力データ 6/データ 7—相補。
34	A D6+/D7+	出力	チャンネル A LVDS 出力データ 6/データ 7—真。
35	A D8-/D9-	出力	チャンネル A LVDS 出力データ 8/データ 9—相補。
36	A D8+/D9+	出力	チャンネル A LVDS 出力データ 8/データ 9—真。
38	A D10-/D11-	出力	チャンネル A LVDS 出力データ 10/データ 11—相補。
39	A D10+/D11+	出力	チャンネル A LVDS 出力データ 10/データ 11—真。
40	A D12-/D13- (MSB)	出力	チャンネル A LVDS 出力データ 12/データ 13—相補。
41	A D12+/D13+ (MSB)	出力	チャンネル A LVDS 出力データ 12/データ 13—真。
43	ORA+	出力	チャンネル A LVDS 範囲外出力—真。範囲外表示は DCO の立上がりエッジで有効になります。
42	ORA-	出力	チャンネル A LVDS 範囲外出力—相補。範囲外表示は DCO の立上がりエッジで有効になります。
25	DCO+	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—真。
24	DCO-	出力	チャンネル A/チャンネル B LVDS データ・クロック出力—相補。
SPI 制御			
45	SCLK	入力	SPI シリアル・クロック。
44	SDIO	入力/出力	SPI シリアル・データ入力/出力。
46	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
出力イネーブル・バーおよびパワー ダウン			
47	OEB	入力	出力イネーブル・バー入力(アクティブ・ロー)。
48	PDWN	入力	パワーダウン入力(アクティブ・ハイ)。このピンの動作は SPI モードに依存し、パワーダウンまたはスタンバイに設定することができます(表 14 参照)。

代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、サンプル・レート=速度グレードでの最大サンプル・レート、DCS をイネーブル、1.75 V p-p 差動入力、VIN = -1.0 dBFS、32k サンプル、TA = 25°C。

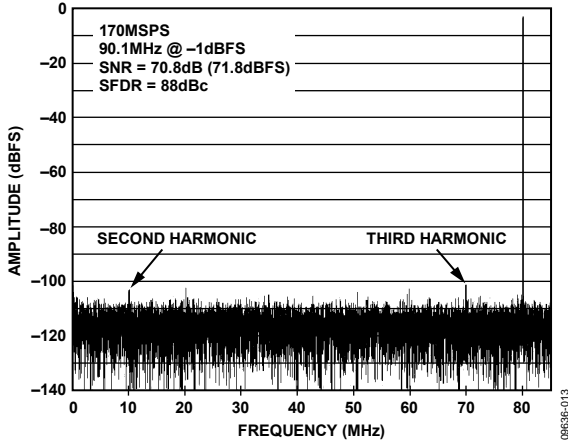


図 6.AD9643-170 シングル・トーン FFT、 $f_{IN} = 90.1$ MHz

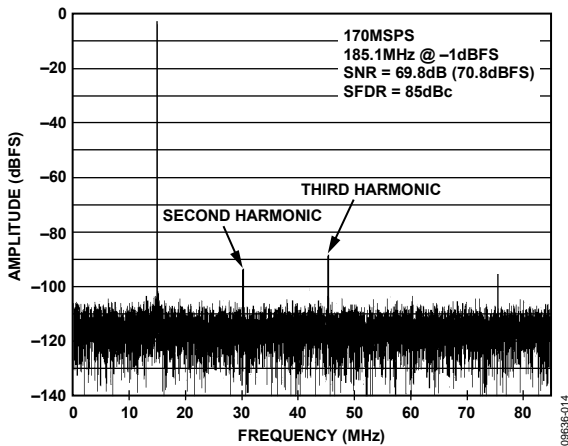


図 7.AD9643-170 シングル・トーン FFT、 $f_{IN} = 185.1$ MHz

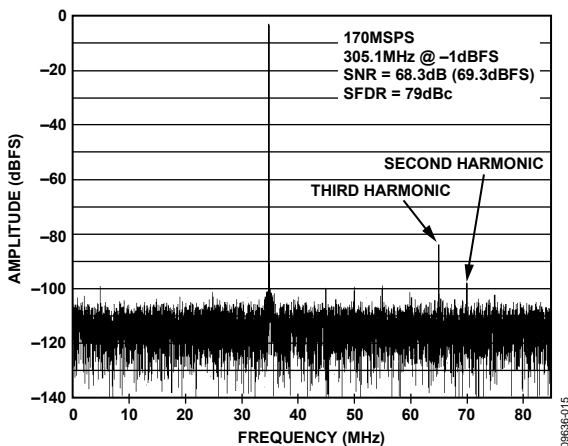


図 8.AD9643-170 シングル・トーン FFT、 $f_{IN} = 305.1$ MHz

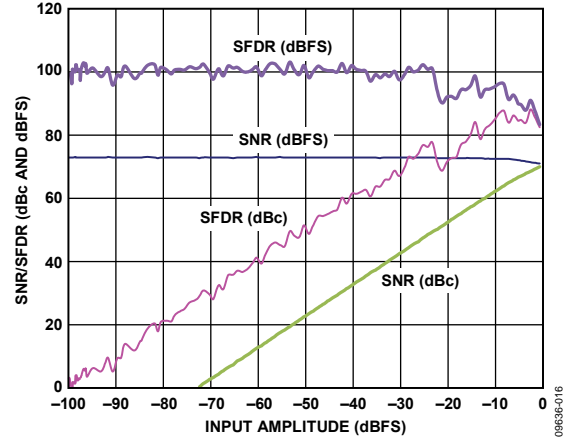


図 9.AD9643-170 入力振幅(A_{IN})対
シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$ MHz

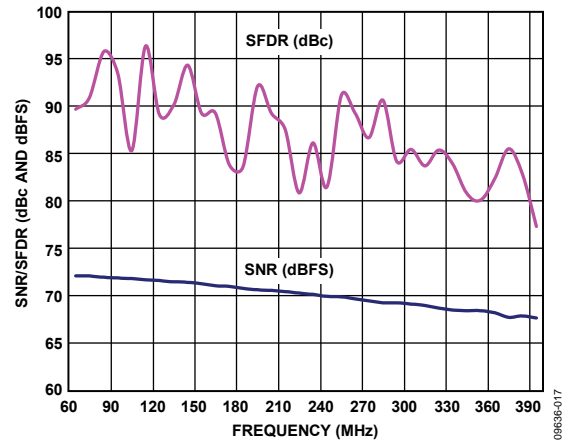


図 10.AD9643-170 入力周波数(f_{IN})対
シングル・トーン SNR/SFDR

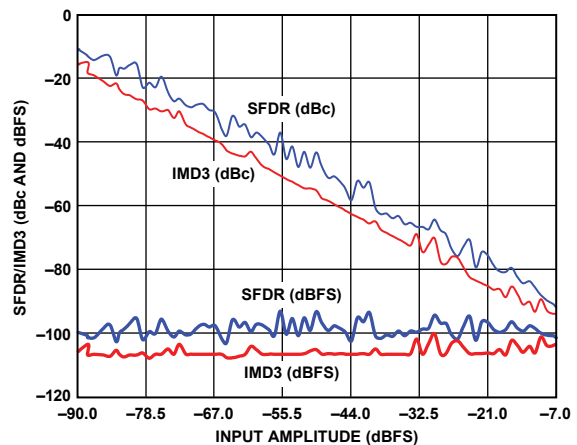


図 11.AD9643-170 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_S = 170$ MSPS

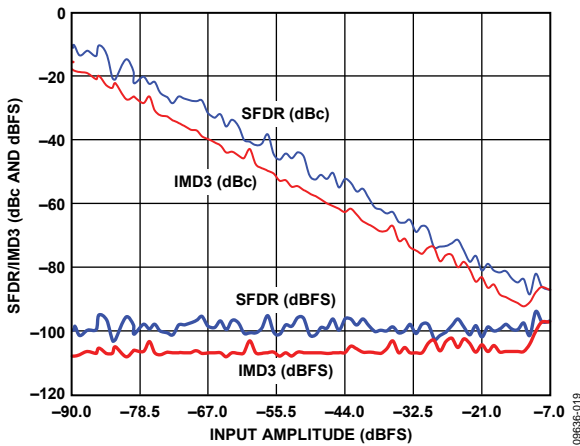


図 12. AD9643-170 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 170$ MSPS

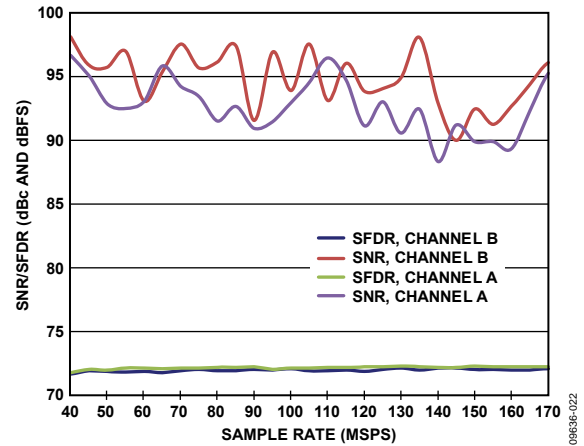


図 15. AD9643-170 サンプル・レート(f_s)対
 シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$ MHz

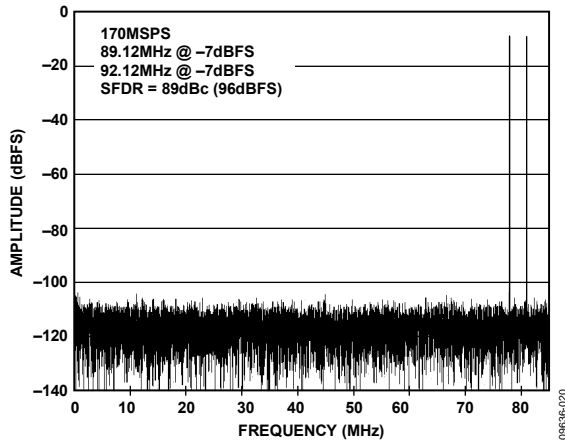


図 13. AD9643-170 の 2 トーン FFT
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_s = 170$ MSPS

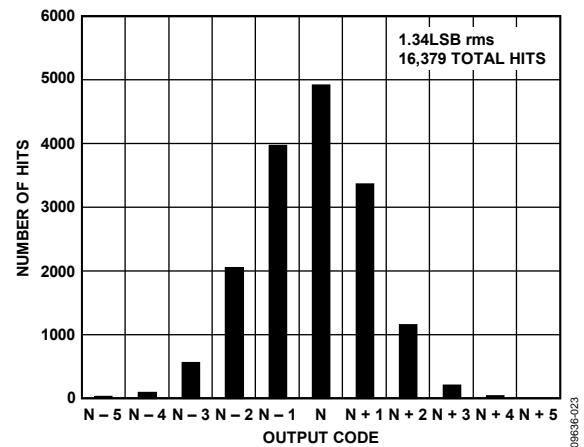


図 16. AD9643-170 グラウンド時入力ヒストグラム

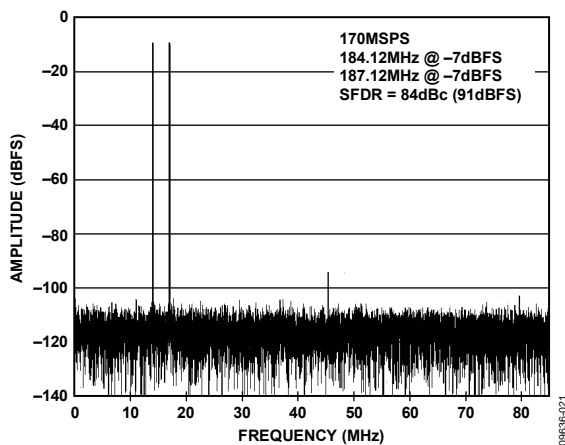


図 14. AD9643-170 の 2 トーン FFT
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 170$ MSPS

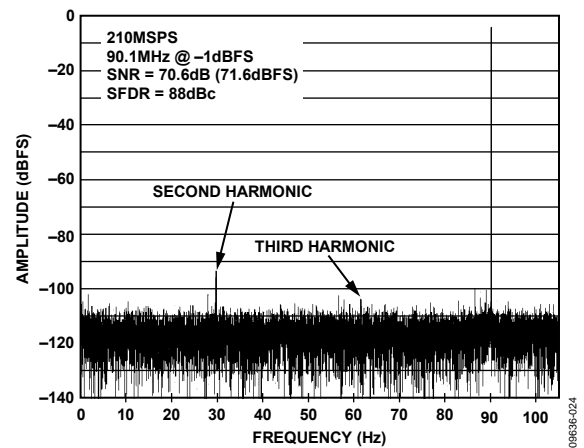


図 17. AD9643-210 シングル・トーン FFT、 $f_{IN} = 90.1$ MHz

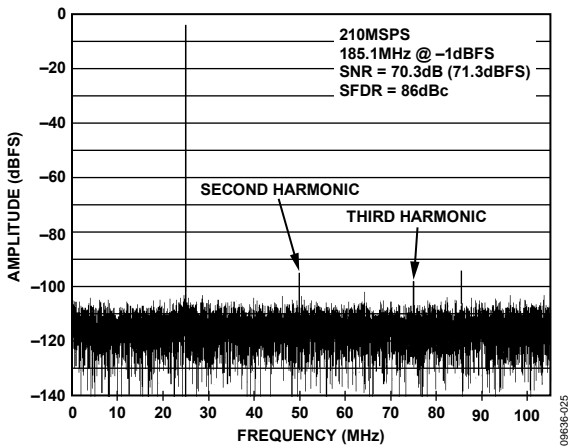


図 18. AD9643-210 シングル・トーン FFT、 $f_{IN} = 185.1$ MHz

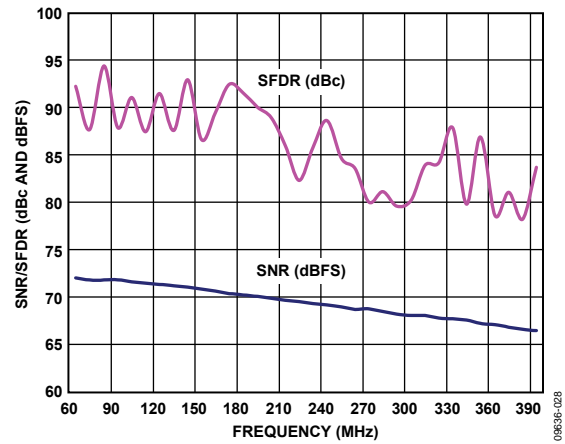


図 21. AD9643-210 入力周波数(f_{IN})対
シングル・トーン SNR/SFDR

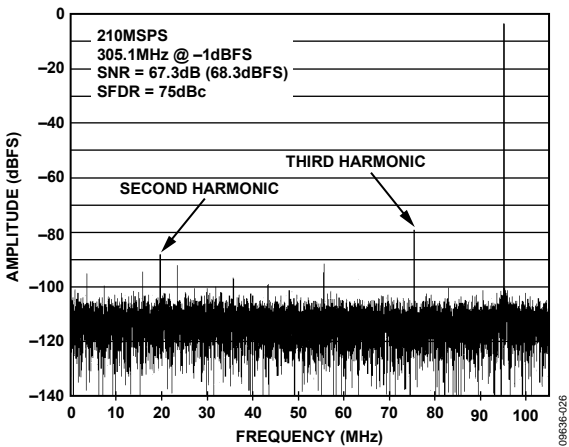


図 19. AD9643-210 シングル・トーン FFT、 $f_{IN} = 305.1$ MHz

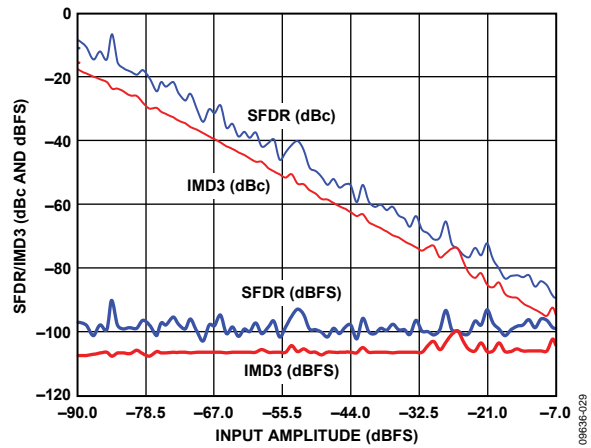


図 22. AD9643-210 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_s = 210$ MSPS

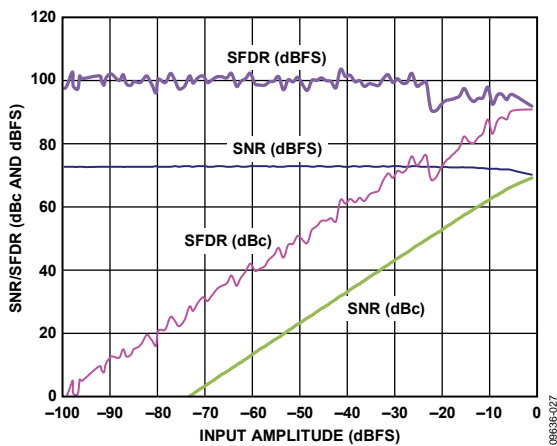


図 20. AD9643-210 入力振幅(A_{IN})対
シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$ MHz

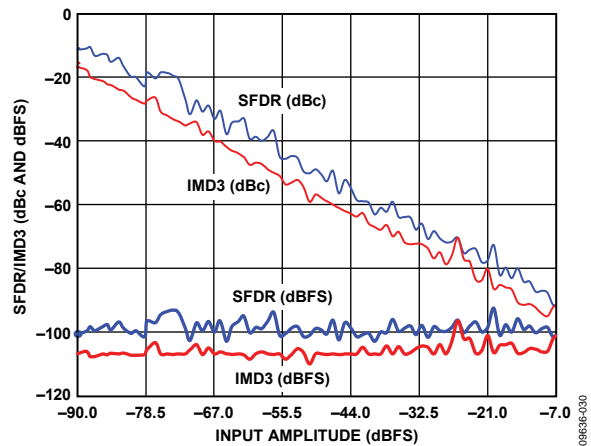


図 23. AD9643-210 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 210$ MSPS

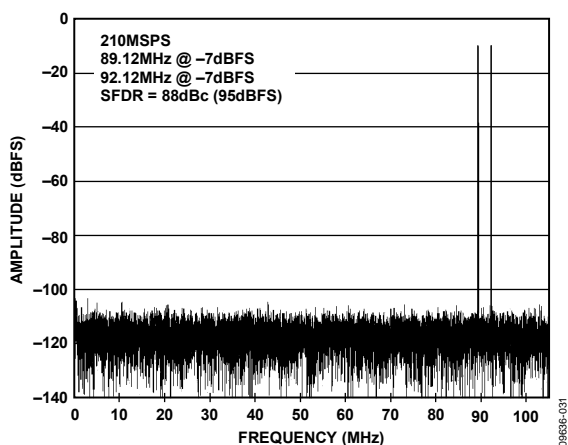


図 24. AD9643-210 の 2 トーン FFT
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_s = 210$ MSPS

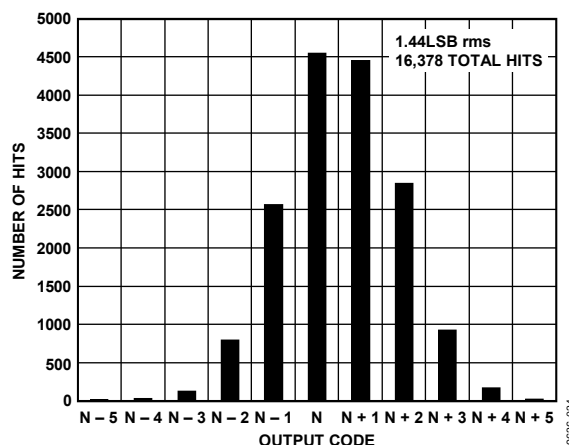


図 27. AD9643-210 グラウンド時入力ヒストグラム

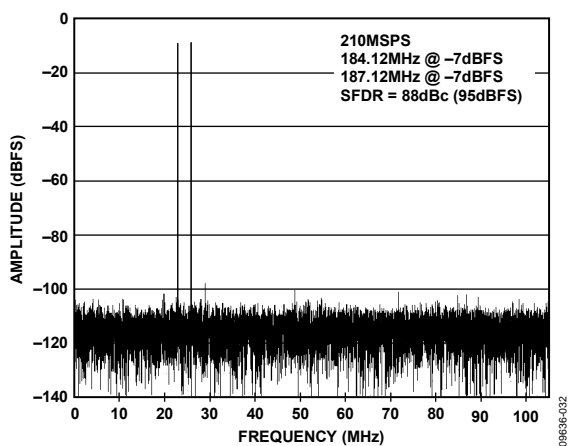


図 25. AD9643-210 の 2 トーン FFT
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 210$ MSPS

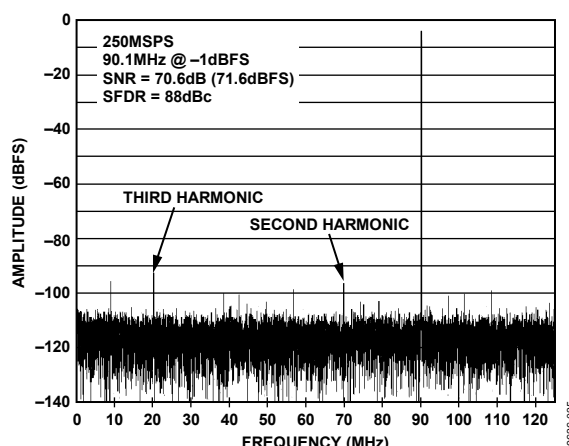


図 28. AD9643-250 シングル・トーン FFT、 $f_{IN} = 90.1$ MHz

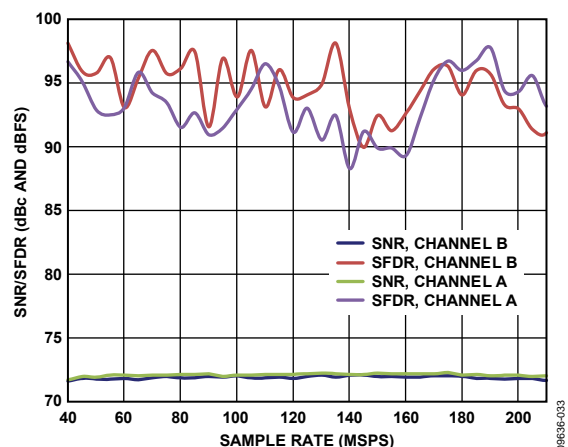


図 26. AD9643-210 サンプル・レート (f_s) 対
 シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$ MHz

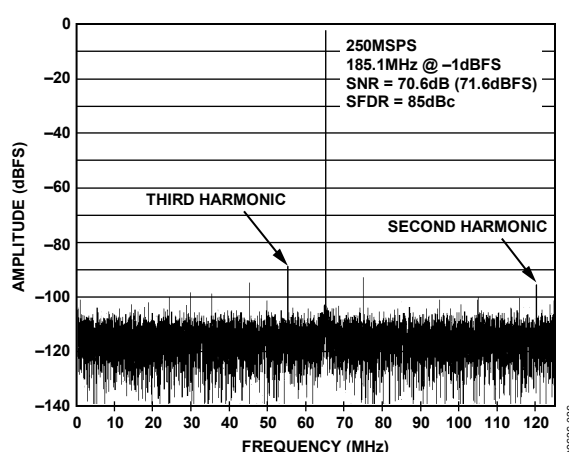


図 29. AD9643-250 シングル・トーン FFT、 $f_{IN} = 185.1$ MHz

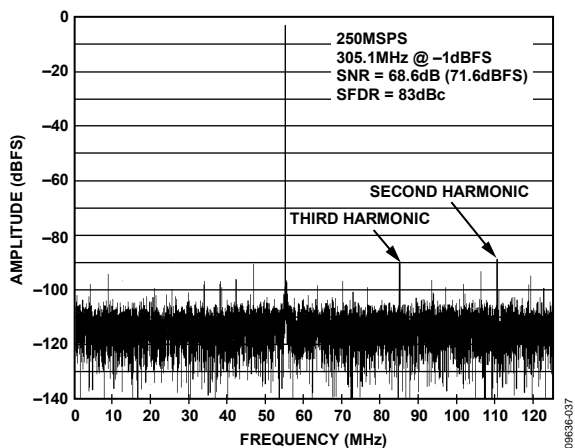


図 30. AD9643-250 シングル・トーン FFT、 $f_{IN} = 305.1$ MHz

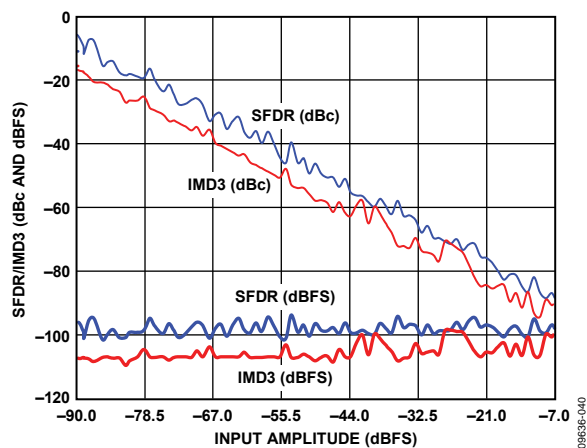


図 33. AD9643-250 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_s = 250$ MSPS

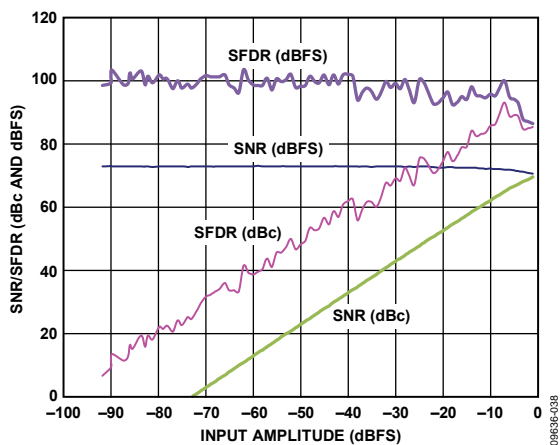


図 31. AD9643-250 入力振幅(A_{IN})対
シングル・トーン SNR/SFDR、 $f_{IN} = 185.1$ MHz

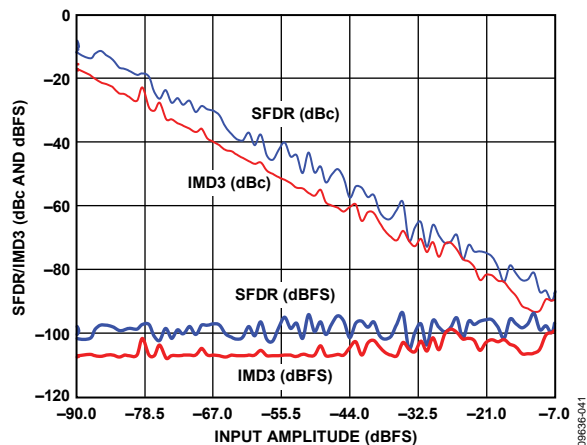


図 34. AD9643-250 入力振幅(A_{IN})対 2 トーン SFDR/IMD3
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 250$ MSPS

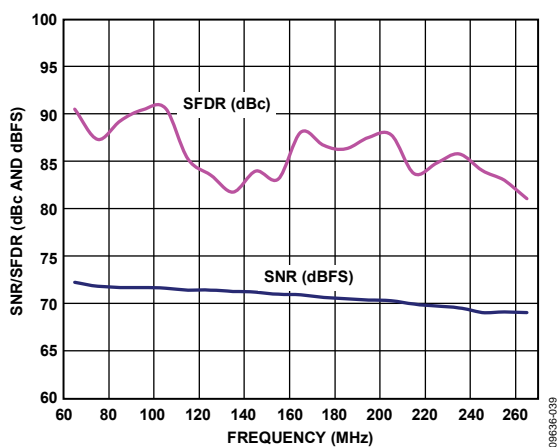


図 32. AD9643-250 入力周波数(f_{IN})対
シングル・トーン SNR/SFDR

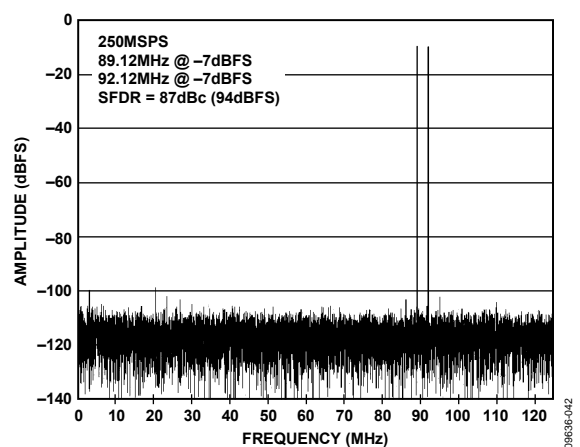


図 35. AD9643-250 の 2 トーン FFT
 $f_{IN1} = 89.12$ 、 $f_{IN2} = 92.12$ MHz、 $f_s = 250$ MSPS

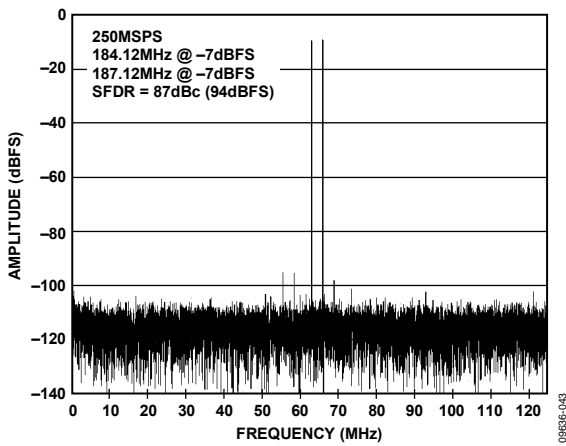


図 36.AD9643-250 の 2 トーン FFT
 $f_{IN1} = 184.12$ 、 $f_{IN2} = 187.12$ MHz、 $f_s = 250$ MSPS

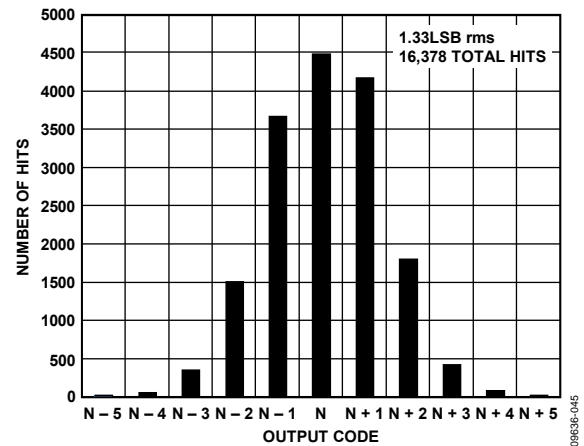


図 38.AD9643-250 グラウンド時入力ヒストグラム

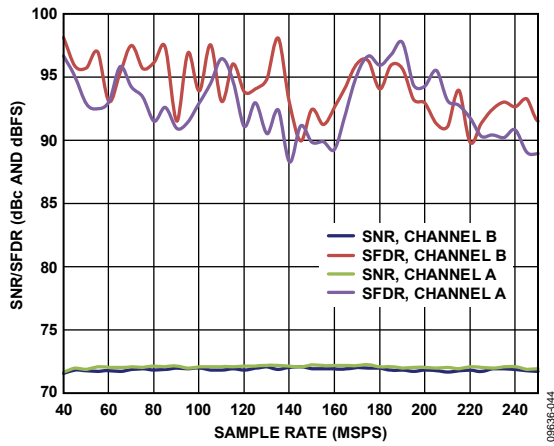


図 37.AD9643-250 サンプル・レート (f_s) 対
 シングル・トーン SNR/SFDR、 $f_{IN} = 90.1$ MHz

等価回路

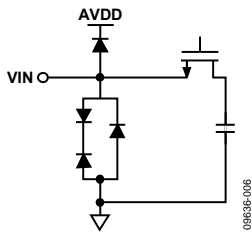


図 39. アナログ入力の等価回路

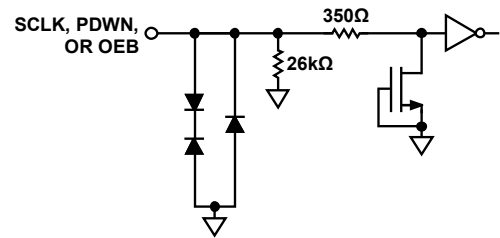


図 43. SCLK、PDWN、または OEB の等価入力回路

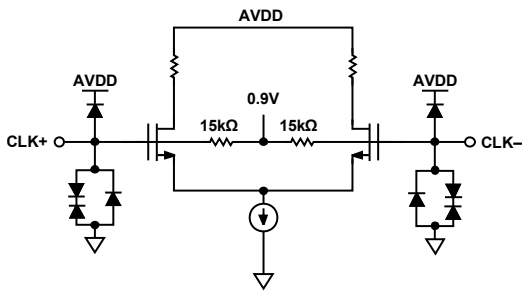


図 40. クロック入力の等価回路

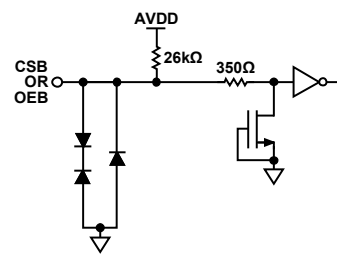


図 44. CSB の等価入力回路

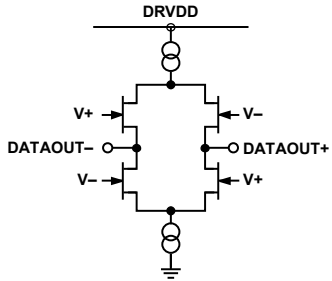


図 41. LVDS の等価出力回路

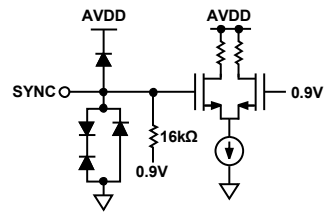


図 45. SYNC の等価入力回路

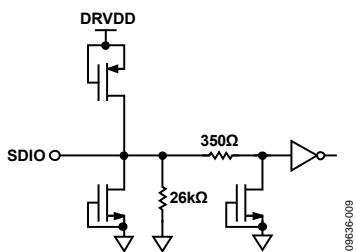


図 42. SDIO の等価回路

動作原理

AD9643 は 2 チャンネルのアナログ入力と 2 チャンネルのデジタル出力を持っています。中間周波数(IF)入力信号は、複数のステージを通過した後に出力ポートから出力されます。

このデュアル ADC デザインは、ダイバーシティー受信した 2 つの信号に対して使うことができます。この場合、別々の 2 つのアンテナから受信された同じキャリアに対して ADC が同じ動作を行います。ADC は独立なアナログ入力に対しても使うことができます。ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使い ADC 性能をほとんど損なうことなく、DC ~ 300 MHz の周波数をサンプルすることができます。400 MHz までのアナログ入力を処理することができますが、ADC のノイズと歪みが大きくなります。

同期機能を内蔵しているため、複数デバイス間でタイミングを同期させることができます。

AD9643 の設定と制御は、3 ピン SPI 互換シリアル・インターフェースを使って行います。

ADC のアーキテクチャ

AD9643 アーキテクチャは、2 個のフロントエンド・サンプル・アンド・ホールド回路とそれに続くパイプライン化されたスイッチド・キャパシタ型 ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 14 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージのフラッシュ入力との差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

各チャンネルの入力ステージには差動サンプリング回路が内蔵されているため、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電源は分離されているため、デジタル出力ノイズをアナログ・コアから分離することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に対する考慮

AD9643 のアナログ入力は、差動のスイッチド・キャパシタ回路になっています。この回路は、差動入力信号を処理する際に最適性能が得られるようにデザインされています。

クロック信号により、入力はサンプル・モードとホールド・モードの間で交互に切り替えられます(図 46 参照)。入力がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電する能力を持ち、クロック・サイクルの 1/2 以内で安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージに必要とされるピーク過渡電流を減少させることに役立ちます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給することができます。これらの受動回路は ADC 入力でローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。

中間周波数(IF)アンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを小さくする必要があります。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、AN-742 アプリケーション・ノート「スイッチド・キャパシタ ADC の周波数領域応答」、AN-827 アプリケーション・ノート「共振方式によるアンプとスイッチド・キャパシタ ADC のインターフェース」、技術情報誌 Analog Dialogue 「Transformer-Coupled Front-End for Wideband A/D Converters」を参照してください。

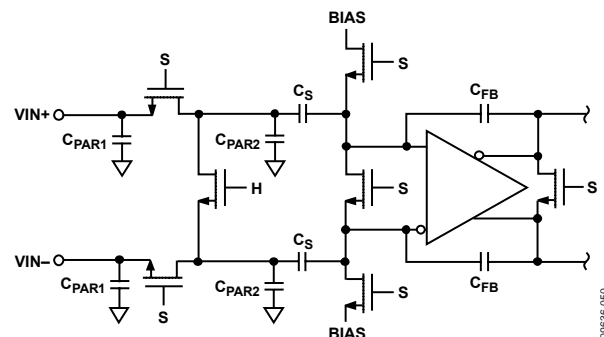


図 46. スイッチド・キャパシタ入力

最適なダイナミック性能を得るためには、VIN+ と VIN- を駆動するソース・インピーダンスが一致している必要があります。さらに各差動入力はバランスしている必要があります。

入力同相モード

AD9643 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザが外部からこのバイアスを与える必要があります。最適性能のためには、デバイスを $V_{CM} = 0.5 \times AVDD$ (すなわち 0.9 V) となるように設定することが推奨されます。同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。VCM 出力を使って入力同相モードを設定することが推奨されます。アナログ入力の同相モード電圧を VCM ピン電圧 ($0.5 \times AVDD$ (typ)) で設定したときに最適性能が得られます。VCM ピンは、0.1 μ F のコンデンサにより GND にデカップリングする必要があります(アプリケーション情報参照)。このデカップリング・コンデンサはピンの近くに配置して、デバイスとこのコンデンサの間の直列抵抗とインダクタンスを小さくする必要があります。

差動入力構成

最適性能は、AD9643 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-2、ADA4938-2、ADA4930-2 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインターフェースを提供します。

ADA4930-2 の出力同相モード電圧は AD9643 の VCM ピンで容易に設定できるため(図 47 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

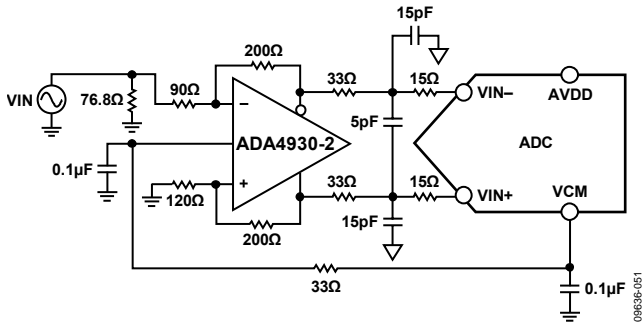


図 47. ADA4930-2 を使用した差動入力構成

SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 48 に例を示します。アナログ入力にバイアスを加えるため、VCM 電圧をトランス 2 次巻線のセンタータップに接続することができます。

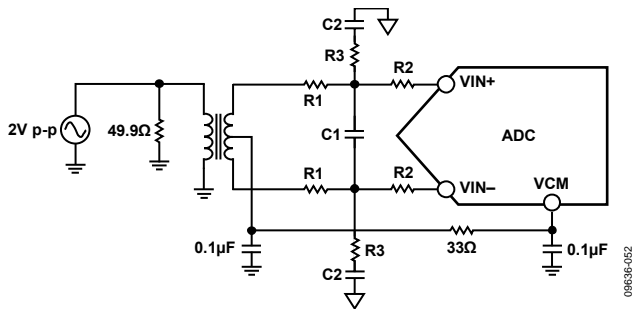


図 48. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを発生させます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9643 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バラン結合を

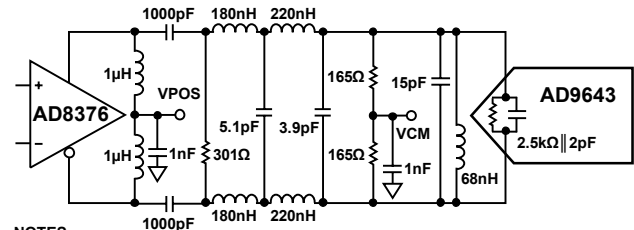
使用することが推奨されます(図 50 参照)。この構成では、入力 AC 結合され、VCM 電圧が 33 Ω 抵抗を介して各入力に供給されます。これらの抵抗は入力バランの損失を補償して、ドライバに対して 50 Ω インピーダンスを提供します。

ダブル・バラン構成とトランス構成では、入力コンデンサと抵抗の値は入力周波数とソース・インピーダンスに依存します。これらのパラメータに基づき、入力抵抗とコンデンサの値を調整するか、部品の削除が必要となることがあります。表 10 に、様々な入力周波数範囲に対して RC 回路を設定する推奨値を示しますが、これらの値は入力信号と帯域幅に依存するため、初期ガイドとしてのみ使用してください。表 10 に示す値は、図 48 と図 50 に示す R1、R2、C2、R3 の各部品に対するものであることに注意してください。

表 10. RC 回路の例

Frequency Range (MHz)	R1 Series (Ω)	C1 Differential (pF)	R2 Series (Ω)	C2 Shunt (pF)	R3 Shunt (Ω)
0 to 100	33	8.2	0	15	49.9
100 to 300	15	3.9	0	8.2	49.9

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、可変ゲイン・アンプを使う方法があります。AD8375 または AD8376 デジタル可変ゲイン・アンプ(DVGA)は、AD9643 の駆動で優れた性能を提供します。図 49 に、折り返し防止バンドパス・フィルタを介して AD9643 を駆動する AD8376 の例を示します。



- NOTES
1. ALL INDUCTORS ARE COILCRAFT® 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (COIL CRAFT 0603LS).
 2. FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

図 49. AD8376 を使用した差動入力構成

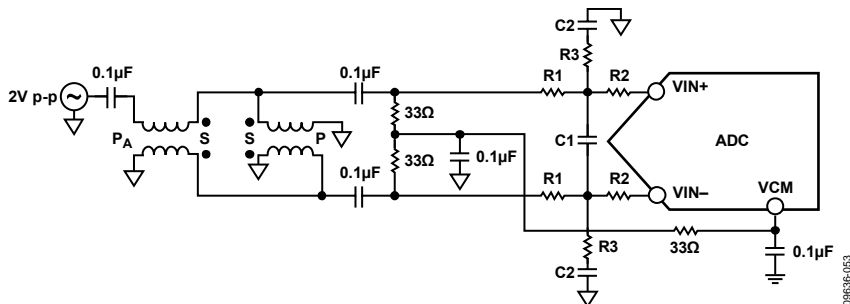


図 50. 差動ダブル・バラン入力構成

リファレンス電圧

AD9643 には、安定かつ正確なリファレンス電圧が内蔵されています。フルスケール入力範囲は、基準電圧を変化させることにより調整することができます。ADC の入力スパンは、リファレンス電圧の変化に比例して追従します。

クロック入力の考慮事項

最適性能を得るためには、AD9643 のクロック (CLK+ と CLK-) を差動で入力する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ピン と CLK-ピン に AC 結合されます。これらのピンは内部でバイアスされるため(図 51 参照)、外付けバイアスは不要です。入力をフローティングにすると、CLK-ピンをロー・レベルにプルダウンして余分なクロック動作を防止します。

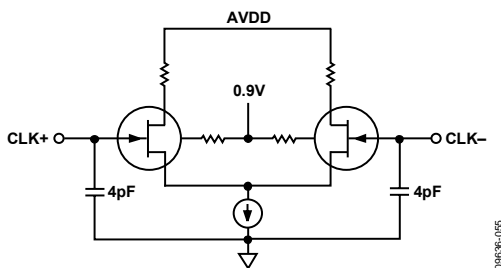


図 51.簡略化した等価クロック入力回路

クロック入力オプション

AD9643 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 52 と図 53 に、AD9643 をクロック駆動する (625 MHz のクロック・レートまで) 2 つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

RF バラン構成は 125 MHz ~ 625 MHz のクロック周波数に、RF トランスは 10 MHz ~ 200 MHz のクロック周波数に、それぞれ推奨されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードにより、AD9643 に入力されるクロックが約 0.8 V のピーク to ピーク差動に制限されます。この機能は、クロックの大きな電圧振幅が AD9643 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

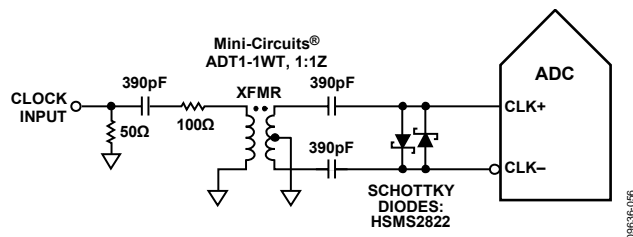


図 52.トランス結合の差動クロック(最大 200 MHz)

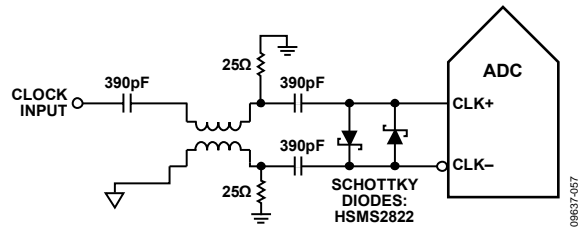


図 53.バラン結合の差動クロック(最大 625 MHz)

低ジッタ・クロックが使用できない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 54 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524、ADCLK905/ADCLK907/ADCLK925 の各クロック・ドライバは、優れたジッタ性能を提供します。

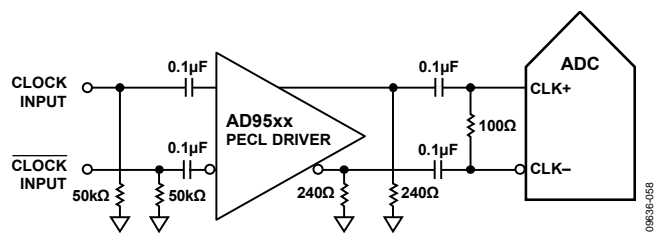


図 54.差動 PECL サンプル・クロック(最大 625 MHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 55 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524 の各クロック・ドライバは、優れたジッタ性能を提供します。

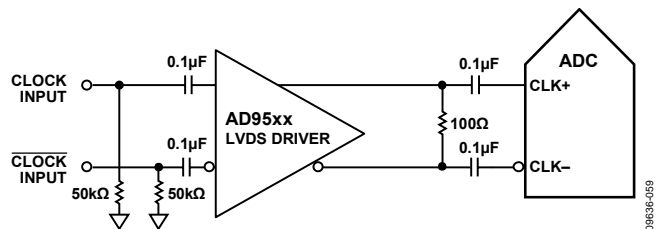


図 55.差動 LVDS サンプル・クロック(最大 625 MHz)

入力クロック・ドライバ

AD9643 は、入力クロックを 1 ~ 8 分周できる入力クロック分周器を内蔵しています。デューティ・サイクル・スタビライザ (DCS) が、デフォルトでパワーアップ時にイネーブルされます。

AD9643 のクロック分周器は外部 SYNC 入力を使って同期させることができます。レジスタ 0x3A のビット 1 とビット 2 を使うと、各 SYNC 信号で、またはレジスタが書込まれた後の最初の SYNC 信号で、クロック分周器を再同期することができます。有効な SYNC により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容誤差は±5%以内である必要があります。

AD9643 は、非サンプリング・エッジ(立下がり)の再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生するクロック・デューティ・サイクル・スタビライザ(DCS)を内蔵しています。この回路により、AD9643 の性能に影響を与えずに広範囲なクロック入力デューティ・サイクルを許容することができます。

一方、入力クロックの立下がりエッジのジッタは依然大きな問題であり、これをデューティ・サイクル・スタビライザで減少させることはできません。デューティ・サイクル制御ループは、公称 40 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号にロックするまで、1.5 μs~5 μs の待ち時間が必要です。ループがロックされていない間、DCS ループはバイパスされるため、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、デューティ・サイクル・スタビライザをディスエーブルすることが適切です。その他のすべてのアプリケーションでは、AC 性能を最大にするため DCS 回路をイネーブルすることが推奨されます。

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{IN})でジッタ(t_j)により発生する SNR 性能の低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{J_{RMS}})^2 + 10^{(-SNR_{LF}/10)}]$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 56)。

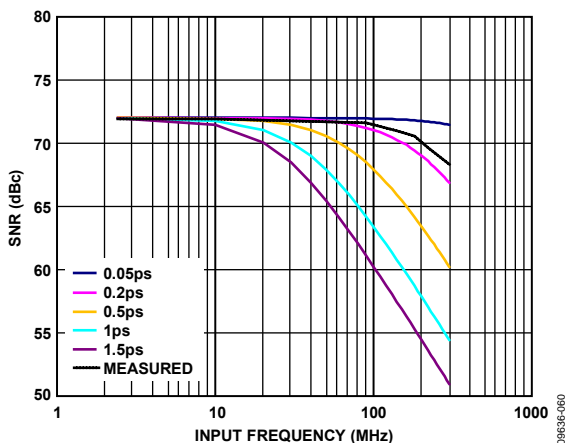


図 56. AD9643-250 の入力周波数およびジッタ対 SNR

ジッタが AD9643 のダイナミック・レンジに影響を与えるケースでは、クロック入力をアナログ信号として扱う必要があります。

クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ADC に関するジッタ性能の詳細については、AN-501 アプリケーション・ノート「アパーチャ不確定性と ADC システム性能」と AN-756 アプリケーション・ノート「サンプリングシステムに及ぼすクロック位相ノイズとジッタの影響」を参照してください。

消費電力とスタンバイ・モード

図 57 に示すように、AD9643 で消費される電力はサンプル・レートに比例します。図 57 のデータは、代表的な性能特性のセクションと同じ動作条件で取得しました。

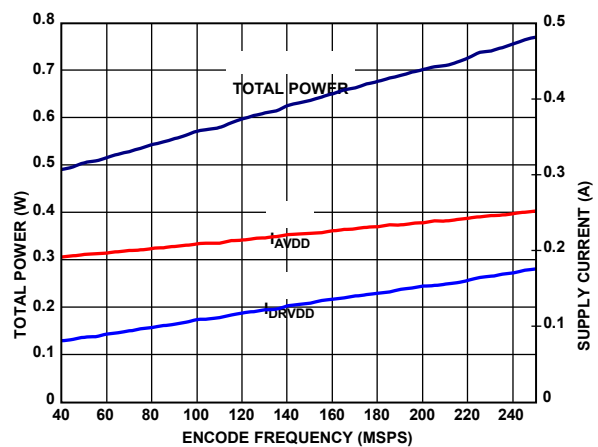


図 57. AD9643-250 のサンプル・レート対消費電力および電流 PDWN をアサートすると(SPI ポートを使うか、または PDWN ピンをハイ・レベルします)、AD9643 はパワーダウン・モードになります。この状態では、ADC の消費電力は 10 mW (typ) になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD9643 は通常動作モードに戻ります。PDWN はデジタル出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできません。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。スタンバイ・モードに入ると、デカップリング・コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内部リファレンス回路を動作させたままにしておくことができます。詳細については、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。

デジタル出力

AD9643 出力ドライバを 1.8 V DRVDD 電源を使って ANSI LVDS または駆動能力を小さくした LVDS に設定することができます。

AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

デジタル出力カインープル機能(OEB)

AD9643 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードをイネーブルするときは、OEB ピンまたは SPI インターフェースを使って行います。OEB ピンをロー・レベルにすると、出力データ・ドライバがイネーブルされます。OEB ピンをハイ・レベルにすると、出力データ・ドライバはハイ・インピーダンス状態になります。この OEB 機能は、バスに対する高速アクセスを意図したものではありません。OEB はデジタル出力ドライバ電源 (DRVDD) を基準にしているため、この電源電圧を超えることはできないことに注意してください。

SPI インターフェースを使用する場合、レジスタ 0x14 の出力カインープル・バー・ビット(ビット 4)を使うと、各チャンネルのデータ出力を独立にスリー・ステートにすることができます。出力データがインターリーブされているため、2 つのチャンネルの内の一方だけがディスエーブルされると、他方のチャンネル

の出力データが、立上がりと立下がりの出力クロック・サイクルで繰り返されます。

タイミング

AD9643 は、入力クロックで 10 サイクルのパイプライン遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立上がりエッジから 1 伝搬遅延(t_{PD})後に出力されます。

出力データラインの長さや、それらに接続された負荷を最小にして AD9643 内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9643 の最小変換レートは 40 MSPS (typ) です。40 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD9643 は、外部レジスタにデータをキャプチャするためのデータ・クロック出力(DCO)も提供します。図 2 に、AD9643 出力モードのタイミング図を示します。

ADC オーバーレンジ(OR)

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で決定されるため、ADC クロックで 10 サイクルのレイテンシが発生します。入力でのオーバーレンジは、発生してから 10 クロック・サイクル後にこのビットで表示されます。

表 11. 出力データ・フォーマット

Input (V)	VIN+ – VIN–, Input Span = 1.75 V p-p (V)	Offset Binary Output Mode	Twos Complement Mode (Default)	OR
VIN+ – VIN–	<-0.875	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ – VIN–	-0.875	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ – VIN–	0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	+0.875	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	>+0.875	11 1111 1111 1111	01 1111 1111 1111	1

チャンネル/チップ同期

AD9643 は、内部ブロックを同期化するための柔軟な同期オプションを可能にする SYNC 入力を持っています。SYNC 機能は、複数の ADC 間の同期動作を確実に行うときに便利です。クロック分周器は SYNC 入力を使って同期させることができます。分周器をイネーブルして、SYNC 信号の単発発生、または SYNC 信号の発生毎にレジスタ 0x3A の該当するビットを設定することにより同期化することができます。

同期入力は内部でサンプル・クロックに同期化されます。ただし、複数のデバイス間でタイミングの不確実性が発生しないようにするために、同期入力信号を入力クロック信号に同期化する必要があります。同期入力は、シングルエンドの CMOS タイプ信号を使って駆動する必要があります。

シリアル・ポート・インターフェース(SPI)

AD9643 シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドはメモリ・マップのセクションに記載します。詳細については、[AN-877 アプリケーション・ノート「SPI を使った高速ADC へのインターフェース」](#)を参照してください。

SPI を使う設定

この ADC の SPI は、SCLK ピン、SDIO ピン、CSB ピンの 3 本のピンにより定義されます(表 12 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能間で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、書き込みサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表 12.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial Clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial Data Input/Output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip Select Bar. An active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 58 と表 5 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは書き込みコマンドのいずれが発行されたかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の詳細については、[AN-877 アプリケーション・ノート「SPI を使った高速ADC へのインターフェース」](#)を参照してください。

ハードウェア・インターフェース

表 12 に示すピンにより、ユーザ書き込みデバイスと AD9643 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときには入力として機能します。SDIO ピンは双方向で、書き込み時は入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方は、[AN-812 アプリケーション・ノート「Microcontroller-Based Serial Port Interface \(SPI\) Boot Circuit」](#)に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9643 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI からアクセス可能な機能

表 13 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」で詳しく説明しています。AD9643 デバイスに固有な機能はメモリ・マップ・レジスタの説明のセクションで説明します。

表 13.SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS via the SPI
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage

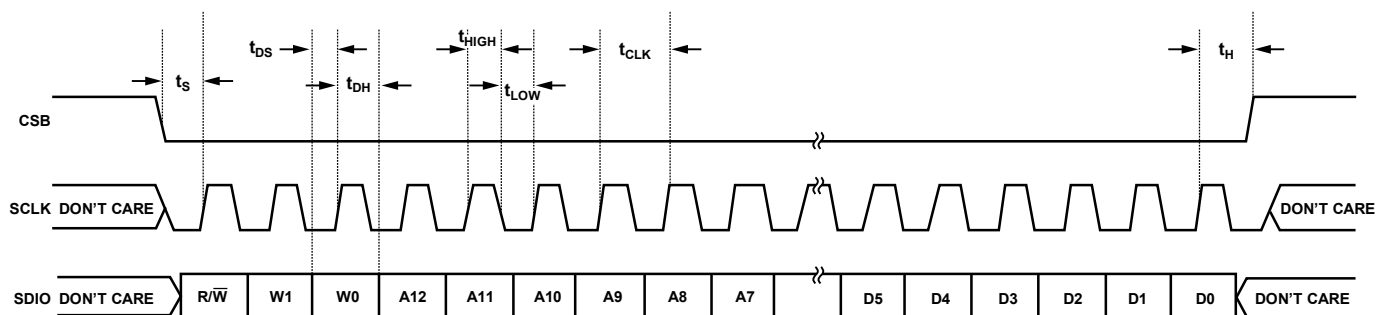


図 58.シリアル・ポート・インターフェースのタイミング図

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00~アドレス 0x02)、チャンネル・インデックス・レジスタと転送レジスタ(アドレス 0x05 とアドレス 0xFF)、セットアップ、コントロール、テストなどの ADC ファンクション・レジスタ(アドレス 0x08~アドレス 0x3A)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 14 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x14 の出力モード・レジスタは、16 進デフォルト値 0x05 を持ちます。これは、ビット 0=1、ビット 2=1、残りのビットはすべて 0 であることを意味します。この設定値は、デフォルトの出力フォーマット値で 2 の補数です。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。このドキュメントでは、レジスタ 0x00~レジスタ 0x25 により制御される機能を詳しく説明しています。残りのレジスタレジスタ 0x3A については、メモリ・マップ・レジスタの説明のセクションを参照してください。

未使用ロケーション

表 14 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書込む必要があります。アドレス・ロケーションの一部が未使用の場合のみ、これらのロケーションへの書込みが必要です(たとえばアドレス 0x18)。アドレス・ロケーション全体が未使用の場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

デフォルト値

AD9643 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 14)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08~アドレス 0x20 とアドレス 0x3A はシャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

チャンネル固有のレジスタ

信号モニタ・スレッシュホールドのような幾つかのチャンネル・セットアップ機能は、各チャンネルごとに異なる設定が可能です。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、表 14 でローカルと表示されています。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x05 内の該当するチャンネル A またはチャンネル B ビットをセットします。両ビットがセットされている場合は、後続の書込みは両チャンネルのレジスタに対して行われます。読出しサイクルでは、チャンネル A またはチャンネル B の一方のみをセットして、2 つのレジスタの内の 1 つを読出す必要があります。SPI 読出しサイクルで両ビットがセットされていると、デバイスはチャンネル A の値を返します。表 14 でグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間で独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x05 内の設定は、グローバルなレジスタとビットに影響を与えません。

メモリ・マップ・レジスタ・テーブル

表 14 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 14. メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
Chip Configuration Registers											
0x00	SPI port configuration (global) ¹	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so that LSB first mode or MSB first mode registers correctly, regardless of shift mode.
0x01	Chip ID (global)	8-bit chip ID[7: 0] (AD9643 = 0x82) (default)								0x82	Read only.
0x02	Chip grade (global)	Open	Open	Speed grade ID 00 = 250 MSPS 01 = 210 MSPS 11 = 170 MSPS	Open	Open	Open	Open	Open		Speed grade ID used to differentiate devices; read only.
Channel Index and Transfer Registers											
0x05	Channel index (global)	Open	Open	Open	Open	Open	Open	ADC B (default)	ADC A (default)	0x03	Bits are set to determine which device on the chip receives the next write command; applies to local registers only.
0xFF	Transfer (global)	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave.
ADC Functions											
0x08	Power modes (local)	Open	Open	External power-down pin function (local) 0 = power-down 1 = standby	Open	Open	Open	Open	Internal power-down mode (local) 00 = normal operation 01 = full power-down 10 = standby 11 = reserved	0x00	Determines various generic modes of chip operation.
0x09	Global clock (global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer (default)	0x01	
0x0B	Clock divide (global)	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles	Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8				0x00	Clock divide values other than 000 automatically cause the duty cycle stabilizer to become active.	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x0D	Test mode (local)	User test mode control 0 = continuous/repeat pattern 1 = single pattern, then 0s	Open	Reset PN long gen	Reset PN short gen		Output test mode 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN long sequence 0110 = PN short sequence 0111 = one/zero word toggle 1000 = user test mode 1001 to 1110 = unused 1111 = ramp output			0x00	When this register is set, the test data is placed on the output pins in place of normal data.
0x0E	BIST enable (local)	Open	Open	Open	Open	Open	Reset BIST sequence	Open	BIST enable	0x00	
0x10	Offset adjust (local)	Open	Open	Offset adjust in LSBs from +31 to -32 (twos complement format)						0x00	
0x14	Output mode	Open	Open	Open	Output enable bar (local)	Open	Output invert (local) 1 = normal (default) 0 = inverted	Output format 00 = offset binary (default) 01 = twos complement (default) 10 = gray code 11 = reserved (local)		0x05	Configures the outputs and the format of the data.
0x15	Output Adjust (Global)	Open	Open	Open	Open	LVDS output drive current adjust 0000 = 3.72 mA output drive current 0001 = 3.5 mA output drive current (default) 0010 = 3.30 mA output drive current 0011 = 2.96 mA output drive current 0100 = 2.82 mA output drive current 0101 = 2.57 mA output drive current 0110 = 2.27 mA output drive current 0111 = 2.0 mA output drive current (reduced range) 1000 to 1111 = reserved				0x01	
0x16	Clock phase control (global)	Invert DCO clock	Open	Even/odd mode output enable 0 = disabled 1 = enabled	Open	Open	Open	Open	Open	0x00	
0x17	DCO output delay (global)	Enable DCO clock delay	Open	Open	DCO clock delay [delay = (3100 ps × register value/31 + 100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps ... 11110 = 3100 ps 11111 = 3200 ps					0x00	
0x18	Input Span select (global)	Open	Open	Open	Full-scale input voltage selection 01111 = 2.087 V p-p ... 00001 = 1.772 V p-p 00000 = 1.75 V p-p (default) 11111 = 1.727 V p-p ... 10000 = 1.383 V p-p					0x00	Full-scale input adjustment in 0.022 V steps.
0x19	User Test Pattern 1 LSB (global)	User Test Pattern 1[7: 0]								0x00	
0x1A	User Test Pattern 1 MSB (global)	User Test Pattern 1[15: 8]								0x00	
0x1B	User Test Pattern 2 LSB (global)	User Test Pattern 2[7: 0]								0x00	
0x1C	User Test Pattern 2 MSB (global)	User Test Pattern 2[15: 8]								0x00	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x1D	User Test Pattern 3 LSB (global)	User Test Pattern 3[7: 0]								0x00	
0x1E	User Test Pattern 3 MSB (global)	User Test Pattern 3[15: 8]								0x00	
0x1F	User Test Pattern 4 LSB (global)	User Test Pattern 4[7: 0]								0x00	
0x20	User Test Pattern 4 MSB (global)	User Test Pattern 4[15: 8]								0x00	
0x24	BIST signature LSB (local)	BIST signature[7: 0]								0x00	Read only.
0x25	BIST signature MSB (local)	BIST signature[15: 8]								0x00	Read only.
0x3A	Sync control (global)	Open	Open	Open	Open	Open	Clock divider next sync only	Clock divider sync enable	Master sync buffer enable	0x00	

¹ アドレス 0x05 のチャンネル・インデックス・レジスタには、アドレス 0x00 に書込む際、0x03 (デフォルト)を設定する必要があります。

メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0x25 で制御される機能の詳細については、AN-877 アプリケーション・ノート「SPI を使った高速 ADC へのインターフェース」を参照してください。

同期制御(レジスタ 0x3A)

ビット[7: 3]—予約済み

ビット 2—クロック分周器次同期のみ

マスター同期バッファ・イネーブル・ビット(アドレス 0x3A、ビット 0)とクロック分周器同期イネーブル・ビット(アドレス 0x3A、ビット 1)が共にハイ・レベルの場合、ビット 2 がセットされると、クロック分周器は次の最初に受信された同期パルスに同期し、後続は無視します。クロック分周器同期イネーブル・ビット(アドレス 0x3A、ビット 1)は、同期した後リセットされます。

ビット 1—クロック分周器同期イネーブル

ビット 1 は、クロック分周器への同期パルスをゲーティングします。同期信号は、ビット 1 とビット 0 が共にハイ・レベルのときイネーブルされます。これは連続同期モードです。

ビット 0—マスター同期バッファ・イネーブル

すべての同期機能をイネーブルするときは、ビット 0 をハイ・レベルにする必要があります。同期機能を使用しない場合は、このビットをロー・レベルに維持して消費電力を節約することができます。

アプリケーション情報

デザイン・ガイドライン

AD9643 のシステムのレベル・デザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD9643 に接続する際は、2 個の 1.8 V 電源を使うことが推奨されます。1 個はアナログ(AVDD)に、別の 1 個はデジタル(DRVDD)に接続します。高周波と低周波のデカップリングをカバーするために、種類の異なる複数のデカップリング・コンデンサを使うことができます。これらは PC ボード・レベルの入り口の近くで、かつ最短パターンでデバイス・ピンの近くに配置する必要があります。

AD9643 を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パッドをアナログ・グラウンド(AGND)に接続することが必要です。PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD9643 のエクスポーズド・パッド(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。PCB レイアウト例については評価用ボードを参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、[AN-772 アプリケーション・ノート「リード・フレーム・チップ・スケール・パッケージ \(LFCSP\) の設計および製造ガイド」](#)を参照してください。

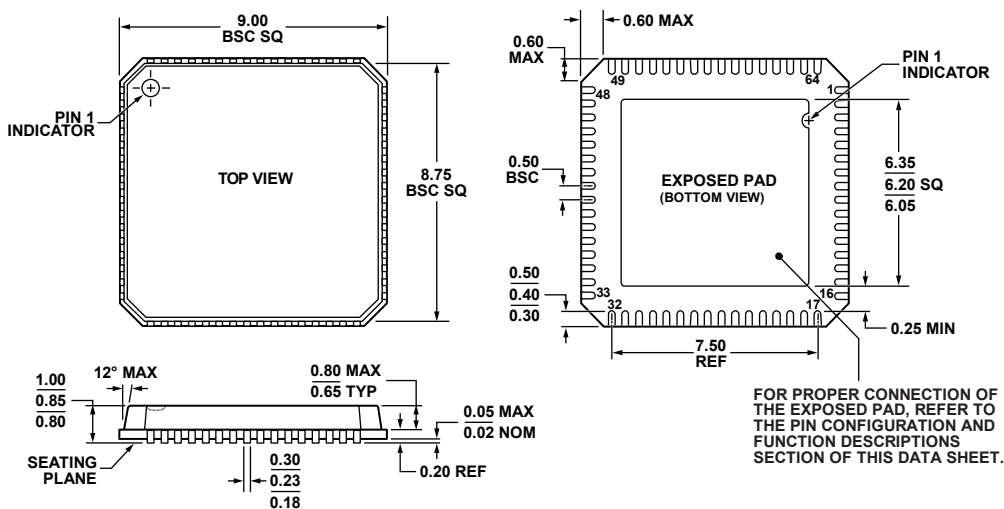
VCM

VCM ピンは、0.1 μ F のコンデンサにより GND にデカップリングする必要があります(図 48 参照)。最適なチャンネル間アイソレーションを得るためには、AD9643 VCM ピンとチャンネル A アナログ入力回路接続との間、および AD9643 VCM ピンとチャンネル B アナログ入力回路接続との間に 33 Ω 抵抗を接続する必要があります。

SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9643 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力ピンでこれらの信号が変化することを防止する必要があります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4-4

091707-C

図 59.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 9 mm × 9 mm ボディ、極薄クワッド
 (CP-64-4)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9643BCPZ-170	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643BCPZ-210	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643BCPZ-250	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643BCPZRL7-170	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643BCPZRL7-210	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643BCPZRL7-250	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-4
AD9643-170EBZ	-40°C to +85°C	Evaluation Board with AD9643-170	
AD9643-210EBZ	-40°C to +85°C	Evaluation Board with AD9643-210	
AD9643-250EBZ	-40°C to +85°C	Evaluation Board with AD9643-250	

¹ Z = RoHS 準拠製品。