



**ANALOG
DEVICES**

14ビット、80/105/125/150MSPS、 1.8VデュアルA/Dコンバータ

AD9640

特長

S/N比：最大70MHzの周波数まで、125MSPSで71.8dBc (72.8dBFS)

SFDR：最大70MHzの周波数まで、125MSPSで85dBc

低消費電力：125MSPSで750mW

S/N比：最大70MHzの周波数まで、150MSPSで71.6dBc (72.6dBFS)

SFDR：最大70MHzの周波数まで、150MSPSで84dBc

低消費電力：150MSPSで820mW

1.8Vのアナログ電源動作

1.8~3.3VのCMOS出力電源または1.8VのLVDS出力電源

整数分周比1~8の入力クロック分周器

最大450MHzのIFサンプリング周波数

ADCリファレンス電圧を内蔵

ADCサンプル&ホールド入力を内蔵

柔軟性に優れたアナログ入力範囲：1~2Vp-p

650MHz帯域幅の差動アナログ入力

ADCクロック・デューティサイクル・スタビライザ

95dBのチャンネル・アイソレーション/クロストーク

シリアル・ポート・コントロール

ユーザ設定可能なセルフテスト (BIST) 機能を内蔵

消費電力を節約するパワーダウン・モード

以下のレシーバ機能を内蔵

高速検出/スレッシュホールド・ビット

複素信号モニタ

機能ブロック図

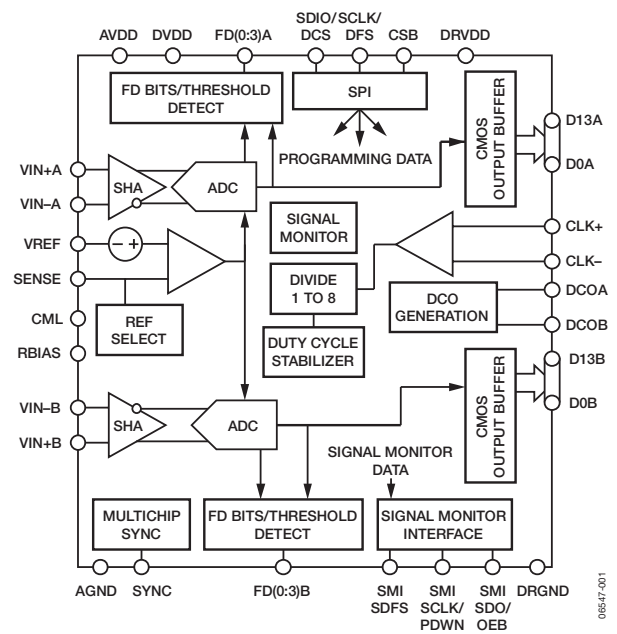


図1

アプリケーション

通信

ダイバーシティ無線システム

マルチモード・デジタル・レシーバ

GSM、EDGE、WCDMA、LTE、
CDMA200、WiMAX、TD-SCDMA

I/Q復調システム

スマート・アンテナ・システム

汎用ソフトウェア無線

ブロードバンド・データ・アプリケーション

製品のハイライト

- 14ビット、80/105/125/150MSPSのADCを2個内蔵
- シリアル出力付きの高速オーバーレンジ検出および信号モニタ回路を内蔵
- 専用のシリアル出力モードを備えた信号モニタ・ブロック
- 最大450MHzの入力周波数に対して優れたS/N比性能を維持する独自の差動入力
- 1.8Vの単電源、および1.8~3.3Vのロジック・ファミリー向け別電源デジタル出力ドライバ
- データ・フォーマット設定 (オフセット・バイナリ、2の補数、またはグレー・コーディング)、クロックDCSのイネーブル、パワーダウン、リファレンス電圧モードなど、製品の各機能をサポートする標準のシリアル・ポート・インターフェース
- AD9627、AD9627-11、AD9600とのピン互換により、14ビットから12ビット、11ビット、または10ビットに容易に移行可能

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007-2009 Analog Devices, Inc. All rights reserved.

REV. B

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー
電話06(6350)6868

目次

特長	1	アナログ入力に関する留意事項	25
アプリケーション	1	リファレンス電圧	27
機能ブロック図	1	クロック入力に関する留意事項	28
製品のハイライト	1	消費電力とスタンバイ・モード	30
目次	2	デジタル出力	31
改訂履歴	3	タイミング	31
概要	4	ADCのオーバーレンジおよびゲイン制御	32
仕様	5	高速検出の概要	32
ADCのDC仕様—AD9640ABCPZ-80、 AD9640BCPZ-80、AD9640ABCPZ-105、 AD9640BCPZ-105	5	ADC初段変換結果 (Fast Magnitud)	32
ADCのDC仕様—AD9640ABCPZ-125、 AD9640BCPZ-125、AD9640ABCPZ-150、 AD9640BCPZ-150	6	ADCオーバーレンジ (OR)	33
ADCのAC仕様—AD9640ABCPZ-80、 AD9640BCPZ-80、AD9640ABCPZ-105、 AD9640BCPZ-105	7	ゲイン・スイッチング	33
ADCのAC仕様—AD9640ABCPZ-125、 AD9640BCPZ-125、AD9640ABCPZ-150、 AD9640BCPZ-150	8	信号モニタ	35
デジタル仕様	9	ピーク検出器モード	35
スイッチング仕様—AD9640ABCPZ-80、 AD9640BCPZ-80、AD9640ABCPZ-105、 AD9640BCPZ-105	10	RMS/MS振幅モード	35
スイッチング仕様—AD9640ABCPZ-125、 AD9640BCPZ-125、AD9640ABCPZ-150、 AD9640BCPZ-150	11	スレッショルド・クロス動作モード	36
タイミング仕様	12	追加コントロール・ビット	36
絶対最大定格	14	DC補正	36
熱的特性	14	組込みセルフテスト (BIST) および出力テスト	38
ESDに関する注意	14	組込みセルフテスト (BIST)	38
ピン配置とピン機能の説明	15	出力テスト・モード	38
等価回路	19	チャンネル/チップの同期	39
代表的な性能特性	20	シリアル・ポート・インターフェース (SPI)	40
動作原理	25	SPIを使用した設定	40
ADCのアーキテクチャ	25	ハードウェア・インターフェース	40
		SPIを使用しない設定	41
		SPIからアクセス可能な機能	41
		メモリ・マップ	42
		メモリ・マップ表の読み方	42
		外部メモリ・マップ	43
		メモリ・マップ・レジスタの説明	46
		アプリケーション情報	49
		デザインのガイドライン	49
		外形寸法	50
		オーダー・ガイド	51

改訂履歷**12/09—Rev. A to Rev. B**

Added CP-64-6 Package	Universal
Changes to Ordering Guide	51

6/09—Rev. 0 to Rev. A

Changes to Applications Section and Product	
Highlights Section	1
Changes to General Description Section	3
Changes to Specifications Section	4
Changes to Figure 2	11
Changes to Figure 3	12
Changes to Pin Configurations and Functional	
Descriptions Section	12

Changes to Figure 11, Figure 12, Figure 14	18
Change to Table 15	30
Changes to ADC Overage and Gain Control Section	31
Changes to Signal Monitor Section	34
Changes to Table 25	42
Changes to Signal Monitor Period (Register 0x113 to	
Register 0x115) Section	47
Added LVDS Operation Section	48
Added Exposed Pad Notation to Outline Dimensions	49

6/07—Revision 0: Initial Version

概要

AD9640は14ビット、80/105/125/150MSPSのデュアルA/Dコンバータ(ADC)です。AD9640は、低コスト、小型のサイズ、多機能が必要とされる通信アプリケーションに対応するように設計されています。

デュアルADCコアは、出力誤差補正ロジックを内蔵した多段の差動パイプライン・アーキテクチャを採用しています。各ADCは広い帯域幅をもつ差動サンプル&ホールド・アナログ入力アンプを内蔵し、ユーザによる選択が可能な各種の入力範囲に対応できます。リファレンス電圧を内蔵しているため、設計労力が軽減されます。ADCクロックのデューティサイクル変動を補償するデューティサイクル・スタビライザを備えているため、コンバータは優れた性能を維持できます。

AD9640は、レシーバ・システムにおける自動ゲイン制御(AGC)機能を簡略化できる機能をいくつか備えています。高速検出機能は、きわめて短い遅延時間で4ビットの入力レベル情報を出力することにより、高速オーバーレンジ検出を可能にしています。

さらに、プログラマブル・スレッショルド検出器では、ADCの4つの高速検出ビットを使用し、入力信号のパワーをきわめて短い遅延時間でモニタできます。プログラムしたスレッショルドを入力信号レベルが越えると、高精度上限スレッショルド・インジケータがハイレベルになります。このスレッショルドは4ビットのMSBで設定するため、迅速にシステムのゲインを下げることで、オーバーレンジ状態を回避できます。

AGCに関連する2番目の機能は、信号モニタです。このブロックを使用すれば入力信号の全信号レベルをモニタできるため、システム全体のダイナミック・レンジが最適化されるようにゲインを設定する場合に役立てることができます。

ADCの出力データを2つの外部14ビット出力ポートに直接的に転送できます。これらの出力は、1.8~3.3VのCMOSまたは1.8VのLVDSに設定できます。

優れた柔軟性をもつパワーダウン・オプションを選択できるため、必要に応じて消費電力を大幅に低減することが可能です。

AD9640のプログラミングと制御は、3ビットのSPI互換シリアル・インターフェースを使用して行います。

AD9640は64ピンLFCSPを採用しており、-40~+85℃の工業用温度範囲で動作します。

仕様

ADCのDC仕様—AD9640ABCPZ-80、AD9640BCPZ-80、AD9640ABCPZ-105、AD9640BCPZ-105

特に指定のない限り、AVDD = 1.8V、DVDD = 1.8V、DRVDD = 3.3V、最大サンプリング・レート、VIN = -1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル、高速検出出力をディスエーブル、信号モニタをディスエーブル。

表1

Parameter	Temperature	AD9640ABCPZ-80/ AD9640BCPZ-80			AD9640ABCPZ-105/ AD9640BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY		Guaranteed			Guaranteed			
No Missing Codes	Full							
Offset Error	Full	±0.3	±0.6		±0.3	±0.6	% FSR	
Gain Error	Full	±0.2	±3.0		±0.2	±3.0	% FSR	
Differential Nonlinearity (DNL) ¹	Full		±0.9			±0.9	LSB	
	25 °C		±0.4			±0.4	LSB	
Integral Nonlinearity (INL) ¹	Full		±5.0			±5.0	LSB	
	25 °C		±2.0			±2.0	LSB	
MATCHING CHARACTERISTIC								
Offset Error	Full	±0.3	±0.6		±0.4	±0.7	% FSR	
Gain Error	Full	±0.1	±0.5		±0.1	±0.5	% FSR	
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15	ppm/°C	
Gain Error	Full		±95			±95	ppm/°C	
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full	±2	±15		±2	±15	mV	
Load Regulation @ 1.0 mA	Full	7			7		mV	
INPUT REFERRED NOISE								
VREF = 1.0 V	25 °C		1.3			1.3	LSB rms	
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2	V p-p	
Input Capacitance ²	Full		8			8	pF	
VREF INPUT RESISTANCE	Full		6			6	kΩ	
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{1,3}	Full		233	277		310	371	mA
I _{DVDD} ^{1,3}	Full		26			34		mA
I _{DRVDD} ¹ (3.3 V CMOS)	Full		27			35		mA
I _{DRVDD} ¹ (1.8 V CMOS)	Full		12			18		mA
I _{DRVDD} ¹ (1.8 V LVDS)	Full		54			55		mA
POWER CONSUMPTION								
DC Input	Full		452	492		603	657	mW
Sine Wave Input ¹ (DRVDD = 1.8 V)	Full		487			645		mW
Sine Wave Input ¹ (DRVDD = 3.3 V)	Full		550			730		mW
Standby Power ⁴	Full		52			68		mW
Power-Down Power	Full		2.5	6		2.5	6	mW

¹ 低い入力周波数のフルスケール正弦波信号を使用し、各出力ビットに約5pFの負荷を接続した条件で測定しています。

² 入力容量は、1本の差動入力ピンとAGNDとの間の実効容量を示します。アナログ入力構造の等価回路については、図8を参照してください。

³ 最大制限値は、I_{AVDD}とI_{DVDD}の各電流の合計値に適用されます。

⁴ スタンバイ時の消費電力は、入力をDCに固定し、CLKピン (CLK +, CLK -) を非アクティブ (AVDDまたはAGNDに設定) に保持した条件で測定しています。

ADCのDC仕様—AD9640ABCPZ-125、AD9640BCPZ-125、AD9640ABCPZ-150、AD9640BCPZ-150

特に指定のない限り、AVDD=1.8V、DVDD=1.8V、DRVDD=3.3V、最大サンプリング・レート、VIN=-1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル、高速検出出力をディスエーブル、信号モニタをディスエーブル。

表2

Parameter	Temperature	AD9640ABCPZ-125/ AD9640BCPZ-125			AD9640ABCPZ-150/ AD9640BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	14			14			Bits
ACCURACY								
No Missing Codes	Full	Guaranteed			Guaranteed			
Offset Error	Full		±0.3	±0.6		±0.3	±0.6	% FSR
Gain Error	Full		±0.2	±3.0		±0.2	±3.0	% FSR
Differential Nonlinearity (DNL) ¹	Full			±0.9			-0.95/+1.5	LSB
	25 °C		±0.4			-0.4/+0.6		LSB
Integral Nonlinearity (INL) ¹	Full			±5.0			±5.0	LSB
	25 °C		±2			±2		LSB
MATCHING CHARACTERISTIC								
Offset Error	25 °C		±0.4	±0.7		±0.4	±0.7	% FSR
Gain Error	25 °C		±0.1	±0.6		±0.2	±0.6	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15		ppm/°C
Gain Error	Full		±95			±95		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full		±2	±15		±3	±15	mV
Load Regulation @ 1.0 mA	Full		7			7		mV
INPUT REFERRED NOISE								
VREF = 1.0 V	25 °C		1.3			1.3		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ²	Full		8			8		pF
VREF INPUT RESISTANCE	Full		6			6		kΩ
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{1,3}	Full		385			419		mA
I _{DVDD} ^{1,3}	Full		42	470		50	517	mA
I _{DRVDD} ¹ (3.3 V CMOS)	Full		44			53		mA
I _{DRVDD} ¹ (1.8 V CMOS)	Full		22			27		mA
I _{DRVDD} ¹ (1.8 V LVDS)	Full		56			57		mA
POWER CONSUMPTION								
DC Input	Full		750	846		820	938	mW
Sine Wave Input ¹ (DRVDD = 1.8 V)	Full		810			895		mW
Sine Wave Input ¹ (DRVDD = 3.3 V)	Full		910			1000		mW
Standby Power ⁴	Full		77			77		mW
Power-Down Power	Full		2.5	6		2.5	6	mW

¹ 低い入力周波数のフルスケール正弦波信号を使用し、各出力ビットに約5pFの負荷を接続した条件で測定しています。

² 入力容量は、1本の差動入力ピンとAGNDとの間の実効容量を示します。アナログ入力構造の等価回路については、図8を参照してください。

³ 最大制限値は、I_{AVDD}とI_{DVDD}の各電流の合計値に適用されます。

⁴ スタンバイ時の消費電力は、入力をDCに固定し、CLK (CLK+, CLK-) ピンを非アクティブ (AVDDまたはAGNDに設定) に保持した条件で測定しています。

ADCのAC仕様—AD9640ABCPZ-80、AD9640BCPZ-80、AD9640ABCPZ-105、AD9640BCPZ-105

特に指定のない限り、AVDD = 1.8V、DVDD = 1.8V、DRVDD = 3.3V、最大サンプリング・レート、VIN = -1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル、高速検出出力をディスエーブル、信号モニタをディスエーブル。

表3

Parameter ¹	Temperature	AD9640ABCPZ-80/ AD9640BCPZ-80			AD9640ABCPZ-105/ AD9640BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		72.5		72.3			dB
$f_{IN} = 70 \text{ MHz}$	25°C		72.1		71.9			dB
	Full	70.5			70.2			dB
$f_{IN} = 140 \text{ MHz}$	25°C		71.6		71.3			dB
$f_{IN} = 200 \text{ MHz}$	25°C		71.0		70.3			dB
SIGNAL-TO-NOISE ANDDISTORTION (SINAD)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		72.2		72.0			dB
$f_{IN} = 70 \text{ MHz}$	25°C		71.6		71.6			dB
	Full	69			69.5			dB
$f_{IN} = 140 \text{ MHz}$	25°C		71.1		70.9			dB
$f_{IN} = 200 \text{ MHz}$	25°C		70.4		70.0			dB
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		11.9		11.8			Bits
$f_{IN} = 70 \text{ MHz}$	25°C		11.8		11.8			Bits
$f_{IN} = 140 \text{ MHz}$	25°C		11.7		11.7			Bits
$f_{IN} = 200 \text{ MHz}$	25°C		11.6		11.5			Bits
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-87		-87			dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85		-85			dBc
	Full			-75		-74		dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-84		-84			dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-83		-83			dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		87		87			dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85		85			dBc
	Full	75			74			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		84		84			dBc
$f_{IN} = 200 \text{ MHz}$	25°C		83		83			dBc
WORST OTHER HARMONIC OR SPUR								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-93		-93			dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-89		-89			dBc
	Full			-82		-81		dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-89		-89			dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-89		-89			dBc
TWO TONE SFDR								
$f_{IN} = 29.1 \text{ MHz}, 32.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		85		85			dBc
$f_{IN} = 169.1 \text{ MHz}, 172.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		82		82			dBc
CROSSTALK²								
	Full		-95		-95			dB
ANALOG INPUT BANDWIDTH								
	25°C		650		650			MHz

¹ 一連の詳細な定義については、アプリケーション・ノートAN-835 [Understanding High Speed ADC Testing and Evaluation] (高速A/Dコンバータ (ADC) のテストと評価について) を参照してください。

² クロストークの測定は、100MHzの周波数時に-1dBFSの入力を1つのチャンネルに使用し、もう1つのチャンネルには信号を入力しない条件で行っています。

ADCのAC仕様—AD9640ABCPZ-125、AD9640BCPZ-125、AD9640ABCPZ-150、AD9640BCPZ-150

特に指定のない限り、AVDD=1.8V、DVDD=1.8V、DRVDD=3.3V、最大サンプリング・レート、VIN=-1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル、高速検出出力をディスエーブル、信号モニタをディスエーブル。

表4

Parameter ¹	Temperature	AD9640ABCPZ-125/ AD9640BCPZ-125			AD9640ABCPZ-150/ AD9640BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		72.1			71.9		dB
$f_{IN} = 70 \text{ MHz}$	25 °C		71.8			71.6		dB
	Full	70.2			69.5			dB
$f_{IN} = 140 \text{ MHz}$	25 °C		71.4			70.9		dB
$f_{IN} = 200 \text{ MHz}$	25 °C		70.8			70.0		dB
SIGNAL-TO-NOISE ANDDISTORTION (SINAD)								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		71.8			71.6		dB
$f_{IN} = 70 \text{ MHz}$	25 °C		71.4			71.0		dB
	Full	69.5			67.5			dB
$f_{IN} = 140 \text{ MHz}$	25 °C		71.0			70.5		dB
$f_{IN} = 200 \text{ MHz}$	25 °C		70.3			69.9		dB
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		11.8			11.8		Bits
$f_{IN} = 70 \text{ MHz}$	25 °C		11.7			11.8		Bits
$f_{IN} = 140 \text{ MHz}$	25 °C		11.7			11.6		Bits
$f_{IN} = 200 \text{ MHz}$	25 °C		11.6			11.5		Bits
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		-86.5			-86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25 °C		-85			-84		dBc
	Full			-74			-73	dBc
$f_{IN} = 140 \text{ MHz}$	25 °C		-84			-83.5		dBc
$f_{IN} = 200 \text{ MHz}$	25 °C		-83			-77		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		86.5			86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25 °C		85			84		dBc
	Full	74			73			dBc
$f_{IN} = 140 \text{ MHz}$	25 °C		84			83.5		dBc
$f_{IN} = 200 \text{ MHz}$	25 °C		83			77		dBc
WORST OTHER HARMONIC OR SPUR								
$f_{IN} = 2.3 \text{ MHz}$	25 °C		-92			-92		dBc
$f_{IN} = 70 \text{ MHz}$	25 °C		-89			-90		dBc
	Full			-80			-80	dBc
$f_{IN} = 140 \text{ MHz}$	25 °C		-89			-90		dBc
$f_{IN} = 200 \text{ MHz}$	25 °C		-89			-90		dBc
TWO TONE SFDR								
$f_{IN} = 29.1 \text{ MHz}, 32.1 \text{ MHz} (-7 \text{ dBFS})$	25 °C		85			85		dBc
$f_{IN} = 169.1 \text{ MHz}, 172.1 \text{ MHz} (-7 \text{ dBFS})$	25 °C		82			82		dBc
CROSSTALK ²	Full		-95			-95		dB
ANALOG INPUT BANDWIDTH	25 °C		650			650		MHz

¹ 一連の詳細な定義については、アプリケーション・ノートAN-835「Understanding High Speed ADC Testing and Evaluation」(高速A/Dコンバータ(ADC)のテストと評価について)を参照してください。

² クロストークの測定は、100MHzの周波数時に-1dBFSの入力を1つのチャンネルに使用し、もう1つのチャンネルには信号を入力しない条件で行っています。

デジタル仕様

特に指定のない限り、AVDD = 1.8V、DVDD = 1.8V、DRVDD = 3.3V、最大サンプリング・レート、VIN = -1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル。

表5

Parameter	Temperature	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance		CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full	1.2			V
Differential Input Voltage	Full	0.2		6	V p-p
Input Voltage Range	Full	AGND - 0.3		AVDD + 1.6	V
Input Common-Mode Range	Full	1.1		AVDD	V
High Level Input Voltage	Full	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full	4			pF
Input Resistance	Full	8	10	12	kΩ
SYNC INPUT					
Logic Compliance		CMOS			
Internal Bias	Full	1.2			V
Input Voltage Range	Full	AGND - 0.3		AVDD + 1.6	V
High Level Input Voltage	Full	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full	4			pF
Input Resistance	Full	8	10	12	kΩ
LOGIC INPUT (CSB) ¹					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	40		132	μA
Input Resistance	Full	26			kΩ
Input Capacitance	Full	2			pF
LOGIC INPUT (SCLK/DFS) ²					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 3.3 V)	Full	-92		-135	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full	26			kΩ
Input Capacitance	Full	2			pF
LOGIC INPUTS/OUTPUTS (SDIO/DCS, SMI SDFS) ¹					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	38		128	μA
Input Resistance	Full	26			kΩ
Input Capacitance	Full	5			pF
LOGIC INPUTS/OUTPUTS (SMI SDO/OEB, SMI SCLK/PDWN) ²					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 3.3 V)	Full	-90		-134	μA
Low Level Input Current	Full	-10		+10	μA

Parameter	Temperature	Min	Typ	Max	Unit
Input Resistance	Full		26		k Ω
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS					
CMOS Mode—DRVDD = 3.3 V					
High Level Output Voltage ($I_{OH} = 50 \mu\text{A}$)	Full	3.29			V
High Level Output Voltage ($I_{OH} = 0.5 \text{ mA}$)	Full	3.25			V
Low Level Output Voltage ($I_{OL} = 1.6 \text{ mA}$)	Full			0.2	V
Low Level Output Voltage ($I_{OL} = 50 \mu\text{A}$)	Full			0.05	V
CMOS Mode—DRVDD = 1.8 V					
High Level Output Voltage ($I_{OH} = 50 \mu\text{A}$)	Full	1.79			V
High Level Output Voltage ($I_{OH} = 0.5 \text{ mA}$)	Full	1.75			V
Low Level Output Voltage ($I_{OL} = 1.6 \text{ mA}$)	Full			0.2	V
Low Level Output Voltage ($I_{OL} = 50 \mu\text{A}$)	Full			0.05	V
LVDS Mode—DRVDD = 1.8 V					
Differential Output Voltage (V_{OD}), ANSI Mode	Full	250	350	450	mV
Output Offset Voltage (V_{OS}), ANSI Mode	Full	1.15	1.25	1.35	V
Differential Output Voltage (V_{OD}), Reduced Swing Mode	Full	150	200	280	mV
Output Offset Voltage (V_{OS}), Reduced Swing Mode	Full	1.15	1.25	1.35	V

¹ ブルアップ

² ブルダウン

スイッチング仕様—AD9640ABCPZ-80、AD9640BCPZ-80、AD9640ABCPZ-105、AD9640BCPZ-105

特に指定のない限り、AVDD=1.8V、DVDD=1.8V、DRVDD=3.3V、最大サンプリング・レート、VIN=-1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル。

表6

Parameter	Temp	AD9640ABCPZ-80/ AD9640BCPZ-80			AD9640ABCPZ-105/ AD9640BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate								
DCS Enabled ¹	Full	20		80	20		105	MSPS
DCS Disabled ¹	Full	10		80	10		105	MSPS
CLK Period—Divide by 1 Mode (t_{CLK})	Full	12.5			9.5			ns
CLK Pulse Width High								
Divide by 1 Mode, DCS Enabled	Full	3.75	6.25	8.75	2.85	4.75	6.65	ns
Divide by 1 Mode, DCS Disabled	Full	5.63	6.25	6.88	4.28	4.75	5.23	ns
Divide by 2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide by 3 Through 8, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	2.2	4.5	6.4	2.2	4.5	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	3.8	5.0	6.8	3.8	5.0	6.8	ns
Setup Time (t_S)	Full		6.25			5.25		ns
Hold Time (t_H)	Full		5.75			4.25		ns
CMOS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.4	5.2	6.9	2.4	5.2	6.9	ns
DCO Propagation Delay (t_{DCO})	Full	4.0	5.6	7.3	4.0	5.6	7.3	ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	3.0	3.7	4.4	3.0	3.7	4.4	ns
DCO Propagation Delay (t_{DCO})	Full	5.4	7.0	8.4	5.2	6.4	7.6	ns

Parameter	Temp	AD9640ABCPZ-80/ AD9640BCPZ-80			AD9640ABCPZ-105/ AD9640BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
CMOS Mode Pipeline Delay (Latency)	Full		12		12			Cycles
LVDS Mode Pipeline Delay (Latency) Channel A/Channel B			12/12.5		12/12.5			Cycles
Aperture Delay (t_A)	Full		1.0		1.0			ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1		0.1			ps rms
Wake-Up Time ³	Full		350		350			μ s
OUT-OF-RANGE RECOVERY TIME	Full		2		2			Cycles

¹ 変換レートは、分周器出力のクロック・レートです。

² 出力伝播遅延は、5pF負荷の条件でCLKの50%変化からDATAの50%変化までのポイントを測定したものです。

³ ウェークアップ時間は、デカップリング・コンデンサの容量に応じて変化します。

スイッチング仕様—AD9640ABCPZ-125、AD9640BCPZ-125、AD9640ABCPZ-150、AD9640BCPZ-150

特に指定のない限り、AVDD = 1.8V、DVDD = 1.8V、DRVDD = 3.3V、最大サンプリング・レート、VIN = -1.0dBFSの差動入力、1.0Vの内部リファレンス、DCSをイネーブル。

表7

Parameter	Temperature	AD9640ABCPZ-125/ AD9640BCPZ-125			AD9640ABCPZ-150/ AD9640BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate								
DCS Enabled ¹	Full	20		125	20		150	MSPS
DCS Disabled ¹	Full	10		125	10		150	MSPS
CLK Period—Divide by 1 Mode (t_{CLK})	Full	8			6.66			ns
CLK Pulse Width High								
Divide by 1 Mode, DCS Enabled	Full	2.4	4	5.6	2.0	3.33	4.66	ns
Divide by 1 Mode, DCS Disabled	Full	3.6	4	4.4	3.0	3.33	3.66	ns
Divide by 2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide by 3 Through 8, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	2.2	4.5	6.4	2.2	4.5	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	3.8	5.0	6.8	3.8	5.0	6.8	ns
Setup Time (t_S)	Full		4.5			3.83		ns
Hold Time (t_H)	Full		3.5			2.83		ns
CMOS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.4	5.2	6.9	2.4	5.2	6.9	ns
DCO Propagation Delay (t_{DCO})	Full	4.0	5.6	7.3	4.0	5.6	7.3	ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	3.0	3.8	4.5	3.0	3.8	4.5	ns
DCO Propagation Delay (t_{DCO})	Full	5.0	6.2	7.4	4.8	5.9	7.3	ns
CMOS Mode Pipeline Delay (Latency)	Full		12			12		Cycles
LVDS Mode Pipeline Delay (Latency) Channel A/Channel B			12/12.5			12/12.5		Cycles
Aperture Delay (t_A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1			0.1		ps rms
Wake-Up Time ³	Full		350			350		μ s
OUT-OF-RANGE RECOVERY TIME	Full		3			3		Cycles

¹ 変換レートは、分周器出力のクロック・レートです。

² 出力伝播遅延は、5pF負荷の条件でCLKの50%変化からDATAの50%変化までのポイントを測定したものです。

³ ウェークアップ時間は、デカップリング・コンデンサの容量に応じて変化します。

タイミング仕様

表8

Parameter	Conditions	AD9640BCPZ-80/-105/-125/-150			Unit
		Min	Typ	Max	
SYNC TIMING REQUIREMENTS					
t_{SSYNC}	SYNC to rising edge of CLK setup time		0.24		ns
t_{HSYNC}	SYNC to rising edge of CLK hold time		0.40		ns
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	SCLK pulse width high	10			ns
t_{LOW}	SCLK pulse width low	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns
SPORT TIMING REQUIREMENTS					
t_{CSSCLK}	Delay from rising edge of CLK+ to rising edge of SMI SCLK	3.2	4.5	6.2	ns
$t_{SSCLKSDO}$	Delay from rising edge of SMI SCLK to SMI SDO	-0.4	0	+0.4	ns
$t_{SSCLKSDFS}$	Delay from rising edge of SMI SCLK to SMI SDFS	-0.4	0	+0.4	ns

タイミング図

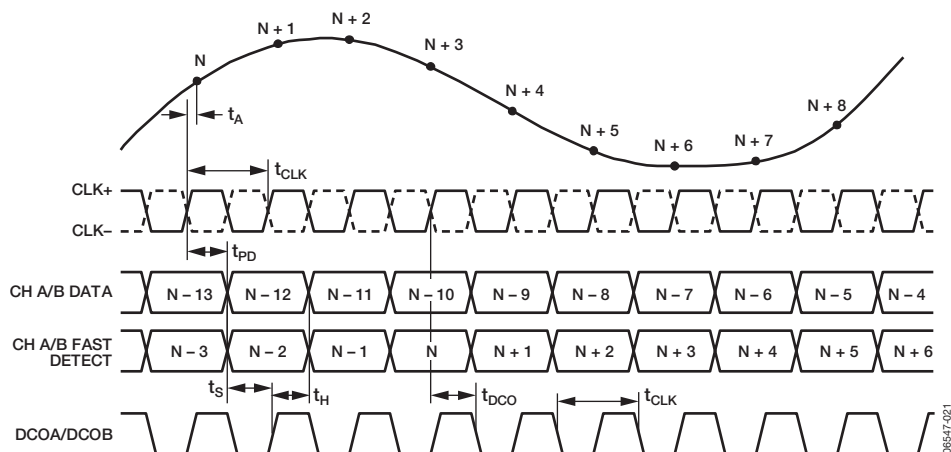


図2. CMOS出力モードのデータおよび高速検出出力タイミング（高速検出モード0）

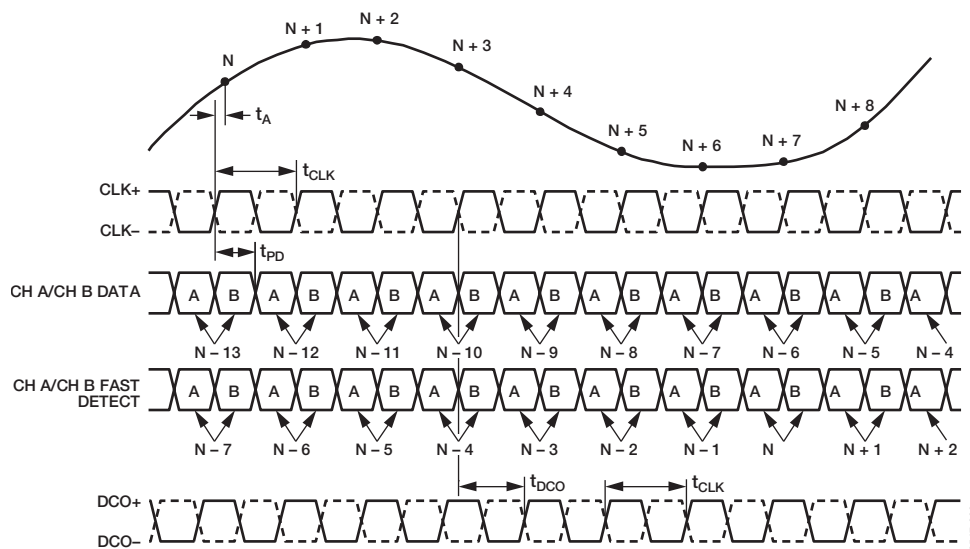


図3. LVDSモードのデータおよび高速検出出力タイミング（高速検出モード1～高速検出モード5）

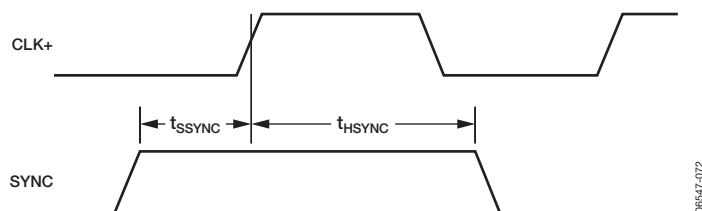


図4. SYNC入力タイミング条件

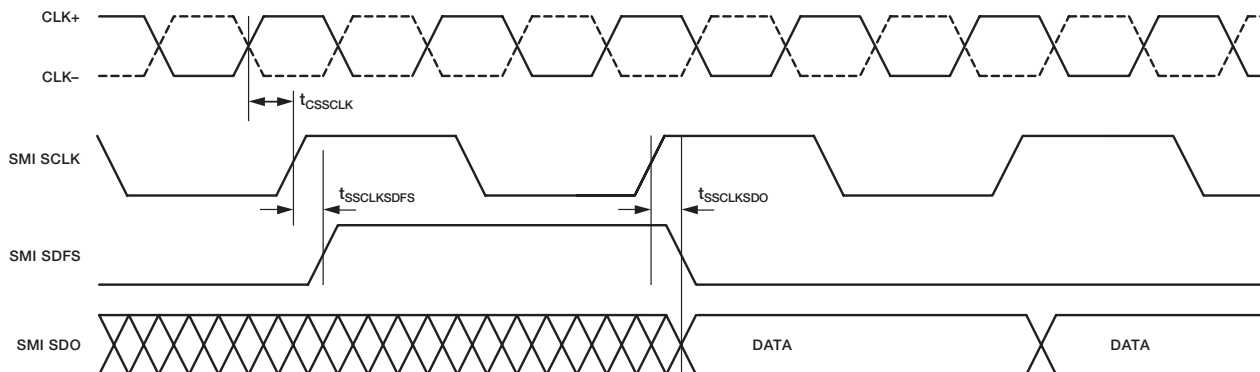


図5. SPORT信号モニタの出力タイミング（2分周モード）

絶対最大定格

表9

Parameter	Rating
ELECTRICAL	
AVDD, DVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +3.9 V
AGND to DRGND	-0.3 V to +0.3 V
AVDD to DRVDD	-3.9 V to +2.0 V
VIN+A/VIN+B, VIN-A/VIN-B to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to +3.9 V
SYNC to AGND	-0.3 V to +3.9 V
VREF to AGND	-0.3 V to AVDD + 0.2 V
SENSE to AGND	-0.3 V to AVDD + 0.2 V
CML to AGND	-0.3 V to AVDD + 0.2 V
RBIAS to AGND	-0.3 V to AVDD + 0.2 V
CSB to AGND	-0.3 V to +3.9 V
SCLK/DFS to DRGND	-0.3 V to +3.9 V
SDIO/DCS to DRGND	-0.3 V to DRVDD + 0.3 V
SMI SDO/OEB	-0.3 V to DRVDD + 0.3 V
SMI SCLK/PDWN	-0.3 V to DRVDD + 0.3 V
SMI SDFS	-0.3 V to DRVDD + 0.3 V
D0A/D0B through D13A/D13B to DRGND	-0.3 V to DRVDD + 0.3 V
FD0A/FD0B through FD3A/FD3B to DRGND	-0.3 V to DRVDD + 0.3 V
DCOA/DCOB to DRGND	-0.3 V to DRVDD + 0.3 V
ENVIRONMENTAL	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱的特性

露出パドルをLFCSPパッケージのグラウンド・プレーンにハンダ付けする必要があります。露出パドルをボードにハンダ付けすると、ハンダ接合部の信頼性が向上し、パッケージの熱的性能が最大限に高くなります。

表10. 熱抵抗

Package type	Airflow Velocity (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	Unit
64-lead LFCSP 9 mm × 9 mm	0	18.8	0.6	6.0	°C/W
	1.0	16.5			°C/W
	2.0	15.8			°C/W

¹ JEDEC 51-7、およびJEDEC 25-5 2S2P準拠のテスト用ボード

² JEDEC JESD51-2 (自然空冷) またはJEDEC JESD51-6 (強制空冷) に準拠

³ MIL-Std 883、方式1012.1 に準拠

⁴ JEDEC JESD51-8 (自然空冷) に準拠

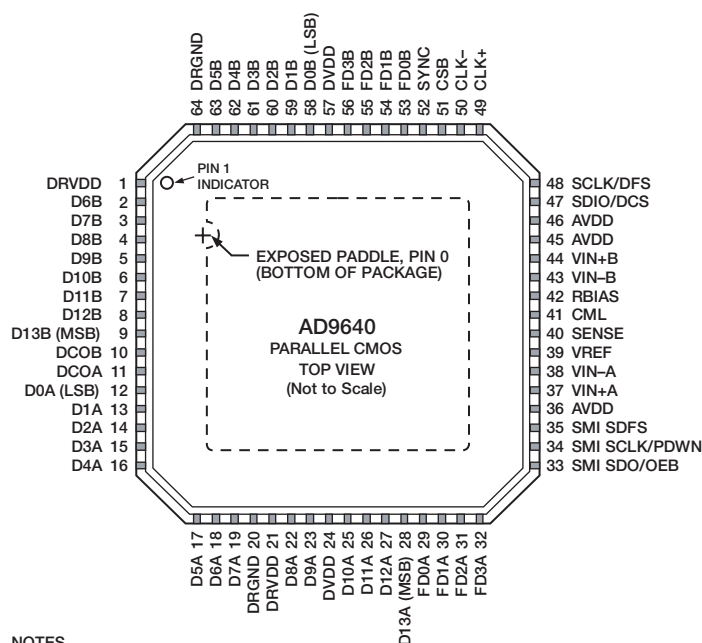
θ_{JA} の代表値は、強固なグラウンド・プレーンを備える4層のPCボードについて規定しています。上の表に示すように、気流は放熱性を高め、これに伴って θ_{JA} が低下します。さらに、金属パターン、スルーホール、グラウンド、電源プレーンからパッケージのピンに直接接触する金属によっても、 θ_{JA} が低下します。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されなまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

ピン配置とピン機能の説明



NOTES

1. NC = NO CONNECT.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

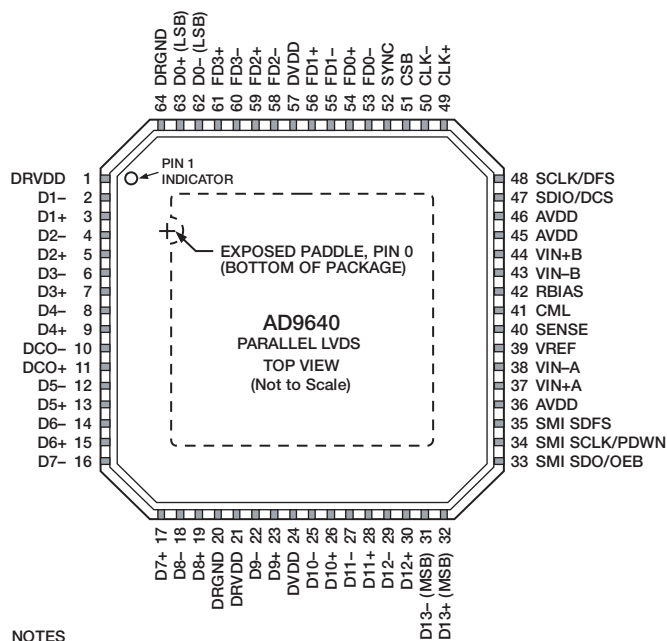
0165-47-002

図6. ピン配置、LFCSP、パラレルCMOS（上面図）

表11. ピン機能の説明（パラレルCMOSモード）

ピン番号	記号	タイプ	説明
ADC電源			
20, 64	DRGND	グラウンド	デジタル出力グラウンド
1, 21	DRVDD	電源	デジタル出力ドライバ電源（1.8~3.3V）
24, 57	DVDD	電源	デジタル電源（公称値1.8V）
36, 45, 46	AVDD	電源	アナログ電源（公称値1.8V）
0	AGND Exposed Pad	グラウンド	パッケージ底部の露出熱パッドがデバイスのアナログ・グラウンドになります。正しい動作を行うには、この露出パッドはグラウンドに接続する必要があります。
ADCアナログ			
37	VIN+A	入力	チャンネルAの差動アナログ入力ピン（+）
38	VIN-A	入力	チャンネルAの差動アナログ入力ピン（-）
44	VIN+B	入力	チャンネルBの差動アナログ入力ピン（+）
43	VIN-B	入力	チャンネルBの差動アナログ入力ピン（-）
39	VREF	入出力	リファレンス電圧入出力
40	SENSE	入力	リファレンス電圧モード選択。詳細は表14を参照
42	RBIAS	入出力	外部リファレンス・バイアス抵抗
41	CML	出力	アナログ入力の同相レベル・バイアス出力
49	CLK+	入力	ADCクロック入力—真
50	CLK-	入力	ADCクロック入力—偽

ピン番号	記号	タイプ	説明
ADC 高速検出出力			
29	FD0A	出力	チャンネルAの高速検出インジケータ。詳細は表18を参照
30	FD1A	出力	チャンネルAの高速検出インジケータ。詳細は表18を参照
31	FD2A	出力	チャンネルAの高速検出インジケータ。詳細は表18を参照
32	FD3A	出力	チャンネルAの高速検出インジケータ。詳細は表18を参照
53	FD0B	出力	チャンネルBの高速検出インジケータ。詳細は表18を参照
54	FD1B	出力	チャンネルBの高速検出インジケータ。詳細は表18を参照
54	FD2B	出力	チャンネルBの高速検出インジケータ。詳細は表18を参照
56	FD3B	出力	チャンネルBの高速検出インジケータ。詳細は表18を参照
デジタル入力			
52	SYNC	入力	デジタル同期ピン。スレーブ・モード専用
デジタル出力			
12	D0A (LSB)	出力	チャンネルAのCMOS出力データ
13	D1A	出力	チャンネルAのCMOS出力データ
14	D2A	出力	チャンネルAのCMOS出力データ
15	D3A	出力	チャンネルAのCMOS出力データ
16	D4A	出力	チャンネルAのCMOS出力データ
17	D5A	出力	チャンネルAのCMOS出力データ
18	D6A	出力	チャンネルAのCMOS出力データ
19	D7A	出力	チャンネルAのCMOS出力データ
22	D8A	出力	チャンネルAのCMOS出力データ
23	D9A	出力	チャンネルAのCMOS出力データ
25	D10A	出力	チャンネルAのCMOS出力データ
26	D11A	出力	チャンネルAのCMOS出力データ
27	D12A	出力	チャンネルAのCMOS出力データ
28	D13A (MSB)	出力	チャンネルAのCMOS出力データ
58	D0B (LSB)	出力	チャンネルBのCMOS出力データ
59	D1B	出力	チャンネルBのCMOS出力データ
60	D2B	出力	チャンネルBのCMOS出力データ
61	D3B	出力	チャンネルBのCMOS出力データ
62	D4B	出力	チャンネルBのCMOS出力データ
63	D5B	出力	チャンネルBのCMOS出力データ
2	D6B	出力	チャンネルBのCMOS出力データ
3	D7B	出力	チャンネルBのCMOS出力データ
4	D8B	出力	チャンネルBのCMOS出力データ
5	D9B	出力	チャンネルBのCMOS出力データ
6	D10B	出力	チャンネルBのCMOS出力データ
7	D11B	出力	チャンネルBのCMOS出力データ
8	D12B	出力	チャンネルBのCMOS出力データ
9	D13B (MSB)	出力	チャンネルBのCMOS出力データ
11	DCOA	出力	チャンネルAのデータ・クロック出力
10	DCOB	出力	チャンネルBのデータ・クロック出力
SPIコントロール			
48	SCLK/DFS	入力	外部ピン・モードによるSPIシリアル・クロック/データ・フォーマット選択ピン
47	SDIO/DCS	入出力	外部ピン・モードによるSPIシリアル・データI/O/デューティサイクル・スタビライザ・ピン
51	CSB	入力	SPIチップ・セレクト (アクティブ・ローレベル)
シリアル・ポート			
33	SMI SDO/ OEB	入出力	外部ピン・モードによる信号モニタ・シリアル・データ出力/出力イネーブル入力 (アクティブ・ローレベル)
35	SMI SDFS	出力	信号モニタ・シリアル・データ・フレーム同期
34	SMI SCLK /PDWN	入出力	外部ピン・モードによる信号モニタ・シリアル・クロック出力/パワーダウン入力



- NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

06547-003

図7. ピン配置、LFCSP、LVDS（上面図）

表12. ピン機能の説明（インターリーブ型パラレルLVDSモード）

ピン番号	記号	タイプ	説明
ADC電源			
20, 64	DRGND	グラウンド	デジタル出力グラウンド
1, 21	DRVDD	電源	デジタル出力ドライバ電源（1.8～3.3V）
24, 57	DVDD	電源	デジタル電源（公称値1.8V）
36, 45, 46	AVDD	電源	アナログ電源（公称値1.8V）
0	AGND Exposed Pad	グラウンド	パッケージ底部の露出熱パッドがデバイスのアナログ・グラウンドになります。正しい動作を行うには、この露出パッドはグラウンドに接続する必要があります。
ADCアナログ			
37	VIN+A	入力	チャンネルAの差動アナログ入力ピン（+）
38	VIN-A	入力	チャンネルAの差動アナログ入力ピン（-）
44	VIN+B	入力	チャンネルBの差動アナログ入力ピン（+）
43	VIN-B	入力	チャンネルBの差動アナログ入力ピン（-）
39	VREF	入出力	リファレンス電圧入出力
40	SENSE	入力	リファレンス電圧モード選択。詳細は表14を参照
42	RBIAS	入出力	外部リファレンス・バイアス抵抗
41	CML	出力	アナログ入力の同相レベル・バイアス出力
49	CLK+	入力	ADCクロック入力—真
50	CLK-	入力	ADCクロック入力—偽
ADC高速検出出力			
54	FD0+	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ0—真。詳細は表18を参照
53	FD0-	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ0—偽。詳細は表18を参照
56	FD1+	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ1—真。詳細は表18を参照
55	FD1-	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ1—偽。詳細は表18を参照
59	FD2+	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ2—真。詳細は表18を参照
58	FD2-	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ2—偽。詳細は表18を参照
61	FD3+	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ3—真。詳細は表18を参照
60	FD3-	出力	チャンネルA／チャンネルBのLVDS高速検出インジケータ3—偽。詳細は表18を参照

ピン番号	記号	タイプ	説明
デジタル入力			
52	SYNC	入力	デジタル同期ピン。スレーブ・モード専用
デジタル出力			
63	D0+ (LSB)	出力	チャンネルA / チャンネルB のLVDS 出力データ0—真
62	D0- (LSB)	出力	チャンネルA / チャンネルB のLVDS 出力データ0—偽
3	D1+	出力	チャンネルA / チャンネルB のLVDS 出力データ1—真
2	D1-	出力	チャンネルA / チャンネルB のLVDS 出力データ1—偽
5	D2+	出力	チャンネルA / チャンネルB のLVDS 出力データ2—真
4	D2-	出力	チャンネルA / チャンネルB のLVDS 出力データ2—偽
7	D3+	出力	チャンネルA / チャンネルB のLVDS 出力データ3—真
6	D3-	出力	チャンネルA / チャンネルB のLVDS 出力データ3—偽
9	D4+	出力	チャンネルA / チャンネルB のLVDS 出力データ4—真
8	D4-	出力	チャンネルA / チャンネルB のLVDS 出力データ4—偽
13	D5+	出力	チャンネルA / チャンネルB のLVDS 出力データ5—真
12	D5-	出力	チャンネルA / チャンネルB のLVDS 出力データ5—偽
15	D6+	出力	チャンネルA / チャンネルB のLVDS 出力データ6—真
14	D6-	出力	チャンネルA / チャンネルB のLVDS 出力データ6—偽
17	D7+	出力	チャンネルA / チャンネルB のLVDS 出力データ7—真
16	D7-	出力	チャンネルA / チャンネルB のLVDS 出力データ7—偽
19	D8+	出力	チャンネルA / チャンネルB のLVDS 出力データ8—真
18	D8-	出力	チャンネルA / チャンネルB のLVDS 出力データ8—偽
23	D9+	出力	チャンネルA / チャンネルB のLVDS 出力データ9—真
22	D9-	出力	チャンネルA / チャンネルB のLVDS 出力データ9—偽
26	D10+	出力	チャンネルA / チャンネルB のLVDS 出力データ10—真
25	D10-	出力	チャンネルA / チャンネルB のLVDS 出力データ10—偽
28	D11+	出力	チャンネルA / チャンネルB のLVDS 出力データ11—真
27	D11-	出力	チャンネルA / チャンネルB のLVDS 出力データ11—偽
30	D12+	出力	チャンネルA / チャンネルB のLVDS 出力データ12—真
29	D12-	出力	チャンネルA / チャンネルB のLVDS 出力データ12—偽
32	D13+ (MSB)	出力	チャンネルA / チャンネルB のLVDS 出力データ13—真
31	D13- (MSB)	出力	チャンネルA / チャンネルB のLVDS 出力データ13—偽
11	DCO+	出力	チャンネルA / チャンネルB のLVDS データ・クロック出力—真
10	DCO-	出力	チャンネルA / チャンネルB のLVDS データ・クロック出力—偽
SPI コントロール			
48	SCLK/DFS	入力	外部ピン・モードによるSPIシリアル・クロック / データ・フォーマット選択ピン
47	SDIO/DCS	入出力	外部ピン・モードによるSPIシリアル・データI/O / デューティサイクル・スタビライザ・ピン
51	CSB	入力	SPIチップ・セレクト (アクティブ・ローレベル)
信号モニタ・ポート			
33	SMI SDO/ OEB	入出力	外部ピン・モードによる信号モニタ・シリアル・データ出力 / 出力イネーブル入力 (アクティブ・ローレベル)
35	SMI SDFS	出力	信号モニタ・シリアル・データ・フレーム同期
34	SMI SCLK/ PDWN	入出力	外部ピン・モードによる信号モニタ・シリアル・クロック出力 / パワーダウン入力

等価回路

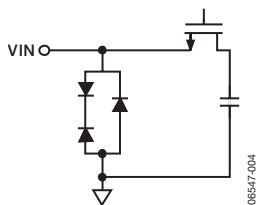


図8. アナログ入力等価回路

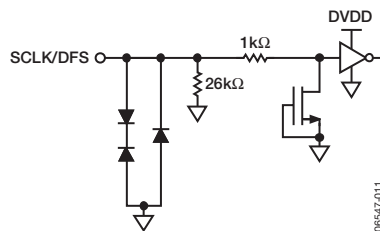


図12. SCLK/DFS入力等価回路

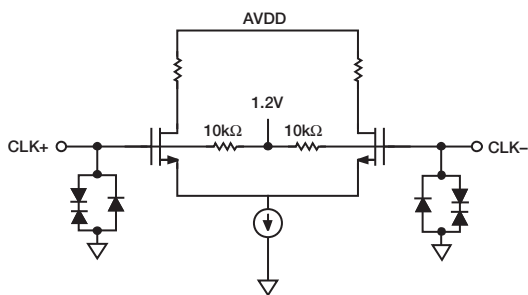


図9. クロック入力等価回路

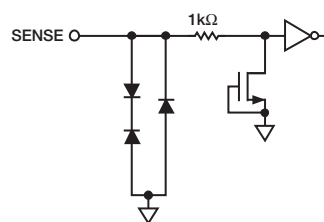


図13. SENSE等価回路

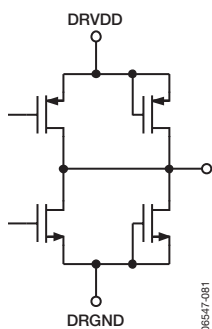


図10. デジタル出力

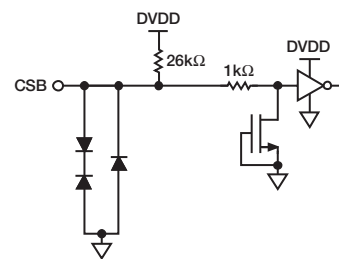


図14. CSB入力等価回路

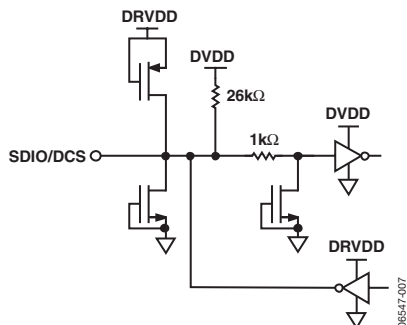


図11. SDIO/DCSまたはSMI SDFS等価回路

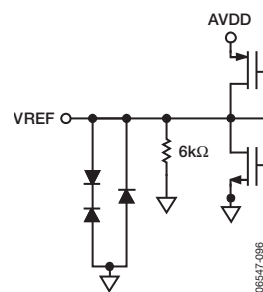


図15. VREF等価回路

代表的な性能特性

特に指定のない限り、AVDD=1.8V、DVDD=1.8V、DRVDD=3.3V、サンプリング・レート=150MSPS、DCSをイネーブ、1.0Vの内部リファレンス、2Vp-pの差動入力、VIN=-1.0dBFS、64kサンプル、TA=25℃。

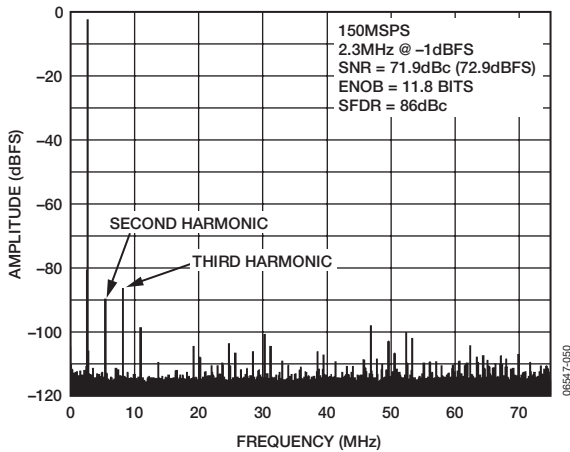


図16. AD9640-150のシングルトーンFFT
($f_{IN}=2.3\text{MHz}$)

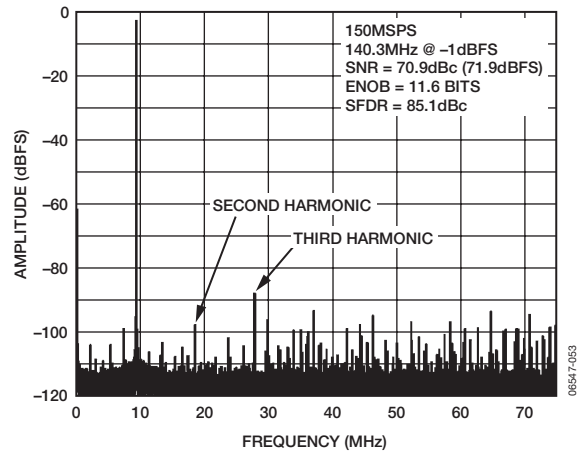


図19. AD9640-150のシングルトーンFFT
($f_{IN}=140.3\text{MHz}$)

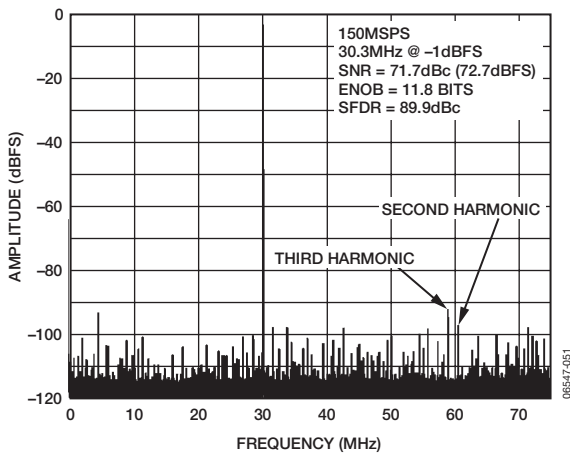


図17. AD9640-150のシングルトーンFFT
($f_{IN}=30.3\text{MHz}$)

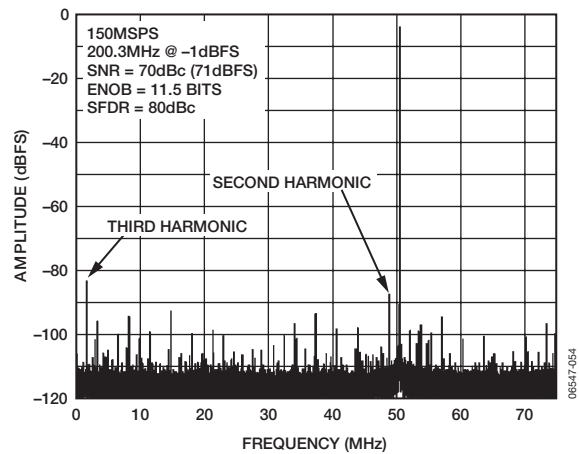


図20. AD9640-150のシングルトーンFFT
($f_{IN}=200.3\text{MHz}$)

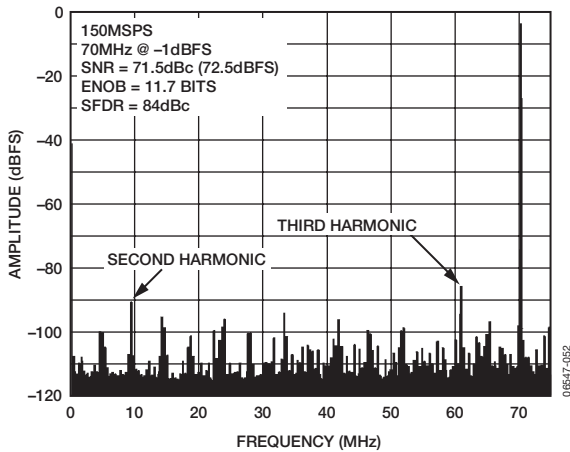


図18. AD9640-150のシングルトーンFFT
($f_{IN}=70\text{MHz}$)

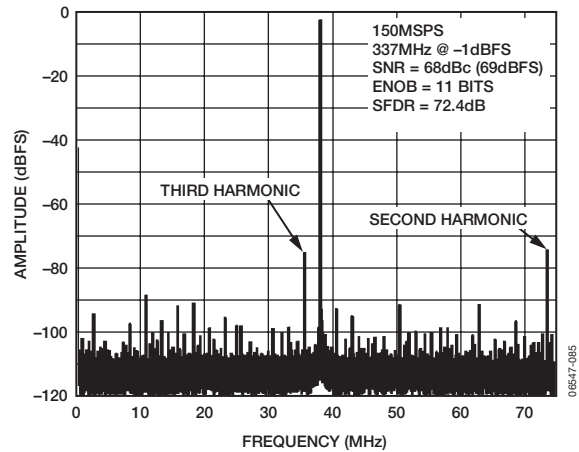


図21. AD9640-150のシングルトーンFFT
($f_{IN}=337\text{MHz}$)

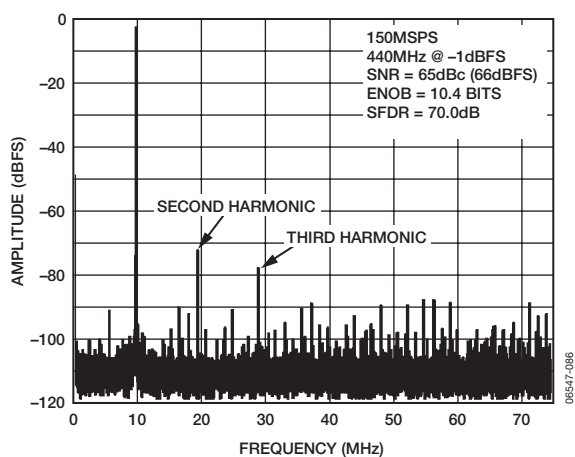


図22. AD9640-150のシングルトーンFFT
($f_{IN}=440\text{MHz}$)

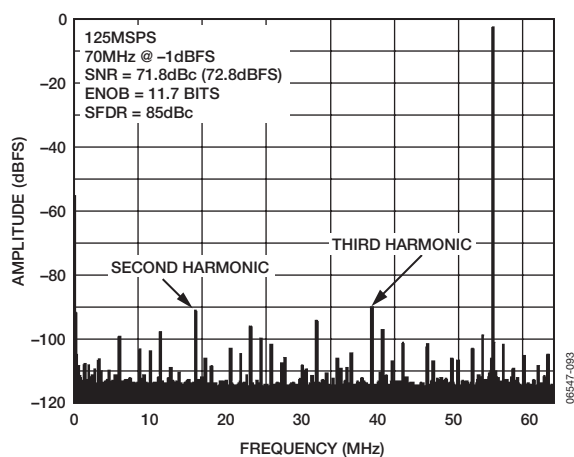


図25. AD9640-125のシングルトーンFFT
($f_{IN}=70\text{MHz}$)

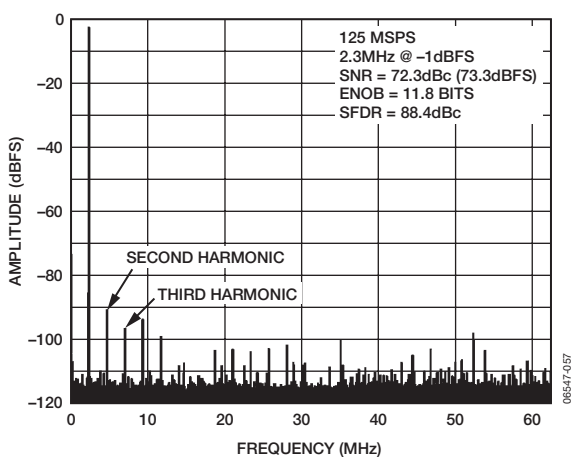


図23. AD9640-125のシングルトーンFFT
($f_{IN}=2.3\text{MHz}$)

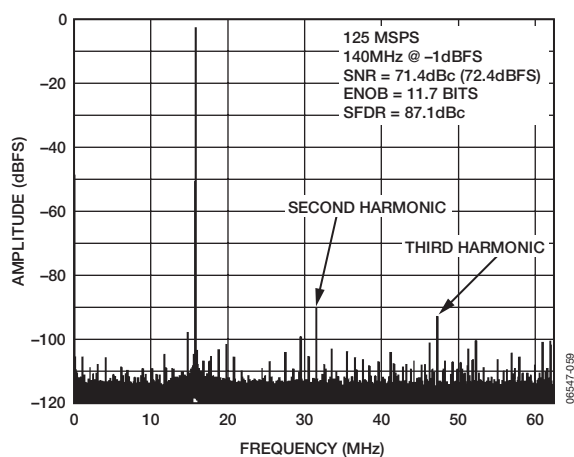


図26. AD9640-125のシングルトーンFFT
($f_{IN}=140\text{MHz}$)

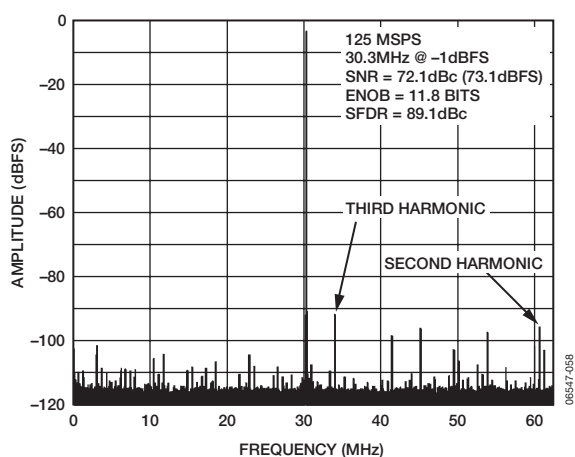


図24. AD9640-125のシングルトーンFFT
($f_{IN}=30.3\text{MHz}$)

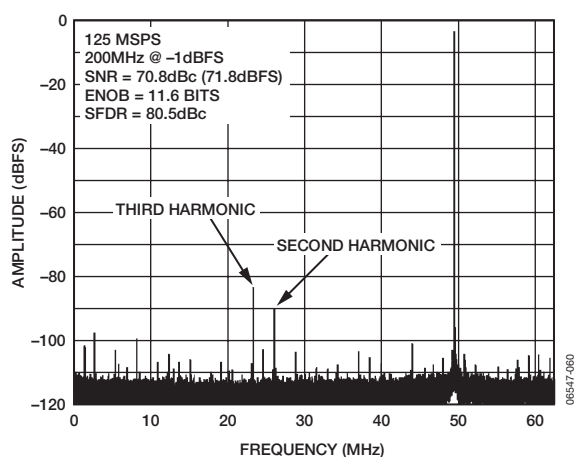


図27. AD9640-125のシングルトーンFFT
($f_{IN}=200\text{MHz}$)

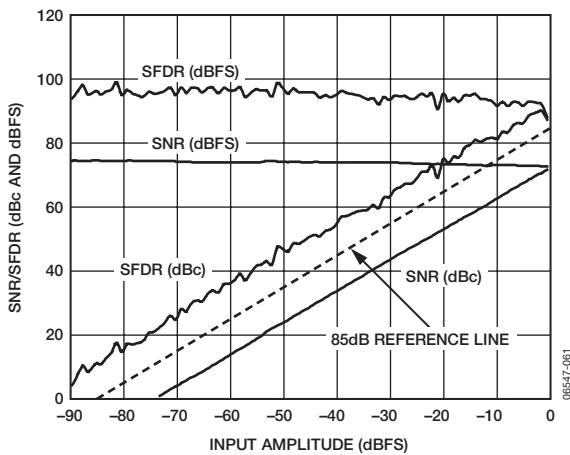


図28. AD9640-150の入力振幅 (A_{IN}) 対 シングルトーン S/N比/SFDR ($f_{IN}=2.3\text{MHz}$)

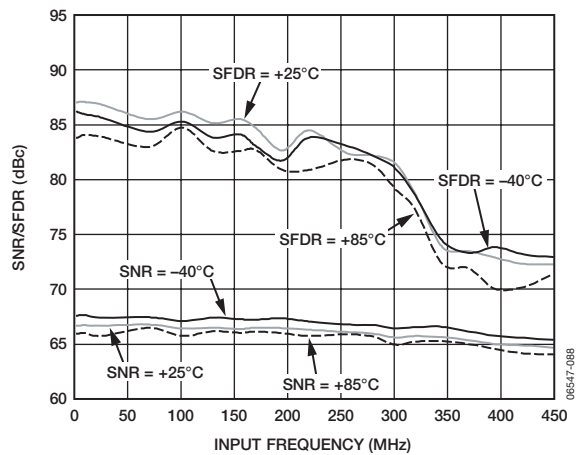


図31. AD9640-150の入力周波数 (f_{IN}) および温度 対 シングルトーンS/N比/SFDR (1Vp-pフルスケール)

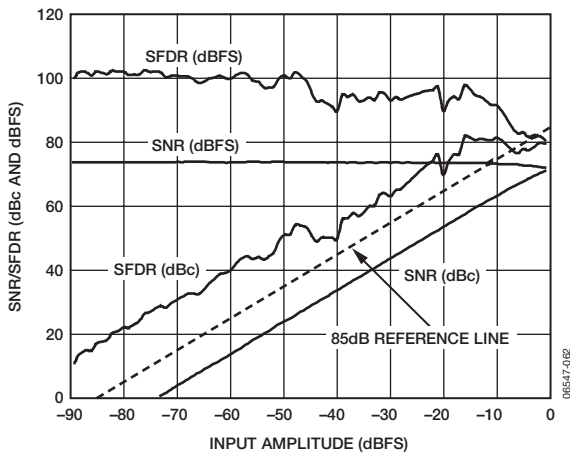


図29. AD9640-150の入力振幅 対 シングルトーンSFDR ($f_{IN}=98.12\text{MHz}$)

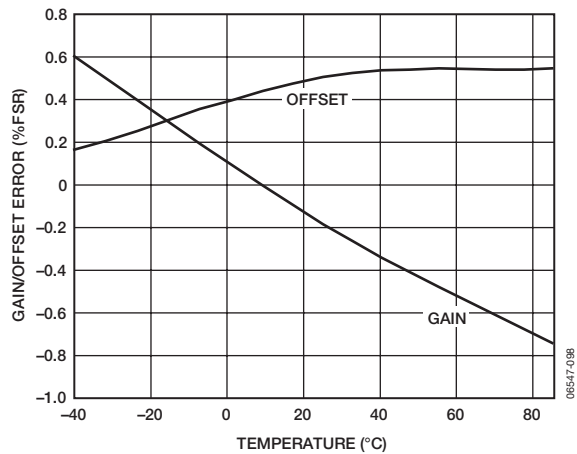


図32. AD9640のゲインおよびオフセットの温度特性

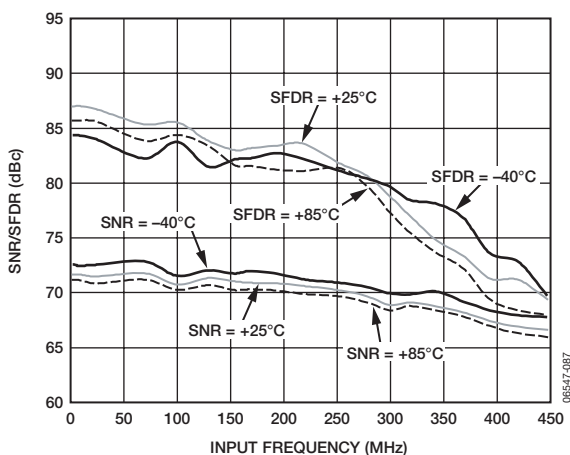


図30. AD9640-150の入力周波数 (f_{IN}) および温度 対 シングルトーンS/N比/SFDR (2Vp-pフルスケール)

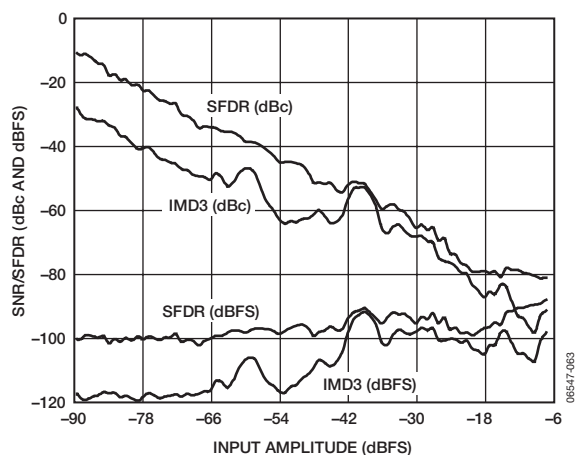


図33. AD9640-150の入力振幅 (A_{IN}) 対 ツートーン SFDR/IMD3 ($f_{IN1}=29.1\text{MHz}$, $f_{IN2}=32.1\text{MHz}$, $f_s=150\text{MSPS}$)

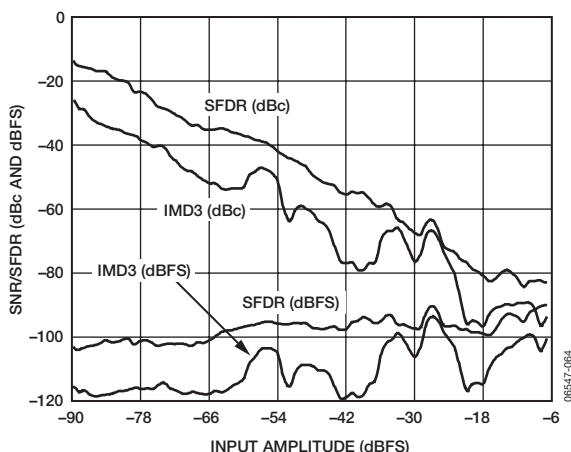


図34. AD9640-150の入力振幅 (A_{IN}) 対 ツートンSFDR/IMD3 ($f_{IN1}=169.1\text{MHz}$ 、 $f_{IN2}=172.1\text{MHz}$ 、 $f_s=150\text{MSPS}$)

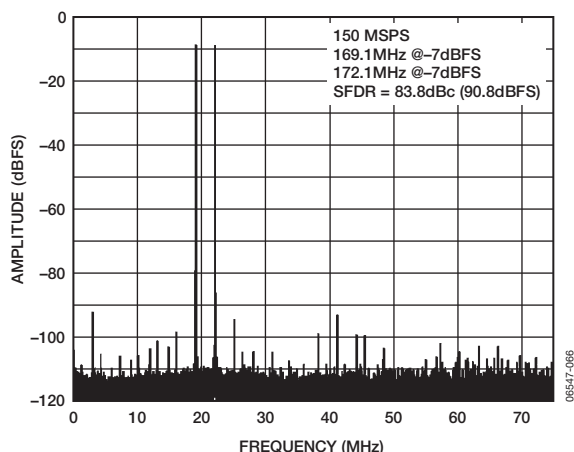


図37. AD9640-150のツートンFFT ($f_{IN1}=169.1\text{MHz}$ 、 $f_{IN2}=172.1\text{MHz}$)

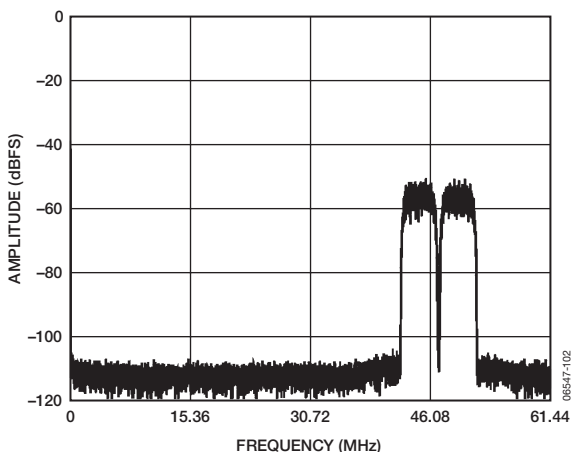


図35. AD9640-125、2つの64k WCDMAキャリア ($f_{IN}=170\text{MHz}$ 、 $f_s=122.88\text{MSPS}$)

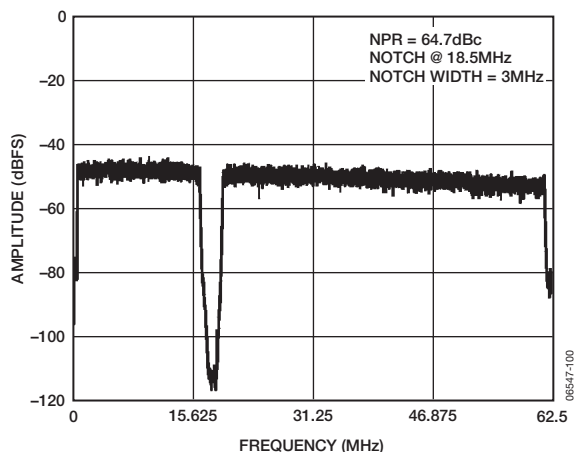


図38. AD9640のノイズ・パワー比 (NPR)

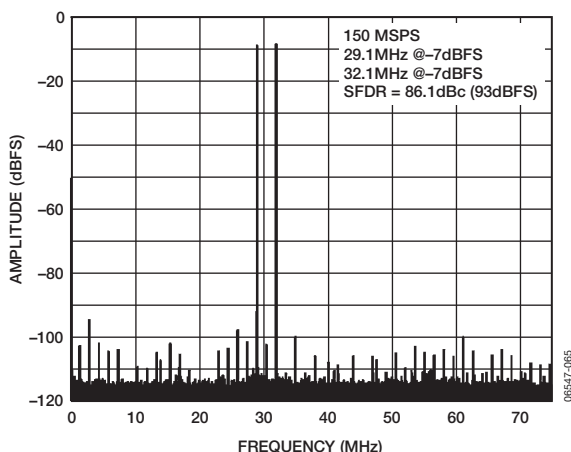


図36. AD9640-150のツートンFFT ($f_{IN1}=29.1\text{MHz}$ 、 $f_{IN2}=32.1\text{MHz}$)

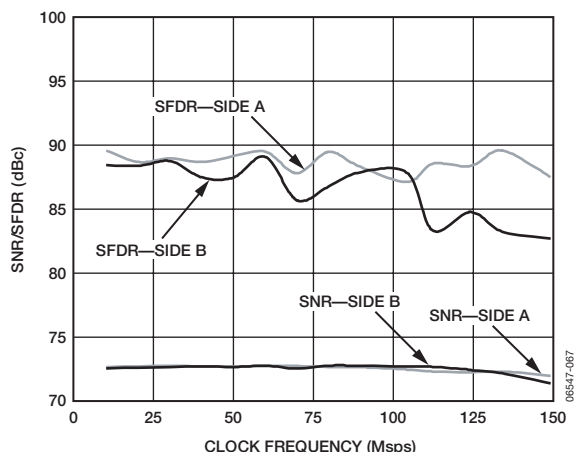


図39. AD9640-125のクロック周波数 (f_s) 対 シングルトーンS/N比/SFDR ($f_{IN}=2.3\text{MHz}$)

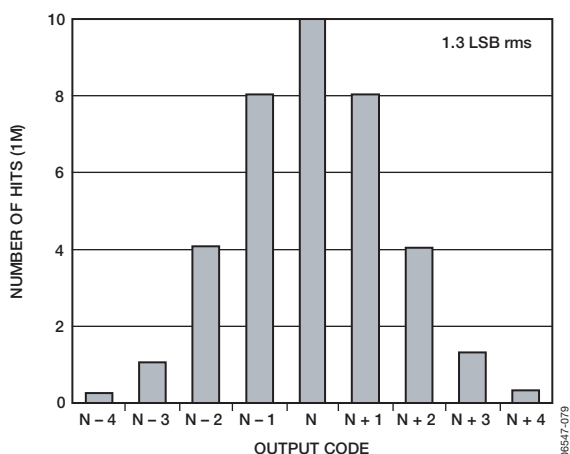


図40. AD9640のグラウンド入力ヒストグラム

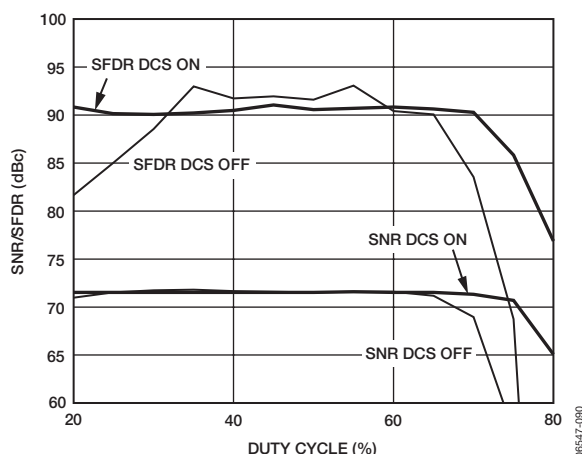


図43. AD9640のデューティサイクル 対 S/N比/SFDR ($f_{IN}=10.3\text{MHz}$)

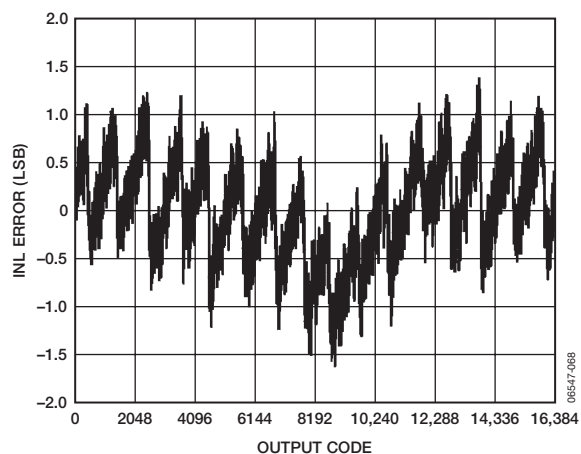


図41. AD9640のINL ($f_{IN}=10.3\text{MHz}$)

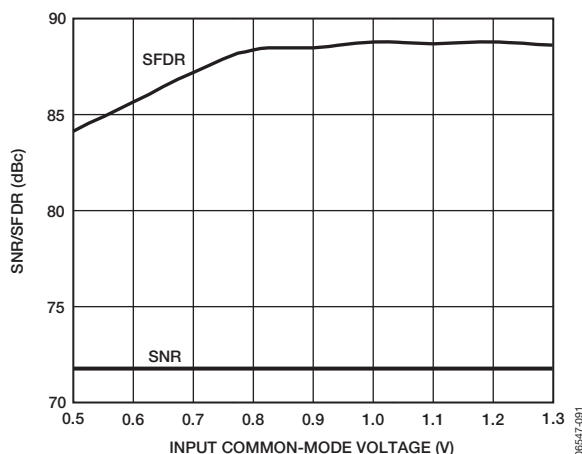


図44. AD9640の入力同相電圧 (VCM) 対 S/N比/SFDR ($f_{IN}=30\text{MHz}$)

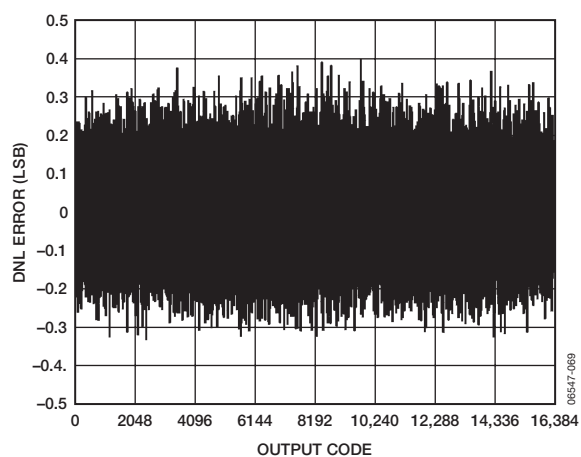


図42. AD9640のDNL ($f_{IN}=10.3\text{MHz}$)

動作原理

AD9640のデュアルADCは、信号のダイバーシティ受信に使用できます。ダイバーシティ受信では、2つの異なるアンテナから同じキャリアを受信し、2個のADCが等しい動作をします。2個のADCを個別のアナログ入力で作動させることも可能です。ADCの入力に適切なローパスまたはバンドパス・フィルタを接続すれば、ADC性能をほとんど低下させることなくDCから200MHzまでの任意の $f_s/2$ 周波数帯域をサンプリングできます。最大450MHzのアナログ入力信号で動作可能ですが、この場合にはADCの歪みが増加します。

ダイバーシティ受信以外のアプリケーションでは、AD9640をベースバンド信号レシーバとして使用することが可能であり、1個のADCをI入力信号用、もう1個のADCをQ入力信号用として使用します。

同期機能を備えているため、複数チャンネル間または複数デバイス間のタイミング同期が可能です。

AD9640のプログラミングと制御は、3ビットのSPI互換シリアル・インターフェースを使用して行います。

ADCのアーキテクチャ

AD9640のアーキテクチャは、デュアルのフロントエンド・サンプル&ホールド・アンプ (SHA) とその後段のパイプライン方式のスイッチド・キャパシタADCで構成されます。各段からの量子化された出力は、デジタル補正ロジックで14ビットの最終結果に統合されます。パイプライン・アーキテクチャでは、初段は新しい入力サンプルに対して動作し、これ以降の段はそれ以前のサンプルに対して動作するようになります。クロックの立上がりエッジでサンプリングが行われます。

パイプラインの各段は最終段を除き、低分解能のフラッシュ型ADCとこれに接続されたスイッチド・キャパシタD/Aコンバータ (DAC)、および段間残差アンプ (MDAC) で構成されます。残差アンプは、再構成されたDAC出力とパイプライン次段のフラッシュ入力間の電圧差を増幅します。フラッシュ誤差のデジタル補正を容易にするために、1ビットの冗長ビットが各段に用意されています。最終段は、単に1個のフラッシュ型ADCで構成されています。

各チャンネルの入力段には、差動またはシングルエンドのモードでAC結合またはDC結合が可能な差動SHAが内蔵されています。出力段のブロックはデータのアライメントを行い、誤差を補正した後で、データを出力バッファに出力します。出力バッファは個別の電源で作動するため、出力電圧振幅の変更が可能です。パワーダウンのときに、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に関する留意事項

AD9640のアナログ入力部は、最適な性能を維持しながら差動入力信号を処理できるようにデザインされた、差動スイッチド・キャパシタSHAです。

クロック信号は、SHAをサンプル・モードとホールド・モードを交互に切り替えます (図45を参照)。SHAがサンプル・モードに切り替わったときには、信号源は1/2クロック・サイクル以内でサンプル・コンデンサを充電して、セトリングすることが要求されます。

値の小さい抵抗を各入力に直列に接続すると、駆動信号源の出力段から生じるピーク過渡電流を効果的に低減できます。ダイナミックな充電電流を確保するために、入力間にシャント・コンデンサを接続することも可能です。ADC入力において、この受動回路はローパス・フィルタを形成するため、適切な定数はアプリケーションによって異なります。

中間周波数 (IF) のアンダーサンプリング・アプリケーションでは、シャント・コンデンサの容量を小さくする必要があります。容量が大きいと、これが駆動信号源のインピーダンスと結合して、入力周波数帯域幅が制限されます。この詳細については、AN-742アプリケーション・ノート『Frequency Domain Response of Switched-Capacitor ADCs』(スイッチド・キャパシタADCの周波数領域応答)、AN-827アプリケーション・ノート『A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs』(共振方式によるアンプとスイッチド・キャパシタADCのインターフェース)、「アナログ・ダイアログ」の記事『Transformer-Coupled Front-End for Wideband A/D Converters』(広帯域幅A/Dコンバータのトランス結合フロントエンド)を参照してください。

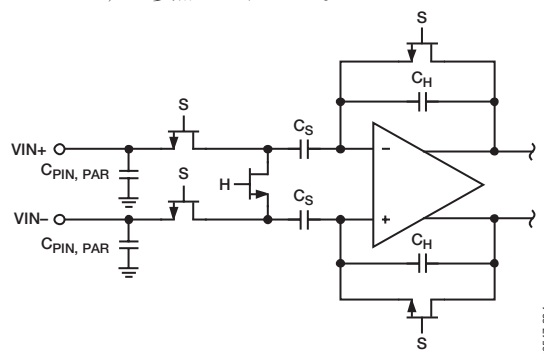


図45. スイッチド・キャパシタSHA入力

最適な動的性能を得るためには、VIN+とVIN-を駆動する信号源インピーダンスを一致させる必要があります。

内部の差動リファレンス・バッファは、ADCコアの入力スパンを決定する正と負のリファレンス電圧を発生します。ADCコアのスパンは、このバッファによって $2 \times V_{REF}$ に設定されます。

入力同相電圧

AD9640のアナログ入力は、内部でDCバイアスされていません。AC結合のアプリケーションでは、これを外部でバイアスする必要があります。最適な性能を得るためには $V_{CM} = 0.55 \times AVDD$ となるようにデバイスを設定することが推奨されますが、デバイスは幅広いレンジにおいて妥当な性能で機能します (図44を参照)。このデバイスには同相リファレンス電圧が内蔵されているため、CMLピンからリファレンス電圧を取り出せます。アナログ入力の同相電圧をCMLピンの電圧 ($0.55 \times AVDD$ (typ)) によって設定すると、最適な性能が得られます。「アプリケーション情報」の項で説明するように、CMLピンとグラウンドとの間に $0.1 \mu F$ のコンデンサを外付けして、デカップリングを行う必要があります。

差動入力構成

AD9640を差動入力の構成で駆動すると、最適な性能が得られます。ベースバンド信号アプリケーションでは、AD8138差動ドライバが優れた性能を発揮し、高い柔軟性でADCとインターフェースできます。

AD8138の出力同相電圧は、AD9640のCMLピンで容易に設定でき（図46を参照）、ドライバをサレンキー・フィルタとして構成して、入力信号の帯域幅を制限できます。

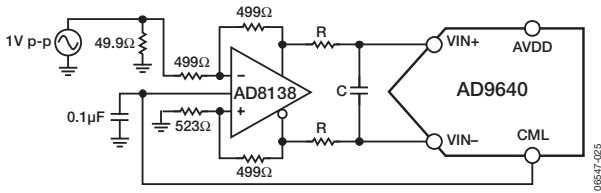


図46. AD8138を用いた差動入力構成

S/N比が重要なパラメータであるベースバンド信号アプリケーションでは、入力構成として差動トランス結合を推奨します。その例を図47に示します。アナログ入力をバイアスするときは、トランスの2次巻線のセンター・タップにCML電圧を接続してください。

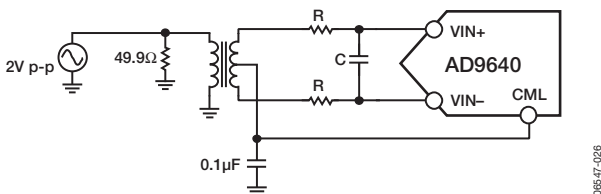


図47. 差動トランス結合の構成

トランスを選択する際は、信号特性を考慮する必要があります。ほとんどのRFトランスは周波数が数MHzよりも低いときに飽和し、また過大な信号パワーによってもコアが飽和し、歪みが発生することがあります。

入力周波数が第2ナイキスト・ゾーンを越えると、AD9640の真のS/N比性能を確保するうえで、大半のアンプでノイズ性能が満足しなくなってしまいます。S/N比が重要なパラメータであるアプリケーションでは、入力構成として差動の二重バラン結合を推奨します（この例として図49を参照）。

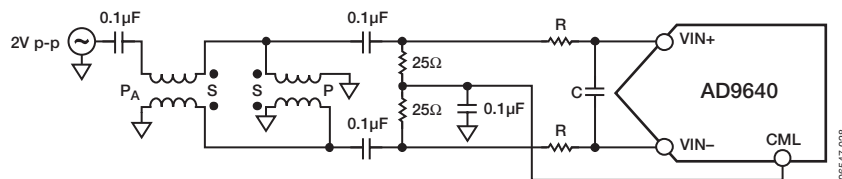


図49. 差動の二重バラン入力構成

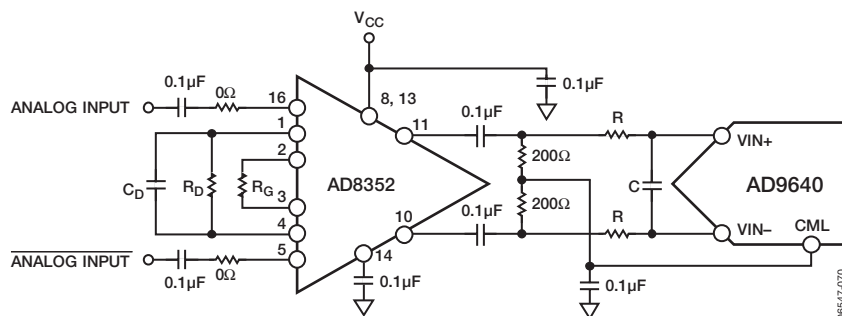


図50. AD8352を用いた差動入力構成

入力周波数が第2ナイキスト・ゾーンの場合、トランス結合入力を使用する代わりに、AD8352差動ドライバを使用する方法もあります。その例を図50に示します。詳細は、AD8352のデータシートを参照してください。

どのような構成でも、シャント・コンデンサCの容量は入力周波数と信号源インピーダンスに依存するため、容量を小さくするか、またはシャント・コンデンサを取り除くことが必要になる場合があります。RC回路の構成に推奨される部品値を表13に示します。ただし、これらの数値は入力信号に依存するため、部品値の選択を開始する際の参考としてください。

表13. RC回路部品値の例

Frequency Range (MHz)	R Series (Ω Each)	C Differential (pF)
0 to 70	33	15
70 to 200	33	5
200 to 300	15	5
>300	15	Open

シングルエンド入力構成

シングルエンド入力は、コストが重視されるアプリケーションで十分な性能を発揮できます。この構成では、入力同相電圧の振幅が大きいため、SFDRと歪み性能が低下します。各入力の信号源インピーダンスが整合しているとき、S/N比性能はほとんど影響を受けません。代表的なシングルエンド入力構成の詳細を図48に示します。

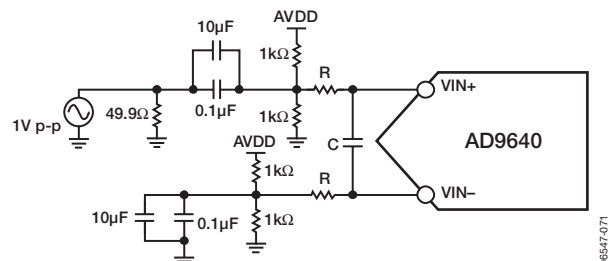


図48. シングルエンド入力構成

リファレンス電圧

安定性と精度の高いリファレンス電圧がAD9640に内蔵されています。この内部リファレンスまたは外部から加えられるリファレンス電圧を使用して、AD9640に与えるリファレンス電圧を変更することにより、入力範囲を調整できます。ADCの入力スパンは、リファレンス電圧に対してリニアに追従します。各種のリファレンス・モードについて、以降の項で簡単に説明します。「リファレンスのデカップリング」の項では、リファレンスのプリント基板レイアウトに関する最適な実施手法を説明しています。

内部リファレンス接続

AD9640内部のコンパレータでSENSEピンの電位を検出し、表14に示す4つの選択可能なモードのいずれかにリファレンスを設定します。SENSEピンをグラウンドに接続すると、リファレンス・アンプのスイッチが内部の抵抗分圧器に接続され（図51を参照）、VREFが1Vに設定されます。SENSEピンをVREFに接続すると、リファレンス・アンプの出力がSENSEピンとでループが形成され、0.5Vのリファレンス出力が設定されます。図52に示すように、チップの外部に抵抗分圧器を接続すると、スイッチがこの場合もSENSEピンに接続するように設定されます。これによりリファレンス・アンプが非反転増幅モードになり、VREF出力は次のように設定されます。

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

内部または外部リファレンスのいずれの場合も、ADCの入力範囲は常にリファレンス・ピンの電圧の2倍になります。

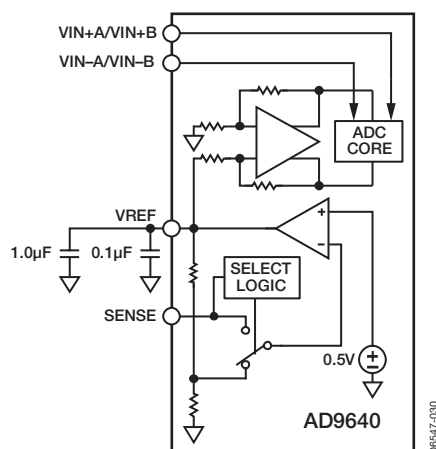


図51. 内部リファレンスの構成

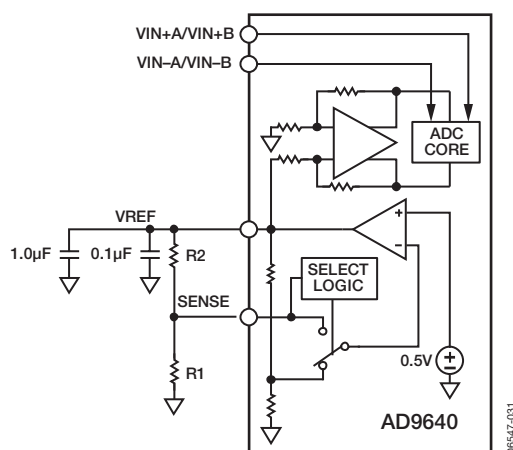


図52. プログラマブルなリファレンス構成

ゲインのマッチングを改善するために、複数のコンバータの駆動にAD9640の内部リファレンスを使用する場合は、他のコンバータのリファレンス回路の負荷を考慮する必要があります。負荷によって内部リファレンス電圧に及ぼす影響を図53に示します。

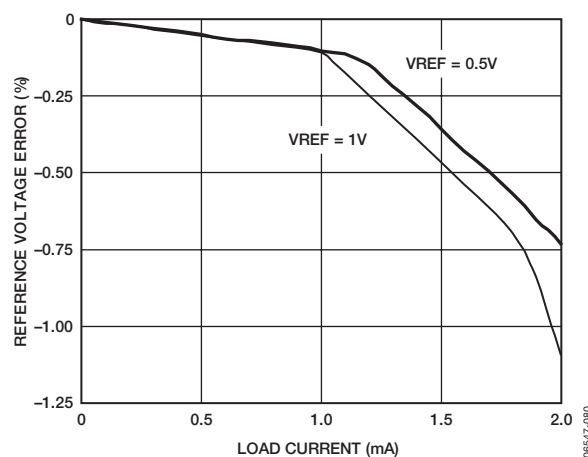


図53. 負荷対VREF精度

外部リファレンス動作

ADCのゲイン精度を高くするか、または温度ドリフト特性を向上させるために、外部リファレンスの使用が必要になる場合があります。内部リファレンスの1Vモードでの、代表的なドリフト特性を図54に示します。

表14. リファレンス設定の要約

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2 × External Reference
Internal Fixed Reference	VREF	0.5	1.0
Programmable Reference	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (see Figure 52)	2 × VREF
Internal Fixed Reference	AGND to 0.2 V	1.0	2.0

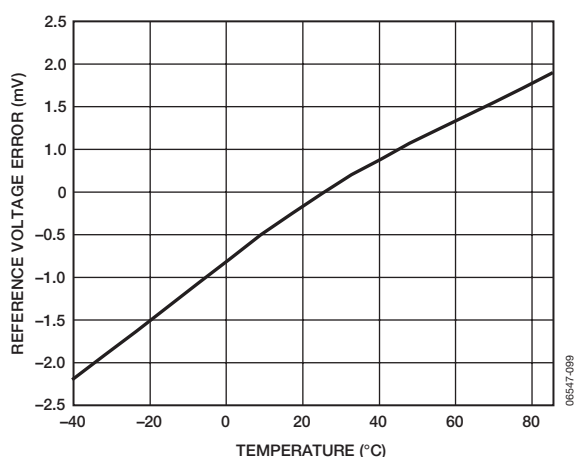


図54. 代表的なVREFドリフト

SENSEピンをAVDDに接続すると、内部リファレンスがディスプレイになり、外部リファレンスが使用可能になります。内部リファレンス・バッファは、外部リファレンスに対して、 $6k\Omega$ の等価抵抗負荷になります（図15を参照）。この内部バッファは、ADCコアの正と負のフルスケール・リファレンス電圧を発生します。したがって、外部リファレンスは最大1Vに制限する必要があります。

クロック入力に関する留意事項

最適な性能を確保するためには、AD9640のサンプル・クロック入力CLK+およびCLK-を差動信号にする必要があります。この信号は通常、トランスまたはコンデンサを使用してCLK+とCLK-の各ピンにAC結合します。これらのピンは内部でバイアスされているため（図55を参照）、外部でバイアスする必要がありません。

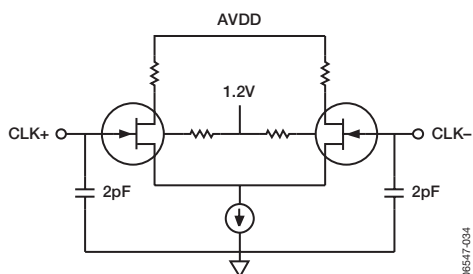


図55. クロック入力等価回路

クロック入力オプション

AD9640のクロック入力は、きわめて高い柔軟性を備えています。クロック入力をCMOS、LVDS、LVPECL、または正弦波の信号とすることが可能です。「ジッタに関する留意事項」の項で説明するように、使用する信号のタイプに関係なく最も注意すべき点はクロック源のジッタです。

AD9640のクロック入力源（625MHzのクロック・レート）として望ましい2つの方法を図56と図57に示します。これらの方法では、RFバランまたはRFトランスを使用して、低ジッタのクロック源をシングルエンド信号から差動信号に変換します。クロック周波数が125~625MHzのときにはRFバランを推奨し、クロック周波数が10~200MHzのときはRFトランスを推奨します。トランス/バランの2次側にショットキ・ダイオードを逆向きに2個並列接続すると、AD9640のクロック入力信号を約0.8Vp-pの差動電圧に制限できます。

この方法は、AD9640の他の回路部に大きいクロック電圧振幅が混入する問題を防止できると同時に、低ジッタ性能を確保するうえできわめて重要とされる高速の立上がり時間と立下がり時間を維持することにも効果的です。

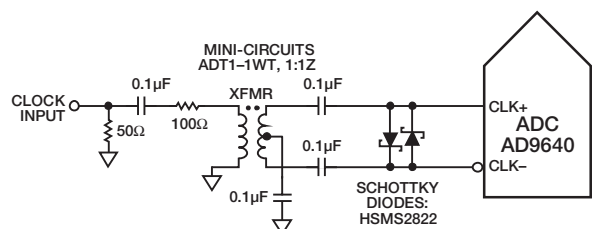


図56. トランス結合の差動クロック（最大200MHz）

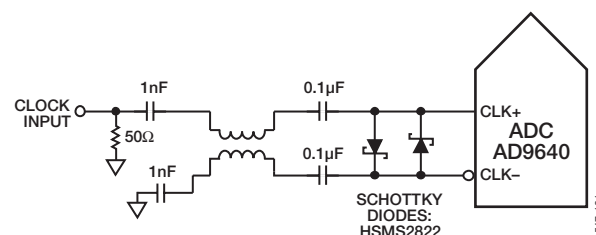


図57. バラン結合の差動クロック（最大625MHz）

低ジッタのクロック源が使えない場合は、別の方法として図58に示すように、差動のPECL信号をサンプル・クロック入力ピンにAC結合する方法があります。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516の各クロック・ドライバは、優れたジッタ性能をもっています。

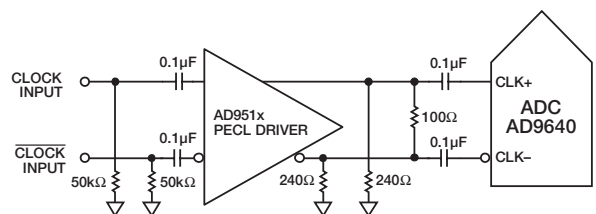


図58. 差動PECLサンプル・クロック（最大625MHz）

第3の方法は、図59に示すように差動のLVDS信号をサンプル・クロック入力ピンにAC結合する方法です。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516の各クロック・ドライバは、優れたジッタ性能をもっています。

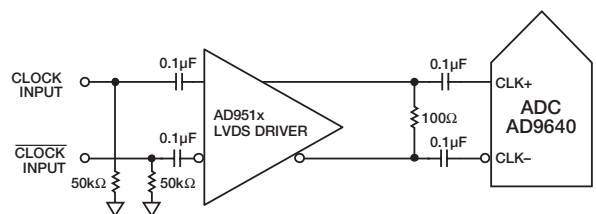


図59. 差動LVDSサンプル・クロック（最大625MHz）

一部のアプリケーションでは、シングルエンドのCMOS信号でサンプル・クロック入力を駆動できる場合があります。このような場合、CLK+をCMOSゲートから直接駆動し、CLK-とグラウンドとの間に0.1μFのコンデンサと39kΩの抵抗を並列接続して、CLK-ピンをグラウンドへバイパスする必要があります（図60を参照）。

CMOSゲートからCLK+を直接駆動できます。CLK+入力回路の電源はAVDD (1.8V) ですが、この入力は最大3.6Vの入力耐圧をもつように設計されているため、駆動ロジックの電圧をきわめて柔軟性高く選択できます。

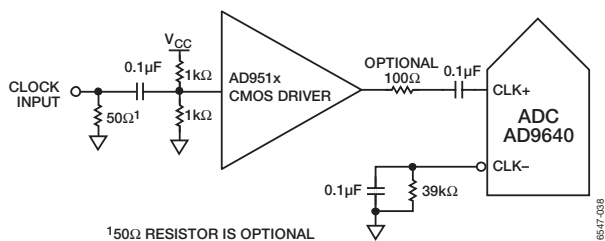


図60. シングルエンド1.8V CMOS サンプル・クロック (最大150MHz)

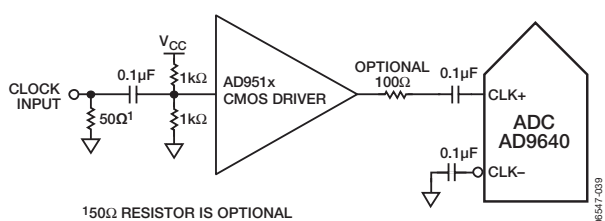


図61. シングルエンド3.3V CMOS サンプル・クロック (最大150MHz)

入力クロック分周器

AD9640には、1から8までの整数比で入力クロックを分周する入力クロック分周器が内蔵されています。1以外の分周比を選択すると、デューティサイクル・スタビライザが自動的にイネーブルされます。

外部のSYNC入力を使用して、AD9640のクロック分周器を同期させることが可能です。レジスタ0x100のビット1とビット2を使用して、SYNC信号が入力されるたびに、またはレジスタに書き込みが行われた後の最初のSYNC信号が入力される時に限り、クロック分周器を再同期させることができます。条件に合うSYNC信号により、クロック分周器はその初期状態にリセットされます。この同期機能により、複数のデバイス間のクロック分周器のアライメントが可能になるため、同期した入力サンプリングが保証されます。

クロックのデューティサイクル

標準的な高速ADCは、クロックの立上がりと立下がり両方のエッジを使用して、各種の内部タイミング信号を発生するため、その結果としてクロックのデューティサイクルの変化に対する影響を受けやすくなります。動的な性能特性を維持するためには、クロックのデューティサイクルに関して一般に±5%の誤差が要求されます。

非サンプリング(立下がり)エッジの再タイミングを行い、公称値50%のデューティサイクルで内部クロック信号を出力するデューティサイクル・スタビライザ(DCS)がAD9640に内蔵されています。そのため、AD9640の性能を損うことなく幅広い範囲のクロック入力デューティサイクルを設定できます。図43に示すように、DCSをオンにして幅広いデューティサイクル範囲で、ノイズおよび歪み性能がほとんど平坦なレベルに維持されます。

入力の立上がりエッジのジッタは、依然として最大の留意事項であり、これは内部の安定化回路によって容易に削減されません。クロック・レートの公称値が20MHz未満のときに、デューティサイクル制御ループは機能しません。このループの時定数は、クロック・レートが動的に変更されることがある場合に配慮が必要です。そのために、DCSループが入力信号に再ロックされる前に、動的なクロック周波数の増減が行われた後で、1.5~5μsの待ち時間が必要とされます。DCSループがロックされない期間中は、このループがバイパスされ、デバイス内部のタイミングは入力クロック信号のデューティサイクルに依存します。このようなアプリケーションでは、デューティサイクル・スタビライザをディスエーブルする方法が適切です。他のすべてのアプリケーションでは、AC性能を最大限に高めるために、DCS回路をイネーブルすることを推奨します。

ジッタに関する留意事項

高速、高分解能のADCの性能は、クロック入力の品質に左右されます。与えられた入力周波数(f_{INPUT})でのジッタ(t_{JRMSS})に起因する低周波S/N比(SNR_{LF})からの低下は、次式から計算できます。

$$\text{SNR}_{\text{HF}} = -10 \log(2\pi \times f_{\text{INPUT}} \times t_{\text{JRMSS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}$$

上の式で、RMSアバーチャ・ジッタは、クロック入力のジッタ仕様を表します。図62に示すように、IFアンダーサンプリング・アプリケーションは特にジッタの影響を受けやすくなります。

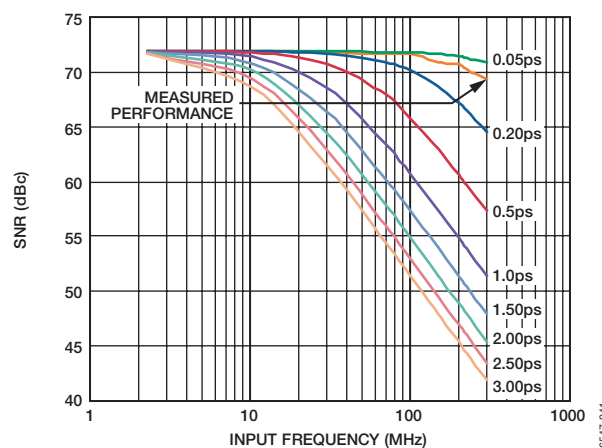


図62. 入力周波数およびジッタ 対 S/N比

アバーチャ・ジッタがAD9640のダイナミック・レンジに悪影響を及ぼすと考えられる場合は、クロック入力をアナログ信号として取り扱う必要があります。クロック信号がデジタル・ノイズで変調されてしまうことを回避するために、クロック・ドライバの電源はADC出力ドライバの電源と分離してください。低ジッタの水晶制御発振器が最適なクロック源です。他のタイプのクロック源(ゲーティングや分周、またはその他の方法)でクロックを発生する場合は、最終段階で元のクロックを使ってクロックのリタイミングを行う必要があります。

ADCに関連するジッタ性能の詳細については、AN-501とAN-756の各アプリケーション・ノートを参照してください。

消費電力とスタンバイ・モード

図63に示すように、AD9640の消費電力はサンプリング・レートに比例します。CMOS出力モードでのデジタル消費電力は、主にデジタル・ドライバの駆動能力と各出力ビットの負荷によって決まります。

DRVDD電流 (I_{DRVDD}) の最大値は、次の式から計算できます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

ここで、 N は出力ビット数 (AD9640でFDビットをディスエーブルにしている場合は30) です。最大電流は、全出力ビットが全クロック・サイクルでスイッチするとき、つまりフルスケールの矩形波が $f_{CLK}/2$ のナイキスト周波数でスイッチするときに発生します。実際には、サンプリング・レートとアナログ入力信号の特性によって決定される出力ビットの平均スイッチング回数によって、DRVDD電流が決まります。

出力ドライバの容量負荷を軽くすると、デジタル消費電力が最小限に抑えられます。図63のデータは、各出力ドライバの負荷を5pFとして、「代表的な性能特性」の項と同じ動作条件で取得したものです。

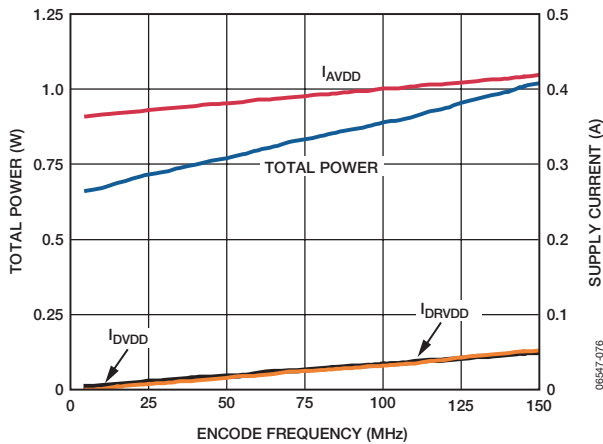


図63. AD9640-150のクロック周波数対消費電力および電流

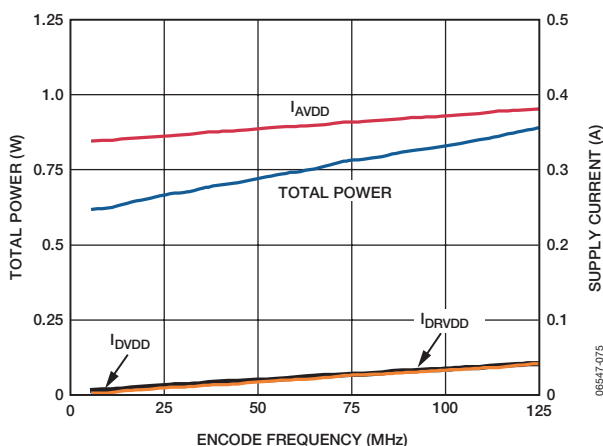


図64. AD9640-125のクロック周波数対消費電力および電流

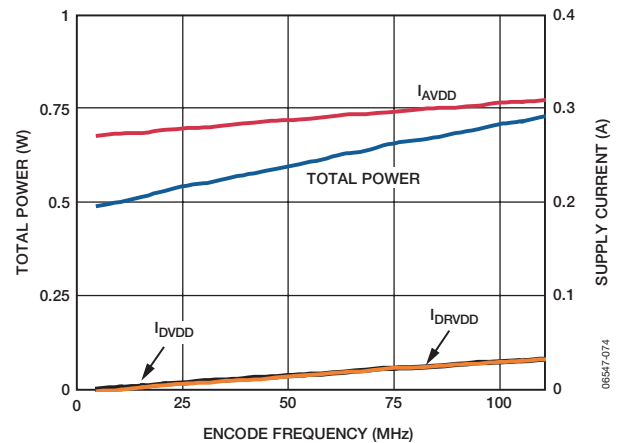


図65. AD9640-105のクロック周波数対消費電力および電流

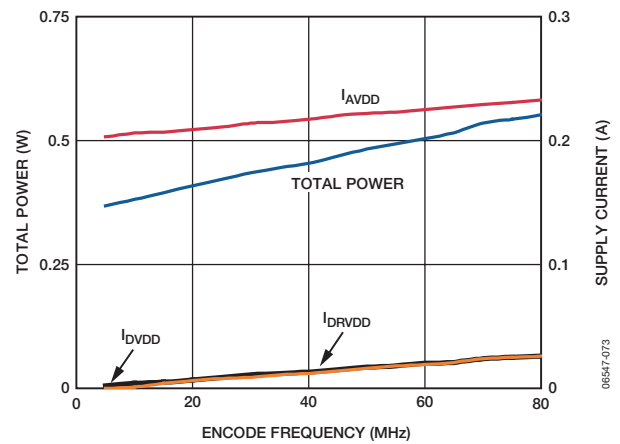


図66. AD9640-80のクロック周波数対消費電力および電流

PDWNをアサートすると (SPIポートを通して、またはPDWNピンをハイレベルにしてアサート)、AD9640はパワーダウン・モードになります。この状態でのADCの消費電力は2.5mW (typ) です。パワーダウン中に、出力ドライバはハイ・インピーダンス状態になります。PDWNピンをローレベルにすると、AD9640は通常動作モードに復帰します。PDWNはデジタル電源 (DRVDD) を基準とするため、この電源電圧を越えないように注意が必要です。

パワーダウン・モードでの低消費電力は、リファレンス、リファレンス・バッファ、バイアシング・ネットワーク、クロックをシャットダウンすることによって達成されています。内部コンデンサは、パワーダウン・モードになった時点で放電されるため、通常の動作に復帰したときに再充電する必要があります。その結果、ウェイクアップ時間はパワーダウン・モードになっていた時間に関係し、パワーダウンのサイクルが短ければ、これに比例してウェイクアップ時間も短くなります。

SPIポート・インターフェースを使用して、ADCをパワーダウン・モードまたはスタンバイ・モードに設定できます。スタンバイ・モードでは、内部リファレンス回路を電源供給状態に維持することが可能で、ウェイクアップ時間の高速化が要求される場合に有効です。この詳細については、「メモリ・マップ・レジスタの説明」の項を参照してください。

デジタル出力

DRVDDをインターフェース・ロジックのデジタル電源の電圧と一致させることにより、AD9640の出力ドライバを1.8~3.3VのCMOSロジック・ファミリーとインターフェースするように設定できます。DRVDD電源電圧に1.8Vを使用すれば、LVDS出力をサポートするようにAD9640を設定することも可能です。

CMOS出力モードでは、各種のロジック・ファミリーを駆動するのに十分な出力電流を供給するように出力ドライバが設定されます。ただし、駆動電流を大きくすると、電源で電流グリッチが発生する傾向が高くなり、そのためにコンバータの性能が損われる場合があります。

大きい容量負荷または大きいファンアウトをADCで駆動する必要があるアプリケーションでは、外部バッファまたはラッチが必要になる場合があります。

外部ピン・モード使用時には、SCLK/DFSピンをセットすることで、オフセット・バイナリまたは2の補数の出力データ・フォーマットを選択できます（表15を参照）。

SPIコントロール使用時には、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』（SPIを介した高速ADCとのインターフェース）で詳述されているように、出力データ・フォーマットとして、オフセット・バイナリ、2の補数、またはグレイ・コードが選択できます。

表15. SCLK/DFSモードの選択（外部ピン・モード）

Voltage at Pin	SCLK/DFS	SDIO/DCS
AGND	Offset binary (default)	DCS disabled
AVDD	Twos complement	DCS enabled (default)

表16. 出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode	OVR
VIN+ – VIN–	< –VREF – 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ – VIN–	= –VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ – VIN–	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

デジタル出力イネーブル機能（OEB）

AD9640のデジタル出力ピンは、柔軟性の高いスリーステート機能を備えています。SMI SDO/OEBピンまたはSPIインターフェースを使用して、スリーステート・モードをイネーブルします。SMI SDO/OEBピンをローレベルにすると、出力データ・ドライバがイネーブルされます。SMI SDO/OEBピンをハイレベルにすると、出力データ・ドライバはハイ・インピーダンス状態になります。このOEB機能は、データ・バスへの高速アクセスを目的にしているものではありません。またOEBはデジタル電源（DRVDD）を基準にしているため、電源電圧を越えないようにしてください。

SPIインターフェース使用時には、レジスタ0x14の出力イネーブル・パー・ビットを使用して、各チャンネルのデータ出力と高速検出出力を個別にスリーステート状態に設定できます。

タイミング

AD9640は、パイプライン遅延12クロック・サイクルのラッチされたデータを出力します。クロック信号エッジの立ち上がり後の1伝播遅延（ t_{pd} ）経過後に、データが得られます。

AD9640内部のトランジエント変動を削減するために、出力データラインのパターン長と負荷の大きさを最小限に抑える必要があります。これらのトランジエント変動は、コンバータの動的性能を低下させるおそれがあります。

AD9640の最小変換レートは、代表値で10MSPSです。クロック・レートが10MSPS以下の場合、動的性能が低下することがあります。

データ・クロック出力（DCO）

AD9640は、外部のレジスタでデータを取り込むために使用する2つのデータ・クロック出力（DCO）信号を出力します。SPIを使用してDCOクロックの極性を変更していない限り、DCOの立ち上がりエッジでデータ出力が有効になります。このタイミングの説明については、図2と図3を参照してください。

ADCのオーバーレンジおよびゲイン制御

レシーバ・アプリケーションでは、コンバータがクリップする直前の瞬間を、高い信頼性で判別するメカニズムを備えていることが望まれます。標準的なオーバーフロー・インジケータは、アナログ信号入力の状態を事後情報として出力するため、有用性が限られます。したがって、フルスケールよりも低い大きさにプログラマブル・スレッショルド・レベルを設定して、クリップが実際に生じる前にゲインを下げられる時間を確保することが効果的です。さらに、入力信号のスループレートがきわめて高速になる可能性があるため、動作遅延も重要な懸念事項です。高次のパイプライン方式コンバータは、遅延がきわめて大きくなる場合があります。妥当な方法は、この機能のためにADCの初段から出力ビットを取り出すことです。これらの出力ビットの遅延はきわめて小さいため、分解能はそれほど重要ではありません。ピーク入力信号の代表値は、フルスケールから、フルスケールより6~10dB低いレベルまでの範囲です。3ビットまたは4ビットの出力があれば、この機能にとって十分な範囲と分解能を維持できます。

SPIポートを使用してスレッショルドを設定し、このスレッショルドを越えた時点でオーバーレンジ出力がアクティブになるように指定できます。信号がそのスレッショルドよりも低い間は、出力がローレベルに維持される必要があります。従来方式のオーバーレンジ検出機能を使っているユーザがオーバーレンジ・ピンとして使用できるように、高速検出出力の複数ピンのうち1本をSPIポートを使用して設定することも可能です。このモードのときは、コンバータの全14ビットが従来の方でチェックされ、従来オーバーフローと定義されていた状態で、出力がハイレベルになります。このいずれのモードでも、データの大きさが条件を計算する上で考慮されます（データの符号は考慮されません）。このスレッショルド検出は、規定の範囲（信号レベル）から外れた正と負の振幅に対して同じように応答します。

高速検出の概要

AD9640は、オーバーレンジを高速に検出する回路を内蔵しているため、外部ゲイン制御をきわめて高い柔軟性で実行できます。各ADCには4本の高速検出（FD）出力ピンがあり、ADC入力レベルの現時点の状態に関する情報を出力します。これらのピンの機能は、レジスタ0x104の高速検出モード・セレクト・ビットと高速検出イネーブル・ビットを使って設定でき、内部データ経路のいくつかのポイントからのレンジ情報を出力できます。プログラマブルなスレッショルド・レベルを設定することで、オーバーレンジまたはアンダーレンジの状態が発生していることを通知するように、これらの出力ピンを機能させることも可能です。表17は、高速検出ピンの機能として選択可能な6つの設定を示します。

表17. 高速検出モード・セレクト・ビットの設定

Fast Detect Mode Select Bits (Register 0x104[3:1])	Information Presented on Fast Detect (FD) Pins of Each ADC ^{1,2}			
	FD3	FD2	FD1	FD0
000	ADC fast magnitude (see Table 18)			
001	ADC fast magnitude (see Table 19)			OR
010	ADC fast magnitude (see Table 20)	OR	F_LT	
011	ADC fast magnitude (see Table 20)	C_UT	F_LT	
100	OR	C_UT	F_UT	F_LT
101	OR	F_UT	IG	DG

¹ 高速検出ピンは、CMOSモード構成の場合FD0A/FD0B~FD3A/FD3Bになり、LVDSモード構成の場合FD0+/FD0-~FD3+/FD3-になります。

² OR、C_UT、F_UT、F_LT、IG、DGについては、「ADCオーバーレンジ (OR)」と「ゲイン・スイッチング」を参照してください。

ADC初段変換結果（Fast Magnitude）

ADC初段変換結果を出力するように高速検出出力ピンを設定した場合（すなわち、高速検出モード・セレクト・ビットを0b000に設定した場合）、出力される情報はコンバータの初段から得られるADCレベルであり、遅延がわずか2クロック・サイクル（CMOS出力モードの場合）になります。この設定で高速検出出力ピンを使うと、可能な限り早い時点のレベル情報が得られます。これはデータ経路の初期段階の情報として提供されるため、得られるレベルには大きな不確実性が存在します。ADC初段変換結果の公称値に加えて、得られるレベルの不確実性を表18に示します。

表18. ADC初段変換結果の公称レベル
(高速検出モード・セレクト・ビット=000)

ADC Fast Magnitude on FD[3:0] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
0000	<-24	Minimum to -18.07
0001	-24 to -14.5	-30.14 to -12.04
0010	-14.5 to -10	-18.07 to -8.52
0011	-10 to -7	-12.04 to -6.02
0100	-7 to -5	-8.52 to -4.08
0101	-5 to -3.25	-6.02 to -2.5
0110	-3.25 to -1.8	-4.08 to -1.16
0111	-1.8 to -0.56	-2.5 to FS
1000	-0.56 to 0	-1.16 to 0

高速検出モード・セレクト・ビットを0b001、0b010、0b011のいずれかに設定すると、高速検出力機能のサブセットが使用できます。これらのモードでは、高速検出力ピンの遅延が6クロック・サイクルになります。表19に、高速検出モード・セレクト・ビットを0b001に設定した場合（ADC初段変換結果をFD[3:1]に出力する場合）に対応するADCの入力レベルを示します。

表19. ADC初段変換結果の公称レベル
(高速検出モード・セレクト・ビット=001)

ADC Fast Magnitude on FD[3:1] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
000	<-24	Minimum to -18.07
001	-24 to -14.5	-30.14 to -12.04
010	-14.5 to -10	-18.07 to -8.52
011	-10 to -7	-12.04 to -6.02
100	-7 to -5	-8.52 to -4.08
101	-5 to -3.25	-6.02 to -2.5
110	-3.25 to -1.8	-4.08 to -1.16
111	-1.8 to 0	-2.5 to 0

高速検出モード・セレクト・ビットを0b010または0b011に設定した場合（ADC高速振幅をFD[3:2]ピンに出力する場合）、LSBは出力されません。表20に、このモードでの入力範囲を示します。

表20. ADC初段変換結果の公称レベル
(高速検出モード・セレクト・ビット=010または011)

ADC Fast Magnitude on FD[2:1] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
00	<-14.5	Minimum to -12.04
01	-14.5 to -7	-18.07 to -6.02
10	-7 to -3.25	-8.52 to -2.5
11	-3.25 to 0	-4.08 to 0

ADCオーバーレンジ (OR)

ADCの入力上でオーバーレンジが検出されると、ADCオーバーレンジ・インジケータがアサートされます。オーバーレンジはADCのパイプライン出力で判別されるため、ADCクロックで12サイクルの遅延が生じます。入力のオーバーレンジは、発生してから12クロック・サイクル後にこのビットで表示されます。

ゲイン・スイッチング

AD9640には、広いダイナミック・レンジをもつアプリケーションや、ゲインを可変できる機能が用いられているアプリケーションで有効な回路が内蔵されています。この回路によってデジタル・スレッシュホールドが設定でき、上限スレッシュホールドと下限スレッシュホールドの設定が可能になります。高速検出モード・セレクト・ビット=010~101は、ゲイン切り替えのさまざまな組み合わせに対応します。

この使用例として、特定の入力条件でADCがフルスケールに到達しようとしている瞬間を検出するといった使い方があります。この場合、ADCのオーバードライブを防止するアッテネータを迅速にオンするためのインジケータとして使用できます。

低精度上限スレッシュホールド (C_UT)

ADC初段変換結果が低精度上限スレッシュホールド・レジスタ（アドレス0x105[2:0]）に設定されたレベルより大きくなると、低精度上限スレッシュホールド・インジケータがアサートされます。この低精度上限スレッシュホールド出力は、入力があるレベルを超えてから2クロック・サイクル後に出力されるため、入力信号レベルを高速に検出できます。表21に、低精度上限スレッシュホールド・レベルを示します。このインジケータは、最小ADCクロック2サイクルまたは信号がスレッシュホールド・レベルを下回るまでアサートされたままになります。

表21. 低精度上限スレッシュホールド・レベル

Coarse Upper Threshold Register 0x105[2:0]	C_UT Is Active When Signal Magnitude Below FS Is Greater Than (dB)
000	<-24
001	-24
010	-14.5
011	-10
100	-7
101	-5
110	-3.25
111	-1.8

高精度上限スレッシュホールド (F_UT)

入力レベルがアドレス0x106およびアドレス0x107の高精度上限スレッシュホールド・レジスタに設定されたレベルを超えると、高精度上限スレッシュホールド・インジケータがアサートされます。この13ビット・スレッシュホールド・レジスタ値は、ADCの出力値と比較されます。この比較ではADCクロックによる遅延が発生しますが、精度は正確です。高精度上限スレッシュホールド・レベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

高精度下限スレッシュホールド (F_LT)

入力レベルがアドレス0x108およびアドレス0x109の高精度下限スレッシュホールド・レジスタに設定されたレベルよりも低下すると、高精度下限スレッシュホールド・インジケータがアサートされます。この13ビットの高精度下限スレッシュホールド・レジスタ値は、ADCの出力値と比較されます。この比較ではADCクロックによる遅延が発生しますが、精度は正確です。高精度下限スレッシュホールド・レベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

図67は、高精度上限スレッシュホールド・インジケータと高精度下限スレッシュホールド・インジケータの動作を示しています。

インクリメント・ゲイン (IG) とデクリメント・ゲイン (DG)

インクリメント・ゲイン・インジケータとデクリメント・ゲイン・インジケータは、ともに外部でゲイン制御するための情報を提供します。デクリメント・ゲイン・インジケータは、低精度上限スレッシュホールド・ビットと一緒に動作し、入力レベルが3ビット値の低精度上限スレッシュホールド・レジスタ（アドレス0x105）より大きくなるとアサートされます。インクリメント・ゲイン・インジケータは、同様に高精度下限スレッシュホールド・ビットに対応しますが、入力レベルが高精度下限スレッシュホールド・レジスタに設定された値を下回ってから、保持時間が経た後にアサートされる点が異なります。保持時間はアドレス0x10Aとアドレス0x10Bにある16ビット保持時間値で設定され、ADC入力クロック・サイクル数として1~65,535の範囲で

設定されます。高精度下限スレッシュホールド・レジスタは、ADCの出力値と比較される13ビット・レジスタです。この比較ではADCクロックによる遅延が発生しますが、より正確な高精度の比較が可能です。高精度上限スレッシュホールドのレベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

デクリメント・ゲイン出力はADC高速検出力ピンを使って動作し、オーバーレンジ状態が発生すると、高速に出力します。インクリメント・ゲインはADCの出力値と比較するため、入力レベルが正確な大きさとして、設定レベルを所定の時間下回った後に、外部回路にゲイン増加を通知します。

図67に、インクリメント・ゲイン出力とデクリメント・ゲイン出力の動作を示します。

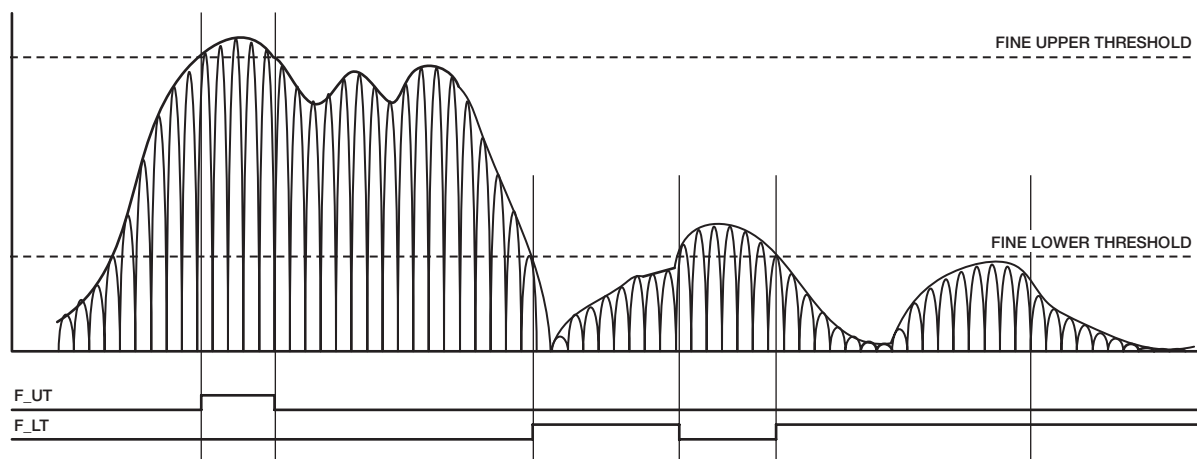


図67. F_UTとF_LTのスレッシュホールド設定

09547-097

信号モニタ

信号モニタ・ブロックは、ADCによってデジタル値に変換される信号に関する追加情報を出力します。信号モニタは、RMS入力振幅、ピーク振幅、入力振幅が規定したスレッシュホールドを超えたイベント数を計算します。これらの機能を組み合わせて使用することで、信号波形特性を十分に把握でき、入力信号のピーク/平均比や累積分布補関数 (CCDF) 曲線さえも計算できます。この情報をもとにAGCループを駆動し、実信号が存在する条件下でADCの入力範囲を最適化することも可能です。

SPIポートを使用するか、または信号モニタのSPORT出力を使用して、アドレス0x116~0x11Bの内部レジスタを読み出すことにより、信号をモニタした結果をAD9640から取得できます。信号モニタ・コントロール・レジスタの2つの信号モニタ・モード・ビットを使用して、SPIからアクセス可能な信号モニタ・レジスタの出力データを設定します。両方のADCチャンネルで同じ信号モニタ・モード (アドレス0x112) に設定する必要があります。SPIからアクセス可能な20ビットの信号モニタ結果 (SMR) 出力レジスタが各ADCチャンネル用に別々に用意されています。シリアルSPORTインターフェースを使用すれば、任意に組み合わせた信号モニタ機能も出力することも可能です。これらの出力をイネーブルするときは、信号モニタSPORTコントロール・レジスタのピーク検出出力イネーブル・ビット、RMS/MS振幅出力イネーブル・ビット、スレッシュホールド・クロス出力イネーブル・ビットを使用します。

信号のモニタ計測が行われるたびに、プログラマブル信号モニタ周期レジスタ (SMPR) が計測の継続時間を制御します。アドレス0x113、アドレス0x114、アドレス0x115の24ビット信号モニタ周期レジスタで、この期間を入力クロック・サイクル数として設定します。128サンプルから1,678万 (2^{24}) サンプルまでの周期範囲で、このレジスタを設定できます。

ADCのDCオフセットがモニタされる信号よりも大幅に大きくなる可能性があるため (これは信号モニタ結果に悪影響を及ぼします)、パワー計測の前にDCオフセットのゼロ調整を行うDC補正回路が信号モニタ・ブロックの一部として含まれています。

ピーク検出器モード

設定された期間 (SMPRで設定) にわたって入力信号のレベルがモニタされ、ピーク検出値が得られます。この機能を有効にするには、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットでロジック1を設定するか、または信号モニタSPORTコントロール・レジスタでピーク検出出力イネーブル・ビットを設定します。このモードを有効にする前に、24ビットSMPRの設定を行う必要があります。

このモードを有効にすると、SMPRの値がモニタ周期タイマにロードされ、カウントダウンが開始します。入力信号の振幅が内部ピーク・レベル保持レジスタ (ユーザはアクセスできません) の値と比較され、2つのうち大きいほうの現在のピーク・レベルとしてストアされます。ピーク・レベル保持レジスタの初期値は、その時点のADC入力信号レベルになります。モニタ周期タイマがカウント1に達するまで、この比較が継続します。

モニタ周期タイマ値が1になると、この13ビットのピーク・レベル値が信号モニタ保持レジスタ (ユーザはアクセスできません) に転送されます。このレジスタは、SPIポートから読み出すか、またはSPORTシリアル・インターフェース経由で出力することができます。その後で、SMPRの値がモニタ周期タイマに再ロードされ、カウントダウンが再開します。さらに、最初の入力サンプルのレベルがピーク・レベル保持レジスタ値として更新され、上述のように比較・更新の手順が継続します。

図68に、ピーク検出器回路のブロック図を示します。SMRレジスタには、ピーク検出器回路によって検出されたピークの絶対レベルが格納されます。

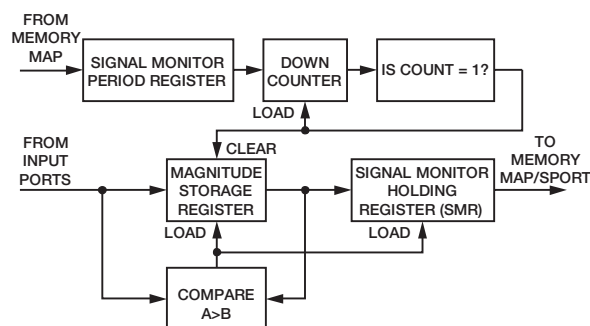


図68. ADC入力ピーク検出器のブロック図

RMS/MS振幅モード

このモードでは、設定された期間 (SMPRで設定) のあいだ、入力信号の実効値 (RMS) または平均2乗値 (MS) 振幅が (アキュムレータを加算していくことで) 積分され、入力信号のRMSまたはMS振幅が得られます。このモードを設定するには、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットをロジック0に設定するか、または信号モニタSPORTコントロール・レジスタでRMS/MS振幅出力イネーブル・ビットを設定します。このモードを有効にする前に、積分の実行時間長を表す24ビットSMPRの設定を行う必要があります。

RMS/MS振幅モードを有効にした後に、モニタ周期タイマにSMPRの値がロードされ、直ちにカウントダウンが開始します。各入力サンプルは浮動小数点フォーマットに変換されて、2乗されます。その後11ビットの固定小数点フォーマットに変換され、24ビット・アキュムレータで加算されます。モニタ周期タイマ値が1に達するまで、この積分が継続します。

モニタ周期タイマ値が1になると、アキュムレータ値の平方根が計算され、フォーマットされた後に信号モニタ保持レジスタに転送されます。このレジスタはSPIポートから読み出すか、またはSPORTシリアル・ポート経由で出力することができます。その後、SMPRの値がモニタ周期タイマに再ロードされ、カウントダウンが再開します。さらに、アキュムレータに最初の入力サンプルの信号パワーが格納され、以後の入力サンプル値が継続して累積加算されます。

図69に、RMS振幅モニタリング・ロジックを示します。

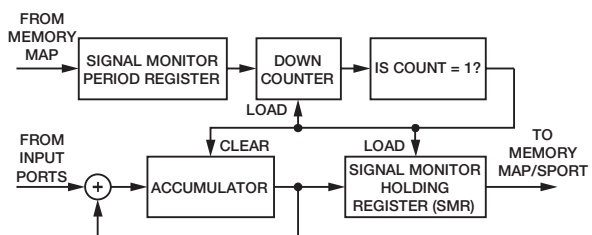


図69. ADC入力RMS振幅モニタリングのブロック図

RMS振幅モードのときは、信号モニタ結果 (SMR) レジスタの値が20ビットの固定小数点値になります。次の式を使用して、レジスタのMAG値からRMS振幅をdBFSの単位に換算することが可能です。信号モニタ周期 (SMP) が2の累乗である場合は、次式の第2項が0になります。

$$RMS\ Magnitude = 20 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{\text{ceil}[\log_2(SMP)]}} \right]$$

MS振幅モードでは、SMRの値が20ビットの固定小数点値になります。次の式を使用して、レジスタのMAG値からMS振幅をdBFSの単位に換算することが可能です。SMPが2の累乗である場合は、次式の第2項が0になります。

$$MS\ Magnitude = 10 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{\text{ceil}[\log_2(SMP)]}} \right]$$

スレッシュヨルド・クロス動作モード

このスレッシュヨルド・クロス動作モードのときは、設定された期間 (SMPRで設定) に入力信号のレベルがモニタされ、これが設定されたプログラマブル・スレッシュヨルド値を越えた回数がカウントされます。このモードを設定するには、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットをロジック1x (xはドント・ケア・ビット) に設定するか、または信号モニタSPORTコントロール・レジスタのスレッシュヨルド・クロス出力イネーブル・ビットを設定します。このモードを有効にする前に、24ビットSMPRと、それぞれの入力の13ビット上限スレッシュヨルド・レジスタを設定する必要があります。信号モニタリングとゲイン制御には、ともに同じ上限スレッシュヨルド・レジスタを使用します (「ADCのオーバーレンジおよびゲイン制御」の項を参照)。

このモードに入ると、SMPRの値がモニタ周期タイムにロードされ、カウントダウンが開始します。各入力クロック・サイクルごとに入力信号のレベルが上限スレッシュヨルド・レジスタ (設定済み) の値と比較されます。入力信号のレベルが上限スレッシュヨルド・レジスタ値よりも大きければ、内部カウント・レジスタが1だけインクリメントします。

内部カウント・レジスタの初期値は0に設定されます。この比較と内部カウント・レジスタのインクリメントは、モニタ周期タイム値が1に達するまで続行されます。

モニタ周期タイム値が1に達すると、内部カウント・レジスタ値が信号モニタ保持レジスタに転送され、SPIポートを介してこれを読み出すか、またはSPORTシリアル・ポートを通して出力できます。

その後にSMPRレジスタの値がモニタ周期タイムに再ロードされ、カウントダウンが再開します。内部カウント・レジスタも0にクリアされます。図70に、スレッシュヨルド・クロスのブロック図を示します。SMRレジスタの値は、入力レベルがスレッシュヨルド・レジスタ値よりも大きかったサンプルの数です。

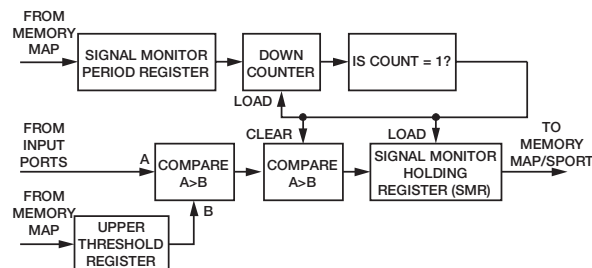


図70. ADC入力スレッシュヨルド・クロスのブロック図

追加コントロール・ビット

信号モニタリング処理の柔軟性を高めるために、信号モニタ・コントロール・レジスタには、信号モニタ・イネーブル・ビットと複素パワー計算モード・イネーブル・ビットの2つのコントロール・ビットが用意されています。

信号モニタ・イネーブル・ビット

レジスタ0x112のビット0の信号モニタ・イネーブル・ビットは、信号モニタ・ブロックの動作をイネーブルします。アプリケーションによって信号モニタ機能が不要な場合は、消費電力を節約するためにこのビットをクリア (デフォルト) してください。

複素パワー計算モード・イネーブル・ビット

このビットを設定すると、チャンネルAが複素入力信号のIデータをデジタル化し、チャンネルBがQデータをデジタル化する (またはその逆) とAD9640は想定します。このモードで得られるパワーは、次の値に等しくなります。

$$\sqrt{I^2 + Q^2}$$

信号モニタ・モード・ビットを00に設定すると、この結果が信号モニタDC値チャンネルAレジスタに格納されます。信号モニタDC値チャンネルBレジスタは、チャンネルBの値の計算を続行したままになります。

DC補正

ADCのDCオフセットが計測対象の信号よりも大幅に大きくなる場合があるため、パワー計測の前にDCオフセットをゼロ調整するDC補正回路が内蔵されています。このDC補正回路はメインの信号経路内に切り替えることも可能ですが、GSMなどのように大きいDC成分を含む時間変動信号をADCでデジタル化するには、この方法は適切ではありません。

DC補正帯域幅

DC補正回路は、帯域幅を設定できるハイパス・フィルタ(125MSPSで0.15Hz~1.2kHzの範囲)です。帯域幅を制御するときは、アドレス0x10Cにある信号モニタDC補正コントロール・レジスタのビット[5:2]に書き込みます。

次式を使って、DC補正回路の周波数帯域幅を計算することができます。

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

ここで、kはレジスタ0x10Cのビット[5:2]に設定した4ビット値(k値は0~13。14または15を書き込んでも、13を書き込んだ場合と同じ結果になります)、 f_{CLK} はADCのサンプル・レート(Hz)です。

DC補正読出し

チャンネルAのDC補正最新値をレジスタ0x10Cとレジスタ0x10Eから、およびチャンネルBのものをレジスタ0x10Fとレジスタ0x110から読出しできます。DC補正值は、ADCの全入力範囲に対応している14ビット値です。

DC補正フリーズ

レジスタ0x10Cのビット6をセットすると、その時点の状態DC補正值が固定され、最後に更新された値のDC補正值が継続して使用されます。このビットをクリアすると、DC補正動作が再開し、最新の計算値によりデータが補正されます。

DC補正イネーブル・ビット

レジスタ0x10Cのビット0をセットすると、信号モニタの計算にDC補正が使用できるようにイネーブルされます。レジスタ0x10Cのビット1をセットすれば、出力データをDC補正計算値で補正できます。

信号モニタSPORT出力

SPORTは、SMI SCLK (SPORTクロック)、SMI SDFS (SPORTフレーム同期)、SMI SDO (SPORTデータ出力)の3本の出力ピンで構成されるシリアル・インターフェースです。SPORTはマスターとして、これらの3本のチップ上のSPORTピンをすべて駆動します。

SMI SCLK

データ出力およびフレーム同期はSMI SCLKの立上がりエッジで変化します。SMI SCLKは、3種類のボーレートが設定できます。SPORTコントロールに基づいて、ADCクロック・レートの1/2、1/4、1/8のいずれかに設定できます。SPORT SMI SCLKスリープ・ビットを使用すれば、データをまったく送信しないときにSMI SCLK出力を停止させることも可能です。SMI SCLKが不要なときに、このビットを使用してSMI SCLKをデイスエーブルすると、この信号が信号経路に逆流して混入することがシステムで問題だと判明している場合、このすべての問題を軽減できます。ただしこの設定には、クロックの周波数情報が不明確になるという欠点があります。したがって、周波数検出が容易になるように、必要に応じてSMI SCLKを動作状態に維持してください。

SMI SDFS

SMI SDFSはシリアル・データのフレーム同期信号であり、フレーム開始時点を定義します。1つのSPORTフレームには、両方の出力データからのデータが入っています。出力データAからのデータがフレーム同期の直後に送信され、その後出力データBからのデータが送信されます。

SMI SDO

SMI SDOはシリアル・データ出力です。このデータは、SMI SDFSの後の次の立上がりエッジでMSBファーストで出力されます。各出力データ・ブロックには、各データ経路から得られた1つまたは複数のRMS/MS振幅、ピーク・レベル、スレッシュォルド・クロスの値がこの順番で書きこまれています。出力が有効になっていると、図71に示すように最初にRMS振幅、次にピーク・レベル、スレッシュォルド・クロスの順番でデータが送信されます。

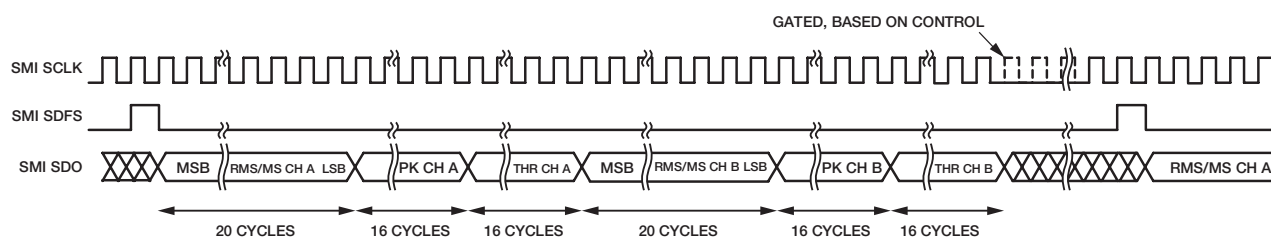


図71. 信号モニタSPORT出力のタイミング (RMS/MS振幅、ピーク・レベル、スレッシュォルド・クロスをイネーブル)

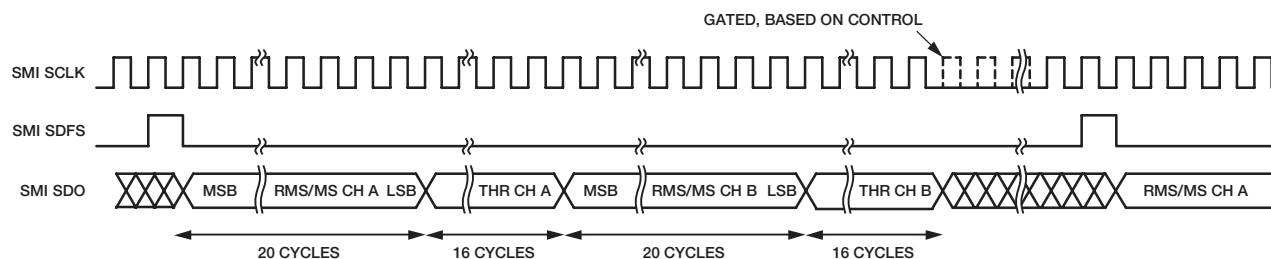


図72. 信号モニタSPORT出力のタイミング (RMS/MS振幅とスレッシュォルド・クロスをイネーブル)

組込みセルフテスト (BIST) および出力テスト

AD9640には、各チャンネルの正常動作を確認するとともに、ボード・レベルでのデバッグを容易にする、組込みテスト機能が内蔵されています。組込みセルフテスト (BIST) は、AD9640のデジタル・データ・バスの正常動作を確認できる機能です。AD9640の出力で、予測可能な値を得ることができる各種の出力テスト・オプションも用意されています。

組込みセルフテスト (BIST)

BISTは、AD9640内の選択された信号経路のデジタル部分を対象とした全体的なテスト方法です。これを有効にすると、内部PN (ランダム・ビット・パターン) ソースから、ADCブロック出力を始めとするデジタル・データ・バス全体のテストが実行できます。BISTシーケンスは512サイクル実行後に停止します。チャンネルAまたはチャンネルBのBIST結果数値がレジスタ0x024とレジスタ0x025に格納されます。1つのチャンネルを選択すると、そのBIST結果数値がこれらの2個のレジスタに格納されます。両方のチャンネルを選択すると、チャンネルAの結果がBIST結果数値レジスタに格納されます。

このテスト実行中には出力の接続が切断されないため、実行中にPNシーケンスを観測できます。レジスタ0x00Eのビット2の設定値に基づいて、PNシーケンスを前回の値から続行するか、最初から開始するかを選択できます。BIST符号定数の結果は、チャンネルの設定に応じて異なります。

出力テスト・モード

出力テスト・モードのオプションを表25に示します。出力テスト・モードを有効にすると、ADCのアナログ回路部と後段のデジタル・ブロック間の接続が切断され、テスト・パターンが出力フォーマッティング・ブロックを通過していきます。テスト・パターンによっては、出力フォーマットの設定が行われるものもあれば、その設定が行われないものもあります。PNリセット・ビットであるレジスタ0x0Dのビット4またはビット5をセットすることにより、PNジェネレータがリセット・モードに維持され、PNシーケンス・テストのシード値に強制設定できます。アナログ信号があっても無くても、これらのテストを実行できます (アナログ信号が存在する場合は無視されます)、テストにはエンコード・クロックが必要です。これらの詳細については、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』(SPIを使った高速ADCへのインターフェース) を参照してください。

チャンネル／チップの同期

AD9640は内部ブロックを同期させることができる、高い柔軟性をもつ同期オプションで使用する、SYNC入力を備えています。クロック分周器同期機能は、複数のADC間でのサンプル・クロックの同期を保証することに役立てられます。SYNC入力を使用して、信号モニタ・ブロックを同期させることも可能であるため、指定した期間中での入力信号の特性を計測できます。同期信号が1回発生するとき、または同期信号が発生するたびに同期するように、クロック分周器をイネーブリングすることができます。信号モニタ・ブロックは、SYNC入力信号が発生するたびに同期します。

SYNC入力は内部でサンプル・クロックに同期されますが、複数のデバイス間でタイミングの不確実性が生じないことを保証するために、外部でSYNC入力信号を入力クロック信号と同期させ、表8に示すセットアップ時間とホールド時間を満たしておく必要があります。SYNC入力はシングルエンドのCMOSタイプ信号を使用して駆動してください。

シリアル・ポート・インターフェース (SPI)

AD9640はシリアル・ポート・インターフェース (SPI) を内蔵しているため、目的の機能または動作を実行するように、ADC内部のレジスタを介してコンバータを設定できます。これにより、アプリケーションに応じてさらに高い柔軟性とカスタマイズ性を実現できます。シリアル・ポートを通して各レジスタにアクセスし、書き込みまたは読み出しを行うことが可能です。メモリはバイトで構成されますが、さらにフィールドに分割されます。この説明は「メモリ・マップ」の項に記載しています。この動作に関する詳細については、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』(SPIを使った高速ADCへのインターフェース)を参照してください。

SPIを使用した設定

このADCのSPIは、SCLK/DFSピン、SDIO/DCSピン、CSBピンの3本のピンで構成されます (表22を参照)。SCLK/DFS (シリアル・クロック) は、ADCの入出力データの読み出しおよび書き込みの同期に使用されます。SDIO/DCS (シリアル・データ入出力) は、ADC内部のメモリ・マップ・レジスタのデータを読み書きする2つの機能を持つピンです。CSB (チップ・セレクト・バー) は、読み出しおよび書き込みサイクルをイネーブルまたはディスエーブルするアクティブ・ローの制御ピンです。

表22. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	シリアル・クロック。シリアル・シフト・クロック入力。SCLKは、シリアル・インターフェースを介した読み出しおよび書き込みの同期に使用します。
SDIO	シリアル・データ入出力。2つの機能を持つピンです。このピンの主な機能は、送信されてくる命令と位置 (タイミング・フレーム内での相対的な位置) に応じて、入力および出力として機能することです。
CSB	チップ・セレクト・バー。読み出しおよび書き込みサイクルをゲーティングするアクティブ・ローの制御ピンです。

SCLKの立上がりエッジとCSBの立下がりエッジの組み合わせで、フレーミングの開始になります。シリアル・タイミングの例とその定義を図73と表8に示します。

CSBに関連したその他のモードも使用できます。CSBをローレベルに固定して、常時デバイスをイネーブル状態にすることが可能です。これをストリーミングと呼びます。バイト転送後に次のバイトが転送されるまでの間にCSBをハイレベルにして、外部タイミングを追加することができます。CSBをハイレベルに固定すると、SPIがハイ・インピーダンス・モードになります。このモードでは、すべてのSPIピンの2つ目の機能がオンになります。

命令フェーズ時には、16ビットの命令が転送されます。データは命令フェーズの後ろに続き、データ長はW0とW1の各ビットによって指定されます。データはすべて8ビット・ワードで構成されます。複数バイトのシリアル・データ転送フレームの先頭バイトの先頭ビットで、読み出しコマンドと書き込みコマンドのどちらが発行されるかを示します。このことで、シリアル・データ入出力 (SDIO) ピンの方向を入力から出力に切り替えます。

命令フェーズでは、ワード長に加えて、シリアル・フレームが読み出されたまたは書き込み動作のどちらであるかも指定されるため、シリアル・ポートによりチップのプログラミングとオンチップ・メモリのデータ読み出しの両方が可能です。命令が読み出し動作である場合、読み出しを行うとシリアル・フレームの適切なポイントでシリアル・データ入出力 (SDIO) ピンの方向が入力から出力に切り替わります。

MSBファースト・モードまたはLSBファースト・モードでデータを転送できます。MSBファーストがパワーオン時のデフォルトになりますが、設定レジスタを使用してこれを変更することができます。この説明とその他の機能の詳細については、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』(SPIを使った高速ADCへのインターフェース)を参照してください。

ハードウェア・インターフェース

表22で説明しているピンは、ユーザ側のプログラミング・デバイスとAD9640のシリアル・ポート間の物理インターフェースを定義しています。SPIインターフェース使用時には、SCLKピンとCSBピンは入力として動作します。SDIOピンは双方向であるため、書き込み時に入力として動作し、読み出し時に出力として機能します。

SPIインターフェースは十分な柔軟性を備えているため、FPGAまたはマイクロコントローラによる制御が可能です。SPIを設定する方法の1つを、AN-812アプリケーション・ノート『Microcontroller-Based Serial Port Interface Boot Circuit』(マイクロコントローラ・ベースのシリアル・ポート・インターフェース・ブート回路)で詳述しています。

コンバータのダイナミック性能が最高に要求される期間中は、SPIポートをアクティブにしないでください。SCLK信号、CSB信号、SDIO信号は一般的にADCクロックと非同期であるため、これらの信号から発生するノイズがコンバータの性能を低下させることがあります。この内蔵SPIバスが他のデバイスに接続されるときは、非常に重要なサンプリング実行中にこれらの信号がコンバータ入力信号を変化させないようにするために、このバスとAD9640との間にバッファを接続することが必要になる場合があります。

SPIインターフェースを使用しないときには、一部のピンは他の機能として使用できます。デバイスのパワーオン時にこれらのピンをAVDDまたはグラウンドに接続すると、これらのピンが特定の機能をするようになります。AD9640上でサポートしている選択可能な機能は、「デジタル出力」の項で説明しています。

SPIを使用しない設定

SPIコントロール・レジスタとインターフェースしないアプリケーションでは、SDIO/DCSピン、SCLK/DFSピン、SMI SDO/OEBピン、SMI SCLK/PDWNピンが、独立したCMOS互換の制御ピンとして使用されます。デバイスのパワーオン時に、これらのピンはデューティサイクル・スタビライザ、出力データ・フォーマット、出力イネーブル、パワーダウン機能をコントロールするスタティックな制御ラインとして使用されるようになります。このモードでは、CSBチップ・セレクトをAVDDに接続して、シリアル・ポート・インターフェースを無効にする必要があります。

表23. モード選択

Pin	External Voltage	Configuration
SDIO/DCS	AVDD (default)	Duty cycle stabilizer enabled.
	AGND	Duty cycle stabilizer disabled.
SCLK/DFS	AVDD	Twos complement enabled.
	AGND (default)	Offset binary enabled.
SMI SDO/OEB	AVDD	Outputs in high impedance.
	AGND (default)	Outputs enabled.
SMI SCLK/PDWN	AVDD	Chip in power-down or standby.
	AGND (default)	Normal operation.

SPIからアクセス可能な機能

SPIを介してアクセスできる一般的な機能について、簡単に説明します。これらの機能は、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』(SPIを使った高速ADCへのインターフェース)で詳述しています。AD9640の特定機能に関しては、表25の外部メモリ・マップ・レジスタ表の以後で詳細に説明します。

表24. SPIを使用してアクセス可能な機能

Feature Name	Description
Modes	Allows user to set either power-down mode or standby mode.
Clock	Allows user to access the DCS via the SPI.
Offset	Allows user to digitally adjust the converter offset.
Test I/O	Allows user to set test modes to have known data on output bits.
Output Mode	Allows user to set up outputs.
Output Phase	Allows user to set the output clock polarity.
Output Delay	Allows user to vary the DCO delay.
VREF	Allows user to set the reference voltage.

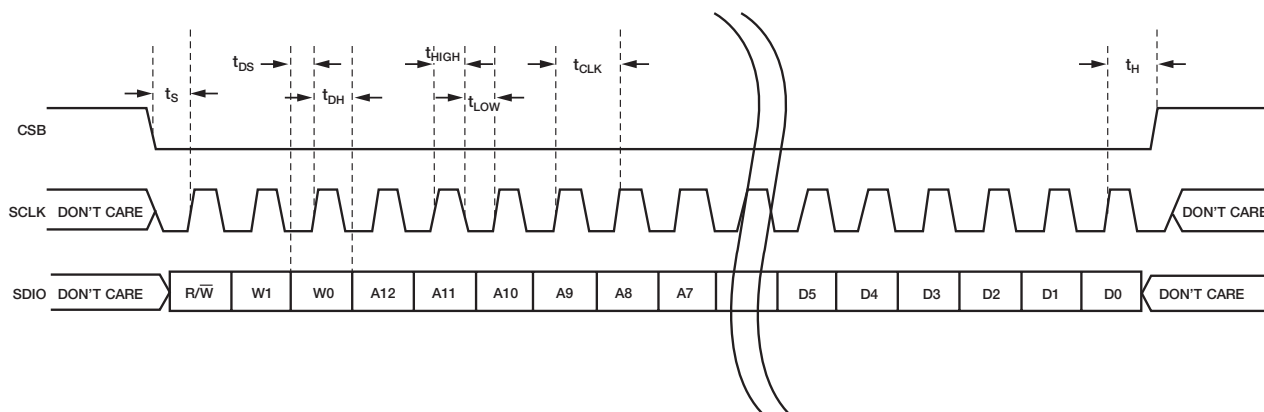


図73. シリアル・ポート・インターフェースのタイミング図

06B47-049

メモリ・マップ

メモリ・マップ表の読み方

メモリ・マップ表の各列には、8個のビット位置が記載されています。メモリ・マップは、チップ設定およびIDレジスタ・マップ（アドレス0x00からアドレス0x02）、ADCセットアップ/コントロール/テスト（アドレス0x08からアドレス0x25）、チャンネル・インデックスおよび送信レジスタ・マップ（アドレス0x05からアドレス0xFF）、デジタル機能コントロール（アドレス0x100からアドレス0x11B）の4つのセクションに大別されます。

表25の右側から左側の列の順に、メモリ・マップ・レジスタの各16進数アドレス別に16進デフォルト値が記載されています。ビット7（MSB）から始まる16進デフォルト値で表記されています。たとえば、アドレス0x18のVREF選択レジスタの16進デフォルト値は0xC0です。これはビット7=1、ビット6=1で、その他のビットは0であることを意味します。これはリファレンス電圧選択のデフォルト設定です。デフォルトとして、2.0Vp-pのリファレンス電圧が使用されます。この機能やその他の詳細については、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』（SPIを使った高速ADCへのインターフェース）を参照してください。これには、0x00から0xFFまでのレジスタでコントロールされる機能が詳述されています。0x100から0x11Bまでのその他のレジスタについては、「メモリ・マップ・レジスタの説明」の項で解説されています。

オープン・ロケーション

表25に記載されていないすべてのアドレスとビット位置は、現在のところこのデバイスではサポートしていません。有効なアドレスの未使用ビットには、0を書き込んでください。これらのロケーションの書き込みが必要となるのは、そのアドレスの一部のビットだけがオープンになっている場合に限られます（たとえば、アドレス0x18）。そのアドレス全体がオープンになっている場合は（たとえば、アドレス0x13）、このアドレスに書き込みを行わないでください。

デフォルト値

重要度の高いレジスタは、リセット後にデフォルト値がロードされます。これらのレジスタのデフォルト値を表25のメモリ・マップ・レジスタ表に記載してあります。

ロジック・レベル

ロジック・レベルの表記は、次の定義に従っています。

- 「ビットのセット」とは、「ビットをロジック1に設定する」または「ビットにロジック1を書き込む」ことと同じ意味です。
- 「ビットのクリア」とは、「ビットをロジック0に設定する」または「ビットにロジック0を書き込む」ことと同じ意味です。

送信レジスタ・マップ

0x08から0x18までのアドレスは影付きで表記されています。アドレス0xFFに0x01を書き込んで送信ビットを設定して、送信コマンドを発行するまでは、これらのアドレスに書き込みを行ってもデバイスの動作に影響を与えません。したがって、これらのレジスタは送信ビットがセットされると、内部で同時に更新されます。送信ビットがセットされた時点で内部更新が実行され、その後で送信ビットは自動的にクリアされます。

特定チャンネル・レジスタ

信号モニタ・スレッシュホールドなど一部のチャンネル設定機能は各チャンネルごとで異なるように設定できます。このような場合チャンネル・アドレスは各チャンネルごとに内部で二重化されています。これらのレジスタは、表25のパラメータ名の欄でローカル・レジスタとして指定されています。レジスタ0x05のチャンネルAまたはチャンネルBに該当するビットをセットすることにより、これらのローカル・レジスタにアクセスできます。両方のビットをセットして書き込みを行うと、書き込みは両方のチャンネルのレジスタに適用されます。読出しサイクル時には、チャンネルAまたはチャンネルBのどちらか一方のみをセットして、2個のレジスタのうち1つから読出しを行ってください。SPI読出しサイクル時に両方のビットをセットしてあると、デバイスはチャンネルAの値を返します。表25のパラメータ名の欄でグローバルとして指定されているレジスタは、デバイス全体またはチャンネル間で個別の設定を行うことができないチャンネルの機能を設定するために使用されます。レジスタ0x05の設定は、グローバル・レジスタには影響を与えません。

外部メモリ・マップ

表25. メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
Chip Configuration Registers											
0x00	SPI Port Configuration (Global)	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so that LSB-first mode or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID (Global)	8-bit Chip ID[7:0] (AD9640 = 0x11) (default)								0x11 Read only	Read only
0x02	Chip Grade (Global)	Open	Open	Speed grade ID 00 = 150 MSPS 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS	Open	Open	Open	Open	Open	Read only	Speed grade ID used to differentiate devices
Channel Index and Transfer Registers											
0x05	Channel Index	Open	Open	Open	Open	Open	Open	Data Channel B (default)	Data Channel A (default)	0x03	Bits are set to determine which device on the chip receives the next write command; applies to local registers
0xFF	Device Update	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave
ADC Functions											
0x08	Power Modes	Open	Open	External power-down pin function (global) 0 = pdwn 1 = stndby	Open	Open	Open	Internal power-down mode (local) 00 = normal operation 01 = full power-down 10 = standby 11 = normal operation		0x00	Determines various generic modes of chip operation
0x09	Global Clock (Global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer (default)	0x01	
0x0B	Clock Divide (Global)	Open	Open	Open	Open	Open	Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8		0x00	Clock divide values other than 000 automatically cause the duty cycle stabilizer to become active	
0x0D	Test Mode (Local)	Open	Open	Reset PN long gen	Reset PN short gen	Open	Output test mode 000 = off (default) 001 = midscale short 010 = positive FS 011 = negative FS 100 = alternating checker board 101 = PN long sequence 110 = PN short sequence 111 = one/zero word toggle		0x00	When set, the test data is placed on the output pins in place of normal data	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x0E	BIST Enable (Local)	Open	Open	Open	Open	Open	Reset BIST sequence	Open	BIST enable	0x00	
0x10	Offset Adjust (Local)	Open	Open	Offset adjust in LSBs from +31 to -32 (twos complement format)						0x00	
0x14	Output Mode	Drive strength 0V to 3.3V CMOS or ANSI LVDS: 1V to 1.8V CMOS or reduced: LVDS (global)	Output type 0 = CMOS 1 = LVDS (global)	Open	Output enable bar (local)	Open	Output invert (local)	00 = offset binary 01 = twos complement 10 = gray code 11 = offset binary (local)		0x00	Configures the outputs and the format of the data
0x16	Clock Phase Control (Global)	Invert DCO clock	Open	Open	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles			0x00	Allows selection of clock delays into the input clock divider
0x17	DCO Output Delay (Global)	Open	Open	Open	DCO clock delay (delay = 2500 ps × register value/31) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps				0x00		
0x18	VREF Select (Global)	Reference voltage selection 00 = 1.25 V p-p 01 = 1.5 V p-p 10 = 1.75 V p-p 11 = 2.0 V p-p (default)		Open	Open	Open	Open	Open	Open	0xC0	
0x24	BIST Signature LSB (Local)	BIST signature[7:0]								0x00	Read only
0x25	BIST Signature MSB (Local)	BIST signature[15:8]								0x00	Read only
Digital Feature Control											
0x100	Sync Control (Global)	SM sync enable	Open	Open	Open	Open	Clock divider next sync only	Clock divider sync enable	Master sync enable	0x00	
0x104	Fast Detect Control (Local)	Open	Open	Open	Open	Fast Detect Mode Select[2:0]			Fast detect enable	0x00	
0x106	Fine Upper Threshold Register 0 (Local)	Fine Upper Threshold[7:0]								0x00	
0x107	Fine Upper Threshold Register 1 (Local)	Open	Open	Open	Fine Upper Threshold[12:8]				0x00		
0x108	Fine Lower Threshold Register 0 (Local)	Fine Lower Threshold[7:0]								0x00	
0x109	Fine Lower Threshold Register 1 (Local)	Open	Open	Open	Fine Lower Threshold[12:8]				0x00		

AD9640

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments		
0x10C	Signal Monitor DC Correction Control (Global)	Open	DC correction freeze	DC Correction Bandwidth[3:0]				DC correction for signal path enable	DC correction for SM enable	0x00			
0x10D	Signal Monitor DC Value Channel A Register 0 (Global)	DC Value Channel A[7:0]										Read only	
0x10E	Signal Monitor DC Value Channel A Register 1 (Global)	Open	Open	DC Value Channel A[13:8]									Read only
0x10F	Signal Monitor DC Value Channel B Register 0 (Global)	DC Value Channel B[7:0]										Read only	
0x110	Signal Monitor DC Value Channel B Register 1 (Global)	Open	Open	DC Value Channel B[13:8]									Read only
0x111	Signal Monitor SPORT Control (Global)	Open	RMS/MS magnitude output enable	Peak power output enable	Threshold crossing output enable	SPORT SMI CLK divide 00 = undefined 01 = divide by 2 10 = divide by 4 11 = divide by 8		SPORT SMI SCLK sleep	Signal monitor SPORT output enable	0x04			
0x112	Signal Monitor Control (Global)	Complex power calculation mode enable	Open	Open	Open	MS mode 0 = rms 1 = ms	Signal monitor mode 00 = RMS/MS Magnitude 01 = peak power 1x = threshold count		Signal monitor enable	0x00			
0x113	Signal Monitor Period Register 0 (Global)	Signal Monitor Period[7:0]								0x40	In ADC clock cycles		
0x114	Signal Monitor Period Register 1 (Global)	Signal Monitor Period[15:8]								0x00	In ADC clock cycles		
0x115	Signal Monitor Period Register 2 (Global)	Signal Monitor Period[23:16]								0x00	In ADC clock cycles		
0x116	Signal Monitor Result Channel A Register 0 (Global)	Signal Monitor Result Channel A[7:0]										Read only	
0x117	Signal Monitor Result Channel A Register 1 (Global)	Signal Monitor Result Channel A[15:8]										Read only	
0x118	Signal Monitor Result Channel A Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Value Channel A[19:16]						Read only	
0x119	Signal Monitor Result Channel B Register 0 (Global)	Signal Monitor Result Channel B[7:0]										Read only	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x11A	Signal Monitor Result Channel B Register 1 (Global)	Signal Monitor Result Channel B [15:8]									Read only
0x11B	Signal Monitor Result Channel B Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Result Channel B [19:16]				Read only	

メモリ・マップ・レジスタの説明

レジスタ0x00からレジスタ0xFFまでを使用して制御する機能の詳細については、AN-877アプリケーション・ノート『Interfacing to High Speed ADCs via SPI』(SPIを使った高速ADCへのインターフェース)を参照してください。

同期コントロール (レジスタ0x100)

ビット7—信号モニタ同期イネーブル

ビット7は、外部SYNC入力から信号モニタ・ブロックに供給される同期パルスを有効にします。ビット7とビット0がハイレベルのときに、同期信号が転送されます。これは連続同期モードです。

ビット[6:3]—予約済み

ビット2—クロック分周器は次の同期のみを使用

同期イネーブル・ビット (アドレス0x100[0]) がハイレベルで、クロック分周器同期イネーブル・ビット (アドレス0x100[1]) がハイレベルのときに、ビット2を使用して、クロック分周器が最初に受信した同期パルスに同期し、以後の同期パルスを無視するように設定できます。アドレス0x100[1]は、同期終了後にリセットされます。

ビット1—クロック分周器同期イネーブル

ビット1は、同期パルスをクロック分周器に対して有効にします。ビット1とビット0がハイレベルのときに、同期信号が転送されます。これは連続同期モードです。

ビット0—マスター同期イネーブル

同期機能を有効にするときは、ビット0をハイレベルに設定してください。

高速検出コントロール (レジスタ0x104)

ビット[7:4]—予約済み

ビット[3:1]—高速検出モード選択

これらのビットを使用し、表17に従って高速検出出力のモードを設定します。

ビット0—高速検出イネーブル

高速検出出力をイネーブルするときに、このビットを使用します。高速検出出力をディスエーブルすると、これらはハイ・インピーダンス状態になります。LVDSモードで高速検出出力がインターリーブされているときは、両方のチャンネルがターンオフされている場合 (パワーダウン/スタンバイ/出力をディスエーブル) に限り、高速検出出力がハイ・インピーダンス状態になります。1つのチャンネルのみがターンオフされている場合 (パワーダウン/スタンバイ/出力をディスエーブル)、高速検出出力はアクティブなチャンネルのデータを繰り返し出力します。

高精度上限スレッシュホールド (レジスタ0x106とレジスタ0x107)

レジスタ0x106、ビット[7:0]—高精度上限スレッシュホールド[7:0]

レジスタ0x107、ビット[7:5]—予約済み

レジスタ0x107、ビット[4:0]—高精度上限スレッシュホールド [12:8]

これらのレジスタは、高精度上限スレッシュホールドを設定します。この13ビット値がADCブロックからの13ビット入力レベル値と比較され、ADCの入力レベルがこのスレッシュホールド値を越えていれば、F_UTフラグがセットされます。

高精度下限スレッシュホールド (レジスタ0x108とレジスタ0x109)

レジスタ0x108、ビット[7:0]—高精度下限スレッシュホールド[7:0]

レジスタ0x109、ビット[7:5]—予約済み

レジスタ0x109、ビット[4:0]—高精度下限スレッシュホールド [12:8]

これらのレジスタは、高精度下限スレッシュホールドを設定します。この13ビット値がADCブロックからの13ビット入力レベル値と比較され、ADCの入力レベルがこのスレッシュホールド値よりも小さければ、F_LTフラグがセットされます。

信号モニタDC補正コントロール (レジスタ0x10C)

ビット7—予約済み

ビット6—DC補正フリーズ

このビットをハイレベルに設定すると、信号モニタリング・ブロックのDC補正が更新されなくなります。補正値は最後に計算されたDC値を保持しています。

ビット[5:2]—DC補正帯域幅

これらのビットは、信号モニタDC補正機能の平均化時間を設定します。これは補正ブロックの帯域幅を設定する4ビット・ワードです (表26を参照)。

表26. DC補正帯域幅

DC Correction Control Register 0x10C[5:2]	Bandwidth (Hz)
0000	1218.56
0001	609.28
0010	304.64
0011	152.32
0100	76.16
0101	38.08
0110	19.04
0111	9.52
1000	4.76
1001	2.38
1010	1.19
1011	0.60
1100	0.30
1101	0.15
1110	0.15
1111	0.15

ビット1—信号経路DC補正イネーブル

ビット1をハイレベルに設定すると、DC計測ブロックの出力が信号経路のデータと加算されて、信号経路からDCオフセットが除去されます。

ビット0—SM DC補正イネーブル

ビット0は、信号モニタリング・ブロックのDC補正機能をイネーブルします。DC補正は平均化機能で、信号モニタで信号のDCオフセットを除去するために使用できます。計測値からこのDC成分が除去されると、読出し精度が高くなります。

信号モニタDC値チャンネルA（レジスタ0x10Dとレジスタ0x10E）

レジスタ0x10D、ビット[7:0]—チャンネルA DC値[7:0]

レジスタ0x10E、ビット[7:0]—チャンネルA DC値[13:8]

これらの読出し専用レジスタは、チャンネルAにおいて信号モニタによって最後に計算されたDCオフセット値を保持します。

信号モニタDC値チャンネルB（レジスタ0x10Fとレジスタ0x110）

レジスタ0x10F、ビット[7:0]—チャンネルB DC値[7:0]

レジスタ0x110、ビット[7:0]—チャンネルB DC値[13:8]

これらの読出し専用レジスタは、チャンネルBにおいて信号モニタによって最後に計算されたDCオフセット値を保持します。

信号モニタSPORTコントロール（レジスタ0x111）**ビット7—予約済み****ビット6—RMS/MS振幅出力イネーブル**

これらのビットは、20ビットのRMSまたはMS振幅計測値を有効にしSPORTに出力できるようにします。

ビット5—ピーク・パワー出力イネーブル

ビット5は、13ビットのピーク計測値を有効にしSPORTに出力できるようにします。

ビット4—スレッシュホールド・クロス出力イネーブル

ビット4は、13ビットのスレッシュホールド計測値を有効にしSPORTに出力できるようにします。

ビット[3:2]—SPORT SMI SCLK分周

これらのビットで、入力クロックからのSPORT SMI SCLK分周比を設定します。0x01で2分周（デフォルト値）、0x10で4分周、0x11で8分周が設定されます。

ビット1—SPORT SMI SCLKスリープ

ビット1をハイレベルに設定すると、信号モニタ・ブロックに転送データが存在しないときに、SMI SCLKがローレベルに維持されます。

ビット0—信号モニタSPORT出力イネーブル

ビット0を設定すると、信号モニタのSPORT出力が有効になり、信号モニタ・ブロックからの結果データの出力が開始されます。

信号モニタ・コントロール（レジスタ0x112）**ビット7—複素パワー計算モード・イネーブル**

このモードでは、一方のチャンネルがIデータであり、他方のチャンネルがQデータだと見なします。得られる結果は、次の式に基づいて得られる複素パワーです。

$$\sqrt{I^2 + Q^2}$$

ビット[6:4]—予約済み**ビット3—信号モニタRMS/MS選択**

ビット3をローレベルに設定すると、RMSパワー計測モードが選択されます。ビット3をハイレベルに設定すると、MSパワー計測モードが選択されます。

ビット[2:1]—信号モニタ・モード

ビット2とビット1で、レジスタ0x116からレジスタ0x11Bに対して出力される、信号モニタのデータ出力モードを設定します。ビット2とビット1を0x00に設定すると、RMS/MSパワー出力が選択されます。これらのビットを0x01に設定すると、ピーク・パワー出力が選択され、0x10または0x11に設定すると、スレッシュホールド・クロス出力が選択されます。

ビット0—信号モニタ・イネーブル

ビット0をハイレベルに設定すると、信号モニタ・ブロックが有効になります。

信号モニタ周期（レジスタ0x113～レジスタ0x115）

レジスタ0x113、ビット[7:0]—信号モニタ周期[7:0]

レジスタ0x114、ビット[7:0]—信号モニタ周期[15:8]

レジスタ0x115、ビット[7:0]—信号モニタ周期[23:16]

この24ビット値は、信号モニタが実行するクロック・サイクル数を設定します。このレジスタのデフォルト値は64（0x40）サイクルですが、128（0x80）以上の値を設定してください。128より小さい値を書き込むと不正確な結果が出る場合があります。

信号モニタ結果チャンネルA（レジスタ0x116からレジスタ0x118まで）

レジスタ0x116、ビット[7:0]—信号モニタ結果チャンネルA[7:0]

レジスタ0x117、ビット[7:0]—信号モニタ結果チャンネルA[15:8]

レジスタ0x118、ビット[7:4]—予約済み

レジスタ0x118、ビット[3:0]—信号モニタ結果チャンネルA[19:16]

この20ビット値には、チャンネルAについて信号モニタリング・ブロックによって計算された結果が得られます。このデータの内容は、レジスタ0x112[2:1]の設定に応じて変化します。

信号モニタ結果チャンネルB（レジスタ0x119からレジスタ0x11Bまで）

レジスタ0x119、ビット[7:0]—信号モニタ結果チャンネルB[7:0]

レジスタ0x11A、ビット[7:0]—信号モニタ結果チャンネルB[15:8]

レジスタ0x11B、ビット[7:4]—予約済み

レジスタ0x11B、ビット[3:0]—信号モニタ結果チャンネルB[19:16]

この20ビット値には、チャンネルBについて信号モニタリング・ブロックによって計算された結果が得られます。このデータの内容は、レジスタ0x112[2:1]の設定に応じて変化します。

アプリケーション情報

デザインのガイドライン

システムとしてAD9640の設計とレイアウトを行う前には、以下のガイドラインに精通しておくことを推奨します。このガイドラインは、特定のピンに対して特に要求される回路接続とレイアウト条件について説明したものです。

電源とグラウンドに関する推奨事項

AD9640の電源接続を行う際には、2つの異なる1.8V電源を使用することを推奨します。1つの電源をアナログ (AVDD) およびデジタル (DVDD) 電源として使用し、もう1つの電源をデジタル出力 (DRVDD) 電源として使用します。同じ電圧源から供給されるAVDDおよびDVDD電源は、フェラ이트・ビーズまたはフィルタ・チョークを使用し、さらにデカップリング・コンデンサを外付けして分離してください。高周波と低周波の両方に対応するために、容量の異なる複数のデカップリング・コンデンサを使用します。これらのコンデンサは、配線パターン長を可能な限り短くして、プリント基板上で電源入力ポイントの近くで、またデバイスのピンに近接した場所に接続してください。

AD9640の使用時には、プリント基板上に1層のグラウンド・プレーンを用意するだけで十分です。プリント基板上のアナログ、デジタル、クロックの各回路部に対して適切なデカップリングを行い、この各回路部分を適切に分離すれば、最適な性能を容易に得ることができます。

LVDS動作

AD9640のパワーオン時のデフォルト状態は、CMOS出力モードです。LVDSで動作させる場合は、パワーオン後にSPI設定レジスタを使ってこのモードを設定する必要があります。出力にLVDS終端抵抗 (100Ω) が配置されている状態でAD9640がCMOSモードでパワーオンすると、デバイスがLVDSモードになるまでDRVDD電流が公称値より大きくなる場合があります。このようなDRVDD電流の超過によってAD9640が損傷することはありませんが、デバイスのDRVDD電流の最大値を検討するときはこれを考慮に入れてください。

このDRVDD電流の増加を防ぐために、OEBピンをハイに設定するとAD9640のパワーアップ時に出力をディスエーブルにすることができます。SPIポートを介してデバイスをLVDSモードに設定した後、OEBピンをローにすれば出力をイネーブルにすることができます。

露出パドルの熱的結合に関する推奨事項

最適な電気的および熱的性能を実現するためには、ADCの下側の露出パドルをアナログ・グラウンド (AGND) に接続することが必須条件です。プリント基板上のレジスト・マスクのない連続した銅プレーンを、AD9640の0番ピンである露出パドルに接続する必要があります。

熱がプリント基板の底面に流れて拡散されるように、可能な限り熱抵抗が低い熱経路を確保するために、銅プレーンに複数のビアを設けてください。これらのビアには非導電性のエポキシを充填または埋め込みます。

ADCとプリント基板との間の面積率と密着性を最大限に高めるために、シルクスクリーンでプリント基板上の連続プレーンをいくつかの均一な部分に分割してください。この処理を行うと、リフロー処理時にADCとプリント基板との間で密着するポイントが複数形成されます。分割されていない1枚の連続プレーンを使用した場合に、ADCとプリント基板との間で1点のみの密着ポイントしか保証されません。プリント基板のレイアウト例に関しては、評価用ボードを参考にしてください。チップ・スケール・パッケージのパッケージングとプリント基板のレイアウトに関する詳細については、AN-772アプリケーション・ノート『A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)』(リード・フレーム・チップ・スケール・パッケージのデザインおよび製造ガイド)を参照してください。

CML

CMLピンは図47に示すように、0.1μFのコンデンサをグラウンドとの間に接続してデカップリングしてください。

RBIAS

AD9640では、RBIASピンとグラウンドとの間に10kΩの抵抗を外付けする必要があります。この抵抗はADCコアのマスター基準電流を設定するものであり、少なくとも1%誤差のものが必要です。

リファレンスのデカップリング

ESRの低い1.0μFのコンデンサ、および同様にESRの低い0.1μFのセラミック・コンデンサをVREFピンとグラウンドとの間に並列に接続して、VREFピンを外部でデカップリングする必要があります。

SPIポート

コンバータのダイナミック性能が最高に要求される期間中は、SPIポートをアクティブにしないでください。SCLK、CSB、SDIO信号は一般的に、ADCクロックと非同期であるため、これらの信号から発生するノイズがコンバータの性能を低下させることがあります。内蔵のSPIバスが他のデバイスに接続されるときは、非常に重要なサンプリング実行中にこれらの信号がコンバータの入力信号を変化させないようにするために、このバスとAD9640との間にバッファを接続することが必要になる場合があります。

外形寸法

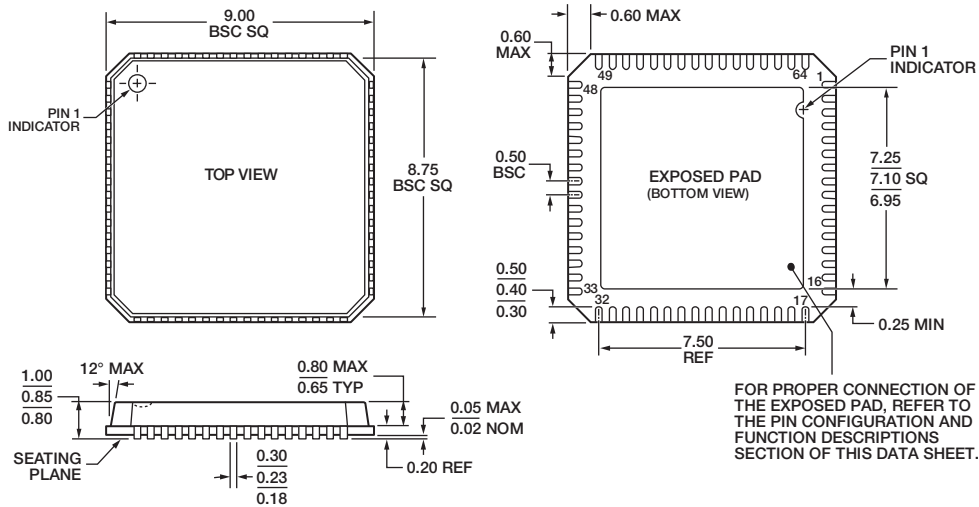


図74. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]

9mm×9mm ボディ、極薄クワッド

(CP-64-3)

寸法単位：mm

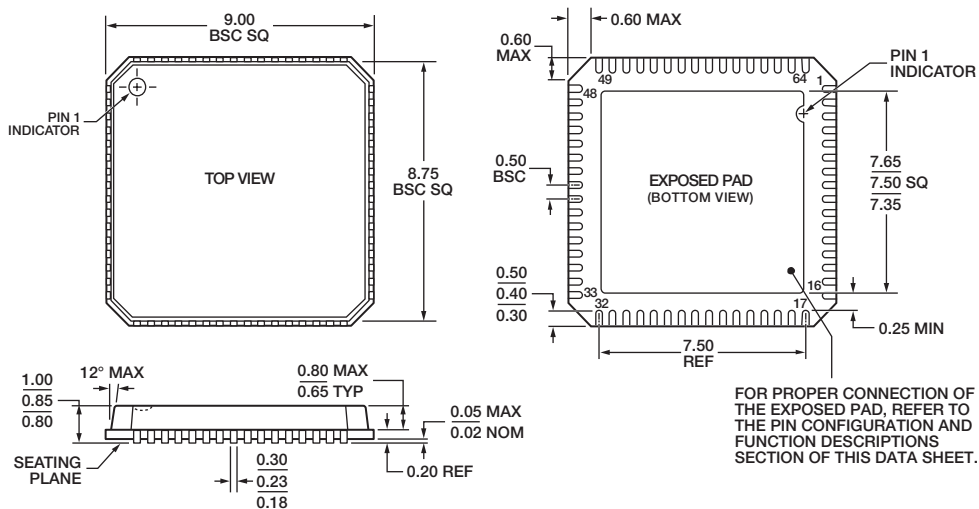


図75. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]

9mm×9mm ボディ、極薄クワッド

(CP-64-6)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9640ABCPZ-150 ^{1,2}	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-6
AD9640ABCPZ-125 ^{1,2}	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-6
AD9640ABCPZ-105 ^{1,2}	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-6
AD9640ABCPZ-80 ^{1,2}	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-6
AD9640ABCPZRL7-80 ^{1,2}	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-6
AD9640BCPZ-150 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9640BCPZ-125 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9640BCPZ-105 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9640BCPZ-80 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9640-150EBZ ¹		Evaluation Board	
AD9640-125EBZ ¹		Evaluation Board	
AD9640-105EBZ ¹		Evaluation Board	
AD9640-80EBZ ¹		Evaluation Board	

¹ Z=RoHS適合製品

² 新規設計に使用することを推奨します。PCN 09_0156を参照してください。