



クワッド／オクタル入力回路を 備えたクロック・ジェネレータ／ シンクロナイザ

データシート

AD9548

特長

- ホールドオーバー・モードで Stratum 2 の安定度をサポート
位相ビルドアウトによるリファレンス・スイッチオーバーを
サポート
- ヒットレス・リファレンス・スイッチオーバーをサポート
自動／手動のホールドオーバーとリファレンス・
スイッチオーバー
- 4 ペアのリファレンス入力ピン。各ペアを 1 つの差動入力
または 2 つの独立したシングルエンド入力として設定可能
1Hz~750MHz の入力リファレンス周波数
リファレンスの検証と周波数モニタリング (1ppm)
入力リファレンス・スイッチオーバーの優先度をプログラム
可能
- 30 ビットのプログラマブル入力リファレンス分周器
- 4 ペアのクロック出力ピン。各ペアを 1 つの差動
LVDS/LVPECL 出力または 2 つのシングルエンド CMOS
出力として設定可能
- 最大出力周波数 450MHz
- 30 ビット・インテジャー方式と 10 ビット・フラクショナル
方式のプログラマブル掃選分周器
- 0.001Hz~100kHz のループ帯域幅をカバーする
プログラマブル・デジタル・ループ・フィルタ
- オプションの低ノイズ LC-VCO システム・クロック 増倍器
- オプションのシステム・クロック入力用水晶振動子
- 複数のパワーアップ・プロファイルを保存するオンチップ
EEPROM
- ソフトウェア制御によるパワーダウン
- 88 ピン LFCSP パッケージ

アプリケーション

- ネットワーク同期
- リファレンス・クロック・ジッタのクリーンアップ
- GPS の 1PPS (1-Pulse-Per-Second) 同期
- FEC を含む OC-192 までの SONET/SDH クロック
- Stratum 2 ホールドオーバー、ジッタ・クリーンアップ、
および位相トランジェント制御
- Stratum 3E および Stratum 3 リファレンス・クロック
- ワイヤレス基地局コントローラ
- ケーブル・インフラストラクチャ
- データ通信

概要

AD9548 は、同期光ネットワーク (SONET/SDH) を含む多くのシステムを同期します。このデバイスは、最大 4 つの差動外部入力リファレンスまたは最大 8 つのシングルエンド外部入力リファレンスのうちの 1 つに同期された出力クロックを生成します。デジタル PLL を使用しているため、外部リファレンスに伴う入力時間ジッタや位相ノイズを減らすことができます。AD9548 は、すべてのリファレンスが使用できなくなった場合でも、デジタル制御式のループおよびホールドオーバー回路を使用して、クリーン (低ジッタ) で有効な出力クロックを連続的に生成します。

AD9548 は、 -40°C ~ $+85^{\circ}\text{C}$ の工業用温度範囲で動作します。

機能ブロック図

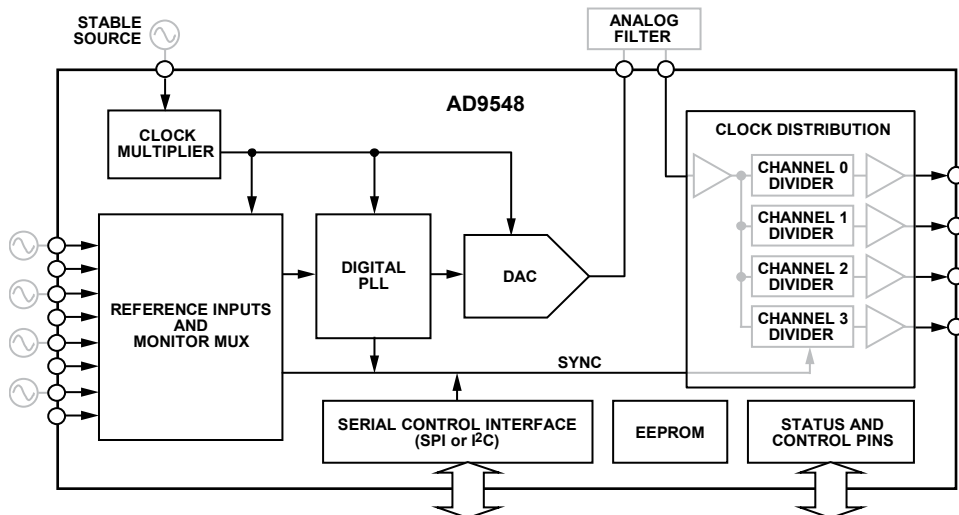


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. G

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区西牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	デジタル PLL (DPLL) コア	32
アプリケーション	1	ダイレクト・デジタル・シンセサイザ	34
概要	1	チューニング・ワードの処理	35
機能ブロック図	1	ループ制御ステート・マシン	36
改訂履歴	3	システム・クロック入力	37
仕様	4	SYSCLK PLL 通倍器	38
電源電圧	4	クロック分配	40
電源電流	4	ステータスと制御	44
消費電力	4	多機能ピン (M0~M7)	44
ロジック入力 (M7~M0、RESET、TDI、TCLK、TMS)	5	IRQ ピン	45
ロジック出力 (M7~M0、IRQ、TDO)	5	ウォッチドッグ・タイマー	46
システム・クロック入力 (SYSCLKP/SYSCLKN)	5	EEPROM	46
分配クロック入力 (CLKINP/CLKINN)	6	シリアル制御ポート	51
リファレンス入力 (REFA/REFAA~REFD/REFDD)	7	SPI/PC ポートの選択	51
リファレンス・モニタ	7	SPI シリアル・ポートの動作	51
リファレンス・スイッチオーバーの仕様	8	PC シリアル・ポートの動作	56
分配クロック出力 (OUT0~OUT3)	8	入出力プログラミング・レジスタ	59
DAC 出力特性 (DACOUTP/DACOUTN)	9	バッファ・レジスタとアクティブ・レジスタ	59
デジタル機能の所要時間	10	自動クリア・レジスタ	59
デジタル PLL	10	レジスタへのアクセス制限	59
デジタル PLL ロック検出	10	レジスタ・マップ	60
ホールドオーバー仕様	10	レジスタ・マップのビット説明	70
シリアル・ポート仕様 - SPI モード	11	シリアル・ポート設定 (レジスタ 0x0000~0x0005)	70
シリアル・ポート仕様 - I ² C モード	11	システム・クロック (レジスタ 0x0100~0x0108)	71
ジッタ生成	12	一般的設定 (レジスタ 0x0200~レジスタ 0x0214)	72
絶対最大定格	14	DPLL 設定 (レジスタ 0x0300~レジスタ 0x031B)	75
ESD に関する注意	14	クロック分配出力設定 (レジスタ 0x0400~レジスタ 0x0419)	77
ピン配置およびピン機能の説明	15	リファレンス入力設定 (レジスタ 0x0500~レジスタ 0x0507)	81
代表的な性能特性	18	プロファイル・レジスタ (レジスタ 0x0600~0x07FF)	83
推奨される入出力の終端処理	23	動作制御 (レジスタ 0x0A00~レジスタ 0x0A10)	92
設計の開始にあたって	24	クロック部品シリアル ID (レジスタ 0x0C00~レジスタ 0x0C07)	97
パワーオン・リセット	24	ステータス・リードバック (レジスタ 0x0D00~レジスタ 0x0D19)	97
M0~M7 ピンの初期設定	24	不揮発メモリ (EEPROM) 制御 (レジスタ 0x0E00~レジスタ 0x0E03)	101
デバイス・レジスタのプログラミング	24	EEPROM 保存シーケンス (レジスタ 0x0E10~0x0E3F)	101
動作原理	26	電源パーティション	106
概要	26	3.3V 電源	106
リファレンス・クロック入力	27		
リファレンス・モニタ	27		
リファレンス・プロファイル	28		
リファレンス・スイッチオーバー	30		

1.8V 電源.....	106
熱性能.....	107
デジタル・フィルタ係数の計算.....	108
α レジスタ値の計算.....	109
β レジスタ値の計算.....	109

改訂履歴

12/14—Rev. F to Rev. G

Changes to Figure 7 Caption to Figure 12 Caption.....	19
Changes to System Clock Period Section.....	39
Changes to Table 36.....	62

6/14—Rev. E to Rev. F

Changes to Table 21.....	15
Added Figure 34; Renumbered Sequentially.....	23
Changed Initial Pin Programming Section to Initial M0 to M7 Pin Programming Section.....	24
Changes to Frequency Tuning Word History Section.....	36
Added Disabling Accidental Automatic EEPROM Download Section.....	48
Changes to Buffered/Active Registers Section.....	59
Changes to Register Map Section, Opt Column, Table 36.....	60
Changes to Table 65.....	76

12/13—Rev. D to Rev. E

Changes to Calculating Digital Filter Coefficients Section.....	109
Changes to Calculation of the \square Register Values Section.....	110

6/13—Rev. C to Rev. D

Change to Table 16.....	10
Changes to IRQ Pin Section.....	46
Changes to Programming the EEPROM to Include a Clock Part ID Section.....	50
Changes to Bit 0, Table 121.....	94
Changes to Status Readback (Register 0x0D00 to Register 0x0D19) Section.....	98

2/13—Rev. B to Rev. C

Change to Pin 53, Description Column, Table 21.....	17
Added Figure 33, Renumbered Sequentially.....	23
Changes to Automatic Priority-Based Reference Switchover Section; Added Table 23, Renumbered Sequentially.....	30
Changes to Low Loop Bandwidth Applications Using a TCXO/OCXO Section.....	37
Changes to EEPROM Upload Section and EEPROM Download Section.....	48
Added Programming the EEPROM to Include a Clock Part ID Section.....	50

γ レジスタ値の計算.....	110
δ レジスタ値の計算.....	110
外形寸法.....	111
オーダー・ガイド.....	111

Changes to Read Section.....	52
Added Figure 56.....	54
Changes to t_C Parameter, Description Column, Table 33.....	55
Added Table Summary Statement, Table 36.....	60
Changes to Table 36.....	60
Added User Scratch Pad (Eight Bytes), Address 0x0C00 to Address 0x0C07, Table 36.....	67
Changes to Table 39.....	70
Added Clock Part Serial ID (Register 0x0C00 to Register 0x0C07) Section and Table 131.....	98
Changes to Table 142.....	102
Added Table 153.....	105
Added Table 154.....	106

7/11—Rev. A to Rev. B

Changed AD9584 to AD9548.....	32
Changed 437,749,988,378,041 to 43,774,988,378,041.....	34
Change to Calculating Digital Filter Coefficients Section.....	107

10/10—Rev. 0 to Rev. A

Changes to Timing Parameter, Table 17.....	11
Added Low Loop Bandwidth Applications Using a TCXO/OCXO Section and Choosing a System Clock Oscillator Frequency Section.....	37
Moved System Clock Period Section.....	39
Changes to Addr 0002, Table 35.....	60
Changes to Addr 0600, Table 35.....	62
Changes to Addr 0632, Table 35.....	63
Changes to Addr 0680, Table 35.....	64
Changes to Addr 06B2, Table 35.....	65
Changes to Address 0002 Description, Table 38.....	70
Changes to Bit 7 and Bit 6, Table 78.....	83
Changes to Address 0629 and Address 062A, Table 87 and Bit 7 and Bit 6, Table 88.....	85
Changes to Address 065B and Address 065C, Table 97 and Bit 7 and Bit 6, Table 98.....	87
Changes to Address 06A9 and Address 06AA, Table 107.....	89
Changes to Bit 7 and Bit 6, Table 108.....	90
Changes to Address 06DB and Address 06DC, Table 117.....	92

4/09—Revision 0: Initial Version

仕様

最小値 (min) と最大値 (max) は、電源電圧と動作温度の変化の全範囲に対応しています。特に指定のない限り、代表値 (typ) は、 $AVDD3 = DVDD_{I/O} = 3.3V$ 、 $AVDD = DVDD = 1.8V$ 、 $T_A = 25^\circ C$ 、 $I_{DAC} = 20mA$ (フル・スケール) における値です。

電源電圧

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE					
DVDD3	3.135	3.30	3.465	V	Pin 7, Pin 82
DVDD	1.71	1.80	1.89	V	Pin 1, Pin 6, Pin 12, Pin 14, Pin 15, Pin 77, Pin 83, Pin 88
AVDD3	3.135	3.30	3.465	V	Pin 21, Pin 22, Pin 47, Pin 60, Pin 66, Pin 67, Pin 73
3.3 V Supply (Typical)	3.135	3.30	3.465	V	Pin 31, Pin 37, Pin 38, Pin 44
1.8 V Supply (Alternative)	1.71	1.80	1.89	V	Pin 31, Pin 37, Pin 38, Pin 44
AVDD	1.71	1.80	1.89	V	Pin 23, Pin 24, Pin 29, Pin 34, Pin 41, Pin 50, Pin 55, Pin 59, Pin 63, Pin 70, Pin 74

電源電流

最大 (max) 電源電流値のテスト条件は、表 3 の All blocks Running (全ブロック稼働) パラメータのテスト条件と同じです。代表 (typ) 電源電流値のテスト条件は、表 3 の Typical Configuration (代表的構成) パラメータのテスト条件と同じです。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT					
I_{DVDD3}		1.5	3	mA	Pin 7, Pin 82
I_{DVDD}		190	215	mA	Pin 1, Pin 6, Pin 12, Pin 14, Pin 15, Pin 77, Pin 83, Pin 88
I_{AVDD3}		52	75	mA	Pin 21, Pin 22, Pin 47, Pin 60, Pin 66, Pin 67, Pin 73
I_{AVDD3}					
3.3 V Supply (Typical)		24	110	mA	Pin 31, Pin 37, Pin 38, Pin 44
1.8 V Supply (Alternative)		24	110	mA	Pin 31, Pin 37, Pin 38, Pin 44
I_{AVDD}		135	163	mA	Pin 23, Pin 24, Pin 29, Pin 34, Pin 41, Pin 50, Pin 55, Pin 59, Pin 63, Pin 70, Pin 74

消費電力

表 3.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
POWER DISSIPATION					
Typical Configuration		800	1100	mW	$f_{SYSCLK} = 20MHz^1$ 、 $f_s = 1GHz^2$ 、 $f_{DDS} = 122.88MHz^3$ 、1つのLVPECLクロック分配出力が122.88MHzで動作 (他はすべてパワーダウン)、1つの入力リファレンスが100MHzで動作 (他はすべてパワーダウン)
All Blocks Running		900	1400	mW	$f_{SYSCLK} = 20MHz^1$ 、 $f_s = 1GHz^2$ 、 $f_{DDS} = 399MHz^3$ 、LVPECLとして設定されたすべてのクロック分配出力が399MHzで動作、差動として設定されたすべての入力リファレンスが100MHzで動作、フラクショナルNがアクティブ (R = 10、S = 39、U = 9、V = 10)
Full Power-Down		13		mW	条件 = 代表的構成、外付けのプルアップ抵抗またはプルダウン抵抗なし

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Incremental Power Dissipation					条件 = 代表的構成。表の値は指定動作による電力の変化を示します。
SYSCLK PLL Off		-105		mW	$f_{\text{SYSCLK}} = 1\text{GHz}^1$ 、高周波数直接入力モード。
Input Reference On					
Differential		7		mW	
Single-Ended		13		mW	
Output Distribution Driver On					
LVDS		70		mW	
LVPECL		75		mW	
CMOS		65		mW	10pF 負荷でのシングル 3.3V CMOS 出力。

¹ f_{SYSCLK} は、SYSCCLKP ピンと SYSCCLKN ピンの周波数です。

² f_s は出力 DAC のサンプル・レートです。

³ f_{DDS} は DDS の出力周波数です。

ロジック入力 (M7~M0、RESET、TDI、TCLK、TMS)

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS (M7 to M0, RESET, TDI, TCLK, TMS)					
Input High Voltage (V_{IH})	2.1			V	
Input Low Voltage (V_{IL})			0.8	V	
Input Current ($I_{\text{INH}}, I_{\text{INL}}$)		± 80	± 200	μA	
Input Capacitance (C_{IN})		3		pF	

ロジック出力 (M7~M0、IRQ、TDO)

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUTS (M7 to M0, IRQ, TDO)					
Output High Voltage (V_{OH})	2.7			V	$I_{\text{OH}} = 1\text{mA}$
Output Low Voltage (V_{OL})			0.4	V	$I_{\text{OL}} = 1\text{mA}$
IRQ Leakage Current					Open-drain mode
Active Low Output Mode			1	μA	$V_{\text{OH}} = 3.3\text{V}$
Active High Output Mode			1	μA	$V_{\text{OL}} = -0\text{V}$

システム・クロック入力 (SYSCCLKP/SYSCCLKN)

表 6.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
SYSTEM CLOCK PLL BYPASSED					
Input Frequency Range	500		1000	MHz	
Minimum Input Slew Rate	1000			V/ μs	ジッタ性能実現のために設定される下限値
Duty Cycle	40		60	%	
Common-Mode Voltage		1.2		V	内部生成
Differential Input Voltage Sensitivity	100			mV p-p	ロジック・ステートのスイッチングに必要なピン間最小電圧。どちらのピンの瞬間電圧も電源レールを超えないこと。未使用入力を AC 接地することによって、シングルエンド入力に対応可能。
Input Capacitance		2		pF	シングルエンド、各ピン
Input Resistance		2.5		k Ω	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
SYSTEM CLOCK PLL ENABLED					
PLL Output Frequency Range	900		1000	MHz	有効なシステム・クロックと PFD レートが前提
Phase-Frequency Detector (PFD) Rate			150	MHz	
Frequency Multiplication Range	6		255		
VCO Gain		70		MHz/V	
High Frequency Path					
Input Frequency Range	100.1		500	MHz	ジッタ性能実現のために設定される下限値
Minimum Input Slew Rate	200			V/μs	
Frequency Divider Range	1		8		バイナリ・ステップ (M = 1、2、4、8)
Common-Mode Voltage		1		V	内部生成
Differential Input Voltage Sensitivity	100			mV p-p	ロジック・ステートのスイッチングに必要なピン間最小電圧。どちらのピンの瞬間電圧も電源レールを超えてはならない。未使用入力を AC 接地することによって、シングルエンド入力に対応可能
Input Capacitance		3		pF	シングルエンド、各ピン
Input Resistance		2.5		kΩ	
Low Frequency Path					
Input Frequency Range	3.5		100	MHz	ジッタ性能実現のために設定される下限値
Minimum Input Slew Rate	50			V/μs	
Common-Mode Voltage		1.2		V	内部的に生成
Differential Input Voltage Sensitivity	100			mV p-p	ロジック・ステートのスイッチングに必要なピン間最小電圧。どちらのピンの瞬間電圧も電源レールを超えてはならない。未使用入力を AC 接地することによって、シングルエンド入力に対応可能
Input Capacitance		3		pF	シングルエンド、各ピン
Input Resistance		4		kΩ	
Crystal Resonator Path					
Crystal Resonator Frequency Range	10		50	MHz	基本モード、AT カット
Maximum Crystal Motional Resistance			100	Ω	推奨値についてはシステム・クロック入力のセクションを参照。

分配クロック入力 (CLKINP/CLKINN)

表 7.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DISTRIBUTION CLOCK INPUTS (CLKINP/CLKINN)					
Input Frequency Range	62.5		500	MHz	ジッタ性能実現のために求められる下限値。
Minimum Slew Rate	75			V/μs	
Common-Mode Voltage		700		mV	内部生成。
Differential Input Voltage Sensitivity	100			mV p-p	容量性結合が必要。未使用入力を AC 接地することによってシングルエンド入力に対応可能。どちらのピンの瞬間電圧も電源レールを超えないこと。
Differential Input Power Sensitivity	-15			dBm	電圧感度と同じ。ただし、50Ω 負荷への電力として仕様規定。
Input Capacitance		3		pF	各ピンに 2.5kΩ の内部 DC バイアス抵抗あり。
Input Resistance		5		kΩ	

リファレンス入力 (REFA/REFAA~REFD/REFDD)

表 8.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DIFFERENTIAL OPERATION					
Frequency Range					
Sinusoidal Input	10		750	MHz	
LVPECL Input	1		750×10^6	Hz	
LVDS Input	1		750×10^6	Hz	
Minimum Input Slew Rate	40			V/ μ s	ジッタ性能実現のために設定される下限値
Common-Mode Input Voltage		2		V	内部的に生成
Differential Input Voltage Sensitivity		± 65		mV	ロジック・レベルのスイッチングに必要なピン間最小電圧。どちらのピンの瞬間電圧も電源レールを超えないこと。
Input Resistance		25		k Ω	
Input Capacitance		3		pF	
Minimum Pulse Width High	620			ps	
Minimum Pulse Width Low	620			ps	
SINGLE-ENDED OPERATION					
Frequency Range (CMOS)	1		250×10^6	Hz	
Minimum Input Slew Rate	40			V/ μ s	ジッタ性能実現のために設定される下限値
Input Voltage High (V_{IH})					
1.2 V to 1.5 V Threshold Setting	0.9			V	
1.8 V to 2.5 V Threshold Setting	1.2			V	
3.0 V to 3.3 V Threshold Setting	1.9			V	
Input Voltage Low (V_{IL})					
1.2 V to 1.5 V Threshold Setting			0.27	V	
1.8 V to 2.5 V Threshold Setting			0.5	V	
3.0 V to 3.3 V Threshold Setting			1.0	V	
Input Resistance		45		k Ω	
Input Capacitance		3		pF	
Minimum Pulse Width High	1.5			ns	
Minimum Pulse Width Low	1.5			ns	

リファレンス・モニタ

表 9.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
REFERENCE MONITORS					
Reference Monitor					
Loss of Reference Detection Time			1.2	sec	位相検出値の公称周期を使用して計算 ($NPDP = R/f_{REF}$) ¹
Frequency Out-of Range Limits	9.54×10^{-7}		0.1	$\Delta f/f_{REF}$	プログラム可能 (下限値は SYSCLK の品質に左右される)
Validation Timer	0.001		65.535	sec	1ms インクリメントでプログラム可能
Redetect Timer	0.001		65.535	sec	1ms インクリメントでプログラム可能

¹ f_{REF} はアクティブ・リファレンスの周波数、R は R 分周器によって決まる周波数分周比。

リファレンス・スイッチオーバーの仕様

表 10.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
REFERENCE SWITCHOVER SPECIFICATIONS					
Maximum Output Phase Perturbation (Phase Build-Out Switchover)		40	200	ps	ジッタのないリファレンスが前提。Telcordia GR-1244-CORE の条件に適合
Maximum Time/Time Slope (Hitless Switchover)	315		65,535	ns/sec	最小/最大値はプログラム可能な上限値。最小値の保証誤差は 10%未満。Telcordia GR-1244-CORE の条件に適合
Time Required to Switch to a New Reference Hitless Switchover		5		sec	位相検出値の公称周期を使用して計算 ($NPDP = R/f_{REF}$) ¹
Phase Build-Out Switchover		3		sec	位相検出値の公称周期を使用して計算 ($NPDP = R/f_{REF}$) ¹

¹ f_{REF} はアクティブ・リファレンスの周波数、R は R 分周器によって決まる周波数分周比。

分配クロック出力 (OUT0~OUT3)

表 11.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
LVPECL MODE					
Maximum Output Frequency		725		MHz	電流設定内蔵抵抗を使用
Rise/Fall Time (20% to 80%)		180	315	ps	出力ピン間を 100Ω 終端
Duty Cycle	45		55	%	
Differential Output Voltage Swing	630	770	910	mV	ピン間電圧の大きさ。静的出力ドライバ
Common-Mode Output Voltage	AVDD3 - 1.5	AVDD3 - 1.3	AVDD3 - 1.05	V	静的出力ドライバ
LVDS MODE					
Maximum Output Frequency		725		MHz	電流設定内蔵抵抗 (公称 3.12kΩ) を使用
Rise/Fall Time ¹ (20% to 80%)		200	350	ps	出力ペア間を 100Ω 終端
Duty Cycle	40		60	%	
Differential Output Voltage Swing Balanced, V_{OD}	247		454	mV	出力ピン間の電圧スイング。静的出力ドライバ
Unbalanced, ΔV_{OD}			50	mV	ノーマル・ピンの電圧スイングと反転ピンの電圧スイングの絶対差
Offset Voltage Common-Mode, V_{OS}	1.125		1.375	V	静的出力ドライバ
Common-Mode Difference, ΔV_{OS}			50	mV	ピン間の電圧差。静的出力ドライバ
Short-Circuit Output Current		13	24	mA	静的出力ドライバ
CMOS MODE					
Maximum Output Frequency 3.3 V Supply					1.8V 電源を使用する CMOS ドライバ動作については、低駆動強度オプションは非対応。
Strong Drive Strength Setting		250		MHz	10pF 負荷
Weak Drive Strength Setting		25		MHz	
1.8 V Supply		150		MHz	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Rise/Fall Time ¹ (20% to 80%)					10pF 負荷
3.3 V Supply					
Strong Drive Strength Setting		0.5	2	ns	
Weak Drive Strength Setting		8	14.5	ns	
1.8 V Supply		1.5	2.5	ns	
Duty Cycle	40		60	%	10pF 負荷
Output Voltage High (V _{OH})					静的出力ドライバ。高駆動強度設定
AVDD3 = 3.3 V, I _{OH} = 10 mA	2.6			V	
AVDD3 = 3.3 V, I _{OH} = 1 mA	2.9			V	
AVDD3 = 1.8 V, I _{OH} = 1 mA	1.5			V	
Output Voltage Low (V _{OL})					静的出力ドライバ。高駆動強度設定
AVDD3 = 3.3 V, I _{OL} = 10 mA			0.3	V	
AVDD3 = 3.3 V, I _{OL} = 1 mA			0.1	V	
AVDD3 = 1.8 V, I _{OL} = 1 mA			0.1	V	
OUTPUT TIMING SKEW					10pF 負荷
Between LVPECL Outputs		14	125	ps	立上がりエッジのみ。任意の分周値
Between LVDS Outputs		13	138	ps	立上がりエッジのみ。任意の分周値
Between CMOS 3.3 V Outputs					
Strong Drive Strength Setting		23	240	ps	
Weak Drive Strength Setting		24		ps	
Between CMOS 1.8 V Outputs		40		ps	1.8V では低駆動強度に非対応。
Between LVPECL Outputs and LVDS Outputs		14	140	ps	
Between LVPECL Outputs and CMOS Outputs		19		ps	
ZERO-DELAY TIMING SKEW		±5		ns	アクティブ入力リファレンスに対する相対出力。アクティブ・リファレンスに対する出力分配同期機能を有効化。確定的遅延のマニュアル位相オフセット補償が前提。

¹ 表示の値は低速エッジ（立上がりまたは立下がり）に対するものです。

DAC 出力特性 (DACOUTP/DACOUTN)

表 12.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DAC OUTPUT CHARACTERISTICS (DACOUTP/DACOUTN)					
Frequency Range	62.5		450	MHz	
Output Offset Voltage			15	mV	これは、いずれかの DAC 出力ピンに電流が供給されていないことを内部 DAC コードが示唆している場合に、そのピンにかかっているシングルエンド電圧です（外部負荷なし）。
Voltage Compliance Range	VSS - 0.5	0.5	VSS + 0.5	V	
Output Resistance		50		Ω	シングルエンド。各ピンは VSS に対し内部的に 50Ω で終端。
Output Capacitance		5		pF	
Full-Scale Output Current		20		mA	プログラム可能（8mA~31mA、DAC 出力のセクションを参照）
Gain Error	-12		+12	% FS	

デジタル機能の所要時間

表 13.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
TIME DURATION OF DIGITAL FUNCTIONS					
EEPROM-to-Register Download Time		25		ms	デフォルトの EEPROM 保存シーケンスを使用 (レジスタ 0x0E10~レジスタ 0x0E3F を参照)
Register-to-EEPROM Upload Time		200		ms	デフォルトの EEPROM 保存シーケンスを使用 (レジスタ 0x0E10~レジスタ 0x0E3F を参照)
Minimum Power-Down Exit Time		10.5		μs	ループ・フィルタ帯域幅に依存
Maximum Time from Assertion of the RESET pin to the M0 to M7 Pins Entering High Impedance State		45		ns	

デジタル PLL

表 14.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DIGITAL PLL					
Phase-Frequency Detector (PFD) Input Frequency Range	1		10^7	Hz	最大 f_{PFD}^1 : $f_S/100^2$
Loop Bandwidth	0.001		10^5	Hz	プログラマブル設計パラメータ。最大 $f_{LOOP} = f_{REF}/(20R)^3$
Phase Margin	30		89	Degrees	プログラマブル設計パラメータ
Reference Input (R) Division Factor	1		2^{30}		1、2、...、1,073,741,824
Integer Feedback (S) Division Factor	8		2^{30}		8、9、...、1,073,741,824
Fractional Feedback Divide Ratio	0		0.999		最大値: 1022/1023

¹ f_{PFD} は位相-周波数検出器への入力における周波数 (Hz) です。

² f_S は出力 DAC のサンプル・レートです。

³ f_{REF} はアクティブ・リファレンスの周波数、R は R 分周器によって決まる周波数分周比。

デジタル PLL ロック検出

表 15.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PHASE LOCK DETECTOR					
Threshold Programming Range	0.001		65.5	ns	
Threshold Resolution		1		ps	
FREQUENCY LOCK DETECTOR					
Threshold Programming Range	0.001		16,700	ns	Reference-to-feedback period difference
Threshold Resolution		1		ps	

ホールドオーバー仕様

表 16.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
HOLD-OVER SPECIFICATIONS					
Frequency Accuracy		<0.01		ppb	SYSClk ソースの周波数ドリフトを除く。ホールドオーバーに入る前の入力リファレンスの周波数ドリフトを除く。

シリアル・ポート仕様 - SPI モード

表 17.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CS					Internal 30 k Ω pull-up resistor
Input Logic 1 Voltage		2.0		V	
Input Logic 0 Voltage		0.8		V	
Input Logic 1 Current		30		μ A	
Input Logic 0 Current		110		μ A	
Input Capacitance		2		pF	
SCLK					Internal 30 k Ω pull-down resistor
Input Logic 1 Voltage		2.0		V	
Input Logic 0 Voltage		0.8		V	
Input Logic 1 Current		1		μ A	
Input Logic 0 Current		1		μ A	
Input Capacitance		2		pF	
SDIO					
As an Input					
Input Logic 1 Voltage		2.0		V	
Input Logic 0 Voltage		0.8		V	
Input Logic 1 Current		1		μ A	
Input Logic 0 Current		1		μ A	
Input Capacitance		2		pF	
As an Output					
Output Logic 1 Voltage	2.7			V	1 mA load current
Output Logic 0 Voltage			0.4	V	1 mA load current
SDO					
Output Logic 1 Voltage	2.7			V	1 mA load current
Output Logic 0 Voltage			0.4	V	1 mA load current
TIMING					
SCLK					
Clock Rate, $1/t_{CLK}$			40	MHz	
Pulse Width High, t_{HI}	10			ns	
Pulse Width Low, t_{LO}	12			ns	
SDIO to SCLK Setup, t_{DS}	3			ns	
SCLK to SDIO Hold, t_{DH}	0			ns	
SCLK to Valid SDIO and SDO, t_{DV}			15	ns	
CS to SCLK Setup (t_s)	10			ns	
CS to SCLK Hold (t_c)	0			ns	
CS Minimum Pulse Width High	6			ns	

シリアル・ポート仕様 - I²C モード

表 18.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SDA, SCL (AS INPUT)					No internal pull-up/down resistor.
Input Logic 1 Voltage	$0.7 \times DVDD3$			V	
Input Logic 0 Voltage			$0.3 \times DVDD3$	V	
Input Current	-10		+10	μ A	For $V_{IN} = 10\%$ to 90% DVDD3.
Hysteresis of Schmitt Trigger Inputs	$0.015 \times DVDD3$				
Pulse Width of Spikes That Must Be Suppressed by the Input Filter, t_{SP}			50	ns	
SDA (AS OUTPUT)					
Output Logic 0 Voltage			0.4	V	$I_O = 3$ mA.
Output Fall Time from V_{IHmin} to V_{ILmax}	$20 + 0.1 C_b^1$		250	ns	10 pF $\leq C_b \leq 400$ pF.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TIMING					
SCL Clock Rate			400	kHz	
Bus-Free Time Between a Stop and Start Condition, t_{BUF}	1.3			μ s	
Repeated Start Condition Setup Time, $t_{SU;STA}$	0.6			μ s	After this period, the first clock pulse is generated.
Repeated Hold Time Start Condition, $t_{HD;STA}$	0.6			μ s	
Stop Condition Setup Time, $t_{SU;STO}$	0.6			μ s	
Low Period of the SCL Clock, t_{LO}	1.3			μ s	
High Period of the SCL Clock, t_{HI}	0.6			μ s	
SCL/SDA Rise Time, t_R	$20 + 0.1 C_b^1$		300	ns	
SCL/SDA Fall Time, t_F	$20 + 0.1 C_b^1$		300	ns	
Data Setup Time, $t_{SU;DAT}$	100			ns	
Data Hold Time, $t_{HD;DAT}$	100			ns	
Capacitive Load for Each Bus Line, C_b^1			400	pF	

¹ C_b はシングル・バス・ラインの容量 (pF) です。

ジッタ生成

表 19.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
JITTER GENERATION					
$f_{REF} = 1 \text{ Hz}^1$; $f_{DDS} = 122.88 \text{ MHz}^2$; $f_{LOOP} = 0.01 \text{ Hz}^3$					$f_{SYSCLK} = 20 \text{ MHz}^4$ OCXO; $f_S = 1 \text{ GHz}^5$; Q-divider = 1; default SysClk PLL charge pump current; results valid for LVPECL, LVDS, and CMOS output logic types
Bandwidth: 100 Hz to 61 MHz		0.81		ps rms	Random jitter
Bandwidth: 5 kHz to 20 MHz		0.73		ps rms	Random jitter
Bandwidth: 20 kHz to 80 MHz		0.79		ps rms	Random jitter
Bandwidth: 50 kHz to 80 MHz		0.78		ps rms	Random jitter
Bandwidth: 4 MHz to 80 MHz		0.37		ps rms	Random jitter
$f_{REF} = 8 \text{ kHz}^1$; $f_{DDS} = 155.52 \text{ MHz}^2$; $f_{LOOP} = 100 \text{ Hz}^3$					$f_{SYSCLK} = 50 \text{ MHz}^4$ crystal; $f_S = 1 \text{ GHz}^5$; Q-divider = 1; default SYSCLK PLL charge pump current; results valid for LVPECL, LVDS, and CMOS output logic types
Bandwidth: 100 Hz to 77 MHz		0.71		ps rms	Random jitter
Bandwidth: 5 kHz to 20 MHz		0.34		ps rms	Random jitter
Bandwidth: 20 kHz to 80 MHz		0.43		ps rms	Random jitter
Bandwidth: 50 kHz to 80 MHz		0.43		ps rms	Random jitter
Bandwidth: 4 MHz to 80 MHz		0.31		ps rms	Random jitter
$f_{REF} = 19.44 \text{ MHz}^1$; $f_{DDS} = 155.52 \text{ MHz}^2$; $f_{LOOP} = 1 \text{ kHz}^3$					$f_{SYSCLK} = 50 \text{ MHz}^4$ crystal; $f_S = 1 \text{ GHz}^5$; Q-divider = 1; default SYSCLK PLL charge pump current; results valid for LVPECL, LVDS, and CMOS output logic types
Bandwidth: 100 Hz to 77 MHz		1.05		ps rms	Random jitter
Bandwidth: 5 kHz to 20 MHz		0.34		ps rms	Random jitter
Bandwidth: 20 kHz to 80 MHz		0.43		ps rms	Random jitter
Bandwidth: 50 kHz to 80 MHz		0.43		ps rms	Random jitter
Bandwidth: 4 MHz to 80 MHz		0.32		ps rms	Random jitter

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$f_{REF} = 19.44 \text{ Hz}^1$; $f_{DDS} = 311.04 \text{ MHz}^2$; $f_{LOOP} = 1 \text{ kHz}^3$					$f_{SYSCLK} = 50 \text{ MHz}^4$ crystal; $f_S = 1 \text{ GHz}^5$; Q-divider = 1; default SYSCLK PLL charge pump current; results valid for LVPECL, LVDS, and CMOS output logic types
Bandwidth: 100 Hz to 100 MHz		0.67		ps rms	Random jitter
Bandwidth: 5 kHz to 20 MHz		0.31		ps rms	Random jitter
Bandwidth: 20 kHz to 80 MHz		0.33		ps rms	Random jitter
Bandwidth: 50 kHz to 80 MHz		0.33		ps rms	Random jitter
Bandwidth: 4 MHz to 80 MHz		0.16		ps rms	Random jitter

¹ f_{REF} はアクティブ・リファレンスの周波数です。

² f_{DDS} は DDS の出力周波数です。

³ f_{LOOP} は DPLL デジタル・ループ・フィルタの帯域幅です。

⁴ f_{SYSCLK} は、SYSCLKP ピンと SYSCLKN ピンの周波数です。

⁵ f_S は出力 DAC のサンプル・レートです。

絶対最大定格

表 20.

Parameter	Rating
Analog Supply Voltage (AVDD)	2 V
Digital Supply Voltage (DVDD)	2 V
Digital I/O Supply Voltage (DVDD3)	3.6 V
DAC Supply Voltage (AVDD3)	3.6 V
Maximum Digital Input Voltage	-0.5 V to DVDD3 + 0.5 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

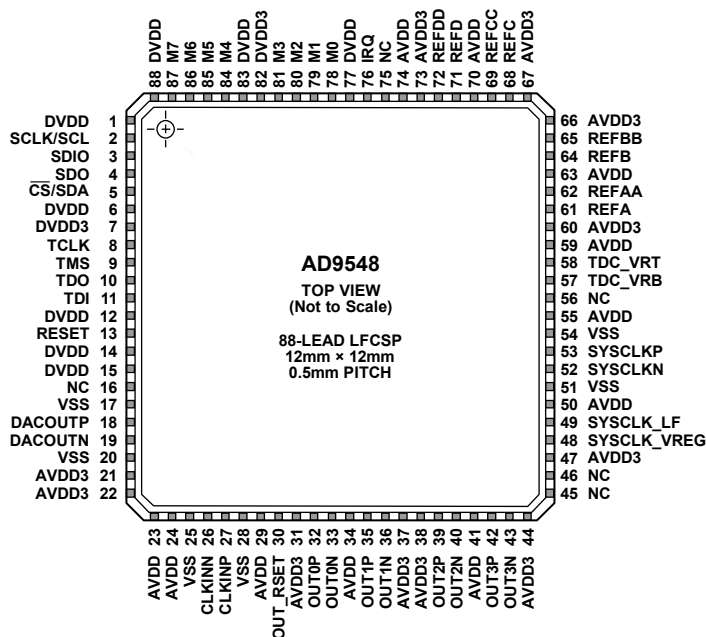
上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD MUST BE CONNECTED TO GROUND (VSS).

06022-002

図 2. 88 ピン LFCSP のピン配置

表 21. ピン機能の説明

ピン番号	記号	入出力	ピン・タイプ	説明
1, 6, 12, 77, 83, 88	DVDD	I	Power	1.8V デジタル電源。
2	SCLK/SCL	I	3.3 V CMOS	シリアル・プログラミング・クロック。シリアル・プログラミング用のデータ・クロック。
3	SDIO	I/O	3.3 V CMOS	シリアル・データ入力/出力。デバイスが 4 線モードになっているときは、このピンを介してデータが書き込まれます。3 線モードの場合、データの読出しと書き込みが共にこのピンで行われます。このピンには、内部プルアップ/プルダウン抵抗が接続されていません。
4	SDO	O	3.3 V CMOS	シリアル・データ出力。4 線モードでのデータの読出しにはこのピンを使います (3 線モードではハイ・インピーダンス)。このピンには、内部プルアップ/プルダウン抵抗が接続されていません。
5	$\overline{\text{CS}}/\text{SDA}$	I	3.3 V CMOS	チップ・セレクト (SPI)。アクティブ・ロー。デバイスをプログラムするときは、このピンをローに保つ必要があります。複数の AD9548 を使用するシステムでは、このピンを使用することで、それぞれの AD9548 を個別にプログラムすることができます (IFC@モードではシリアル・データ・ピン)。このピンは 10k Ω のプルアップ抵抗を内蔵していますが、これは SPI モードに限られます。
7, 82	DVDD3	I	Power	3.3V I/O デジタル電源。
8	TCLK	I		JTAG クロック。内部プルダウン抵抗。JTAG を使用しない場合は接続しないでください。
9	TMS	I		JTAG モード。内部プルアップ抵抗。JTAG を使用しない場合は接続しないでください。
10	TDO	O		JTAG 出力。JTAG を使用しない場合は接続しないでください。
11	TDI	I		JTAG 入力。内部プルアップ抵抗。JTAG を使用しない場合は接続しないでください。
13	RESET	I	3.3 V CMOS	チップ・セレクト。このアクティブ・ハイ・ピンがアサートされると、チップはリセットされます。このピンは 50k Ω のプルダウン抵抗を内蔵しています。
14, 15	DVDD	I	Power	1.8V DAC デコード・デジタル電源。これらのピンは他の DVDD ピンとまとめてください。
16, 45, 46	NC			接続なし。
17, 20, 25, 28, 51, 54	VSS	O	Ground	アナログ・グラウンド。グラウンドに接続します。
18	DACOUTP	O	Differential output	DAC 出力。DACOUTP は 50 Ω のプルダウン抵抗を内蔵しています。
19	DACOUTN	O	Differential output	相補 DAC 出力。DACOUTN は 50 Ω のプルダウン抵抗を内蔵しています。

ピン番号	記号	入出力	ピン・タイプ	説明
21, 22	AVDD3	I	Power	3.3V アナログ (DAC) 電源。
23, 24	AVDD	I	Power	1.8 V アナログ (DAC) 電源。
26	CLKINN	I	Differential input	クロック分配入力。標準動作モードでは、このピンはフィルタ処理した DACOUTN 出力に接続します。通常、この内部バイアス入力には AC カップリングされます。この構成では、400mV 以上のシングルエンド振幅を持つあらゆる差動信号を使用できます。
27	CLKINP	I	Differential input	クロック分配入力。標準動作モードでは、このピンはフィルタ処理した DACOUTP 出力に接続します。
29	AVDD	I	Power	1.8V アナログ (入力レシーバー) 電源。
30	OUT_RSET	O	Current set resistor	このピンとグラウンドの間には 3.12kΩ 抵抗を接続します (外付け抵抗による出力電流制御のセクションを参照)。
31, 37, 38, 44	AVDD3	I	Power	出力ドライバ用アナログ電源。通常これらのピンは 3.3V ですが、1.8V とすることもできます。ピン 31 は Out0x に電源を供給します。ピン 37 は OUT1x に電源を供給します。ピン 38 は OUT2x に電源を供給します。ピン 44 は OUT3x に電源を供給します。対応する出力 (OUT0P/OUT0N、OUT1P/OUT1N、OUT2P/OUT2N、および OUT3P/OUT3N) を使用していない場合でも、これらのピンには電源を供給してください。電源パーティションのセクションを参照。
32	OUT0P	O	LVPECL, LVDS, or CMOS	出力 0。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できます。LVPECL および LVDS 動作には 3.3V 出力ドライバ電源が必要です。CMOS 動作は、出力ドライバ電源に応じて 1.8V または 3.3V とすることができます。
33	OUT0N	O	LVPECL, LVDS, or CMOS	相補出力 0。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できません。
34, 41	AVDD	I	Power	1.8V アナログ (出力分周器) 電源。
35	OUT1P	O	LVPECL, LVDS, or CMOS	出力 1。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できます。LVPECL および LVDS 動作には 3.3V 出力ドライバ電源が必要です。CMOS 動作は、出力ドライバ電源に応じて 1.8V または 3.3V とすることができます。
36	OUT1N	O	LVPECL, LVDS, or CMOS	相補出力 1。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できません。
39	OUT2P	O	LVPECL, LVDS, or CMOS	出力 2。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できます。LVPECL および LVDS 動作には 3.3V 出力ドライバ電源が必要です。CMOS 動作は、出力ドライバ電源に応じて 1.8V または 3.3V とすることができます。
40	OUT2N	O	LVPECL, LVDS, or CMOS	相補出力 2。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できません。
42	OUT3P	O	LVPECL, LVDS, or CMOS	出力 3。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できます。LVPECL および LVDS 動作には 3.3V 出力ドライバ電源が必要です。CMOS 動作は、出力ドライバ電源に応じて 1.8V または 3.3V とすることができます。
43	OUT3N	O	LVPECL, LVDS, or CMOS	相補出力 3。この出力は、LVPECL、LVDS、またはシングルエンド CMOS として設定できません。
47	AVDD3	I	Power	3.3V アナログ (システム・クロック) 電源。
48	SYSCLK_VREG	I		システム・クロック・ループ・フィルタの電圧レギュレータ。このピンとグラウンドの間には 0.1μF のコンデンサを接続します。このピンは、内蔵 SYSCLK PLL 通倍器の外部ループ・フィルタ用 AC グラウンド・リファレンスでもあります (SYSCLK PLL 通倍器のセクションを参照)。
49	SYSCLK_LF	O		システム・クロック通倍器ループ・フィルタ。システム・クロックの駆動に周波数通倍器を使用する場合は、このピンに外部フィルタを取り付けることができます。
50, 55	AVDD	I	Power	1.8 V アナログ (システム・クロック) 電源。

ピン番号	記号	入出力	ピン・タイプ	説明
52	SYSLKN	I	Differential input	相補システム・クロック入力。SYSLCKP への相補信号。SYSLKN には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.01 μ F のコンデンサに AC カップリングする必要があります。水晶振動子を使用する場合は、SYSLCKP と SYSLKN の間に接続します。水晶振動子を使用する場合は、SYSLKN ピンへの 0 Ω 直列抵抗配置を考える必要があります。水晶振動子で消費される電力を減らす必要がある場合は、この 0 Ω 抵抗を大きい抵抗（例えば 500 Ω ）に置き換えることができます。しかし、この直列抵抗が必要になることはほとんどありません（図 34 参照）。
53	SYSLCKP	I	Differential input	システム・クロック入力。SYSLCKP には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.01 μ F のコンデンサに AC カップリングする必要があります。水晶振動子を使用する場合は、SYSLCKP と SYSLKN の間に水晶振動子を接続してください。シングルエンド 1.8V CMOS もオプションですが、2 通倍器がイネーブルされていてデューティ・サイクルが 50%でない場合は、スプリアスが発生する可能性があります。SYSLCKP をシングルエンド入力として使用する場合は、SYSLKN とグラウンドの間に 0.01 μ F のコンデンサを接続してください。
56, 75	NC	I		未接続。これらのピンはフロート状態のままにします。
59	AVDD	I	Power	1.8V アナログ電源。
57, 58	TDC_VRB, TDC_VRT	I		これらのピンには容量性デカップリングを使用します（図 40 を参照）。
60, 66, 67, 73	AVDD3	I	Power	3.3V アナログ（リファレンス入力）電源。
61	REFA	I	Differential input	リファレンス A 入力。通常、この内部バイアス入力は AC カップリングされます。この構成では、3.3V までのシングルエンド振幅を持つあらゆる差動信号を使用できます。DC カップリングされている場合は、LVPECL、CMOS、または LVDS を入力とすることができます。
62	REFAA	I	Differential input	相補リファレンス A 入力。ピン 61 に出力される入力への相補信号。このピンは、独立したシングルエンド入力として設定できます。
63, 70, 74	AVDD	I	Power	1.8 V アナログ（リファレンス入力）電源。
64	REFB	I	Differential input	リファレンス B 入力。通常、この内部バイアス入力は AC カップリングされます。この構成では、3.3V までのシングルエンド振幅を持つあらゆる差動信号を使用できます。DC カップリングされている場合は、LVPECL、CMOS、または LVDS を入力とすることができます。
65	REFBB	I	Differential input	相補リファレンス B 入力。ピン 64 に出力される入力への相補信号。このピンは、独立したシングルエンド入力として設定できます。
68	REFC	I	Differential input	リファレンス C 入力通常、この内部バイアス入力は AC カップリングされます。この構成では、3.3V までのシングルエンド振幅を持つあらゆる差動信号を使用できます。DC カップリングされている場合は、LVPECL、CMOS、または LVDS を入力とすることができます。
69	REFCC	I	Differential input	相補リファレンス C 入力。ピン 68 に出力される入力への相補信号。このピンは、独立したシングルエンド入力として設定できます。
71	REFD	I	Differential input	リファレンス D 入力通常、この内部バイアス入力は AC カップリングされます。この構成では、3.3V までのシングルエンド振幅を持つあらゆる差動信号を使用できます。DC カップリングされている場合は、LVPECL、CMOS、または LVDS を入力とすることができます。
72	REFDD	I	Differential input	相補リファレンス D 入力。ピン 71 に出力される入力への相補信号。このピンは、独立したシングルエンド入力として設定できます。
76	IRQ	O	Logic	割込み要求ライン。
78, 79, 80, 81, 84, 85, 86, 87	M0, M1, M2, M3, M4, M5, M6, M7	I/O	3.3 V CMOS	設定可能 I/O ピン。これらのピンはプログラム制御の下で設定されます。M0~M2 はシリアル・ポート・モードの選択を制御し（表 29 参照）、M3~M7 はスタートアップまたはリセット時の EEPROM ローディングを制御します（M0~M7 ピンの初期設定のセクションを参照）。これらのピンはブルアップ抵抗またはブルダウン抵抗を内蔵していないので、スタートアップ時の予期せぬ動作を避けるためには、ブルアップ抵抗またはブルダウン抵抗を接続する必要があります。
EP	VSS	O	Exposed pad	露出パッドはグラウンド（VSS）に接続する必要があります。

代表的な性能特性

f_R = 入力リファレンス・クロック周波数、 f_O = クロック周波数、 f_{SYS} = SYSCLK 入力周波数、 f_S = 内部システム・クロック周波数、LBW = DPLL ループ帯域幅、PLL オフ = SYSCLK PLL をバイパス、PLL オン = SYSCLK PLL をイネーブル、 I_{CP} = SYSCLK PLL チャージ・ポンプ電流、LF = SYSCLK PLL ループ・フィルタ。特に指定のない限り、AVDD、AVDD3、DVDD は公称電源電圧、 f_S = 1GHz、 I_{CP} = 自動モード、LF = 内蔵。

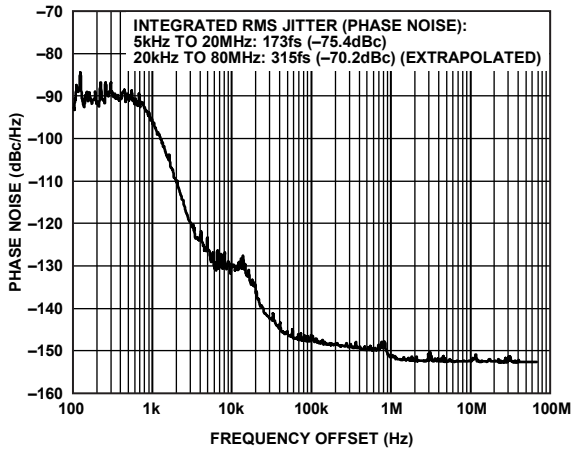


図 3. 付加位相ノイズ (出力ドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 155.52\text{MHz}$ 、
LBW = 1kHz、 $f_{SYS} = 1\text{GHz}$ 、PLL オフ

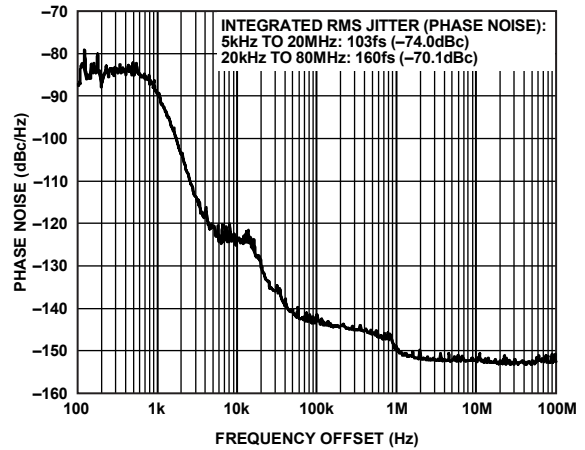


図 5. 付加位相ノイズ (出力ドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 311.04\text{MHz}$ 、
LBW = 1kHz、 $f_{SYS} = 1\text{GHz}$ 、PLL オフ

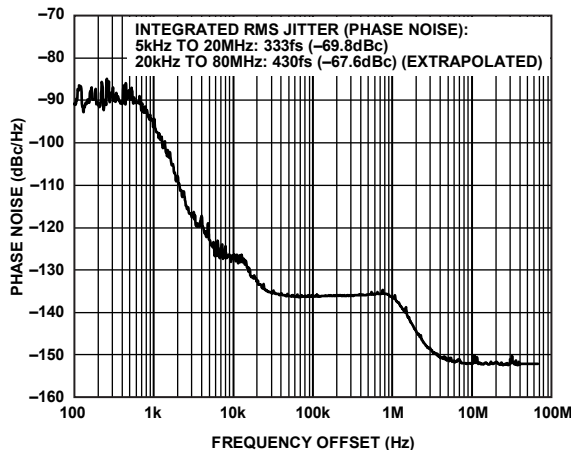


図 4. 付加位相ノイズ (出力ドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 155.52\text{MHz}$ 、
LBW = 1kHz、 $f_{SYS} = 50\text{MHz}$ (水晶振動子)、PLL オン

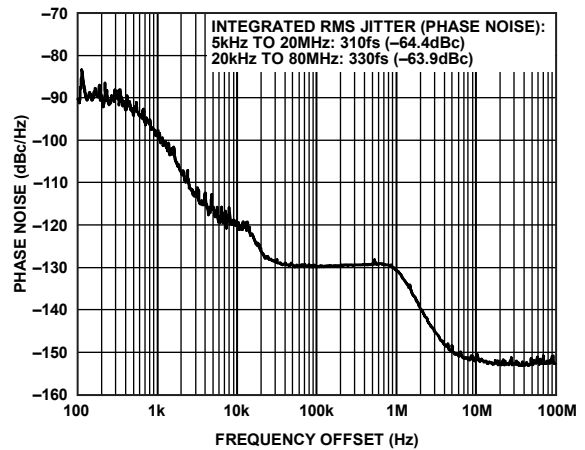


図 6. 付加位相ノイズ (出力ドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 311.04\text{MHz}$ 、
LBW = 1kHz、 $f_{SYS} = 50\text{MHz}$ (水晶発振器)、PLL オン

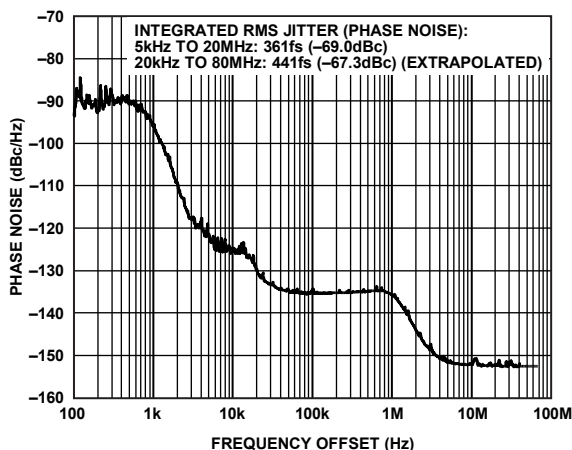


図 7. 絶対位相ノイズ (出カドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 155.52\text{MHz}$ 、
 $\text{LBW} = 1\text{kHz}$ 、 $f_{\text{SYS}} = 50\text{MHz}$ 、PLL オン

08022-069

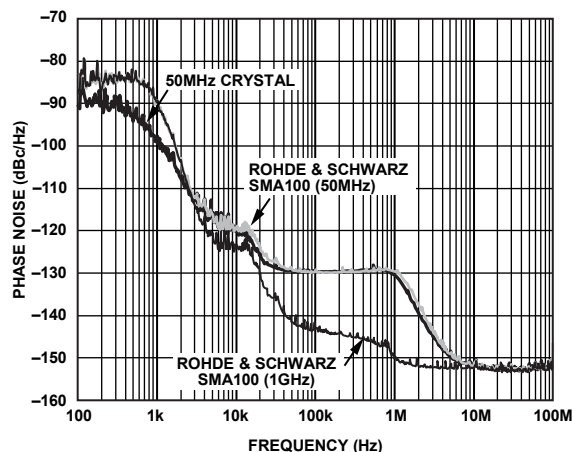


図 10. SYSCLK 入力オプションの絶対位相ノイズ比較 (出カドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 311.04\text{MHz}$ 、 $\text{LBW} = 1\text{kHz}$

08022-068

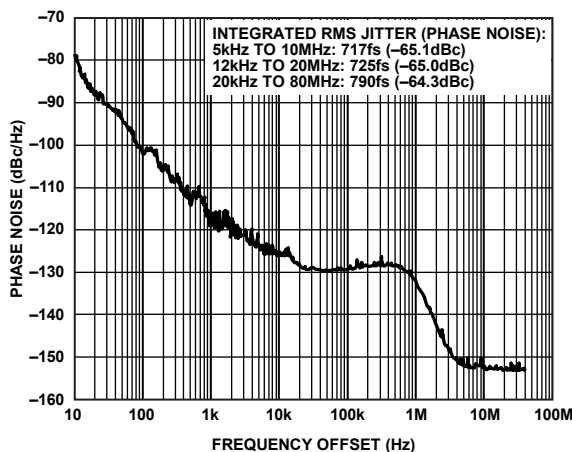


図 8. 絶対位相ノイズ (出カドライバ = LVPECL)、
 $f_R = 1\text{Hz}$ 、 $f_O = 122.88\text{MHz}$ 、
 $\text{LBW} = 0.05\text{Hz}$ 、 $f_{\text{SYS}} = 20\text{MHz}$ (OCXO)、PLL オン

08022-044

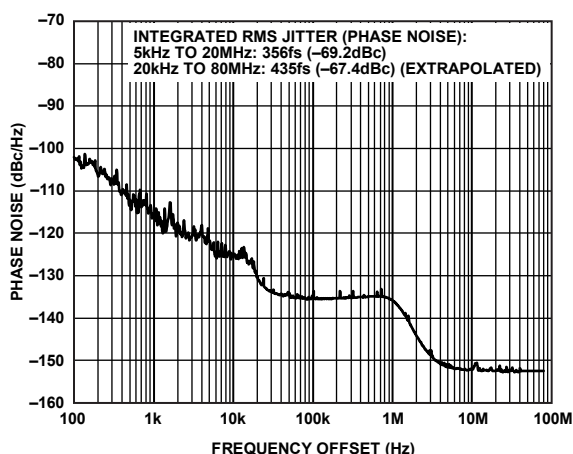


図 11. 絶対位相ノイズ (出カドライバ = LVPECL)、
 $f_R = 1\text{Hz}$ 、 $f_O = 155.52\text{MHz}$ 、
 $\text{LBW} = 0.05\text{Hz}$ 、 $f_{\text{SYS}} = 50\text{MHz}$ 、PLL オン

08022-054

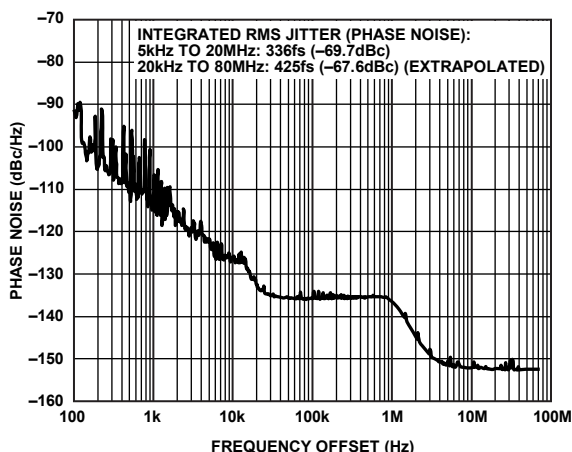


図 9. 絶対位相ノイズ (出カドライバ = LVPECL)、
 $f_R = 8\text{kHz}$ 、 $f_O = 155.52\text{MHz}$ 、
 $\text{LBW} = 100\text{Hz}$ 、 $f_{\text{SYS}} = 50\text{MHz}$ (水晶発振器)、PLL オン

08022-062

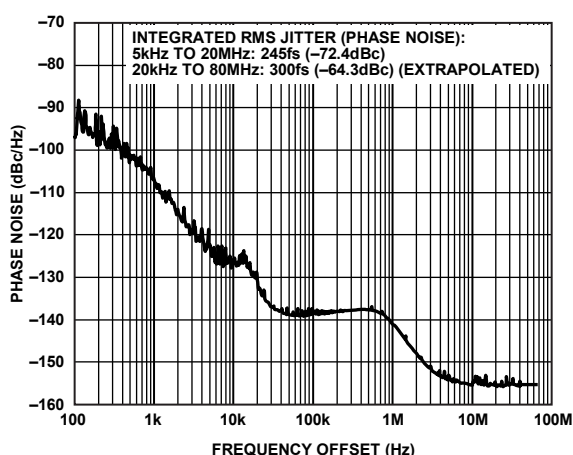


図 12. 絶対位相ノイズ (出カドライバ = LVPECL)、
 $f_R = 19.44\text{MHz}$ 、 $f_O = 155.52\text{MHz}$ 、
 $\text{LBW} = 1\text{kHz}$ 、 $f_{\text{SYS}} = 50\text{MHz}$ (水晶振動子)、周波数 2 乗倍器使用で PLL オン、
 $I_{\text{CP}} = 375\mu\text{A}$ 、 $\text{LF} = \text{外付け (350kHz)}$

08022-051

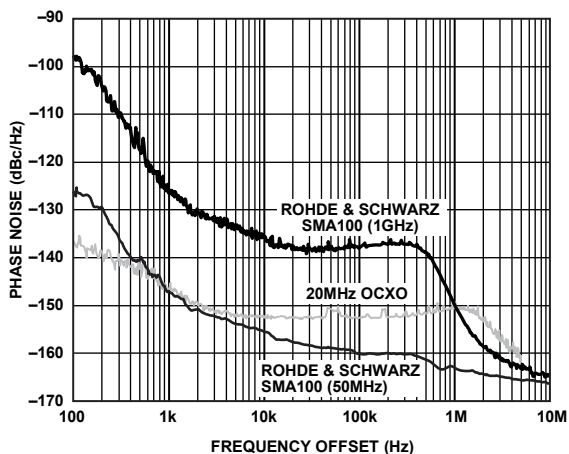


図 13. SYSCLK 入力源の位相ノイズ

08022-053

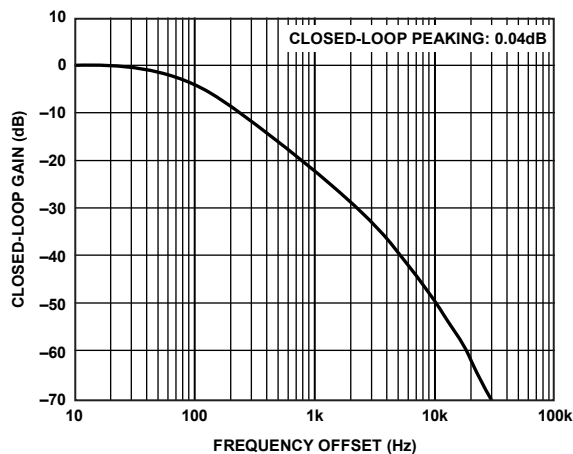


図 16. ジッタ転送帯域幅、出力ドライバ = LVPECL、
 $f_R = 19.44\text{MHz}$ 、 $f_0 = 155.52\text{MHz}$ 、
 $\text{LBW} = 100\text{Hz}$ (位相マージン = 88°)、
 $f_{\text{SYS}} = 1\text{GHz}$ 、PLL オフ

08022-447

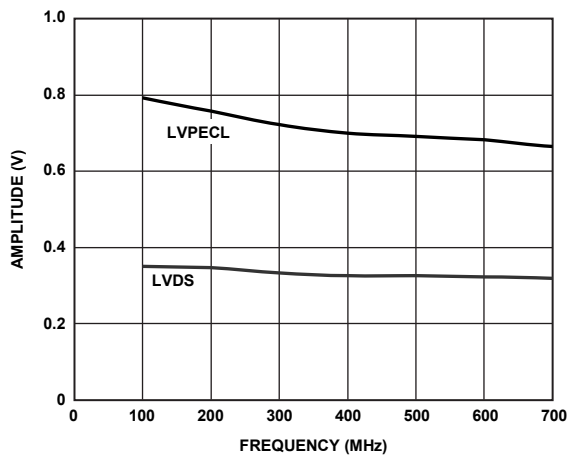


図 14. 振幅とトグル・レートの関係、
 LVPECL と LVDS

08022-049

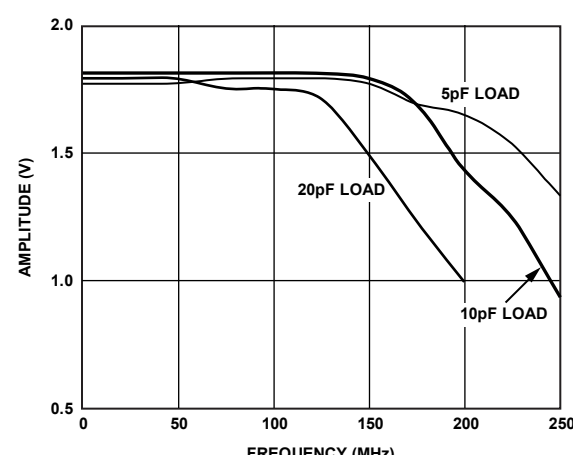


図 17. 振幅とトグル・レートの関係、
 1.8V CMOS

08022-062

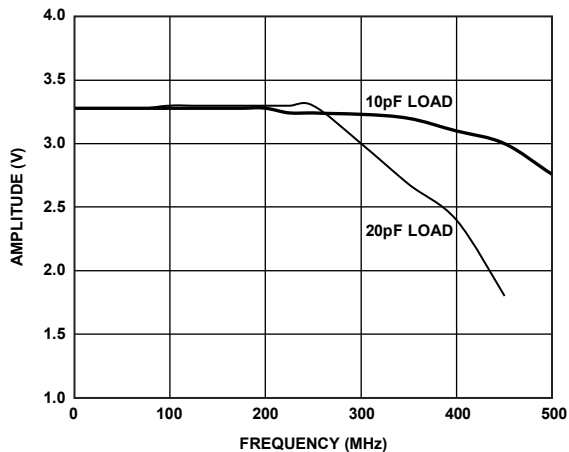


図 15. 振幅とトグル・レートの関係、
 3.3V CMOS (高駆動強度モード)

08022-055

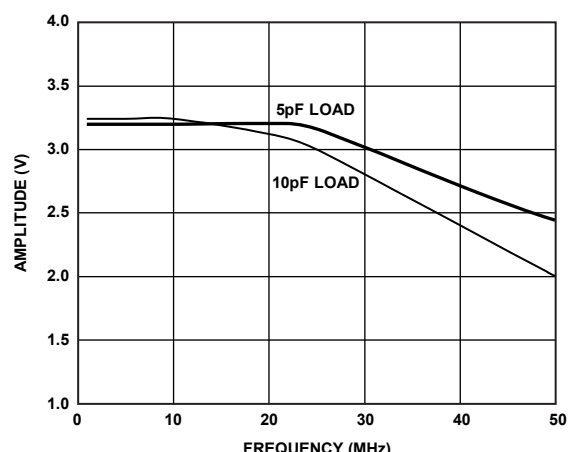


図 18. 振幅とトグル・レートの関係、
 3.3V CMOS (低駆動強度モード)

08022-063

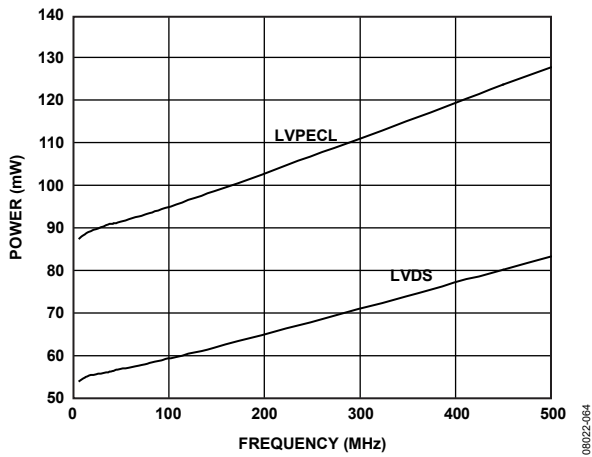


図 19. 消費電力と周波数の関係、
LVPECL と LVDS
(シングル・チャンネル)

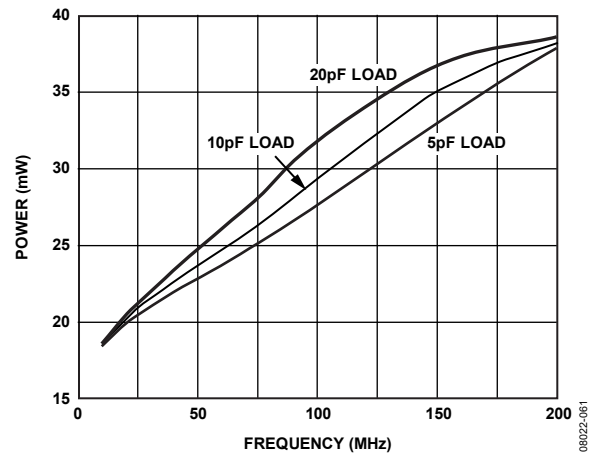


図 22. 消費電力と周波数の関係、
1.8V CMOS

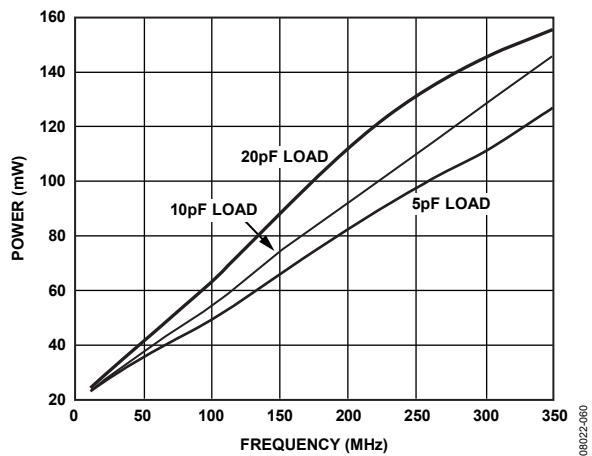


図 20. 消費電力と周波数の関係、
3.3V CMOS (高駆動強度モード)

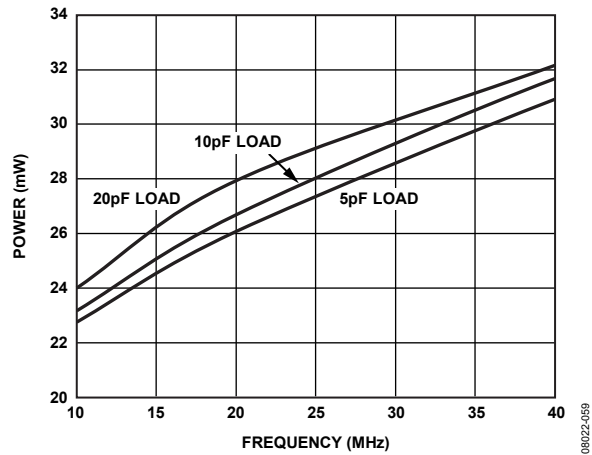


図 23. 消費電力と周波数の関係、
3.3V CMOS (低駆動強度モード)

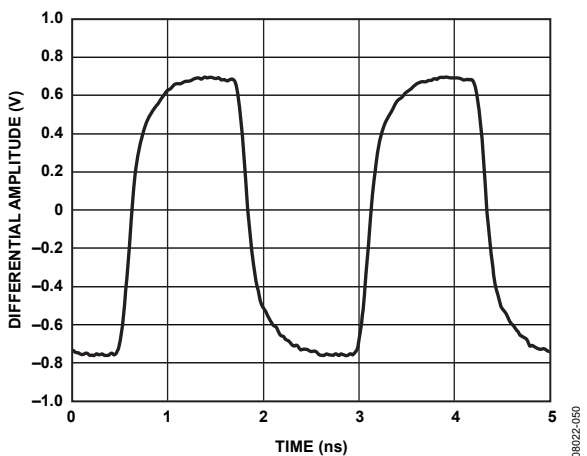


図 21. 出力波形、
LVPECL (400MHz)

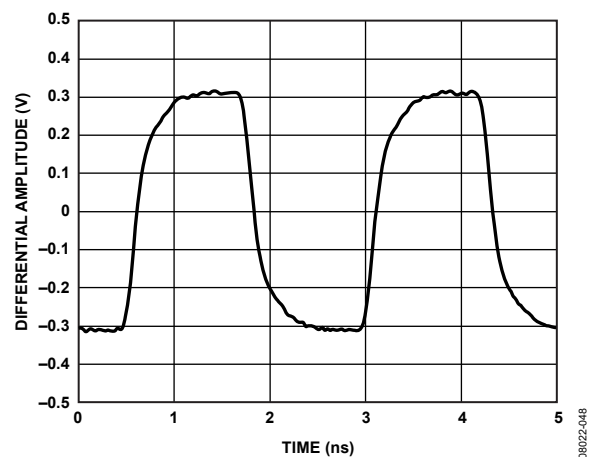
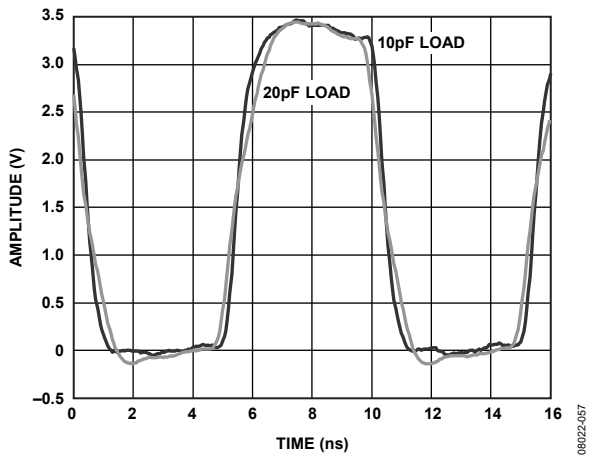
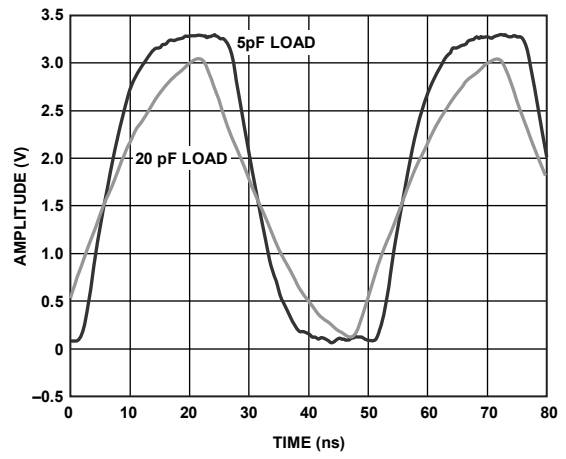


図 24. 出力波形、
LVDS (400MHz)



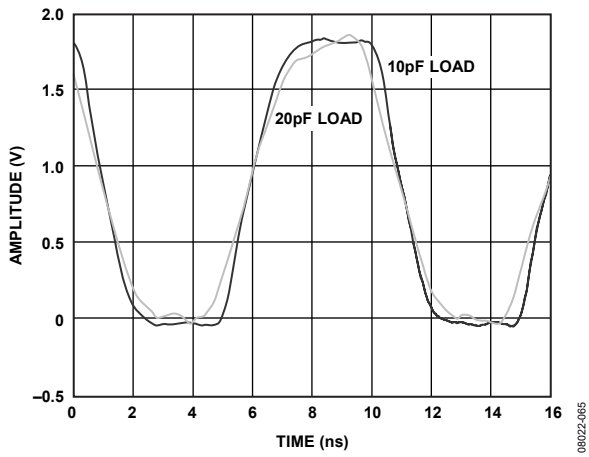
08022-057

図 25. 出力波形、
3.3V CMOS (100MHz、高駆動強度モード)



08022-046

図 27. 出力波形、
3.3V CMOS (20MHz、低駆動強度モード)



08022-065

図 26. 出力波形、
1.8V CMOS (100MHz)

推奨される入出力の終端処理

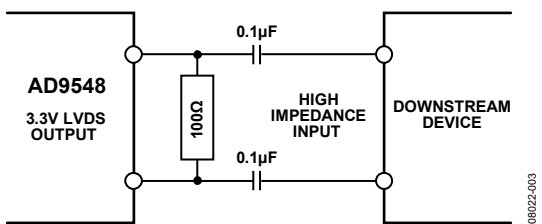


図 28. AC カップリングされた LVDS または LVPECL 出力ドライバ

08022-003

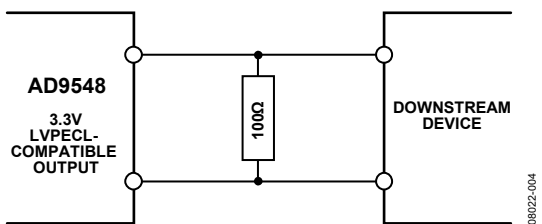


図 29. DC カップリングされた LVDS または LVPECL 出力ドライバ

08022-004

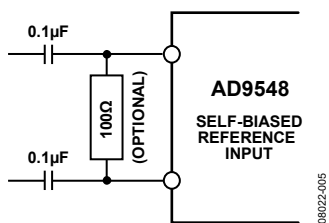


図 30. リファレンス入力

08022-005

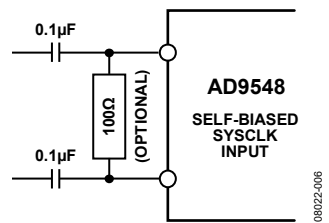


図 31. SYSCLKx 入力

08022-006

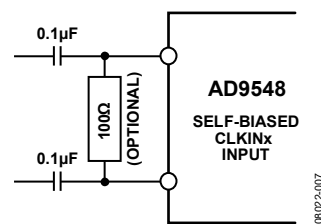


図 32. CLKINx 入力

08022-007

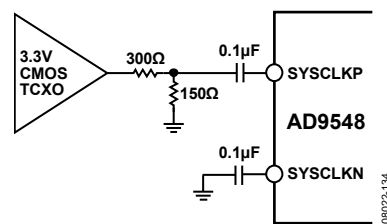
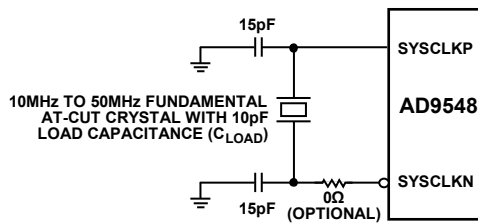


図 33. 3.3V CMOS 出力で TCXO/OCXO を使用する場合はシステム・クロック入力 (SYSCLKP/SYSCLKN)

08022-104



NOTES

1. THE RECOMMENDED $C_{LOAD} = 10pF$ IS SHOWN. THE VALUES OF THE $15pF$ SHUNT CAPACITORS SHOWN HERE MUST EQUAL $2 \times (C_{LOAD} - C_{STRAY})$, WHERE C_{STRAY} IS TYPICALLY $2pF$ TO $5pF$. THE SERIES RESISTOR CONNECTED TO SYSCLKN IS NORMALLY NOT REQUIRED, BUT CAN BE USEFUL TO LIMIT THE POWER DISSIPATED IN THE CRYSTAL.

図 34. 水晶振動子モードでのシステム・クロック入力 (XOA/XOB)

08022-103

設計の開始にあたって

パワーオン・リセット

AD9548 はパワーアップ時の電源電圧をモニタします。DVDD3 が $2.35V \pm 0.1V$ より大きく、DVDD (ピン 1、ピン 6、ピン 12、ピン 77、ピン 83、およびピン 88) が $1.4V \pm 0.05V$ より大きい場合、このデバイスは 75ns のリセット・パルスを生成します。パワーアップ・リセット・パルスは内蔵で、RESET ピンから独立しています。この内蔵パワーアップ・リセット・シーケンスが使われるため、外部電源シーケンシングを行う必要はありません。内部リセット・パルスの立上がりエッジ後 45ns 以内に、M0～M7 多機能ピンはハイ・インピーダンスのデジタル入力ピンとして動作し、別途プログラムしない限りその動作を維持します。

M0～M7 ピンの初期設定

デバイス・リセット時 (パワーアップ・リセット・パルスまたは RESET ピンを使用)、多機能ピン (M0～M7) はハイ・インピーダンス入力として動作しますが、リセット状態を脱するとレベルセンシティブ・ラッチが多機能ピンのロジック・パターンを取得します。AD9548 では、ブルアップ抵抗やブルダウン抵抗 (通常は $10k\Omega \sim 30k\Omega$) を使用することによって、M0～M7 ピンに必要なロジック・ステートを加える必要があります。

リセット後の M0～M7 の初期ステータスは、FncInit (ビット [7:0]) と呼ばれます。FncInit のビット [7:0] は、それぞれ M7:0 のロジック・ステータスに直接マップされます。FncInit の LSB 側 3 ビット (FncInit、ビット [2:0]) は、シリアル・ポート・インターフェースの動作を SPI プロトコルに従ったものにするか、あるいは I²C プロトコルに従ったものにするかを決定します。具体的には、ビット [2:0] = 000 とすると SPI インターフェースが選択されます。また、その他の値にすると I²C ポートが選択されて、I²C バス・アドレスの LSB 側 3 ビットが FncInit のビット [2:0] の値に設定されます。

FncInit の MSB 側 5 ビット (FncInit のビット [7:3]) は、EEPROM ロダの動作を決定します。RESET の立下がりエッジにおいて、FncInit のビット [7:3] = 00000 の場合 EEPROM の内容は制御レジスタに転送されず、デバイス・レジスタはデフォルト値を取ります。しかし、FncInit の Bits [7:3] \neq 00000 の場合、EEPROM コントローラは、条件 = FncInit のビット [7:3] で EEPROM の内容をコントロール・レジスタへ転送します (EEPROM のセクションを参照)。

デバイス・レジスタのプログラミング

M0～M7 ピンの初期ステータスは、シリアル入出力ポート・プロトコル (SPI または I²C) を設定します。適切なシリアル・ポート・プロトコルを使用し、EEPROM ダウンロードは使わないものとして、システム・クロック機能のプログラムから出力クロックの生成までのセクションに示す推奨シーケンスに従って、デバイスをプログラムしてください。

システム・クロック機能のプログラム

システム・クロック・パラメータは、レジスタ 0100 のアドレス空間に格納されます。これらには次のものが含まれます。

- システム・クロック PLL 制御
- システム・クロック周期
- システム・クロック安定性タイマー

AD9548 のサブシステムの多くはシステム・クロック周期に依存しているため、この値を設定することは必須です。また、システム・クロック安定性タイマーを設定することも強く推奨します。これはシステム・クロック PLL を使用する場合に特に重要ですが、外部システム・クロック源を使用する場合にも当てはまります。特に、AD9548 への電源供給時にその外部クロック源の完全な安定性が期待できないと予想されるような場合に重要です。

システム・クロックの初期化

システム・クロック機能をプログラムした後は、レジスタ 0x0005 のビット 0 を使って入出力更新を発行し、システム・クロック設定を有効にします。

システム・クロックの補正

(SYSCLK PLL を使用する場合のみ)

sync/ca>レジスタのシステム・クロック補正ビット (アドレス 0x0A02、ビット 0) を設定して、入出力更新を発行します。次にシステム・クロック補正ビットをクリアして、もう一度入出力更新を発行します。これによって、残りのデバイス・レジスタをプログラムする間に補正を進める時間を確保できます。

多機能ピンのプログラム (オプション)

このステップは、ステータスまたは制御用多機能ピンのいずれかを使用する場合のみ必要です。多機能ピンのパラメータは、レジスタ 0x0200～0x0207 のアドレス空間に格納されます。デフォルトでは、多機能ピンは未指定のハイ・インピーダンス入力ピンとして設定されます。

IRQ 機能のプログラム (オプション)

このステップは、IRQ 機能を使用する場合のみ必要です。IRQ 制御は、レジスタ 0x0200～0x0207 のアドレス空間に設定されます。これには次のものが含まれます。

- IRQ ピン・モード制御
- IRQ マスク

IRQ マスクのデフォルト値は、割込みが生成されないようになっています。IRQ ピン・モードのデフォルトはオープンドレイン NMOS です。

ウォッチドッグ・タイマーのプログラム (オプション)

このステップは、ウォッチドッグ・タイマーを使用する場合のみ必要です。ウォッチドッグ・タイマー制御は、レジスタ 0x0200 のアドレス空間に設定されます。ウォッチドッグ・タイマーは、デフォルトではディスエーブルされています。

DAC フルスケール電流のプログラム (オプション)

このステップは、デフォルト値以外のフルスケール電流を設定する場合のみ必要です。DAC フルスケール電流制御は、レジスタ 0x0200 のアドレス空間に設定されます。

デジタル・フェーズ・ロック・ループ (DPLL) のプログラム

DPLL パラメータは、レジスタ 0x0300 のアドレス空間に格納されます。これらには次のものが含まれます。

- フリーラン周波数 (DDS 周波数チューニング・ワード)
- DDS 位相オフセット
- DPLL プルイン・レンジ限界値
- DPLL クローズドループ位相オフセット
- 位相スルー制御 (ヒットレス・リファレンス・スイッチング用)
- チューニング・ワード履歴制御 (ホールドオーバー動作用)

クロック分配出力のプログラム

クロック分配パラメータは、レジスタ 0x0400 のアドレス空間に格納されます。これらには次のものが含まれます。

- 出力パワーダウン制御
- 出力イネーブル (デフォルトはディスエーブル)
- 出力同期
- 出力モード制御
- 出力分周器機能

リファレンス入力のプログラム

リファレンス入力パラメータは、レジスタ 0x0500 のアドレス空間に格納されます。これらには次のものが含まれます。

- リファレンス・パワーダウン
- リファレンス・ロジック・ファミリ
- リファレンス・プロファイル割り当て制御
- 位相ビルドアウト制御

リファレンス・プロファイルのプログラム

リファレンス・プロファイル・パラメータは、レジスタ 0x0600 ~ 0x0700 のアドレス空間に格納されます。これらには次のものが含まれます。

- リファレンス優先度
- リファレンス周期
- リファレンス周期許容誤差
- リファレンス検証タイマー
- リファレンス再検出タイマー
- デジタル・ループ・フィルタ係数
- リファレンス・プリスケラ (R 分周器)
- 帰還分周器 (S、U、および V)
- 位相および周波数ロック検出制御

リファレンス・アクイジションの生成

レジスタのプログラム後に、レジスタ 0x0005 のビット 0 を使って入出力更新を行い、その時点までにプログラムされたすべてのレジスタ設定を有効にします。

設定が手動プロファイル割り当て用にプログラムされたものである場合、DPLL は、最初に使用可能なリファレンスで最も優先度の高いものにロックされます。設定が自動プロファイル割り当て用にプログラムされている場合は、リファレンス・プロファイル検出レジスタ (アドレス 0x0A0D) に書込みを行って、開始すべきステート・マシンを選択します。次に、入出力更新 (アドレス 0x0005、ビット 0) を発行して、選択したステート・マシンを開始します。リファレンス検出シーケンスが完了すると、DPLL は、最初に使用可能なリファレンスで最も優先度の高いものにロックされます。

出力クロックの生成

レジスタが、DPLL のフェーズ・ロックまたは周波数ロックによる自動クロック分配同期用にプログラムされている場合、合成された出力信号はクロック分配出力に出力されます (この出力がイネーブルされ、DDS 出力信号が CLKIN 入力ピンに接続されている場合)。それ以外の場合は、同期分配ビット (アドレス 0x0A02、ビット 1) を設定してからクリアするか、多機能ピン入力を使用して (そのようにプログラムされている場合) クロック分配同期パルスを生成します。これにより、クロック分配出力に合成出力信号が出力されます。

動作原理

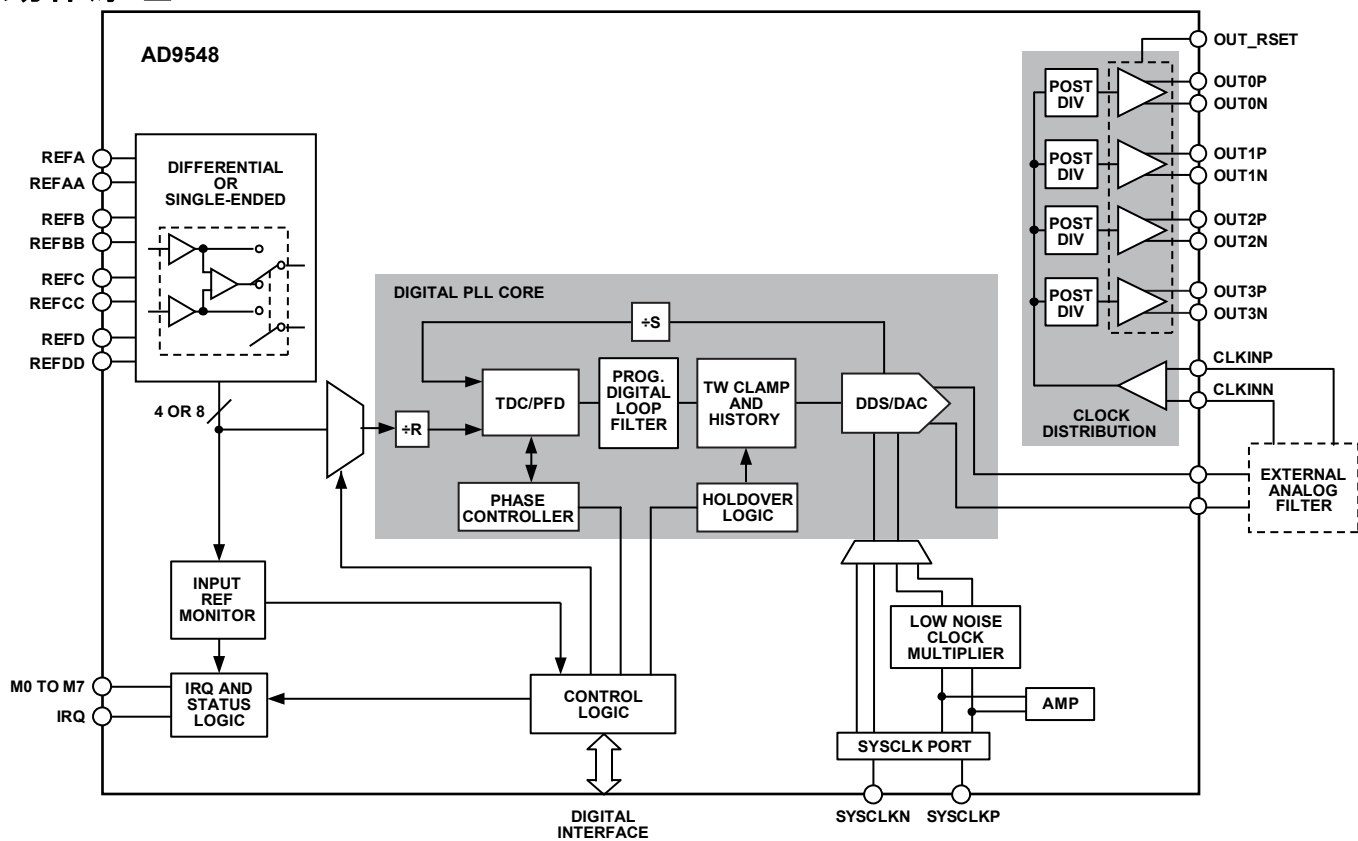


図 35. 詳細ブロック図

概要

AD9548は、その位相および周波数が（アクティブな）選択リファレンスに直接関係するクロック出力を生成しますが、ジッタ特性は主にシステム・クロックに支配されます。最大 8 つのリファレンス入力と広範なリファレンス周波数をサポートしています。この製品の中核をなすのはデジタル・フェーズ・ロック・ループ（DPLL）です。DPLL はプログラム可能なデジタル・ループ・フィルタを備えており、このフィルタがアクティブ・リファレンスから出力へ伝達されるジッタを大幅に低減します。AD9548は、手動ホールドオーバーと自動ホールドオーバーの両方の機能を備えています。ホールドオーバー中は、DAC サンプル・クロックが存在する限り AD9548 は出力を提供し続けます。ホールドオーバー出力周波数は、ホールドオーバー状態へ遷移する直前までの出力周波数履歴の時間平均です。

このデバイスは、アクティブ・リファレンスの信号品質が低下した場合や、リファレンスが完全に失われた場合に、手動または自動でリファレンスをスイッチオーバーできる機能を備えています。ダイレクト・デジタル・シンセサイザ（DDS）と内蔵 DAC はデジタル制御発振器（DCO）を構成しています。この DCO の出力は正弦波信号（最大 450MHz）で、その周波数は、アクティブ・リファレンス周波数およびリファレンス・プリスケアラのプログラム値（R）と帰還分周器のプログラム値（S）によって決定されます。図 35 には明示されていませんが、S 分周器には、フラクショナル N シンセサイザと同様に整数成分と小数成分があります。

SYSCLKx 入力は DAC 用のサンプル・クロックを提供しますが、これには、高周波数源を直接接続するか、低周波数源と PLL ベースの内蔵周波数通倍器を組み合わせるかのどちらかの方法が採られます。低周波オプションでは、SYSCLKx 入力同士の間には水晶振動子を直接接続して使用することもできます。

DAC 出力は直接オフチップに配線されており、信号をオンチップの CLKINx に戻す前に外付けフィルタがサンプリング・アーチファクトを除去します。オンチップに戻った後は内蔵コンパレータが、このフィルタを通過した正弦波信号を、立上がり時間と立下がり時間の極めて短いクロック信号（矩形波）に変換します。

クロック分配セクションには 4 つの出力ドライバがあります。各ドライバは、1 つの差動 LVPECL/LVDS 出力、または 2 つのシングルエンド CMOS 出力のどちらかにプログラム可能です。更に、これら 4 つの出力のそれぞれは、専用の 30 ビット・プログラマブル・ポスト分周器を備えています。クロック分配セクションの動作周波数は最大 725MHz です。このため、バンドパス再構成フィルタ（例えば SAW フィルタ）を使用して DAC 出力スペクトラムからナイキスト・イメージを抽出することができ、更にそれによって、DAC 出力で代表値 450MHz の制限を超える出力周波数を得ることが可能になります。

リファレンス・クロック入力

リファレンス・クロック・レシーバーへのアクセスには 4 ペアのピンを使用します。各ペアは、1 つの差動レシーバーとして、あるいは 2 つの独立したシングルエンド・レシーバーとして設定できます。立上がりエッジと立下がりエッジが遅い入力信号に対応するには、差動入力レシーバーとシングルエンド・レシーバーの両方にヒステリシスを持たせます。ヒステリシスがあると、入力の接続が外れていたりフローティング状態になったりしている場合でも、レシーバーが自然に発振してしまうのを防ぐことができます。

差動動作に設定すると、入力レシーバーは AC カップリングされた信号または DC カップリングされた信号のどちらかを扱います。レシーバーは、AC カップリング動作に対応するために内部的に DC バイアスされています。

シングルエンド動作に設定した場合、入力レシーバーのプルダウン負荷は 45kΩ となります。それぞれのシングルエンド・レシーバーには、プログラム可能な 3 つの閾値電圧範囲を使用できます。

リファレンス・モニタ

リファレンス・モニタは、既知の正確なシステム・クロック周期に依存しています。したがって、システム・クロックが安定しない限り、リファレンス・モニタの信頼できる動作は期待できません。有効表示が不正確なものになるのを避けるために、リファレンス・モニタは、システム・クロック安定性タイマーが終了するまで異常ステータスを示します（システム・クロック安定性タイマーのセクションを参照）。

リファレンス周期モニタ

各リファレンス入力には専用のモニタを備えており、リファレンス周期を反復して測定します。AD9548 は、リファレンス周期測定を使用し、ユーザがレジスタ・マップのプロファイル・レジスタ領域内に設定したパラメータのセットに基づいてリファレンスの有効性を決定します（プロファイル・レジスタ（レジスタ 0x0600～レジスタ 0x07FF）のセクションを参照）。AD9548 は、プロファイル割り当てを自動で行うようにデバイスがプログラムされている場合、プロファイルに特定のリファレンスを割り当てるときにもリファレンス周期測定を使用します。

モニタは、特定のリファレンス入力の測定周期を、同じリファレンス入力に割り当てられたプロファイル・レジスタに保存されているパラメータと比較することによって機能します。これらのパラメータには、リファレンス周期、内側許容誤差、および外側許容誤差が含まれます。50 ビットの数値は、リファレンス周期をフェムト秒単位で定義します。50 ビットで定義可能なリファレンス周期エントリの範囲は 1.125 秒です。ただし、実際のリファレンス信号の周期が 1 秒を超えている場合は、デバイスの推奨動作範囲を外れてしまいます。内側および外側許容誤差は 20 ビットの数値で定義されます。レジスタ内に保存される値は、許容誤差仕様値の逆数です。例えば許容誤差仕様値が 50ppm の場合、レジスタ値は $1 / (50\text{ppm}) = 1 / 0.000050 = 20,000$ (0x04E20) となります。

2 つの許容誤差値は、モニタ決定ロジックにヒステリシスを提供します。内側許容誤差はそれまで異常と判定されたリファレンス

に適用され、異常値だったリファレンス周期がこの範囲内に入れば正常値になるという許容誤差範囲の最大値を指定します。外側許容誤差は、既に正常と判定されたリファレンスに適用されます。これは、正常値だったリファレンス周期がこの範囲を超えると異常値になるという許容誤差範囲の最大値を指定します。

決定ヒステリシスを生成するには、内側許容誤差が外側許容誤差より小さくなければなりません。つまり、異常リファレンスを正常リファレンスとするには、正常リファレンスを異常リファレンスとする場合よりも厳しい要求を満たす必要があります。

リファレンス検証タイマー

各リファレンス入力には専用の検証タイマーがあります。検証タイマーは、異常と判定されていたリファレンスを AD9548 が正常と判定するまでに、正常な状態を保たなければならない時間の長さを設定します。検証タイマーのタイムアウト時間は、16 ビット・レジスタを介してプログラムできます（アドレス 0x0600 からアドレス 0x07FF までのレジスタ・マップ内にある 8 つのプロファイル・レジスタそれぞれに含まれる検証レジスタを参照）。検証レジスタ内に保存される 16 ビットの数値の単位はミリ秒で、65,535ms の最大タイムアウト時間を設定することができます。

検証タイマーをディスエーブルするには、検証時間を 0 にプログラムしてください。検証タイマーをディスエーブルした場合は、強制検証タイムアウト・レジスタ（アドレス 0x0A0E）を介し、手動でリファレンスを検証する必要があります。

リファレンス再検出タイマー

各リファレンス入力には専用の再検出タイマーがあります。再検出タイマーは、自動プロファイル選択用にプログラムされたデバイスでのみ使用できます。リファレンスが異常状態にある時間が再検出タイマーによって設定された時間に達すると、AD9548 はそのリファレンスを新しいプロファイルに再割り当てしようとします。再検出タイマーのタイムアウト時間は、16 ビット・レジスタを介してプログラムできます（アドレス 0x0600 からアドレス 0x07FF までのレジスタ・マップ内にある 8 つのプロファイル・レジスタそれぞれに含まれる再検出タイムアウト・レジスタを参照）。再検出タイムアウト・レジスタ内に保存される 16 ビットの数値の単位はミリ秒で、65,535ms の最大タイムアウト時間を設定することができます。

再検出タイマーをディスエーブルするには、タイムアウト時間を 0 にプログラムしてください。

リファレンス検証オーバーライド制御

レジスタ 0x0A0E～レジスタ 0x0A10 はリファレンス検証ロジックをオーバーライドする機能を提供し、一定レベルのトラブルシューティング機能を実現します。8 つのリファレンス入力は、図 36 に示すように、それぞれ専用の検証ロジック・ブロックを備えています。出力における有効な信号のステートは特定のリファレンスが有効 (1) か否か (0) を決定するものであり、これには、検証タイマーによって決定される検証時間が含まれません（アクティブになっている場合）。オーバーライド制御は、図の左側に示された 3 つの制御ビットです。

当てられます。手動プロファイル・ビットをロジック 0 とすると、対応リファレンスが自動リファレンス・プロファイル割り当て用に設定されます（この場合 3 LSB は無視されます）。自動リファレンス・プロファイル割り当て用に設定されたリファレンスは、アクティブにする必要があります（リファレンス・プロファイル割り当てステート・マシンのセクションを参照）。

リファレンス・プロファイル割り当てステート・マシン

AD9548 で 8 個あるリファレンスの 1 つに特定の入力リファレンスを割り当てる場合は、非常に柔軟な方法で行うことができます。リファレンス・プロファイル割り当てステート・マシンは、各入力リファレンスのインデックスをプロファイルにマップするリファレンス・プロファイル・テーブルを、効果的に作成します（表 22 を参照）。

プロファイル列の各エントリは、プロファイル番号（0～7）またはヌル値で構成されます。特定のリファレンス入力に対するリファレンス・プロファイル割り当てが存在しない場合は、ヌル値が出力されます（例えばリセット後）。表 22 内の情報は、リファレンス・プロファイル割り当てにリアルタイムでアクセスできるようにレジスタ・マップに示されています（レジスタ 0x0D0C～レジスタ 0x0D13）。レジスタ 0x0D0C には REF A の情報が、0x0D0D には REF AA の情報が格納されます。以下同様に続いて、最後のレジスタ 0x0D13 には REF DD の情報が格納されます。各レジスタのビット 7 は、その特定リファレンスのヌル・インジケータです。ビット 7 が 0 の場合、そのリファレンスのプロファイル割り当てはヌルです。ビット 7 が 1 の場合、そのリファレンスはビット [6:4] で指定されるプロファイル（0～7）に割り当てられます。ビット 7 が 1 の場合を除き、ビット [6:4] は特別な意味を持ちません。

表 22. リファレンス・プロファイル・テーブル

Reference Input	Reference Index	Profile
A	0	Profile number (or null value)
AA	1	Profile number (or null value)
B	2	Profile number (or null value)
BB	3	Profile number (or null value)
C	4	Profile number (or null value)
CC	5	Profile number (or null value)
D	6	Profile number (or null value)
DD	7	Profile number (or null value)

リセット後、リファレンス・プロファイル割り当てステート・マシンは、プロファイルへの誤ったリファレンス割り当てを避けるために、システム・クロックが安定するまで非アクティブになります。その理由は、ステート・マシンがリファレンス・モニタからの正確な情報に依存しており、更にリファレンス・モニタは安定したシステム・クロックに依存しているためです。パワーアップ時はリファレンス・プロファイル割り当てステート・マシンが非アクティブなので、リファレンス・プロファイル検出レジスタ（アドレス 0A0D）への書込みを行うことによって、ステート・マシンを手動で開始する必要があります。ステート・マシンは、システム・クロックが安定していない場合を除いて直ちにアクティブになります。クロックが安定していない場合は、システム・クロック安定性タイマーの終了後にアクティブになります。ステート・マシンの初期化は、リファレン

スごとに行われます。つまり、各リファレンス入力は、独立した初期化制御ビットに関連付けられています。

ステート・マシンは、リファレンスを処理するために初期化されると、デバイスがリセットされるまでそのリファレンスを継続的にモニタします。手動プロファイル選択用にリファレンスがプログラムされている場合でもこれは同じで、この場合、その特定リファレンスに関連付けられたステート・マシンは、アクティビティがマスクされた状態で動作します。自動プロファイル選択用にリファレンスをプログラムし直した場合は、バックグラウンド・アクティビティをマスクするとシームレスな動作が可能になります。

リファレンス・プロファイル割り当て

手動プロファイル割り当て用にリファレンスをプログラムすると（レジスタ 0x0503～レジスタ 0x0506 を参照）、リファレンス・プロファイル割り当てステート・マシンは、プログラムされた手動プロファイル番号を、リファレンス・プロファイル・テーブルの該当リファレンスに関連付けられた行のプロファイル列に単純に配置します（表 22 を参照）。しかし、自動プロファイル割り当て用にリファレンスをプログラムした場合、ステート・マシンは、そのリファレンスにどのプロファイルを割り当てるかを割り出さなければなりません。

特定入力リファレンスのリファレンス・プロファイル・テーブル内にヌル・エントリが存在する場合、そのリファレンスの検証ロジックは周期予測モードになります。ヌル・エントリはリセット後のデフォルト・ステートですが、リファレンス再検出タイマーの終了時にも生成されます。周期予測モードでは、検証ロジックによって入力リファレンス周期のブラインド予測を誤差 0.1%で行うことができます。検証ロジックは、リファレンス周期の予測が正常に終了するまで周期予測モードのままになります。

検証ロジックがリファレンス周期の測定を正常に終了すると、ステート・マシンが、測定周期と 8 つのプロファイルそれぞれにプログラムされた公称リファレンス周期を比較します。ステート・マシンは、測定周期に最も近いプロファイルにリファレンスを割り当てます。リファレンス周期と正確に一致しているプロファイルが複数ある場合、ステート・マシンは数値インデックスが最も小さいプロファイルを選択します。例えば、プロファイル 3 とプロファイル 5 のリファレンス周期が測定周期と一致した場合は、プロファイル 3 に対して割り当てが行われません。

リファレンス・プロファイル割り当てが不適切なものとなるのを避けるために、ステート・マシンは、測定リファレンス周期が、最も近い一致プロファイル内にある公称リファレンス周期の 6.25%以内となるようにします。それ以外の場合、ステート・マシンはプロファイル割り当てを行わず、リファレンス・プロファイル・テーブル内のヌル・エントリをそのまま残します。

自動プロファイル割り当て用にプログラムされた入力リファレンスが複数存在していて、そのリファレンスに対するプロファイル割り当てがヌルの場合、ステート・マシンはそれらのリファレンスを順次確認していき、一致するプロファイルを探します。更に、入力リファレンスがプロファイルに割り当てられない限りそのリファレンスは無効なものを見なされ、リファレンス・スイッチオーバーの候補としては除外されます。

リファレンス・スイッチオーバー

AD9548の魅力的な特長の1つが、高い汎用性を備えたリファレンス・スイッチオーバー機能です。リファレンス・スイッチオーバー機能の高い柔軟性は、高度な優先度付けアルゴリズムとレジスタベース制御の組み合わせによるものです。この方式は、リファレンス・スイッチオーバーを扱うステート・マシンに対する最大限の制御を実現します。

リファレンス・スイッチオーバー制御は、主にループ・モードで行われます（アドレス 0x0A01）。ユーザ選択モード・ビット（レジスタ 0x0A01 のビット [4:3]）によって、以下に示すリファレンス・スイッチオーバー・ステート・マシンの4つの動作モードの1つを選ぶことができます。

- 自動モード（アドレス A01、ビット [4:3] = 00）
- フォールバック・モード（アドレス 0A01、ビット [4:3] = 01）
- ホールドオーバー・モード（アドレス 0A01、ビット [4:3] = 10）
- 手動モード（アドレス 0A01、ビット [4:3] = 11）

自動モードでは、完全自動優先度ベース・アルゴリズムが、どのリファレンスがアクティブ・リファレンスかを選択します。自動モード用にプログラムした場合、デバイスはユーザ選択リファレンス・ビット（レジスタ 0x0A01、ビット [2:0]）を無視します。しかし、他の3つのモードのいずれかにプログラムした場合、デバイスはユーザ・リファレンス・ビットを使用します。これらのビットは、特定の入力リファレンスを指定します（000 = REF A、001 = REF AA、…、111 = REF DD）。

フォールバック・モードでは、ユーザ・リファレンスが有効な場合は常にそのリファレンスがアクティブ・リファレンスとなります。それ以外の場合、デバイスは自動の優先度ベース・アルゴリズムを使用して新しいリファレンスに切り替えます。

ホールドオーバー・モードでは、ユーザ・リファレンスが有効な場合、常にそのリファレンスがアクティブ・リファレンスとなります。それ以外の場合、デバイスはホールドオーバー・モードに切り替わります。

手動モードでは、有効か否かに関わらず、常にユーザ・リファレンスがアクティブ・リファレンスとなります。このモードを使用する場合、ユーザ・リファレンスとして宣言された特定リファレンス用の指示としてリファレンス・プロファイル割り当て（レジスタ 0x0503～レジスタ 0x0506）をプログラムする必要があります。これは、ユーザ・リファレンスが失われてその再検出タイマーが終了した場合、そのプロファイル割り当て（表 22 を参照）がヌルになるからです。これは、アクティブ・リファレンス（ユーザ・リファレンス）に割り当てられたプロファイルがなく、そのために AD9548 が未定義ステートに置かれることを意味します。

ユーザ・ホールドオーバー・ビット（レジスタ 0x0A01 のビット 6）とユーザ・フリーラン・ビット（同じくビット 5）を介して、デバイスを直接ホールドオーバー動作またはフリーラン動作に強制する、という選択肢もあります。フリーラン・モードでは、フリーランニング周波数調整ワード・レジスタ（アドレス 0x0300～アドレス 0x0305）が DDS 出力周波数を決定します。ホールドオーバー・モードでは、DDS 出力周波数はホールドオーバー制御設定に依存します（ホールドオーバーのセクションを参照）。

自動優先度ベースのリファレンス・スイッチオーバー

AD9548は、自動リファレンス・スイッチオーバーおよびフォールバック・リファレンス・スイッチオーバーの両方に有効な、2階層構造の自動優先度ベース・アルゴリズムを備えています。このアルゴリズムは、各リファレンス・プロファイルには選択優先度と変更優先度の両方が含まれているという事実に依存しています。選択優先度値と変更優先度値の範囲は、0（最高優先度）から 7（最低優先度）までです。選択優先度は、リファレンスをアクティブ・リファレンスとして選択する順番を決定します。変更優先度は、リファレンスがアクティブになった後にはのみ与えられる別の優先度値です。

自動リファレンス・スイッチオーバーは、アクティブ・リファレンスが使用できなくなったとき、または過去に使用できなくなったリファレンスが有効になって、その選択優先度が現在アクティブなリファレンスの変更優先度より高くなったときに行われます（自動またはフォールバック・リファレンス・スイッチオーバーが有効なことが前提です）。自動リファレンス・スイッチオーバーを行う場合、AD9548はプロファイル内の優先度設定に基づいてリファレンスを選択します。つまり、デバイスは、最も高い選択優先度を持つ（優先度を表す数値が最も小さい）リファレンスに切り替えます。これは、リファレンス・プロファイル・テーブル（表 22 参照）を使用し、最も高い優先度を示すプロファイルに関連付けられたリファレンスを決定することによって行われます。

複数のリファレンスが同じプロファイルを共有している場合、デバイスは最も低いインデックス値のリファレンスを選択します。例えば、A リファレンス（インデックス 0）、B リファレンス（インデックス 2）、および CC リファレンス（インデックス 5）が同じプロファイルを共有している場合は、インデックス値が最も小さいリファレンス A へのスイッチオーバーが実行されます。ただし、この選択プロセスでスイッチオーバーの対象となるのは、有効なリファレンスに限られます。スイッチオーバー制御ロジックは、ステータスが無効になっているリファレンスをすべて無視します。

複数の差動リファレンス入力を使用するときは、最も優先度の高いリファレンス入力信号を、最も小さいインデックス値のリファレンス入力に接続してください（物理的な接続）。例えば、リファレンス入力 B の差動信号が、リファレンス入力 A の差動信号より高い優先度を持つことはありません。また、リファレンス入力 C の差動リファレンスが、リファレンス入力 B の差動信号より高い優先度を持つことはなく、リファレンス入力 D の差動信号がリファレンス入力 C の差動信号より高い優先度を持つことはありません。リファレンス入力 A の差動リファレンスに、優先度に関する制約はありません。4つの差動リファレンス入力における4つの有効な優先度設定を表 23 に示します。

表 23. 有効な差動リファレンス優先度の例¹

Reference Input A	Reference Input B	Reference Input C	Reference Input D
0	1	2	3
0	0	0	0
3	3	4	4
2	2	3	7

¹ CMOS 入力用に設定されたリファレンス入力は、これらの検討から除外されます。

変更優先度パラメータを使用すると、リファレンスがアクティブになった後で、より高い優先度をそのリファレンスに割り当てることができます。例えば、4つのリファレンスの優先度が選択優先度3と変更優先度1で、残りのリファレンスの優先度が選択優先度2と変更優先度2だとします。ここで、優先度2のリファレンスがすべて使用できなくなったために、優先度3のリファレンスがアクティブになるものとします。しかし、その後少ししてから、優先度2のリファレンスが再び有効になったものとします。この場合、優先度2のリファレンスは現在アクティブな優先度3のリファレンスよりも優先度が高いため、通常、スイッチオーバー・ロジックは自動的に優先度2のロジック

クにスイッチオーバーしようとしています。しかし、優先度3のリファレンスがアクティブなので、その変更優先度は1で有効な状態になっています。これは、新たに有効になったリファレンスの優先度2よりも高いので、スイッチオーバーは行われません。このメカニズムは、アクティブ・リファレンスとして選択されたリファレンスを優先して処理することを可能にします。変更優先度と非変更優先度のスイッチング例を図37に状態図形式で示します。図38に、リファレンス入力、モニタ、検証ロジック、プロフィール選択、および優先度選択の各機能間の相互関係を示すブロック図を示します。

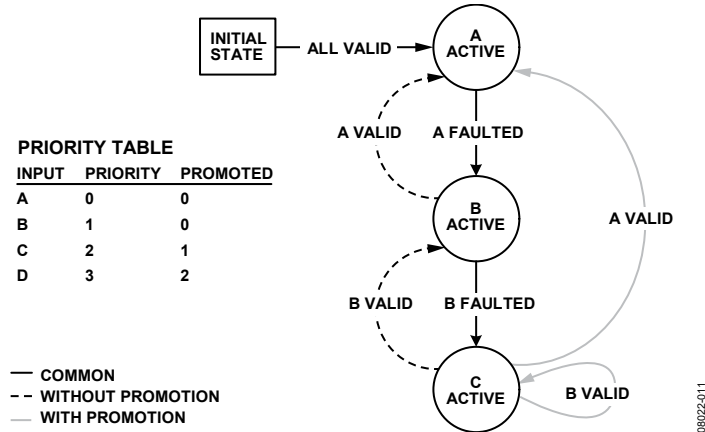


図 37. 優先度変更の例

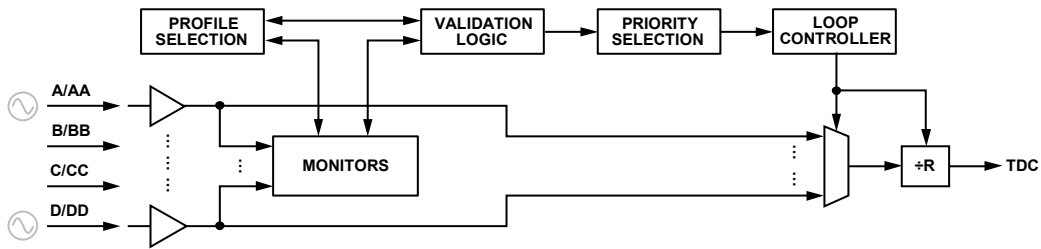


図 38. リファレンス・クロックのブロック図

位相ビルドアウト・リファレンス・スイッチング

位相ビルドアウト・リファレンス・スイッチングは、前のリファレンスと新しいリファレンスの間のあらゆる位相差を完全にマスクするリファレンス・スイッチオーバーを指す語です。つまり、位相ビルドアウト・スイッチオーバー発生時には、出力で検出可能な位相変化は実質的にありません。

AD9548は、新しいリファレンスが位相マスタかどうかに基づいて位相ビルドアウトを処理します。位相マスタは、位相マスタの優先度閾値より小さい選択優先度値を持つ（つまり優先度がより高い）リファレンスです。選択優先度はプロファイル・レジスタ（アドレス 0x0600～アドレス 0x07FF）内に置かれますが、位相マスタ優先度閾値は位相ビルドアウト・スイッチング・レジスタ（アドレス 0x0507）内に置かれます。デフォルトでは、位相マスタ優先度閾値は 0 です。したがって、この位相マスタ優先度閾値を変更するまで、どのリファレンスも位相マスタとすることはできません。

AD9548 は、1 つのリファレンスから別のリファレンスへのスイッチングを行う際に、新しいリファレンスに割り当てられたプロファイルに保存されている選択優先度値と、位相マスタの優先度閾値とを比較します。AD9548は、新しいリファレンスが位相マスタでない場合のみ、位相ビルドアウト・スイッチオーバーを実行します。

ヒットレス・リファレンス・スイッチング (位相スルー制御)

ヒットレス・リファレンス・スイッチングという語は、PLL がフェーズ・ロックを確立するプロセスにある間、出力クロックの位相変化率が制限されるリファレンス・スイッチオーバーに対して使われます。これは、出力周波数オフセットが過大になるのを防ぎます。

完全デジタル式の DPLL コア（デジタル PLL (DPLL) コアのセクションを参照）を使用すれば、DPLL 出力における位相の変化率を数値制御することができます。イネーブルすると、位相スルー・コントローラが、帰還入力と DPLL へのリファレンス入力の間の位相差をモニタします。位相スルー・コントローラは、位相変化率にユーザ指定リミット限界値を設定する機能を備えているので、ヒットレス・リファレンス・スイッチングのためのメカニズムを提供します。

位相変化率の限界値は、16 ビット位相スルー・レート制限レジスタ（アドレス 0x0316～アドレス 0x0317）に適切な値を保存することによって設定します。この 16 ビット・ワード（単位は ns/sec）は、リファレンス・スイッチオーバー時の DPLL 出力における位相変化率の上限を設定します。位相スルー・レート値が 0（デフォルト）の場合、位相スルー・コントローラはディスエーブルされます。

位相スルー・コントローラの精度は、位相スルー限界値とシステム・クロック周波数の両方に依存します。一般に、位相スルー・レート制限値が増大したりシステム・クロック周波数が減少したりした場合は、誤差が小さくなる傾向があります。したがって、最良の精度は、位相スルー限界値が最大でシステム・クロック周波数が最小のときに得られます。例えば、システム・クロックを 1GHz、位相スルー限界値を 315ns/sec（またはそれ以上）とした場合の誤差は 10%未満で、位相スルー・レート制限値を約 3100ns/sec 以上とした場合の誤差は 1%未満となります。一方、500MHz のシステム・クロックに対して上記 2 例と同じ位相スルー・レート制限値を使用したとすると、誤差はそれぞれ 5%未満、および 0.5%未満となります。

デジタル PLL (DPLL) コア

DPLL の概要

AD9548 のデジタル PLL コアの図を図 39 に示します。この第 2 世代 DPLL を構成する位相/周波数検出器、帰還パス、ロック検出器、位相オフセット、および位相スルー・レート制限は、すべてデジタル実装です。

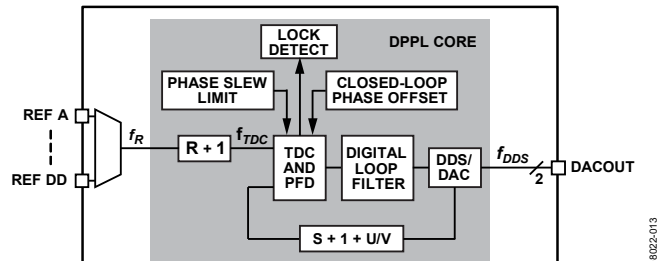


図 39. デジタル PLL コア

DPLL シグナル・チェーンの開始点となるのは、リファレンス入力の周波数であるリファレンス信号 f_R です。リファレンス・プリスケータは、整数係数 $R+1$ を使ってこの信号の周波数を下げます。ここで、 R は該当プロファイル・レジスタに保存される 30 ビット値で、 $0 \geq R \geq 1,073,741,823$ です。したがって、 R 分周器の出力（または TDC への入力）における周波数は次式で表されます。

$$f_{TDC} = \frac{f_R}{R+1}$$

時間/デジタル・コンバータ (TDC) は、 R 分周器の出力をサンプリングします。TDC/PFD はデジタル・ワードの時系列を生成して、それをデジタル・ループ・フィルタへ送ります。デジタル・ループ・フィルタには以下の利点があります。

- ディスクリット部品の値ではなく数値係数によってフィルタ応答を決定
- アナログ部品 (R/L/C) がないので、経年劣化による許容誤差の変動がない
- アナログ部品に伴う熱ノイズがない
- アナログ部品に伴う制御ノードのリーク電流（従来のアナログ PLL の出力スペクトラムに含まれるリファレンス・フィードスルー・スプリアスの発生源）がない

デジタル・ループ・フィルタはその出力にデジタル・ワードの時系列を生成して、それを DDS の周波数チューニング入力へ送ります。ここで、DDS はアナログ PLL における VCO の役割を果たします。また、ループ・フィルタからのデジタル・ワードは、DDS 周波数を入力信号 (f_{TDC}) による周波数および位相ロックの方向へ導く役割を果たします。DDS は内蔵 DAC を介してアナログ出力信号を提供し、アナログ VCO の動作を効果的に再現します。

DPLL には帰還分周器が組み込まれており、これによって DDS は f_{TDC} の整数プラス非整数倍 ($S+1+U/V$) で動作します。S はプロファイル・レジスタに保存される 30 ビット値で、その範囲は $7 \geq S \geq 1,073,741,823$ です。U と V はオプションの非整数分周成分を表す 10 ビットの分子値と分母値で、これらの値もプロファイル・レジスタに保存されます。これらの値は、次式で与えられる公称 DDS 周波数 (f_{DDS}) を構成します。

$$f_{DDS} = \frac{f_R}{R+1} \left(S+1 + \frac{U}{V} \right)$$

通常、フラクショナル N 構造では、非整数値に基づく整数分周器の変調が原因で、位相ノイズおよびスプリアスによる独特のアーチファクトが発生します。AD9548 では完全なデジタル手法で位相誤差を決定しているため、このようなアーチファクトの発生はありません。帰還分周器の変調によって発生する位相誤差は確定的なものであるため、デジタル的に補正できます。これにより、識別可能な変調アーチファクトを伴わないフラクショナル N PLL が実現されています。

TDC/PFD

TDC は、アナログ回路とデジタル回路の両方が組み込まれた高集積度の機能ブロックです。TDC に関連するピンは 2 本あり、これは外付け部品に接続する必要があります。これらの部品の推奨される値と接続方法を図 40 に示します。

最大限の性能を得るために、これらの部品はできるだけデバイス・ピンの近くに配置してください。また、等価直列抵抗 (ESR) と寄生インダクタンスの小さい部品を使用することで、最良の結果を得ることができます。

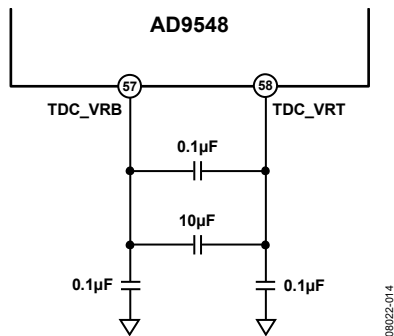


図 40. TDC ピンの接続

位相周波数検出器 (PFD) はオール・デジタル・ブロックです。PFD は、TDC からのデジタル出力 (アクティブ・リファレンス・エッジに関係) と帰還ブロックからのデジタル・ワード (帰還分周器による分周後の DDS アキュムレータのロールオーバー・エッジに関係) を比較します。PDF は (従来使われているチャージ・ポンプとコンデンサではなく) デジタル・コード・ポンプとデジタル積分器を使用して、DDS 周波数をフェーズ・ロックに導く誤差信号を生成します。

クローズドループ位相オフセット

TDC/PFD は完全なデジタル方式なので、リファレンス・エッジと帰還エッジ間の位相オフセットを数値制御することができます。このため、40 ビットの固定フェーズ・ロック・オフセット・レジスタ (アドレス 0x030F ~ アドレス 0x0313) をプログラムすることによって、リファレンス入力エッジに対する分配出力エッジの相対的なタイミングを調整することが可能です。この 40 ビット・ワードは符号付き数値 (2 の補数) で、単位はピコ秒です。

更に、クローズドループ位相オフセット (正または負) は段階的に調整することができます。これを行うには、16 ビットのインクリメンタル・フェーズ・ロック・オフセット・ステップ・サイズ・レジスタ (アドレス 0x0314 ~ アドレス 0x0315) を使って、必要なステップ・サイズをプログラムします。これは符号なし数値で、単位はピコ秒です。インクリメント位相オフセット・ビット (レジスタ 0x0A0C、ビット 0) にロジック 1 を書き込むと、その都度、プログラムしたステップ・サイズが現在のクローズドループ位相オフセットに加えられます。これとは逆に、デクリメント位相オフセット・ビット (レジスタ 0x0A0C、ビット 1) にロジック 1 を書き込むと、その都度、プログラムしたステップ・サイズが現在のクローズドループ位相オフセットから引かれます。シリアル入出力ポート制御ロジックは、これらのビット両方を自動的にクリアします。段階的に累積された位相は、インクリメント位相オフセット・リセット・ビット (レジスタ 0x0A0C、ビット 2) にロジック 1 を書き込むことによって削除できます。このビットも自動的にクリアされます。あるいは、シリアル入出力ポートを使用せずに、多機能ピンをセットアップしてインクリメント、デクリメント、およびクリアの機能を実行することもできます。

インクリメント位相オフセットは、固定フェーズ・ロック・オフセット・レジスタにプログラムされたオフセットとはまったく別のものです。ただし、位相スルー・リミッタがアクティブの場合 (ヒットレス・リファレンス・スイッチング (位相スルー制御) のセクションを参照)、クローズドループ位相オフセット (固定またはインクリメンタル) のあらゆる瞬間的変化は、位相スルー・リミッタの動作によって発生する可能性のあるスルー制限の対象となります。

プログラマブル・デジタル・ループ・フィルタ

AD9548 のループ・フィルタは 3 次デジタル IIR フィルタで、図 41 に示す 3 次アナログ・ループと同様の働きをします。

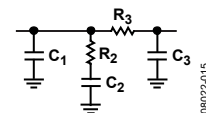


図 41. 3 次アナログ・ループ・フィルタ

このフィルタには、図 42 に示す 4 個の係数が必要です。AD9548 評価用ボード・ソフトウェアは、設計基準に基づいて必要なループ・フィルタ係数値を自動的に生成します。デジタル・フィルタ係数の計算のセクションには、このループ・フィルタ係数を手動で計算するための設計式が示されています。

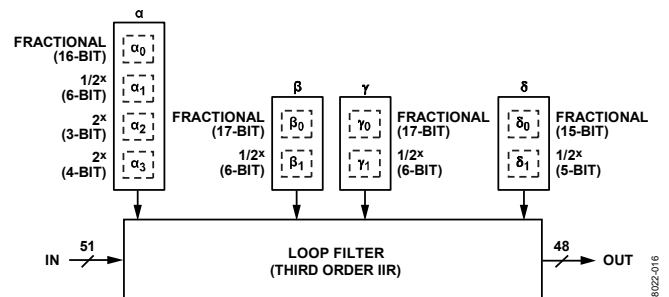


図 42. 3 次デジタル IIR ループ・フィルタ

各係数には、0以上1未満の値を表す非整数成分があります。また、2を底とする負の指数の累乗値を表す指数成分も含まれています。つまりユーザは、ハードウェアが「2を底とする負の指数の累乗値」(2^{-x})として解釈する正の数(x)を入力します。したがって、係数 β 、 γ 、および δ は常に1未満の値を表します。しかし、係数 α は、2つの追加的な指数成分を含んでいますが、ハードウェアはこれらを2を底とする正の指数の累乗(つまり 2^x)として解釈します。このため、係数 α は1より大きい値とすることができます。十分なダイナミック・レンジを実現するために、正の指数の累乗は2つの分離した項として表されます。

DPLL フェーズ・ロック検出器

DPLLには、完全デジタル式のフェーズ・ロック検出器が組み込まれています。フェーズ・ロック検出器の閾値感度とヒステリシスは、プロファイル・レジスタを介して制御します。

フェーズ・ロック検出器の動作は、浴槽内の水に例えることができます(図43参照)。浴槽の合計容量を4096とすると、-2048が空で、0が50%、+2048が満杯の状態を示します。この浴槽は、水のあふれを防ぐ安全装置も備えています。更に、-1024の位置に低水位マーク、+1024の位置に高水位マークがあります。水位を変えるには、給水用のバケツを使って水を足したり、排水用のバケツを使って水を減らしたりします。この給水および排水に使用するバケツのサイズは、プロファイル・レジスタ内の8ビットのフィル・レート(給水量)値およびドレイン・レート(排水量)値で指定します。

ロック検出器は、ロック状態とロック解除状態を決定するための基準として、浴槽内の水位を使用します。水位が低水位マーク(-1024)を下回ると、検出器はロック解除状態を示します。逆に、水位が高水位マーク(+1024)を上回ると、検出器はロック状態を示します。水位が上下のマークの間にある間、検出器は直前の状態をそのまま維持します。図43はこの概念を示した図で、ある時点における水位(縦軸)と時間(横軸)、およびそれらに基づくロック/ロック解除状態を重ねて示しています。

指定された任意のPFD位相誤差サンプルにおいて、検出器は給水バケツで水を足すか、排水バケツで水を減らします(足すか減らすかのどちらかで、両方を行わない)。水を足すか減らすかの決定は、ユーザが指定した閾値レベルに基づいて行われます。フェーズ・ロック閾値はプロファイル・レジスタに保存された16ビットの数値で、単位はピコ秒です。具体的には、フェーズ・ロック閾値の範囲は0nsから ± 65.535 nsまでで、これはPFDの出力における位相誤差の大きさを表します。

フェーズ・ロック検出器は、PFD出力の各位相誤差サンプルと、プログラムされた位相閾値とを比較します。位相誤差サンプルの絶対値がプログラムされた位相閾値以下の場合、検出器の制御ロジックが給水バケツ1杯分の水を浴槽に追加します。それ以外の場合は、排水バケツ1杯分を浴槽から排水します。給水するか排水するかを決定するのは位相閾値を基準とした量であり、位相誤差サンプルの極性ではありません。排水よりも給

水の方が多く行われると、浴槽内の水位が最終的に高水位マーク(+1024)を超えて、フェーズ・ロック検出器がロック状態を示します。給水よりも排水の方が多く行われると、浴槽内の水位が最終的に低水位マーク(-1024)を下回り、フェーズ・ロック検出器がロック解除状態を示します。閾値レベル、給水量、排水量を指定することができれば、入力リファレンス信号に伴うタイミング・ジッタのデータに合わせて、フェーズ・ロック検出器の動作を調整することができます。

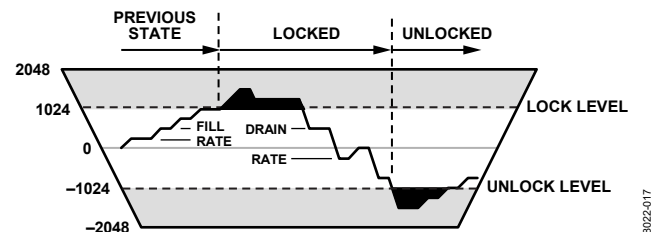


図 43. ロック検出図

AD9548がフリーラン・モードまたはホールドオーバー・モードになると、DPLLフェーズ・ロック検出器は常にロック解除状態を示します。更に、AD9548がリファレンス・スイッチオーバーを行う場合は、その遷移期間中、常にスイッチ前のロック検出器のステータスが維持されます。

DPLL 周波数ロック検出器

周波数ロック検出器はフェーズ・ロック検出器と同様に動作します。唯一の違いは、給水か排水かの判断が、PFD出力の位相誤差ではなく、DPLLのリファレンスと帰還信号の周期差に基づいて行われるという点です。

周波数ロック検出器は、ピコ秒単位で指定される24ビット周波数閾値レジスタを使用します。したがって、周波数閾値は0μsから ± 16.777215 μsまでの範囲になります。これは、DPLL入力におけるリファレンス信号と帰還信号の周期差の大きさを表します。例えば、リファレンス信号が1.25MHzで帰還信号が1.38MHzだとすると、周期差は約75.36nsとなります($|1/1,250,000 - 1/1,380,000| \approx 75.36$ ns)。

ダイレクト・デジタル・シンセサイザ

DDSの概要

デジタルPLLの主要ビルディング・ブロックの1つが、ダイレクト・デジタル・シンセサイザ(DDS)です。DDSは正弦波信号発生器のように動作します。DDSによって生成される正弦波の周波数は、デジタル値(つまり数値)である周波数チューニング・ワード(FTW)によって決定されます。アナログ正弦波発生器と異なり、DDSはデジタル・ビルディング・ブロックを使用し、サンプル化システムとして動作します。したがって、DDSの基本的タイミング信号源としての役割を果たすサンプリング・クロック(f_s)が必要です。アキュムレータは、プログラマブル・ステップ・サイズ(FTW)のモジュロ 2^{48} カウンタとして動作します。DDSのブロック図を図44に示します。

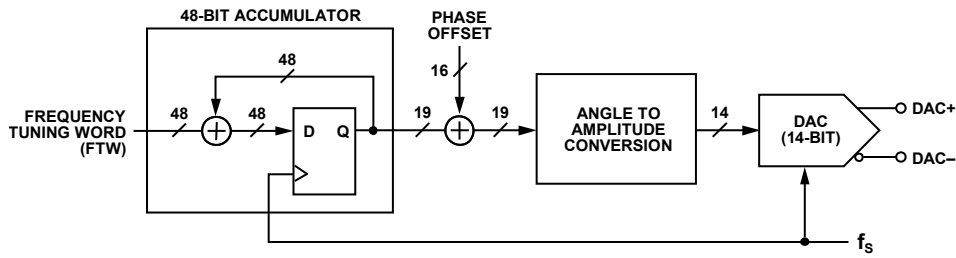


図 44. DDS のブロック図

DDS への入力は 48 ビット FTW です。FTW はステップ・サイズ値として機能します。fs の各サイクルにおいて、アキュムレータは、出力されるその時点までの合計値に FTW の値を加えます。例えば、FTW = 5 の場合、アキュムレータは 5 単位でカウントを行い、fs のサイクルごとにその値を加算します。時間が経過してアキュムレータがその容量の上限値に達すると（この場合は 2⁴⁸）、アキュムレータはその時点でロールオーバーしますが、余剰分は持ち越されます。アキュムレータがロールオーバーする際の平均レートは、出力される正弦波の周波数を決定します。つまりアキュムレータの平均ロールオーバー・レートは DDS の出力周波数 (f_{DDS}) を決定し、この周波数は次式で求められます。

$$f_{DDS} = \left(\frac{FTW}{2^{48}} \right) f_s$$

この式を FTW について変形すると、次式が得られます。

$$FTW = \text{round} \left[2^{48} \left(\frac{f_{DDS}}{f_s} \right) \right]$$

例えば fs = 1GHz、f_{DDS} = 155.52MHz だとすると、FTW = 43,774,988,378,041 (0x27D028A1DFB9) となります。

最小 DAC 出力周波数は 62.5MHz なので、通常動作のためにはこの下限値を超える出力周波数を生成し得る FTW が必要です。

DDS 位相オフセット

DDS によって生成される正弦波の相対位相は、DDS アキュムレータの出力に位相オフセット・ワードを加えることによって、数値的に制御されます。これは、プログラム可能な 16 ビット値 (Δphase) であるオープンループ位相オフセット・レジスタ (アドレス 0x030D~アドレス 0x030E) を介して行われます。得られる位相オフセット ΔΦ (ラジアン単位) は次式で得られます。

$$\Delta\Phi = 2\pi \left(\frac{\Delta\text{phase}}{2^{16}} \right)$$

位相オフセットと相対時間オフセットは直接的な関係にありません。時間オフセットは (Δphase/2¹⁶) / f_{DDS} (秒単位) で、f_{DDS} は DDS の出力周波数 (Hz) です。

DAC 出力

DDS のデジタル・コアの出力は、正弦波形を表す数値の時系列です。DAC は数値をアナログ信号に変換します。DAC の出力信号は、平衡電流源アーキテクチャを構成する 2 本のピンに出力されます (図 45 参照)。

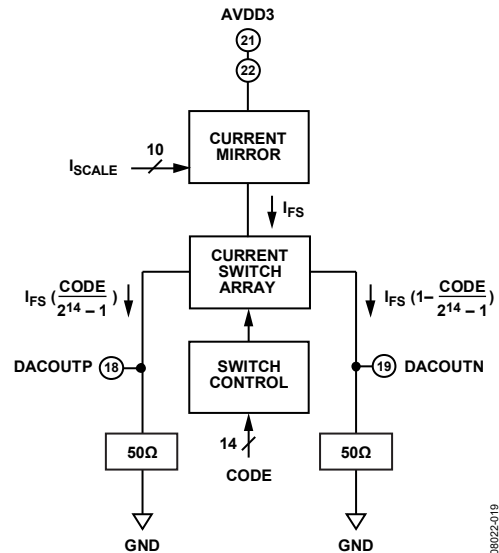


図 45. DAC 出力ピン

I_{FS} の値は、DAC 電流レジスタ (アドレス 0x0213~アドレス 0x0214) 内の 10 ビット DAC フルスケール電流ワードを介してプログラム可能です。この 10 ビット・ワードの値 (I_{SCALE}) は、次式に従って I_{FS} を設定します。

$$I_{FS} = 120 \mu\text{A} \times \left(72 + \left(\frac{3}{16} \right) I_{SCALE} \right)$$

チューニング・ワードの処理

DDS の出力周波数を決定する周波数チューニング・ワードは、3 つある供給源のいずれかから供給されます (図 46 を参照)。

- フリーランニング周波数チューニング・ワード・レジスタ
- デジタル・ループ・フィルタの出力
- チューニング・ワード履歴プロセッサの出力

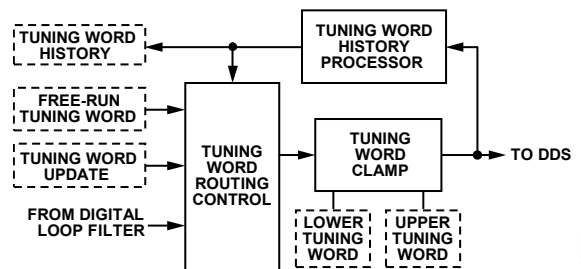


図 46. チューニング・ワードの処理

DPLL がフリーラン・モードの場合、DDS チューニング・ワードはフリーランニング周波数チューニング・ワード・レジスタ（アドレス 0x0300～レジスタ 0x0305）に保存された値です。DPLL が通常動作している場合（クローズドループ）、DDS チューニング・ワードはデジタル・ループ・フィルタの出力から供給されますが、これは、入力リファレンス信号へのフェーズ・ロックを維持するために動的に変化します（デバイスがホールドオーバー・モードへの自動スイッチングを行っていないことが前提）。DPLL がホールドオーバー・モードにある場合、DDS チューニング・ワードは、DPLL がクローズドループ・モードで動作していた時間内での過去のチューニング・ワードの履歴に依存します。

ただし周波数クランプのセクションに示すように、DDS の出力周波数には、動作モードに関わらず、最終的に周波数クランプ・ロジックによる境界条件が適用されます。

周波数クランプ

周波数クランプの境界は、プルイン・レンジ制限レジスタ（アドレス 0x0307～アドレス 0x030C）を介して制御します。これらのレジスタを使用すれば、DDS 出力周波数を、上限値と下限値の間に 24 ビット単位で固定することができます。これらの上限値と下限値は、DDS 入力の周波数チューニング・ワードに関係なく適用されます。このレジスタ値は絶対上限周波数値または下限周波数値（ f_{CLAMP} ）に関係しており、次式で表されます。

$$f_{CLAMP} = f_s \times (N/2^{24})$$

ここで、 N は上限または下限レジスタに保存された値で、 f_s はシステムのサンプル・レートです。

周波数クランプ限界値は DDS の出力周波数に境界を設定しますが、その場合でも、DPLL はクランプ限界内で DDS 周波数を自由に決定することができます。デフォルトのレジスタ値は 0Hz（DC）から f_s までのクランプ範囲を設定して、ユーザがレジスタ値を変更するまで周波数クランプ機能を実質的に無効化します。

周波数チューニング・ワードの履歴

AD9548 は、DPLL デジタル・ループ・フィルタ出力によって生成されたチューニング・ワード・サンプルの履歴を追跡する機能を備えています。これは、ユーザの指定する時間内で、平均チューニング・ワード値を周期的に計算することによって行われます。この時間は、24 ビットの履歴積算タイマー・レジスタ（アドレス 0x0318～アドレス 0x031A）を介してプログラムします。この 24 ビット値はミリ秒単位の時間（ T_{AVG} ）を表し、その範囲は 1ms から最大 4:39:37.215（hr:min:sec）までです。

履歴積算タイマーを 0 にプログラムすることはしないでください。0 とした場合はデバイスが正常に動作しなくなるおそれがあります。

制御ロジックは T_{AVG} の間の平均チューニング・ワードを計算して、その結果をホールドオーバー履歴レジスタ（アドレス 0D14～アドレス 0D19）に保存します。それぞれの T_{AVG} における計算は、その直前の時間枠における計算とは無関係です（つまり、この平均は真の移動平均ではなく、メモリなし平均です）。加えて、各 T_{AVG} の終了時にはデバイスが内部ストローブ・パルスを生じます。ストローブ・パルスは、IRQ モニタ・レジスタ内の履歴更新ビットを設定します（IRQ マスク・レジスタを介してビットがイネーブルされていることが前提）。更に、ストローブ・パルスは多機能ピンを介して出力信号として使用できます（多機能ピン（M0～M7）のセクションを参照）。

デバイスが新しいリファレンスに切り替わると、常にその時点で履歴の積算が開始されます。最初のチューニング・ワード履歴時間には最初の DPLL アクイジションが含まれており、このア

クイジション中の DPLL チューニング・ワード値は、最初のホールドオーバー履歴時間内の平均値を損なう可能性がある点に注意してください。ループ・アクイジション中のホールドオーバー履歴破損を回避するには、レジスタ 0x0A03 のビット 2 を設定することによって、DPLL フェーズ・ロック後にホールドオーバー履歴をクリアします。デフォルトでは、新しいリファレンスに切り替わった時点でデバイスは過去の履歴をすべてクリアします。更に、ソフトウェア制御下でレジスタ 0x0A03 のビット 2 を使用するか、ハードウェア制御下で多機能ピンを使用してチューニング・ワード履歴をクリアすることもできます（後者については多機能ピン（M0～M7）のセクションを参照）。ただし、継続履歴ビット（レジスタ 0x031B のビット 3）を設定することによって、古い履歴を（クリアするのではなく）保存するようにデバイスをプログラムするという選択肢もあります。

チューニング・ワード履歴が存在しない場合（つまり、パワーアップ、リセット、または新しいリファレンスへのスイッチオーバーを行って継続履歴ビットがクリアされた後）、デバイスは、履歴積算タイマー（ T_{AVG} ）が終了するのを待ってから、ホールドオーバー履歴レジスタに最初の履歴値を保存します。

T_{AVG} が非常に大きい値の場合（例えば 4½時間）は、 T_{AVG} が完全に経過するまで最初の平均結果が得られない、という問題が生じます。したがって、最初の平均結果が得られるまで、4½時間という長い時間を待たねばならず、この時間内にデバイスをホールドオーバー・モードに切り替える必要がある場合でも、チューニング・ワード履歴を使用することができません。

この問題を緩和するために、ユーザは、履歴モード・レジスタのインクリメンタル平均ビット（レジスタ 0x031B、ビット [2:0]）にアクセスすることができます。履歴がクリアされている場合は、この 3 ビット値 K （ $0 \leq K \leq 7$ ）が、最初の（なおかつ最初だけの） T_{AVG} 時間内での中間平均値の数を指定します。 $K=0$ の場合は中間平均値が計算されないの、最初の平均は T_{AVG} の経過後に行われます（デフォルトの動作モード）。しかし、例えば $K=4$ の場合は、最初の T_{AVG} が経過するまでの間に 16 個の中間平均値が計算されます。

これらの平均計算は、 $T_{AVG}/16$ 、 $T_{AVG}/8$ 、 $T_{AVG}/4$ 、 $T_{AVG}/2$ 、および T_{AVG} の時点で行われます（分母は $T_{AVG}/2^K$ で始まる 2 の累乗値を表す）。中間平均値の計算は最初の T_{AVG} でのみ行われ、その後の平均計算はすべて均等な間隔 T_{AVG} で行われます。

ループ制御ステート・マシン

ループ制御ステート・マシンは、DPLL ループに対する変更のモニタリング、開始、およびシーケンシングに使われます。一般に、このステート・マシンは、入力リファレンスの変更と、ホールドオーバー・モードの開始および終了を自動的に制御します。ループ・ステート変更の制御時、ステート・マシンは、新しいループ・フィルタ係数の適用、分周器設定、および位相検出器オフセットについても、プロファイル設定に基づいて調整を行います。デバイスは、ループ・モード・レジスタ（アドレス 0x0A01）を介して強制的にホールドオーバー・モードまたはフリーラン・モードにすることができる他、特定の入力リファレンスを強制的に指定することもできます。

スイッチオーバー

スイッチオーバーは、ループ・コントローラが 1 つの入力リファレンスから別のリファレンスに直接切り替わる場合に発生します。機能的には、AD9548 は一時的にホールドオーバー・モードに入り、その後直ちに前の状態に復帰することによって、リファレンス・スイッチオーバーを処理します。しかし、誤ってロック解除が表示されるのを避けるために、スイッチオーバー・イベントの間 AD9548 はロック検出器のステータスを維持します。

ホールドオーバー

DPLL のホールドオーバー・ステートはオープンループ動作モードです。つまり、デバイスはクロズドループ・システムとしては動作せず、出力周波数は一定のままとなっており、その値はデバイスのプログラミングとチューニング・ワード履歴に依存したものととなります。

チューニング・ワード履歴が存在する場合（チューニング・ワード履歴のセクションを参照）、ホールドオーバー周波数はホールドオーバー・ステートになる直前の平均周波数となります。チューニング・ワード履歴がない場合、ホールドオーバー周波数は履歴モード・レジスタ（レジスタ 0x031B、ビット 4）内のシングル・サンプル・フォールバック・ビットのステートに依存します。シングル・サンプル・フォールバック・ビットがロジック 0 の場合、ホールドオーバー周波数は、フリーランニング周波数チューニング・ワード・レジスタ（アドレス 0x0300~0x0305）で定義される周波数となります。シングル・サンプル・フォールバック・ビットがロジック 1 の場合、ホールドオーバー周波数は、デバイスがホールドオーバー・モードになる直前の DDS による最後の瞬間周波数出力になります（これは、ホールドオーバー前の平均周波数ではありません）。

初期ホールドオーバー周波数の精度は、DPLL のループ帯域幅と、チューニング・ワード履歴計算時の経過時間に依存します。履歴平均が長いほど、初期ホールドオーバー周波数の精度は高くなります（ただし、システム・クロックにドリフトがないものとします）。更に、システム・クロックの安定性が、ホールドオーバー出力周波数の安定性と長期的精度を決定します。考慮すべきもう 1 つの点は、DDS の 48 ビット周波数チューニング分解能と、次式で表される非整数周波数誤差 $\Delta f_o/f_o$ とこの分解能の関係です。

$$\frac{\Delta f_o}{f_o} = \frac{f_s}{2^{49} f_o}$$

ここで、 f_s は出力 DAC のサンプル・レート、 f_o は DDS の出力周波数です。

最も厳しいケースは、最大 f_s (1GHz) と最小 f_o (62.5MHz) の組み合わせで、この場合は $\Delta f_o/f_o = 2.8 \times 10^{-14}$ となり、これは 10 兆分の 1 より小さい値です。

ホールドオーバーからの復帰

ホールドオーバー状態で有効なリファレンスが使用できるようになると、デバイスはホールドオーバー動作を終了します。ループ・ステート・マシンが DPLL をクロズドループ動作に戻して選択リファレンスにロックし、アクティブ・リファレンス用のプロファイル設定に基づいて、すべてのループ・パラメータを順次回復させます。

ユーザ・ホールドオーバー・ビット（レジスタ 0x0A01、ビット 6）がセットされている場合、有効なリファレンスが使用できる限り、デバイスはホールドオーバーを自動終了しません。ただし、ユーザ・ホールドオーバー・ビットをクリアすれば自動復帰することができます。

システム・クロック入力

機能の説明

システム・クロック回路は、チップの他の部分で使用される、低ジッタの安定した高周波クロックを提供します。ユーザには、希望するシステム・クロック・レートの高周波クロック源を使って、SYSCLKx 入力を直接駆動するという選択肢があります。あるいは、内部の SYSCLK PLL と共に動作するように SYSCLKx 入力を設定することができます。SYSCLK PLL は、SYSCLKx ピンの間に接続された水晶振動子を使用するか、低周波数クロック源を直接加えることによって、システム・クロックを合成することができます。

SYSCLKx 入力は、内部的に約 1V の DC レベルにバイアスされています。外部との接続によってこの DC バイアスが損なわれると性能が大幅に低下するので、そのようなことがないように注意してください。一般的には、SYSCLKx 入力を信号源に AC カップリングすることを推奨します（水晶振動子使用時を除く）。

TCXO/OCXO を使用する低ループ帯域幅アプリケーション

多くのアプリケーションでは、水晶発振器を使用することがコスト効果に優れた選択であり、構造もシンプルになります。安定性は、最小 50Hz までのループ帯域幅に対応できる程度に十分良好であり、ホールドオーバー性能も、極めて要求の厳しいアプリケーションを除けば十分なものです。

Stratum 2 または Stratum 3 のホールドオーバー性能が必要となる場合や、ループ帯域幅が 50Hz 未満でなければならないような場合は、TCXO または OCXO を使用する必要があります。ループ帯域幅が 10mHz 未満の場合は OCXO が必要です。最適な性能を得るには、高出力周波数で CMOS 出力の TCXO/OCXO を選択してください。アプリケーション・ノート AN-1079、*Determining the Maximum Tolerable Frequency Drift Rate of the AD9548 System Clock in Low Loop Bandwidth Applications* には、低ループ帯域幅アプリケーションのシステム・クロック性能に関する検討事項が示されています。

TCXO/OCXO の接続時には、出力に分圧器を使用して電圧スイングを 1Vp-p に下げ、その信号を SYSCLKP ピンに AC カップリングする必要があります。SYSCLKN ピンは、0.01μF のコンデンサでグラウンドにデカップリングすることができます。

システム・クロック発振器周波数の選択

AD9548 は、システム・クロックが DDS 出力周波数の整数倍でないときに最大性能を発揮します。

一例として、156.25MHz イーサネットのシステム・クロックに 19.44MHz の発振器を使用すると、25MHz 発振器使用時よりも良好な性能が得られます。

多くの通信アプリケーションにとって望ましいもう 1 つのシステム・クロック選択は、IEEE 1394 (FireWire) に使われる 49.152MHz 水晶振動子です。これは、ほぼすべての出力周波数がこの周波数と整数関係にないことと、この水晶振動子が入手しやすいことによります。

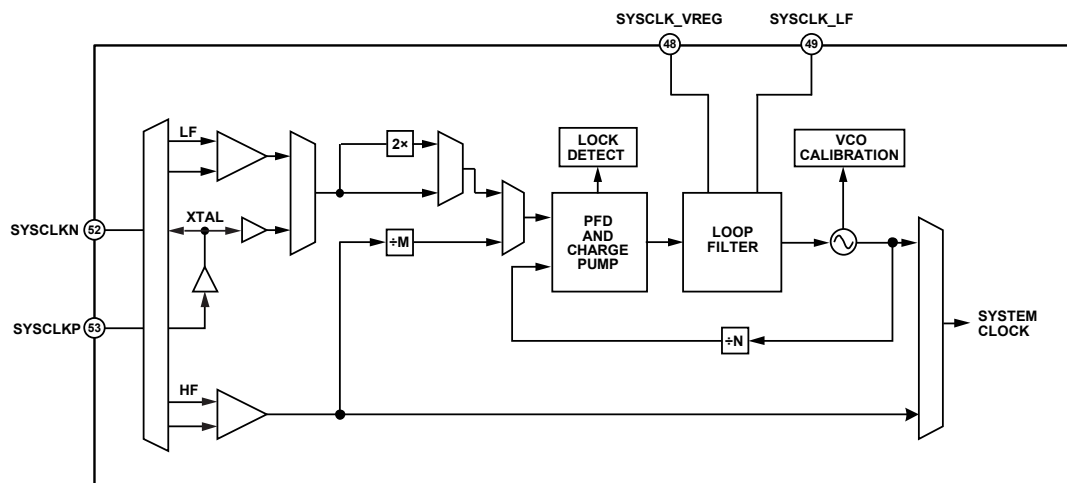


図 47. システム・クロックのブロック図

システム・クロックの詳細

システム・クロックのブロック図を図47に示します。SYSCLKx 入力ピンは、以下の 3 つのパスのうちの 1 つを介して、内部的にバッファされる DAC サンプルング・クロック (f_s) になります。

- 高周波直接パス (HF)
- 低周波合成パス (LF)
- 水晶振動子合成パス (XTAL)

LF パスと XTAL パスでは、共に SYSCLK PLL を使用する必要があります (SYSCLK PLL 通倍器のセクションを参照)。

HF パスの主な目的は、AD9548 のクロッキング用に、高周波数 (500MHz~1GHz) の外部クロック源を直接使用できるようにすることにあります。このパスは、高周波および低ノイズ・フロア用に最適化されています。HF 入力には SYSCLK PLL へのパスも提供し (SYSCLK PLL 通倍器のセクションを参照)、このパスには 1、2、4、または 8 分周にプログラム可能な入力分周器 (M) が組み込まれています。この分周器の目的は、PLL への入力周波数を 150MHz (最大 PFD レート) 未満に制限することにあります。

LF パスを使用すると、内蔵 SYSCLK PLL による通倍用に、LVPECL、LVDS、CMOS、または正弦波低周波クロックを生成することができます。LF パスは 3.5MHz~100MHz の周波数の処理に使用します。ただし、正弦波入力信号を使用するときは、20MHz 超の周波数を使用するのが理想的です。それ以外の周波数ではスルー・レートが低く、標準的なノイズ性能が得られなくなる可能性があります。LF パスにはオプションで周波数 2 通倍器を組み込み、SYSCLK PLL への入力レートを 2 倍にして PLL 帯域内ノイズを減らすことができます。しかし、150MHz の最大 PFD レートを超えないように、この周波数 2 通倍器の仕様は入力周波数が 125MHz 未満の場合に限る必要があります。

XTAL パス使用時は、SYSCLKx 入力ピン同士の間には水晶振動子 (代表値 10MHz~50MHz) を接続することができます。内部アンプは、振動を発生させるために必要な負性抵抗を提供します。この内部アンプには、3.2mm x 2.5mm AT カット、最大等価直列抵抗 100Ω の基本モード水晶振動子が使われることが想定されています。以下にアルファベット順で示した水晶振動子は、これらの基準を満たしています。これらの水晶振動子は、メーカーのデータシートによれば以上の基準に合致しますが、アナログ・デバイセズは AD9548 と組み合わせて使用した場合の動作保証はせず、特定のメーカー/サプライヤを推奨することもしません。

- AVX/京セラ CX3225SB
- ECS ECX-32
- エプソントヨコム TSX-3225
- Fox FX3225BS
- NDK NX3225SA
- Siward SX-3225

SYSCLK PLL 通倍器

SYSCLK PLL 通倍器はインテジャーN構成で、内蔵 LC タンクおよび VCO に依存しています。これは、低周波数のクロック入力を、希望するシステム・クロック周波数 f_s (900MHz~1GHz) に変換する手段を提供します。SYSCLK PLL 通倍器には 3.5MHz~500MHz の信号を入力できますが、150MHz を超える場合は、最大 PFD レート (150MHz) を超えないようにするために M 分周器が必要です。PLL には、分周値を 6~255 の範囲に設定可能な帰還分周器 (N) が組み込まれています。VCO の公称ゲインは 70MHz/V です。

ロック検出器

SYSCLK PLL はロック検出器を内蔵しています。レジスタ 0x0100 のビット 2 は、このロック検出器をアクティブにするかどうかを決定します。アクティブになっている場合 (デフォルト)、ロック検出器の感度はロック検出器分周ビット (レジスタ 0x0100、ビット [1:0]) で制御します。

ロック検出器をディスエーブル (レジスタ 0x0100、ビット 2=1) した場合は、必ずシステム・クロック安定性タイマー (レジスタ 0x0106~レジスタ 0x0108) に 0 を書き込む必要があります。

SYSCLK PLL 位相検出器は、PFD レート (f_{vco}/N) で動作します。各 PFD サンプルは、リファレンス信号と帰還信号の移動が (一定の閾値範囲内で) 一致しているかどうかを示します。

PLL がロック状態取得プロセスにある間の PFD サンプルは、通常、位相の一致と不一致を示すインジケータの任意のシーケンスで構成されます。PLL が完全なフェーズ・ロック状態に近づくとき、位相一致を示す PFD サンプルの連続数が増えていきます。したがって、ロック状態を示す 1 つの方法は、位相一致を示す PFD サンプルの連続数をカウントして、その結果が一定の値を超えた場合に PLL がロックされたことを宣言するという方法です。

これが、ロック検出分周ビットの役割です。ロック検出器がイネーブルされている場合（レジスタ 0x0100、ビット 2=0）、ロック検出分周ビットは、ロック検出器がロック状態を宣言するために必要な位相一致サンプルの数（128、256、512、または 1024）を決定します。デフォルト設定は 128 です。

チャージ・ポンプ

チャージ・ポンプは、チャージ・ポンプ・モード・ビット（レジスタ 0x0100、ビット 6）に基づき、自動モードまたは手動モードで動作します。

レジスタ 0x0100 のビット 6 = 0 の場合、AD9548 は、N 分周器の値に基づいて自動的に適切なチャージ・ポンプ電流を選択します。自動モードでは、ユーザがチャージ・ポンプ電流ビット（レジスタ 0x0100、ビット [5:3]）を制御することはできません。レジスタ 0x0100 のビット 6 = 1 の場合は、チャージ・ポンプ電流ビット（レジスタ 0x0100、ビット [5:3]）を使って、ユーザがチャージ・ポンプ電流を決定します。チャージ・ポンプ電流は 125 μ A から 1mA まで 125 μ A ステップで変化します。デフォルト設定は 500 μ A です。

SYSCLK PLL ループ・フィルタ

AD9548 は、12.5MHz~100MHz の入力信号に対して動的ループ特性を実現する、2 次ループ・フィルタを内蔵しています。デフォルトでは、デバイスはこの内蔵ループ・フィルタを使用します。しかし、外部ループ・フィルタ・イネーブル・ビット（レジスタ 0x0100 のビット 7）をセットすることによって、外部ループ・フィルタ・オプションを選ぶことも可能です。これは、図 48 に示すように、内部ループ・フィルタをバイパスして、外部に接続された 2 次ループ・フィルタをデバイスが使用できるようにします。

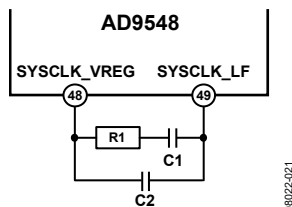


図 48. 外部ループ・フィルタ回路図

外部ループ・フィルタの部品を決定するには、必要なオープンループ帯域幅 (f_{OL}) と位相マージン (ϕ) が必要です。これらのパラメータにより、次式に従ってループ・フィルタ部品の値を計算することができます。

$$R1 = \frac{\pi N f_{OL}}{I_{CP} K_{VCO}} \left(1 + \frac{1}{\sin(\phi)} \right)$$

$$C1 = \frac{I_{CP} K_{VCO} \tan(\phi)}{2N(\pi f_{OL})^2}$$

$$C2 = \frac{I_{CP} K_{VCO}}{N(2\pi f_{OL})^2} \left(\frac{1 - \sin(\phi)}{\cos(\phi)} \right)$$

ここで、 K_{VCO} は 7×10^7 V/ns（代表値）、 I_{CP} はプログラムされたチャージ・ポンプ電流（アンペア）、

N はプログラムされた帰還分周器の値、 f_{OL} は必要なオープンループ帯域幅（Hz）、 ϕ は必要な位相マージン（ラジアン）です。

例えば、 $N = 40$ 、 $I_{CP} = 0.5$ mA、 $f_{OL} = 400$ kHz、 $\phi = 50^\circ$ とすると、ループ・フィルタの計算値は $R1 = 3.31$ k Ω 、 $C1 = 330$ pF、 $C2 = 50.4$ pF となります。

システム・クロック周期

ユーザがプログラムできる AD9548 のパラメータの多くは、絶対時間単位です。これを可能にするには、AD9548 使用時にシステム・クロックの周期が分かっている必要があります。この要求を満たすには、公称 SYSCLK 周期レジスタ（アドレス 0x0103 ~ アドレス 0x0105）に 21 ビットの公称システム・クロック周期をプログラムします。このレジスタの内容は、システム・クロックの実際の周期（フェムト秒）を反映するものです。多くのサブシステムがこの値に依存しているため、デバイスを正しく動作させるには、このレジスタを適切にプログラムする必要があります。

システム・クロック安定性タイマー

システム・クロック安定性タイマー（レジスタ 0x0106 ~ レジスタ 0x0108）は、ミリ秒単位でプログラムされた 20 ビット値です。プログラムされたタイマー値が 0 の場合、タイマーは直ちにタイムアウトを示します。プログラムされたタイマー値が 0 以外の場合で、SYSCLK PLL がイネーブルされている場合は、SYSCLK PLL ロック検出器によるロック検出によって計時を開始し、指定された時間が経過した時点でタイムアウトします。しかし、SYSCLK PLL をディスエーブルするとタイマーは SYSCLK PLL ロック検出器を無視し、SYSCLK PLL がディスエーブルされた時点で直ちに計時を開始します。安定性タイマーのステータスは、レジスタ 0x0D01 のビット 4、多機能ピン、または IRQ ピンを介してモニタすることができます。

システム・クロック安定性タイマーは、SYSCLK PLL がアクティブになる前、あるいはディスエーブルされる前にプログラムする必要があります。

SYSCLK PLL のキャリブレーション

SYSCLK PLL を使用するときには、PLL がシステム・クロックの入力信号に対してロックを維持できるように、LC VCO のキャリブレーション（補正）を行う必要があります。外部 SYSCLK 入力信号または水晶振動子が存在するものとする、キャリブレーション・プロセスは、cal/sync レジスタのシステム・クロック補正ビット（レジスタ 0x0A02、ビット 0）を一度セットし、更にクリアした後に実行されます。キャリブレーション・プロセスの間、デバイスは VCO の振幅と周波数を補正します。システム・クロック・キャリブレーション・プロセスのステータスには、システム・クロック・レジスタ（レジスタ 0x0D01、ビット 1）を介してアクセスできます。IRQ マスク・レジスタを介して IRQ モニタ・レジスタのステータス・ビット（レジスタ 0D02、ビット 1）がイネーブルされている場合は、このレジスタを介してステータスを知ることが可能です。

キャリブレーション・シーケンスが完了すると SYSCLK PLL が最終的にロック状態になり、その時点でシステム・クロック安定性タイマーがカウントダウン・シーケンスを開始します。タイマーの終了は SYSCLK PLL が安定したことを示し、それがシステム・クロック・レジスタ（レジスタ 0x0D01、ビット 4）に反映されます。

入力リファレンス (REFA/AA~REFD/DD) に関連付けられたモニタ/検出器は、SYSCLK PLL が安定したと判定されるまで内部的にディスエーブルされます。

クロック分配

AD9548 のクロック分配ブロックには、DPLL 出力の分周に基づいて複数のクロック出力を生成するためのソリューションが組み込まれています。分配出力は 4 チャンネル (OUT0~OUT3) で構成されています。図 49 に示すように、4 つの出力チャンネルはそれぞれ専用の分周器と出力ドライバを備えています。

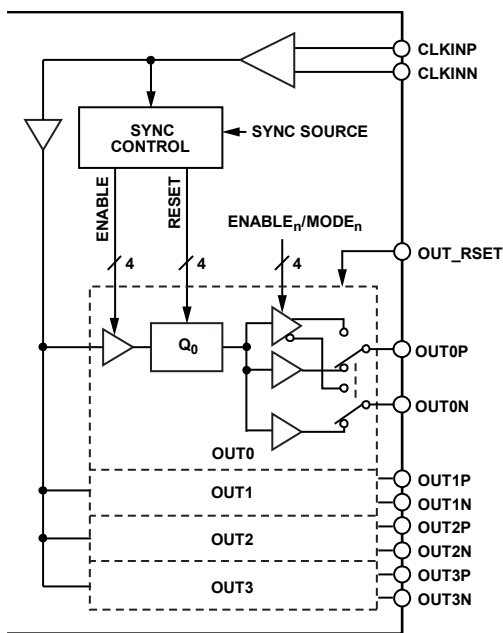


図 49. クロック分配

クロック入力 (CLKINx)

クロック入力は様々なロジック・ファミリからの入力信号に使用します (適切な終端がなされ、十分な電圧スイングがあるものとします)。また、DAC 再構成フィルタによって生成されるものなどを含む正弦波信号にも使われます。デフォルトの動作周波数範囲は 62.5MHz~500MHz です。

スーパーナイキスト動作

通常、DAC 出力において使用可能な最大周波数は、システム・クロック周波数の約 45% です。しかし、これはサンプリングされた DAC 出力なので、その出力スペクトラムにはナイキスト・イメージが含まれています。このうち特に注意すべきは、第 1 ナイキスト・ゾーン (システム・クロック周波数の 50%~100%) に現れるイメージです。スーパーナイキスト動作はこれらの高い周波数の利点を生かすものですが、この場合は、CLKINx 入力の動作がデフォルトの動作限界値である 500MHz を超えてしまうことになります。

CLKINx レシーバーは実際には 2 つの別個のレシーバーによって構成されています。デフォルトのレシーバーと、最大 800MHz の入力信号に使用するオプションの高周波数レシーバーです。高周波数レシーバーを選択するには、レジスタ 0x0400 のビット 4 にロジック 1 を書き込みます。

スーパーナイキスト動作には、通常のローパス再構成フィルタではなく、バンドパス・フィルタを DAC 出力に使用する必要があります。スーパーナイキスト動作はイメージ周波数がレシーバー入力範囲の 800MHz を超えない限り使用可能です。更に、許容し得るジッタ性能 (低振幅のイメージ信号に関する考慮点) を実現するには、CLKINx 入力における信号が最小スルー・レートに関する要求を満たしている必要があります。

クロック分周器

出力クロック分配分周器は Q0~Q3 で識別され、それぞれが OUT0~OUT3 出力チャンネルに対応しています。各分周器は 30 ビットの分周深度でプログラム可能です。実際の分周比は、プログラムされたレジスタ値より 1 大きくなります。したがって、例えばレジスタ値が 3 の場合、最終的な分周比は 4 になります。したがって、各分周器の分周比範囲は $1 \sim 2^{30}$ ($1 \sim 1,073,741,824$) です。

分周比が偶数の場合、出力信号のデューティ・サイクルは常に 50% となります。クロック分周器をバイパスした場合 (分周比 1)、出力デューティ・サイクルは入力デューティ・サイクルと同じになります。出力分周比が奇数の場合は (1 を除く)、デューティ・サイクルは次式により自動的に修正されます。

$$\text{Output Duty Cycle} = \frac{N + 2X - 1}{2N}$$

ここで N (奇数) は分周比、 X は入力周期のハイの部分を実線化した小数です (つまり $0 < X < 1$)。

例えば、 $N=5$ で入力デューティ・サイクルが 20% ($X=0.2$) の場合、出力デューティ・サイクルは 44% です。出力を非反転としてプログラムした場合、デバイスは、デューティ・サイクルを修正するために立上がりエッジのタイミングを調整します。逆に、反転出力の場合は立上がりエッジのタイミングを調整しません。

出力パワーダウン

各出力チャンネルは、分配設定レジスタ (アドレス 0x0400) を介してパワーダウン機能を個別に制御します。各出力チャンネルには、出力ドライバをパワーダウンするための専用パワーダウン・ビットがあります。ただし、4 つすべての出力をパワーダウンした場合は、分配出力全体がディープ・スリープ・モードになります。

各チャンネルにチャンネル・パワーダウン制御信号が送られたとしても、1 つの出力ドライバをパワーダウンする際には、その分周器と他のチャンネル分周器の同期を維持しておくほうが望ましい場合があります。これは以下のどちらかの方法によって行います。

- CMOS モードで、分周器出力イネーブル制御ビットを使用して出力をオフにする。この方法では、出力の DC 駆動を維持しながら消費電力を抑えることができます。
- LVDS/LVPECL モードで出力をトライステート・モードにする (これは CMOS モードでも機能します)。

出力イネーブル

各出力チャンネルは、分配イネーブル・レジスタ (アドレス 0x0401) を介してイネーブル/ディスエーブル機能を個別に制御します。分配出力は同期ロジックを使用してイネーブル/ディスエーブル動作を能動的に制御し、ラント・パルスが生成されるのを回避して、同じ分周比の出力が同時にアクティブ/非アクティブになるようにします。

出力モード

4 つの出力チャンネルの動作モードは、分配チャンネル・モード・レジスタ（アドレス 0x0404～アドレス 0x0407）を介して個別に制御することができます。動作モード制御には以下が含まれます。

- ロジック・ファミリとピン機能
- 出力駆動強度
- 出力極性

4 つの分配チャンネル・モード・レジスタの最下位側 3 ビットは、モード・ビットで構成されています。表 24 に示すように、モード値によって出力チャンネルの希望のロジック・ファミリとピン機能が選択されます。

表 24. 出力チャンネルのロジック・ファミリとピン機能

モード・ビット [2:0]	ロジック・ファミリとピン機能
000	CMOS (両方のピン)
001	CMOS (正のピン)、トライステート (負のピン)
010	トライステート (正のピン)、CMOS (負のピン)
011	トライステート (両方のピン)
100	LVDS
101	LVPECL
110	不使用
111	不使用

どのロジック・ファミリを選択した場合でも DC 動作が可能です。ただし、各ロジック・ファミリ固有の負荷条件、駆動強度、インピーダンス・マッチングによって上限周波数が制限されます。最大 CMOS 周波数の実際的な制限値は約 250MHz ですが、LVPECL および LVDS では 725MHz とすることができます。

3 つのモード・ビットに加えて、4 つの分配チャンネル・モード・レジスタのそれぞれには、以下の制御ビットが含まれています。

- 極性反転
- CMOS 位相反転
- 駆動強度

極性反転ビットは通常極性と反転極性の選択を可能にします。通常極性がデフォルト・ステートです。反転極性では、ロジック・ファミリに関係なくロジック 0 とロジック 1 の表現が逆になります。

CMOS 位相反転ビットは、モード・ビットによって CMOS ロジック・ファミリが選択された場合のみ使われます。CMOS モードでは、チャンネルの両方の出力ピンで専用の CMOS ドライバを使用できます。デフォルトでは、両方のドライバが同じ信号を出力します。ただし、CMOS 位相反転ビットをセットすると、OUTxN ピンの信号は OUTxP ピンの信号と逆の信号になります。

駆動強度ビットは、出力に低駆動強度機能 (0) を使用するか高駆動強度機能 (1) を使用するかの制御を可能にします (CMOS および LVDS に使用できますが、LVPECL には使用できません)。CMOS ファミリでは、高駆動強度設定の場合は通常の CMOS 駆動能力となり、低駆動強度設定の場合は低容量性負荷となって EMI が軽減されます。LVDS ファミリでは、ダブル終端またはダブル電圧動作の場合、低駆動強度設定では標準 LVDS 動作に対する駆動電流が 3.5mA、高駆動強度設定では 7mA となります。この 3.5mA と 7mA という値は、電流設定内蔵抵抗を使用した場合の公称駆動電流値です。

外付け抵抗による出力電流制御

デフォルトでは、出力ドライバには LVDS および LVPECL 動作モードの公称駆動電流を設定する電流設定内蔵抵抗 (公称 3.12kΩ) が組み込まれています。この内部抵抗を使用する代わりに、外付け分配抵抗ビット (レジスタ 0x0400、ビット 5) をセットして、OUT_RSET ピンに外付け抵抗を接続することができます。この機能用に使用できる外付け抵抗の値は 3.12kΩ だけですが、電流設定内蔵抵抗を使用した場合より出力電流を正確に制御することができます。ただし、標準以外の外付け抵抗を使用することにした場合は、以下の式により外付け抵抗 (R) の関数として出力駆動電流を求めることができます。

$$I_{LVDS0} = \frac{10.8325}{R}$$

$$I_{LVDS1} = \frac{21.665}{R}$$

$$I_{LVPECL} = \frac{24.76}{R}$$

LVDS 出力電流値の下付き文字は、分配チャンネル・モード・レジスタ (アドレス 0x0404～アドレス 0x0407) 内の駆動強度ビットのロジック・ステートに対応しています。R = 3.12kΩ の場合、この式によれば $I_{LVDS0} = 3.5\text{mA}$ 、 $I_{LVDS1} = 7.0\text{mA}$ 、 $I_{LVPECL} = 8.0\text{mA}$ となります。デバイスは外付け抵抗にかかる電圧を 1.238V (公称) で一定に維持します。

クロック分配同期

分配同期機能のブロック図を図 50 に示します。同期シーケンスはプライマリ同期信号によって始まり、最終的にはクロック分配ロジックに同期ストロブが出力されます。

図に示すように、プライマリ同期信号は以下の 4 つの信号源のいずれかから生成されます。

- 直接同期源 - 同期分配ビット (レジスタ 0x0A02、ビット 1) を介して設定
- 周波数またはフェーズ・ロック検出による自動同期源 - 自動同期レジスタ (アドレス 0x0403) を介して制御
- 多機能ピン同期源 - 多機能ピン (M0～M7) のうちの 1 本を介して設定
- EEPROM 同期源 - EEPROM を介して設定

これら 4 つのプライマリ同期信号源すべての論理 OR が取られるので、任意の時点でいずれか 1 つをクロック分配出力に同期させることができます。多機能ピン使用時は、選択した信号の立下がりエッジが同期イベントとなります。同期分配ビット使用時は、このビットを一度セットしてからクリアしてください。このクリア動作、つまりロジック 1 からロジック 0 へのビットの遷移が同期イベントとなります。

プライマリ同期信号は分配出力を直接同期するか、セカンダリ同期信号をイネーブルすることができますこの機能は、分配同期レジスタ内の2つの同期源ビット（レジスタ 0x0402、ビット [5:4]）によって設定します。

同期源 = 00（直接）の場合は、プライマリ同期信号の立下がりエッジが分配出力を直接同期します。

同期源 = 01 の場合は、プライマリ同期信号の立上がりエッジが、アクティブ入力リファレンスの立上がりエッジを検出する回路をトリガします。立上がりエッジが検出されると、分配出力が同期されます。

同期源 = 10 の場合は、プライマリ同期信号の立上がりエッジが、DDS アキュムレータのロールオーバーを検出する回路をトリガします（DPLL 帰還分周器による処理後）。これは、DDS 内の位相振幅コンバータ出力のゼロ交差に対応します（レジスタ 0x030D～レジスタ 0x030E に保存されたオープンループ位相オフセット未満）。DPLL 帰還エッジが検出されると分配出力が同期されます。

アクティブ・リファレンス同期（ゼロ遅延）

アクティブ・リファレンス同期は同期源 = 01（レジスタ 0x0402、ビット [5:4]）の場合に使われる語です。図 50 に示すように、これはアクティブ・リファレンス同期パスがアクティブであることを意味します。ビット 4 = 1 で、下側の AND ゲートがイネーブルされ、上側の AND ゲートがディスエーブルされるからです。アクティブ・リファレンス同期ブロックのエッジ検出回路が、アクティブ・リファレンスの立上がりエッジをモニタします（マルチプレクサがアクティブ・リファレンスを自動的に選択します）。エッジ検出回路は、OR ゲートへの4つの入力の1つであるプライマリ同期信号（通常は直接同期源）を介して使用可能な状態になります。エッジ検出回路が使用可能な状態になると、すぐにその出力がハイになり、それによってクロック分配ブロックの出力分周器が停止します。更に、検出回路が使用可能な状態になると、アクティブ・リファレンスの立上がりエッジがエッジ検出回路の出力をローに強制します。これによって出力分周器が動作を再開し、クロック分配ブロックを同期します。

ゼロ遅延という語が使われるのは、これが、出力信号とアクティブ入力リファレンス信号のエッジをアラインする手段を提供するからです。通常、ゼロ遅延アーキテクチャは、PLL の帰還ループ内の出力信号を使用して、入力と出力のエッジ・アライメントを追跡します。ただし、アクティブ・リファレンス同期はオープンループで動作します。つまり、分配同期ロジックを介した出力の同期は、アクティブ・リファレンスの1つのエッジで行われます。

アクティブ・リファレンスのエッジが同期パルスの立下がりエッジをトリガするという事実は、その立下がりエッジが、分配出力分周器をクロックする信号（CLKINx）に同期されていないことを意味します。したがって、出力クロック分配ロジックが改めて内部同期パルスをクロックとして出力し、そのパルスを CLKINx 信号に同期します。これは、再クロック回路に伴う確定的な遅延の後に、出力分周器が動作を再開することを意味します。この確定的遅延には2つの成分があります。第1の確定的遅延成分は、CLKINx 信号の4または5周期分です。1周期の不確定要素は、非同期リファレンス・クロック・エッジの CLKINx 信号に対する相対位置を特定できないことによるものです。もう1つの確定的遅延成分は、分配分周器出力の1周期分です。

ステータスと制御

多機能ピン (M0~M7)

AD9548 には 8 本のデジタル CMOS 入出力ピン (M0~M7) があり、様々な用途に合わせて設定することができます。これらのピンの機能はレジスタ・マップを介してプログラム可能です。各ピンは、レジスタ 0x0200~レジスタ 0x0207 の内容に基づいて、様々な内部機能を制御またはモニタすることができます。多機能ピンを使って内部機能をモニタするには、希望の多機能ピンに関連付けられたレジスタの最上位ビットにロジック 1 を書き込みます。レジスタの下位 7 ビットは、表 25 に示す内容で制御機能を定義します。

表 25. 多機能ピンの出力機能、
レジスタ 0x0200~レジスタ 0x0207 (ビット 7 = 1)

ビット [6:0] の値	出力機能	ソース・プロキシ
0	静的ロジック 0	
1	静的ロジック 1	
2	システム・クロックを 32 分周	
3	ウォッチドッグ・タイマー出力	
4	EEPROM を更新中	レジスタ 0x0D00、 ビット 0
5	EEPROM をダウンロード中	レジスタ 0x0D00、 ビット 1
6	EEPROM 異常を検出	レジスタ 0x0D00、 ビット 2
7	SYSCLK PLL のロックを検出	レジスタ 0x0D01、 ビット 0
8	SYSCLK PLL をキャリブレーション中	レジスタ 0x0D01、 ビット 1
9	不使用	
10	不使用	
11	SYSCLK PLL が安定	レジスタ 0x0D01、 ビット 4
12 to 15	不使用	
16	DPLL がフリーランニング状態	レジスタ 0x0D0A、 ビット 0
17	DPLL がアクティブ	レジスタ 0x0D0A、 ビット 1
18	DPLL のホールドオーバー	レジスタ 0x0D0A、 ビット 2
19	DPLL のリファレンス・スイッチオーバー	レジスタ 0x0D0A、 ビット 3
20	アクティブ・リファレンス：位相マスタ	レジスタ 6x0D0A、 ビット 6
21	DPLL がフェーズ・ロックを完了	レジスタ 0x0D0A、 ビット 4
22	DPLL が周波数ロックを完了	レジスタ 0x0D0A、 ビット 5
23	DPLL の位相スルーを制限	レジスタ 0x0D0A、 ビット 7
24	DPLL が周波数をクランプ	レジスタ 0x0D0B、 ビット 7
25	チューニング・ワード履歴を使用可能	レジスタ 0x0D0B、 ビット 6
26	チューニング・ワード履歴を更新	レジスタ 0x0D05、 ビット 4
27 to 31	不使用	
32	リファレンス A の異常	レジスタ 0x0D0C、 ビット 2
33	リファレンス AA の異常	レジスタ 0x0D0D、 ビット 2
34	リファレンス B の異常	レジスタ 0x0D0E、 ビット 2

ビット [6:0] の値	出力機能	ソース・プロキシ
35	リファレンス BB の異常	レジスタ 0x0D0F、 ビット 2
36	リファレンス C の異常	レジスタ 0x0D10、 ビット 2
37	リファレンス CC の異常	レジスタ 0x0D11、 ビット 2
38	リファレンス D の異常	レジスタ 0x0D12、 ビット 2
39	リファレンス DD の異常	レジスタ 0x0D13、 ビット 2
40 to 47	不使用	
48	リファレンス A が有効	レジスタ 0x0D0C、 ビット 3
49	リファレンス AA が有効	レジスタ 0x0D0D、 ビット 3
50	リファレンス B が有効	レジスタ 0x0D0E、 ビット 3
51	リファレンス BB が有効	レジスタ 0x0D0F、 ビット 3
52	リファレンス C が有効	レジスタ 0x0D10、 ビット 3
53	リファレンス CC が有効	レジスタ 0x0D11、 ビット 3
54	リファレンス D が有効	レジスタ 0x0D12、 ビット 3
55	リファレンス DD が有効	レジスタ 0x0D13、 ビット 3
56 to 63	不使用	
64	リファレンス A がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
65	リファレンス AA がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
66	リファレンス B がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
67	リファレンス BB がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
68	リファレンス C がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
69	リファレンス CC がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
70	リファレンス D がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
71	リファレンス DD がアクティブ・リファレンス	レジスタ 0x0D0B、 ビット [2:0]
72 to 79	不使用	
80	クロック分配同期パルス	レジスタ 0x0D03、 ビット 3
81 to 127	不使用	

多機能ピンを使って内部機能を制御するには、希望の多機能ピンに関連付けられたレジスタの最上位ビットにロジック 0 を書き込みます。モニタされる機能は、表 26 に示すようにレジスタの低位 7 ビットの値によって決まります。

表 26. 多機能ピンの入力機能、レジスタ 0x0200～レジスタ 0x0207 (ビット 7 = 0)

ビット [6:0] の値	入力機能	ターゲット・プロキシ
0	不使用 (デフォルト)	
1	I/O 更新	レジスタ 0x0005、ビット 0
2	完全パワーダウン	レジスタ 0x0A00、ビット 0
3	ウォッチドッグ・リセット	レジスタ 0x0A03、ビット 0
4	IRQ リセット	レジスタ 0x0A03、ビット 1
5	チューニング・ワード履歴リセット	レジスタ 0x0A03、ビット 2
6 to 15	不使用	
16	ホールドオーバー	レジスタ 0x0A01、ビット 6
17	フリーラン	レジスタ 0x0A01、ビット 5
18	インクリメンタル位相オフセットをリセット	レジスタ 0x0A0C、ビット 2
19	インクリメンタル位相オフセットをインクリメント	レジスタ 0x0A0C、ビット 0
20	インクリメンタル位相オフセットをデクリメント	レジスタ 0x0A0C、ビット 1
21 to 31	不使用	
32	リファレンス・モニタ A をオーバーライド	レジスタ 0x0A0F、ビット 0
33	リファレンス・モニタ AA をオーバーライド	レジスタ 0x0A0F、ビット 1
34	リファレンス・モニタ B をオーバーライド	レジスタ 0x0A0F、ビット 2
35	リファレンス・モニタ BB をオーバーライド	レジスタ 0x0A0F、ビット 3
36	リファレンス・モニタ C をオーバーライド	レジスタ 0x0A0F、ビット 4
37	リファレンス・モニタ CC をオーバーライド	レジスタ 0x0A0F、ビット 5
38	リファレンス・モニタ D をオーバーライド	レジスタ 0x0A0F、ビット 6
39	リファレンス・モニタ DD をオーバーライド	レジスタ 0x0A0F、ビット 7
40 to 47	不使用	
48	検証タイムアウト A を強制	レジスタ 0x0A0E、ビット 0
49	検証タイムアウト AA を強制	レジスタ 0x0A0E、ビット 1
50	検証タイムアウト B を強制	レジスタ 0x0A0E、ビット 2
51	検証タイムアウト BB を強制	レジスタ 0x0A0E、ビット 3
52	検証タイムアウト C を強制	レジスタ 0x0A0E、ビット 4
53	検証タイムアウト CC を強制	レジスタ 0x0A0E、ビット 5
54	検証タイムアウト D を強制	レジスタ 0x0A0E、ビット 6
55	検証タイムアウト DD を強制	レジスタ 0x0A0E、ビット 7
56 to 63	不使用	
64	OUT0 をイネーブル	レジスタ 0x0401、ビット 0
65	OUT1 をイネーブル	レジスタ 0x0401、ビット 1
66	OUT2 をイネーブル	レジスタ 0x0401、ビット 2
67	OUT3 をイネーブル	レジスタ 0x0401、ビット 3
68	OUT0、OUT1、OUT2、OUT3 をイネーブル	レジスタ 0x0401、ビット [3:0]
69	同期クロック分配出力	レジスタ 0x0A02、ビット 1
70 to 127	不使用	

同じ制御信号で複数の多機能ピンが動作する場合は、内部優先度ロジックに従って、1 つの多機能ピンだけが信号源として機能します。この場合は、最も小さい識別番号のピンが選択され

ます。例えば、同じ制御信号で M3 と M7 が動作する場合は M3 が信号源として使われ、余分なピンは無視されます。

パワーアップ時には多機能ピンを使用し、ピンの初期設定のセクションに示すようにデバイスを特定の設定に強制することができます。ただし、この機能が有効なのはパワーアップ時またはリセット後に限られ、その後は、シリアル・プログラミング・ポートまたは EEPROM を介してピンを設定し直すことができます。

IRQ ピン

AD9548 は専用の割込み要求 (IRQ) ピンを備えています。IRQ ピン出力モード・レジスタ (レジスタ 0x0208、ビット [1:0]) は、以下に示すように、IRQ ピンによる割込みのアサート方法を 2 つのビットに基づいて制御します。

00 – IRQ ピンはアサート解除時がハイ・インピーダンス、アサート時がアクティブ・ローで、外付けのプルアップ抵抗が必要です (これがデフォルトの動作モード)。

01 – IRQ ピンはアサート解除時がハイ・インピーダンス、アサート時がアクティブ・ハイで、外付けのプルダウン抵抗が必要です。

10 – IRQ ピンはアサート解除時がロジック 0、アサート時がロジック 1 です。

11 – IRQ ピンはアサート解除時がロジック 1、アサート時がロジック 0 です。

AD9548 は、IRQ モニタ・レジスタ (アドレス 0x0D02～アドレス 0x0D09) 内のいずれかのビットがロジック 1 になると、IRQ ピンをアサートします。このレジスタ内の各ビットは、割込みを生成できる内部機能に関連付けられています。更に、IRQ モニタ・レジスタの各ビットは、関連付けられた内部割込み信号と、それに対応する IRQ マスク・レジスタ (アドレス 0x0209～アドレス 0x0210) 内のビットの論理 AND の結果です。つまり、IRQ マスク・レジスタ内のビットは、IRQ モニタ・レジスタ内のビットと 1 対 1 で対応しています。ある内部機能が割込み信号を生成して、それに関連付けられた IRQ マスク・ビットがセットされると、IRQ モニタ・レジスタ内の対応ビットがセットされます。IRQ マスク・レジスタ内のビットをクリアすると、内部割込み信号に関連付けられたマスクだけが削除されるという点に留意する必要があります。IRQ モニタ・レジスタ内の対応ビットはクリアされません。

IRQ ピンは、すべての IRQ モニタ・レジスタ・ビットの論理 OR の結果です。したがって、AD9548 は、IRQ モニタ・レジスタのいずれかのビットがロジック 1 になっている限り、IRQ ピンをアサートします。IRQ モニタ・レジスタ内には複数のビットをセットできます。したがって、AD9548 が IRQ ピンをアサートしたときは、複数の異なる内部機能からの割込みが生成されることがあります。IRQ モニタ・レジスタは、AD9548 に問い合わせを行って、どの内部機能が割込みを生成したのかを特定する手段を備えています。

通常、AD9548 が IRQ ピンをアサートしたときは、IRQ モニタ・レジスタに問い合わせを行って、割り込み要求の生成元を特定します。生成された割り込みを処理した後は、IRQ クリアリング・レジスタ（アドレス 0x0A04～アドレス 0x0A0B）を使って、対応する IRQ モニタ・レジスタのビットをクリアする必要があります。IRQ クリアリング・レジスタ内のビットは、IRQ モニタ・レジスタ内のビットと 1 対 1 で対応しています。IRQ クリアリング・レジスタは自動的にクリアされます。IRQ ピンは、割り込みを示している IRQ モニタ・レジスタ内のすべてのビットがクリアされるまで、アサートされたままになります。

リセット機能レジスタ（レジスタ 0x0A03、ビット 1）内の全 IRQ リセット・ビットをセットすることによって、IRQ モニタ・レジスタ内のすべてのビットをまとめてクリアすることも可能です。これは自動クリア・ビットです。このビットをセットすると、IRQ ピンのアサートが解除されます。あるいは、いずれかの多機能ピンを、すべての IRQ をクリアするようにプログラムすることができます。この場合は、シリアル入出力ポートの操作ではなく、ハードウェア・ピンを使ってすべての IRQ をクリアすることができます。

IRQ 機能は、モニタする機能のステート変化を検出します。しかし、IRQ がクリアされた場合（あるいは初めてイネーブルされた場合）に、前から存在する条件に対して IRQ が生成されることはありません。ステートは、IRQ をイネーブルした後に変更する必要があります。例えば、「REFA 無効 (REFA invalid)」IRQ がイネーブルされる前に REFA が既に無効になっている場合、IRQ は生成されません。

ウォッチドッグ・タイマー

ウォッチドッグ・タイマーは汎用のプログラマブル・タイマーです。タイムアウト時間を設定するには、16 ビットのウォッチドッグ・タイマー・レジスタに書き込みを行います（アドレス 0x0211～アドレス 0x0212）。このレジスタ内の値が 0 の場合、タイマーはディスエーブルされます。ゼロ以外の値はタイムアウト時間をミリ秒単位で設定し、その範囲は 1ms～65.535 秒です。タイマーの相対精度は約 0.1% で、不確実性は 0.5ms です。

イネーブルされているタイマーは連続して動作し、タイムアウト時間が経過すると常にタイムアウト・イベントを生成します。ウォッチドッグ・タイマーのステータスには、IRQ メカニズムと多機能ピン（M0～M7）を介してアクセスできます。多機能ピンを使用する場合、ウォッチドッグ・タイマーのタイムアウト・イベントは、システム・クロック 32 周期分の幅を持つパルスです。

ウォッチドッグ・タイマーをリセットする（それによってタイムアウト・イベントが生成されないようにする）方法は 2 つあります。その 1 つは、リセット機能レジスタ（レジスタ 0x0A03、ビット 0）の自動クリア式ウォッチドッグ・リセット・ビットにロジック 1 を書き込む方法です。あるいは、いずれかの多機能ピンを、ウォッチドッグ・タイマーをクリアするようにプログラムすることができます。この場合は、シリアル入出力ポートの操作ではなく、ハードウェア・ピンを使ってタイマーをリセットすることができます。

EEPROM

EEPROM の概要

AD9548 は、2048 バイトの電子的に消去可能なプログラマブル読み出し専用メモリ（EEPROM）を内蔵しています。AD9548 は、多機能ピン（M3～M7）を介してパワーアップ時にダウンロードを行うように設定できますが、アップロードとダウンロードは必要に応じて EEPROM コントロール・レジスタ（アドレス 0x0E00～アドレス 0x0E03）を介して行うことも可能です。

EEPROM は、レジスタ・マップとの間で構成設定のアップロードとダウンロードを行う能力を提供します。EEPROM の機能図を図 51 に示します。

レジスタ 0x0E10～レジスタ 0x0E3F は 48 バイトのスクラッチ・パッドを表しており、ここには、レジスタ・マップのデバイス設定部分から EEPROM ヘッダデータを転送するための一連の命令を保存することができます。これらのレジスタのデフォルト値は、EEPROM にアクセス可能な AD9548 のすべてのレジスタの保存／呼び出しのためのサンプル・シーケンスを提供します。図 51 には、EEPROM とレジスタ・マップ間のデータ転送を管理するコントローラと EEPROM 間の接続が示されています。

コントローラは、EEPROM とレジスタ・マップ間でデータをやり取りするプロセスを監視します。コントローラには 2 つの動作モードがあります。EEPROM にデータを保存するモード（アップロード・モード）と、EEPROM からデータを読み出すモード（ダウンロード・モード）です。どちらの場合も、コントローラは特定の命令セットに依存します。

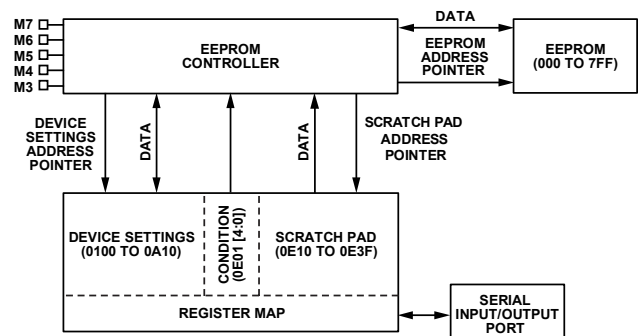


図 51. EEPROM の機能図

表 27. EEPROM コントローラ命令セット

命令値 (16進値)	命令タイプ	必要バイト	説明
0x00 to 0x7F	Data	3	データ命令は、レジスタ・マップのデバイス設定部分との間でデータを転送するようコントローラに指示します。データ命令には2つの追加バイトが必要で、これら2つのバイトはレジスタ・マップ内の開始アドレスを示します。データ命令内には転送バイト数がエンコードされます。これは命令値よりも1つ大きい値です。
0x80	I/O update	1	EEPROM からのダウンロード中にコントローラがこの命令を検出すると、コントローラはソフト I/O 更新を発行します (表 42 のレジスタ 0x0005 を参照)。
0xA0	Calibrate	1	EEPROM からのダウンロード中にコントローラがこの命令を検出すると、コントローラはシステム・クロックのキャリブレーション・シーケンスを開始します (表 121 のレジスタ 0x0A02 を参照)。
0xA1	Distribution sync	1	EEPROM からのダウンロード中にコントローラがこの命令を検出すると、コントローラは出力分配同期回路に対して同期パルスを発行します (表 121 のレジスタ 0x0A02 を参照)。
0xB0 to 0xCF	Condition	1	0xB1~0xCF は条件命令で、それぞれ条件 1 から条件 31 に対応しています。0xB0 はヌル条件命令です。詳細については、EEPROM の条件処理のセクションを参照してください。
0xFE	Pause	1	コントローラは、EEPROM へのアップロード中にスクラッチ・パッド内でこの命令を検出すると、クラッチ・パッドのアドレス・ポインタをリセットして、EEPROM のアドレス・ポインタをその最終値に保持します。これは、複数の命令シーケンスを EEPROM に保存することを可能にします。ただしコントローラは、アップロード時にこの命令を EEPROM にコピーしません。
0xFF	End	1	コントローラは、EEPROM へのアップロード中にスクラッチ・パッド内でこの命令を検出すると、スクラッチ・パッドのアドレス・ポインタと EEPROM のアドレス・ポインタの両方をリセットして、アイドル・ステートに入ります。 コントローラは、EEPROM からのダウンロード中にこの命令を検出すると、EEPROM のアドレス・ポインタをリセットしてアイドル・ステートに入ります。

EEPROM 命令

EEPROM コントローラ命令セットの一覧を表 27 に示します。コントローラは、ポーズ命令を除いてアップロード・モードでもダウンロード・モードでもすべての命令タイプを認識します。ポーズ命令はアップロード・モードでのみ認識されます。

入出力更新命令、補正 (キャリブレーション) 命令、分配同期命令、および終了命令は、ほぼその名前から内容を推測できると思います。しかしその他の命令については、以下の項に述べるように、もう少し詳しい説明が必要です。

データ命令は 0x00~0x7F の値を取ります。データ命令は、EEPROM とレジスタ・マップの間でデータを転送するようコントローラに指示します。コントローラは、データ転送を実行するために以下の2つのパラメータを必要とします。

- 転送するバイト数
- レジスタ・マップのターゲット・アドレス

コントローラは、命令値に 1 を加えることによって、この転送バイト数をデータ命令自体から直接デコードします。例えば、データ命令 1A の 10 進値は 26 です。したがってコントローラは、転送するデータのバイト数を 27 (命令値より 1 大きい値) と認識します。コントローラがデータ命令を検出した場合、スクラッチ・パッド内の次の 2 バイトにはレジスタ・マップのターゲット・アドレスが格納されているので、コントローラはその 2 バイトを読み出し対象と認識します。

EEPROM スクラッチ・パッドでは、データ命令のアドレス部分を構成する 2 つのレジスタにアドレスの MSB が格納されます。位置は下位側レジスタ・アドレスの D7 位置です。ビット・ウェイトは左から右へ、つまり下位レジスタ・アドレスから上位レジスタ・アドレスの方向で増加していきます。更に開始アドレスは、転送するバイト数の範囲内で常に最小のレジスタ・マップ・アドレスを示します。つまり、コントローラは、常にレジスタ・マップのターゲット・アドレスから開始して、シリアル入出力ポートが I²C、SPI LSB ファースト、SPI MSB ファースト

のいずれのモードで動作しているかに関わらず、上位側にカウントしていきます。

EEPROM アップロード時のデータ転送プロセスの一部として、コントローラは 1 バイト・チェックサムを計算し、それをデータ転送の最終バイトとして保存します。コントローラは、EEPROM ダウンロード時にもデータ転送プロセスの一部として 1 バイト・チェックサム値を計算しますが、この新たに計算したチェックサムは、アップロード・プロセスにおいて保存されたチェックサムとの比較に使われます。アップロード・チェックサムとダウンロード・チェックサムが一致しない場合、コントローラは EEPROM 異常ステータス・ビットをセットします。ダウンロード・シーケンス中に検出されたすべてのデータ命令についてアップロード/ダウンロード・チェックサムが一致した場合、コントローラは EEPROM 完了ステータス・ビットをセットします。

条件命令は 0xB0~0xCF の値を取ります。条件命令 0xB1~0xCF はそれぞれ条件 1~条件 31 を表し、0xB0 条件命令はヌル条件を表す特別な命令です (EEPROM の条件処理セクションを参照)。

ポーズ命令は、終了命令同様、スクラッチ・パッド内の命令シーケンスの最後に保存されます。コントローラは、アップロード・シーケンスでポーズ命令を検出すると、EEPROM アドレス・ポインタをその最終値に保持します。このような形で新しい命令シーケンスをスクラッチ・パッドに保存して、その新しいシーケンスを EEPROM にアップロードすることができます。新しいシーケンスは、前に保存したシーケンス直後の EEPROM アドレス位置に保存されます。このプロセスは、アップロード・シーケンスで終了命令が検出されるまで繰り返されます。ポーズ命令は、条件処理と組み合わせても有効に使用できます。これにより、EEPROM に同じレジスタの複数の動作を格納して、各動作を条件セットにリンクさせることが可能になります (EEPROM の条件処理のセクションを参照)。

EEPROM アップロード

EEPROM にデータをアップロードするには、最初に書込みインーブル・ビット (レジスタ 0x0E00、ビット 0) をセットします。次に、自動クリア式の EEPROM 保存ビット (レジスタ 0x0E02、ビット 0) をセットすると、コントローラが EEPROM データ保存プロセスを開始します。EEPROM との間の保存/ロード転送が完了したら、次の EEPROM 保存/ロード転送を開始するまで少なくとも 10 μ s 待ってください。

EEPROM にデータをアップロードするには、最初にスクラッチ・パッド・レジスタへ命令シーケンスを書き込む必要があります。アップロード・プロセスにおいては、コントローラがスクラッチ・パッドのデータをバイトごとに読み出します。読出しはレジスタ 0x0E10 から開始し、ポーズまたは終了命令が検出されるまでスクラッチ・パッド・アドレス・ポインタをインクリメントしていきます。

コントローラは、スクラッチ・パッド・データの読出しに合わせてスクラッチ・パッドから EEPROM ヘデータを転送し (バイトごと)、それに従って EEPROM アドレス・ポインタをインクリメントして、データ命令を検出するまでその動作を続けます。データ命令は、レジスタ・マップのデバイス設定部分から EEPROM ヘデータを転送するようコントローラに指示します。転送バイト数はデータ命令内にエンコードされており、転送の開始アドレスはスクラッチ・パッドの次の 2 バイトに格納されています。

コントローラはデータ命令を検出すると、その命令を EEPROM に保存して EEPROM アドレス・ポインタをインクリメントし、転送バイト数をデコードして、スクラッチ・パッドのアドレス・ポインタをインクリメントします。その後、スクラッチ・パッドから次の 2 バイト (ターゲット・アドレス) を読み出して、スクラッチ・パッドのアドレス・ポインタを 2 だけインクリメントします。次に、コントローラは、指定されたバイト数をレジスタ・マップ (ターゲット・アドレスが開始位置) から EEPROM へ転送します。

データ転送が完了すると、コントローラは、転送されたデータ・ブロックのチェックサムとして使用する追加バイトを EEPROM に保存します。このチェックサム・バイト分に対応するために、コントローラは、EEPROM アドレス・ポインタを転送バイト数より 1 つ多くインクリメントします。コントローラは、アクティブ・レジスタに関連付けられたデータを転送する場合、実際にはバッファされたレジスタ内容を転送します (バッファ・レジスタとアクティブ・レジスタの詳しい違いについては、バッファ・レジスタとアクティブ・レジスタのセクションを参照)。これにより、自動クリアリング・レジスタのゼロ以外の内容を転送することが可能になります。

アップロード・シーケンスで条件処理が発生することはありませぬ (EEPROM の条件処理のセクションを参照)。

EEPROM ダウンロード

EEPROM ダウンロードを行うと、EEPROM からデバイス・レジスタ・マップヘデータが転送されます。データをダウンロードするには、自動クリア式の EEPROM ロード・ビット (レジスタ 0x0E03、ビット 1) をセットします。これは、EEPROM ダウンロード・プロセスを開始するようコントローラに指示します。ダウンロード中、コントローラは EEPROM データをバイトごとに読み出して EEPROM アドレス・ポインタをインクリメントし、終了命令が検出されるまで同じプロセスを繰り返します。コントローラは、データ命令を検出すると、EEPROM データを読み出した時点で、保存されていた命令を実行します。これらの命令には、保存データをレジスタ・マップのデバイス設定部分へ転送することが含まれます。EEPROM との間の保存/ロード転送が完了したら、次の EEPROM 保存/ロード転送を開始するまで少なくとも 10 μ s 待ってください。

条件処理が適用できるのは、ダウンロード時に限られます (EEPROM の条件処理のセクションを参照)。

自動 EEPROM ダウンロード

FncInit [7:3] \neq 0 の場合は、パワーアップ後に RESET ピンをアサートするかソフトウェア・リセット (レジスタ 0x0000、ビット 5 = 1) を行うと (M0~M7 ピンの初期設定のセクションを参照)、FncInit [7:3] を条件として、EEPROM に保存された命令シーケンスが自動的に実行されます。このようにして、パワーアップ時、あるいはハード・リセットまたはソフト・リセット時に、前に保存されていたレジスタ値のセットが自動的にダウンロードされます。条件処理に関する詳細と、条件処理がダウンロード・プロセスをどのように変化させるかについては、EEPROM の条件処理のセクションを参照してください。

誤って設定された自動 EEPROM ダウンロードを無効にする

M3~M7 を誤ってフロート状態のままにしたりハイにしったりした場合は、EEPROM ダウンローディングをバイパスすることができます。以下の手順に従って、EEPROM ローディングをバイパスしてください。

1. レジスタ 0x0E10 = 0xFF (データの終了)。
2. レジスタ 0x0E00 = 0x01 (EEPROM 書込み有効化)。
3. レジスタ 0x0E02 = 0x01 (EEPROM に保存)。
4. レジスタ 0xD00 が 0x00 になるまで待つ。

EEPROM の条件処理

条件命令を使用すると、ダウンロード・シーケンス中、条件に応じて EEPROM 命令を実行できます。ただし、アップロード・シーケンス中の条件命令はそのまま保存され、アップロード・シーケンスには影響しません。

EEPROM のダウンロード時、条件命令自体と終了命令は常に無条件で実行されます。

条件処理では、条件 (条件 1~条件 31)、および条件タグ・ボードという 2 つの要素が使われます。条件、条件タグ・ボード、および EEPROM コントローラ間の関係を図 52 に図式的に示します。

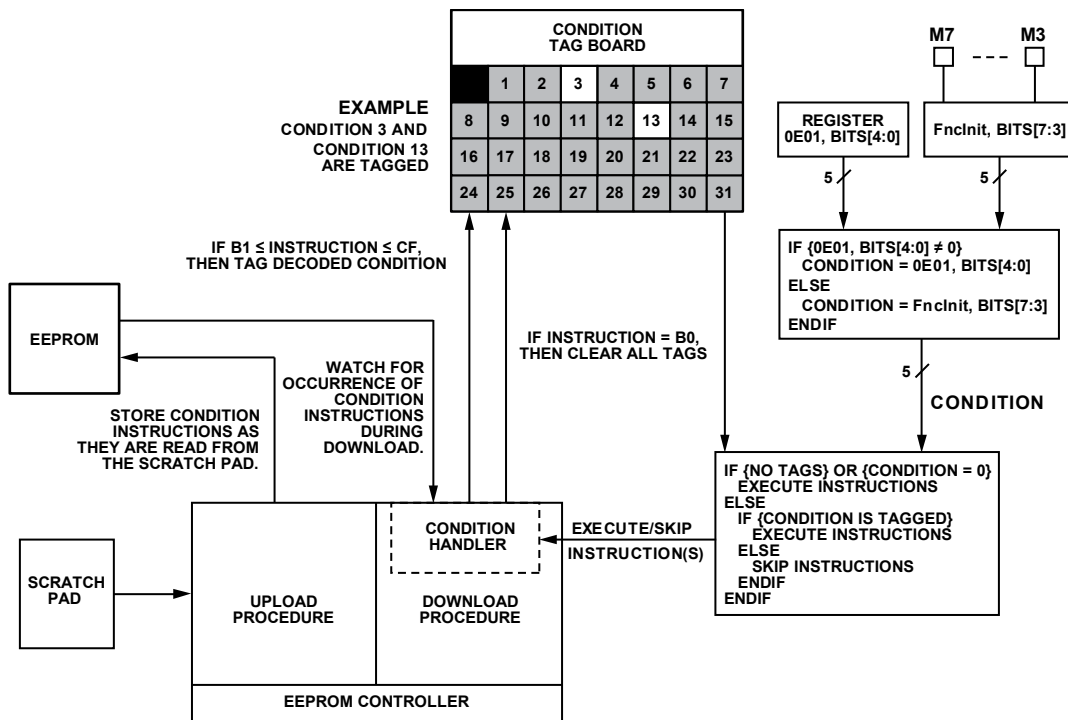


図 52. EEPROM の条件処理

条件は、32通りの可能性を持つ5ビット値です。条件=0はヌル条件です。ヌル条件が有効になると、EEPROMコントローラがすべての命令を無条件で実行します。残り31通りの可能性、すなわち条件=1から条件=31までは、EEPROMコントローラによるダウンロード・シーケンスの処理を変更します。条件は、以下に示すように2つあるソースのどちらかから提供されます(図52を参照)。

- FncInItのビット[7:3]。これは、パワーアップ時における多機能ピンM3~M7の状態です(M0~M7ピンの初期設定のセクションを参照)。
- レジスタ0x0E01、ビット[4:0]

レジスタ0x0E01のビット[4:0] ≠ 0の場合はレジスタ0x0E01のビット[4:0]に保存された値が条件となり、それ以外の場合はFncInItのビット[7:3]が条件となります。レジスタ0x0E01のビット[4:0]にゼロ以外の値が存在する場合は、FncInItのビット[7:3]よりそちらが優先されます。

条件タグ・ボードは、EEPROMコントローラによって維持されるテーブルです。コントローラは、条件命令を検出すると、0xB1~0xCF命令をそれぞれ条件=1から条件=31としてデコードし、その特定の条件を条件タグ・ボードにタグ付けします。ただし0xB0条件命令はヌル条件としてデコードされ、この場合コントローラは条件タグ・ボードをクリアして、その後、無条件にダウンロード命令を実行します(コントローラが新しい条件命令を検出するまで)。

ダウンロード中、EEPROMコントローラは、条件の値と条件タグ・ボードの内容に応じて命令を実行またはスキップします。ただし、ダウンロード時の条件命令と終了命令は常に無条件に実行されます。条件=0の場合は、ダウンロード時のすべての命令が無条件で実行されます。条件≠0で条件タグ・ボードにタグ付された条件がある場合、コントローラは、条件がタグ付けされている場合のみ命令を実行します。条件がタグ付けされていない場合、コントローラは、タグ付けされた条件としてデコードされる条件命令が検出されるまで命令をスキップします。条件タグ・ボードには、任意の時点で複数の条件をタグ付けすることができます。この条件処理メカニズムによって、条件の値と、コントローラが検出する条件命令の順番に応じて、1つのダウンロード命令シーケンスから数多くの結果が得られるようになっていきます。

EEPROM ダウンロード命令セットの例を表 28 に示します。これは、条件命令の使用法と、それらの命令がダウンロード・シーケンスにどのような影響を与えるかを示しています。この表は、いかなる条件も設定されていない状態から開始することが前提となっています。これは、最後に実行された条件命令が 0xB0 であること、あるいはそれ以前に条件命令が処理されていないことを意味します。

表 28. EEPROM の条件処理例

命令	動作
0x08 0x01 0x00	現在の状態に関わらず、システム・クロック・レジスタの内容を転送します。
0xB1	条件 1 をタグ付け。
0x19 0x04 0x00	条件 = 1 の場合のみ、クロック分配レジスタの内容を転送します。
0xB2	条件 2 をタグ付け。
0xB3	条件 3 をタグ付け。
0x07 0x05 0x00	条件 = 1、2、または 3 の場合のみ、リファレンス入力レジスタの内容を転送します。
0x0A	条件 = 1、2、または 3 の場合のみ、システム・クロックを補正します。
0xB0	条件タグ・ボードをクリアします。
0x80	条件の値に関わらず、I/O 更新を実行します。
0x0A	条件の値に関わらず、システム・クロックを補正します。

EEPROM に複数デバイスのセットアップを保存

条件処理を使用すると、複数の異なるデバイス・セットアップを作成してそれらを EEPROM に保存し、その中の特定のセットアップを必要に応じてダウンロードすることができます。これを行うには、最初に、特定のセットアップ用にデバイス・コントロール・レジスタをプログラムします。次に、以下のような一般的な形態で、EEPROM のスクラッチ・パッドへアップロード・シーケンスを保存します。

1. 特定の条件 (1~31) によってセットアップを識別する条件命令 (0xB1~0xCF)
2. データ命令 (レジスタの内容を保存) と、それに伴って必要となるすべての補正命令または入出力更新命令
3. ポーズ命令 (0xFE)

スクラッチ・パッドに更新シーケンスが書き込まれた状態で、EEPROM アップロードを実行します (レジスタ 0x0E02、ビット 0)。

次に必要なセットアップに合わせて、デバイス・コントロール・レジスタを再度プログラムします。更に、以下のような一般的な形態で、EEPROM のスクラッチ・パッドへ新しいアップロード・シーケンスを保存します。

1. 条件命令 (0xB0)
2. 次に必要な条件命令 (0xB1~0xCF ですが、新しいセットアップを識別するために前回アップロード時に使用したものと異なります)
3. データ命令 (レジスタの内容を保存) と、それに伴って必要となるすべての補正命令または入出力更新命令
4. ポーズ命令 (FE)

スクラッチ・パッドに更新シーケンスが書き込まれた状態で、EEPROM アップロードを実行します (レジスタ 0x0E02、ビット 0)。

新しいセットアップのデバイス・コントロール・レジスタのプログラミング・プロセスを繰り返して、新しいアップロード・シーケンスを EEPROM のスクラッチ・パッドに保存し (ステップ 1~ステップ 4)、必要なすべてのセットアップを EEPROM にアップロードするまで、EEPROM アップロードを実行します (レジスタ 0x0E02、ビット 0)。

ただし、スクラッチ・パッドに保存する最後のアップロード・シーケンスでは、ポーズ命令 (FE) を終了命令 (FF) に置き換える必要があります。

必要に応じて特定のセットアップをダウンロードするには、最初に、必要なセットアップに関連付けられた条件をレジスタ 0x0E01 のビット [4:0] に保存します。その後で EEPROM ダウンロードを行ってください (レジスタ 0x0E03、ビット 1)。あるいは、パワーアップ時に特定のセットアップをダウンロードするには、必要条件をエンコードするために求められるロジック・レベルを M3~M7 の多機能ピンに加えます。その後デバイスをパワーアップすると、自動 EEPROM ダウンロードが実行されます。条件 (M3~M7 多機能ピンによって確立される条件) がダウンロード・シーケンスをガイドして、最終的に特定のセットアップがダウンロードされます。

EEPROM に保存できるセットアップの数には制限がある点に留意してください。EEPROM に保存できるのは合計 2048 バイトです。それぞれの非データ命令の保存には 1 バイトのスペースが必要で、それぞれのデータ命令の保存には N+4 バイトのスペースが必要です。ここで、N は転送レジスタのバイト数で、その他の 4 バイトには、データ命令自体 (1 バイト)、ターゲット・アドレス (2 バイト)、およびアップロード・シーケンスにおいて EEPROM コントローラによって計算されたチェックサム (1 バイト) が含まれます。

クロック部品 ID を含めた EEPROM のプログラム

クロック部品 ID レジスタを使用するには、特別な EEPROM ローディング・シーケンスが必要です。これらのレジスタは、部品およびリビジョンに関する情報を提供します。

レジスタ 0x0E10~レジスタ 0x0E31 のデフォルトの EEPROM 保存シーケンスは変わりません。クロック部品 ID レジスタを使用するには、EEPROM 保存シーケンスに以下のステップを挿入する必要があります。

1. レジスタ 0x0E32 = 0x07 (8 バイトの書込み)
2. レジスタ 0x0E33 = 0x0C (レジスタ 0x0C00)
3. レジスタ 0x0E34 = 0x00
4. レジスタ 0x0E35 = 0x80 (入出力更新)
5. レジスタ 0x0E36 = 0xFF (データの終了)

シリアル制御ポート

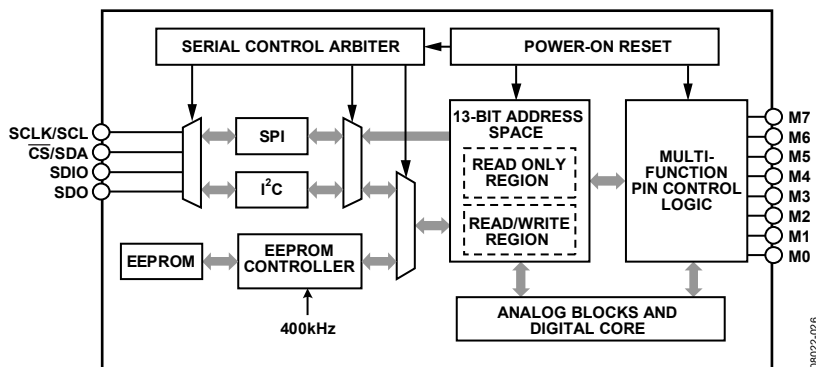


図 53. シリアル・ポート機能図

AD9548のシリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準の様々なマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。AD9548のシリアル制御ポートは、Philips I²C、Motorola SPI、Intel SSR プロトコルを含むほとんどの同期転送フォーマットに使用できます。シリアル制御ポートにより、AD9548のレジスタ・マップに対する読出し/書込みアクセスが可能になります。

SPIモードでは、シングル・バイトまたは複数バイトの転送がサポートされています。SPIポートの設定はレジスタ 0x0000 を介してプログラムできます。このレジスタはレジスタ・マップではなく SPI 制御ロジックに組み込まれ、I²C レジスタ 0x0000 とは区別されます。また、EEPROM コントローラへアクセスすることもできません。

EEPROM との関係を含めたシリアル制御ポートの機能を図 53 に示します。

AD9548 は SPI と I²C シリアル・ポート両方のプロトコルをサポートしていますが、パワーアップ後にアクティブになるのはどちらか一方だけです（スタートアップ・シーケンスで多機能ピン M0～M2 により決定）。つまり、シリアル・ポート・プロトコルを変更する唯一の方法は、デバイスをリセットする（もしくはデバイスの電源を一度切って入れ直す）ことです。図 54 に示すように、どちらのプロトコルも共通の制御ピン・セットを使用します。

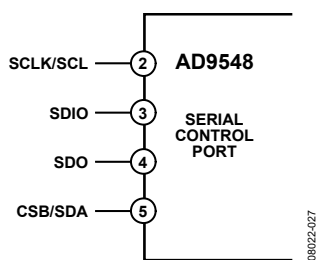


図 54. シリアル制御ポート

SPI/I²C ポートの選択

AD9548 は SPI プロトコルと I²C プロトコルの両方をサポートしているので、アクティブなシリアル・ポート・プロトコルは、スタートアップ時の 3 本の多機能ピン M0～M2 のロジック・スタートによって決まります。スタートアップ時に 3 本のピンすべてがロジック 0 にセットされている場合は、SPI プロトコルがアクティブになります。それ以外の場合は、M0～M2 ピンのスタートアップ時のロジック・パターンに基づき、7 つの異なる I²C スleep・アドレス設定で I²C プロトコルがアクティブにな

ります（表 29 を参照）。スレep・アドレスの 4MSB は、1011 にハードウェア・コードされています。

表 29. シリアル・ポート・モードの選択

M2	M1	M0	Serial Port Mode
0	0	0	SPI
0	0	1	I ² C (address = 1001001)
0	1	0	I ² C (address = 1001010)
0	1	1	I ² C (address = 1001011)
1	0	0	I ² C (address = 1001100)
1	0	1	I ² C (address = 1001101)
1	1	0	I ² C (address = 1001110)
1	1	1	I ² C (address = 1001111)

SPI シリアル・ポートの動作

ピンの説明

SCLK (シリアル・クロック) ピンはシリアル・シフト・クロックとして機能します。このピンは入力ピンです。SCLK によって、シリアル制御ポートの読出し動作と書込み動作が同期されます。SCLK の立上がりエッジで書込みデータ・ビットがレジスタに取り込まれ、SCLK の立下がりエッジで読出しデータ・ビットがレジスタに取り込まれます。SCLK ピンは最大 40MHz のクロック・レートに対応します。

SDIO (シリアル・データ入出力) ピンは 2 つの機能を兼ね備えたピンで、入力専用ピン（単方向モード）または入出力兼用ピン（双方向モード）として動作します。AD9548 のデフォルト SPI モードは双方向です。

SDO (シリアル・データ出力) ピンは単方向入出力モードでのみ使用でき、読出し動作のデータ出力ピンとしての役割を果たします。

CS (チップ・セレクト) ピンは読出し動作と書込み動作を制御するアクティブ・ローの制御信号です。このピンは、内部で 30kΩ のプルアップ抵抗に接続されています。CS がハイ・レベルのとき、SDIO ピンと SDO ピンはハイ・インピーダンス状態になります。

SPI モードの動作

SPI ポートは 3 線（双方向）と 4 線（単方向）の両方のハードウェア構成に対応し、MSB ファースト・データ・フォーマットと LSB ファースト・データ・フォーマットのいずれにも対応します。ハードウェア構成機能とデータ・フォーマット機能は両方とも設定可能です。デフォルトでは、AD9548 は双方向の MSB ファースト・モードになっているのは、デバイスが単方向動作に配線されている場合、デバイスへの書込みを行って単方向モードに切り替えられるためです。

\overline{CS} ピンをアサート（アクティブ・ロー）すると、AD9548 の SPI ポートに対する書込みまたは読出し動作が開始されます。3 バイト以下（命令ワードを除く）のデータ転送では、デバイスは \overline{CS} ハイ・レベル固定モードをサポートしています（表 30 参照）。このモードでは、任意のバイト境界で \overline{CS} ピンのアサートを一時的に解除して（ハイに戻して）、システム・コントローラが次のバイトを処理するための時間を確保することができます。ただし、 \overline{CS} のアサートを解除できるのはバイト境界に限られます。これは、転送の命令部分とデータ部分の両方に適用されます。

このハイ・レベル固定時間にシリアル制御ポートのステート・マシンが待機ステートに入り、すべてのデータが送信されるまでそのステートを維持します。システム・コントローラが途中で転送の中止を決定した場合は、残りの転送を完了させるか、SCLK の少なくとも 1 サイクルにわたって \overline{CS} ピンをアサートすることにより（ただし 8 サイクル未満）、ステート・マシンをリセットする必要があります。バイト境界以外で \overline{CS} ピンのアサートを解除するとシリアル転送が停止され、バッファはフラッシュされます。

ストリーミング・モードでは（表 30 を参照）、任意の数のデータ・バイトを 1 つの連続ストリームで転送することができます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます。この場合は最終バイトの転送終了時入力 \overline{CS} のアサートを解除して、ストリーム・モードを終了する必要があります。

表 30. バイト転送数

W1	W0	Bytes to Transfer
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

通信サイクル-命令+データ

SPI プロトコルの通信サイクルは、2 つの部分で構成されています。最初の部分は、SCLK の最初の 16 個の立上がりエッジと一致する 16 ビットの命令ワードとペイロードです。この命令ワードは、ペイロードについての情報を AD9548 のシリアル制御ポートに提供します。この命令ワードには、ペイロードの転送方向（すなわち、読出しまたは書込み動作）を示す R/W ビットが含まれています。命令ワードは、ペイロード内のバイト数と、ペイロードの先頭バイトの開始レジスタ・アドレスも示します。

書込み

命令ワードが書込み動作を示す場合、ペイロードは AD9548 のシリアル制御ポートのバッファに書き込まれます。データ・ビットは、SCLK の立上がりエッジでレジスタに取り込まれます。転送の長さ（1、2、3 バイト、またはストリーミング・モード）は、命令バイト内の W0 ビットと W1 ビットによって決まります（表 30 を参照）。ストリーミング・モード以外では、8 ビットの各シーケンス終了後に \overline{CS} のアサートを解除して、バスを停止させることができます（サイクルが終了する最終バイトの後を除く）。バス停止時に \overline{CS} がアサートされると、シリアル転送が再開されます。バイト境界以外で \overline{CS} ピンのアサートを解除すると、シリアル制御ポートがリセットされます。予備レジスタまたはブランク・レジスタが、書込みシーケンスで自動的にスキップされることはありません。したがってユーザは、デバイスの正しい動作を維持するためには、どのビット・パターンを予備レジスタに書き込めばよいかを知っておく必要があります。一般的に、ブランク・レジスタにはどのようなデータを書き込んでもかまいませんが、慣習的に 0 を書き込みます。

ほとんどのシリアル・ポート・レジスタはバッファされます（バッファ・レジスタとアクティブ・レジスタの違いについては、バッファ・レジスタとアクティブ・レジスタのセクションを参照）。このため、バッファ・レジスタに書き込まれたデータは、直ちに有効にはなりません。実際にデバイスを制御するレジスタに、バッファされたシリアル制御ポートの内容を転送するには、追加的な動作が必要です。それには、次の 2 つの方法のいずれかで入出力更新動作を実行します。1 つはレジスタ 0x0005 のビット 0 にロジック 1 を書き込むことによって行います（このビットは自動クリア・ビットです）。もう 1 つは、適切にプログラムされた多機能ピンを介して外部信号を使う方法です。ユーザは、入出力更新を実行する前に、必要な数だけレジスタ・ビットを変更できます。入出力更新動作により、バッファ・レジスタの内容は対応するアクティブなレジスタに転送されます。

読出し

AD9548 は、ロング命令モードのみをサポートしています。命令ワードが読出し動作を示している場合、その命令ワードで指定されたアドレスから始まるデータが、次の N×8 SCLK サイクルで出力されます。N は読み出すデータのバイト数で、これは命令ワードの W0 ビットと W1 ビットで決まります。

SPI 読出しでは、SDIO（4 線モードの場合は SDO）のシリアル・データが SCLK の立下がりエッジで遷移し、通常は SCLK の立上がりエッジでサンプリングされます。最終ビットを正しく読み出すには、SPI ホストがゼロ・ホールド時間を許容できなければなりません。ゼロ・ホールド時間を許容できない場合は、ストリーミング・モードを使用して \overline{CS} の立上がりエッジを遅らせるか、SCLK の立下がりエッジでシリアル・データをサンプリングします。ただし、SCLK の立下がりエッジで正しくデータをサンプリングするには、セットアップ時間が t_{dv} （データ有効時間）より長くなるようにしなければなりません。リードバックの間、ブランク・レジスタはスキップされません。

リードバック動作では、シリアル制御ポートのバッファ・レジスタまたはアクティブ・レジスタからデータが取り出されます。どちらから取り出されるかは、レジスタ 0x0004 のビット 0 によって決まります。

SPI 命令ワード (16 ビット)

16 ビット命令ワードの MSB は $\overline{R/W}$ であり、読出し命令/書込み命令のどちらであるかを示します。次の 2 ビット、W1 と W0 は、転送のバイト数を示します (表 30 を参照)。最後の 13 ビットはレジスタ・アドレス (A12~A0) で、読出し/書込み動作の開始レジスタ・アドレスを示します (表 32 参照)。

MSB ファースト/LSB ファーストの SPI 転送

AD9548 の命令ワードとペイロードは、MSB ファーストまたは LSB ファーストとすることができます。AD9548 のデフォルトは MSB ファーストです。LSB ファースト・モードは、レジスタ 0x0000 のビット 6 に 1 を書き込むことで設定できます。LSB ファースト・ビットがセットされると、直ちにそれ以降のシリアル制御ポート動作が LSB ファーストになります。

MSB ファースト・モードがアクティブのときは、命令バイトとデータ・バイトを MSB から LSB への方で書き込む必要があります。MSB ファースト形式での複数バイト・データの転送は、最上位ペイロード・バイトのレジスタ・アドレスを含む命令バイトから開始します。その後続くデータ・バイトは、上位アドレスから下位アドレスへの順番とする必要があります。MSB ファースト・モードでは、シリアル制御ポートの内部アドレス・ジェネレータが、複数バイト転送サイクルの各データ・バイトに合わせてデクリメントします。

レジスタ 0x0000 のビット 6 = 1 (LSB ファースト) の場合は、命令バイトとデータ・バイトを LSB から MSB への方で書き込む必要があります。LSB ファースト形式での複数バイト・デ

ータの転送は、最下位ペイロード・バイトのレジスタ・アドレスを含む命令バイトから開始して、その後複数データ・バイトを続けます。シリアル制御ポートの内部アドレス・ジェネレータは、複数バイト転送サイクルの各バイトに合わせてインクリメントします。

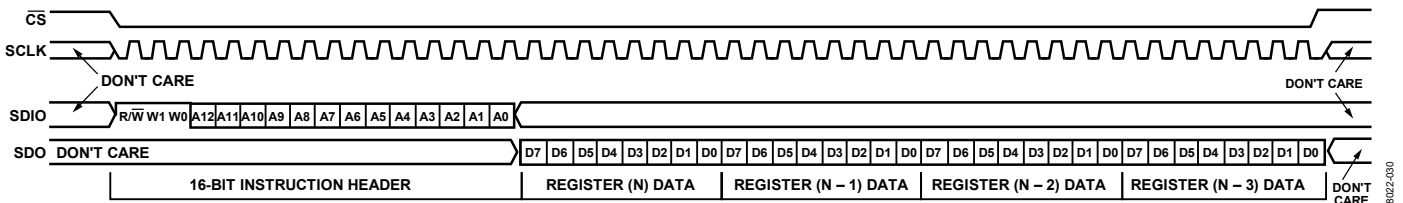
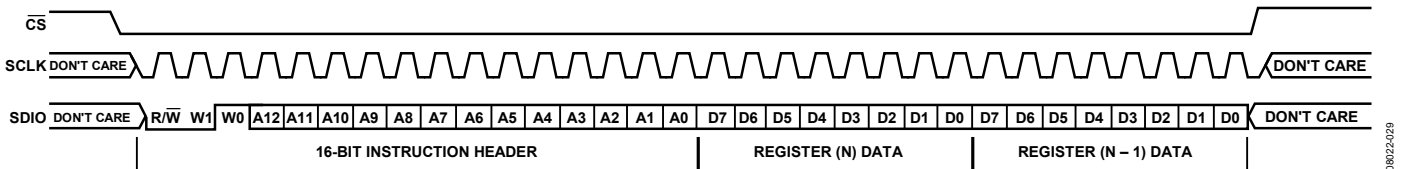
複数バイトの MSB ファースト (デフォルト) 入出力動作では、シリアル制御ポート・レジスタ・アドレスが、指定された開始アドレスからアドレス 0x0000 へ向けてデクリメントします。複数バイトの LSB ファースト入出力動作では、シリアル制御ポート・レジスタ・アドレスが、開始アドレスからアドレス 0x1FFF へ向けてインクリメントします。複数バイトの入出力動作の間、不使用アドレスはスキップされません。したがって、予備レジスタにはデフォルト値を書き込み、マッピングされていないレジスタには 0 を書き込む必要があります。3 つ以上の連続した予備 (またはマッピングされてない) レジスタにデフォルト値を書き込むよりも、新しい書込みコマンドを送信したほうが効率的です。

表 31. ストリーミング・モード
(スキップされるアドレスなし)

Write Mode	Address Direction	Stop Sequence
LSB First	Increment	0x0000 ... 0x1FFF
MSB First	Decrement	0x1FFF ... 0x0000

表 32. シリアル制御ポート、16 ビット命令ワード、MSB ファースト

MSB													LSB		
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0



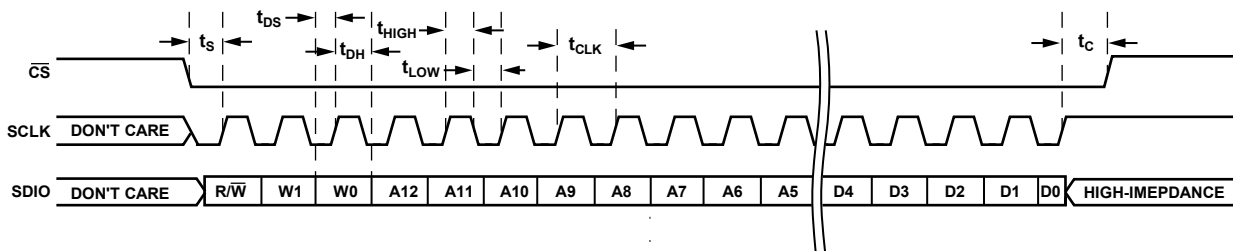


図 57. シリアル制御ポートの読出し—MSB ファースト、16 ビット命令、1 バイト・データ

08022-153

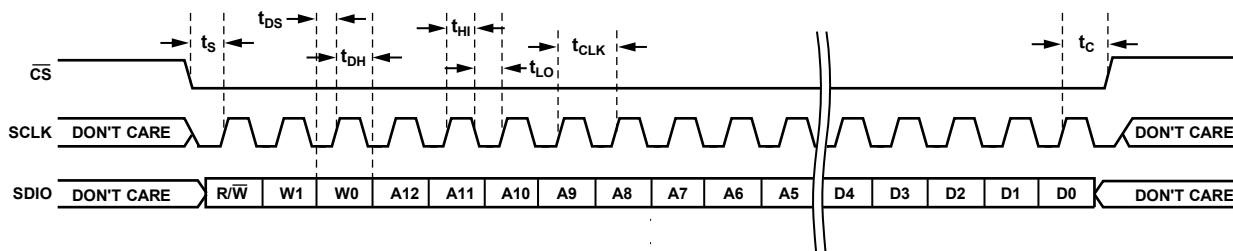


図 58. シリアル制御ポートの書込み—MSB ファースト、16 ビット命令、タイミング測定

08022-031

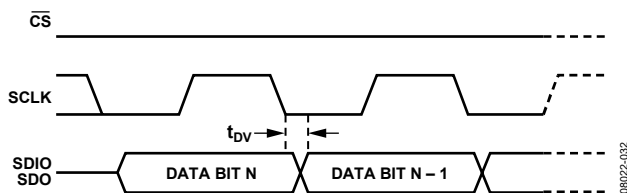


図 59. シリアル制御ポート・レジスタ読出しのタイミング図

08022-032

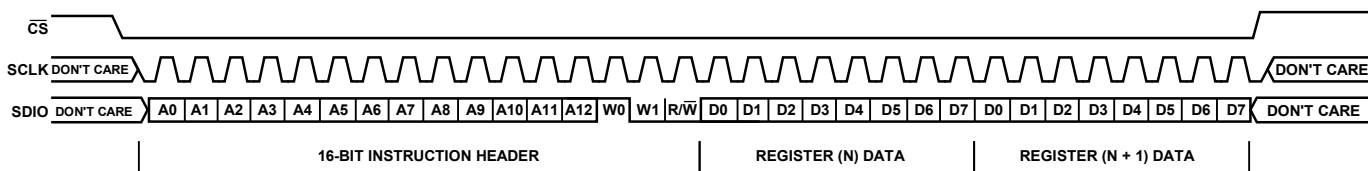


図 60. シリアル制御ポートの書込み—LSB ファースト、16 ビット命令、2 バイト・データ

08022-033

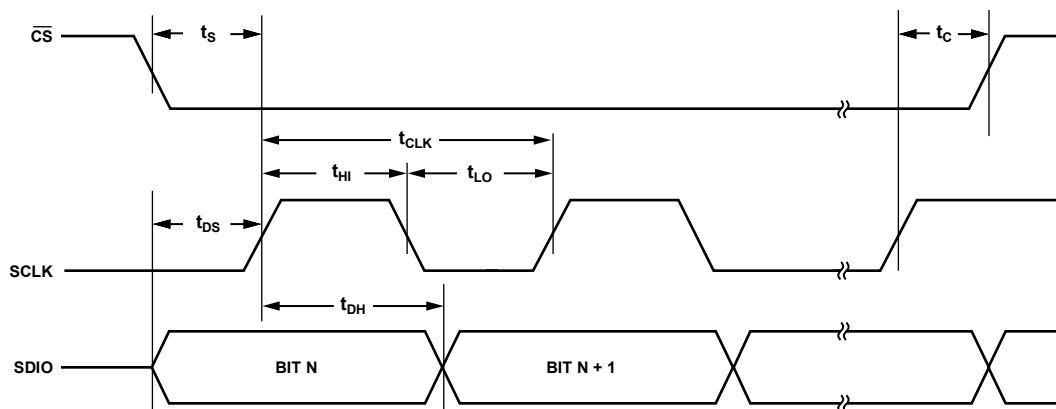


図 61. シリアル制御ポートのタイミング—書込み

08022-034

表 33. シリアル制御ポートのタイミング

パラメータ	説明
t_{DS}	データと SCLK 立上がりエッジ間のセットアップ時間。
t_{DH}	データと SCLK 立上がりエッジ間のホールド時間。
t_{CLK}	クロックの周期。
t_S	\overline{CS} 立上がりエッジと SCLK 立上がりエッジ間のセットアップ時間（通信サイクルの開始）。
t_C	SCLK 立上がりエッジと \overline{CS} 立上がりエッジ間のセットアップ時間（通信サイクルの終了）。最終データ・ビット（D0）の読出し前に SDIO/SDO がスリー・ステートにならないように、 t_C には $\frac{1}{2}$ SCLK サイクルを使用することを推奨します。
t_{HI}	SCLK をロジック・ハイ・ステートに保持する必要がある最小時間。
t_{LO}	SCLK をロジック・ロー・ステートに保持する必要がある最小時間。
t_{DV}	SCLK から有効な SDIO および SDO まで（図 59 参照）。

I²C シリアル・ポートの動作

I²C インターフェースには必要な制御ピンが 2 本だけという利点があり、I²C 産業ではデファクト・スタンダードとして広く使われています。しかし欠点はその設定速度で、最大でも 400kbps です。AD9548 の I²C ポート設計は Philips の I²C 高速モード標準に基づくものなので、100kHz の標準モードと 400kHz の高速モードをサポートしています。高速モードでは、制御信号に対してグリッチ許容値条件が課されます。つまり、入力レシーバーは幅 50ns 未満のパルスを無視します。

AD9548 の I²C ポートは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されています。I²C バス・システムにおいて、AD9548 はスレーブ・デバイスとしてシリアル・バス (データ・バス SDA とクロック・バス SCL) に接続します。つまり、AD9548 はクロックを生成しません。AD9548 は、従来の 8 ビット・メモリ・アドレス指定ではなく、ダイレクト 16 ビット・メモリ・アドレス指定を使用します。

AD9548 では、7 個までの個別スレーブ・デバイスで I²C バスを占有できます。これらのデバイスには、I²C パケットの一部として送信される 7 ビットのスレーブ・アドレスを介してアクセスできます。その後の I²C コマンドには、一致するスレーブ・アドレスを持つデバイスだけが応答します。デバイスのスレーブ・アドレスは 1001xxx です (右側 3 ビットは M0~M2 ピンによって決定)。MSB 側 4 ビット (1001) はハードワイヤードで、LSB 側 3 ビット (xxx、M0~M2 ピンにより決定) は、多機能ピンのパワーアップ・ステートを介してプログラムされます (M0~M7 ピンの初期設定のセクションを参照)。

I²C バスの特性

I²C プロトコルの概要を表 34 に示します。

表 34. I²C バスの略号定義

Abbreviation	Definition
S	Start
Sr	Repeated start
P	Stop
A	Acknowledge
\bar{A}	Nonacknowledge
\bar{W}	Write
R	Read

図 62 にデータの転送を示します。各データ・ビットの転送用に 1 個ずつクロック・パルスが生成されます。SDA ライン上のデータは、クロックがハイのときに安定した状態でなければなりません。データ・ラインのハイ・ステートまたはロー・ステートは、SCL ライン上のクロック信号がローのときのみ変更できます。

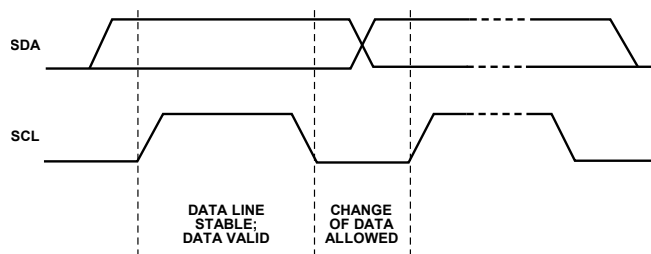


図 62. 有効なビット転送

開始/停止機能を図 63 に示します。開始条件は、SCL がハイ・レベルの状態、SDA ラインがハイ・レベルからロー・レベルへ遷移することです。開始条件は、データ転送を開始するために常にマスタによって生成されます。停止条件は、SCL がハイ・レベルの状態、SDA ラインがロー・レベルからハイ・レベルへ遷移することです。停止条件は、データ転送を終了するために常にマスタによって生成されます。SDA ライン上のすべてのバイトは 8 ビット長とする必要があり、各バイトの後にはアックノレッジ・ビットが必要です。バイトは MSB ファーストで送られます。

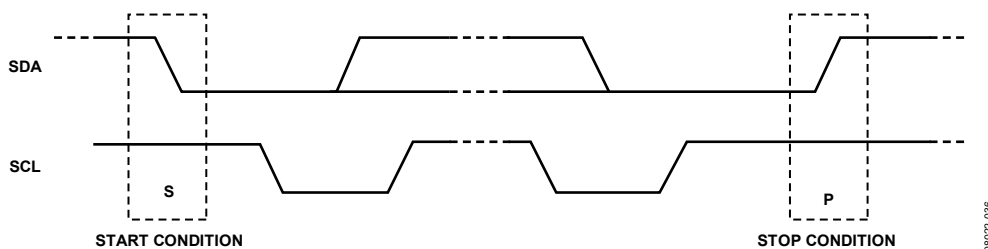


図 63. 開始および停止条件

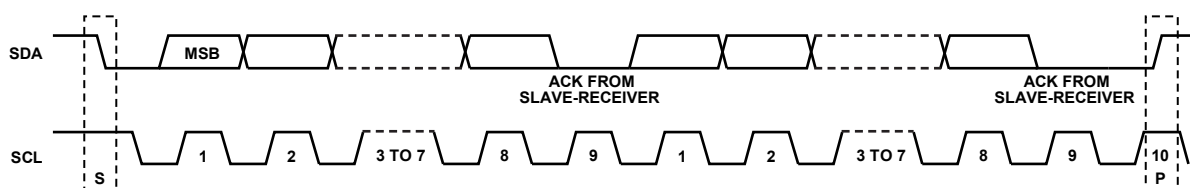


図 64. アックノレッジ・ビット

アクノレッジ・ビット (A) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されたことをトランスミッタに知らせるために、常に受信デバイス (レシーバー) によって生成されます。これは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの中に、SDA ラインをロー・レベルにすることによって行われます。

非アクノレッジ・ビット (\bar{A}) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されていないことをトランスミッタに知らせるために、常に受信デバイス (レシーバー) によって生成されます。非アクノレッジは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの中に、SDA ラインをハイ・レベルのままにすることによって行われます。

データ転送プロセス

マスタは、開始条件をアサートすることによってデータ転送を開始します。これは、データ・ストリームが後続することを示します。シリアル・バスに接続されたすべての PC スレーブ・デバイスが、この開始条件に応答します。

その後マスタは、SDA ラインを通じ、7 ビットのスレーブ・アドレス (MSB ファースト) と R/W ビットで構成される 8 ビットのアドレス・バイトを送信します。このビットはデータ転送の方向、つまり、データをスレーブ・デバイスに書き込むのか、あるいはスレーブ・デバイスから読み出すのかを決定します (0 = 書き込み、1 = 読出し)。

転送されたアドレスに対応する周辺機器は、アクノレッジ・ビットを送ることによってこれに応答します。選択されたデバイスが、そのデバイスとの間で読み書きされるデータを待つ間、バス上の他のすべてのデバイスはアイドル状態を維持します。R/W ビットが 0 の場合は、マスタ (トランスミッタ) がスレーブ・デバイス (レシーバー) に書き込みを行います。R/W ビットが 1 の場合は、マスタ (レシーバー) がスレーブ・デバイス (トランスミッタ) から読出しを行います。

これらのコマンドのフォーマットについては、データ転送フォーマットのセクションに説明があります。

読み出されたデータは、シリアル・バスを介し 9 個のクロック・パルスを使って送信されます。データは、マスタ (書き込みモード) またはスレーブ (読出しモード) からの 1 データ・バイト (8 ビット) と、その後続く受信側デバイスからのアクノレッジ・ビットで構成されます。1 回の転送で送信できるバイト数に制限はありません。書き込みモードでは、スレーブ・アドレス・バイトの直後にある最初の 2 データ・バイトが、内部メモリ (コントロール・レジスタ) のアドレス・バイトです (アドレス値が大きいほうのバイトが先)。このアドレス指定方法では、最大 $2^{16} - 1 = 65,535$ 個のメモリ・アドレスを使用できます。これら 2 つのメモリ・アドレス・バイトの後のデータ・バイトが、コントロール・レジスタとの間で読み書きされるレジスタ・データです。読出しモードでは、スレーブ・アドレス・バイトの後に続くデータ・バイトが、コントロール・レジスタとの間で読み書きされるレジスタ・データです。

全データ・バイトの読出しまたは書き込みが終了すると、停止条件が設定されます。書き込みモードでは、スレーブ・デバイス (レシーバー) からの最終データ・バイトに対するアクノレッジ・ビットに続く 10 番目のクロック・パルスの中に、マスタ (トランスミッタ) が停止条件をアサートしてデータ転送を終了します。読出しモードでは、マスタ・デバイス (レシーバー) がスレーブ・デバイス (トランスミッタ) からの最後のデータ・バイトを受信しても、9 番目のクロック・パルスで SDA をロー・レベルにすることはありません。これは非アクノレッジ・ビットと呼ばれます。スレーブ・デバイスは、非アクノレッジ・ビットを受信することによってデータ転送が終了したことを認識し、アイドル・モードに入ります。マスタは、これに続く 10 番目のクロック・パルスの前のロー状態のときにデータ・ラインをロー・レベルにして、更に 10 番目のクロック・パルスで停止条件をアサートします。

停止条件の代わりに開始条件を使用することもできます。更に、開始または停止条件はいつでもアサートできます。また、一部しか転送されなかったバイトは破棄されます。

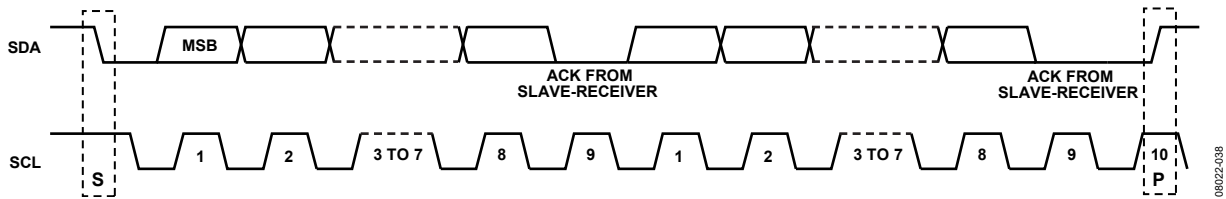


図 65. データ転送プロセス (マスタ書き込みモード、2 バイト転送)

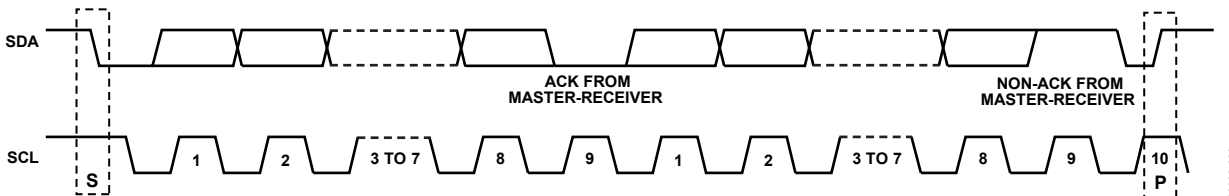


図 66. データ転送プロセス (マスタ読出しモード、2 バイト転送)

データ転送フォーマット

書込みバイト・フォーマット - 書込みバイト・プロトコルを使用して、指定された RAM アドレスで始まる RAM に、レジスタ・アドレスを書き込みます。

S	Slave address	\bar{W}	A	RAM address high byte	A	RAM address low byte	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	A	P
---	---------------	-----------	---	-----------------------	---	----------------------	---	------------	---	------------	---	------------	---	---

送信バイト・フォーマット - 送信バイト・プロトコルを使用して、その後続く読出しのためのレジスタ・アドレスを設定します。

S	Slave address	\bar{W}	A	RAM address high byte	A	RAM address low byte	A	P
---	---------------	-----------	---	-----------------------	---	----------------------	---	---

受信バイト・フォーマット - 受信バイト・プロトコルを使用して、現在のアドレスで始まる RAM からデータ・バイトを読み出します。

S	Slave address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\bar{A}	P
---	---------------	---	---	------------	---	------------	---	------------	-----------	---

読出しバイト・フォーマット - 送信バイトと受信バイトを組み合わせたフォーマットです。

S	Slave Address	\bar{W}	A	RAM Address High Byte	A	RAM Address Low Byte	A	Sr	Slave Address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\bar{A}	P
---	---------------	-----------	---	-----------------------	---	----------------------	---	----	---------------	---	---	------------	---	------------	---	------------	-----------	---

I²C シリアル・ポートのタイミング

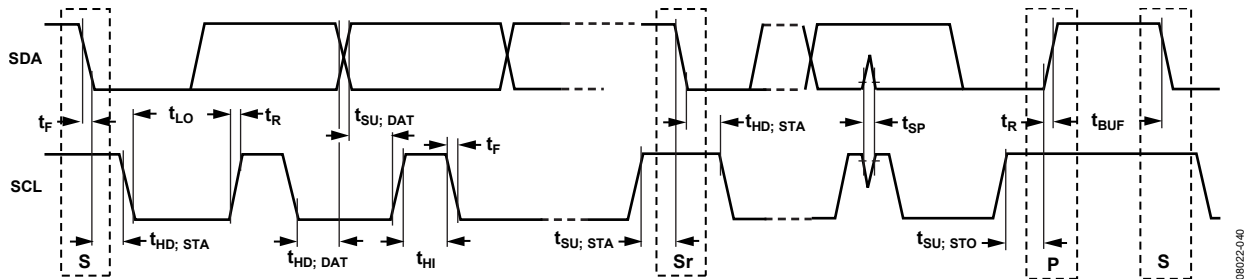


図 67. I²C シリアル・ポートのタイミング

表 35. I²C タイミング定義

パラメータ	説明
f_{SCL}	シリアル・クロック。
t_{BUF}	停止条件と開始条件の間のバス空き時間
$t_{HD; STA}$	反復ホールド時間の開始条件
$t_{SU; STA}$	反復開始条件セットアップ・タイム
$t_{SU; STO}$	停止条件セットアップ・タイム
$t_{HD; DAT}$	データ・ホールド時間
$t_{SU; DAT}$	データ・セットアップ・タイム
t_{LO}	SCL クロック・ロー時間
t_{HI}	SCL クロック・ハイ時間
t_R	最小/最大受信 SCL および SDA 立上がり時間
t_F	最小/最大受信 SCL および SDA 立下がり時間
t_{SP}	入力フィルタによって抑制すべき電圧スパイクのパルス幅

入出力プログラミング・レジスタ

レジスタ・マップのアドレス範囲は 0x0000~0x0E3F です (10 進値で 0~3647)。各アドレスには 1 バイト (8 ビット) のアクセス可能データが格納されています。個々のレジスタは 4 桁の 16 進アドレスによって識別されます (例えばレジスタ 0x0A10)。場合によっては、アドレスのグループによって集合的にレジスタを定義することもあります (例えば、IRQ マスク・レジスタは、レジスタ 0x0209、レジスタ 0x020A、レジスタ 0x020B、レジスタ 0x020C、レジスタ 0x020D、レジスタ 0x020E、レジスタ 0x020F およびレジスタ 0x0210 で構成されます)。

一般に、レジスタのグループが制御パラメータを定義している場合、その値の LSB は、最も小さいアドレスを持つレジスタの D0 位置に置かれます。ビット・ウェイトは右から左へ、つまり最も小さいレジスタ・アドレスから最も大きいレジスタ・アドレスへ向かう方向で増加していきます。例えば、インクリメンタル・フェーズ・ロック・オフセット・ステップ・サイズ・レジスタ (アドレス 0x0314~アドレス 0x0315) のデフォルト値は、16 ビットの 16 進値 0x03E8 です (0xE803 ではない)。

ただし、EEPROM 保存シーケンス・レジスタ (アドレス 0x0E10~アドレス 0x0E3F) は例外で、上に示した方法は適用されません (EEPROM 命令のセクションを参照)。

バッファ・レジスタとアクティブ・レジスタ

AD9548 内のレジスタは大きく分けて、バッファ・レジスタとアクティブ・レジスタの 2 つのカテゴリに分類されます (図 68 参照)。バッファ・レジスタの内容を内部デバイス機能に適用するには、入出力を更新する必要があります。これに対しアクティブ・レジスタでは、バッファ・レジスタと内部デバイス機能間でデータ転送を行う際に入出力更新は不要です。動作時には、ユーザが必要数回のバッファ・レジスタをプログラムして、入出力更新を発生します。入出力更新は、レジスタ 0x0005 のビット 0 に 1 を書き込むことによって行います (もしくは、入出力更新入力としてプログラムした多機能ピンの 1 つに対し、必要なロジック・レベルを外部的に適用することによって行う)。デバイスの内部機能に直接接続されたバッファ・レジスタの内容は、それらの機能に直ちに影響します。アクティブ・レジスタに接続するバッファ・レジスタの内容は、入出力更新イベントが発生するまでデバイスの内部機能には影響しません。

レジスタ・マップの「Opt」列にある「L」は、アクティブ・レジスタ (あるいはライブ・レジスタ) であることを示します。レジスタ・マップの「Opt」列にある「S」または「C」は、バッファ・レジスタであることを示します。「S」と表示されている場合は、アクティブ・レジスタへの入出力更新信号が、シリアル・ポート・クロックと同期されていること、あるいは多機能ピンのうちの 1 つを駆動する入力信号と同期されていることを意味します。これに対し、「C」と表示されている場合は、図 68 に示すように、アクティブ・レジスタに対する入出力更新信号が、内部システム・クロック ($f_s/32$) から生成されるクロック信号と同期されていることを意味します。

バッファされた内容とアクティブな内容の両方を持つレジスタをリードバックするときは、レジスタ 0x0004 のビット 0 を使用して、バッファされた内容とアクティブな内容のどちらをリードバックするかを選ぶことができます。レジスタ 0x0004 のビット 0 = 0 のときはアクティブな内容がリードバックされ、レジスタ 0x0004 のビット 0 = 1 のときはバッファされた内容がリードバックされます。読み出し専用アクティブ・レジスタの場合は、その内容を読み出す前に入出力更新を行う必要があります。

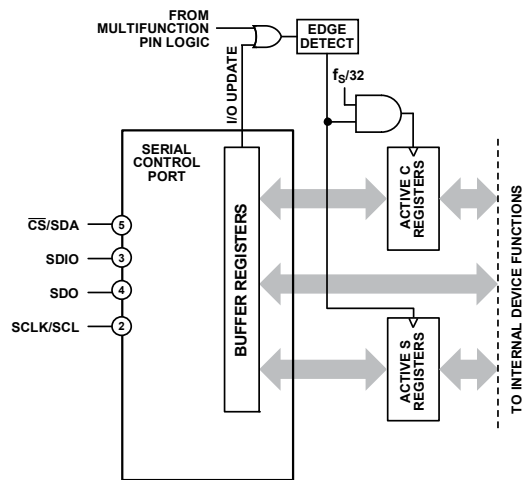


図 68. バッファ・レジスタとアクティブ・レジスタ

自動クリア・レジスタ

レジスタ・マップの「Opt」列にある「A」は、自動クリア・レジスタであることを示します。通常、自動クリア・レジスタのアクティブ値は入出力更新後に有効となります。このビットは、定められた動作の完了後に内部デバイス・ロジックによってクリアされます。

レジスタへのアクセス制限

レジスタ・マップへの読み出しおよび書き込みアクセスは、対象となるレジスタ、アクセス元とアクセス方向、およびデバイスの現在の状態に基づいて制限することができます。各レジスタは、1 つまたは複数のアクセス・タイプとして分類できます。複数のタイプを適用する場合は、現在適用される最も制約的な条件が使われます。

レジスタへのアクセスが拒否された場合は、レジスタを読み出そうとしてもすべて 0 のバイトが返され、また、書き込みはすべて無視されます。存在しないレジスタへのアクセスは、アクセス拒否の場合と同じように処理されます。

定期的アクセス

定期的なアクセスが行われるレジスタは、他のどのカテゴリにもあてはまりません。このタイプのレジスタへのアクセスは、読み出しであっても書き込みであっても、シリアル・ポートまたは EEPROM コントローラから行うことができます。レジスタへのアクセスはこれらのソースのうちのどちらかからのみ可能で、同時に両方から行うことはできません (アクセスは相互に排他的)。EEPROM コントローラが負荷モードまたは保存モードでアクティブなときは、これらのレジスタに排他的にアクセスすることができます。

読み出し専用アクセス

レジスタ・マップの「Opt」列にある「R」は、読み出し専用レジスタであることを示します。EEPROM コントローラがアクティブなときを含めて、アクセスは常時可能です。

EEPROM アクセスからの除外

レジスタ・マップの「Opt」列に「E」と示されている場合は、EEPROM へアクセスできない内容を持つレジスタであることを示しています。このタイプのレジスタの内容は EEPROM へ直接転送することはできず、EEPROM の内容をレジスタに転送することもできません。読み出し専用レジスタ (R) も EEPROM へはアクセスできません。

レジスタ・マップ

レジスタ・アドレスとデフォルト値は 16 進値です。「Unused」（不使用）と表示されたレジスタやビットへ書き込みを行うときは、デフォルト値を使用してください。表 36 に示されていないレジスタ・アドレスは使われておらず、これらのレジスタに対する書き込みは無視されます。「Reserved」（予備）と表示されたレジスタのセクションには、デフォルト値を書き込んでください。「Opt」（オプション）列の記号の意味は次のとおりです：A = 自動クリア、E = EEPROM へのアクセス不可、L = ライブ・レジスタ（入出力更新不要）、R = 読み出し専用、S = バッファ・レジスタ（更新はシリアル・ポート・クロックに同期）、C = バッファ・レジスタ（更新は SYSCLK/32 に同期）。詳細については、入出力プログラミング・レジスタのセクションを参照してください。

表 36.

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
Serial Port Control and Part Identification												
0x0000	L, E	SPI control	Uni-directional	LSB first/Inc Addr	Soft reset	Long instruction	Unused				0x10	
0x0000	Dup	I ² C control	Unused		Soft reset	Unused				0x00		
0x0001	L E	Reserved	Unused									
0x0002	R, L	Reserved	Silicon revision number								0xC6	
0x0003	R, L		Device ID								0x48	
0x0004	L,E	Readback	Unused							Read buffer register	0x00	
0x0005	L, A, E	I/O update	Unused							I/O update	0x00	
System Clock (SYSCLK)												
0x0100	S		External loop filter enable	Charge pump mode (auto/man)	Charge pump current [2:0]		Lock detect timer disable	Lock detect divider [1:0]			0x18	
0x0101	S		N-divider [7:0]									0x28
0x0102	S		Unused	M-divider reset	M-divider [1:0]	2×frequency multiplier enable	PLL enable	SYSCLK reference select [1:0]			0x45	
0x0103	C	Nom SYSCLK period	Nominal system clock period (femtoseconds) [15:0]								0x40	
0x0104	C		[1 ns @ 1 ppm accuracy]								0x42	
0x0105	C		Unused				Nominal system clock period [20:16]				0x0F	
0x0106	C	System clock stability	System clock stability period (milliseconds) [15:0]								0x01	
0x0107	C										0x00	
0x0108	C		Unused				System clock stability period (milliseconds) [19:16]				0x00	
General Configuration												
0x0200	S	M0	M0 in/out	M0 function [6:0]							0x00	
0x0201	S	M1	M1 in/out	M1 function [6:0]							0x00	
0x0202	S	M2	M2 in/out	M2 function [6:0]							0x00	
0x0203	S	M3	M3 in/out	M3 function [6:0]							0x00	
0x0204	S	M4	M4 in/out	M4 function [6:0]							0x00	
0x0205	S	M5	M5 in/out	M5 function [6:0]							0x00	
0x0206	S	M6	M6 in/out	M6 function [6:0]							0x00	
0x0207	S	M7	M7 in/out	M7 function [6:0]							0x00	
0x0208	C	IRQ pin output mode	Unused						IRQ pin output mode [1:0]			0x00
0x0209	C	IRQ mask	Unused		SYSClk unlocked	SYSClk locked	Unused	Unused	SYSClk Cal complete	SYSClk Cal started	0x00	
0x020A	C		Unused				Distribution sync	Watchdog timer	EEPROM fault	EEPROM complete	0x00	
0x020B	C		Switching	Closed	Free-run	Holdover	Freq unlocked	Freq locked	Phase unlocked	Phase locked	0x00	
0x020C	C		Unused			History updated	Frequency unclamped	Frequency clamped	Phase slew unlimited	Phase slew limited	0x00	
0x020D	C		Ref AA new profile	Ref AA validated	Ref AA fault cleared	Ref AA fault	Ref A new profile	Ref A validated	Ref A fault cleared	Ref A fault	0x00	
0x020E	C		Ref BB new profile	Ref BB validated	Ref BB fault cleared	Ref BB fault	Ref B new profile	Ref B validated	Ref B fault cleared	Ref B fault	0x00	
0x020F	C		Ref CC new profile	Ref CC validated	Ref CC fault cleared	Ref CC fault	Ref C new profile	Ref C validated	Ref C fault cleared	Ref C fault	0x00	

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def
0x0210	C		Ref DD new profile	Ref DD validated	Ref DD fault cleared	Ref DD fault	Ref D new profile	Ref D validated	Ref D fault cleared	Ref D fault	0x00
0x0211	C	Watchdog timer	Watchdog timer (ms) [15:0] [up to 65.5 sec]								0x00
0x0212	C		0x00								
0x0213	S	DAC current	DAC full-scale current [7:0]								0xFF
0x0214	S		DAC shutdown	Unused					DAC full-scale current [9:8]		0x01
DPLL											
0x0300	C	Free running frequency tuning word	Free running frequency tuning word [47:0]								0x00
0x0301	C		0x00								
0x0302	C		0x00								
0x0303	C		0x00								
0x0304	C		0x00								
0x0305	C		0x00								
0x0306	A, C	Update TW	Unused							Update TW	0x00
0x0307	C	Pull-in range limits	Pull-in range lower limit [23:0]								0x00
0x0308	C		0x00								
0x0309	C		0x00								
0x030A	C		Pull-in range upper limit [23:0]								0xFF
0x030B	C		0xFF								
0x030C	C	0xFF									
0x030D	C	Open loop phase offset	DDS phase offset word [15:0]								0x00
0x030E	C		0x00								
0x030F	C	Closed loop phase offset	Fixed phase lock offset [39:0] (picoseconds; signed)								0x00
0x0310	C		0x00								
0x0311	C		0x00								
0x0312	C		0x00								
0x0313	C		0x00								
0x0314	C		Incremental phase lock offset step size [15:0] (picoseconds)								0xE8
0x0315	C	0x03									
0x0316	C	Phase slew limit	Phase slew rate limit [15:0] (ns/sec)								0x00
0x0317	C		0x00								
0x0318	C	History accumulation timer	History accumulation timer [23:0] (milliseconds)								0x30
0x0319	C		0x75								
0x031A	C		0x00								
0x031B	C	History mode	Unused			Single sample fallback	Persistent history	Incremental average [2:0]		0x00	
Clock Distribution Output											
0x0400	S	Distribution settings	Unused		External distribution resistor	Receiver mode	OUT3 power-down	OUT2 power-down	OUT1 power-down	OUT0 power-down	0x00
0x0401	S	Distribution enable	Unused				OUT3 enable	OUT2 enable	OUT1 enable	OUT0 enable	0x00
0x0402	S	Distribution synchronization	Unused		Sync source [1:0]		OUT3 sync mask	OUT2 sync mask	OUT1 sync mask	OUT0 sync mask	0x00
0x0403	C	Automatic synchronization	Unused						Automatic sync mode [1:0]		0x00
0x0404	S	Distribution channel modes	Unused		OUT0 CMOS phase invert	OUT0 polarity invert	OUT0 drive strength	OUT0 mode			0x03
0x0405	S		Unused		OUT1 CMOS phase invert	OUT1 polarity invert	OUT1 drive strength	OUT1 mode			0x03
0x0406	S		Unused		OUT2 CMOS phase invert	OUT2 polarity invert	OUT2 drive strength	OUT2 mode			0x03

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x0407	S		Unused		OUT3 CMOS phase invert	OUT3 polarity invert	OUT3 drive strength	OUT3 mode			0x03	
0x0408	S	Distribution channel dividers	Q0 [23:0]									0x00
0x0409	S											0x00
0x040A	S											0x00
0x040B	S		Unused			Q0 [29:24]						0x00
0x040C	S		Q1 [23:0]									0x00
0x040D	S											0x00
0x040E	S											0x00
0x040F	S		Unused			Q1 [29:24]						0x00
0x0410	S		Q2 [23:0]									0x00
0x0411	S											0x00
0x0412	S											0x00
0x0413	S		Unused			Q2 [29:24]						0x00
0x0414	S		Q3 [23:0]									0x00
0x0415	S											0x00
0x0416	S										0x00	
0x0417	S	Unused			Q3 [29:24]						0x00	
Reference Inputs												
0x0500	S	Reference power-down	Ref DD power-down	Ref D power-down	Ref CC power-down	Ref C power-down	Ref BB power-down	Ref B power-down	Ref AA power-down	Ref A power-down	0x00	
0x0501	S	Reference logic family	Ref BB logic family [1:0]		Ref B logic family [1:0]		Ref AA logic family [1:0]		Ref A logic family [1:0]			0x00
0x0502	S		Ref DD logic family [1:0]		Ref D logic family [1:0]		Ref CC Logic Family [1:0]		Ref C Logic Family [1:0]			0x00
0x0503	C	Manual reference profile selection	Enable Ref AA manual profile	Ref AA manual profile [2:0]			Enable Ref A manual profile	Ref A manual profile [2:0]				0x00
0x0504	C		Enable Ref BB Manual Profile	Ref BB manual profile [2:0]			Enable Ref B manual profile	Ref B manual profile [2:0]				0x00
0x0505	C		Enable Ref CC Manual Profile	Ref CC manual profile [2:0]			Enable Ref C manual profile	Ref C manual profile [2:0]				0x00
0x0506	C		Enable Ref DD Manual Profile	Ref DD manual profile [2:0]			Enable Ref D manual profile	Ref D manual profile [2:0]				0x00
0x0507	C	Phase build-out switching	Unused					Phase master threshold priority [2:0]				0x00
Profile Registers—Profile 0												
0x0600	L	Priorities	Phase lock scale	Unused	Promoted priority [2:0]			Selection priority [2:0]				0x00
0x0601	L	Reference period	Nominal period (femtoseconds) [47:0] (up to 1.125 sec)									0x00
0x0602	L											0x00
0x0603	L											0x00
0x0604	L											0x00
0x0605	L											0x00
0x0606	L											0x00
0x0607	L		Unused						Nominal period [49:48]			
0x0608	L	Tolerance	Inner tolerance (1/tolerance) [15:0] (removes fault status; 10% down to 1 ppm)									0x00
0x0609	L											0x00
0x060A	L		Unused			Inner tolerance [19:16]						0x00
0x060B	L		Outer tolerance (1/tolerance) [15:0] (indicates fault status; 10% down to 1 ppm)									0x00
0x60C	L											0x00
0x060D	L		Unused			Outer tolerance [19:16]						0x00
0x060E	L	Validation	Validation timer (milliseconds) [15:0] (up to 65.5 sec)									0x00
0x060F	L											0x00
0x0610	L	Redetect timeout	Redetect timer (milliseconds) [15:0] [up to 65.5 seconds]									0x00
0x0611	L											0x00

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x0612	L	Digital loop filter coefficients	Alpha-0 linear [15:0]								0x00	
0x0613	L										0x00	
0x0614	L		Alpha-2 exponent [1:0]	Alpha-1 exponent [5:0]							0x00	
0x0615	L		Beta-0 linear [6:0]								Alpha-2 exponent [2]	0x00
0x0616	L		Beta-0 linear [14:7]								0x00	
0x0617	L		Unused	Beta-1 exponent [4:0]					Beta-0 linear [16:15]			0x00
0x0618	L		Gamma-0 linear [15:0]								0x00	
0x0619	L										0x00	
0x061A	L		Unused	Gamma-1 exponent [4:0]					Gamma-0 linear [16]			0x00
0x061B	L		Delta-0 linear [7:0]								0x00	
0x061C	L		Delta-1 exponent [0]	Delta-0 linear [14:8]							0x00	
0x061D	L		Alpha-3 exponent [3:0]				Delta-1 exponent [4:1]				0x00	
0x061E	L		Frequency multiplication	R [23:0]								0x00
0x061F	L											0x00
0x0620	L									0x00		
0x0621	L	Unused		R [29:24]							0x00	
0x0622	L	S [23:0]								0x00		
0x0623	L									0x00		
0x0624	L									0x00		
0x0625	L	Unused		S [29:24]							0x00	
0x0626	L	V [7:0]								0x00		
0x0627	L	U [3:0]			Unused			V [9:8]			0x00	
0x0628	L	Unused		U [9:4]							0x00	
0x0629	L	Lock detectors	Phase lock threshold (picoseconds) [15:0]								0x00	
0x062A	L										0x00	
0x062B	L		Phase lock fill rate [7:0]								0x00	
0x062C	L		Phase lock drain rate [7:0]								0x00	
0x062D	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x062E	L										0x00	
0x062F	L										0x00	
0x0630	L		Frequency lock fill rate [7:0]								0x00	
0x0631	L		Frequency lock drain rate [7:0]								0x00	
Profile Registers—Profile 1												
0x0632	L	Priorities	Phase lock scale	Unused	Promoted priority [2:0]			Selection priority [2:0]			0x00	
0x0633	L	Reference period	Nominal period (femtoseconds) [47:0] (up to 1.125 sec)								0x00	
0x0634	L										0x00	
0x0635	L										0x00	
0x0636	L										0x00	
0x0637	L										0x00	
0x0638	L										0x00	
0x0639	L	Unused						Nominal period [49:48]				0x00
0x063A	L	Tolerance	Inner tolerance (1/tolerance) [15:0] (removes fault status; 10% down to 1 ppm)								0x00	
0x063B	L										0x00	
0x063C	L		Unused	Inner tolerance [19:16]							0x00	
0x063CD	L		Outer tolerance (1/tolerance) [15:0] (indicates fault status; 10% down to 1 ppm)								0x00	
0x063E	L										0x00	
0x063F	L	Unused	Outer tolerance [19:16]							0x00		
0x0640	L	Validation	Validation timer (milliseconds) [15:0] (up to 65.5 sec)								0x00	
0x0641	L										0x00	
0x0642	L	Redetect timeout	Redetect timer (milliseconds) [15:0] (up to 65.5 sec)								0x00	
0x0643	L										0x00	

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x0644	L	Digital loop filter coefficients	Alpha-0 linear [15:0]								0x00	
0x0645	L										0x00	
0x0646	L		Alpha-2 exponent [1:0]	Alpha-1 exponent [5:0]							0x00	
0x0647	L		Beta-0 linear [6:0]							Alpha-2 exponent [2]	0x00	
0x0648	L		Beta-0 linear [14:7]								0x00	
0x0649	L		Unused	Beta-1 exponent [4:0]				Beta-0 linear [16:15]				0x00
0x064A	L		Gamma-0 linear [15:0]								0x00	
0x064B	L										0x00	
0x064C	L		Unused	Gamma-1 exponent [4:0]					Gamma-0 linear [16]		0x00	
0x064D	L		Delta-0 linear [7:0]								0x00	
0x064E	L		Delta-1 exponent [0]	Delta-0 linear [14:8]							0x00	
0x064F	L		Alpha-3 exponent [3:0]			Delta-1 exponent [4:1]					0x00	
0x0650	L		Frequency multiplication	R [23:0]								0x00
0x0651	L											0x00
0x0652	L									0x00		
0x0653	L	Unused		R [29:24]							0x00	
0x0654	L	S [23:0]								0x00		
0x0655	L									0x00		
0x0656	L									0x00		
0x0657	L	Unused		S [29:24]							0x00	
0x0658	L	V [7:0]								0x00		
0x0659	L	U [3:0]			Unused			V [9:8]			0x00	
0x065A	L	Unused		U [9:4]							0x00	
0x065B	L	Lock detectors	Phase lock threshold (picoseconds) [15:0]								0x00	
0x065C	L										0x00	
0x065D	L		Phase lock fill rate [7:0]								0x00	
0x065E	L		Phase lock drain rate [7:0]								0x00	
0x065F	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x0660	L										0x00	
0x0661	L										0x00	
0x0662	L		Frequency lock fill rate [7:0]								0x00	
0x0663	L	Frequency lock drain rate [7:0]								0x00		
0x0664 to 0x067F			Unused									
Profile Registers—Profile 2												
0x0680	L	Priorities	Phase lock scale	Unused	Promoted priority [2:0]			Selection priority [2:0]			0x00	
0x0681	L	Reference period	Nominal period (femtoseconds) [47:0] (up to 1.125 sec)								0x00	
0x0682	L										0x00	
0x0683	L										0x00	
0x0684	L										0x00	
0x0685	L										0x00	
0x0686	L										0x00	
0x0687	L		Unused					Nominal period [49:48]				
0x0688	L	Tolerance	Inner tolerance (1/tolerance) [15:0] (removes fault status; 10% down to 1 ppm)								0x00	
0x0689	L										0x00	
0x068A	L		Unused	Inner tolerance [19:16]							0x00	
0x068B	L		Outer tolerance (1/tolerance) [15:0] (indicates fault status; 10% down to 1 ppm)								0x00	
0x068C	L										0x00	
0x068D	L	Unused	Outer tolerance [19:16]							0x00		
0x068E	L	Validation	Validation timer (milliseconds) [15:0] (up to 65.5 sec)								0x00	
0x068F	L										0x00	
0x0690	L	Redetect timeout	Redetect timer (milliseconds) [15:0] (up to 65.5 seconds)								0x00	
0x0691	L										0x00	

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x0692	L	Digital loop filter coefficients	Alpha-0 linear [15:0]								0x00	
0x0693	L										0x00	
0x0694	L		Alpha-2 exponent [1:0]	Alpha-1 exponent [5:0]							0x00	
0x0695	L		Beta-0 linear [6:0]								Alpha-2 exponent [2]	0x00
0x0696	L		Beta-0 linear [14:7]								0x00	
0x0697	L		Unused	Beta-1 exponent [4:0]				Beta-0 linear [16:15]				0x00
0x0698	L		Gamma-0 linear [15:0]								0x00	
0x0699	L										0x00	
0x069A	L		Unused	Gamma-1 exponent [4:0]					Gamma-0 linear [16]		0x00	
0x069B	L		Delta-0 linear [7:0]								0x00	
0x069C	L		Delta-1 exponent [0]	Delta-0 linear [14:8]							0x00	
0x069D	L		Alpha-3 exponent [3:0]				Delta-1 exponent [4:1]				0x00	
0x069E	L		Frequency multiplication	R [23:0]								0x00
0x069F	L									0x00		
0x06A0	L									0x00		
0x06A1	L	Unused		R [29:24]							0x00	
0x06A2	L	S [23:0]								0x00		
0x06A3	L									0x00		
0x06A4	L									0x00		
0x06A5	L	Unused		S [29:24]							0x00	
0x06A6	L	V [7:0]								0x00		
0x06A7	L	U [3:0]			Unused			V [9:8]			0x00	
0x06A8	L	Unused		U [9:4]							0x00	
0x06A9	L	Lock detectors	Phase lock threshold (picoseconds) [15:0]								0x00	
0x06AA	L										0x00	
0x06AB	L		Phase lock fill rate [7:0]								0x00	
0x06AC	L		Phase lock drain rate [7:0]								0x00	
0x06AD	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x06AE	L										0x00	
0x06AF	L										0x00	
0x06B0	L		Frequency lock fill rate [7:0]								0x00	
0x06B1	L		Frequency lock drain rate [7:0]								0x00	
Profile Registers—Profile 3												
0x06B2	L	Priorities	Phase lock scale	Unused	Promoted priority [2:0]			Selection priority [2:0]			0x00	
0x06B3	L	Reference period	Nominal period (femtoseconds) [47:0] (up to 1.125 sec)								0x00	
0x06B4	L										0x00	
0x06B5	L										0x00	
0x06B6	L										0x00	
0x06B7	L										0x00	
0x06B8	L										0x00	
0x06B9	L		Unused					Nominal period [49:48]				
0x06BA	L	Tolerance	Inner tolerance (1/tolerance) [15:0] (removes fault status; 10% down to 1 ppm)								0x00	
0x06BB	L										0x00	
0x06BC	L		Unused	Inner tolerance [19:16]							0x00	
0x06BD	L		Outer tolerance (1/tolerance) [15:0] (indicates fault status; 10% down to 1 ppm)								0x00	
0x06BE	L										0x00	
0x06BF	L	Unused	Outer tolerance [19:16]							0x00		
0x06C0	L	Validation	Validation timer (milliseconds) [15:0] (up to 65.5 sec)								0x00	
0x06C1	L										0x00	
0x06C2	L	Redetect timeout	Redetect timer (milliseconds) [15:0] (up to 65.5 sec)								0x00	
0x06C3	L										0x00	

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x06C4	L	Digital loop filter coefficients	Alpha-0 linear [15:0]								0x00	
0x06C5	L		Alpha-0 linear [15:0]								0x00	
0x06C6	L		Alpha-2 exponent [1:0]	Alpha-1 exponent [5:0]							0x00	
0x06C7	L		Beta-0 linear [6:0]								Alpha-2 exponent [2]	0x00
0x06C8	L		Beta-0 linear [14:7]								0x00	
0x06C9	L		Unused	Beta-1 exponent [4:0]					Beta-0 linear [16:15]	00		
0x06CA	L		Gamma-0 linear [15:0]								0x00	
0x06CB	L		Gamma-0 linear [15:0]								0x00	
0x06CC	L		Unused	Gamma-1 exponent [4:0]					Gamma-0 linear [16]	0x00		
0x06CD	L		Delta-0 linear [7:0]								0x00	
0x06CE	L		Delta-1 exponent [0]	Delta-0 linear [14:8]							0x00	
0x06CF	L		Alpha-3 exponent [3:0]				Delta-1 exponent [4:1]				0x00	
0x06D0	L		Frequency multiplication	R [23:0]								0x00
0x06D1	L			R [23:0]								0x00
0x06D2	L	R [23:0]								0x00		
0x06D3	L	Unused		R [29:24]							0x00	
0x06D4	L	S [23:0]								0x00		
0x06D5	L	S [23:0]								0x00		
0x06D6	L	S [23:0]								0x00		
0x06D7	L	Unused		S [29:24]							0x00	
0x06D8	L	V [7:0]								0x00		
0x06D9	L	U [3:0]				Unused			V [9:8]		0x00	
0x06DA	L	Unused	U [9:4]							0x00		
0x06DB	L	Lock detectors	Phase lock threshold (picoseconds) [15:0]								0x00	
0x06DC	L		Phase lock threshold (picoseconds) [15:0]								0x00	
0x06DD	L		Phase lock fill rate [7:0]								0x00	
0x06DE	L		Phase lock drain rate [7:0]								0x00	
0x06DF	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x06E0	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x06E1	L		Frequency lock threshold (picoseconds) [23:0]								0x00	
0x06E2	L		Frequency lock fill rate [7:0]								0x00	
0x06E3	L	Frequency lock drain rate [7:0]								0x00		
0x06E4-0x06FF	L		Unused									

Profile Registers—Profile 4 Through Profile 7

0x0700-0x07FF	L	Profile 4 through Profile 7	The functionality of the Profile 4 through Profile 7 address locations (Address 0x to Address 0x07FF) is identical to that of the Profile 0 through Profile 3 address locations (Address 0x0600 to Address 0x06FF).								
---------------	---	-----------------------------	---	--	--	--	--	--	--	--	--

Operational Controls

0x0A00	S	General power-down	Reset Sans reg map	Unused	SYSCLK power-down	Reference power-down	TDC power-down	DAC power-down	Dist power-down	Full power-down	0x00
0x0A01	C	Loop mode	Unused	User holdover	User free-run	User selection mode [1:0]		User reference selection [2:0]			0x00
0x0A02	L	Cal/sync	Unused						Sync distribution	Calibrate system clock	0x00
0x0A03	A, C	Reset Func	Unused	Clear LF	Clear CCI	Clear phase accumulator	Reset auto sync	Reset TW history	Reset all IRQs	Reset watchdog	0x00
0x0A04	A, C	IRQ clearing	Unused		SYSCLK unlocked	SYSCLK locked	Unused	Unused	SYSCLK Cal complete	SYSCLK Cal started	0x00
0x0A05	A, C		Unused				Distribution sync	Watchdog timer	EEPROM fault	EEPROM complete	0x00
0x0A06	A, C		Switching	Closed	Free-run	Holdover	Freq unlocked	Freq locked	Phase unlocked	Phase locked	0x00
0x0A07	A, C		Unused			History updated	Freq unclamped	Freq clamped	Phase slew unlimited	Phase slew limited	0x00

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def
0x0A08	A, C		Ref AA new profile	Ref AA validated	Ref AA fault cleared	Ref AA fault	Ref A new profile	Ref A validated	Ref A fault cleared	Ref A fault	0x00
0x0A09	A, C		Ref BB new profile	Ref BB validated	Ref BB fault cleared	Ref BB fault	Ref B new profile	Ref B validated	Ref B fault cleared	Ref B fault	0x00
0x0A0A	A, C		Ref CC new profile	Ref CC validated	Ref CC fault cleared	Ref CC fault	Ref C new profile	Ref C validated	Ref C fault cleared	Ref C fault	0x00
0x0A0B	A, C		Ref DD new profile	Ref DD validated	Ref DD fault cleared	Ref DD fault	Ref D new profile	Ref D validated	Ref D fault cleared	Ref D fault	0x00
0x0A0C	A, C	Incremental phase offset	Unused					Reset phase offset	Decrement phase offset	Increment phase offset	0x00
0x0A0D	A, C	Reference profile detect	Detect DD	Detect D	Detect CC	Detect C	Detect BB	Detect B	Detect AA	Detect A	0x00
0x0A0E	A, C	Force validation timeout	Force Timeout DD	Force Timeout D	Force Timeout CC	Force Timeout C	Force Timeout BB	Force Timeout B	Force Timeout AA	Force Timeout A	0x00
0x0A0F	C	Reference monitor override	Ref Mon Override DD	Ref Mon Override D	Ref Mon Override CC	Ref Mon Override C	Ref Mon Override BB	Ref Mon Override B	Ref Mon Override AA	Ref Mon Override A	0x00
0x0A10	C	Reference monitor bypass	Ref Mon Bypass DD	Ref Mon Bypass D	Ref Mon Bypass CC	Ref Mon Bypass C	Ref Mon Bypass BB	Ref Mon Bypass B	Ref Mon Bypass AA	Ref Mon Bypass A	0x00

User Scratch Pad (Eight Bytes)

0x0C00	L	Clock part serial ID	Write user scratch pad[63:0]								0x00
0x0C01	L		0x00								
0x0C02	S		0x00								
0x0C03	S		0x00								
0x0C04	C		0x00								
0x0C05	C		0x00								
0x0C06	C		0x00								
0x0C07	C		0x00								

Status (These registers are read only and are accessible during EEPROM transactions.)

0x0D00	R, L	EEPROM	Unused					Fault detected	Load in progress	Save in progress	
0x0D01	R, L	System clock	Unused			Stable	Unused	Unused	Cal in progress	Lock detected	
0x0D02	R, L	IRQ monitor	Unused		SYSCLK unlocked	SYSCLK locked	Unused	Unused	SYSCLK Cal complete	SYSCLK Cal started	
0x0D03	R, L		Unused				Distribution sync	Watchdog timer	EEPROM fault	EEPROM complete	
0x0D04	R, L		Switching	Closed	Free-run	Holdover	Freq unlocked	Freq locked	Phase unlocked	Phase locked	
0x0D05	R, L		Unused			History updated	Freq un-clamped	Freq clamped	Phase slew unlimited	Phase slew limited	
0x0D06	R, L		Ref AA new profile	Ref AA validated	Ref AA fault cleared	Ref AA fault	Ref A new profile	Ref A validated	Ref A fault cleared	Ref A fault	
0x0D07	R, L		Ref BB new profile	Ref BB validated	Ref BB fault cleared	Ref BB fault	Ref B new profile	Ref B validated	Ref B fault cleared	Ref B fault	
0x0D08	R, L		Ref CC new profile	Ref CC validated	Ref CC fault cleared	Ref CC fault	Ref C new profile	Ref C validated	Ref C fault cleared	Ref C fault	
0x0D09	R, L		Ref DD new profile	Ref DD validated	Ref DD fault cleared	Ref DD fault	Ref D new profile	Ref D validated	Ref D fault cleared	Ref D fault	
0x0D0A	R, C	DPLL status	Offset slew limiting	Phase build-out	Freq lock	Phase lock	Loop switching	Holdover	Active	Free running	
0x0D0B	R, C		Frequency clamped	History available	Active reference priority [3:0]			Active reference [3:0]			

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
0x0D0C	R, C	Ref A	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D0D	R, C	Ref AA	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D0E	R, C	Ref B	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D0F	R, C	Ref BB	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D10	R, C	Ref C	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D11	R, C	Ref CC	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D12	R, C	Ref D	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D13	R, C	Ref DD	Profile selected	Selected profile [2:0]			Valid	Fault	Fast	Slow		
0x0D14	R, C	Holdover history	Tuning word readback [47:0]									
0x0D15	R, C											
0x0D16	R, C											
0x0D17	R, C											
0x0D18	R, C											
0x0D19	R, C											
Nonvolatile Memory (EEPROM) Control												
0x0E00	L	Write protect	Unused					Half rate mode	Write enable	0x00		
0x0E01	L, E	Condition	Unused			Condition value [4:0]				0x00		
0x0E02	L, A, E	Save	Unused						Save to EEPROM	0x00		
0x0E03	L, A, E	Load	Unused					Load from EEPROM	Unused	0x00		
EEPROM storage sequence												
0x0E10	L, E	System clock	Data: 9 bytes								0x08	
0x0E11	L, E		Address: 0x0100								0x01	
0x0E12	L, E										0x00	
0x0E13	L, E	I/O update	Action: IO_Update								0x80	
0x0E14	L, E	SYSCLK calibrate	Action: calibrate system clock								0xA0	
0x0E15	L, E	General	Data: 21 bytes								0x14	
0x0E16	L, E		Address: 0x0200								0x02	
0x0E17	L, E										0x00	
0x0E18	L, E	DPLL	Data: 28 bytes								0xB	
0x0E19	L, E		Address: 0x0300								0x03	
0x0E1A	L, E										0x00	
0x0E1B	L, E	Clock distribution	Data: 26 bytes								0x19	
0x0E1C	L, E		Address: 0x0400								0x04	
0x0E1D	L, E										0x00	
0x0E1E	L, E	I/O update	Action: IO_Update								0x80	
0x0E1F	L, E	Reference inputs	Data: 8 bytes								0x07	
0x0E20	L, E		Address: 0x0500								0x05	
0x0E21	L, E										0x00	
0x0E22	L, E	Profile 0 and Profile 1	Data: 100 bytes								0x63	
0x0E23	L, E		Address: 0x0600								0x06	
0x0E24	L, E										0x00	
0x0E25	L, E	Profile 2 and Profile 3	Data: 100 bytes								0x63	
0x0E26	L, E		Address: 0x0680								0x06	
0x0E27	L, E										0x80	
0x0E28	L, E	Profile 4 and Profile 5	Data: 100 bytes								0x63	
0x0E29	L, E		Address: 0x0700								0x07	
0x0E2A	L, E										0x00	
0x0E2B	L, E	Profile 6 and Profile 7	Data: 100 bytes								0x63	
0x0E2C	L, E		Address: 0x0780								0x07	
0x0E2D	L, E										0x80	

データシート

AD9548

Addr	Opt ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def
0x0E2E	L, E	I/O update	Action: I/O update								0x80
0x0E2F	L, E	Operational controls	Data: 17 bytes								0x10
0x0E30	L, E		Address: 0x0A00								0x0A
0x0E31	L, E		0x00								
0x0E32	L, E	I/O update	Action: I/O update								0x80
0x0E33	L, E	End of data	Action: end of data								0xFF
0x0E34 to 0x0E3F	L, E		Continuation of scratch pad area								

¹ 「Opt」 列のオプションの詳細については、入出力プログラミング・レジスタのセクションを参照してください。

レジスタ・マップのビット説明

シリアル・ポート設定 (レジスタ 0x0000~0x0005)

表 37. シリアル設定

アドレス	ビット	ビット名	説明
0x0000	[7]	Unidirectional	SPI ポートの SDO ピン動作モードを選択。 0 (デフォルト) = 3 線。 1 = 4 線 (SDO ピンをイネーブ)
	[6]	LSB first	SPI ポートのビット・オーダー。 0 (デフォルト) = 最上位ビット/バイト・ファースト。 1 = 最下位ビット/バイト・ファースト。
	[5]	Soft reset	デバイス・リセット (M [7:3] ≠ 0 の場合に EEPROM ダウンロードを開始)。 0 (デフォルト) = 通常動作。 1 = リセット。
	[4]	Long instruction	16 ビット・モード (デバイスがサポートする唯一のモード)。このビットは読み出し専用で、ロジック 1 としてリードバックします。
	[0]	Unused	

表 38. 予備レジスタ

アドレス	ビット	ビット名	説明
0x0001	[7:0]	Unused	

表 39. シリコン・リビジョン・レベル (読み出し専用)

アドレス	ビット	ビット名	説明
0x0002	[7:0]	Reserved	デフォルト = 0xC6 = 0b11000110

表 40. デバイス ID (読み出し専用)

アドレス	ビット	ビット名	説明
0x0003	[7:0]	Reserved	デフォルト = 0x48 = 0b01001000

表 41. レジスタ・リードバック制御

アドレス	ビット	ビット名	説明
0x0004	[7:1]	Unused	
	0	Read buffer register	バッファ・レジスタの場合、シリアル・ポート・リードバックは、バッファではなく実際の (アクティブ) レジスタから読み出します。 0 (デフォルト) = デバイスの内部ロジックに現在適用されている値を読み出します。 1 = I/O 更新の次のアサーションで有効になるバッファ値を読み出します。

表 42. ソフト入出力更新

アドレス	ビット	ビット名	説明
0x0005	[7:1]	Unused	
	0	I/O update	このビットに 1 を書き込むと、シリアル I/O バッファ・レジスタのデータがデバイスの内部コントロール・レジスタに転送されます。これは自動クリア・ビットです。

システム・クロック（レジスタ 0x0100~0x0108）

表 43. チャージ・ポンプとロック検出制御

アドレス	ビット	ビット名	説明
0x0100	[7]	External loop filter enable	外部 SYSCLK PLL ループ・フィルタの使用を有効化 0（デフォルト） = 内部ループ・フィルタ 1 = 外部ループ・フィルタ
	[6]	Charge pump mode	チャージ・ポンプ電流制御 0（デフォルト） = 自動 1 = 手動
	[5:3]	Charge pump current	ビット 6 = 1 のときのチャージ・ポンプ電流を選択 000 = 125 μ A 001 = 250 μ A 010 = 375 μ A 011（デフォルト） = 500 μ A 100 = 625 μ A 101 = 750 μ A 110 = 875 μ A 111 = 1000 μ A
	[2]	Lock detect timer disable	SYSCLK PLL ロック検出タイマーをイネーブル 0（デフォルト） = イネーブル 1 = ディスエーブル
	[1:0]	Lock detect timer	ロック検出タイマーの深度を選択 00（デフォルト） = 128 01 = 256 10 = 512 11 = 1024

表 44. N 分周器

アドレス	ビット	ビット名	説明
0x0101	[7:0]	N-divider	システム・クロック PLL 帰還分周器の値： $6 \geq N \geq 255$ （デフォルト = 0x28 = 40）

表 45. SYSCLK 入力オプション

アドレス	ビット	ビット名	説明
0x0102	[7]	Unused	
	[6]	M-divider reset	M 分周器をリセット 0 = 通常動作 1（デフォルト） = リセット M 分周器を使わない場合は、このビットをロジック 1 にプログラム。
	[5:4]	M-divider	システム・クロック入力分周器 00（デフォルト） = 1 01 = 2 10 = 4 11 = 8
	[3]	2 \times frequency multiplier enable	周波数 2 乗倍器をイネーブル 0（デフォルト） = ディスエーブル 1 = イネーブル
	[2]	PLL enable	SYSCLK PLL をイネーブル 0 = ディスエーブル 1（デフォルト） = イネーブル
	[1:0]	System clock source	SYSCLKx ピンの入力モード選択 00 = 水晶振動子 01（デフォルト） = 低周波数クロック源 10 = 高周波数（直接）クロック源 11 = 入力レシーバー・パワーダウン

表 46. 公称システム・クロック (SYSCLK) 周期¹

アドレス	ビット	ビット名	説明
0x0103	[7:0]	System clock period (expressed in femtoseconds)	システム・クロック周期、ビット [7:0]
0x0104	[7:0]		システム・クロック周期、ビット [15:8]
0x0105	[7:5]	Unused	
	[4:0]	System clock period	システム・クロック周期、ビット [20:16]

¹単位はフェムト秒。デフォルト値は 0x0F424 = 1,000,000 (1ns) で、これは 1GHz のシステム・クロック周波数に相当します。

表 47. システム・クロック安定性周期¹

アドレス	ビット	ビット名	説明
0x0106	[7:0]	System clock stability period	システム・クロック安定性周期、ビット [7:0] (デフォルト = 0x01)
0x0107	[7:0]		システム・クロック安定性周期、ビット [15:8] (デフォルト = 0x00)
0x0108	[7:4]	Unused	
	[3:0]	System clock stability period	システム・クロック安定性周期、ビット [19:16] (デフォルト = 0x0) (デフォルト周期 = 0x00001、つまり 1ms)

¹単位はミリ秒。デフォルト値は 0x000001 = 1 (1ms) です。

一般的設定 (レジスタ 0x0200~レジスタ 0x0214)

レジスタ 0x0200~レジスタ 0x0207-多機能ピン制御 (M0~M7)

表 48. 多機能ピン (M0~M7) 制御¹

アドレス	ビット	ビット名	説明
0x0200	[7]	M0 in/out	M0 ピンの入出力制御 0 (デフォルト) = 入力 (制御ピン) 1 = 出力 (ステータス・ピン)
	[6:0]	M0 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0201	[7]	M1 in/out	M1 ピンの入出力制御 (M0 と同じ)
	[6:0]	M1 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0202	[7]	M2 in/out	M2 ピンの入出力制御 (M0 と同じ)
	[6:0]	M2 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0203	[7]	M3 in/out	M3 ピンの入出力制御 (M0 と同じ)
	[6:0]	M3 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0204	[7]	M4 in/out	M4 ピンの入出力制御 (M0 と同じ)
	[6:0]	M4 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0205	[7]	M5 in/out	M5 ピンの入出力制御 (M0 と同じ)
	[6:0]	M5 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0206	[7]	M6 in/out	M6 ピンの入出力制御 (M0 と同じ)
	[6:0]	M6 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)
0x0207	[7]	M7 in/out	M7 ピンの入出力制御 (M0 と同じ)
	[6:0]	M7 function	表 25 と表 26 を参照してください (デフォルト = 0xb0000000)

¹すべての多機能ピンのデフォルト設定は、不使用制御入力ピンとしての設定です。

表 49. IRQ ピン出力モード

アドレス	ビット	ビット名	説明
0x0208	[7:2]	Unused	
	[1:0]	IRQ pin output mode	IRQ ピンの出力モードを選択 00 (デフォルト) = NMOS、オープンドレイン (外部プルアップ抵抗が必要) 01 = PMOS、オープンドレイン (外部プルダウン抵抗が必要) 10 = CMOS、アクティブ・ハイ 11 = CMOS、アクティブ・ロー

レジスタ 0x0209～レジスタ 0x0210 – IRQ マスク

IRQ マスク・レジスタ・ビットは、IRQ モニタ・レジスタ（アドレス 0x0D02～アドレス 0x0D09）のビットと 1 対 1 で対応しています。ロジック 1 にセットすると、IRQ マスク・ビットが対応 IRQ モニタ・ビットをイネーブルして IRQ イベントを示します。すべての IRQ マスク・ビットのデフォルトはロジック 0 で、これにより、IRQ モニタによる内部割込みを検出しないようにします。

表 50. SYSCLK 用 IRQ マスク

アドレス	ビット	ビット名	説明
0x0209	[7:6]	Unused	
	[5]	SYSCLK unlocked	ロック・ステートからアンロック・ステートへの SYSCLK PLL ステート遷移を示す IRQ をイネーブルします。
	[4]	SYSCLK locked	アンロック・ステートからロック・ステートへの SYSCLK PLL ステート遷移を示す IRQ をイネーブルします。
	[3:2]	Unused	
	[1]	SYSCLK Cal complete	SYSCLK のキャリブレーションが完了したことを示す IRQ をイネーブルします。
	[0]	SYSCLK Cal started	SYSCLK のキャリブレーションが開始されたことを示す IRQ をイネーブルします。

表 51. 分配同期、ウォッチドッグ・タイマー、および EEPROM 用 IRQ マスク

アドレス	ビット	ビット名	説明
0x020A	[7:4]	Unused	
	[3]	Distribution sync	分配同期イベントを示す IRQ をイネーブルします。
	[2]	Watchdog timer	ウォッチドッグ・タイマーの終了を示す IRQ をイネーブルします。
	[1]	EEPROM fault	EEPROM のロードまたは保存動作時の異常を示す IRQ をイネーブルします。
	[0]	EEPROM complete	EEPROM のロードまたは保存動作の正常終了を示す IRQ をイネーブルします。

表 52. デジタル PLL 用 IRQ マスク

アドレス	ビット	ビット名	説明
0x020B	[7]	Switching	DPLL が新しいリファレンスへスイッチングすることを示す IRQ をイネーブルします。
	[6]	Closed	DPLL がクローズループ動作に入ったことを示す IRQ をイネーブルします。
	[5]	Freerun	DPLL がフリーラン・モードに入ったことを示す IRQ をイネーブルします。
	[4]	Holdover	DPLL がホールドオーバー・モードに入ったことを示す IRQ をイネーブルします。
	[3]	Freq unlocked	DPLL が周波数ロックを失ったことを示す IRQ をイネーブルします。
	[2]	Freq locked	DPLL が周波数ロックを確立したことを示す IRQ をイネーブルします。
	[1]	Phase unlocked	DPLL がフェーズ・ロックを失ったことを示す IRQ をイネーブルします。
	[0]	Phase locked	DPLL がフェーズ・ロックを確立したことを示す IRQ をイネーブルします。

表 53. 履歴更新、周波数制限、および位相スルー制限用 IRQ マスク

アドレス	ビット	ビット名	説明
0x020C	[7:5]	Unused	
	[4]	History updated	チューニング・ワード履歴が更新されたことを示す IRQ をイネーブルします。
	[3]	Frequency unclamped	周波数リミッタのクランプ・ステートからアンクランプ・ステートへのステート遷移を示す IRQ をイネーブルします。
	[2]	Frequency clamped	周波数リミッタのアンクランプ・ステートからクランプ・ステートへのステート遷移を示す IRQ をイネーブルします。
	[1]	Phase slew unlimited	位相スルー・リミッタのスルー制限から非スルー制限へのステート遷移を示す IRQ をイネーブルします。
	[0]	Phase slew limited	位相スルー・リミッタの非スルー制限からスルー制限へのステート遷移を示す IRQ をイネーブルします。

表 54. リファレンス入力用 IRQ マスク

アドレス	ビット	ビット名	説明
0x020D	[7]	Ref AA new profile	Ref AA が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[6]	Ref AA validated	Ref AA の検証が完了したことを示す IRQ をイネーブルします。
	[5]	Ref AA fault cleared	Ref AA に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[4]	Ref AA fault	Ref AA に異常が生じたことを示す IRQ をイネーブルします。
	[3]	Ref A new profile	Ref A が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[2]	Ref A validated	Ref A の検証が完了したことを示す IRQ をイネーブルします。
	[1]	Ref A fault cleared	Ref A に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[0]	Ref A fault	Ref A に異常が生じたことを示す IRQ をイネーブルします。
0x020E	[7]	Ref BB new profile	Ref BB が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[6]	Ref BB validated	Ref BB の検証が完了したことを示す IRQ をイネーブルします。
	[5]	Ref BB fault cleared	Ref BB に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[4]	Ref BB fault	Ref BB に異常が生じたことを示す IRQ をイネーブルします。
	[3]	Ref B new profile	Ref B が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[2]	Ref B validated	Ref B の検証が完了したことを示す IRQ をイネーブルします。
	[1]	Ref B fault cleared	Ref B に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[0]	Ref B fault	Ref B に異常が生じたことを示す IRQ をイネーブルします。
0x020F	[7]	Ref CC new profile	Ref CC が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[6]	Ref CC validated	Ref CC の検証が完了したことを示す IRQ をイネーブルします。
	[5]	Ref CC fault cleared	Ref CC に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[4]	Ref CC fault	Ref CC に異常が生じたことを示す IRQ をイネーブルします。
	[3]	Ref C new profile	Ref C が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[2]	Ref C validated	Ref C の検証が完了したことを示す IRQ をイネーブルします。
	[1]	Ref C fault cleared	Ref C に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[0]	Ref C fault	Ref C に異常が生じたことを示す IRQ をイネーブルします。
0x0210	[7]	Ref DD new profile	Ref DD が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[6]	Ref DD validated	Ref DD の検証が完了したことを示す IRQ をイネーブルします。
	[5]	Ref DD fault cleared	Ref DD に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[4]	Ref DD fault	Ref DD に異常が生じたことを示す IRQ をイネーブルします。
	[3]	Ref D new profile	Ref D が新しいプロファイルにスイッチしたことを示す IRQ をイネーブルします。
	[2]	Ref D validated	Ref D の検証が完了したことを示す IRQ をイネーブルします。
	[1]	Ref D fault cleared	Ref D に発生した異常がクリアされたことを示す IRQ をイネーブルします。
	[0]	Ref D fault	Ref D に異常が生じたことを示す IRQ をイネーブルします。

表 55. ウォッチドッグ・タイマー¹

アドレス	ビット	ビット名	説明
0x0211	[7:0]	Watchdog timer	ウォッチドッグ・タイマー、ビット [7:0] (デフォルト = 0x00)
0x0212	[7:0]		ウォッチドッグ・タイマー、ビット [15:8] (デフォルト = 0x00)

¹ウォッチドッグ・タイマーはミリ秒単位で表されます。デフォルト値は 0 (ディスエーブル) です。

表 56. 補助 DAC¹

アドレス	ビット	ビット名	説明
0x0213	[7:0]	Full-scale current	フルスケール電流、ビット [7:0] (デフォルト = 0xFF)
0x0214	[7]	DAC shutdown	DAC の電流源をシャットダウンします。 0 (デフォルト) = 通常動作 1 = シャットダウン
	[6:2]	Unused	
	[1:0]	Full-scale current	フルスケール電流、ビット [9:8] (デフォルト = 0b01) (デフォルト電流 = 0x1FF、または 20.1mA)

¹デフォルトの DAC フルスケール値は 0x01FF = 511 で、これは 20.1375mA に相当します。

DPLL 設定 (レジスタ 0x0300~レジスタ 0x031B)

表 57. フリーランニング周波数チューニング・ワード¹

アドレス	ビット	ビット名	説明
0x0300	[7:0]	Frequency (expressed as a 48-bit frequency tuning word)	フリーランニング周波数チューニング・ワード、ビット [7:0]
0x0301	[7:0]		フリーランニング周波数チューニング・ワード、ビット [15:8]
0x0302	[7:0]		フリーランニング周波数チューニング・ワード、ビット [23:9]
0x0303	[7:0]		フリーランニング周波数チューニング・ワード、ビット [31:24]
0x0304	[7:0]		フリーランニング周波数チューニング・ワード、ビット [39:32]
0x0305	[7:0]		フリーランニング周波数チューニング・ワード、ビット [47:40]

¹ デフォルトのフリーランニング・チューニング・ワードは 0x000000 = 0 で、これは 0Hz に相当します。

表 58. TW 更新

アドレス	ビット	ビット名	説明
0x0306	[7:1]	Unused	
	[0]	Update TW	このビットにロジック 1 を書き込むと、フリーランニング周波数チューニング・ワード (レジスタ 0300~レジスタ 0305) が、チューニング・ワード処理ロジックに組み込まれたレジスタに転送されます。デバイスがフリーラン・モードにあるときは、TW 更新ビットに書き込みを行う必要はありません。これは自動クリア・ビットです。

表 59. プルイン・レンジ下限値¹

アドレス	ビット	ビット名	説明
0x0307	[7:0]	Pull-in range lower limit (expressed as a 24-bit frequency tuning word)	プルイン・レンジ下限値、ビット [7:0]
0x0308	[7:0]		プルイン・レンジ下限値、ビット [15:8]
0x0309	[7:0]		プルイン・レンジ下限値、ビット [23:9]
0x030A	[7:0]	Pull-in range upper limit (expressed as a 24-bit frequency tuning word)	プルイン・レンジ上限値、ビット [7:0]
0x030B	[7:0]		プルイン・レンジ上限値、ビット [15:8]
0x030C	[7:0]		プルイン・レンジ上限値、ビット [23:9]

¹ デフォルトのプルイン・レンジ下限値は 0 で、上限値は 0xFFFFF です。これは、実質的に DDS の全出力周波数範囲に広がっています。

表 60. DDS 位相オフセット¹

アドレス	ビット	ビット名	説明
0x030D	[7:0]	Open-loop phase offset (expressed in $\pi/2^{15}$ radians)	DDS 位相オフセット、ビット [7:0]
0x030E	[7:0]		DDS 位相オフセット、ビット [15:8]

¹ デフォルトの DDS 位相オフセットは 0 です。

表 61. 固定クローズドループ・フェーズ・ロック・オフセット¹

アドレス	ビット	ビット名	説明
0x030F	[7:0]	Fixed phase lock offset (expressed in picoseconds)	固定フェーズ・ロック・オフセット、ビット [7:0]
0x0310	[7:0]		固定フェーズ・ロック・オフセット、ビット [15:8]
0x0311	[7:0]		固定フェーズ・ロック・オフセット、ビット [23:16]
0x0312	[7:0]		固定フェーズ・ロック・オフセット、ビット [31:24]
0x0313	[7:0]		固定フェーズ・ロック・オフセット、ビット [39:32]

¹ デフォルトの固定クローズドループ・フェーズ・ロック・オフセットは 0 です。

表 62. インクリメンタル・クロズドループ・フェーズ・ロック・オフセットのステップ・サイズ¹

アドレス	ビット	ビット名	説明
0x0314	[7:0]	Incremental phase lock offset step size (expressed in picoseconds per step)	インクリメンタル・フェーズ・ロック・オフセットのステップ・サイズ、ビット [7:0]
0x0315	[7:0]		インクリメンタル・フェーズ・ロック・オフセットのステップ・サイズ、ビット [15:8]

¹ インクリメンタル・クロズドループ・フェーズ・ロック・オフセットのデフォルトのステップ・サイズ値は、0x03E8 = 1000 (1ns) です。

表 63. 位相スルー・レート制限¹

アドレス	ビット	ビット名	説明
0x0316	[7:0]	Phase slew limit (expressed in nanoseconds per second)	位相スルー・レート制限、ビット [7:0]
0x0317	[7:0]		位相スルー・レート制限、ビット [15:8]

¹ デフォルトの位相スルー・レート制限は 0 (無効) です。

表 64. 履歴積算タイマー¹

アドレス	ビット	ビット名	説明
0x0318	[7:0]	History accumulation timer (expressed in milliseconds)	履歴積算タイマー、ビット [7:0]
0x0319	[7:0]		履歴積算タイマー、ビット [15:8]
0x031A	[7:0]		履歴積算タイマー、ビット [23:16]

¹ このタイマー値は 0 にしないでください。履歴積算タイマーのデフォルト値は 0x007530 = 30,000 (30 秒) です。

表 65. 履歴モード

アドレス	ビット	ビット名	説明
0x031B	[7:5]	Unused	
	[4]	Single-sample fallback	ホールドオーバー履歴を制御します。ホールドオーバー直前にアクティブだったリファレンスに対してチューニング・ワード履歴を使用できない場合に、0 (デフォルト) = フリーランニング周波数チューニング・ワードのレジスタ値を使用します。 1 = DPLL からの最後のチューニング・ワードを使用します。
	[3]	Persistent history	ホールドオーバー履歴の初期化を制御します。新しいリファレンスへのスイッチング時に、0 (デフォルト) = チューニング・ワード履歴をクリアします。 1 = 過去のチューニング・ワード履歴を保持します。
	[2:0]	Incremental average	0 から 7 までの履歴モード値 (デフォルト = 0)。このレジスタの詳細については、周波数チューニング・ワード履歴のセクションを参照してください。

クロック分配出力設定（レジスタ 0x0400～レジスタ 0x0419）

表 66. 分配設定¹

アドレス	ビット	ビット名	説明
0x0400	[7:6]	Unused	
	[5]	External distribution resistor	クロック分配出力の出力電流制御 0（デフォルト） = 電流設定内蔵抵抗 1 = 電流設定外付け抵抗
	[4]	Receiver mode	クロック分配レシーバー・モード 0（デフォルト） = 通常動作 1 = 高周波数モード（スーパーナイキスト）
	[3]	OUT3 power-down	クロック分配出力 OUT3 のパワーダウン 0（デフォルト） = 通常動作 1 = パワーダウン
	[2]	OUT2 power-down	クロック分配出力 OUT2 のパワーダウン 0（デフォルト） = 通常動作 1 = パワーダウン
	[1]	OUT1 power-down	クロック分配出力 OUT1 のパワーダウン 0（デフォルト） = 通常動作 1 = パワーダウン
	[0]	OUT0 power-down	クロック分配出力 OUT0 のパワーダウン 0（デフォルト） = 通常動作 1 = パワーダウン

¹ ビット [3:0] = 1111 の場合、クロック分配出力はディープ・スリープ・モードになります。

表 67. 分配イネーブル

アドレス	ビット	ビット名	説明
0x0401	[7:4]	Unused	
	[3]	OUT3 enable	OUT3 のドライバをイネーブルします。 0（デフォルト） = ディスエーブル。 1 = イネーブル。
	[2]	OUT2 enable	OUT2 のドライバをイネーブルします。 0（デフォルト） = ディスエーブル。 1 = イネーブル。
	[1]	OUT1 enable	OUT1 のドライバをイネーブルします。 0（デフォルト） = ディスエーブル。 1 = イネーブル。
	[0]	OUT0 enable	OUT0 のドライバをイネーブルします。 0（デフォルト） = ディスエーブル。 1 = イネーブル。

表 68. 分配同期

アドレス	ビット	ビット名	説明
0x0402	[7:6]	Unused	
	[5:4]	Sync source	クロック分配出力チャンネルの同期源を選択します。 00 (デフォルト) = ダイレクト。 01 = アクティブ・リファレンス。 10 = DPLL 帰還エッジ。 11 = 予備。
	[3]	OUT3 sync mask	OUT3 ドライバに対する同期リセットをマスクします。 0 (デフォルト) = マスクしません。 1 = マスクします。
	[2]	OUT2 sync mask	OUT2 ドライバに対する同期リセットをマスクします。 0 (デフォルト) = マスクしません。 1 = マスクします。
	[1]	OUT1 sync mask	OUT1 ドライバに対する同期リセットをマスクします。 0 (デフォルト) = マスクしません。 1 = マスクします。
	[0]	OUT0 sync mask	OUT0 ドライバに対する同期リセットをマスクします。 0 (デフォルト) = マスクしません。 1 = マスクします。

表 69. 自動同期

アドレス	ビット	ビット名	説明
0x0403	[7:2]	Unused	
	[1:0]	Automatic sync mode	自動同期モード 00 (デフォルト) = 無効 01 = DPLL 周波数ロック時に同期 10 = DPLL フェーズ・ロック時に同期 11 = 予備

表 70. 分配チャンネル・モード

アドレス	ビット	ビット名	説明
0x0404	[7:6]	Unused	
	[5]	OUT0 CMOS phase invert	出力モードが CMOS のときに、このビットは 2 つの CMOS 出力ピン間の相対位相を反転させます。それ以外の場合、このビットは機能しません。 0 (デフォルト) = 非反転。 1 = 反転。
	[4]	OUT0 polarity invert	OUT0 の極性を反転。 0 (デフォルト) = 非反転。 1 = 反転。
	[3]	OUT0 drive strength	OUT0 の出力駆動能力制御。 0 (デフォルト) = CMOS : 低駆動強度、LVDS : 公称 3.5mA。 1 = CMOS : 通常駆動強度、LVDS : 公称 7mA。
	[2:0]	OUT0 mode	OUT0 の動作モード選択。 000 = CMOS (両方のピン)。 001 = CMOS (正のピン)、トライステート (負のピン) 010 = トライステート (正のピン)、CMOS (負のピン) 011 (デフォルト) = トライステート (両方のピン)。 100 = LVDS。 101 = LVPECL。 110 = 予備。 111 = 予備。

アドレス	ビット	ビット名	説明
0x0405	[7:6]	Unused	
	[5]	OUT1 CMOS phase invert	出力モードが CMOS のときに、このビットは CMOS 出力ピン間の相対位相を反転させます。それ以外の場合、このビットは機能しません。 0 (デフォルト) = 非反転。 1 = 反転。
	[4]	OUT1 polarity invert	OUT1 の極性を反転。 0 (デフォルト) = 非反転。 1 = 反転。
	[3]	OUT1 drive strength	OUT1 の出力駆動能力制御。 0 (デフォルト) = CMOS : 低駆動強度、LVDS : 公称 3.5mA。 1 = CMOS : 通常駆動強度、LVDS : 公称 7mA。
	[2:0]	OUT1 mode	OUT1 の動作モード選択。 000 = CMOS (両方のピン)。 001 = CMOS (正のピン)、トライステート (負のピン) 010 = トライステート (正のピン)、CMOS (負のピン) 011 (デフォルト) = トライステート (両方のピン)。 100 = LVDS。 101 = LVPECL。 110 = 予備 111 = 予備
0x0406	[7:6]	Unused	
	[5]	OUT2 CMOS phase invert	出力モードが CMOS のときに、このビットは CMOS 出力ピン間の相対位相を反転させます。それ以外の場合、このビットは機能しません。 0 (デフォルト) = 非反転。 1 = 反転。
	[4]	OUT2 polarity invert	OUT2 の極性を反転。 0 (デフォルト) = 非反転。 1 = 反転。
	[3]	OUT2 drive strength	OUT2 の出力駆動能力制御。 0 (デフォルト) = CMOS : 低駆動強度、LVDS : 公称 3.5 mA。 1 = CMOS : 通常駆動強度、LVDS : 公称 7mA。
	[2:0]	OUT2 mode	OUT2 の動作モード選択。 000 = CMOS (両方のピン)。 001 = CMOS (正のピン)、トライステート (負のピン) 010 = トライステート (正のピン)、CMOS (負のピン) 011 (デフォルト) = トライステート (両方のピン)。 100 = LVDS。 101 = LVPECL。 110 = 予備 111 = 予備

アドレス	ビット	ビット名	説明
0x0407	[7:6]	Unused	
	[5]	OUT3 CMOS phase invert	出力モードが CMOS のときに、このビットは CMOS 出力ピン間の相対位相を反転させます。それ以外の場合、このビットは機能しません。 0 (デフォルト) = 非反転。 1 = 反転。
	[4]	OUT3 polarity invert	OUT3 の極性を反転。 0 (デフォルト) = 非反転。 1 = 反転。
	[3]	OUT3 drive strength	OUT3 の出力駆動能力制御。 0 (デフォルト) = CMOS : 低駆動強度、LVDS : 公称 3.5mA。 1 = CMOS : 通常駆動強度、LVDS : 公称 7mA。
	[2:0]	OUT3 mode	OUT3 の動作モード選択。 000 = CMOS (両方のピン)。 001 = CMOS (正のピン)、トライステート (負のピン) 010 = トライステート (正のピン)、CMOS (負のピン) 011 (デフォルト) = トライステート (両方のピン)。 100 = LVDS。 101 = LVPECL。 110 = 予備 111 = 予備

レジスタ 0x0408～レジスタ 0x0417 - 分配チャンネル分周器

表 71. Q0 分周器¹

アドレス	ビット	ビット名	説明
0x0408	[7:0]	Q0	Q0 分周器、ビット [7:0]
0x0409	[7:0]		Q0 分周器、ビット [15:8]
0x040A	[7:0]		Q0 分周器、ビット [23:16]
0x040B	[7:6]	Unused	
	[5:0]	Q0	Q0 分周器、ビット [29:24]

¹ デフォルト値は 0 です (つまり 1 分周)。表 72. Q1 分周器¹

アドレス	ビット	ビット名	説明
0x040C	[7:0]	Q1	Q1 分周器、ビット [7:0]
0x040D	[7:0]		Q1 分周器、ビット [15:8]
0x040E	[7:0]		Q1 分周器、ビット [23:16]
0x040F	[7:6]	Unused	
	[5:0]	Q1	Q1 分周器、ビット [29:24]

¹ デフォルト値は 0 です (つまり 1 分周)。表 73. Q2 分周器¹

アドレス	ビット	ビット名	説明
0x0410	[7:0]	Q2	Q2 分周器、ビット [7:0]
0x0411	[7:0]		Q2 分周器、ビット [15:8]
0x0412	[7:0]		Q2 分周器、ビット [23:16]
0x0413	[7:6]	Unused	
	[5:0]	Q2	Q2 分周器、ビット [29:24]

¹ デフォルト値は 0 です (つまり 1 分周)。

表 74. Q3 分周器¹

アドレス	ビット	ビット名	説明
0x0414	[7:0]	Q3	Q3 分周器、ビット [7:0]
0x0415	[7:0]		Q3 分周器、ビット [15:8]
0x0416	[7:0]		Q3 分周器、ビット [23:16]
0x0417	[7:6]	Unused	
	[5:0]	Q3	Q3 分周器、ビット [29:24]

¹ デフォルト値は 0 です (つまり 1 分周)。

リファレンス入力設定 (レジスタ 0x0500~レジスタ 0x0507)

表 75. リファレンス・パワーダウン

すべてのビットがセットされると、リファレンス・レシーバー・セクションはディープ・スリープ・モードになります。

アドレス	ビット	ビット名	説明
0x0500	[7]	Ref DD power-down	REF DD 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[6]	Ref D power-down	REF D 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[5]	Ref CC power-down	REF CC 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[4]	Ref C power-down	REF C 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[3]	Ref BB power-down	REF BB 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[2]	Ref B power-down	REF B 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[1]	Ref AA power-down	REF AA 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン
	[0]	Ref A power-down	REF A 入力レシーバーのパワーダウン 0 (デフォルト) = 通常動作 1 = パワーダウン

表 76. リファレンス・ロジック・ファミリ

アドレス	ビット	ビット名	説明
0x0501	[7:6]	Ref BB logic family	REF BB 入力レシーバーのロジック・ファミリを選択します (ビット [5:4] = 00 の場合は無視)。 00 (デフォルト) = ディスエーブル。 01 = 1.2V~1.5V CMOS。 10 = 1.8 V~2.5 V CMOS。 11 = 3.0 V~3.3 V CMOS。
	[5:4]	Ref B logic family	REF B 入力レシーバーのロジック・ファミリを選択します。 00 (デフォルト) = 差動 (REFB/BB が正/負入力)。 01 = 1.2V~1.5V CMOS。 10 = 1.8 V~2.5 V CMOS。 11 = 3.0 V~3.3 V CMOS。
	[3:2]	Ref AA logic family	レジスタ 0501、ビット [7:6] と同じだが REF AA 用。
	[1:0]	Ref A logic family	レジスタ 0501、ビット [5:4] と同じだが REF A 用。
0x0502	[7:6]	Ref DD logic family	レジスタ 0501、ビット [7:6] と同じだが REF DD 用。
	[5:4]	Ref D logic family	レジスタ 0501、ビット [5:4] と同じだが REF D 用。
	[3:2]	Ref CC logic family	レジスタ 0501、ビット [7:6] と同じだが REF CC 用。
	[1:0]	Ref C logic family	レジスタ 0501、ビット [5:4] と同じだが REF C 用。

表 77. 手動リファレンス・プロファイルの選択

アドレス	ビット	ビット名	説明
0x0503	[7]	Enable Ref AA manual profile	REF AA の手動または自動リファレンス・プロファイル割り当てを選択します 0 (デフォルト) = 自動 1 = 手動
	[6:4]	Ref AA manual profile	手動プロファイル割り当て 000 (デフォルト) = プロファイル 0 001 = プロファイル 1 010 = プロファイル 2 011 = プロファイル 3 100 = プロファイル 4 101 = プロファイル 5 110 = プロファイル 6 111 = プロファイル 7
	[3]	Enable Ref A manual profile	レジスタ 0503、ビット 7 と同じだが REF A 用。
	[2:0]	Ref A manual profile	レジスタ 0503、ビット [6:4] と同じだが REF A 用。
0x0504	[7]	Enable Ref BB manual profile	レジスタ 0503、ビット 7 と同じだが REF B 用。
	[6:4]	Ref BB manual profile	レジスタ 0503、ビット [6:4] と同じだが REF BB 用。
	[3]	Enable Ref B manual profile	レジスタ 0503、ビット 7 と同じだが REF B 用。
	[2:0]	Ref B manual profile	レジスタ 0503、ビット [6:4] と同じだが REF B 用。
0x0505	[7]	Enable Ref CC manual profile	レジスタ 0503、ビット 7 と同じだが REF CC 用。
	[6:4]	Ref CC manual profile	レジスタ 0503、ビット [6:4] と同じだが REF CC 用。
	[3]	Enable Ref C manual profile	レジスタ 050、ビット 7 と同じだが REF C 用。
	[2:0]	Ref C manual profile	レジスタ 0503、ビット [6:4] と同じだが REF C 用。
0x0506	[7]	Enable Ref DD M manual profile	レジスタ 0503、ビット 7 と同じだが REF DD 用。
	[6:4]	Ref DD manual profile	レジスタ 0503、ビット [6:4] と同じだが REF DD 用。
	[3]	Enable Ref D manual profile	レジスタ 0503、ビット 7 と同じだが REF D 用。
	[2:0]	Ref D manual profile	レジスタ 0503、ビット [6:4] と同じだが REF D 用。

表 78. 位相ビルドアウト・スイッチング

アドレス	ビット	ビット名	説明
0x0507	[7:3]	Unused	
	[2:0]	Phase master threshold priority	閾値優先度レベル（値 0～7 の範囲で、0（デフォルト）が最も高い優先度レベル）。選択優先度値がこの値よりも低いリファレンスは、位相マスタとして扱われます（選択優先度レベルについては、プロファイル・レジスタ（レジスタ 0x0600～レジスタ 0x07FF）のセクションを参照）。

プロファイル・レジスタ（レジスタ 0x0600～0x07FF）

プロファイル 0 からプロファイル 7 までのすべてのビットのデフォルト値は 0 です。

レジスタ 0x0600～レジスタ 0x0631 – プロファイル 0

表 79. 優先度 – プロファイル 0

アドレス	ビット	ビット名	説明
0x0600	[7]	Phase lock scale	フェーズ・ロック閾値単位のスケールリングを制御します。 0 = ピコ秒 1 = ナノ秒
	[6]	Unused	
	[5:3]	Promoted priority	プロファイル 0 に関連付けられたリファレンスがアクティブ・リファレンスである間の、そのリファレンスのユーザ割り当て優先度レベル（0～7）。変更優先度の数値は、選択優先度の数値以下でなければなりません。
	[2:0]	Selection priority	プロファイル 0 に関連付けられたリファレンスのユーザ割り当て優先度レベル（0～7）で、他のリファレンスに対するそのリファレンスの相対的順位を決定するもの。

表 80. リファレンス周期 – プロファイル 0

アドレス	ビット	ビット名	説明
0x0601	[7:0]	Reference period (in femtoseconds)	公称リファレンス周期、ビット [7:0]
0x0602	[7:0]		公称リファレンス周期、ビット [15:8]
0x0603	[7:0]		公称リファレンス周期、ビット [23:16]
0x0604	[7:0]		公称リファレンス周期、ビット [31:24]
0x0605	[7:0]		公称リファレンス周期、ビット [39:32]
0x0606	[7:0]		公称リファレンス周期、ビット [47:40]
0x0607	[7:2]	Unused	
	[1:0]	Reference period	公称リファレンス周期、ビット [49:48]

表 81. 許容誤差 – プロファイル 0

アドレス	ビット	ビット名	説明
0x0608	[7:0]	Inner tolerance	内側許容誤差、ビット [7:0]
0x0609	[7:0]		内側許容誤差、ビット [15:8]
0x060A	[7:4]	Unused	
	[3:0]	Inner tolerance	内側許容誤差、ビット [19:16]
0x060B	[7:0]	Outer tolerance	外側許容誤差、ビット [7:0]
0x060C	[7:0]		外側許容誤差、ビット [5:8]
0x060D	[7:4]	Unused	
	[3:0]	Outer tolerance	外側許容誤差、ビット [19:16]

表 82. 検証タイマー – プロファイル 0

アドレス	ビット	ビット名	説明
0x060E	[7:0]	Validation timer (in milliseconds)	検証タイマー、ビット [7:0]
0x060F	[7:0]		検証タイマー、ビット [15:8]

表 83. 再検出タイマー – プロファイル 0

アドレス	ビット	ビット名	説明
0x0610	[7:0]	Redetect timer (in milliseconds)	再検出タイマー、ビット [7:0]
0x0611	[7:0]		再検出タイマー、ビット [15:8]

表 84. デジタル・ループ・フィルタ係数 - プロファイル 0¹

アドレス	ビット	ビット名	説明
0x0612	[7:0]	Alpha-0 linear	アルファ 0 係数線形成分、ビット [7:0]
0x0613	[7:0]		アルファ 0 係数線形成分、ビット [15:8]
0x0614	[7:6]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット [1:0]
	[5:0]	Alpha-1 exponent	アルファ 1 係数指数成分、ビット [5:0]
0x0615	[7:1]	Beta-0 linear	ベータ 0 係数線形成分、ビット [6:0]
	[0]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット 2
0x0616	[7:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [14:7]
0x617	[7]	Unused	
	[6:2]	Beta-1 exponent	ベータ 1 係数指数成分、ビット [4:0]
	[1:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [16:15]
0x0618	[7:0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット [7:0]
0x0619	[7:0]		ガンマ 0 係数線形成分、ビット [15:8]
0x061A	[7:6]	Unused	
	[5:1]	Gamma-1 exponent	ガンマ 1 係数指数成分、ビット [4:0]
	[0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット 16
0x061B	[7:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [7:0]
0x061C	[7]	Delta-1 exponent	デルタ 1 係数指数成分、ビット 0
	[6:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [14:8]
0x061D	[7:4]	Alpha-3 exponent	アルファ 3 係数指数成分、ビット [3:0]
	[3:0]	Delta-1 exponent	デルタ 1 係数指数成分、ビット [4:1]

¹ デジタル・ループ・フィルタ係数 (α 、 β 、 γ 、および δ) の一般化した形式は $x(2^y)$ で、 x は係数の線形成分、 y は指数成分です。線形成分 (x) の値は小数で構成され、 $0 \leq x < 1$ です。指数成分 (y) は整数です。詳細については、デジタル・フィルタ係数の計算のセクションを参照してください。

表 85. R 分周器 - プロファイル 0¹

アドレス	ビット	ビット名	説明
0x061E	[7:0]	R	R、ビット [7:0]
0x061F	[7:0]		R、ビット [15:8]
0x0620	[7:0]		R、ビット [23:16]
0x0621	[7:6]	Unused	
	[5:0]	R	R、ビット [29:24]

¹ R 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。

表 86. S 分周器 - プロファイル 0¹

アドレス	ビット	ビット名	説明
0x0622	[7:0]	S	S、ビット [7:0]
0x0623	[7:0]		S、ビット [15:8]
0x0624	[7:0]		S、ビット [23:16]
0x0625	[7:6]	Unused	
	[5:0]	S	S、ビット [29:24]

¹ S 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。更に、S の値は 7 以上でなければなりません。

表 87. フラクショナル帰還分周器 - プロファイル 0

アドレス	ビット	ビット名	説明
0x0626	[7:0]	V	V、ビット [7:0]
0x0627	[7:4]	U	U、ビット [3:0]
	[3:2]	Unused	
	[1:0]	V	V、ビット [9:8]
0x0628	[7:6]	Unused	
	[5:0]	U	U、ビット [9:4]

表 88. ロック検出器 - プロファイル 0

アドレス	ビット	ビット名	説明
0x0629	[7:0]	Phase lock threshold (units determined by Register 0x0600[7])	フェーズ・ロック閾値、ビット [7:0]
0x062A	[7:0]		フェーズ・ロック閾値、ビット [15:8]
0x062B	[7:0]	Phase lock fill rate	フェーズ・ロック・フィル・レート、ビット [7:0]
0x062C	[7:0]	Phase lock drain rate	フェーズ・ロック・ドレイン・レート、ビット [7:0]
0x062D	[7:0]	Frequency lock thresh-old (in picoseconds)	周波数ロック閾値、ビット [7:0]
0x062E	[7:0]		周波数ロック閾値、ビット [15:8]
0x062F	[7:0]		周波数ロック閾値、ビット [23:16]
0x0630	[7:0]	Frequency lock fill rate	周波数ロック・フィル・レート、ビット [7:0]
0x0631	[7:0]	Frequency lock drain rate	周波数ロック・ドレイン・レート、ビット [7:0]

レジスタ 0x0632~レジスタ 0x067F - プロファイル 1

表 89. 優先度 - プロファイル 1

アドレス	ビット	ビット名	説明
0x0632	[7]	Phase lock scale	フェーズ・ロック閾値単位のスケールリングを制御します。 0 = ピコ秒 1 = ナノ秒
	[6]	Unused	
	[5:3]	Promoted priority	プロファイル 1 に関連付けられたリファレンスがアクティブ・リファレンスである間の、そのリファレンスのユーザ割り当て優先度レベル (0~7)。変更優先度の数値は、選択優先度の数値以下でなければなりません。
	[2:0]	Selection priority	プロファイル 1 に関連付けられたリファレンスのユーザ割り当て優先度レベル (0~7) で、他のリファレンスに対するそのリファレンスの相対的順位を決定するもの。

表 90. リファレンス周期 - プロファイル 1

アドレス	ビット	ビット名	説明
0x0633	[7:0]	Reference period (in femtoseconds)	公称リファレンス周期、ビット [7:0]
0x0634	[7:0]		公称リファレンス周期、ビット [15:8]
0x0635	[7:0]		公称リファレンス周期、ビット [23:16]
0x0636	[7:0]		公称リファレンス周期、ビット [31:24]
0x0637	[7:0]		公称リファレンス周期、ビット [39:32]
0x0638	[7:0]		公称リファレンス周期、ビット [47:40]
0x0639	[7:2]	Unused	
	[1:0]	Reference period	公称リファレンス周期、ビット [49:48]

表 91. 許容誤差 - プロファイル 1

アドレス	ビット	ビット名	説明
0x063A	[7:0]	Inner tolerance	内側許容誤差、ビット [7:0]
0x063B	[7:0]		内側許容誤差、ビット [15:8]
0x063C	[7:4]	Unused	
	[3:0]	Inner tolerance	内側許容誤差、ビット [19:16]
0x063D	[7:0]	Outer tolerance	外側許容誤差、ビット [7:0]
0x063E	[7:0]		外側許容誤差、ビット [15:8]
0x063F	[7:4]	Unused	
	[3:0]	Outer tolerance	外側許容誤差、ビット [19:16]

表 92. 検証タイマー - プロファイル 1

アドレス	ビット	ビット名	説明
0x0640	[7:0]	Validation timer (in milliseconds)	検証タイマー、ビット [7:0]
0x0641	[7:0]		検証タイマー、ビット [15:8]

表 93. 再検出タイマー - プロファイル 1

アドレス	ビット	ビット名	説明
0x0642	[7:0]	Redetect timer (in milliseconds)	再検出タイマー、ビット [7:0]
0x0643	[7:0]		再検出タイマー、ビット [15:8]

表 94. デジタル・ループ・フィルタ係数 - プロファイル 1¹

アドレス	ビット	ビット名	説明
0x0644	[7:0]	Alpha-0 linear	アルファ 0 係数線形成分、ビット [7:0]
0x0645	[7:0]		アルファ 0 係数線形成分、ビット [15:8]
0x0646	[7:6]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット [1:0]
	[5:0]	Alpha-1 exponent	アルファ 1 係数指数成分、ビット [5:0]
0x0647	[7:1]	Beta-0 linear	ベータ 0 係数線形成分、ビット [6:0]
	[0]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット 2
0x0648	[7:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [14:7]
0x0649	[7]	Unused	
	[6:2]	Beta-1 exponent	ベータ 1 係数指数成分、ビット [4:0]
	[1:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [16:15]
0x064A	[7:0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット [7:0]
0x064B	[7:0]		ガンマ 0 係数線形成分、ビット [15:8]
0x064C	[7:6]	Unused	
	[5:1]	Gamma-1 exponent	ガンマ 1 係数指数成分、ビット [4:0]
	[0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット 16
0x064D	[7:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [7:0]
0x064E	[7]	Delta-1 exponent	デルタ 1 係数指数成分、ビット 0
	[6:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [14:8]
0x064F	[7:4]	Alpha-3 exponent	アルファ 3 係数指数成分、ビット [3:0]
	[3:0]	Delta-1 exponent	デルタ 1 係数指数成分、ビット [4:1]

¹ デジタル・ループ・フィルタ係数 (α , β , γ , および δ) の一般化した形式は $x(2^y)$ で、 x は係数の線形成分、 y は指数成分です。線形成分 (x) の値は小数で構成され、 $0 \leq x < 1$ です。指数成分 (y) は整数です。詳細については、デジタル・フィルタ係数の計算のセクションを参照してください。

表 95. R 分周器 - プロファイル 1¹

アドレス	ビット	ビット名	説明
0x0650	[7:0]	R	R、ビット [7:0]
0x0651	[7:0]		R、ビット [15:8]
0x0652	[7:0]		R、ビット [23:16]
0x0653	[7:6]	Unused	
	[5:0]	R	R、ビット [29:24]

¹ R 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。

表 96. S 分周器 - プロファイル 1¹

アドレス	ビット	ビット名	説明
0x0654	[7:0]	S	S、ビット [7:0]
0x0655	[7:0]		S、ビット [15:8]
0x0656	[7:0]		S、ビット [23:16]
0x0657	[7:6]	Unused	
	[5:0]	S	S、ビット [29:24]

¹ S 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。更に、S の値は 7 以上でなければなりません。

表 97. フラクショナル帰還分周器 - プロファイル 1

アドレス	ビット	ビット名	説明
0x0658	[7:0]	V	V、ビット [7:0]
0x0659	[7:4]	U	U、ビット [3:0]
	[3:2]	Unused	
	[1:0]	V	V、ビット [9:8]
0x065A	[7:6]	Unused	
	[5:0]	U	U、ビット [9:4]

表 98. ロック検出器 - プロファイル 1

アドレス	ビット	ビット名	説明
0x065B	[7:0]	Phase lock threshold (units determined by Register 0x0632[7])	フェーズ・ロック閾値、ビット [7:0]
0x065C	[7:0]		フェーズ・ロック閾値、ビット [15:8]
0x065D	[7:0]	Phase lock fill rate	フェーズ・ロック・フィル・レート、ビット [7:0]
0x065E	[7:0]	Phase lock drain rate	フェーズ・ロック・ドレイン・レート、ビット [7:0]
0x065F	[7:0]	Frequency lock threshold (in picoseconds)	周波数ロック閾値、ビット [7:0]
0x0660	[7:0]		周波数ロック閾値、ビット [15:8]
0x0661	[7:0]		周波数ロック閾値、ビット [23:16]
0x0662	[7:0]	Frequency lock fill rate	周波数ロック・フィル・レート、ビット [7:0]
0x0663	[7:0]	Frequency lock drain rate	周波数ロック・ドレイン・レート、ビット [7:0]
0x0664 to 0x067F	[7:0]	Unused	

レジスタ 0x0680～レジスタ 0x06B1 – プロファイル 2

表 99. 優先度 – プロファイル 2

アドレス	ビット	ビット名	説明
0x0680	[7]	Phase lock scale	フェーズ・ロック閾値単位のスケーリングを制御します。 0 = ピコ秒 1 = ナノ秒
	[6]	Unused	
	[5:3]	Promoted priority	プロファイル 2 に関連付けられたリファレンスのユーザ割り当て優先度レベル (0~7) で、そのリファレンスがアクティブ・リファレンスである間の値。変更優先度の数値は、選択優先度の数値以下でなければなりません。
	[2:0]	Selection priority	プロファイル 2 に関連付けられたリファレンスのユーザ割り当て優先度レベル (0~7) で、他のリファレンスに対するそのリファレンスの相対的順位を決定するもの。

表 100. リファレンス周期 – プロファイル 2

アドレス	ビット	ビット名	説明
0x0681	[7:0]	Reference period (in femtoseconds)	公称リファレンス周期、ビット [7:0]
0x0682	[7:0]		公称リファレンス周期、ビット [15:8]
0x0683	[7:0]		公称リファレンス周期、ビット [23:16]
0x0684	[7:0]		公称リファレンス周期、ビット [31:24]
0x0685	[7:0]		公称リファレンス周期、ビット [39:32]
0x0686	[7:0]		公称リファレンス周期、ビット [47:40]
0x0687	[7:2]	Unused	
	[1:0]	Reference period	公称リファレンス周期、ビット [49:48]

表 101. 許容誤差 – プロファイル 2

アドレス	ビット	ビット名	説明
0x0688	[7:0]	Inner tolerance	内側許容誤差、ビット [7:0]
0x0689	[7:0]		内側許容誤差、ビット [15:8]
0x068A	[7:4]	Unused	
	[3:0]	Inner tolerance	内側許容誤差、ビット [19:16]
0x068B	[7:0]	Outer tolerance	外側許容誤差、ビット [7:0]
0x068C	[7:0]		外側許容誤差、ビット [15:8]
0x068D	[7:4]	Unused	
	[3:0]	Outer tolerance	外側許容誤差、ビット [19:16]

表 102. 検証タイマー – プロファイル 2

アドレス	ビット	ビット名	説明
0x068E	[7:0]	Validation timer (in milliseconds)	検証タイマー、ビット [7:0]
0x068F	[7:0]		検証タイマー、ビット [15:8]

表 103. 再検出タイマー – プロファイル 2

アドレス	ビット	ビット名	説明
0x0690	[7:0]	Redetect timer (in milliseconds)	再検出タイマー、ビット [7:0]
0x0691	[7:0]		再検出タイマー、ビット [15:8]

表 104. デジタル・ループ・フィルタ係数 - プロファイル 2¹

アドレス	ビット	ビット名	説明
0x0692	[7:0]	Alpha-0 linear	アルファ 0 係数線形成分、ビット [7:0]
0x0693	[7:0]		アルファ 0 係数線形成分、ビット [15:8]
0x0694	[7:6]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット [1:0]
	[5:0]	Alpha-1 exponent	アルファ 1 係数指数成分、ビット [5:0]
0x0695	[7:1]	Beta-0 linear	ベータ 0 係数線形成分、ビット [6:0]
	[0]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット 2
0x0696	[7:0]	Beta 0-linear	ベータ 0 係数線形成分、ビット [14:7]
0x0697	[7]	Unused	
	[6:2]	Beta-1 exponent	ベータ 1 係数指数成分、ビット [4:0]
	[1:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [16:15]
0x0698	[7:0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット [7:0]
0x0699	[7:0]		ガンマ 0 係数線形成分、ビット [15:8]
0x069A	[7:6]	Unused	
	[5:1]	Gamma-1 exponent	ガンマ 1 係数指数成分、ビット [4:0]
	[0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット 6
0x069B	[7:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [7:0]
0x069C	[7]	Delta-1 exponent	デルタ 1 係数指数成分、ビット 0
	[6:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [14:8]
0x069D	[7:4]	Alpha-3 exponent	アルファ 3 係数指数成分、ビット [3:0]
	[3:0]	Delta-1 exponent	デルタ 1 係数指数成分、ビット [4:1]

¹ デジタル・ループ・フィルタ係数 (α 、 β 、 γ 、および δ) の一般化した形式は $x(2^y)$ で、 x は係数の線形成分、 y は指数成分です。線形成分 (x) の値は小数で構成され、 $0 \leq x < 1$ です。指数成分 (y) は整数です。詳細については、デジタル・フィルタ係数の計算のセクションを参照してください。

表 105. R 分周器 - プロファイル 2¹

アドレス	ビット	ビット名	説明
0x069E	[7:0]	R	R、ビット [7:0]
0x069F	[7:0]		R、ビット [15:8]
0x06A0	[7:0]		R、ビット [23:16]
0x06A1	[7:6]	Unused	
	[5:0]	R	R、ビット [29:24]

¹ R 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。

表 106. S 分周器 - プロファイル 2¹

アドレス	ビット	ビット名	説明
0x06A2	[7:0]	S	S、ビット [7:0]
0x06A3	[7:0]		S、ビット [15:8]
0x06A4	[7:0]		S、ビット [23:16]
0x06A5	[7:6]	Unused	
	[5:0]	S	S、ビット [29:24]

¹ S 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。更に、S の値は 7 以上でなければなりません。

表 107. フラクショナル帰還分周器 - プロファイル 2

アドレス	ビット	ビット名	説明
0x06A6	[7:0]	V	V、ビット [7:0]
0x06A7	[7:4]	U	U、ビット [3:0]
	[3:2]	Unused	
	[1:0]	V	V、ビット [9:8]
0x06A8	[7:6]	Unused	
	[5:0]	U	U、ビット [9:4]

表 108. ロック検出器 - プロファイル 2

アドレス	ビット	ビット名	説明
0x06A9	[7:0]	Phase lock threshold (units determined by Register 0x0680[7])	フェーズ・ロック閾値、ビット [7:0]
0x06AA	[7:0]		フェーズ・ロック閾値、ビット [15:8]
0x06AB	[7:0]	Phase lock fill rate	フェーズ・ロック・フィル・レート、ビット [7:0]
0x06AC	[7:0]	Phase lock drain rate	フェーズ・ロック・ドレイン・レート、ビット [7:0]
0x06AD	[7:0]	Frequency lock thresh-old (in picoseconds)	周波数ロック閾値、ビット [7:0]
0x06AE	[7:0]		周波数ロック閾値、ビット [15:8]
0x06AF	[7:0]		周波数ロック閾値、ビット [23:16]
0x06B0	[7:0]	Frequency lock fill rate	周波数ロック・フィル・レート、ビット [7:0]
0x06B1	[7:0]	Frequency lock drain rate	周波数ロック・ドレイン・レート、ビット [7:0]

レジスタ 0x06B2～レジスタ 0x07FF - プロファイル 3

表 109. 優先度 - プロファイル 3

アドレス	ビット	ビット名	説明
0x06B2	[7]	Phase lock scale	フェーズ・ロック閾値単位のスケールリングを制御します。 0 = ピコ秒 1 = ナノ秒
	[6]	Unused	
	[5:3]	Promoted priority	プロファイル 3 に関連付けられたリファレンスのユーザ割り当て優先度レベル (0~7) で、そのリファレンスがアクティブ・リファレンスである間の値。変更優先度の数値は、選択優先度の数値以下でなければなりません。
	[2:0]	Selection priority	プロファイル 3 に関連付けられたリファレンスのユーザ割り当て優先度レベル (0~7) で、他のリファレンスに対するそのリファレンスの相対的順位を決定するもの。

表 110. リファレンス周期 - プロファイル 3

アドレス	ビット	ビット名	説明
0x06B3	[7:0]	Reference period (in femtoseconds)	公称リファレンス周期、ビット [7:0]
0x06B4	[7:0]		公称リファレンス周期、ビット [15:8]
0x06B5	[7:0]		公称リファレンス周期、ビット [23:16]
0x06B6	[7:0]		公称リファレンス周期、ビット [31:24]
0x06B7	[7:0]		公称リファレンス周期、ビット [39:32]
0x06B8	[7:0]		公称リファレンス周期、ビット [47:40]
0x06B9	[7:2]	Unused	
	[1:0]	Reference period	公称リファレンス周期、ビット [49:48]

表 111. 許容誤差 - プロファイル 3

アドレス	ビット	ビット名	説明
0x06BA	[7:0]	Inner tolerance	内側許容誤差、ビット [7:0]
0x06BB	[7:0]		内側許容誤差、ビット [15:8]
0x06BC	[7:4]	Unused	
	[3:0]	Inner tolerance	内側許容誤差、ビット [19:16]
0x06BD	[7:0]	Outer tolerance	外側許容誤差、ビット [7:0]
0x06BE	[7:0]		外側許容誤差、ビット [15:8]
0x06BF	[7:4]	Unused	
	[3:0]	Outer tolerance	外側許容誤差、ビット [19:16]

表 112. 検証タイマー - プロファイル 3

アドレス	ビット	ビット名	説明
0x06C0	[7:0]	Validation timer (in milliseconds)	検証タイマー、ビット [7:0]
0x06C1	[7:0]		検証タイマー、ビット [15:8]

表 113. 再検出タイマー - プロファイル 3

アドレス	ビット	ビット名	説明
0x06C2	[7:0]	Redetect timer (in milliseconds)	再検出タイマー、ビット [7:0]
0x06C3	[7:0]		再検出タイマー、ビット [15:8]

表 114. デジタル・ループ・フィルタ係数 - プロファイル 3¹

アドレス	ビット	ビット名	説明
0x06C4	[7:0]	Alpha-0 linear	アルファ 0 係数線形成分、ビット [7:0]
0x06C5	[7:0]		アルファ 0 係数線形成分、ビット [15:8]
0x06C6	[7:6]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット [1:0]
	[5:0]	Alpha-1 exponent	アルファ 1 係数指数成分、ビット [5:0]
0x06C7	[7:1]	Beta-0 linear	ベータ 0 係数線形成分、ビット [6:0]
	[0]	Alpha-2 exponent	アルファ 2 係数指数成分、ビット 2
0x06C8	[7:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [14:7]
0x06C9	[7]	Unused	
	[6:2]	Beta-1 exponent	ベータ 1 係数指数成分、ビット [4:0]
	[1:0]	Beta-0 linear	ベータ 0 係数線形成分、ビット [16:15]
0x06CA	[7:0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット [7:0]
0x06CB	[7:0]		ガンマ 0 係数線形成分、ビット [15:8]
0x06CC	[7:6]	Unused	
	[5:1]	Gamma-1 exponent	ガンマ 1 係数指数成分、ビット [4:0]
	[0]	Gamma-0 linear	ガンマ 0 係数線形成分、ビット 16
0x06CD	[7:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [7:0]
0x06CE	[7]	Delta-1 exponent	デルタ 1 係数指数成分、ビット 0
	[6:0]	Delta-0 linear	デルタ 0 係数線形成分、ビット [14:8]
0x06CF	[7:4]	Alpha-3 exponent	アルファ 3 係数指数成分、ビット [3:0]
	[3:0]	Delta-1 exponent	デルタ 1 係数指数成分、ビット [4:1]

¹ デジタル・ループ・フィルタ係数 (α 、 β 、 γ 、および δ) の一般化した形式は $x^{(2^y)}$ で、 x は係数の線形成分、 y は指数成分です。線形成分 (x) の値は小数で構成され、 $0 \leq x < 1$ です。指数成分 (y) は整数です。詳細については、デジタル・フィルタ係数の計算のセクションを参照してください。

表 115. R 分周器 - プロファイル 3¹

アドレス	ビット	ビット名	説明
0x06D0	[7:0]	R	R、ビット [7:0]
0x06D1	[7:0]		R、ビット [15:8]
0x06D2	[7:0]		R、ビット [23:16]
0x06D3	[7:6]	Unused	
	[5:0]	R	R、ビット [29:24]

¹ R 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。

表 116. S 分周器 - プロファイル 3¹

アドレス	ビット	ビット名	説明
0x06D4	[7:0]	S	S、ビット [7:0]
0x06D5	[7:0]		S、ビット [15:8]
0x06D6	[7:0]		S、ビット [23:16]
0x06D7	[7:6]	Unused	
	[5:0]	S	S、ビット [29:24]

¹ S 分周器レジスタに保存される値は、プログラム値よりも 1 大きい実際の分周比を与えます。更に、S の値は 7 以上でなければなりません。

表 117. フラクショナル帰還分周器 – プロファイル 3

アドレス	ビット	ビット名	説明
0x06D8	[7:0]	V	V、ビット [7:0]
0x06D9	[7:4]	U	U、ビット [3:0]
	[3:2]	Unused	
	[1:0]	V	V、ビット [9:8]
0x06DA	[7:6]	Unused	
	[5:0]	U	U、ビット [9:4]

表 118. ロック検出器 – プロファイル 3

アドレス	ビット	ビット名	説明
0x06DB	[7:0]	Phase lock threshold (units determined by Register 0x06B2[7])	フェーズ・ロック閾値、ビット [7:0]
0x06DC	[7:0]		フェーズ・ロック閾値、ビット [15:8]
0x06DD	[7:0]	Phase lock fill rate	フェーズ・ロック・フィル・レート、ビット [7:0]
0x06DE	[7:0]	Phase lock drain rate	フェーズ・ロック・ドレイン・レート、ビット [7:0]
0x06DF	[7:0]	Frequency lock thresh-old (in picoseconds)	周波数ロック閾値、ビット [7:0]
0x06E0	[7:0]		周波数ロック閾値、ビット [15:8]
0x06E1	[7:0]		周波数ロック閾値、ビット [23:16]
0x06E2	[7:0]	Frequency lock fill rate	周波数ロック・フィル・レート、ビット [7:0]
0x06E3	[7:0]	Frequency lock drain rate	周波数ロック・ドレイン・レート、ビット [7:0]
0x06E4 to 0x06FF	[7:0]	Unused	

レジスタ 0x0700～レジスタ 0x07FF – プロファイル 4～プロファイル 7

プロファイル 4 (レジスタ 0x0700～レジスタ 0x0731) は、プロファイル 0 (レジスタ 0x0600～レジスタ 0x0631) と同じです。
 プロファイル 5 (レジスタ 0x0732～レジスタ 0x077F) は、プロファイル 1 (レジスタ 0x0632～レジスタ 0x067F) と同じです。
 プロファイル 6 (レジスタ 0x0780～レジスタ 0x07B1) は、プロファイル 2 (レジスタ 0x0680～レジスタ 0x06B1) と同じです。
 プロファイル 7 (レジスタ 0x07B2～レジスタ 0x07FF) は、プロファイル 3 (レジスタ 0x06B2～レジスタ 0x06FF) と同じです。

動作制御 (レジスタ 0x0A00～レジスタ 0x0A10)

表 119. 一般的なパワーダウン

アドレス	ビット	ビット名	説明
0x0A00	[7]	Reset sans reg map	内部ハードウェアをリセットしますが、プログラムされたレジスタ値を保持します。 0 (デフォルト) = 通常動作。 1 = リセット。
	[6]	Unused	
	[5]	SYSClk power-down	SYSClk 入力と PLL をディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン
	[4]	Reference power-down	リファレンス・クロック入力をディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン
	[3]	TDC power-down	時間/デジタル・コンバータをディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン
	[2]	DAC power-down	DAC をディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン
	[1]	Dist power-down	クロック分配出力をディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン
	[0]	Full power-down	デバイス全体をディープ・スリープ・モードにします。 0 (デフォルト) = 通常動作。 1 = パワーダウン

表 120. ループ・モード

アドレス	ビット	ビット名	説明
0x0A01	[7]	Unused	
	[6]	User holdover	デバイスをホールドオーバー・モードにします。 0 (デフォルト) = 通常動作。 1 = デバイスをホールドオーバー・モードにします。 デバイスは、すべての入力リファレンスに異常が生じたかのように動作します。
	[5]	User free-run	デバイスをフリーラン・モードにします。 0 (デフォルト) = 通常動作。 1 = デバイスをフリーラン・モードにします。 フリーランニング周波数チューニング・ワード・レジスタは、DDS 出力周波数を指定します。ユーザ・フリーラン・ビットをセットすると、このビットがユーザ・ホールドオーバー・ビットをオーバーライドします。
	[4:3]	User selection mode	リファレンス・スイッチング・ステート・マシンの動作モードを選択します。 00 (デフォルト) = 自動モード。完全自動式の優先度ベース・アルゴリズムが、アクティブ・リファレンスを選択します (ビット [2:0] は無視されます)。 01 = フォールバック・モード。アクティブ・リファレンスが有効である限りは、そのアクティブ・リファレンスがユーザ・リファレンスとなります (ビット [2:0])。有効でない場合は、完全自動の優先度ベース・アルゴリズムを使ってアクティブ・リファレンスを選択してください。 10 = ホールドオーバー・モード。アクティブ・リファレンスが有効である限りは、そのアクティブ・リファレンスがユーザ・リファレンスとなります (ビット [2:0])。有効でない場合はホールドオーバー・モードに入ります。 11 = 手動モード。アクティブ・リファレンスが常にユーザ・リファレンスとなります (ビット [2:0])。手動モード使用時は、該当する手動リファレンス・プロファイル選択レジスタ (アドレス 0503 ~ アドレス 0506) を使い、ユーザ・リファレンスとして宣言されたリファレンス (ビット [2:0]) をリファレンス・プロファイル手動割り当て用にプログラムしてください。
	[2:0]	User reference selection	ユーザ選択モード = 01、10、または 11 のときの入力リファレンス。 000 (デフォルト) = 入力リファレンス A 001 = 入力リファレンス AA 010 (デフォルト) = 入力リファレンス B 011 = 入力リファレンス BB 100 = 入力リファレンス C 101 = 入力リファレンス CC 110 = 入力リファレンス D 111 = 入力リファレンス DD

表 121. Cal/Sync

アドレス	ビット	ビット名	説明
0x0A02	[7:2]	Unused	
	[1]	Sync distribution	このビットをセットすると (デフォルト = 0)、クロック分配出力の同期が開始されます。このビットが 1 の場合、クロック分配出力は動作を停止します。同期は、このビットが 1 から 0 へ遷移するときに行われます。
	[0]	Calibrate system clock	このビットが 0 から 1 へ遷移して (デフォルト = 0)、その後 IO_UPDATE が続くと、SYSCLK PLL の内部キャリブレーションが開始されます (SYSCLK PLL がイネーブルされている場合)。キャリブレーション・ルーチンは、正しい VCO 周波数帯と信号振幅を自動的に選択します。キャリブレーション手順中は内部システム・クロックが停止して、デバイスはキャリブレーションが完了するまで (数ミリ秒間) デイスエーブルされます。SYSCLK PLL の再キャリブレーションを行いたい場合で、このビットが既に 1 にセットされている場合は、最初にこのビットに 0 を書き込んで IO_UPDATE を発行し、このビットに改めて 1 を書き込んでからもう一度 IO_UPDATE を発行する必要があります。

レジスタ 0x0A03 – ReserFunc

表 122. リセット機能¹

アドレス	ビット	ビット名	説明
0x0A03	[7]	Unused	
	[6]	Clear LF	このビットをセットすると（デフォルト=0）、デジタル・ループ・フィルタがクリアされます（デバッグ・ツールとしての使用を想定）。
	[5]	Clear CCI	このビットをセットすると（デフォルト=0）、CCI フィルタがクリアされます（デバッグ・ツールとしての使用を想定）。
	[4]	Clear phase accumulator	このビットをセットすると（デフォルト=0）、DDS 位相アキュムレータがクリアされます（非推奨操作）。
	[3]	Reset auto sync	このビットをセットすると（デフォルト=0）、自動同期ロジックがリセットされます（レジスタ 0x0403 を参照）。
	[2]	Reset TW history	このビットをセットすると（デフォルト=0）、チューニング・ワード履歴ロジックがクリアされます（ホールドオーバー機能の一部）。
	[1]	Reset all IRQs	このビットをセットすると（デフォルト=0）、IRQ モニタ・レジスタ全体（レジスタ 0x0D02～レジスタ 0x0D09）がクリアされます。これは、IRQ クリアリング・レジスタ（レジスタ 0x0A04～レジスタ 0x0A0B）のすべてのビットをセットするのと同じ働きをします。
	[0]	Reset watchdog	このビットをセットすると（デフォルト=0）、ウォッチドッグ・タイマーがリセットされます（レジスタ 0x0211～レジスタ 0x0212）。タイマーがタイムアウトした場合は、新しいタイミング・サイクルが開始されます。タイマーがまだタイムアウトしていない場合は、タイムアウト・イベントなしでゼロから計時を再開します。タイムアウト時間よりも短い時間でウォッチドッグ・タイマーを連続してリセットすると、タイムアウト・イベントは生成されません。

¹ このレジスタ内のすべてのビットは自動クリアされます。

レジスタ 0x0A04～レジスタ 0x0A0B – IRQ クリアリング

IRQ クリアリング・レジスタは、IRQ モニタ・レジスタ（アドレス 0x0D02～アドレス 0x0D09）と同じフォーマットです。IRQ クリアリング・ビットをロジック 1 に設定すると、対応する IRQ モニタ・ビットがリセットされ、それによって指定イベントの割込み要求がキャンセルされます。IRQ クリアリング・レジスタは、自動クリアリング・レジスタです。

表 123. SYSCLK の IRQ クリア

アドレス	ビット	ビット名	説明
0x0A04	[7:6]	Unused	
	[5]	SYSCLK unlocked	SYSCLK アンロック IRQ をクリア
	[4]	SYSCLK locked	SYSCLK ロック IRQ をクリア
	[3:2]	Unused	
	[1]	SYSCLK Cal complete	SYSCLK キャリブレーション完了 IRQ をクリア
	[0]	SYSCLK Cal started	SYSCLK キャリブレーション開始 IRQ をクリア

表 124. 分配同期、ウォッチドッグ・タイマー、および EEPROM の IRQ クリア

アドレス	ビット	ビット名	説明
0x0A05	[7:4]	Unused	
	[3]	Distribution sync	分配同期 IRQ をクリア
	[2]	Watchdog timer	ウォッチドッグ・タイマー IRQ をクリア
	[1]	EEPROM fault	EEPROM 動作異常 IRQ をクリア
	[0]	EEPROM complete	EEPROM 動作完了 IRQ をクリア

表 125. デジタル PLL の IRQ クリア

アドレス	ビット	ビット名	説明
0x0A06	[7]	Switching	スイッチング IRQ をクリア
	[6]	Closed	クローズ IRQ をクリア
	[5]	Free-run	フリーラン IRQ をクリア
	[4]	Holdover	ホールドオーバー IRQ をクリア
	[3]	Freq unlocked	周波数アンロック IRQ をクリア
	[2]	Freq locked	周波数ロック IRQ をクリア
	[1]	Phase unlocked	フェーズ・アンロック IRQ をクリア
	[0]	Phase locked	フェーズ・ロック IRQ をクリア

表 126. 履歴更新、周波数制限、および位相スルー制限の IRQ クリア

アドレス	ビット	ビット名	説明
0x0A07	[7:5]	Unused	
	[4]	History updated	履歴更新 IRQ をクリア
	[3]	Frequency unclamped	周波数アンクランプ IRQ をクリア
	[2]	Frequency clamped	周波数クランプ IRQ をクリア
	[1]	Phase slew unlimited	位相スルー非制限 IRQ をクリア
	[0]	Phase slew limited	位相スルー制限 IRQ をクリア

表 127. リファレンス入力の IRQ クリア

アドレス	ビット	ビット名	説明
0x0A08	[7]	Ref AA new profile	Ref AA の新プロファイル IRQ をクリア
	[6]	Ref AA validated	Ref AA の検証済み IRQ をクリア
	[5]	Ref AA fault cleared	Ref AA の異常解消 IRQ をクリア
	[4]	Ref AA fault	Ref AA の異常 IRQ をクリア
	[3]	Ref A new profile	Ref A の新プロファイル IRQ をクリア
	[2]	Ref A validated	Ref A の検証済み IRQ をクリア
	[1]	Ref A fault cleared	Ref A の異常解消 IRQ をクリア
	[0]	Ref A fault	Ref A の異常 IRQ をクリア
0x0A09	[7]	Ref BB new profile	Ref BB の新プロファイル IRQ をクリア
	[6]	Ref BB validated	Ref BB の検証済み IRQ をクリア
	[5]	Ref BB fault cleared	Ref BB の異常解消 IRQ をクリア
	[4]	Ref BB fault	Ref BB の異常 IRQ をクリア
	[3]	Ref B new profile	Ref B の新プロファイル IRQ をクリア
	[2]	Ref B validated	Ref B の検証済み IRQ をクリア
	[1]	Ref B fault cleared	Ref B の異常解消 IRQ をクリア
	[0]	Ref B fault	Ref B の異常 IRQ をクリア
0x0A0A	[7]	Ref CC new profile	Ref CC の新プロファイル IRQ をクリア
	[6]	Ref CC validated	Ref CC の検証済み IRQ をクリア
	[5]	Ref CC fault cleared	Ref CC の異常解消 IRQ をクリア
	[4]	Ref CC fault	Ref CC の異常 IRQ をクリア
	[3]	Ref C new profile	Ref C の新プロファイル IRQ をクリア
	[2]	Ref C validated	Ref C の検証済み IRQ をクリア
	[1]	Ref C fault cleared	Ref C の異常解消 IRQ をクリア
	[0]	Ref C fault	Ref C の異常 IRQ をクリア
0x0A0B	[7]	Ref DD new profile	Ref DD の新プロファイル IRQ をクリア
	[6]	Ref DD validated	Ref DD の検証済み IRQ をクリア
	[5]	Ref DD fault cleared	Ref DD の異常解消 IRQ をクリア
	[4]	Ref DD fault	Ref DD の異常 IRQ をクリア
	[3]	Ref D new profile	Ref D の新プロファイル IRQ をクリア
	[2]	Ref D validated	Ref D の検証済み IRQ をクリア
	[1]	Ref D fault cleared	Ref D の異常解消 IRQ をクリア
	[0]	Ref D fault	Ref D の異常 IRQ をクリア

表 128. インクリメンタル位相オフセット制御

アドレス	ビット	ビット名	説明
0x0A0C	[7:3]	Unused	
	[2]	Reset phase offset	インクリメンタル位相オフセットを 0 にリセットします。 これは自動クリア・ビットです。
	[1]	Decr phase offset	インクリメンタル位相オフセットを、インクリメンタル位相ロック・オフセット・ステップ・サイズ・レジスタ（レジスタ 0x0314～レジスタ 0x0315）で指定された量だけデクリメントします。 これは自動クリア・ビットです。
	[0]	Incr phase offset	インクリメンタル位相オフセットを、インクリメンタル位相ロック・オフセット・ステップ・サイズ・レジスタ（レジスタ 0x0314～レジスタ 0x0315）に指定された量だけインクリメントします。 これは自動クリア・ビットです。

表 129. リファレンス・プロファイル選択ステート・マシンのスタートアップ¹

アドレス	ビット	ビット名	説明
0x0A0D	[7]	Detect DD	このビットをセットすると、入力リファレンス DD のプロファイル選択ステート・マシンが起動します。
	[6]	Detect D	このビットをセットすると、入力リファレンス D のプロファイル選択ステート・マシンが起動します。
	[5]	Detect CC	このビットをセットすると、入力リファレンス CC のプロファイル選択ステート・マシンが起動します。
	[4]	Detect C	このビットをセットすると、入力リファレンス C のプロファイル選択ステート・マシンが起動します。
	[3]	Detect BB	このビットをセットすると、入力リファレンス BB のプロファイル選択ステート・マシンが起動します。
	[2]	Detect B	このビットをセットすると、入力リファレンス B のプロファイル選択ステート・マシンが起動します。
	[1]	Detect AA	このビットをセットすると、入力リファレンス AA のプロファイル選択ステート・マシンが起動します。
	[0]	Detect A	このビットをセットすると、入力リファレンス A のプロファイル選択ステート・マシンが起動します。

¹このレジスタ内のすべてのビットは自動クリアされます。

表 130. リファレンス検証オーバーライド制御¹

アドレス	ビット	ビット名	説明
0x0A0E	[7]	Force Timeout DD	このビットをセットすると、リファレンス DD の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[6]	Force Timeout D	このビットをセットすると、リファレンス D の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[5]	Force Timeout CC	このビットをセットすると、リファレンス CC の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[4]	Force Timeout C	このビットをセットすると、リファレンス C の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[3]	Force Timeout BB	このビットをセットすると、リファレンス BB の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[2]	Force Timeout B	このビットをセットすると、リファレンス B の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[1]	Force Timeout AA	このビットをセットすると、リファレンス AA の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。
	[0]	Force Timeout A	このビットをセットすると、リファレンス A の検証タイマーのタイムアウトがエミュレートされます。 これは自動クリア・ビットです。

アドレス	ビット	ビット名	説明
0x0A0F	[7]	Ref Mon Override DD	リファレンス DD 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[6]	Ref Mon Override D	リファレンス D 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[5]	Ref Mon Override CC	リファレンス CC 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[4]	Ref Mon Override C	リファレンス C 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[3]	Ref Mon Override BB	リファレンス BB 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[2]	Ref Mon Override B	リファレンス B 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[1]	Ref Mon Override AA	リファレンス AA 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
	[0]	Ref Mon Override A	リファレンス A 用リファレンス・モニタの REF 異常信号をオーバーライドします (デフォルトは 0 で、オーバーライドされません)。
0x0A10	[7]	Ref Mon Bypass DD	リファレンス DD 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[6]	Ref Mon Bypass D	リファレンス D 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[5]	Ref Mon Bypass CC	リファレンス CC 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[4]	Ref Mon Bypass C	リファレンス C 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[3]	Ref Mon Bypass BB	リファレンス BB 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[2]	Ref Mon Bypass B	リファレンス B 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[1]	Ref Mon Bypass AA	リファレンス AA 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。
	[0]	Ref Mon Bypass A	リファレンス A 用リファレンス・モニタをバイパスします (デフォルトは 0 で、バイパスされません)。

¹ 詳細については、図 36 を参照してください。

クロック部品シリアル ID (レジスタ 0x0C00~レジスタ 0x0C07)

ユーザ・プログラマブル EEPROM ID レジスタ。

表 131. ユーザ定義 ID レジスタ

アドレス	ビット	ビット名	説明
0x0C00	[7:0]	User scratch pad[7:0]	ユーザ・プログラマブル EEPROM ID レジスタ。これらのレジスタには、ユーザの選択を固有コードにして書き込み、EEPROM のレジスタ・ローディングのリビジョンを記録することができます。このレジスタはデバイスの動作には影響しません。これらのレジスタを使用するには、デフォルトの EEPROM 保存シーケンスを変更する必要があります。クロック部品 ID を含めた EEPROM のプログラムのセクションを参照してください。 0 = デフォルト。
0x0C01	[7:0]	User scratch pad[15:8]	
0x0C02	[7:0]	User scratch pad[23:16]	
0x0C03	[7:0]	User scratch pad[31:24]	
0x0C04	[7:0]	User scratch pad[39:32]	
0x0C05	[7:0]	User scratch pad[47:40]	
0x0C06	[7:0]	User scratch pad[55:48]	
0x0C07	[7:0]	User scratch pad[63:56]	

ステータス・リードバック (レジスタ 0x0D00~レジスタ 0x0D19)

レジスタ 0x0D00~レジスタ 0x0D19 のすべてのビットは読み出し専用です。レジスタ 0x0D00 とレジスタ 0x0D01 には、最新のステータスを反映するために IO_UPDATE (レジスタ 0x0005 = 0x01) が必要です。

表 132. EEPROM ステータス

アドレス	ビット	ビット名	説明
0x0D00	[7:3]	Unused	
	[2]	Fault detected	EEPROM へのデータ保存中、または EEPROM からのデータ・ロード中にエラーが発生しました。
	[1]	Load in progress	制御ロジックは、EEPROM からのデータ読み出し時にこのビットをセットします。
	[0]	Save in progress	制御ロジックは、EEPROM へのデータ書き込み時にこのビットをセットします。

表 133. SYSCLK ステータス

アドレス	ビット	ビット名	説明
0x0D01	[7:5]	Unused	
	[4]	Stable	制御ロジックは、システム・クロックが安定したとデバイスが判断した時点で、このロジックをセットします（システム・クロック安定性タイマーのセクションを参照）。
	[3:2]	Unused	
	[1]	Cal in progress	制御ロジックは、システム・クロック・キャリブレーションの進行中、このビットを保持します。
	[0]	Lock detected	システム・クロック PLL のステータスを示します。 0 = アンロック 1 = ロック (PLL がディスエーブル)

レジスタ 0x0D02～レジスタ 0x0D09 – IRQ モニタ

IRQ マスク・レジスタ（アドレス 0x0209～アドレス 0x0210）でマスクされていない場合は、指定イベントの発生時に該当する IRQ モニタ・ビットをロジック 1 にセットします。これらのビットは、IRQ クリアリング・レジスタ（レジスタ 0x0A04～アドレス 0x0A0B）、全 IRQ リセット・ビット（レジスタ 0x0A03、ビット 1）、またはデバイス・リセットを介してのみクリア可能です。

表 134. SYSCLK の IRQ モニタ

アドレス	ビット	ビット名	説明
0x0D02	[7:6]	Unused	
	[5]	SYSCLK unlocked	ロック・ステートからアンロック・ステートへの SYSCLK PLL ステート遷移を示します。
	[4]	SYSCLK locked	アンロック・ステートからロック・ステートへの SYSCLK PLL ステート遷移を示します。
	[3:2]	Unused	
	[1]	SYSCLK Cal complete	SYSCLK のキャリブレーションが完了したことを示します。
	[0]	SYSCLK Cal started	SYSCLK のキャリブレーションが開始されたことを示します。

表 135. 分配同期、ウォッチドッグ・タイマー、および EEPROM の IRQ モニタ

アドレス	ビット	ビット名	説明
0x0D03	[7:4]	Unused	
	[3]	Distribution sync	分配同期イベントを示します。
	[2]	Watchdog timer	ウォッチドッグ・タイマーの終了を示します。
	[1]	EEPROM fault	EEPROM のロードまたは保存時の異常を示します。
	[0]	EEPROM complete	EEPROM のロードまたは保存の正常終了を示します。

表 136. デジタル PLL の IRQ モニタ

アドレス	ビット	ビット名	説明
0x0D04	[7]	Switching	DPLL が新しいリファレンスへスイッチングすることを示します。
	[6]	Closed	DPLL がクローズループ動作に入ったことを示します。
	[5]	Free-run	DPLL がフリーラン・モードに入ったことを示します。
	[4]	Holdover	DPLL がホールドオーバー・モードに入ったことを示します。
	[3]	Freq unlocked	DPLL が周波数ロックを失ったことを示します。
	[2]	Freq locked	DPLL が周波数ロックを確立したことを示します。
	[1]	Phase unlocked	DPLL がフェーズ・ロックを失ったことを示します。
	[0]	Phase locked	DPLL がフェーズ・ロックを確立したことを示します。

表 137. 履歴更新、周波数制限、および位相スルー制限の IRQ モニタ

アドレス	ビット	ビット名	説明
0x0D05	[7:5]	Unused	
	[4]	History updated	チューニング・ワード履歴が更新されたことを示します。
	[3]	Freq unclamped	周波数リミッタが、クランプ・ステートからアンクランプ・ステートに遷移したことを示します。
	[2]	Freq clamped	周波数リミッタが、アンクランプ・ステートからクランプ・ステートに遷移したことを示します。
	[1]	Phase slew unlimited	位相スルー・リミッタが、スルー制限ステートからスルー非制限ステートに遷移したことを示します。
	[0]	Phase slew limited	位相スルー・リミッタが、スルー非制限ステートからスルー制限ステートに遷移したことを示します。

表 138. リファレンス入力の IRQ モニタ

アドレス	ビット	ビット名	説明
0x0D06	[7]	Ref AA new profile	Ref AA が新しいプロファイルにスイッチしたことを示します。
	[6]	Ref AA validated	Ref AA の検証が完了したことを示します。
	[5]	Ref AA fault cleared	Ref AA に発生した異常がクリアされたことを示します。
	[4]	Ref AA fault	Ref AA に異常が発生したことを示します。
	[3]	Ref A new profile	Ref A が新しいプロファイルにスイッチしたことを示します。
	[2]	Ref A validated	Ref A の検証が完了したことを示します。
	[1]	Ref A fault cleared	Ref A に発生した異常がクリアされたことを示します。
	[0]	Ref A fault	Ref A に異常が発生したことを示します。
0x0D07	[7]	Ref BB new profile	Ref BB が新しいプロファイルにスイッチしたことを示します。
	[6]	Ref BB validated	Ref BB の検証が完了したことを示します。
	[5]	Ref BB fault cleared	Ref BB に発生した異常がクリアされたことを示します。
	[4]	Ref BB fault	Ref BB に異常が発生したことを示します。
	[3]	Ref B new profile	Ref B が新しいプロファイルにスイッチしたことを示します。
	[2]	Ref B validated	Ref B の検証が完了したことを示します。
	[1]	Ref B fault cleared	Ref B に発生した異常がクリアされたことを示します。
	[0]	Ref B fault	Ref B に異常が発生したことを示します。
0x0D08	[7]	Ref CC new profile	Ref CC が新しいプロファイルにスイッチしたことを示します。
	[6]	Ref CC validated	Ref CC の検証が完了したことを示します。
	[5]	Ref CC fault cleared	Ref CC に発生した異常がクリアされたことを示します。
	[4]	Ref CC fault	Ref CC に異常が発生したことを示します。
	[3]	Ref C new profile	Ref C が新しいプロファイルにスイッチしたことを示します。
	[2]	Ref C validated	Ref C の検証が完了したことを示します。
	[1]	Ref C fault cleared	Ref C に発生した異常がクリアされたことを示します。
	[0]	Ref C fault	Ref C に異常が発生したことを示します。
0x0D09	[7]	Ref DD new profile	Ref DD が新しいプロファイルにスイッチしたことを示します。
	[6]	Ref DD validated	Ref DD の検証が完了したことを示します。
	[5]	Ref DD fault cleared	Ref DD に発生した異常がクリアされたことを示します。
	[4]	Ref DD fault	Ref DD に異常が発生したことを示します。
	[3]	Ref D new profile	Ref D が新しいプロファイルにスイッチしたことを示します。
	[2]	Ref D validated	Ref D の検証が完了したことを示します。
	[1]	Ref D fault cleared	Ref D に発生した異常がクリアされたことを示します。
	[0]	Ref D fault	Ref D に異常が発生したことを示します。

表 139. DPLL ステータス

アドレス	ビット	ビット名	説明
0x0D0A	[7]	Offset slew limiting	現在のクローズドループ位相オフセットは、レートが制限されています。
	[6]	Phase build-out	現在アクティブなリファレンスに対して位相ビルドアウト遷移が行われました。
	[5]	Freq lock	DPLL が周波数ロックを確立しました。
	[4]	Phase lock	DPLL がフェーズ・ロックを確立しました。
	[3]	Loop switching	DPLL はリファレンス・スイッチオーバーを処理中です。
	[2]	Holdover	DPLL はホールドオーバー・モードです。
	[1]	Active	DPLL はアクティブです (つまりクローズドループ状態で動作中)。
	[0]	Free running	DPLL はフリーランニング状態です (つまりオープンドループ状態で動作中)。

アドレス	ビット	ビット名	説明
0x0D0B	[7]	Frequency clamped	上限または下限周波数チューニング・ワード・クランプが有効です。
	[6]	History available	ホールドオーバー動作に十分なだけのチューニング・ワード履歴があります。
	[5:3]	Active reference priority	現在アクティブなリファレンスの優先度値。 000 = 最も高い優先度。 111 = 最も低い優先度。
	[2:0]	Active reference	現在アクティブなリファレンスのインデックス。 000 = 入力リファレンス A 001 = 入力リファレンス AA 010 = 入力リファレンス B 011 = 入力リファレンス BB 100 = 入力リファレンス C 101 = 入力リファレンス CC 110 = 入力リファレンス D 111 = 入力リファレンス DD

表 140. 入力リファレンス・ステータス

アドレス	ビット	ビット名	説明
0x0D0C	[7]	Profile selected	制御ロジックは、8個のプロファイルのどれかに Ref A を割り当てると、このビットをセットします。
	[6:4]	Selected profile	Ref A に割り当てられたプロファイルのインデックス (0~7)。 ビット 7=1 の場合を除き、これらのビットは意味を持ちません。
	[3]	Valid	Ref A は有効で、使用可能です (異常がなく検証タイマーは終了しています)。
	[2]	Fault	Ref A は有効でなく、使用できません。
	[1]	Fast	ビット 7=1 の場合、このビットは、REF A の周波数とそのプロファイル設定による許容値より高いことを示します。 ビット 7=0 の場合、このビットは、REF A の周波数がデバイスのサポートする最大入力リファレンス周波数値を超えていることを示します。
	[0]	Slow	ビット 7=1 の場合、このビットは、REF A の周波数とそのプロファイル設定による許容値より低いことを示します。 ビット 7=0 の場合、このビットは、REF A の周波数がデバイスのサポートする最小入力リファレンス周波数値より低いことを示します。
0x0D0D	[7:0]		0D0C と同じですが、REF A ではなく REF AA 用です。
0x0D0E	[7:0]		0D0C と同じですが、REF A ではなく REF B 用です。
0x0D0F	[7:0]		0D0C と同じですが、REF A ではなく REF BB 用です。
0x0D10	[7:0]		0D0C と同じですが、REF A ではなく REF C 用です。
0x0D11	[7:0]		0D0C と同じですが、REF A ではなく REF CC 用です。
0x0D12	[7:0]		0D0C と同じですが、REF A ではなく REF D 用です。
0x0D13	[7:0]		0D0C と同じですが、REF A ではなく REF DD 用です。

表 141. ホールドオーバー履歴¹

アドレス	ビット	ビット名	説明
0x0D14	[7:0]	Holdover history	チューニング・ワード・リードバック、ビット [7:0]
0x0D15	[7:0]		チューニング・ワード・リードバック、ビット [15:8]
0x0D16	[7:0]		チューニング・ワード・リードバック、ビット [23:9]
0x0D17	[7:0]		チューニング・ワード・リードバック、ビット [31:24]
0x0D18	[7:0]		チューニング・ワード・リードバック、ビット [39:32]
0x0D19	[7:0]		チューニング・ワード・リードバック、ビット [47:40]

¹ これらのレジスタには、チューニング・ワード履歴ロジックにより生成された、現在の 48 ビット DDS 周波数チューニング・ワードが格納されます。

不揮発メモリ (EEPROM) 制御 (レジスタ 0x0E00~レジスタ 0x0E03)

表 142. EEPROM 制御

アドレス	ビット	ビット名	説明
0x0E00	[7:2]	Unused	
	[1]	Half rate mode	EEPROM シリアル通信レート。 0 (デフォルト) = 400kHz (通常) 1 = 200kHz
	[0]	Write enable	EEPROM 書込みイネーブル/保護 0 (デフォルト) = EEPROM 書込み保護 1 = EEPROM 書込みイネーブル
0x0E01	[7:5]	Unused	
	[4:0]	Condition value	ゼロ以外の値に設定すると (デフォルト=0)、これらのビットは EEPROM ダウンロードのための条件を設定します。
0x0E02	[7:1]	Unused	
	[0]	Save to EEPROM	EEPROM 保存シーケンスに基づいて、EEPROM にデータをアップロードします。これは自動クリア・ビットです。EEPROM との間の保存/ロード転送が完了したら、次の EEPROM 保存/ロード転送を開始するまで少なくとも 10 μ s 待ってください。
0x0E03	[7:2]	Unused	
	[1]	Load from EEPROM	EEPROM からデータをダウンロードします。これは自動クリア・ビットです。EEPROM との間の保存/ロード転送が完了したら、次の EEPROM 保存/ロード転送を開始するまで少なくとも 10 μ s 待ってください。
	[0]	Unused	

EEPROM 保存シーケンス (レジスタ 0x0E10~0x0E3F)

レジスタ 0x0E10~レジスタ 0x0E33 のデフォルト設定は、スクラッチ・パッド命令シーケンスのサンプルを形成します。EEPROM 保存シーケンスの実行命令がコントローラに送出されたという前提の下に、レジスタのデフォルト値を以下に説明します。

表 143. システム・クロック設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E10	[7:0]	System clock	このレジスタのデフォルト値は 0x08 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 8 で、これは、次の 2 バイトで指定されるアドレスから始まる 9 バイト (8+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x08 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E11	[7:0]	System clock	これら 2 つのレジスタのデフォルト値は 0x0100 です。レジスタ 0x0E11 とレジスタ 0x0E12 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0100) を決定します。コントローラは EEPROM に 0x0100 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 9 バイトの転送を行い (開始アドレスは 0x0100)、EEPROM アドレス・ポイントを 10 (9 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 9 バイトは、レジスタ・マップ内のシステム・クロック・パラメータに対応しています。
0x0E12	[7:0]		
0x0E13	[7:0]	I/O update	このレジスタのデフォルト値は 0x80 で、コントローラはこれを I/O 更新命令として解釈します。コントローラは EEPROM に 0x80 を保存して、EEPROM アドレス・ポインタをインクリメントします。

表 144. システム・クロック・キャリブレーションのための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E14	[7:0]	SYSCLK calibrate	このレジスタのデフォルト値は 0xA0 で、コントローラはこれを補正 (キャリブレーション) 命令として解釈します。コントローラは EEPROM に 0xA0 を保存して、EEPROM アドレス・ポインタをインクリメントします。

表 145. 一般的な構成設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E15	[7:0]	General	このレジスタのデフォルト値は 0x14 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 20 で、これは、次の 2 バイトで指定されるアドレスから始まる 21 バイト (20+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x14 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E16	[7:0]	General	これら 2 つのレジスタのデフォルト値は 0x0200 です。レジスタ 0x0E16 とレジスタ 0x0E17 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0200) を決定します。コントローラは EEPROM に 0x0200 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 21 バイトの転送を行い (開始アドレスは 0x0200)、EEPROM アドレス・ポイントを 22 (21 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 21 バイトは、レジスタ・マップ内の一般設定パラメータに対応しています。
0x0E17	[7:0]		

表 146. DPLL 設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E18	[7:0]	DPLL	このレジスタのデフォルト値は 0x1B で、コントローラはこれをデータ命令として解釈します。その 10 進値は 27 で、これは、次の 2 バイトで指定されるアドレスから始まる 28 バイト (27+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x1B を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E19	[7:0]	DPLL	これら 2 つのレジスタのデフォルト値は 0x0300 です。レジスタ 0x0E19 とレジスタ 0x0E1A は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0300) を決定します。コントローラは EEPROM に 0x0300 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 28 バイトの転送を行い (開始アドレスは 0x0300)、EEPROM アドレス・ポイントを 29 (28 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 28 バイトは、レジスタ・マップ内の DPLL パラメータに対応しています。
0x0E1A	[7:0]		

表 147. クロック分配設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E1B	[7:0]	Clock distribution	このレジスタのデフォルト値は 0x19 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 25 で、これは、次の 2 バイトで指定されるアドレスから始まる 26 バイト (25+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x19 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E1C	[7:0]	Clock distribution	これら 2 つのレジスタのデフォルト値は 0x0400 です。レジスタ 0x0E1C とレジスタ 0x0E1D は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0400) を決定します。コントローラは EEPROM に 0x0400 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 26 バイトの転送を行い (開始アドレスは 0x0400)、EEPROM アドレス・ポイントを 27 (26 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 26 バイトは、レジスタ・マップ内のクロック分配パラメータに対応しています。
0x0E1D	[7:0]		
0x0E1E	[7:0]	I/O update	このレジスタのデフォルト値は 0x80 で、コントローラはこれを I/O 更新命令として解釈します。コントローラは EEPROM に 0x80 を保存して、EEPROM アドレス・ポインタをインクリメントします。

表 148. リファレンス入力設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E1F	[7:0]	Reference inputs	このレジスタのデフォルト値は 0x07 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 7 で、これは、次の 2 バイトで指定されるアドレスから始まる 8 バイト (7+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x07 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E20	[7:0]	Reference inputs	これら 2 つのレジスタのデフォルト値は 0x0500 です。レジスタ 0x0E20 とレジスタ 0x0E21 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0500) を決定します。コントローラは EEPROM に 0x0500 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 8 バイトの転送を行い (開始アドレスは 0x0500)、EEPROM アドレス・ポインタを 9 (8 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 8 バイトは、レジスタ・マップ内のリファレンス入力パラメータに対応しています。
0x0E21	[7:0]		

表 149. プロファイル 0 設定およびプロファイル 1 設定の EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E22	[7:0]	Profile 0 and Profile 1	このレジスタのデフォルト値は 0x63 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 99 で、これは、次の 2 バイトで指定されるアドレスから始まる 100 バイト (99+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x63 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E23	[7:0]	Profile 0 and Profile 1	これら 2 つのレジスタのデフォルト値は 0x0600 です。レジスタ 0x0E23 とレジスタ 0x0E24 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0600) を決定します。コントローラは EEPROM に 0x0600 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 100 バイトの転送を行い (開始アドレスは 0x0600)、EEPROM アドレス・ポインタを 101 (100 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 99 バイトは、レジスタ・マップ内のプロファイル 0 パラメータとプロファイル 1 パラメータに対応しています。
0x0E24	[7:0]		

表 150. プロファイル 2 設定およびプロファイル 3 設定の EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E25	[7:0]	Profile 2 and Profile 3	このレジスタのデフォルト値は 0x63 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 99 で、これは、次の 2 バイトで指定されるアドレスから始まる 100 バイト (99+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x63 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E26	[7:0]	Profile 2 and Profile 3	これら 2 つのレジスタのデフォルト値は 0x0680 です。レジスタ 0x0E26 とレジスタ 0x0E27 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0680) を決定します。コントローラは EEPROM に 0x0680 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 100 バイトの転送を行い (開始アドレスは 0x0680)、EEPROM アドレス・ポインタを 101 (100 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 99 バイトは、レジスタ・マップ内のプロファイル 2 パラメータとプロファイル 3 パラメータに対応しています。
0x0E27	[7:0]		

表 151. プロファイル 4 設定およびプロファイル 5 設定の EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E28	[7:0]	Profile 4 and Profile 5	このレジスタのデフォルト値は 0x63 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 99 で、これは、次の 2 バイトで指定されるアドレスから始まる 100 バイト (99+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x63 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E29 0x0E2A	[7:0] [7:0]	Profile 4 and Profile 5	これら 2 つのレジスタのデフォルト値は 0x0700 です。レジスタ 0x0E29 とレジスタ 0x0E2A は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0700) を決定します。コントローラは EEPROM に 0x0700 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 100 バイトの転送を行い (開始アドレスは 0x0700) 、EEPROM アドレス・ポイントを 101 (100 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 99 バイトは、レジスタ・マップ内のプロファイル 4 パラメータとプロファイル 5 パラメータに対応しています。

表 152. プロファイル 6 設定およびプロファイル 7 設定の EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E2B	[7:0]	Profile 6 and Profile 7	このレジスタのデフォルト値は 0x63 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 99 で、これは、次の 2 バイトで指定されるアドレスから始まる 100 バイト (99+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x63 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E2C 0x0E2D	[7:0] [7:0]	Profile 6 and Profile 7	これら 2 つのレジスタのデフォルト値は 0x0780 です。レジスタ 0x0E2C とレジスタ 0x0E2D は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0780) を決定します。コントローラは EEPROM に 0x0780 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 100 バイトの転送を行い (開始アドレスは 0x0780) 、EEPROM アドレス・ポイントを 101 (100 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 99 バイトは、レジスタ・マップ内のプロファイル 6 パラメータとプロファイル 7 パラメータに対応しています。
0x0E2E	[7:0]	I/O update	このレジスタのデフォルト値は 0x80 で、コントローラはこれを I/O 更新命令として解釈します。コントローラは EEPROM に 0x80 を保存して、EEPROM アドレス・ポインタをインクリメントします。

表 153. 動作制御設定のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E2F	[7:0]	Operational controls	このレジスタのデフォルト値は 0x10 で、コントローラはこれをデータ命令として解釈します。その 10 進値は 16 で、これは、次の 2 バイトで指定されるアドレスから始まる 17 バイト (16+1) のデータを転送するよう、コントローラに指示します。コントローラは EEPROM に 0x10 を保存して、EEPROM アドレス・ポインタをインクリメントします。
0x0E30 0x0E31	[7:0] [7:0]	Operational controls	これら 2 つのレジスタのデフォルト値は 0x0A00 です。レジスタ 0x0E30 とレジスタ 0x0E31 は、それぞれターゲット・アドレスの最上位バイトと最下位バイトです。前のレジスタにはデータ命令が格納されているので、これら 2 つのレジスタは開始アドレス (この場合は 0x0A00) を決定します。コントローラは EEPROM に 0x0A00 を保存して、EEPROM アドレス・ポインタを 2 インクリメントします。コントローラは更にレジスタ・マップから EEPROM に 17 バイトの転送を行い (開始アドレスは 0x0A00) 、EEPROM アドレス・ポイントを 18 (17 データ・バイトと 1 チェックサム・バイト) インクリメントします。転送される 17 バイトは、レジスタ・マップ内の動作制御パラメータに対応しています。
0x0E32	[7:0]	I/O update	このレジスタのデフォルト値は 0x80 で、コントローラはこれを I/O 更新命令として解釈します。コントローラは EEPROM に 0x80 を保存して、EEPROM アドレス・ポインタをインクリメントします。

表 154. データ終了のための EEPROM 保存シーケンス

アドレス	ビット	ビット名	説明
0x0E33	[7:0]	End of data	このレジスタのデフォルト値は 0xFF で、コントローラはこれを終了命令として解釈します。コントローラはこの命令を EEPROM に保存して EEPROM アドレス・ポインタをリセットし、アイドル・ステートに入ります。
0x0E34 to 0x0E3F		Continuation of user scratch pad area	デフォルト設定ではこの領域は使われず、追加的な EEPROM 保存シーケンス・コマンド用に使用できます。EEPROM 保存シーケンスは、常にデータ終了コマンドかポーズ・コマンドで終了する必要があります。

電源パーティション

AD9548は複数の電源を備えており、その消費電力はAD9548の構成によって異なります。このセクションでは、グループ化することのできる電源と、各ブロックの消費電力が周波数と共にどのように変化するかについて説明します。

ここに示す数値は、比較のために挙げたものです。正確な数値については仕様のセクションを参照してください。各グループにおいては、1 μ Fのバイパス・コンデンサを10 μ Fのコンデンサと並列に接続して使用する必要があります。

デバイスに電源を供給すると、内部回路が1.8Vのデジタル・コア電源と3.3Vのデジタル入出力電源をモニタします。これらの電源が必要な閾値レベルを超えると、デバイスは10 μ sの内部リセット・パルスを生成します。このパルスはRESETピンには現れません。

3.3V 電源

3.3V 電源領域は、デジタル (DVDD3) およびアナログ (AVDD3) 2つのメイン・パーティションで構成されます。これら2つの電源領域は、常に分離しておくように注意してください。

更に、AVDD3は、クロック分配出力領域 (ピン 31、ピン 37、ピン 38、およびピン 44) と、それ以外の AVDD3 電源接続の2つのサブ領域で構成されます。一般に、これらの電源領域は1つに結合することができます。しかし、アプリケーションがクロック分配出力ブロック内での1.8V CMOS ドライバ動作を必要とする場合は、1つの1.8V電源領域を使用して、クロック分配出力ブロックに電源を供給します。表 155 に示すように、各出力ドライバには専用の電源ピンがあります。

表 155. 出力ドライバ電源ピン

Output Driver	Supply Pin
OUT0	31
OUT1	37
OUT2	38
OUT3	44

1.8V 電源

1.8 V 電源領域は、デジタル (DVDD) およびアナログ (AVDD) の2つのメイン・パーティションで構成されます。これら2つの電源領域は、分離した状態に保つ必要があります。

熱性能

表 156. AD9548 88 ピン LFCSP パッケージの熱パラメータ

記号	JEDEC51-7 と JEDEC51-5 2S2P テスト・ボード使用時の熱特性 ¹	値 ²	単位
θ_{JA}	ジャンクションと周囲間の熱抵抗、JEDEC JESD51-2 による空気流 0.0m/s (自然空冷)	18	°C/W
θ_{JMA}	ジャンクションと周囲間の熱抵抗、JEDEC JESD51-6 による空気流 1.0m/s (強制空冷)	16	°C/W
θ_{JMA}	ジャンクションと周囲間の熱抵抗、JEDEC JESD51-6 による空気流 2.5 m/s (強制空冷)	14	°C/W
θ_{JB}	ジャンクションとボード間の熱抵抗、JEDEC JESD51-8 による空気流 1.0m/s (強制空冷)	9	°C/W
θ_{JC}	MIL-Std883 Method 1012.1 によるジャンクションとケース間の熱抵抗 (ダイとヒートシンク間)	1.0	°C/W
Ψ_{JT}	ジャンクションとパッケージ上面間の熱特性、JEDEC JESD51-2 による空気流 0 m/s (自然空冷)	0.1	°C/W

¹ 仕様規定された熱性能を実現するには、パッケージ底面にあるエクスポーズド・パッドをグラウンドにハンダ付けする必要があります。

² 結果はシミュレーションによるもので、PCB は JEDEC 多層タイプです。実際のアプリケーションにおける熱性能を求めるには、アプリケーションの条件を慎重に検討して、これらの計算における仮定と同様であるかどうかを判断する必要があります。

AD9548 はケース温度 (T_{CASE}) に対して仕様規定されています。確実に T_{CASE} を超えないようにするために、強制空冷を行うことができます。アプリケーションの PCB のジャンクション温度を求めるには、次式を使用します。

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

ここで、
 T_J はジャンクション温度 (°C)、
 T_{CASE} はパッケージ上面の中央でユーザが測定したケース温度 (°C)、
 Ψ_{JT} は表 156 に示す値、
 PD は消費電力です (消費電力のセクションを参照)。

θ_{JA} の値はパッケージの比較と PCB の設計検討のために示しています。 θ_{JA} は、次式により T_J の 1 次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度 (°C)。

θ_{JC} の値は、外付けヒート・シンクが必要な場合のパッケージの比較と PCB の設計考察のために提供しています。

θ_{JB} の値は、パッケージの比較と PCB の設計検討のために提供しています。

デジタル・フィルタ係数の計算

デジタル・ループ・フィルタ係数 (α 、 β 、 γ 、および δ 、図 42 参照) は、3 次ループ・フィルタの等価アナログ回路 (図 69 参照) に関連付けられた時定数 (T_1 、 T_2 、および T_3) に関係しています。AD9548 の評価用ソフトウェアには、ユーザのためにこれらの係数を計算するプロファイル・デザインが組み込まれています。通常、ユーザがこれらの式を使用する必要はありません。

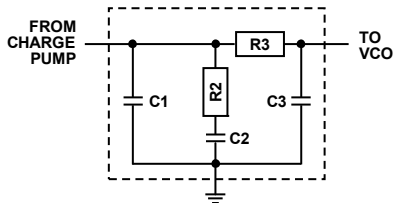


図 69. 3 次アナログ・ループ・フィルタ

デザイン・プロセスは、図 70 に示す 2 次ループ・フィルタに関係する 2 つの設計パラメータ、つまり必要なオープンループ帯域幅 (f_p) と位相マージン (θ) を決定することによって開始します。

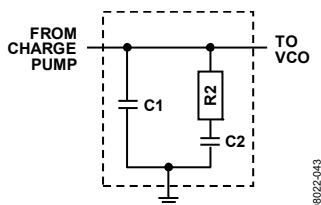


図 70. 2 次アナログ・ループ・フィルタ

2 次ループ・フィルタの分析を行うと、その 1 次時定数 T_1 が得られます。 T_1 は、次式のように f_p と θ について表すことができます。

$$T_1 = \frac{1 - \sin(\theta)}{\omega_p \cos(\theta)}$$

ここで、 $\omega_p = 2\pi f_p$ です。

更に 3 次ループ・フィルタの分析を行うと、もう 1 つの時定数 T_3 が定義されます。 T_3 は、 R_3 と C_3 によって導かれる必要な追加的減衰量を使って表すことができますが、この減衰は、PLL 出力周波数から一定の指定周波数 (f_{OFFSET}) だけオフセットされた位置で生じます。

$$T_3 = \frac{\sqrt{10^{\frac{\text{ATTEN}}{10}} - 1}}{\omega_{\text{OFFSET}}}$$

ここで、 $\omega_{\text{OFFSET}} = 2\pi f_{\text{OFFSET}}$ です。

ATTEN は必要な超過減衰量をデシベルで表した値です。

更に、ATTEN と ω_{OFFSET} は次の条件を満たせるように選ぶ必要があります。

$$T_3 \leq \frac{1}{5f_p}$$

これら T_1 と T_3 の式を使うと、 f_p をわずかに下回る調整オープンループ帯域幅 (f_c) を定義することができます。 ω_c (ラジアン周波数で示した f_c) は、次に示すように T_1 、 T_3 、および θ (位相マージン) について表すことができます。

$$\omega_c = \frac{(T_1 + T_3) \tan(\theta)}{T_1 T_3 + (T_1 + T_3)^2} \left[\sqrt{1 + \frac{T_1 T_3 + (T_1 + T_3)^2}{[(T_1 + T_3) \tan(\theta)]^2}} - 1 \right]$$

また、調整オープンループ帯域幅が分かれば、次式により T_2 (2 次ループ・フィルタの 2 次時定数) を求めることもできます。

$$T_2 = \frac{1}{\omega_c^2 (T_1 + T_3)}$$

デジタル・ループ・フィルタ係数の計算には、スケーリング定数 K (システム・クロック周波数 f_s に関係) と、PLL 帰還分周比 D が必要です。

$$K = \frac{30,517,578,125}{2^{33}} f_s$$

$$D = S + \frac{U}{V} + 1$$

ここで、 S 、 U 、 V は、プロファイル・レジスタに格納される整数および小数の帰還分周値です。必要な整数帰還分周比は、保存された値 S より 1 大きい値であるという点に留意してください (したがって、ここに示す D の式には +1 という項が含まれる)。これから、以下のようにデジタル・フィルタ係数を示す式が得られます。

$$\alpha = \frac{\omega_c^2 T_2 D}{T_1 K} \sqrt{\frac{(1 + (\omega_c T_1)^2)(1 + (\omega_c T_3)^2)}{1 + (\omega_c T_2)^2}}$$

$$\beta = \frac{-32}{f_s} \left(\frac{1}{T_1} - \frac{1}{T_2} \right)$$

$$\gamma = \frac{-32}{f_s T_1}$$

$$\delta = \frac{32}{f_s T_3}$$

係数レジスタ値の計算には、以下に示すようにいくつかの特殊な関数が必要です。

if () 関数

$$y = \text{if} (\text{test_statement}, \text{true_value}, \text{false_value})$$

ここで、*test_statement* は条件式 (例えば $x < 3$)、*true_value* は条件式が真の場合の y の値、*false_value* は条件式が偽の場合の y の値です。

round () 関数

$$y = \text{round} (x)$$

x が整数の場合は $y = x$ です。それ以外の場合、 y は最も近い整数 x に丸められます。例えば、 $\text{round}(2.1) = 2$ 、 $\text{round}(2.5) = 3$ 、 $\text{round}(-3.1) = -3$ です。

$\text{ceil}()$ 関数

$$y = \text{ceil}(x)$$

x が整数の場合は $y = x$ です。それ以外の場合、 y は数直線上の右側にある最も近い整数となります。例えば、 $\text{ceil}(2.8) = 3$ 、 $\text{ceil}(-2.8) = -2$ です。

$\text{min}()$ 関数

$$y = \text{min}(x_0, x_1, \dots, x_n)$$

ここで、 $x_0 \sim x_n$ は実数のリストであり、 y の値はリスト内の数値で、数直線上の最も左側にある値です。

$\text{max}()$ 関数

$$y = \text{max}(x_0, x_1, \dots, x_n)$$

ここで、 $x_0 \sim x_n$ は実数のリストであり、 y の値はリスト内の数値で、数直線上の最も右側にある値です。

$\log_2()$ 関数

$$\log_2(x) = \frac{\ln(x)}{\ln(2)}$$

ここで $\ln()$ は自然対数関数であり、 x は正のゼロ以外の数です。いま、 α 、 β 、 γ 、および δ の係数計算によって以下の結果が得られたものとします。

$$\alpha = 0.012735446$$

$$\beta = -6.98672 \times 10^{-5}$$

$$\gamma = -7.50373 \times 10^{-5}$$

$$\delta = 0.002015399$$

これらの値は浮動小数値であり、レジスタ・マップに出現した時点で、係数の線形成分と指数成分のビット幅に従って量子化する必要があります。以下の計算では、 β と γ のレジスタ・エントリの正の値を示している点に留意してください。その理由は、負の値になると予想される β と γ が、AD9548 のレジスタには正の値として保存されるからです。AD9548 は、その信号処理コア内でこれらの保存値を負の値に変換します。 α 、 β 、 γ 、および δ のレジスタ値の計算についての詳細は、 α レジスタ値の計算から δ レジスタ値の計算までのセクションに記載されています。

α レジスタ値の計算

量子化された α 係数は、次式に従い 4 つの成分 α_0 、 α_1 、 α_2 、および α_3 で構成されています。

$$\alpha \approx \alpha_{\text{quantized}} = \alpha_0 \times 2^{-16 - \alpha_1 + \alpha_2 + \alpha_3}$$

ここで、 α_0 、 α_1 、 α_2 、および α_3 はレジスタ値です。 α_2 はフロントエンド・ゲイン、 α_3 はバックエンド・ゲインで、 α_1 は小さい値の α に対応するために α_0 の 2 進小数点を左にシフトします。 α_1 の計算は、以下に示すように 2 段階で行います。

$$w = \text{if}(\alpha < 1, -\text{ceil}(\log(\alpha)), 0)$$

$$\alpha_1 = \text{if}(\alpha < 1, \text{min}[63, \text{max}(0, w)], 0)$$

ゲインが必要な場合は（つまり $\alpha > 1$ ）、そのほとんどあるいはすべてをフロントエンド・ゲイン（ α_2 ）に適用するのが望ましく、これは α_2 の計算が α_3 の前に行われることを示唆しています。 α_2 の計算は 3 ステップのプロセスで、これを基に直接 α_3 が計算されます。

$$x = \text{if}(\alpha > 1, \text{ceil}(\log(\alpha)), 0)$$

$$y = \text{if}(\alpha > 1, \text{min}[22, \text{max}(0, x)], 0)$$

$$\alpha_2 = \text{if}(y \geq 8, 7, y)$$

$$\alpha_3 = \text{if}(y \geq 8, y - 7, 0)$$

α_0 の計算は、以下に示すように 2 段階で行います。

$$z = \text{round}(\alpha \times 2^{16 + \alpha_1 - \alpha_2 - \alpha_3})$$

$$\alpha_0 = \text{min}[65, 535, \text{max}(1, z)]$$

例として $\alpha = 0.012735446$ という値を使用すると、次のような結果が得られます。

$$w = 6, \text{したがって } \alpha_1 = 6$$

$$x = 0 \text{ および } y = 0, \text{したがって } \alpha_2 = 0, \alpha_3 = 0$$

$$z = 53,416.332099584, \text{したがって } \alpha_0 = 53,416$$

これから次のような量子化値が得られますが、これは必要な値である 0.012735446 に非常に近い値です。

$$\alpha_{\text{quantized}} = 53416 \times 2^{-22} \approx 0.0127356682$$

β レジスタ値の計算

量子化された β 係数は、次式に従い 2 つの成分 β_0 と β_1 で構成されます。

$$-\beta \approx \beta_{\text{quantized}} = \beta_0 \times 2^{-(17 + \beta_1)}$$

ここで、 β_0 と β_1 はレジスタ値です。 β_1 の計算は 2 ステップのプロセスで、これを基に、やはり 2 ステップのプロセスである β_0 の計算が行われます。

$$x = -\text{ceil}(\log_2(|\beta|))$$

$$\beta_1 = \text{min}[31, \text{max}(0, x)]$$

$$y = \text{round}(|\beta| \times 2^{17 + \beta_1})$$

$$\beta_0 = \text{min}[131071, \text{max}(1, y)]$$

例として $-\beta = 6.98672 \times 10^{-5}$ という値を使用すると、次のような結果が得られます。

$$x = 13, \text{従って } \beta_1 = 13$$

$$y = 75,019.3347657728, \text{従って } \beta_0 = 75,019$$

これから次のような量子化値が得られますが、これは必要値である 6.98672×10^{-5} に非常に近い値です。

$$\beta_{\text{quantized}} = 75,019 \times 2^{-30} \approx 6.98668823 \times 10^{-5}$$

γ レジスタ値の計算

量子化された γ 係数は、次式に従い 2 つの成分 γ_0 と γ_1 で構成されます。

$$-\gamma \approx \gamma_{\text{quantized}} = \gamma_0 \times 2^{-(17+\gamma_1)}$$

ここで、 γ_0 と γ_1 はレジスタ値です。 γ_1 の計算は 2 ステップのプロセスで、これを基に、やはり 2 ステップのプロセスである γ_0 の計算が行われます。

$$x = -\text{ceil}(\log_2(|\gamma|))$$

$$\gamma_1 = \text{min}[31, \text{max}[0, x]]$$

$$y = \text{round}(|\gamma| \times 2^{17+\gamma_1})$$

$$\gamma_0 = \text{min}[131071, \text{max}[1, y]]$$

例として $-\gamma = 7.50373 \times 10^{-5}$ という値を使用すると、次のような結果が得られます。

$$x = 13、従って \gamma_1 = 13$$

$$y = 80,570.6873700352、従って \gamma_0 = 80,571$$

これから次のような量子化値が得られますが、これは必要値である 7.50373×10^{-5} に非常に近い値です。

$$\gamma_{\text{quantized}} = 80571 \times 2^{-30} \approx 7.503759116 \times 10^{-5}$$

 δ レジスタ値の計算

量子化された δ 係数は、次式に従い 2 つの成分 δ_0 と δ_1 で構成されます。

$$\delta \approx \delta_{\text{quantized}} = \delta_0 \times 2^{-(15+\delta_1)}$$

ここで、 δ_0 と δ_1 はレジスタ値です。

δ_1 の計算は 2 ステップのプロセスで、これに基づき、やはり 2 ステップのプロセスである δ_0 の計算が行われます。

$$x = -\text{ceil}(\log_2(\delta))$$

$$\delta_1 = \text{min}[31, \text{max}[0, x]]$$

$$y = \text{round}(\delta \times 2^{15+\delta_1})$$

$$\delta_0 = \text{min}[32767, \text{max}[1, y]]$$

例として $\delta = 0.002015399$ という値を使用すると、次のような結果が得られます。

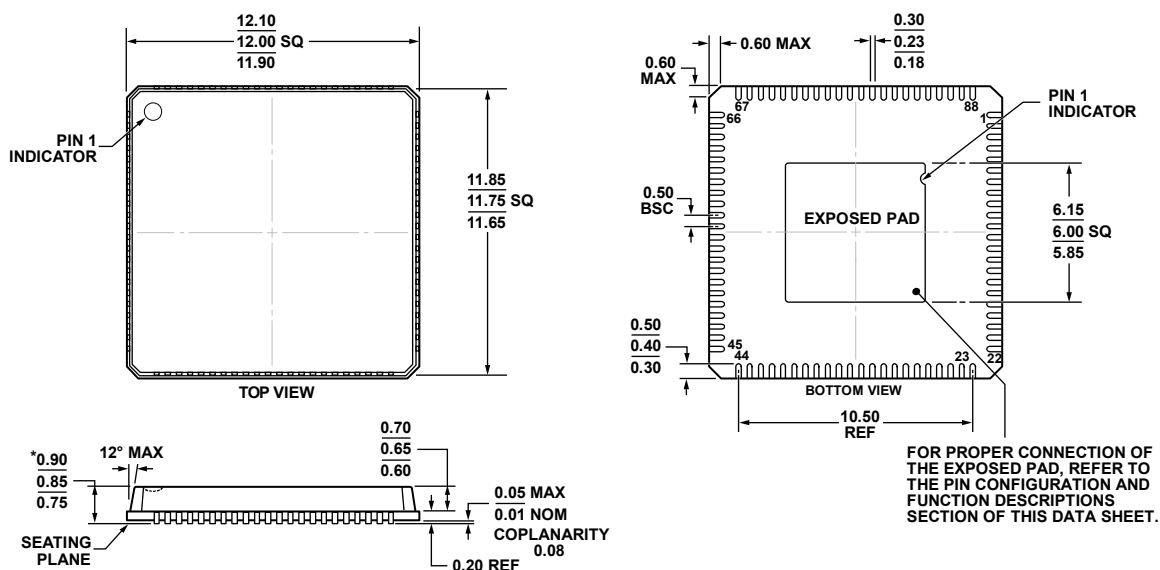
$$x = 8、従って \delta_1 = 8$$

$$y = 16,906.392174592、従って \delta_0 = 16,906$$

これから次のような量子化値が得られますが、これは必要な値である 0.002015399 に非常に近い値です。

$$\delta_{\text{quantized}} = 16906 \times 2^{-23} \approx 0.002015352249$$

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VRRD EXCEPT FOR MINIMUM THICKNESS AND LEAD COUNT.

図 71. 88 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
 12mm × 12mm ボディ、極薄クワッド
 (CP-88-2)
 寸法単位：mm

07-02-2012-B

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9548BCPZ	-40°C to +85°C	88-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-88-2
AD9548BCPZ-REEL7	-40°C to +85°C	88-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-88-2
AD9548/PCBZ	-40°C to +85°C	Evaluation Board	CP-88-2

¹ Z = RoHS 準拠製品