

### 特長

- 低位相ノイズの位相ロック・ループ
  - 2.55~2.95GHzで同調するVCOを内蔵
  - 最大2.4GHzの外付けVCO/VCXO (オプション)
  - 1ペアの差動あるいは2本のシングルエンドのリファレンス入力
  - リファレンス・モニタリング機能
  - 自動および手動のリファレンス切替え/ホールドオーバー・モード
  - ホールドオーバーからの自動復帰
  - 250MHzまでのリファレンスに対応
  - PFDDまでの経路のプログラマブル遅延
  - デジタルまたはアナログのロック検出が選択可能
- 3ペアの1.6GHz LVPECL出力
  - 粗位相遅延付きの1~32分周器を各ペアで共用
  - 出力でのジッタ増加: 225f<sub>s</sub> rms
  - ペア出力のチャンネル間スキュー: <10ps
- 2ペアの800MHz LVDSクロック出力
  - 粗位相遅延付きのカスケード接続された2個の1~32分周器を各ペアで共用
  - 出力でのジッタ増加: 275f<sub>s</sub> rms
  - 各LVDS出力に遅延微調整(ΔT)を内蔵
- 8本の250MHz CMOS出力 (各LVDS出力に2本)
  - パワーアップ時に全出力が自動同期
  - 必要に応じて手動の出力同期が可能
  - シリアル・コントロール・ポート
- 64ピンLFCSPパッケージを採用

機能ブロック図

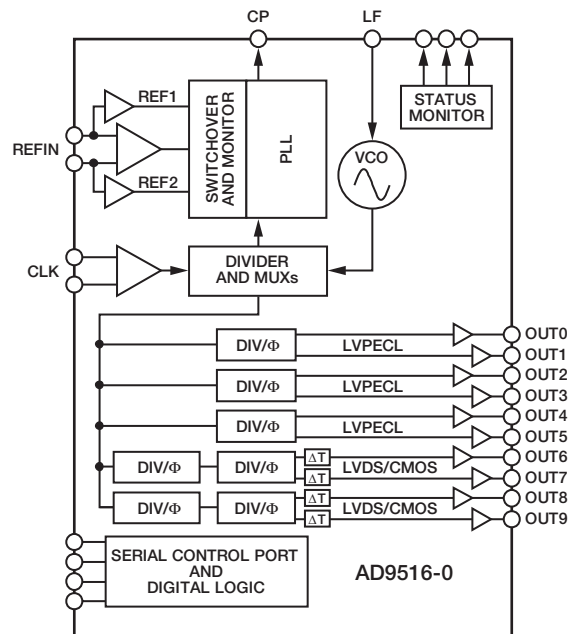


図1

### アプリケーション

- 低ジッタ低位相ノイズのクロック分配
- 高速ADC、DAC、DDS、DDC、DUC、MxFEのクロック駆動
- 高性能ワイヤレス・トランシーバ
- 高性能計測機器
- ブロードバンドのインフラストラクチャ
- ATE

### 概要

AD9516-0<sup>1</sup>はPLLとVCOを内蔵し、1ピコ秒未満のジッタ性能を持つマルチ出力のクロック分配機能を提供します。オンチップVCOの同調レンジは2.55~2.95GHzです。オプションで、最大2.4GHzの外付けVCO/VCXOも使用できます。

AD9516-0は特にジッタと位相ノイズを小さくすることで、データ・コンバータの最高性能を実現します。位相ノイズとジッタに厳しいその他のアプリケーションにも適しています。

AD9516-0は、6本のLVPECL出力 (3ペア)、4本のLVDS出力 (2ペア)、8本のCMOS出力 (各LVDS出力に2本) を持っています。LVPECL出力は最大1.6GHzで、LVDS出力は最大800MHzで、CMOS出力は最大250MHzで、それぞれ動作します。

各出力ペアには、分周比と粗遅延 (すなわち位相) を設定できる分周器が備わっています。LVPECL出力の分周範囲は1~32です。LVDS/CMOS出力では、最大1024までの分周が可能です。

AD9516-0は64ピンのLFCSPパッケージを採用し、3.3Vの単電源で動作します。チャージ・ポンプ電源 (VCP) を5.5Vに接続することで、電圧範囲の拡張が必要なVCOを外付けできます。別に使用するLVPECL電源は2.375~3.6Vが可能です。

AD9516-0の仕様は、-40~+85℃の工業用温度範囲で動作が規定されています。

<sup>1</sup> 本データシートでは、「AD9516」の表記はAD9516ファミリーの全製品を表します。これに対し、「AD9516-0」の表記はAD9516ファミリーの特定の製品を表します。

## 目次

特長	1	クロックの分配	41
アプリケーション	1	内部VCOまたは外部CLKのクロック源	41
概要	1	LVPECL出力へのCLKまたはVCOの直接接続	41
機能ブロック図	1	クロック周波数の分周	42
改訂履歴	3	VCO分周器	42
仕様	4	チャンネル分周器—LVPECL出力	42
電源条件	4	チャンネル分周器—LVDS/CMOS出力	44
PLL特性	4	出力の同期—SYNC機能	47
クロック入力	6	クロック出力	49
クロック出力	6	LVPECL出力：OUT0～OUT5	49
タイミング特性	7	LVDS/CMOS出力：OUT6～OUT9	50
クロック出力での位相ノイズ増加（分配の場合、VCO分周器を使用しない場合）	8	リセット・モード	50
クロック出力の絶対位相ノイズ（内部VCOを使用）	9	パワーオン・リセット—V <sub>S</sub> を加えたときの	
クロック出力の絶対時間ジッタ（内部VCOを使用してクロックを発生）	10	スタートアップ状態	50
クロック出力の絶対時間ジッタ（内部VCOを使用してクロックをクリーンアップ）	10	RESETピンによる非同期リセット	50
クロック出力の絶対時間ジッタ（外部VCXOを使用してクロックを発生）	10	0x00<5>によるソフト・リセット	50
クロック出力の時間ジッタ増加（VCO分周器を使用しない場合）	11	パワーダウン・モード	50
クロック出力の時間ジッタ増加（VCO分周器を使用）	11	PDによるチップのパワーダウン	50
遅延ブロックの時間ジッタ増加	12	PLLのパワーダウン	51
シリアル・コントロール・ポート	12	分配部のパワーダウン	51
PD、SYNC、RESETピン	13	クロック出力の個別のパワーダウン	51
LD、STATUS、REFMONピン	13	回路ブロックの個別のパワーダウン	51
消費電力	14	シリアル・コントロール・ポート	52
タイミング図	15	シリアル・コントロール・ポート・ピンの説明	52
絶対最大定格	16	シリアル・コントロール・ポートの一般的な動作	52
熱抵抗	16	通信サイクル—命令およびデータ	52
ESDに関する注意	16	書込み	52
ピン配置とピン機能の説明	17	読出し	53
代表的な性能特性	19	命令ワード（16ビット）	53
用語の説明	25	MSB/LSBファーストの転送	53
詳細ブロック図	26	レジスタ・マップの概要	56
動作原理	27	レジスタ・マップの説明	60
動作設定	27	アプリケーションのヒント	79
高周波数クロック分配—1600MHzを超えるCLKまたは外部VCO	27	AD9516の出力をADCクロック・アプリケーションで使用する方法	79
内部VCOとクロック分配	29	LVPECLクロック分配	79
1600MHz未満のクロック分配または外部VCO	31	LVDSクロック分配	79
位相ロック・ループ（PLL）	33	CMOSクロック分配	80
PLLの設定	33	外形寸法	81
位相周波数検出器（PFD）	33	オーダー・ガイド	81
チャージ・ポンプ（CP）	34		
オンチップVCO	34		
PLLの外部ループ・フィルタ	34		
PLLのリファレンス入力	34		
リファレンス切替え	35		
リファレンス分周器R	35		
VCXO/VCOの帰還N分周器：P、A、B、R	35		
デジタル・ロック検出（DLD）	37		
アナログ・ロック検出（ALD）	37		
電流源のデジタル・ロック検出（DLD）	37		
外部VCXO/VCOクロック入力（CLK/CLK）	37		
ホールドオーバー	38		
手動ホールドオーバー・モード	38		
自動／内部ホールドオーバー・モード	38		
周波数ステータス・モニタ	39		
VCOのキャリブレーション	40		

目次（続き）

---

改訂履歴

4/07—Revision 0: Initial Version

# AD9516-0

## 仕様

特に指定のない限り、代表値 (typ) は  $V_S = V_{S\_LVPECL} = 3.3V \pm 5\%$ 、 $V_S \leq V_{CP} \leq 5.25V$ 、 $T_A = 25^\circ C$ 、 $R_{SET} = 4.12k\Omega$ 、 $CP_{RSET} = 5.1k\Omega$  のときの値です。最小値 (min) と最大値 (max) は、 $V_S$  と  $T_A$  ( $-40 \sim +85^\circ C$ ) の最大変動に対する値です。

## 電源条件

表1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$V_S$	3.135	3.3	3.465	V	This is $3.3V \pm 5\%$
$V_{S\_LVPECL}$	2.375		$V_S$	V	This is nominally 2.5 V to $3.3V \pm 5\%$
$V_{CP}$	$V_S$		5.25	V	This is nominally 3.3 V to $5.0V \pm 5\%$
RSET Pin Resistor		4.12		k $\Omega$	Sets internal biasing currents; connect to ground
CPRSET Pin Resistor		5.1		k $\Omega$	Sets internal CP current range, nominally 4.8 mA ( $CP\_I_{sb} = 600 \mu A$ ); actual current can be calculated by: $CP\_I_{sb} = 3.06/CPRSET$ ; connect to ground
BYPASS Pin Capacitor		220		nF	Bypass for internal LDO regulator; necessary for LDO stability; connect to ground

## PLL特性

表2

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>VCO (ON-CHIP)</b>					
Frequency Range	2550		2950	MHz	See Figure 15
VCO Gain ( $K_{VCO}$ )		50		MHz/V	See Figure 10
Tuning Voltage ( $V_T$ )	0.5		$V_{CP} - 0.5$	V	$V_{CP} \leq V_S$ when using internal VCO; outside of this range, the CP spurs may increase due to CP up/ down mismatch
Frequency Pushing (Open-Loop)		1		MHz/V	
Phase Noise @ 100 kHz Offset		-105		dBc/Hz	$f = 2800$ MHz
Phase Noise @ 1 MHz Offset		-123		dBc/Hz	$f = 2800$ MHz
<b>REFERENCE INPUTS</b>					
Differential Mode ( $\overline{REFIN}$ , $\overline{REFIN}$ )					
Input Frequency	0		250	MHz	Differential mode (can accommodate single-ended input by ac grounding undriven input) Frequencies below about 1 MHz should be dc-coupled; be careful to match $V_{CM}$ (self-bias voltage)
Input Sensitivity		250		mV p-p	PLL figure of merit will increase with increasing slew rate; see Figure 14
Self-Bias Voltage, $\overline{REFIN}$	1.35	1.60	1.75	V	Self-bias voltage of $\overline{REFIN}$ <sup>1</sup>
Self-Bias Voltage, $\overline{REFIN}$	1.30	1.50	1.60	V	Self-bias voltage of $\overline{REFIN}$ <sup>1</sup>
Input Resistance, $\overline{REFIN}$	4.0	4.8	5.9	k $\Omega$	Self-biased <sup>1</sup>
Input Resistance, $\overline{REFIN}$	4.4	5.3	6.4	k $\Omega$	Self-biased <sup>1</sup>
Dual Single-Ended Mode ( $\overline{REF1}$ , $\overline{REF2}$ )					
Input Frequency (AC-Coupled)	20		250	MHz	Slew rate > 50 V/ $\mu$ s
Input Frequency (DC-Coupled)	0		250	MHz	Slew rate > 50 V/ $\mu$ s; CMOS levels
Input Sensitivity (AC-Coupled)		0.8		V p-p	Should not exceed $V_S$ p-p
Input Logic High	2.0			V	
Input Logic Low			0.8	V	
Input Current	-100		+100	$\mu$ A	
Input Capacitance		2		pF	Each pin, $\overline{REFIN}/\overline{REFIN}$ ( $\overline{REF1}/\overline{REF2}$ )

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>PHASE/FREQUENCY DETECTOR (PFD)</b>					
PFD Input Frequency			100	MHz	Antibacklash pulse width = 1.3 ns, 2.9 ns
			45	MHz	Antibacklash pulse width = 6.0 ns
Antibacklash Pulse Width		1.3		ns	0x17<1:0> = 01b
		2.9		ns	0x17<1:0> = 00b; 0x17<1:0> = 11b
		6.0		ns	0x17<1:0> = 10b
<b>CHARGE PUMP (CP)</b>					
I <sub>CP</sub> Sink/Source					Programmable
High Value		4.8		mA	With CP <sub>RSET</sub> = 5.1 kΩ
Low Value		0.60		mA	
Absolute Accuracy		2.5		%	CP <sub>V</sub> = V <sub>CP</sub> /2
CP <sub>RSET</sub> Range		2.7/10		kΩ	
I <sub>CP</sub> High Impedance Mode Leakage		1		nA	
Sink-and-Source Current Matching		2		%	0.5 < CP <sub>V</sub> < V <sub>CP</sub> - 0.5 V
I <sub>CP</sub> vs. CP <sub>V</sub>		1.5		%	0.5 < CP <sub>V</sub> < V <sub>CP</sub> - 0.5 V
I <sub>CP</sub> vs. Temperature		2		%	CP <sub>V</sub> = V <sub>CP</sub> /2 V
<b>PRESCALER (PART OF N DIVIDER)</b>					
Prescaler Input Frequency					
P = 1 FD			300	MHz	
P = 2 FD			600	MHz	
P = 3 FD			900	MHz	
P = 2 DM (2/3)			600	MHz	
P = 4 DM (4/5)			1000	MHz	
P = 8 DM (8/9)			2400	MHz	
P = 16 DM (16/17)			3000	MHz	
P = 32 DM (32/33)			3000	MHz	
Prescaler Output Frequency			300	MHz	A, B counter input frequency (prescaler input frequency divided by P)
<b>PLL DIVIDER DELAYS</b>					
000		Off		ps	Register 0x19: R <5:3>, N <2:0>; see Table 53
001		330		ps	
010		440		ps	
011		550		ps	
100		660		ps	
101		770		ps	
110		880		ps	
111		990		ps	
<b>NOISE CHARACTERISTICS</b>					
In-Band Phase Noise of the Charge Pump/Phase Frequency Detector (In-Band Means Within the LBW of the PLL)					The PLL in-band phase noise floor is estimated by measuring the in-band phase noise at the output of the VCO and subtracting 20log(N) (where N is the value of the N divider)
@ 500 kHz PFD Frequency		-165		dBc/Hz	
@ 1 MHz PFD Frequency		-162		dBc/Hz	
@ 10 MHz PFD Frequency		-151		dBc/Hz	
@ 50 MHz PFD Frequency		-143		dBc/Hz	
PLL Figure of Merit (FOM)		-220		dBc/Hz	Reference slew rate > 0.25 V/ns. FOM +10log(f <sub>PFD</sub> ) is an approximation of the PFD/CP in-band phase noise (in the flat region) inside the PLL loop bandwidth. When running closed loop, the phase noise, as observed at the VCO output, is increased by 20log(N)

# AD9516-0

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PLL DIGITAL LOCK DETECT WINDOW <sup>2</sup>					Signal available at LD, STATUS, and REFMON pins when selected by appropriate register settings
Required to Lock (Coincidence of Edges)					Selected by 0x17<1:0> and 0x18<4>
Low Range (ABP 1.3 ns, 2.9 ns)		3.5		ns	0x17<1:0> = 00b, 01b, 11b; 0x18<4> = 1b
High Range (ABP 1.3 ns, 2.9 ns)		7.5		ns	0x17<1:0> = 00b, 01b, 11b; 0x18<4> = 0b
High Range (ABP 6 ns)		3.5		ns	0x17<1:0> = 10b; 0x18<4> = 0b
To Unlock After Lock (Hysteresis) <sup>2</sup>					
Low Range (ABP 1.3 ns, 2.9 ns)		7		ns	0x17<1:0> = 00b, 01b, 11b; 0x18<4> = 1b
High Range (ABP 1.3 ns, 2.9 ns)		15		ns	0x17<1:0> = 00b, 01b, 11b; 0x18<4> = 0b
High Range (ABP 6 ns)		11		ns	0x17<1:0> = 10b; 0x18<4> = 0b

<sup>1</sup> オープン入力状態でのチャタリングを防ぐために、REFINとREFINのセルフバイアス・ポイントはわずかにずれています。

<sup>2</sup> デジタル・ロック検出を確実に動作させるためには、PFD周波数の継続時間をロック後のアンロック時間よりも長くする必要があります。

## クロック入力

表3

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLOCK INPUTS (CLK, $\overline{\text{CLK}}$ )					Differential input
Input Frequency	0 <sup>1</sup>		2.4	GHz	High frequency distribution (VCO divider)
	0 <sup>1</sup>		1.6	GHz	Distribution only (VCO divider bypassed)
Input Sensitivity, Differential		150		mV p-p	Measured at 2.4 GHz. Jitter performance is improved with slew rates > 1 V/ns
Input Level, Differential			2	V p-p	Larger voltage swings may turn on the protection diodes and can degrade jitter performance
Input Common-Mode Voltage, $V_{\text{CM}}$	1.3	1.57	1.8	V	Self-biased; enables ac coupling
Input Common-Mode Range, $V_{\text{CMR}}$	1.3		1.8	V	With 200 mV p-p signal applied; dc-coupled
Input Sensitivity, Single-Ended		150		mV p-p	CLK ac-coupled; $\overline{\text{CLK}}$ ac-bypassed to RF ground
Input Resistance	3.9	4.7	5.7	k $\Omega$	Self-biased
Input Capacitance		2		pF	

<sup>1</sup> 約1MHzよりも低い場合は、入力をDC結合する必要があります。 $V_{\text{CM}}$ に一致するように注意してください。

## クロック出力

表4

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL CLOCK OUTPUTS					Termination = 50 $\Omega$ to $V_{\text{S}} - 2 \text{ V}$
OUT0, OUT1, OUT2, OUT3, OUT4, OUT5					Differential (OUT, $\overline{\text{OUT}}$ )
Output Frequency, Maximum	2950			MHz	Using direct to output; see Figure 25
Output High Voltage ( $V_{\text{OH}}$ )	$V_{\text{S}} - 1.12$	$V_{\text{S}} - 0.98$	$V_{\text{S}} - 0.84$	V	
Output Low Voltage ( $V_{\text{OL}}$ )	$V_{\text{S}} - 2.03$	$V_{\text{S}} - 1.77$	$V_{\text{S}} - 1.49$	V	
Output Differential Voltage ( $V_{\text{OD}}$ )	550	790	980	mV	
LVDS CLOCK OUTPUTS					Differential termination 100 $\Omega$ @ 3.5 mA
OUT6, OUT7, OUT8, OUT9					Differential (OUT, $\overline{\text{OUT}}$ )
Output Frequency			800	MHz	See Figure 26
Differential Output Voltage ( $V_{\text{OD}}$ )	247	360	454	mV	
Delta $V_{\text{OD}}$			25	mV	
Output Offset Voltage ( $V_{\text{OS}}$ )	1.125	1.24	1.375	V	
Delta $V_{\text{OS}}$			25	mV	
Short-Circuit Current ( $I_{\text{SA}}, I_{\text{SB}}$ )		14	24	mA	Output shorted to GND

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CMOS CLOCK OUTPUTS					
OUT6A, OUT6B, OUT7A, OUT7B, OUT8A, OUT8B, OUT9A, OUT9B					Single-ended; termination = 10 pF
Output Frequency			250	MHz	see Figure 27
Output Voltage High ( $V_{OH}$ )	$V_S - 0.1$			V	@ 1 mA load
Output Voltage Low ( $V_{OL}$ )			0.1	V	@ 1 mA load

## タイミング特性

表5

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL					Termination = 50 $\Omega$ to $V_S - 2$ V; level = 810 mV
Output Rise Time, $t_{RP}$		70	180	ps	20% to 80%, measured differentially
Output Fall Time, $t_{FP}$		70	180	ps	80% to 20%, measured differentially
PROPAGATION DELAY, $t_{PECL}$ , CLK-TO-LVPECL OUTPUT					
High Frequency Clock Distribution Configuration	835	995	1180	ps	See Figure 42
Clock Distribution Configuration	773	933	1090	ps	See Figure 44
Variation with Temperature		0.8		ps/ $^{\circ}$ C	
OUTPUT SKEW, LVPECL OUTPUTS <sup>1</sup>					
LVPECL Outputs That Share the Same Divider		5	15	ps	
LVPECL Outputs on Different Dividers		13	40	ps	
All LVPECL Outputs Across Multiple Parts			220	ps	
LVDS					Termination = 100 $\Omega$ differential; 3.5 mA
Output Rise Time, $t_{RL}$		170	350	ps	20% to 80%, measured differentially <sup>2</sup>
Output Fall Time, $t_{FL}$		160	350	ps	20% to 80%, measured differentially <sup>2</sup>
PROPAGATION DELAY, $t_{LVDS}$ , CLK-TO-LVDS OUTPUT					Delay off on all outputs
OUT6, OUT7, OUT8, OUT9					
For All Divide Values	1.4	1.8	2.1	ns	
Variation with Temperature		1.25		ps/ $^{\circ}$ C	
OUTPUT SKEW, LVDS OUTPUTS <sup>1</sup>					Delay off on all outputs
LVDS Outputs That Share the Same Divider		6	62	ps	
LVDS Outputs on Different Dividers		25	150	ps	
All LVDS Outputs Across Multiple Parts			430	ps	
CMOS					Termination = open
Output Rise Time, $t_{RC}$		495	1000	ps	20% to 80%; $C_{LOAD} = 10$ pF
Output Fall Time, $t_{FC}$		475	985	ps	80% to 20%; $C_{LOAD} = 10$ pF
PROPAGATION DELAY, $t_{CMOS}$ , CLK-TO-CMOS OUTPUT					Fine delay off
For All Divide Values	1.6	2.1	2.6	ns	
Variation with Temperature		2.6		ps/ $^{\circ}$ C	
OUTPUT SKEW, CMOS OUTPUTS <sup>1</sup>					Fine delay off
CMOS Outputs That Share the Same Divider		4	66	ps	
All CMOS Outputs on Different Dividers		28	180	ps	
All CMOS Outputs Across Multiple Parts			675	ps	
DELAY ADJUST <sup>3</sup>					LVDS and CMOS
Shortest Delay Range <sup>4</sup>					0xA1 (0xA4) (0xA7) (0xAA) <5:0> 101111b
Zero Scale	50	315	680	ps	0xA2 (0xA5) (0xA8) (0xAB) <5:0> 000000b
Full Scale	540	880	1180	ps	0xA2 (0xA5) (0xA8) (0xAB) <5:0> 101111b
Longest Delay Range <sup>4</sup>					0xA1 (0xA4) (0xA7) (0xAA) <5:0> 000000b
Zero Scale	200	570	950	ps	0xA2 (0xA5) (0xA8) (0xAB) <5:0> 000000b
Quarter Scale	1.72	2.31	2.89	ns	0xA2 (0xA5) (0xA8) (0xAB) <5:0> 001100b
Full Scale	5.7	8.0	10.1	ns	0xA2 (0xA5) (0xA8) (0xAB) <5:0> 101111b

# AD9516-0

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Delay Variation with Temperature					
Short Delay Range <sup>5</sup>					
Zero Scale		0.23		ps/°C	
Full Scale		-0.02		ps/°C	
Long Delay Range <sup>5</sup>					
Zero Scale		0.3		ps/°C	
Full Scale		0.24		ps/°C	

<sup>1</sup> 同じ電圧および温度で動作するときの2つの同様な遅延バス間の差です。

<sup>2</sup> 対応するCMOSドライバを非反転の場合はAに、反転の場合はBにそれぞれ設定します。

<sup>3</sup> 使用可能な最大遅延は、クロックの継続時間の1/2よりもわずかに短くなります。これより長いと、出力がディスエーブルされます。

<sup>4</sup> 遅延増分。伝播遅延は含まれません。

<sup>5</sup> ゼロスケールとフルスケールの間のすべての遅延は、リニア・インターポレーションにより概算できます。

## クロック出力での位相ノイズ増加（分配の場合、VCO分周器を使用しない場合）

表6

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK-TO-LVPECL ADDITIVE PHASE NOISE					
CLK = 1 GHz, OUTPUT = 1 GHz					
Divider = 1					
@ 10 Hz Offset		-109		dBc/Hz	Distribution section only; does not include PLL and VCO Input slew rate > 1 V/ns
@ 100 Hz Offset		-118		dBc/Hz	
@ 1 kHz Offset		-130		dBc/Hz	
@ 10 kHz Offset		-139		dBc/Hz	
@ 100 kHz Offset		-144		dBc/Hz	
@ 1 MHz Offset		-146		dBc/Hz	
@ 10 MHz Offset		-147		dBc/Hz	
@ 100 MHz Offset		-149		dBc/Hz	
CLK = 1 GHz, OUTPUT = 200 MHz					
Divider = 5					
@ 10 Hz Offset		-120		dBc/Hz	Input slew rate > 1 V/ns
@ 100 Hz Offset		-126		dBc/Hz	
@ 1 kHz Offset		-139		dBc/Hz	
@ 10 kHz Offset		-150		dBc/Hz	
@ 100 kHz Offset		-155		dBc/Hz	
@ 1 MHz Offset		-157		dBc/Hz	
>10 MHz Offset		-157		dBc/Hz	
CLK-TO-LVDS ADDITIVE PHASE NOISE					
CLK = 1.6 GHz, OUTPUT = 800 MHz					
Divider = 2					
@ 10 Hz Offset		-103		dBc/Hz	Distribution section only; does not include PLL and VCO Input slew rate > 1 V/ns
@ 100 Hz Offset		-110		dBc/Hz	
@ 1 kHz Offset		-120		dBc/Hz	
@ 10 kHz Offset		-127		dBc/Hz	
@ 100 kHz Offset		-133		dBc/Hz	
@ 1 MHz Offset		-138		dBc/Hz	
@ 10 MHz Offset		-147		dBc/Hz	
@ 100 MHz Offset		-149		dBc/Hz	



Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK = 1.6 GHz, OUTPUT = 400 MHz Divider = 4 @ 10 Hz Offset @ 100 Hz Offset @ 1 kHz Offset @ 10 kHz Offset @ 100 kHz Offset @ 1 MHz Offset >10 MHz Offset					Input slew rate > 1 V/ns
CLK-TO-CMOS ADDITIVE PHASE NOISE  CLK = 1 GHz, OUTPUT = 250 MHz Divider = 4 @ 10 Hz Offset @ 100 Hz Offset @ 1 kHz Offset @ 10 kHz Offset @ 100 kHz Offset @ 1 MHz Offset >10 MHz Offset  CLK = 1 GHz, OUTPUT = 50 MHz Divider = 20 @ 10 Hz Offset @ 100 Hz Offset @ 1 kHz Offset @ 10 kHz Offset @ 100 kHz Offset @ 1 MHz Offset >10 MHz Offset					Distribution section only; does not include PLL and VCO Input slew rate > 1 V/ns  Input slew rate > 1 V/ns

### クロック出力の絶対位相ノイズ（内部VCOを使用）

表7

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL ABSOLUTE PHASE NOISE VCO = 2.95 GHz; OUTPUT = 2.95 GHz @ 1 kHz Offset @ 10 kHz Offset @ 100 kHz Offset @ 1 MHz Offset @ 10 MHz Offset @ 40 MHz Offset VCO = 2.75 GHz; OUTPUT = 2.75 GHz @ 1 kHz Offset @ 10 kHz Offset @ 100 kHz Offset @ 1 MHz Offset @ 10 MHz Offset @ 40 MHz Offset					Internal VCO; direct to LVPECL output

# AD9516-0

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VCO = 2.55 GHz; OUTPUT = 2.55 GHz					
@ 1 kHz Offset		-51		dBc/Hz	
@ 10 kHz Offset		-80		dBc/Hz	
@ 100 kHz Offset		-106		dBc/Hz	
@ 1 MHz Offset		-125		dBc/Hz	
@ 10 MHz Offset		-142		dBc/Hz	
@ 40 MHz Offset		-146		dBc/Hz	

## クロック出力の絶対時間ジッタ（内部VCOを使用してクロックを発生）

表8

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup where the reference source is clean, so a wider PLL loop bandwidth is used; reference = 15.36 MHz; R = 1
VCO = 2.95 GHz; LVPECL = 491.52 MHz; PLL LBW = 75 kHz		148		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		342		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.95 GHz; LVPECL = 122.88 MHz; PLL LBW = 75 kHz		212		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		320		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.70 GHz; LVPECL = 122.88 MHz; PLL LBW = 187 kHz		184		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		304		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.70 GHz; LVPECL = 61.44 MHz; PLL LBW = 187 kHz		221		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		345		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.58 GHz; LVPECL = 61.44 MHz; PLL LBW = 75 kHz		210		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		334		$f_s$ rms	Integration BW = 12 kHz to 20 MHz

## クロック出力の絶対時間ジッタ（内部VCOを使用してクロックをクリーンアップ）

表9

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup where the reference source is jittery, so a narrower PLL loop bandwidth is used; reference = 19.44 MHz; R = 1
VCO = 2.80 GHz; LVPECL = 155.52 MHz; PLL LBW = 12.8 kHz		513		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.95 GHz; LVPECL = 77.76 MHz; PLL LBW = 12.8 kHz		544		$f_s$ rms	Integration BW = 12 kHz to 20 MHz

## クロック出力の絶対時間ジッタ（外部VCXOを使用してクロックを発生）

表10

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup using an external 245.76 MHz VCXO (Toyocom TCO-2112); reference = 15.36 MHz; R = 1
LVPECL = 245.76 MHz; PLL LBW = 125 Hz		54		$f_s$ rms	Integration BW = 200 kHz to 5 MHz
		77		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		109		$f_s$ rms	Integration BW = 12 kHz to 20 MHz
LVPECL = 122.88 MHz; PLL LBW = 125 Hz		79		$f_s$ rms	Integration BW = 200 kHz to 5 MHz
		114		$f_s$ rms	Integration BW = 200 kHz to 10 MHz
		163		$f_s$ rms	Integration BW = 12 kHz to 20 MHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL = 61.44 MHz; PLL LBW = 125 Hz		124		f <sub>s</sub> rms	Integration BW = 200 kHz to 5 MHz
		176		f <sub>s</sub> rms	Integration BW = 200 kHz to 10 MHz
		259		f <sub>s</sub> rms	Integration BW = 12 kHz to 20 MHz

### クロック出力の時間ジッタ増加 (VCO分周器を使用しない場合)

表11

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; rising edge of clock signal
CLK = 622.08 MHz; LVPECL = 622.08 MHz; Divider = 1		40		f <sub>s</sub> rms	BW = 12 kHz to 20 MHz
CLK = 622.08 MHz; LVPECL = 155.52 MHz; Divider = 4		80		f <sub>s</sub> rms	BW = 12 kHz to 20 MHz
CLK = 1.6 GHz; LVPECL = 100 MHz; Divider = 16		215		f <sub>s</sub> rms	Calculated from SNR of ADC method. DCC not used for even divides
CLK = 500 MHz; LVPECL = 100 MHz; Divider = 5		245		f <sub>s</sub> rms	Calculated from SNR of ADIC method. DCC on
LVDS OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; rising edge of clock signal
CLK = 1.6 GHz; LVDS = 800 MHz; Divider = 2; VCO Divider Not Used		85		f <sub>s</sub> rms	BW = 12 kHz to 20 MHz
CLK = 1 GHz; LVDS = 200 MHz; Divider = 5		113		f <sub>s</sub> rms	BW = 12 kHz to 20 MHz
CLK = 1.6 GHz; LVDS = 100 MHz; Divider = 16		280		f <sub>s</sub> rms	Calculated from SNR of ADC method. DCC not used for even divides
CMOS OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; rising edge of clock signal
CLK = 1.6 GHz; CMOS = 100 MHz; Divider = 16		365		f <sub>s</sub> rms	Calculated from SNR of ADC method. DCC not used for even divides

### クロック出力の時間ジッタ増加 (VCO分周器を使用)

表12

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; uses rising edge of clock signal
CLK = 2.4 GHz; VCO Div = 2; LVPECL = 100 MHz; Divider = 12; Duty-Cycle Correction = Off		210		f <sub>s</sub> rms	Calculated from SNR of ADC method
LVDS OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; Rising edge of clock signal
CLK = 2.4 GHz; VCO Div = 2; LVDS = 100 MHz; Divider = 12; Duty-Cycle Correction = Off		285		f <sub>s</sub> rms	Calculated from SNR of ADC method
CMOS OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; rising edge of clock signal
CLK = 2.4 GHz; VCO Div = 2; CMOS = 100 MHz; Divider = 12; Duty-Cycle Correction = Off		350		f <sub>s</sub> rms	Calculated from SNR of ADC method

# AD9516-0

## 遅延ブロックの時間ジッタ増加

表13

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DELAY BLOCK ADDITIVE TIME JITTER <sup>1</sup>					Incremental additive jitter
100 MHz Output					
Delay (1600 $\mu$ A, 1C) Fine Adj. 000000		0.54		ps rms	
Delay (1600 $\mu$ A, 1C) Fine Adj. 101111		0.60		ps rms	
Delay (800 $\mu$ A, 1C) Fine Adj. 000000		0.65		ps rms	
Delay (800 $\mu$ A, 1C) Fine Adj. 101111		0.85		ps rms	
Delay (800 $\mu$ A, 4C) Fine Adj. 000000		0.79		ps rms	
Delay (800 $\mu$ A, 4C) Fine Adj. 101111		1.2		ps rms	
Delay (400 $\mu$ A, 4C) Fine Adj. 000000		1.2		ps rms	
Delay (400 $\mu$ A, 4C) Fine Adj. 101111		2.0		ps rms	
Delay (200 $\mu$ A, 1C) Fine Adj. 000000		1.3		ps rms	
Delay (200 $\mu$ A, 1C) Fine Adj. 101111		2.5		ps rms	
Delay (200 $\mu$ A, 4C) Fine Adj. 000000		1.9		ps rms	
Delay (200 $\mu$ A, 4C) Fine Adj. 101111		3.8		ps rms	

<sup>1</sup> この値は増分であり、遅延なしのLVDS出力またはCMOS出力のジッタに追加されます。ジッタを計算するときは、LVDS出力またはCMOS出力ジッタを2乗和平方根 (RSS) によりこの値に加算してください。

## シリアル・コントロール・ポート

表14

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$\overline{\text{CS}}$ (INPUT)					$\overline{\text{CS}}$ has an internal 30 k $\Omega$ pull-up resistor
Input Logic 1 Voltage	2.0			V	
Input Logic 0 Voltage			0.8	V	
Input Logic 1 Current			3	$\mu$ A	
Input Logic 0 Current		110		$\mu$ A	
Input Capacitance		2		pF	
SCLK (INPUT)					SCLK has an internal 30 k $\Omega$ pull-down resistor
Input Logic 1 Voltage	2.0			V	
Input Logic 0 Voltage			0.8	V	
Input Logic 1 Current		110		$\mu$ A	
Input Logic 0 Current			1	$\mu$ A	
Input Capacitance		2		pF	
SDIO (WHEN INPUT)					
Input Logic 1 Voltage	2.0			V	
Input Logic 0 Voltage			0.8	V	
Input Logic 1 Current		10		nA	
Input Logic 0 Current		20		nA	
Input Capacitance		2		pF	
SDIO, SDO (OUTPUTS)					
Output Logic 1 Voltage	2.7			V	
Output Logic 0 Voltage			0.4	V	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>TIMING</b>					
Clock Rate (SCLK, $1/t_{SCLK}$ )			25	MHz	
Pulse Width High, $t_{HH}$	16			ns	
Pulse Width Low, $t_{LO}$	16			ns	
SDIO to SCLK Setup, $t_{DS}$	2			ns	
SCLK to SDIO Hold, $t_{DH}$	1.1			ns	
SCLK to Valid SDIO and SDO, $t_{DV}$			8	ns	
$\overline{CS}$ to SCLK Setup and Hold, $t_s, t_H$	2			ns	
$\overline{CS}$ Minimum Pulse Width High, $t_{PWH}$	3			ns	

## PD、SYNC、RESETピン

表15

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>INPUT CHARACTERISTICS</b>					
Logic 1 Voltage	2.0			V	These pins each have a 30 k $\Omega$ internal pull-up resistor
Logic 0 Voltage			0.8	V	
Logic 1 Current		110		$\mu$ A	
Logic 0 Current			1	$\mu$ A	
Capacitance		2		pF	
<b>RESET TIMING</b>					
Pulse Width Low	50			ns	
<b>SYNC TIMING</b>					
Pulse Width Low	1.5			High speed clock cycles	High speed clock is CLK input signal

## LD、STATUS、REFMONピン

表16

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>OUTPUT CHARACTERISTICS</b>					
Output Voltage High ( $V_{OH}$ )	2.7			V	デジタル出力 (CMOS) として選択する場合。CMOS デジタル出力として使用しない別のモードもあります。表53の0x17、0x1A、0x1Bを参照。
Output Voltage Low ( $V_{OL}$ )			0.4	V	
<b>MAXIMUM TOGGLE RATE</b>					
		100		MHz	マルチプレクサを任意の分周器またはカウンタ出力、あるいはPFDアップ/ダウン・パルスに設定するときに適用されます。さらに、アナログ・ロック検出モード時にも適用されます。通常はデバッグ・モード時のみに限り適用されます。これらのピンのどれかをトグルする際は、スプリアスが出力されることがあるため注意が必要です。
<b>ANALOG LOCK DETECT</b>					
Capacitance		3		pF	アナログ・ロック検出読出しのRC時定数の計算に使用します。プルアップ抵抗を使用。
<b>REF1, REF2, AND VCO FREQUENCY STATUS MONITOR</b>					
Normal Range	1.02			MHz	周波数がこの範囲を超えると、モニタが常時リファレンスの存在を示します。
Extended Range (REF1 and REF2 Only)	8			kHz	周波数がこの範囲を超えると、モニタが常時リファレンスの存在を示します。
<b>LD PIN COMPARATOR</b>					
Trip Point		1.6		V	
Hysteresis		260		mV	

# AD9516-0

## 消費電力

表17

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>POWER DISSIPATION, CHIP</b>					
Power-On Default	1.0	1.2		W	クロックなし、プログラミングなし、デフォルトのレジスタ値、外部抵抗の消費電力は含まれません。
Full Operation; CMOS Outputs at 229 MHz	1.6	2.2		W	PLLオン、内部VCO=2750MHz、VCOデバイダ=2、全チャンネルの分周器がオン、687.5MHzで6本のLVPECL出力、229MHzで8本のCMOS出力（10pF負荷）、すべての微遅延オン、最大電流、外部抵抗の消費電力は含まれません。
Full Operation; LVDS Outputs at 200 MHz	1.6	2.3		W	PLLオン、内部VCO=2800MHz、VCO分周器=2、全チャンネルのデバイダがオン、700MHzで6本のLVPECL出力、200MHzで4本のLVDS出力、すべての微遅延オン、最大電流、外部抵抗の消費電力は含まれません。
$\overline{\text{PD}}$ Power-Down	75	185		mW	$\overline{\text{PD}}$ ピンをプルダウン、終端部品の消費電力は含まれません。
$\overline{\text{PD}}$ Power-Down, Maximum Sleep	31			mW	$\overline{\text{PD}}$ ピンをプルダウン、PLLパワーダウン0x10<1:0>=01b、SYNCパワーダウン0x230<2>=1b、分配用REFパワーダウン0x230<1>=1b
V <sub>CP</sub> Supply	1.5			mW	PLL動作時、代表的なクロード・ループ設定
<b>POWER DELTAS, INDIVIDUAL FUNCTIONS</b>					
VCO Divider	30			mW	機能のイネーブル/ディスエーブル時の差分消費電力 VCO分周器を使用しない場合
REFIN (Differential)	20			mW	すべてのリファレンスがオフの状態から差動リファレンスをイネーブルするとき
REF1, REF2 (Single-Ended)	4			mW	すべてのリファレンスがオフの状態からREF1またはREF2をイネーブルするとき。差動リファレンスはイネーブルしません。
VCO	70			mW	CLK入力を選択した状態からVCOを選択するとき
PLL	75			mW	通常動作でPLLオフからPLLオン。リファレンスはイネーブルしません。
Channel Divider	30			mW	分周器のバイパスから2~32分周に設定するとき
LVPECL Channel (Divider Plus Output Driver)	160			mW	すべてのLVPECL出力がオンでない状態から1本のLVPECL出力のみをオンに設定するとき
LVPECL Driver	90			mW	同じチャンネルの2番目のLVPECL出力をオン
LVDS Channel (Divider Plus Output Driver)	120			mW	すべてのLVDS出力がオンでない状態から1本のLVDS出力のみをオンに設定するとき
LVDS Driver	50			mW	同じチャンネルの2番目のLVDS出力をオン
CMOS Channel (Divider Plus Output Driver)	100			mW	スタティック。すべてのCMOS出力がオンでない状態から1本のCMOS出力のみをオンに設定するとき
CMOS Driver (Second in Pair)	0			mW	スタティック。同じチャンネルの2番目のCMOS出力をオン
CMOS Driver (First in Second Pair)	30			mW	スタティック。2番目のペアの最初のCMOS出力をオン
Fine Delay Block	50			mW	遅延ブロックのオフ状態から遅延ブロックをイネーブルするとき。最大電流設定

## タイミング図

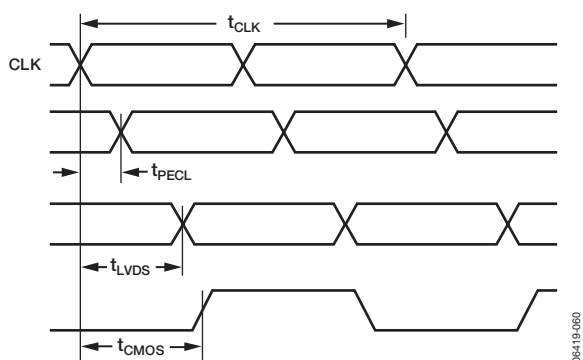


図2. CLK/CLKからクロック出力までのタイミング (DIV=1)

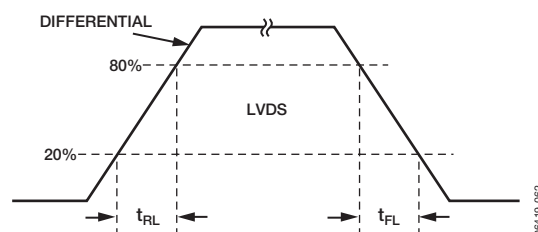


図4. LVDSのタイミング (差動)

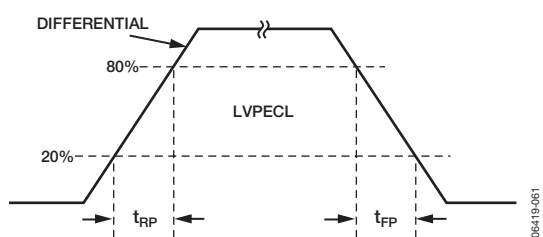


図3. LVPECLのタイミング (差動)

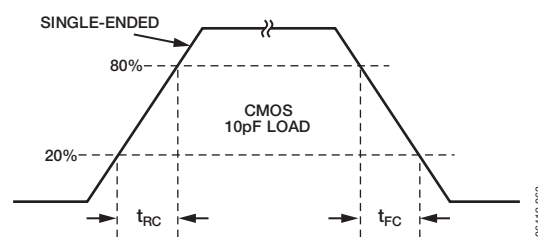


図5. CMOSのタイミング (シングルエンド、10pF負荷)

# AD9516-0

## 絶対最大定格

表18

Parameter or Pin	With Respect to	Rating
VS, VS_LVPECL	GND	-0.3 V to +3.6 V
VCP	GND	-0.3 V to +5.8 V
REFIN, $\overline{\text{REFIN}}$	GND	-0.3 V to $V_S + 0.3$ V
REFIN	$\overline{\text{REFIN}}$	-3.3 V to +3.3 V
RSET	GND	-0.3 V to $V_S + 0.3$ V
CPRSET	GND	-0.3 V to $V_S + 0.3$ V
CLK, $\overline{\text{CLK}}$	GND	-0.3 V to $V_S + 0.3$ V
CLK	$\overline{\text{CLK}}$	-1.2 V to +1.2 V
SCLK, SDIO, SDO, $\overline{\text{CS}}$	GND	-0.3 V to $V_S + 0.3$ V
$\overline{\text{OUT0}}$ , $\overline{\text{OUT0}}$ , $\overline{\text{OUT1}}$ , $\overline{\text{OUT1}}$ , $\overline{\text{OUT2}}$ , $\overline{\text{OUT2}}$ , $\overline{\text{OUT3}}$ , $\overline{\text{OUT3}}$ , $\overline{\text{OUT4}}$ , $\overline{\text{OUT4}}$ , $\overline{\text{OUT5}}$ , $\overline{\text{OUT5}}$ , $\overline{\text{OUT6}}$ , $\overline{\text{OUT6}}$	GND	-0.3 V to $V_S + 0.3$ V
$\overline{\text{OUT7}}$ , $\overline{\text{OUT7}}$ , $\overline{\text{OUT8}}$ , $\overline{\text{OUT8}}$ , $\overline{\text{OUT9}}$ , $\overline{\text{OUT9}}$	GND	-0.3 V to $V_S + 0.3$ V
$\overline{\text{SYNC}}$	GND	-0.3 V to $V_S + 0.3$ V
REFMON, STATUS, LD	GND	-0.3 V to $V_S + 0.3$ V
Junction Temperature <sup>1</sup>		150°C
Storage Temperature Range		-65°C to +150°C
Lead Temperature (10 sec)		300°C

<sup>1</sup>  $\theta_{JA}$ については、表19を参照。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

表19

Package type <sup>1</sup>	$\theta_{JA}$	Unit
64-Lead LFCSP	24	°C/W

<sup>1</sup> 熱抵抗は、EIA/JESD51-7に従い、自然空冷下の4層ボードで測定。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。



## ピン配置とピン機能の説明

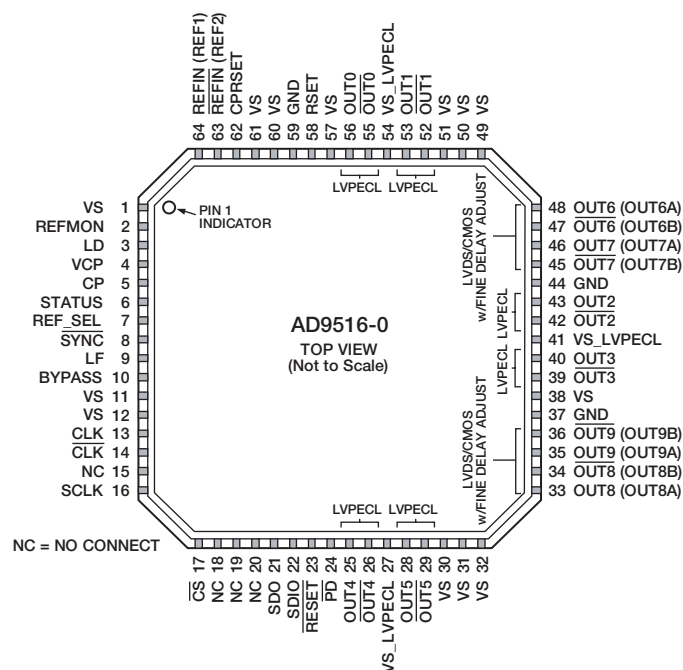


図6. ピン配置

表20. ピン機能の説明

ピン番号	記号	説明
1, 11, 12, 30, 31, 32, 38, 49, 50, 51, 57, 60, 61	VS	3.3V電源ピン
2	REFMON	リファレンス・モニタ (出力)。このピンでは複数の出力が選択できます。表53の0x1Bを参照。
3	LD	ロック検出 (出力)。このピンでは複数の出力が選択できます。表53の0x1Aを参照。
4	VCP	チャージ・ポンプ (CP) 用の電源。V <sub>S</sub> < V <sub>CP</sub> < 5.0Vです。
5	CP	チャージ・ポンプ (出力)。外部ループ・フィルタに接続します。
6	STATUS	ステータス (出力)。このピンでは複数の出力が選択できます。表53の0x17を参照。
7	REF_SEL	リファレンス選択。REF1 (ローレベル) またはREF2 (ハイレベル) を選択します。
8	SYNC	このピンには30kΩの内部プルダウン抵抗があります。手動同期および手動ホールドオーバー。このピンで手動同期を開始するほか、手動ホールドオーバーにも使用します。アクティブ・ロー。30kΩの内部プルアップ抵抗があります。
9	LF	ループ・フィルタ (入力)。VCO制御電圧ノードに内部で接続されています。
10	BYPASS	このピンにコンデンサを外付けして、LDOをグラウンドへバイパスします。
13	CLK	このピンは、 $\overline{\text{CLK}}$ と対になるクロック分配部の差動入力です。
14	$\overline{\text{CLK}}$	このピンは、CLKと対になるクロック分配部の差動入力です。
15, 18, 19, 20	NC	無接続
16	SCLK	シリアル・コントロール・ポートのデータ・クロック信号
17	$\overline{\text{CS}}$	シリアル・コントロール・ポートのチップ・セレクト信号。アクティブ・ロー。このピンには30kΩの内部プルアップ抵抗があります。
21	SDO	シリアル・コントロール・ポートの単方向シリアル・データ出力
22	SDIO	シリアル・コントロール・ポートの双方向シリアル・データI/O
23	$\overline{\text{RESET}}$	チップ・リセット。アクティブ・ロー。このピンには30kΩの内部プルアップ抵抗があります。
24	$\overline{\text{PD}}$	チップ・パワーダウン。アクティブ・ロー。このピンには30kΩの内部プルアップ抵抗があります。
27, 41, 54	VS_LVPECL	拡張電圧2.5~3.3VのLVPECL電源ピン
37, 44, 59, EPAD	GND	グラウンド・ピン。外部パドル (EPAD) もあります。
56	OUT0	LVPECL出力。差動LVPECL出力の1つのサイド

# AD9516-0

ピン番号	記号	説明
55	$\overline{\text{OUT0}}$	LVPECL出力。差動LVPECL出力の片方
53	OUT1	LVPECL出力。差動LVPECL出力の片方
52	$\overline{\text{OUT1}}$	LVPECL出力。差動LVPECL出力の片方
43	OUT2	LVPECL出力。差動LVPECL出力の片方
42	$\overline{\text{OUT2}}$	LVPECL出力。差動LVPECL出力の片方
40	OUT3	LVPECL出力。差動LVPECL出力の片方
39	$\overline{\text{OUT3}}$	LVPECL出力。差動LVPECL出力の片方
25	OUT4	LVPECL出力。差動LVPECL出力の片方
26	$\overline{\text{OUT4}}$	LVPECL出力。差動LVPECL出力の片方
28	OUT5	LVPECL出力。差動LVPECL出力の片方
29	$\overline{\text{OUT5}}$	LVPECL出力。差動LVPECL出力の片方
48	OUT6 (OUT6A)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
47	$\overline{\text{OUT6}}$ (OUT6B)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
46	OUT7 (OUT7A)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
45	$\overline{\text{OUT7}}$ (OUT7B)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
33	OUT8 (OUT8A)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
34	$\overline{\text{OUT8}}$ (OUT8B)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
35	OUT9 (OUT9A)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
36	$\overline{\text{OUT9}}$ (OUT9B)	LVDS/CMOS出力。差動LVDS出力またはシングルエンドCMOS出力の片方
58	RSET	このピンに抵抗を外付けして、内部バイアス電流を設定します。公称値=4.12k $\Omega$
62	CPRSET	このピンに抵抗を外付けして、CPの電流範囲を設定します。公称値=5.1k $\Omega$
63	$\overline{\text{REFIN}}$ (REF2)	このピンは、 $\overline{\text{REFIN}}$ と対になるPLLリファレンスの差動入力です。このピンをREF2のシングルエンド入力に使用することもできます。
64	REFIN (REF1)	このピンは、REFINと対になるPLLリファレンスの差動入力です。このピンをREF1のシングルエンド入力に使用することもできます。

## 代表的な性能特性

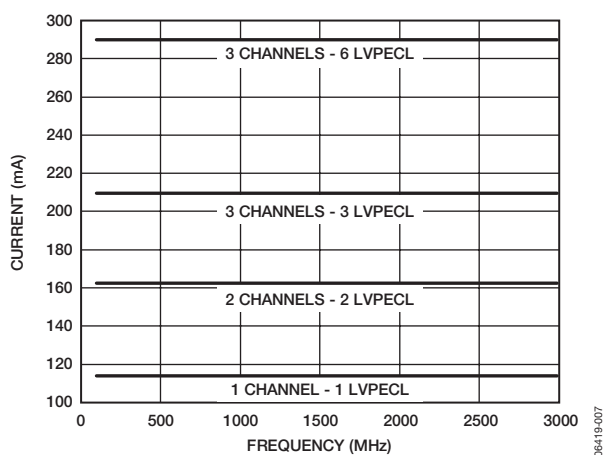


図7. 電流の周波数特性（直接出力、LVPECL出力）

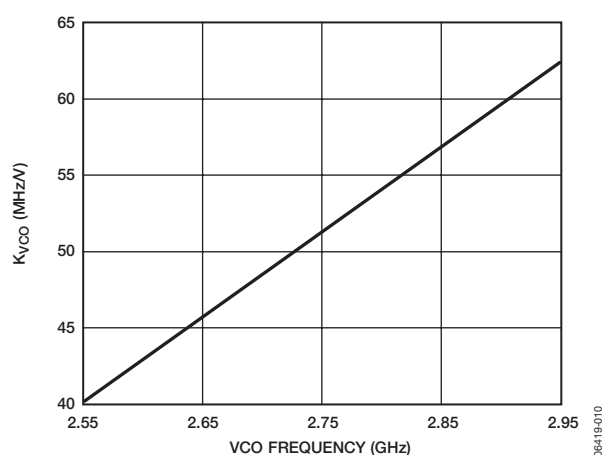


図10. VCOの $K_{VCO}$ の周波数特性

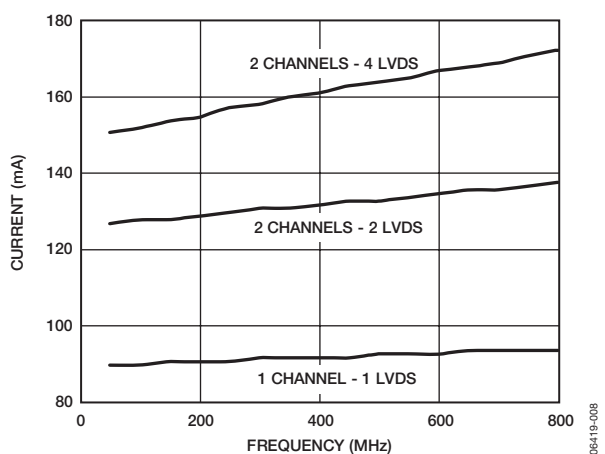


図8. 電流の周波数特性（LVDS出力）

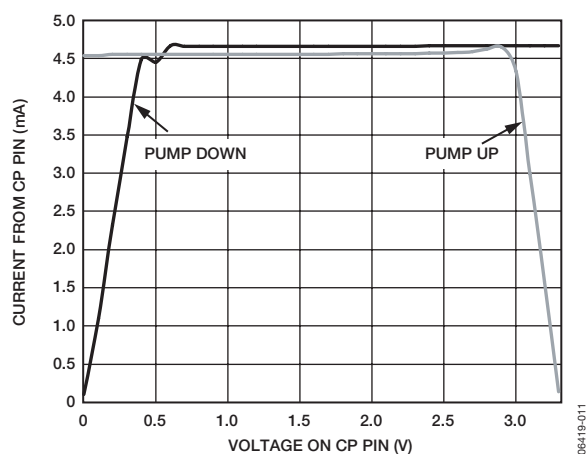


図11. チャージ・ポンプ特性 ( $V_{CP}=3.3V$ )

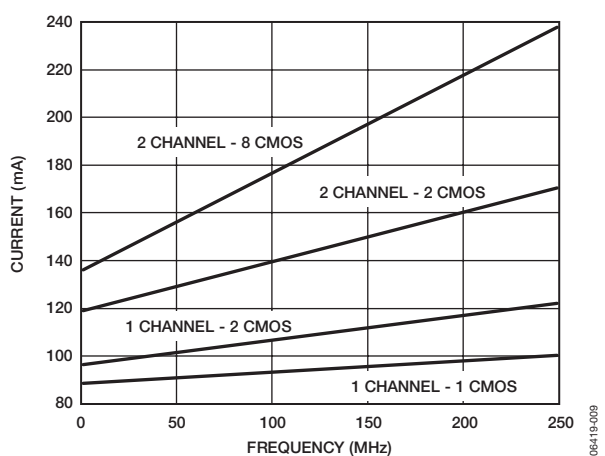


図9. 電流の周波数特性（CMOS出力）

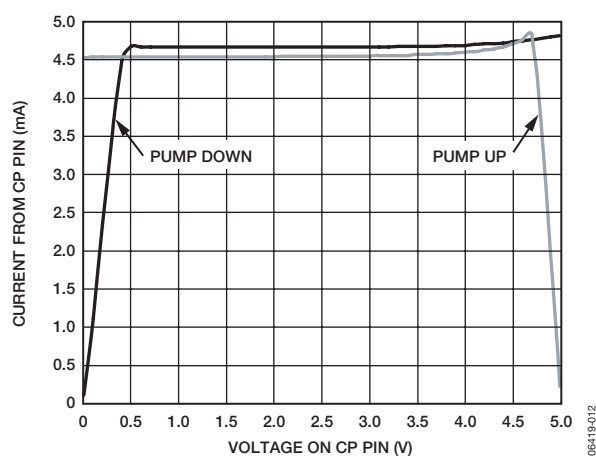


図12. チャージ・ポンプ特性 ( $V_{CP}=5.0V$ )

# AD9516-0

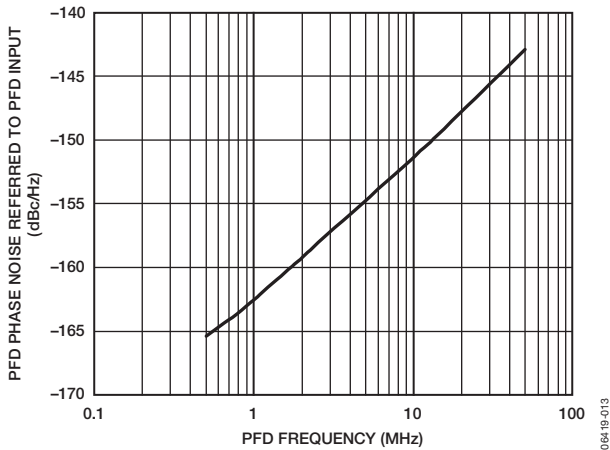


図13. PFD周波数 対 PFD入力換算のPFD位相ノイズ

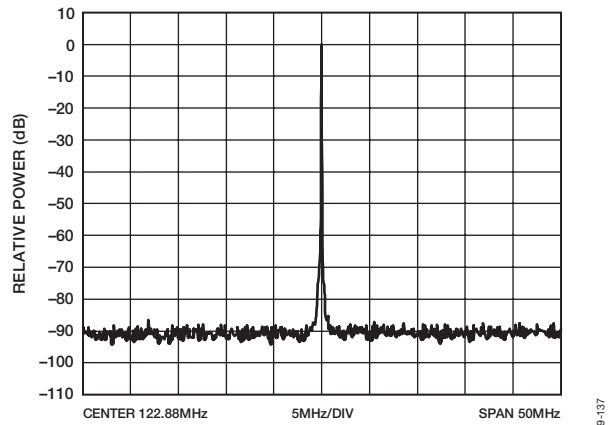


図16. PFD/CPのスプリアス、122.88MHz、PFD=15.36MHz、LBW=190kHz、 $I_{CP}=4.2mA$ 、 $F_{VCO}=2.7GHz$

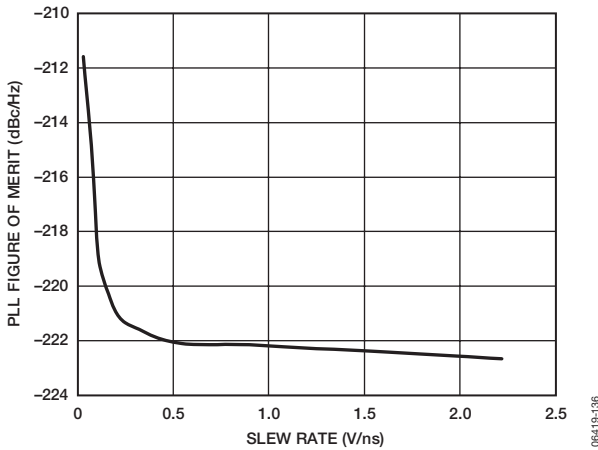


図14.  $\overline{REFIN}/REFIN$ のスルレート 対 PLLの性能指数 (FOM)

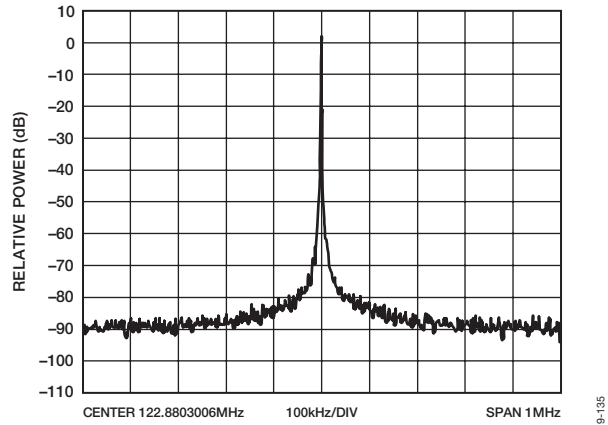


図17. LVPECL出カスペクトル、122.88MHz、PFD=15.36MHz、LBW=190kHz、 $I_{CP}=4.2mA$ 、 $F_{VCO}=2.7GHz$

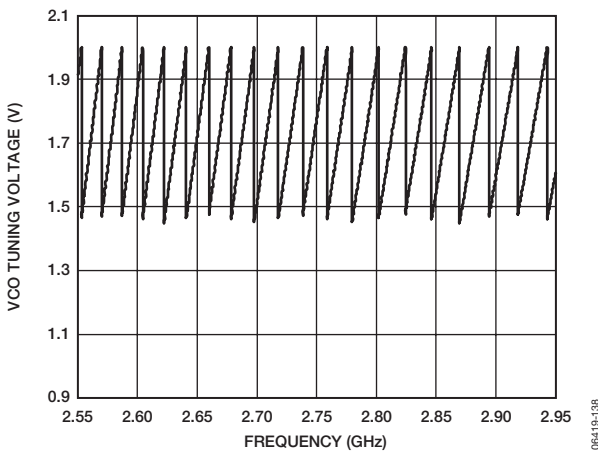


図15. VCO同調電圧の周波数特性

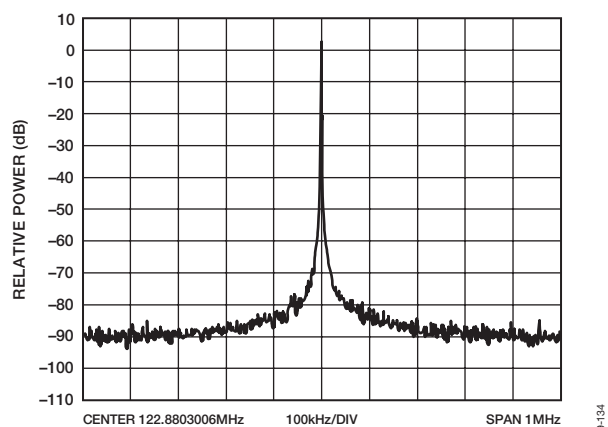


図18. LVDS出カスペクトル、122.88MHz、PFD=15.36MHz、LBW=190kHz、 $I_{CP}=4.2mA$ 、 $F_{VCO}=2.7GHz$

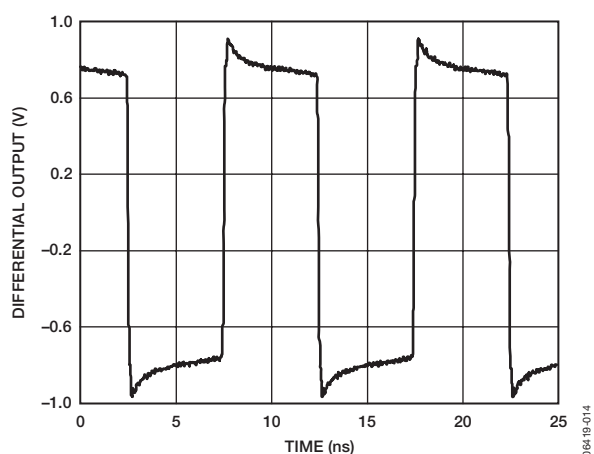


図19. LVPECL出力 (差動) @ 100MHz

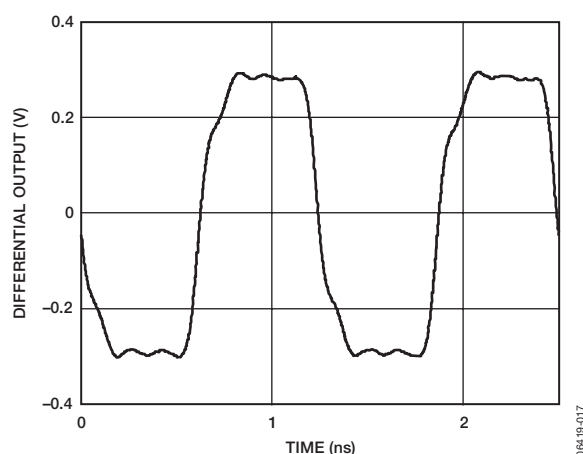


図22. LVDS出力 (差動) @ 800MHz

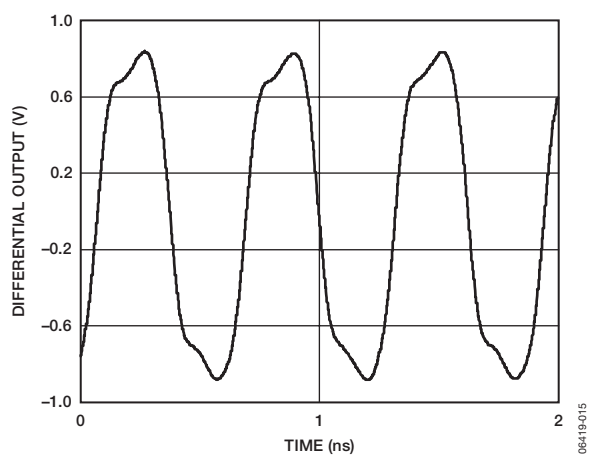


図20. LVPECL出力 (差動) @ 1600MHz

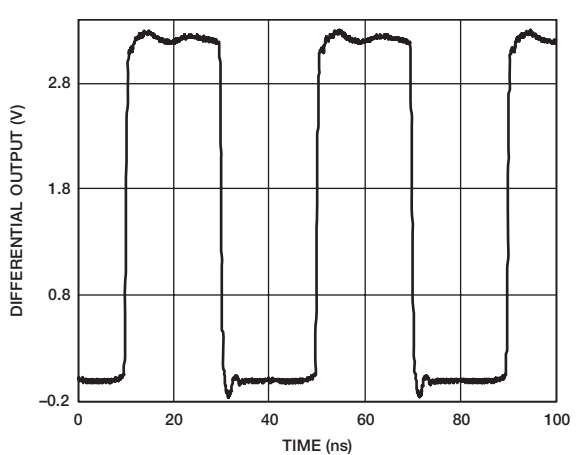


図23. CMOS出力 @ 25MHz

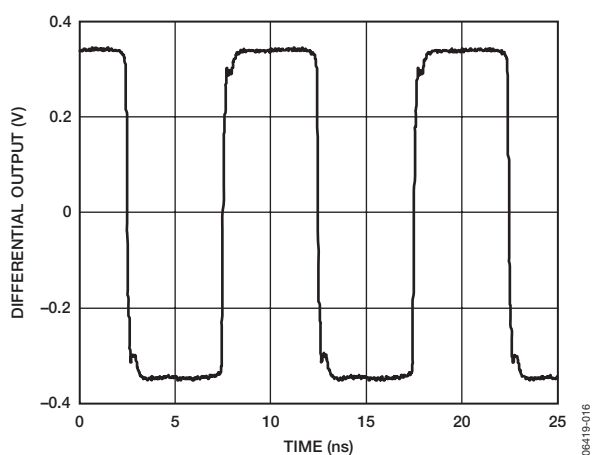


図21. LVDS出力 (差動) @ 100MHz

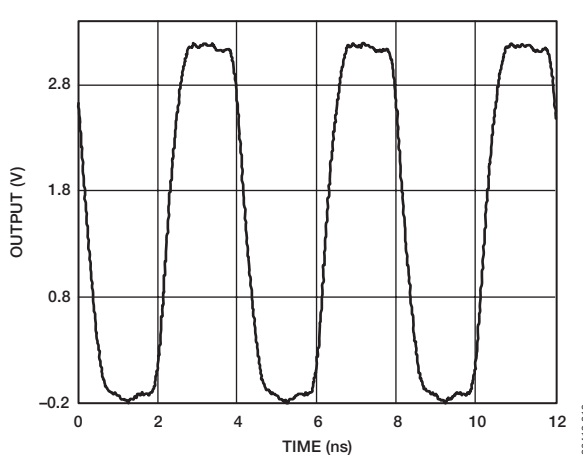


図24. CMOS出力 @ 250MHz

# AD9516-0

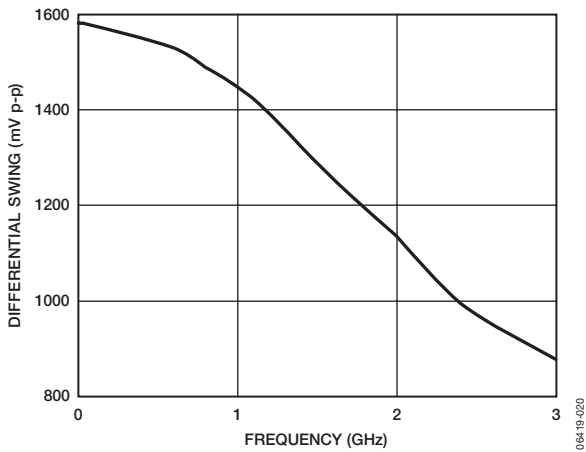


図25. LVPECL差動振幅の周波数特性

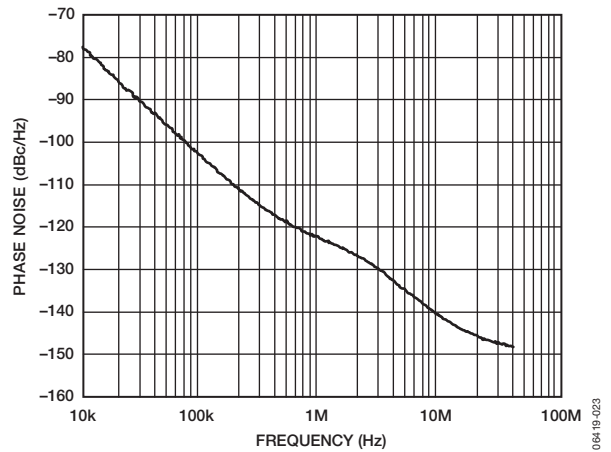


図28. LVPECLに対する内部VCOの位相ノイズ (絶対) @ 2950MHz

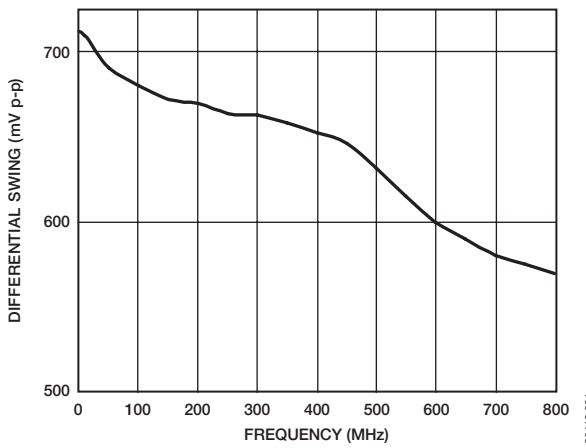


図26. LVDS差動振幅の周波数特性

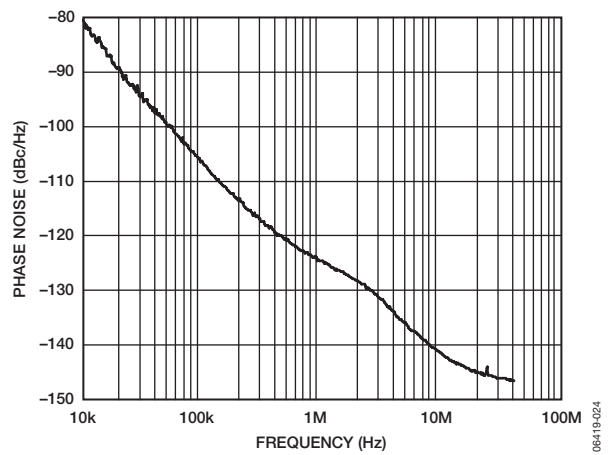


図29. LVPECLに対する内部VCOの位相ノイズ (絶対) @ 2750MHz

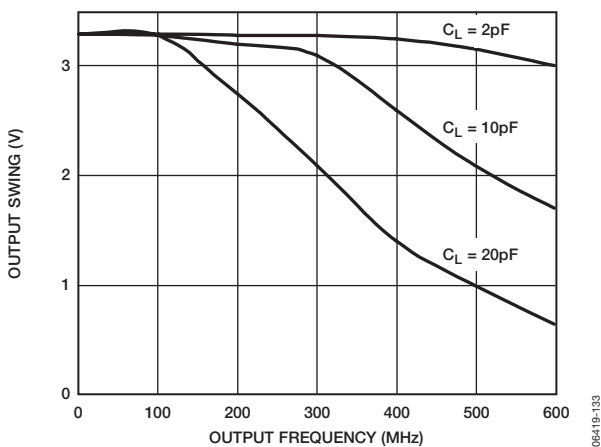


図27. CMOS出力振幅の周波数特性と容量性負荷

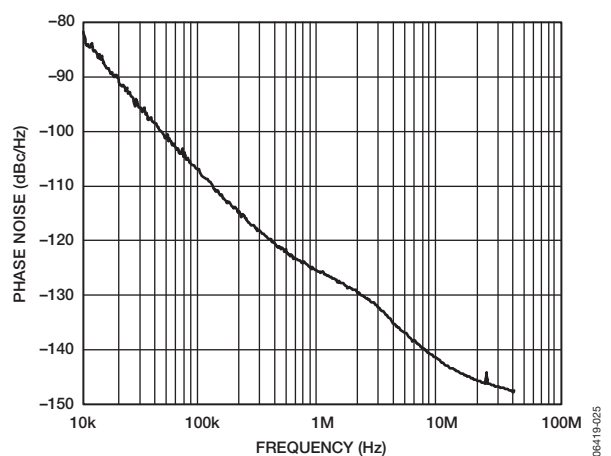


図30. LVPECLに対する内部VCOの位相ノイズ (絶対) @ 2550MHz

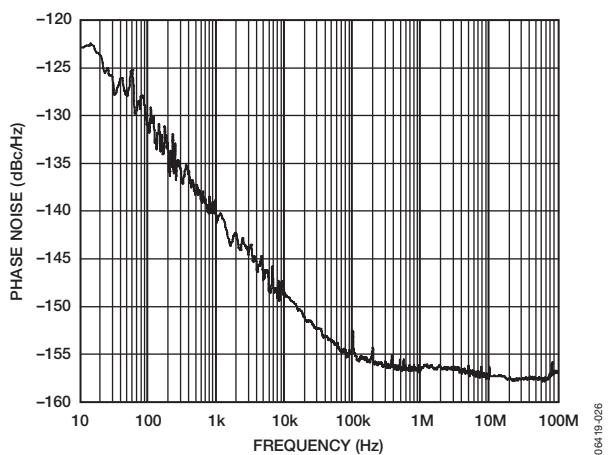


図31. 位相ノイズ (増加) LVPECL @ 245.76MHz、1分周

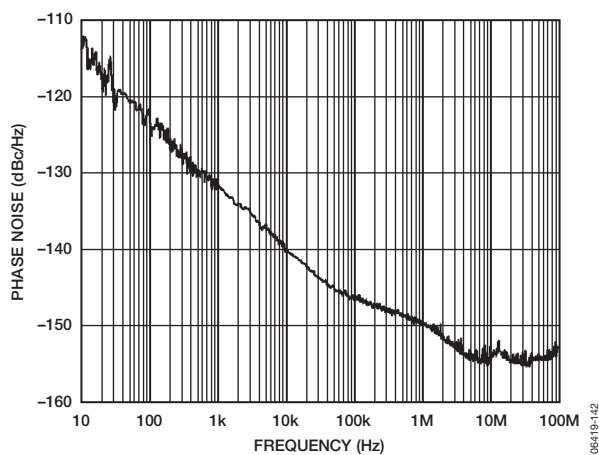


図34. 位相ノイズ (増加) LVDS @ 200MHz、1分周

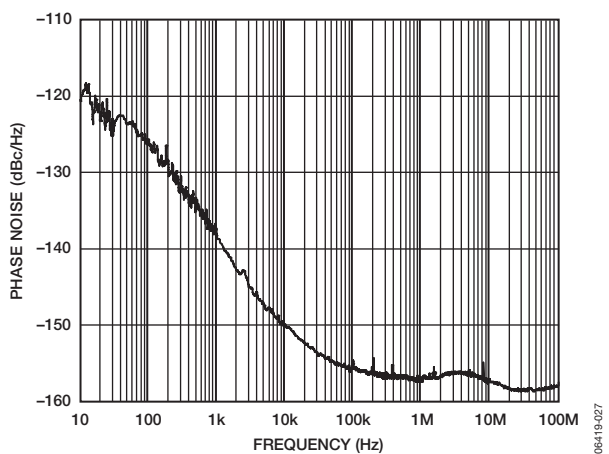


図32. 位相ノイズ (増加) LVPECL @ 200MHz、5分周

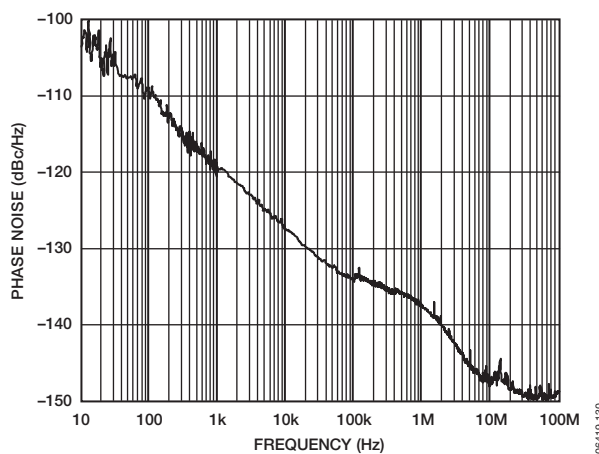


図35. 位相ノイズ (増加) LVDS @ 800MHz、2分周

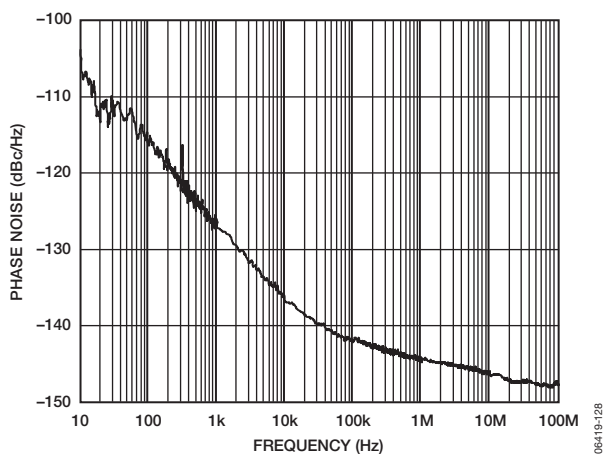


図33. 位相ノイズ (増加) LVPECL @ 1600MHz、1分周

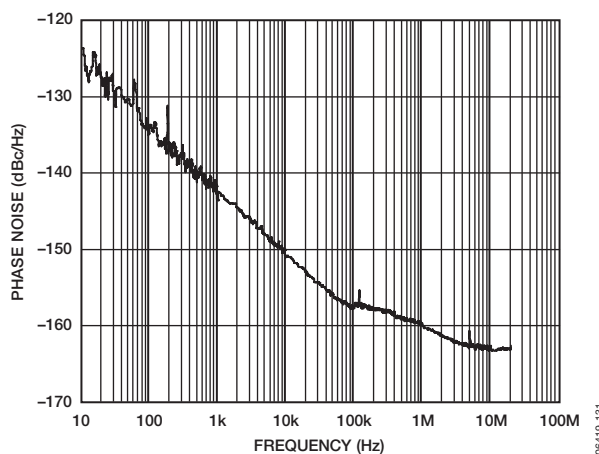


図36. 位相ノイズ (増加) CMOS @ 50MHz、20分周

# AD9516-0

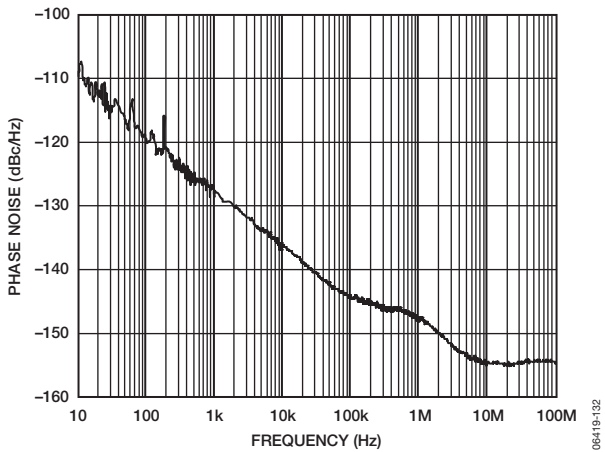


図37. 位相ノイズ (増加) CMOS @ 250MHz、4分周

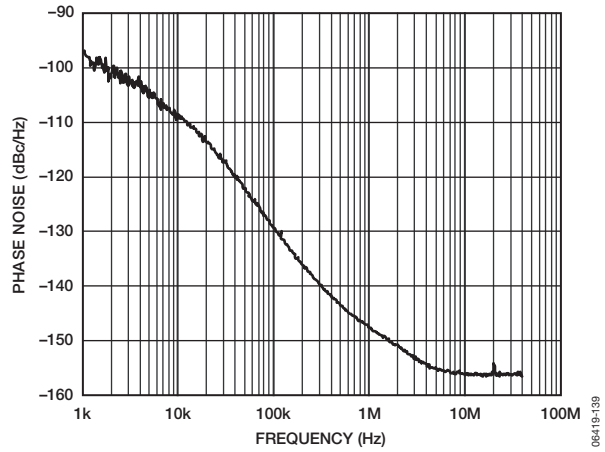


図39. 位相ノイズ (絶対) クロック・クリーンアップ、内部VCO @ 2.8GHz、PFD=19.44MHz、LBW=12.8kHz、LVPECL出力=155.52MHz

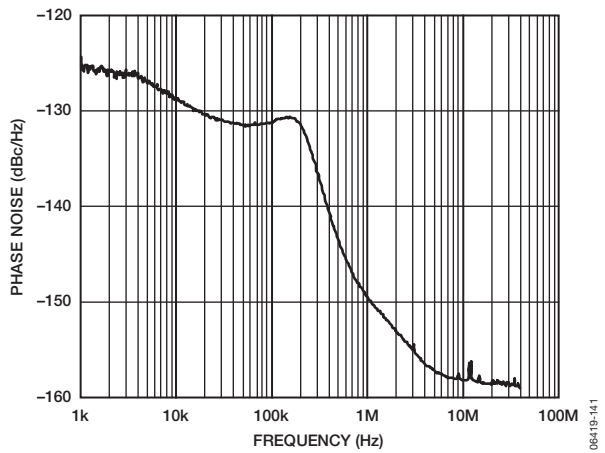


図38. 位相ノイズ (絶対) クロック発生、内部VCO @ 2.7GHz、PFD=15.36MHz、LBW=110kHz、LVPECL出力=122.88MHz

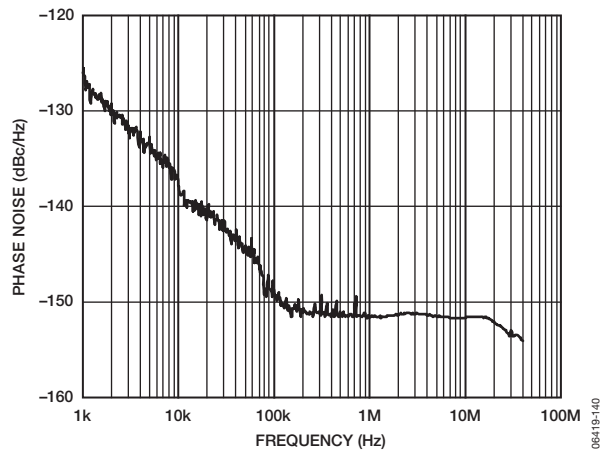


図40. 位相ノイズ (絶対)、外部VCXO (Toyocom TCO-2112) @ 245.76MHz、PFD=15.36MHz、LBW=250Hz、LVPECL出力=245.76MHz



## 用語の説明

### 位相ジッタと位相ノイズ

理想的な正弦波は、各サイクルで時間の経過とともに0~360度で連続的に位相が進むと考えることができます。しかし、実際の信号では、時間が経過するにつれて理想的な位相の進みからの一定の偏差が見られます。この現象が位相ジッタと呼ばれます。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス（正規）分布として特性化されています。

位相ジッタにより、周波数領域で正弦波のエネルギーが分散され、連続パワー・スペクトルが発生します。パワー・スペクトルは一般に、正弦波（キャリア）からの周波数オフセット位置での一連の数値としてdBc/Hz単位で表されます。この値は、キャリア周波数のパワーに対する1Hz帯域幅内に含まれるパワーの比（dB）です。各測定では、キャリア周波数からのオフセットも得られます。

オフセット周波数のある区間（たとえば、10kHz~10MHzの区間）に含まれるパワーの全体を合計することには意味があります。これは、その周波数オフセット区間での積分位相ノイズと呼ばれますが、このオフセット周波数区間内の位相ノイズに起因する時間ジッタに関連付けることができます。

位相ノイズは、ADC、DAC、RFミキサの性能に対して悪い影響を及ぼします。コンバータとミキサでは影響の仕方は異なりますが、いずれも実現可能なダイナミック・レンジを低下させてしまいます。

### 時間ジッタ

位相ノイズは周波数領域の現象ですが、同じ現象が時間領域では時間ジッタとなります。正弦波を観察すると、連続的なゼロ交差の時間が変動します。矩形波では、時間ジッタは理論的（規則的）な発生ポイントからのエッジのずれです。いずれの場合も、理論値からのタイミングのずれが時間ジッタとなります。これらの変動は本質的にランダムであるため、時間ジッタは秒実効値（rms）またはガウス分布の1シグマで規定されます。

DACまたはADCのサンプリング・クロックに発生する時間ジッタは、コンバータのS/N比（SNR）とダイナミック・レンジを低下させます。サンプリング・クロックで発生する時間ジッタをできる限り小さくすれば、コンバータの性能が向上します。

### 増加位相ノイズ

増加位相ノイズとは、測定対象のデバイスまたはサブシステムに起因する位相ノイズ量です。外部発振器またはクロック源に起因する位相ノイズは除きます。このことから、さまざまな発振器やクロック源と組み合わせてデバイスを使用するとき、それぞれの位相ノイズが全体の位相ノイズに寄与することになるため、デバイスの位相ノイズがシステム全体の位相ノイズをどの程度増加させるかを予想することができます。多くの場合、システムの位相ノイズを左右するのは1つの要素の位相ノイズです。数多くの位相ノイズ源が存在する場合は、それぞれの位相ノイズの2乗和の平方根で合計が得られます。

### 時間ジッタ増加

時間ジッタ増加とは、測定対象のデバイスまたはサブシステムに起因する時間ジッタ量です。外部発振器またはクロック源に起因する時間ジッタは除きます。このことから、さまざまな発振器やクロック源と組み合わせてデバイスを使用するとき、それぞれの時間ジッタが全体の時間ジッタに寄与することになるため、デバイスの時間ジッタがシステム全体の時間ジッタをどの程度増加させるかを予想することができます。多くの場合、システムの時間ジッタを左右するのは外部発振器とクロック源の時間ジッタです。

# AD9516-0

## 詳細ブロック図

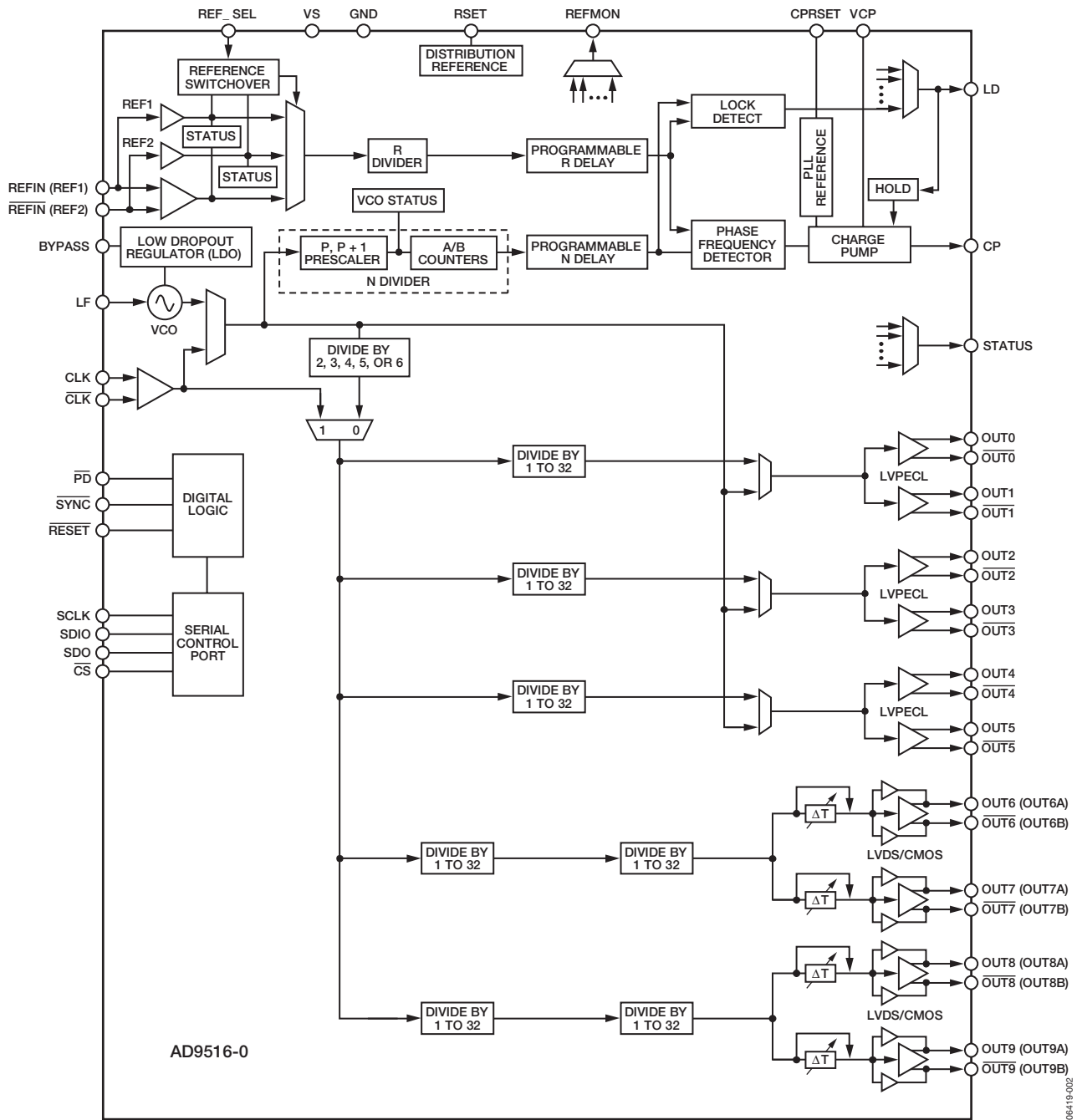


図41. 詳細ブロック図

## 動作原理

### 動作設定

AD9516には、設定方法がいくつかあります。コントロール・レジスタ（表51および表52～61）にデータをロードすることによって、設定を行う必要があります。対応するコントロール・レジスタの該当ビットを設定して、各部または各機能を個別に設定しなければなりません。

### 高周波数クロック分配—1600MHzを超えるCLKまたは外部VCO

AD9516のパワーアップ時のデフォルト設定は、PLLがオフ、CLK/CLK入力がVCO分周器（2分周/3分周/4分周/5分周/6分周）を経由して分配部に接続する入力ルーティングになります。これは、最大2400MHzの外部入力に対応できる分配専用モードです（表3を参照）。チャンネル分周器に入力できる最大周波数は1600MHzであるため、これよりも高い入力周波数はチャンネルの前段で分周して低い値にする必要があります。1600MHzより低い入力周波数にこの入力ルーティングを使用することもできますが、チャンネル分周器前段の分周比は少なくとも2にします。

PLLをイネーブる場合、このルーティングで周波数が2400MHz未満の外部VCOまたはVCXOと組み合わせてPLLを使用できます。この設定では内部VCOを使用せず、オフの状態を維持します。外部VCO/VCXOが、プリスケラに直接周波数を供給します。

表21に示すレジスタ設定は、パワーアップ時またはリセット後のレジスタ・デフォルト値です。パワーアップ後またはリセット後にレジスタのデータ値が以前の設定によって変更されている場合、これらのレジスタ値を意図的にデフォルト設定に戻すことができます。

表21. 一部のPLLレジスタのデフォルト設定

Register	Function
0x10<1:0> = 01b	PLL asynchronous power-down (PLL off)
0x1E0<2:0> = 010b	Set VCO divider = 4
0x1E1<0> = 0b	Use the VCO divider
0x1E1<1> = 0b	CLK selected as the source

内部PLLと外部VCOを使用する場合は、PLLをオンにする必要があります。

表22. 外部VCOを使用する際のレジスタ設定

Register	Function
0x10 to 0x1E	PLL normal operation (PLL on)
0x1E1<1> = 0b	PLL settings. Select and enable a reference input; set R, N (P, A, B), PFD polarity, and I <sub>CP</sub> according to the intended loop configuration.

外付けVCOの場合は、CPピンとVCOの同調ピンの間に外部ループ・フィルタを接続する必要があります。ループ・フィルタによって、PLLのループ帯域幅と安定性が決まります。使用するVCOに対して適切なPFD極性を選択するようにしてください。

表23. PFD極性の設定

Register	Function
0x10<7> = 0b	PFD polarity positive (higher control voltage produces higher frequency)
0x10<7> = 1b	PFD polarity negative (higher control voltage produces lower frequency)

# AD9516-0

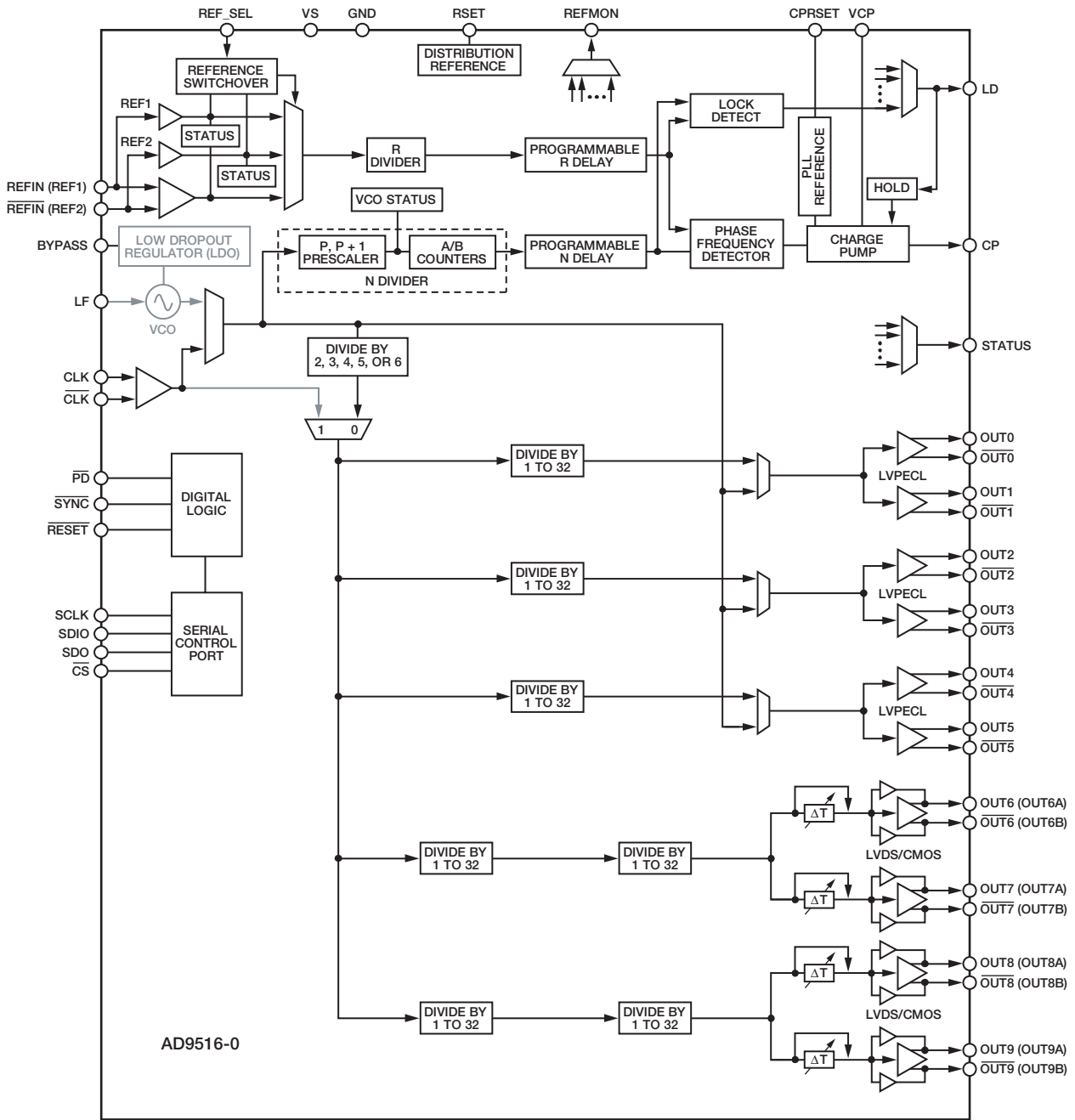


図42. 1600MHzを超える高周波クロック分配または外部VCO

### 内部VCOとクロック分配

内部VCOとPLLを使用する場合は、チャンネル分周器に入力される周波数が規定の最大周波数（1600MHz、表3を参照）を超えないようにVCO分周器を使用する必要があります。内部PLLは、外部ループ・フィルタを使用してループ帯域幅を設定します。外部ループ・フィルタは、ループの安定化のために非常に重要です。

内部VCOを使用する際は、最適な性能を得るためにVCOのキャリブレーション（0x18<0>）を行う必要があります。

内部VCOとクロック分配のアプリケーションでは、表24に示すレジスタ設定を使用してください。

表24. 内部VCOを使用する際のレジスタ設定

Register	Function
0x10<1:0> = 00b	PLL normal operation (PLL on).
0x10 to 0x1E	PLL settings. Select and enable a reference input; set R, N (P, A, B), PFD polarity, and I <sub>CP</sub> according to the intended loop configuration.
0x18<0> = 0, 0x232<0> = 1	Reset VCO calibration (first time after power-up, this does not have to be done but must be done subsequently).
0x18<0> = 1, 0x232<0> = 1	Initiate VCO calibration.
0x1E0<2:0>	VCO divider set to divide-by-2, divide-by-3, divide-by-4, divide-by-5, and divide-by-6.
0x1E1<0> = 0b	Use the VCO divider as source for distribution section.
0x1E1<1> = 1b	VCO selected as the source.

# AD9516-0

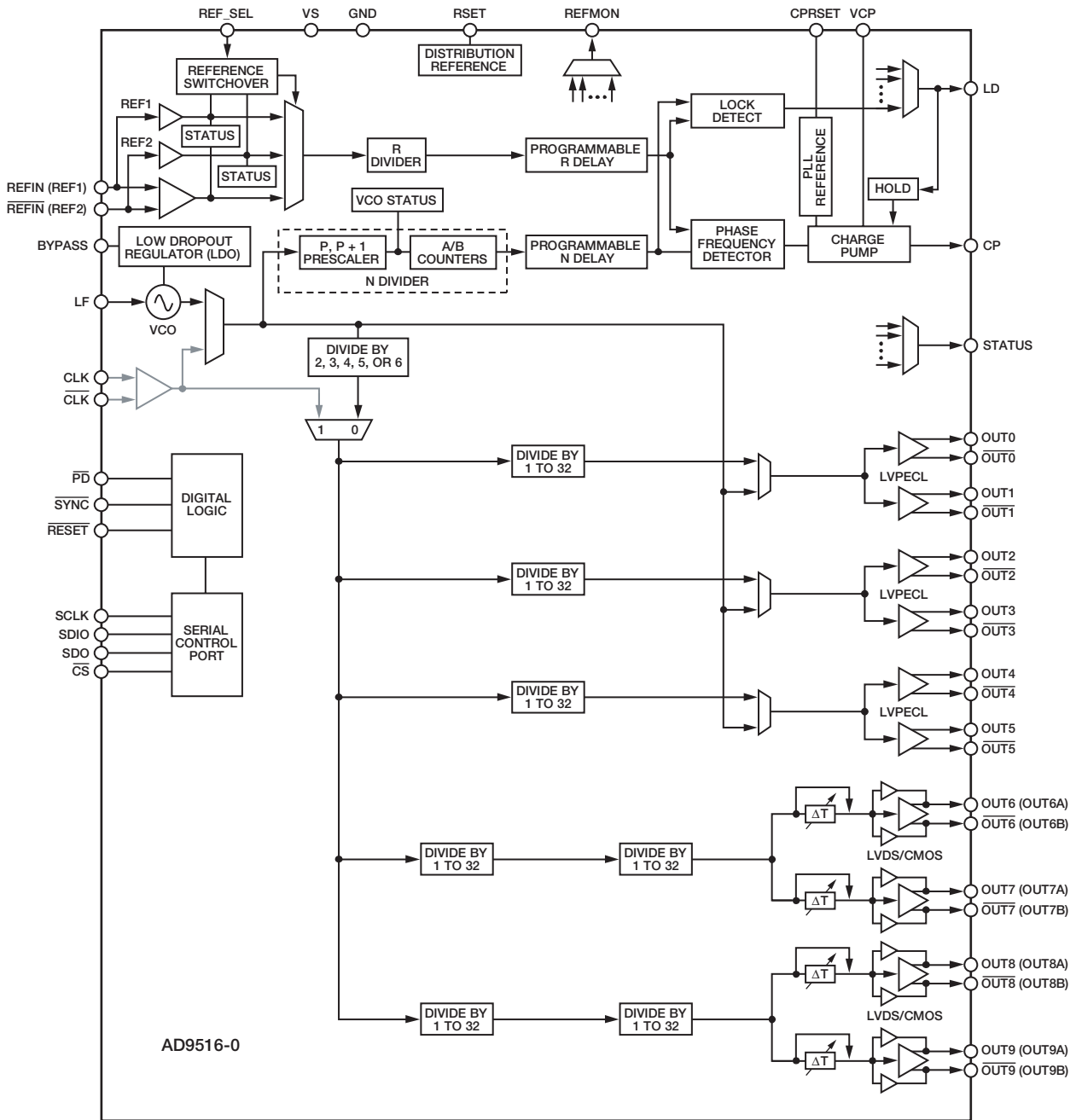


図43. 内部VCOとクロック分配

08419-030

**1600MHz未満のクロック分配または外部VCO**

分配する外部クロック源または外部VCO/VCXOの周波数が1600MHz未満の場合は、VCO分周器をバイパスする設定を使用できます。「高周波クロック分配—1600MHzを超えるCLKまたは外部VCO」の設定との違いは、VCO分周器（2分周／3分周／4分周／5分周／6分周）をバイパスする点のみです。これによって、クロック源の周波数が1600MHz未満に制限されず（チャンネル分周器に入力できる最大許容周波数のため）。

**この設定とレジスタ設定**

外部クロックが1600MHz未満のクロック分配アプリケーションでは、表25に示すレジスタ設定を使用してください。

表25. 1600MHz未満のクロック分配設定

Register	Function
0x10<1:0> = 01b	PLL asynchronous power-down (PLL off)
0x1E1<0> = 1b	Bypass the VCO divider as source for distribution section
0x1E1<1> = 0b	CLK selected as the source

内部PLLと1600MHz未満の外部VCOを使用する場合は、PLLをオンにする必要があります。

表26. 内部PLLと1600MHz未満の外部VCOを使用する際のレジスタ設定

Register	Function
0x1E1<0> = 1b	Bypass the VCO divider as source for distribution section
0x10<1:0> = 00b	PLL normal operation (PLL on) along with other appropriate PLL settings in 0x10 to 0x1E

外付けVCO/VCXOの場合は、CPピンとVCO/VCXOの同調ピンの間に外部ループ・フィルタを接続する必要があります。ループ・フィルタによって、PLLのループ帯域幅と安定性が決まります。使用するVCO/VCXOに対して適切なPFD極性を選択するようにしてください。

表26. PFD極性の設定

Register	Function
0x10<7> = 0	PFD polarity positive (higher control voltage produces higher frequency)
0x10<7> = 1	PFD polarity negative (higher control voltage produces lower frequency)

# AD9516-0

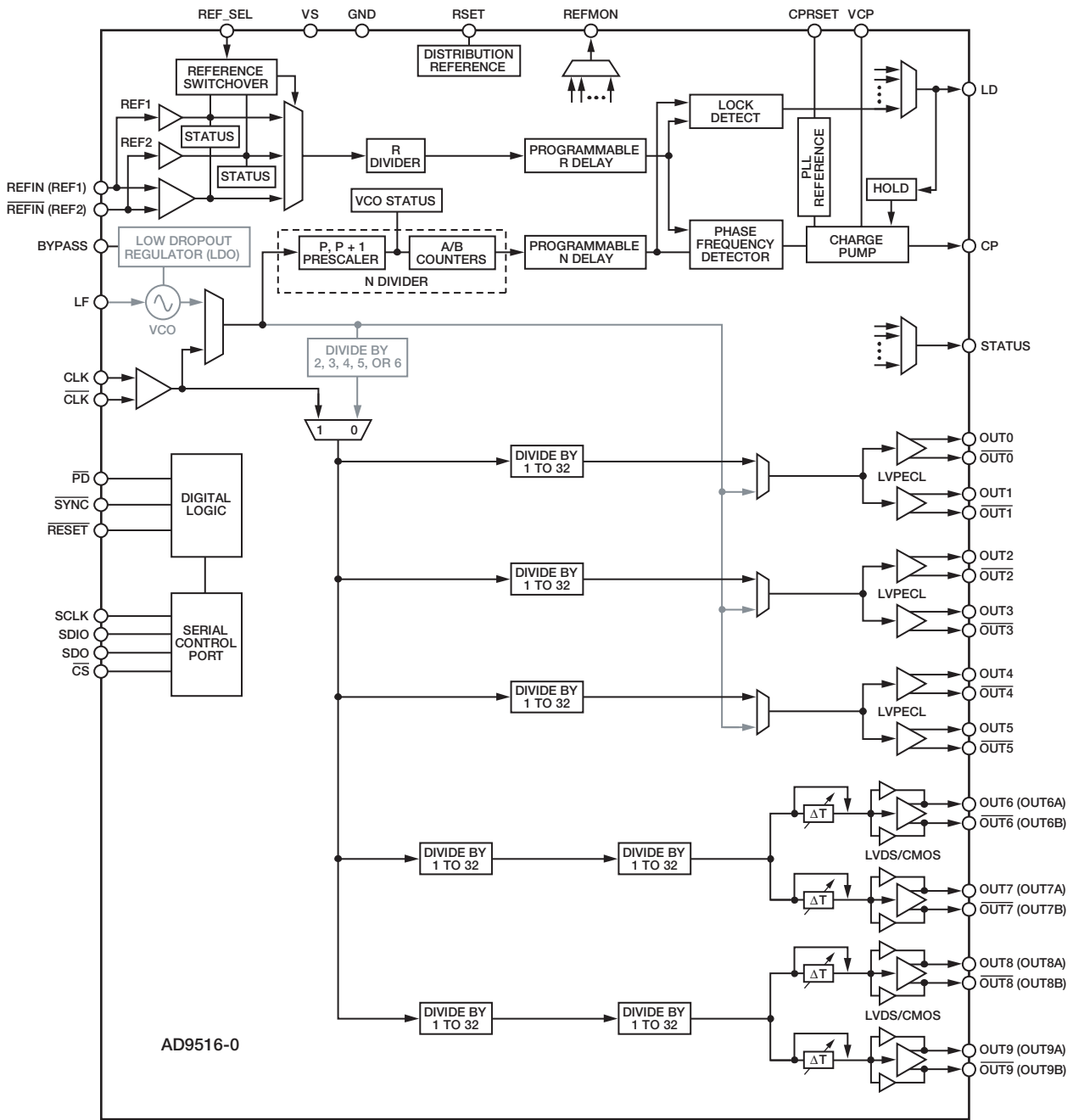


図44. 1600MHz未満のクロック分配または外部VCO

06419428



## 位相ロック・ループ (PLL)

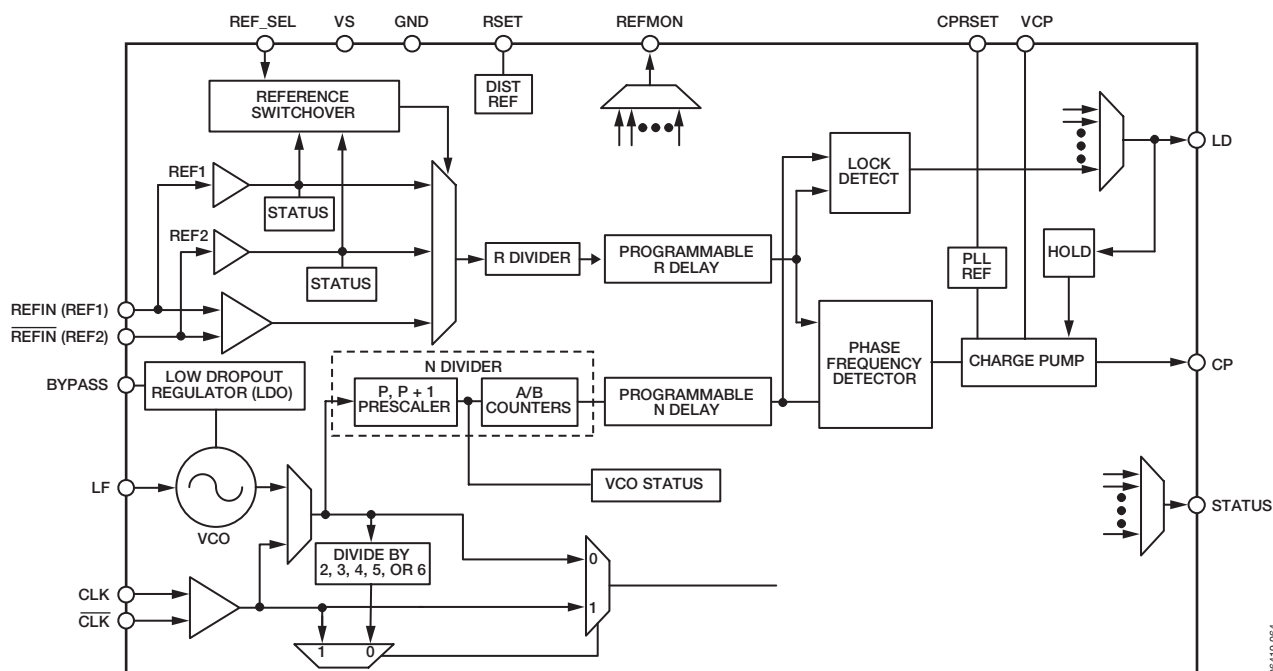


図45. PLLの機能ブロック

AD9516には、オンチップVCOを備えたオンチップPLLがあります。PLLブロックは、オンチップVCOとともに完全な位相ロック・ループにするか、または外部のVCOあるいはVCXOと組み合わせて使用することができます。PLLには外部ループ・フィルタが必要ですが、これは一般にわずかな数のコンデンサと抵抗で構成されます。ループ・フィルタの構成と部品は、PLL動作のループ帯域幅と安定性の確保に役立ちます。

AD9516のPLLは、与えられたリファレンス周波数からクロック周波数を発生するために便利です。これには、その後の分周または分配のためにリファレンス周波数を大幅に高い周波数に変換する動作が含まれます。また、PLLを使用して、ノイズの多いリファレンスのジッタや位相ノイズをクリーンアップすることもできます。PLLパラメータとループのダイナミック特性をどのように選択するかは、個々のアプリケーションによります。PLLの柔軟性と多機能性により、AD9516は、さまざまなアプリケーションや信号環境での動作に合わせて設定することができます。

## PLLの設定

AD9516は、PLLの柔軟な構成により、さまざまなリファレンス周波数、PFD比較周波数、VCO周波数、内部または外部VCO/VCXO、ループ・ダイナミック特性に対応できます。これは、R分周器、N分周器、PFD極性（外部VCO/VCXOを使用する場合のみ）、アンチバックラッシュ・パルス幅、チャージ・ポンプ電流、内部VCOまたは外部VCO/VCXOの選択、ループ帯域幅の設定などにより実現されます。プログラマブル・レジスタの設定（表51と表53を参照）や外部ループ・フィルタの設計によって、これらの設定を管理します。

PLLが正常に動作し、十分なPLLループ性能が得られるかどうかは、PLLの適切な構成に大きくかかっています。PLLの正しい動作のためには、外部ループ・フィルタの設計が非常に重要です。PLLの原理と設計に精通していることが役立ちます。

ADIsimCLK™ (V1.2以降のバージョン) は、PLLループ・フィルタの設計を含め、AD9516の設計を支援し、その能力や機能を学ぶことができる無償のプログラムです。www.analog.com/clocksから入手できます。

## 位相周波数検出器 (PFD)

PFDはRカウンタとNカウンタから駆動され、2つのカウンタ間の位相と周波数の差に比例した出力を発生します。PFDには、アンチバックラッシュ・パルス幅を制御するプログラマブル遅延要素が備わっています。このパルスにより、PFDの伝達関数に不感帯が存在しなくなり、位相ノイズとリファレンス・スプリアスを最小にできます。アンチバックラッシュ・パルス幅は、 $0x17<1:0>$ で設定します。

注意すべき点は、PFDに入力できる周波数を最大許容値にすることです。PFDの最大入力周波数は、表2の「位相/周波数検出器」のパラメータで規定されているように、アンチバックラッシュ・パルス幅の設定値の関数になります。

# AD9516-0

## チャージ・ポンプ (CP)

チャージ・ポンプは、PFDによって制御されます。PFDは、2つの入力間の位相と周波数の関係をモニタし、ポンプアップまたはポンプダウンによって積分ノード（ループ・フィルタの一部）を充電または放電するようCPに指示します。積分およびフィルタ処理されたCP電流は、LFピン（または外部VCOの同調ピン）を通して内部VCOの同調ノードを駆動する電圧に変換され、これに基づいてVCO周波数が上下します。CPは、ハイ・インピーダンス（ホールドオーバー動作が可能）、通常動作（PLLループのロック動作）、ポンプアップまたはポンプダウン（テスト・モード）に設定できます（ $0 \times 10 < 6:4 >$ ）。CP電流は、公称値 $600 \mu\text{A} \sim 4.8 \text{mA}$ の範囲で8段階に設定できます。CP電流のLSBの正確な値は、公称値 $5.1 \text{k}\Omega$ のCP\_RSET抵抗によって設定されます。

## オンチップVCO

AD9516には、表2に示す周波数レンジに対応するオンチップVCOが備わっています。VCOの設計では、VCO位相ノイズを低くすることを重視しました。

このVCOが対応する広範な周波数で同調を行うために、複数のレンジを使用します。これはユーザに見えないことですが、PLLループを設定するとき、最初にVCOのキャリブレーションが必要になるためです。このキャリブレーション手順によって、発生すべき周波数帯域内でVCOが確実に動作することが保証されます。詳細については、「VCOのキャリブレーション」を参照してください。

オンチップVCOは、オンチップの低ドロップアウト（LDO）リニア電圧レギュレータによってパワーアップします。LDOは、電源電圧レベルの変動からVCOをある程度分離します。安定性を確保するために、BYPASSピンとグラウンドの間に $220 \text{nF}$ のコンデンサを接続してください。このLDOはアナログ・デバイセズのanyCAP®レギュレータ製品ラインと同じ技術を採用しているため、使用するコンデンサのタイプによって左右されません。BYPASSピンから外部負荷を駆動することはできません。

## PLLの外部ループ・フィルタ

内部VCOを使用する場合は、ノイズ性能とスプリアス性能を最適化するために、BYPASSピンを基準として外部ループ・フィルタを使用する必要があります。図46にPLLの外部ループ・フィルタの例を示します。ループ・フィルタは、所望のPLLの構成ごとに計算しなければなりません。部品の値は、VCO周波数、 $K_{\text{VCO}}$ 、PFD周波数、CP電流、所望のループ帯域幅と位相マージンによって異なります。ループ・フィルタは位相ノイズ、ループのセトリング時間、ループの安定性に影響します。ループ・フィルタの設計について理解するには、PLLの原理についての知識が必要です。アプリケーションの条件に応じてループ・フィルタを計算するために、ADIsimCLKなどのツールを使用できます。

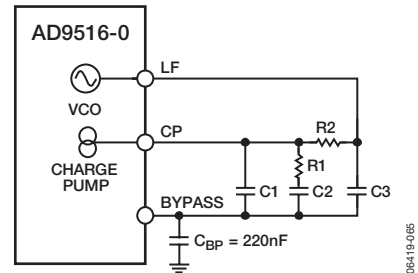


図46. PLLの外部ループ・フィルタの例

## PLLのリファレンス入力

AD9516には柔軟性に優れたPLLリファレンス入力回路があり、完全な差動入力か2つの異なるシングルエンド入力のいずれかを選べます。リファレンス入力の入力周波数レンジは、表2で規定しています。差動入力とシングルエンド入力はともにセルフバイアスされるため、入力信号のAC結合が簡単にできます。

差動入力とシングルエンド入力は、REFIN (REF1) と  $\overline{\text{REFIN}}$  (REF2) の2本のピンを共用します。リファレンス入力のタイプの選択やそのコントロールは、 $0 \times 1 \text{C}$ で行います（表51と表53を参照）。

差動のリファレンス入力を選択する場合は、2つのセルフバイアス・レベルをわずかにずらし（約 $100 \text{mV}$ 、表2を参照）て、リファレンスが低速化するか消失した時に入力バッファにチャタリングが発生しないようにします。そのために、ドライバに必要な電圧振幅が増加するので、このオフセットの影響がなくなります。

シングルエンド入力は、DC結合のCMOSレベル信号、あるいはAC結合の正弦波または矩形波で駆動できます。絶縁性の向上や消費電力の削減が必要ない場合は、2つのシングルエンド入力を個々にパワーダウンできます。差動またはシングルエンドのリファレンスは、特にイネーブルする必要があります。PLLのすべてのリファレンス入力は、デフォルトでオフに設定されています。

差動のリファレンス入力は、PLLがパワーダウンするとき、また差動のリファレンス入力を選択されていないときにパワーダウンします。シングルエンドのバッファは、PLLがパワーダウンするとき、またそれぞれのパワーダウン・レジスタが設定されているときにパワーダウンします。差動モードを選択すると、シングルエンド入力がパワーダウンします。

差動モード時は、リファレンス入力ピンが内部でセルフバイアスされているため、コンデンサを介してAC結合できます。これらの入力のDC結合も可能です。差動のREFINをシングルエンド信号で駆動する場合は、使用しない入力（REFIN）を適切なコンデンサを介してグラウンドに接続して、デカップリングしてください。図47にREFINの等価回路を示します。

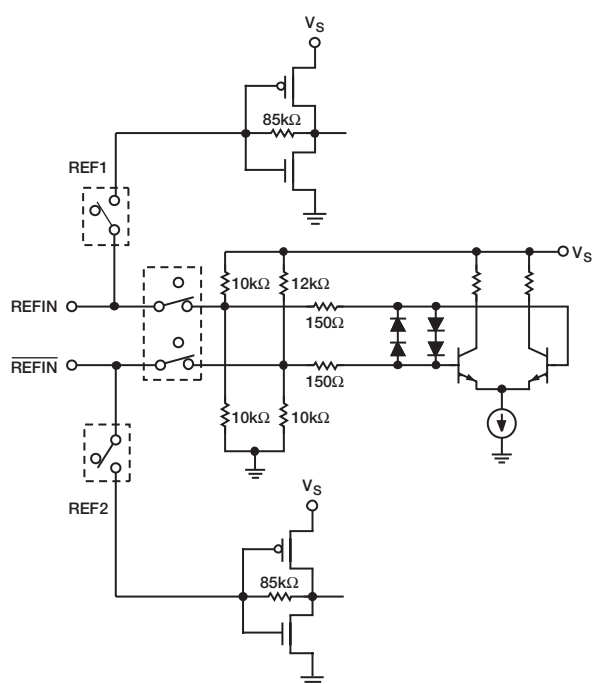


図47. REF1の等価回路

06419-066

### リファレンス切替え

AD9516は、デュアルのシングルエンドCMOS入力とシングルエンドの差動リファレンス入力をサポートします。デュアル・シングルエンド・リファレンス・モードのとき、AD9516はPLLのリファレンス・クロックをREF1 (REFINピン) またはREF2 (REFINピン) に自動または手動で切り替えることができます。この機能は、リファレンスの冗長性が必要なネットワークやその他のアプリケーションをサポートします。リファレンス切替えを使用するときは、シングルエンドのリファレンス入力をDC結合のCMOSレベルとし、ハイ・インピーダンスにならないようにする必要があります。これらの入力がハイ・インピーダンスになると、ノイズによってバッファにチャタリングが発生し、誤ってリファレンスが検出されることがあります。

リファレンスの切替えでは、複数のモードが設定できます。切替えは手動または自動で実行できます。手動切替えには、レジスタの設定 (0x1D) またはREF\_SELピンを使用します。REF1が消失すると、自動切替えが行われます。切替デグリッチ機能もあり、新しく選択されたリファレンスから大きくずれた立上がりエッジをPLLが受け付けないようにします。

リファレンスの自動切替えには、次の2つのモード (0x1C) があります。

- REF1優先：REF1が消失すると、自動的にREF1からREF2にスイッチします。REF1が復帰すると、REF2からREF1に戻ります。
- REF2維持：REF1が消失するとREF2に自動的にスイッチしますが、REF1が復帰しても戻りません。適宜手動でリファレンスをREF1に戻すことができます。

自動モードでは、REF2がREF1をモニタします。REF1が消失すると (REF1のエッジ変化がないまま、REF2の立下がりエッジが2つ連続する場合)、REF1が喪失したと判断されます。REF2の次の立上がりエッジで、REF2がPLLのリファレンス・クロックとして使用されます。REF1が復帰したとき (REF1のエッジ間にREF2の立下がりエッジが2つ連続することなく、REF1に4つの立上がりエッジが発生する場合)、0x1C<3>=0b (デフォルト) であれば、PLLのリファレンスはREF1に戻ります。0x1C<3>=1bの場合は、いつREF1に切り替えるかユーザが制御できます。AD9516を手動のリファレンス選択モード (0x1C<4>=0b) にし、レジスタやREF\_SELピンの設定で所望のリファレンスを選択できるようにします。REF1を再び選択するときに、自動モードを再度イネーブ爾することができません。

手動切替えのときは、切替え先のリファレンス入力上にクロックが存在するか、またはデグリッチ機能をディスエーブル (0x1C<7>) する必要があります。

### リファレンス分周器R

リファレンス入力、リファレンス分周器Rに入力されます。0x11と0x12への書込みで、R (14ビット・カウンタ) を0~16383の任意の値に設定できます。(R=0とR=1で1分周の設定になります。) R分周器の出力はPFD入力の1つに入力され、N分周器で分周されたVCO周波数と比較されます。PFDの入力周波数は、アンチバックラッシュ・パルスの設定で決まる最大許容周波数を超えることはできません (表2を参照)。

Rカウンタには、専用のリセットがあります。R、A、Bの各カウンタに共通のリセット・ビットを使用して、Rカウンタをリセットできます。SYNC動作でもリセットできます。

### VCO/VCOの帰還N分周器：P、A、B、R

N分周器は、プリスケアラ (P) とカウンタAおよびカウンタBで構成されています。分周の合計値は、次の式で得られます。

$$N=(P \times B)+A$$

ここで、Pの値は2、4、8、16、32のいずれかです。

### プリスケアラ

AD9516のプリスケアラには、1、2、3の固定分周 (FD) モード、さらにPと (P+1) {2と3、4と5、8と9、16と17、32と33} でプリスケアラを分周するデュアル係数 (DM) モードの2種類の動作モードが可能です。表53の0x16<2:0>にプリスケアラの動作モードを示します。周波数によっては、動作モードが使用できないことがあります (表2を参照)。

AD9516をデュアル係数モード (P//P+1) で動作させる場合、入力リファレンス周波数とVCOの出力周波数の関係式は、次のようになります。

$$f_{VCO}=(f_{REF}/R) \times (P \times B+A)=f_{REF} \times N/R$$

ただし、プリスケアラを1、2、3のFDモードで動作させる場合は、Aカウンタは使用せず (A=0)、次のような簡単な式になります。

$$f_{VCO}=(f_{REF}/R) \times (P \times B)=f_{REF} \times N/R$$

## AD9516-0

A=0のとき、分周はP=2、4、8、16、32の固定分周となり、この場合も上記の式が適用できます。

DMモードとFDモードを組み合わせることで、AD9516は最小N=1までのN分周比を設定できます。表28に、10MHzのリファレンス入力をNの整数倍の値にロックする方法を示します。

同じN値をさまざまな方法で導き出すことができます。たとえば、N=12の場合、B=6でP=2の固定分周モードを選択することも、A=0、B=6でデュアル係数モード2/3を使用することも、あるいはA=0、B=3でデュアル係数モード4/5を使用することも可能です。

### AカウンタとBカウンタ

AD9516のBカウンタはバイパスできます (B=1)。Bカウンタ・バイパス・モードは、プリスケアラをFDモードで使用する場合のみ有効です。A=0のとき、分周はP=2、4、8、16、32の固定分周となります。

Rカウンタと異なり、A=0は実際にゼロです。Bカウンタは3以上にするか、バイパスする必要があります。

A/Bカウンタの最大入力周波数は、表2に示すプリスケアラの最大出力周波数 (約300MHz) に反映されます。これは、プリスケアラ入力周波数 (VCOまたはCLK) ÷ Pです。

通常は手動リセットは必要ありませんが、A/Bカウンタには専用のリセット・ビットがあります。R、A、Bの各カウンタに共通のリセット・ビットを使用して、AカウンタとBカウンタをリセットできます。SYNC動作でもリセットできます。

Rカウンタ、Aカウンタ、Bカウンタ：SYNCピンによるリセット  
SYNCピンを使用して、R、A、Bの各カウンタを同時にリセットできます。この機能は、0x19<7:6>で制御します (表53を参照)。SYNCピンによるリセットは、デフォルトでディスエーブルされています。

### R分周器とN分周器の遅延

R分周器とN分周器には、プログラマブル遅延セルが備わっています。遅延をイネーブルして、PLLのリファレンス・クロックとVCOまたはCLKとの位相関係を調整できます。各遅延は3つのビットで制御します。合計の遅延は、約1nsの範囲内です。表53の0x19を参照してください。

表28. 10MHzのリファレンス入力をNの整数倍の値にロックする方法

FREP	R	P	A	B	N	FVCO	Mode	Notes
10	1	1	X	1	1	10	FD	P = 1, B = 1 (bypassed)
10	1	2	X	1	2	20	FD	P = 2, B = 1 (bypassed)
10	1	1	X	3	3	30	FD	P = 1, B = 3
10	1	1	X	4	4	40	FD	P = 1, B = 4
10	1	1	X	5	5	50	FD	P = 1, B = 5
10	1	2	X	3	6	60	FD	P = 2, B = 3
10	1	2	0	3	6	60	DM	P and P + 1 = 2 and 3, A = 0, B = 3
10	1	2	1	3	7	70	DM	P and P + 1 = 2 and 3, A = 1, B = 3
10	1	2	2	3	8	80	DM	P and P + 1 = 2 and 3, A = 2, B = 3
10	1	2	1	4	9	90	DM	P and P + 1 = 2 and 3, A = 1, B = 4
10	1	2	X	5	10	100	FD	P = 2, B = 5
10	1	2	0	5	10	100	DM	P and P + 1 = 2 and 3, A = 0, B = 5
10	1	2	1	5	11	110	DM	P and P + 1 = 2 and 3, A = 1, B = 5
10	1	2	X	6	12	120	FD	P = 2, B = 6
10	1	2	0	6	12	120	DM	P and P + 1 = 2 and 3, A = 0, B = 6
10	1	4	0	3	12	120	DM	P and P + 1 = 4 and 5, A = 0, B = 3
10	1	4	1	3	13	130	DM	P and P + 1 = 4 and 5, A = 1, B = 3

## デジタル・ロック検出 (DLD)

各ピン上のマルチプレクサで適切な出力を選択することにより、LDピン、STATUSピン、REFMONピンでDLD機能を使用できます。PFD入力の上上がりエッジの時間差が、規定された値（ロック・スレッシュホールド）よりも短いと、デジタル・ロック検出回路がロックを示します。この時間差が規定された値（アンロック・スレッシュホールド）を超えると、ロック喪失を示します。アンロック・スレッシュホールドはロック・スレッシュホールドよりも広いため、ロック・インジケータにチャタリングが発生することなく、ロック・ウィンドウを上回る位相誤差が発生することがあります。

ロック検出ウィンドウのタイミングは、デジタル・ロック検出ウィンドウ・ビット (0x18<4>)、アンチバックラッシュ・パルス幅の設定 (0x17<1:0>)、表2を参照)、ロック検出カウンタ (0x18<6:5>) の3つの設定によって決まります。ロック検出スレッシュホールドよりも短い時間差で、設定された数のPFDサイクルの連続が終わるまで、ロックは表示されません。その後、アンロック・スレッシュホールドよりも長い時間差がシングル・サイクルで発生するまで、ロック検出回路はロックを示したままになります。ロック検出が正しく動作するためには、PFD周波数の継続時間がアンロック・スレッシュホールドよりも長くなければなりません。ロックに必要な連続PFDサイクル数を設定できます (0x18<6:5>)。

## アナログ・ロック検出 (ALD)

AD9516には、LDピンで使用を選択できるALD機能が備わっています。ALDには、次の2種類があります。

- Nチャンネルのオープン・ドレイン・ロック検出。この信号では、正側電源VSにプルアップ抵抗を接続する必要があります。出力は、ローレベルに変化する短い信号パルスで、ノーマル・ハイレベルです。ローレベルに変化する信号パルスの最小デューティサイクルで、ロックを示します。
- Pチャンネルのオープン・ドレイン・ロック検出。この信号では、GNDにプルダウン抵抗を接続する必要があります。出力は、ハイレベルに変化する短い信号パルスでノーマル・ローレベルです。ハイレベルに変化する信号パルスの最小デューティサイクルで、ロックを示します。

アナログ・ロック検出機能を使用するときは、ロック/アンロックを示すロジック・レベルを出力するためにR-Cフィルタが必要です。

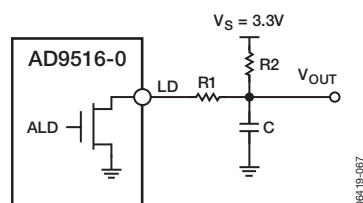


図48. Nチャンネルのオープン・ドレイン・ドライバを使用するアナログ・ロック検出フィルタの例

## 電流源のデジタル・ロック検出 (DLD)

PLLのロッキング・シーケンス時に、通常、DLD信号は何回もトグルされた後、PLLが完全にロックされて安定化したときに安定状態に入ります。アプリケーションによっては、PLLが完全にロックされないとDLDがアサートされないようにするほう

が望ましいことがあります。電流源ロック検出機能を使用することによって、これが可能です。この機能を選択するときは、LDピン出力によるコントロール (0x1A<5:0>) に設定します。

電流源ロック検出回路は、DLDが真のときに110 $\mu$ Aの電流を出力し、DLDが偽のときにグラウンドに短絡します。コンデンサをLDピンに接続すると、DLDが真のときに電流源に基づくレートで充電しますが、DLDが偽のときはただちに放電します。LDピン（コンデンサの上部）の電圧を監視することにより、十分長い時間DLDが真を維持した後で初めてロジック・ハイレベルにすることが可能です。一時的にでもDLDが偽になると、充電がリセットされます。適切な容量のコンデンサを選択することで、PLLが安定してロックされ、ロック検出信号のチャタリングがなくなるまで、ロック検出の表示を遅延できます。

コンデンサ上の電圧は、LDピンに外付けしたコンパレータで検知できます。ただし、内部LDピン・コンパレータがあり、REFMONピン・コントロール (0x1B<4:0>) またはSTATUSピン・コントロール (0x17<7:2>) でアクティブ・ハイの信号として読み出すことができます。アクティブ・ローの信号も可能です (REFMON、0x1B<4:0>およびSTATUS、0x17<7:2>)。表16に、内部LDピン・コンパレータのトリップ・ポイントとヒステリシスを示します。

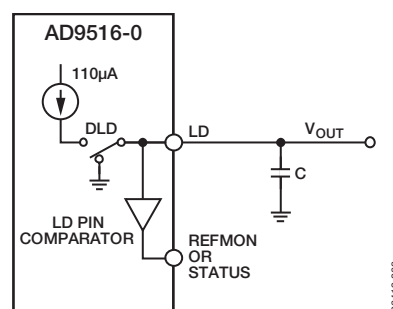


図49. 電流源ロック検出

## 外部VCXO/VCOクロック入力 (CLK/CLK)

CLKは、AD9516のクロック分配部の駆動入力として使用できる差動入力です。最大2.4GHzの周波数を入力できます。ピンは内部でセルフ・バイアスされているため、入力信号はコンデンサを使用してAC結合する必要があります。

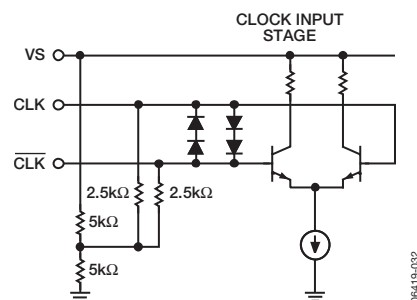


図50. CLK等価入力回路

CLK/CLK入力は、分配専用入力 (PLLをオフに設定) として使用するか、または内部VCOを使用しないときに、内部PLLを使用する外部VCO/VCXOの帰還入力として使用できます。CLK/CLK入力は、最大2.4GHzまでの周波数に使用できます。

## ホールドオーバー

AD9516のPLLは、ホールドオーバー機能を備えています。チャージ・ポンプをハイ・インピーダンスの状態にすることによってホールドオーバーが行われます。PLLのリファレンス・クロックが喪失したときに、この機能が役立ちます。ホールドオーバー・モードでは、リファレンス・クロックが存在しない場合でも、比較的一定のVCO周波数を維持できます。この機能を使用しないと、チャージ・ポンプは一定のポンプアップまたはポンプダウン状態に入り、VCO周波数が大きくシフトします。チャージ・ポンプがハイ・インピーダンス状態になるため、チャージ・ポンプ出力がVCO同調ノードでリーク電流が発生すると、これが原因でVCO周波数がドリフトします。このドリフトは、リーク電流から誘導されるVCO制御電圧のスルーレート ( $I_{LEAK}/C$ ) によって制限されるため、容量の大きいコンデンサ部品を含むループ・フィルタを使用することによって削減できます。

SYNCピンを使用する手動ホールドオーバーと自動ホールドオーバーの2つのモードを使用できます。いずれのモードを使用するときも、ホールドオーバー機能をイネーブルする必要があります (0x1D<0>および0x1D<2>)。

[ホールドオーバーのイネーブル時には、VCOのキャリブレーションは実行できません。これは、キャリブレーション中にホールドオーバーによってN分周器がリセットされ、正しいキャリブレーションができなくなるためです。VCOキャリブレーションを発行する前に、ホールドオーバーをディスエーブルしてください。]

## 手動ホールドオーバー・モード

手動ホールドオーバー・モードをイネーブルすることで、SYNCピンがローレベルにアサートされているときにチャージ・ポンプをハイ・インピーダンスの状態に設定できます。この動作はエッジ・センシティブであり、ロジックレベル・センシティブではありません。チャージ・ポンプはただちに、ハイ・インピーダンス状態に入ります。チャージ・ポンプのハイ・インピーダンス状態を終了するときは、SYNCピンをハイレベルにします。その後、チャージ・ポンプはリファレンス・クロックからの次のPFDの立上がりエッジと同期して、ハイ・インピーダンス状態を終了します。これによって、SYNCのハイレベルから次のPFDイベントまでの間に余計なチャージ・ポンプ・イベントが発生することはありません。リファレンス・クロックが存在しない限り、チャージ・ポンプはハイ・インピーダンス状態を維持します。

リファレンス・パスのPFDイベントが発生するとき、チャージ・ポンプがハイ・インピーダンス状態を終了するとともに、Bカウンタ (N分周器の内部) が同期してリセットされます。これによって、R分周器とN分周器から発生するエッジがアライメントされ、PLLのセトリング時間が短縮します。プリスケラはリセットされないため、特にBとRの値が近いとき、ループが完全にセトリングするための位相差が小さくなることから最大の効果が得られます。

このモードを使用するときは、チャンネル分周器がSYNCピンを無視 (少なくともSYNCの最初のイベントの後) するように設定します。チャンネル分周器でSYNCピンを無視する設定をしないと、SYNCがローレベルになってAD9516がホールドオーバー・モードに入るとき、必ず分配部の出力がターンオフします。

## 自動/内部ホールドオーバー・モード

この機能をイネーブルすると、ループのロック喪失時にチャージ・ポンプが自動的にハイ・インピーダンス状態に入ります。これは、ループがロックを喪失するのは、PLLがリファレンス・クロックを喪失している場合のみという考えに基づいています。したがって、ホールドオーバー機能によってチャージ・ポンプをハイ・インピーダンス状態にし、VCO周波数をリファレンス・クロックが消失する前の元の周波数にできる限り近くなるようにします。

図51に、内部/自動ホールドオーバー機能動作のフロー・チャートを示します。

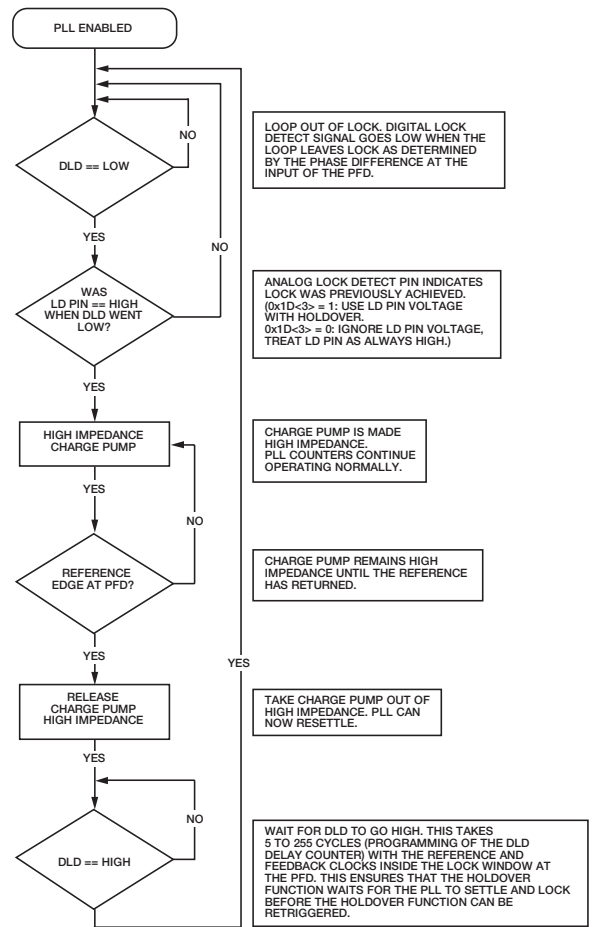


図51. 自動/内部ホールドオーバー・モードのフロー・チャート

ホールドオーバー機能は、ホールドオーバーを開始する条件としてLDピンのロジック・レベルを検出します。LDの信号は、DLD、ALD、または電流源のLDモードから検出できます。LDコンパレータをディスエーブルして (0x1D<3>), ホールドオーバー機能がLDを常にハイレベルで検出するように設定できます。DLDを使用する場合、PLLがロックを取り戻すときに、DLD信号がしばらくチャタリングすることがあります。ホールドオーバー機能を再トリガすることにより、ホールドオーバー・モードの終了を防ぐことができます。このような状況が生じないように、電流源ロック検出モードを使用することを推奨します (「電流源のデジタル・ロック検出」を参照)。

ホールドオーバー・モードに入ると、リファレンス・クロックが存在しない限り、チャージ・ポンプはハイ・インピーダンス状態に維持されます。

外部ホールドオーバー・モードの場合と同様に、リファレンス・パスのPFDイベントが発生するときに、チャージ・ポンプがハイ・インピーダンス状態を終了するとともに、Bカウンタ(N分周器の内部)が同期してリセットされます。これによって、R分周器とN分周器から発生するエッジがアライメントされ、PLLのセトリング時間が短縮するとともに、セトリング時の周波数誤差が削減します。プリスケアラはリセットされないため、特にBとRの値が近いとき、ループが完全にセトリングするための位相差が小さくなることから最大の効果が得られます。

ホールドオーバーを終了した後で、ループは再びロックを取り戻し、LDピンがチャージしないと再度ホールドオーバー・モード(CPがハイ・インピーダンス)に入れません(0x1D<3>=1の場合)。

ホールドオーバー機能は、現在選択されているリファレンスの状態(0x1C)に常に対応します。リファレンス周波数の切替え時にループがロックを喪失すると(「リファレンス周波数の切替え」を参照)、PFDで次のリファレンス・クロック・エッジが検出されるまで、ホールドオーバーが一時的にトリガされます。

次のレジスタは、内部/自動ホールドオーバー機能を設定するときに関係します。

- 0x18<6:5>—ロック検出カウンタ。エッジがロック検出ウィンドウ内に入る連続するPFDサイクルがいくつあれば、DLDインジケータがロックを表示するかを指定します。LDピンがチャージを開始できるようになるまでに必要な時間、およびホールドオーバー・イベントが終了した後で再びホールドオーバー機能を実行できるようになるまでの遅延時間に影響します。
- 0x18<3>—デジタル・ロック検出のデイスエーブル。DLD回路をイネーブルするには、このビットを0に設定する必要があります。DLD機能をイネーブルしないと、内部/自動ホールドオーバーは正しく動作しません。
- 0x1A<5:0>—ロック検出ピンの出力選択。LDピン・コンパレータを使用する場合は、000100bに設定して、電流源ロック検出モードにする必要があります。適切な容量のコンデンサをLDピンに接続してください。
- 0x1D<3>—LDピン・コンパレータのイネーブル。1=イネーブル、0=デイスエーブル。デイスエーブル時は、ホールドオーバー機能がLDピンを常にハイレベルとして検出します。
- 0x1D<1>—外部ホールドオーバー・コントロールのイネーブル。
- 0x1D<0>およびレジスタ0x1D<2>—ホールドオーバー機能のイネーブル。ホールドオーバーをデイスエーブルすると、外部と内部/自動のホールドオーバーがデイスエーブルされます。

たとえば、次の機能とともに自動ホールドオーバーを使用します。

- REF1を優先する自動リファレンス周波数切替え
  - デジタル・ロック検出：5つのPFDサイクル、ハイレンジ・ウィンドウ
  - LDピン・コンパレータを使用する自動ホールドオーバー
- 次のレジスタ設定を(通常のPLLレジスタのほかに)行います。
- 0x18<6:5>=00b、ロック検出カウンタ=5サイクル
  - 0x18<4>=0b、ロック検出ウィンドウ=ハイレンジ
  - 0x18<3>=0b、DLDの通常動作
  - 0x1A<5:0>=000100b、電流源ロック検出モード
  - 0x1C<4>=1b、自動リファレンス周波数切替えをイネーブル
  - 0x1C<3>=0b、REF1を優先
  - 0x1C<2:1>=11b、REF1およびREF2入力バッファをイネーブル
  - 0x1D<3>=1b、LDピン・コンパレータをイネーブル
  - 0x1D<2>=1b、ホールドオーバー機能をイネーブル
  - 0x1D<1>=0b、内部/自動ホールドオーバー・モードを使用
  - 0x1D<0>=1b、ホールドオーバー機能をイネーブル

#### 周波数ステータス・モニタ

AD9516には、周波数ステータス・モニタが3つあります。PLLリファレンス(またはシングルエンド・モードの場合は複数のリファレンス)やVCOがスレッシュールド周波数よりも低い場合に、これを示すために使用します。図52に、PLL内部の周波数ステータス・モニタの場所を示す回路図を示します。

PLLリファレンス周波数モニタには、通常と拡張の2つのスレッシュールド周波数があります(表16を参照)。リファレンス周波数モニタ・スレッシュールドは、0x1Fで選択します。

# AD9516-0

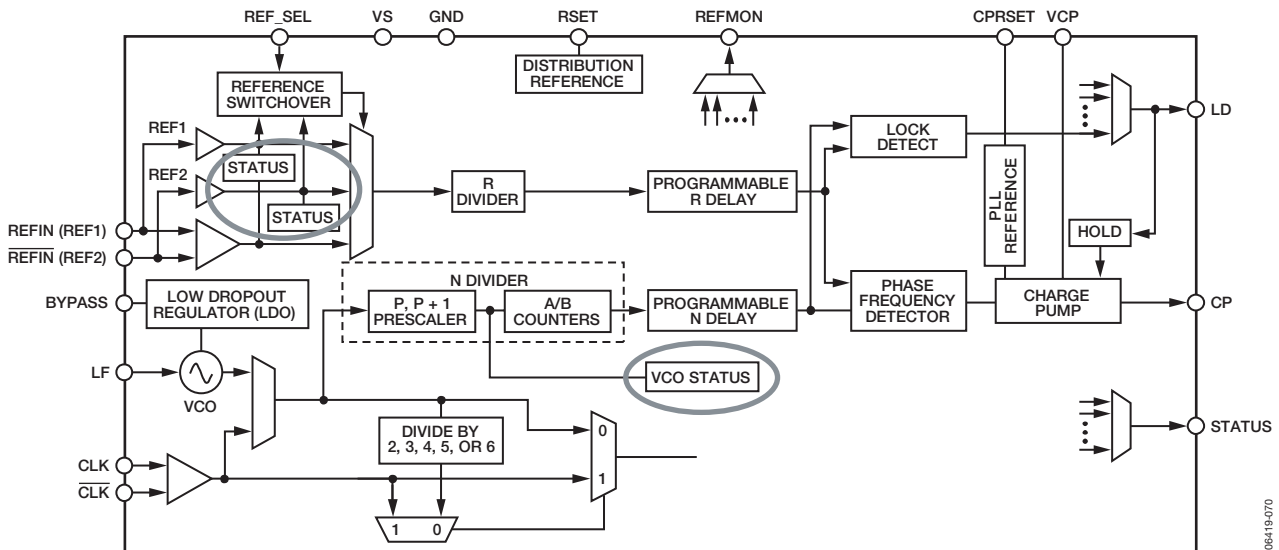


図52. リファレンス周波数およびVCOステータス・モニタ

## VCOのキャリブレーション

製造プロセスや温度の変化に対して正しい動作を得るには、AD9516のオンチップVCOのキャリブレーションが必要です。分周されたREFINクロックで動作するキャリブレーション・コントローラが、VCOのキャリブレーションを制御します。キャリブレーションに際しては、PLLループをロックするように正しくPLLを設定し、REFINクロックを供給する必要があります。AD9516のパワーアップ後またはリセット後の最初の初期化のときに、0x18<0>=1bの設定によってVCOのキャリブレーション・シーケンスを開始します。レジスタ更新(0x232<0>=1b)を実行する前に、初期設定の一部として実行できます。初期設定の後には、0x18<0>=0bをリセットし、レジスタ更新の動作を実行し、0x18<0>=1bを設定し、また別のレジスタ更新の動作を実行することでVCOのキャリブレーション・シーケンスを開始します。読み出しビット(0x1F<6>)がロジック真(1b)を返すことによって、VCOのキャリブレーションが終了したことを示します。

VCOキャリブレーションの動作シーケンスは、次のとおりです。

- PLLループに対応する正しい値にPLLレジスタを設定します。
- パワーアップ後またはリセット後にレジスタの初期設定を行う場合は、0x18<0>=1に設定してVCOのキャリブレーションを開始します。その後は、キャリブレーションが必要な場合に0x18<0>=0bを設定し、レジスタを更新した後、0x18<0>=1bを設定し、さらにレジスタの更新を行います。
- SYNC動作が内部で開始され、出力は通常のSYNC機能動作で決められたスタティック状態に入ります。
- キャリブレーションにより、必要なVCO周波数に対してVCOを望ましい設定にします。
- 内部でSYNC信号を解除し、出力がクロック動作を続けられるようにします。
- PLLループが閉じます。
- PLLがロックされます。

VCOのキャリブレーション中にSYNCが実行されるため、AD9516の出力はキャリブレーションの実行中にスタティックな状態に維持され、不要な周波数の発生を防ぎます。ただし、

VCOのキャリブレーションの終了時に、PLLループが完全にセトリングしないうちに出力がクロックを再開することがあります。

VCOキャリブレーションのクロック分周器は、表5.3(0x18<2:1>)に示すように設定します。

キャリブレーション分周器は、PFD周波数を分周して(リファレンス周波数÷R)、キャリブレーション・クロックを発生します。PFD周波数をキャリブレーション分周器の設定値で除算した周波数でキャリブレーションが実行されます。VCOのキャリブレーション・クロック周波数を低くすると、キャリブレーションにかかる時間が長くなります。

VCOのキャリブレーション・クロック周波数は、次の式で得られます。

$$f_{CAL\_CLOCK} = f_{REFIN} / (R \times cal\_div)$$

ここで、

$f_{REFIN}$  = REFIN信号の周波数

R = R分周器の値

cal\_div = VCOキャリブレーション分周器(0x18<2:1>)で設定する分周比。

VCOキャリブレーションでは、4400のキャリブレーション・クロック・サイクルが実行されます。したがって、PLLリファレンス・クロック・サイクル単位のキャリブレーション時間は、次の式で計算できます。

$$Time\ to\ Calibrate\ VCO =$$

$$4400 \times R \times cal\_div\ PLL\ Reference\ Clock\ Cycles$$

表29. さまざまな $f_{REFIN}$ 周波数におけるVCOキャリブレーションの所要時間の例

$f_{REFIN}$ (MHz)	R Divider	PFD	Time to Calibrate VCO
100	1	100 MHz	88 $\mu$ s
10	10	1 MHz	8.8 ms
10	100	100 kHz	88 ms



VCOのキャリブレーションは、手動で開始する必要があります。このため、PLLレジスタのいずれかが値を変更するたびにキャリブレーションを実行するのではなく、どのような順番でレジスタを設定し、キャリブレーションをいつ開始するかを柔軟に決めることができます。たとえば、自動キャリブレーションを毎回実行することなく、VCO周波数をごくわずかに変更することができます（この変更は慎重に行う必要があります。たとえば、数百kHzなら問題ないが、数MHzでは問題があるといった場合もあるため、VCO制御電圧が最高の性能が保証される公称限界値を超えないことが明らかな場合にのみ行うようにします）。さらに、キャリブレーション手順に伴ってVCO周波数が急速に変化するため、分配部はキャリブレーションが終了するまで自動的にSYNC状態に入ります。したがって、この一時的な出力の損失を考慮に入れておく必要があります。

VCOのキャリブレーションは、次の条件で開始してください。

- PLLのR、P、B、Aの分周器のうちいずれかの設定を変更した後、またはPLLリファレンス・クロック周波数が変化した後。つまり、PLLレジスタまたはリファレンス・クロックが変化し、その結果VCO周波数が変わったときです。
- システム・キャリブレーションが必要な場合にいつでも。VCOは最初に一方の極端な温度でキャリブレーションが行われた場合でも、その反対の極端な温度でも正しく動作するように設計されています。ただし、必要に応じてVCOのキャリブレーションはいつでも開始できます。

## クロックの分配

クロック・チャンネルは、共通の1個の分周器を使用する出力ペア（CMOSの場合はダブル・ペア）で構成されます。クロック出力は、出力ピンに接続するドライバで構成されます。クロック出力ピンの信号レベルは、LVPECLまたはLVDS/CMOSです。

AD9516は、5つのクロック・チャンネルを備えています。このうち3つがLVPECL（6本の出力）、2つがLVDS/CMOS（最大4本のLVDS出力または最大8本のCMOS出力）です。

各チャンネルには、入力されたクロック周波数を分周する専用のプログラマブルな分周器がそれぞれ備わっています。LVPECLチャンネル分周器は、1～32の整数による分周が可能な分周器を内蔵しています。各LVDS/CMOSチャンネル分周器には、1～32の任意の整数での分周を設定できる2個のカスケード接続の分周器があります。チャンネルの合計分周比は、2個のカスケード接続された分周器の分周比の積になります。すなわち、 $(1\sim 32) \times (1\sim 32)$ 、最大1024の分周比が可能です（これは、1～1024までのすべての値ではなく、2個の分周器の分周比の積に相当する値のみです）。

内部VCOの周波数はチャンネル分周器の最大入力周波数（1600MHz）を上回るため、オンチップVCOの後でVCO分周器を使用する必要があります。VCO分周器は2、3、4、5、6分周の設定が可能です。CLK入力に接続する外部クロック信号の周波数が1600MHzより高い場合にも、VCO分周器が必要です。

チャンネル分周器では、現在設定されている分周比に応じてさまざまなデューティサイクルを選択できます。すなわち、特定の分周比Dに対して、分周器の出力をN+1入力クロック・サイクル時にハイレベル、M+1入力クロック・サイクル時にローレベルに設定できます（ $D=N+M+2$ ）。たとえば、5分周を分周器の1つの入力サイクル時にハイレベル、4サイクル時にローレベルに設定したり、または分周器の3つの入力サイクル時にハイレベル、2サイクル時にローレベルに設定することができます。その他の組み合わせも可能です。

チャンネル分周器には、デイスユーブル設定できるデューティサイクル補正機能があります。上述の選択できるデューティサイクルとは異なり、この機能は奇数の分周によって生じる50%以外のデューティサイクルを補正します。ただし、この機能を使用する場合は、 $M=N+1$ で分周を設定する必要があります。

また、チャンネル分周器には、粗位相オフセットまたは粗遅延の設定が可能です。選択した分周に応じて、最大31の入力クロック・サイクルまで出力を遅延できます。分周器の出力は、スタートをハイレベルまたはローレベルに設定できます。

## 内部VCOまたは外部CLKのクロック源

AD9516のクロック分配には、2つのクロック入力源を使用できます。内部VCOか、CLK/CLKピンに接続する外部クロックです。内部VCOか外部CLKのいずれかを分配クロック信号源に選択する必要があります。内部VCOをクロック源にする場合は、VCO分周器を使用する必要があります。CLKをクロック源にする場合は、CLK周波数がチャンネル分周器の最大入力周波数（1600MHz）よりも低い限り、VCO分周器を使用する必要はありません。CLK周波数がこれよりも高い場合は、VCO分周器を使用して、チャンネル分周器で許容できる周波数までCLK周波数を下げる必要があります。表30に、VCO、CLK、VCO分周器を選択する方法を示します。0x1E1<1:0>でチャンネル分周器のクロック源を選択し、VCO分周器を使用するかどうかを設定します。VCO分周器を使用せずに、VCOを選択することはできません。

表30. チャンネル分周器のクロック源のVCOまたはCLKの選択、およびVCO分周器を使用するか否かの選択

0x1E1		Channel Divider Source	VCO Divider
<1>	<0>		
0	0	CLK	Used
0	1	CLK	Not used
1	0	VCO	Used
1	1	Not allowed	Not allowed

## LVPECL出力へのCLKまたはVCOの直接接続

内部VCOまたはCLK（VCO分周器の入力に選択されている方）をOUT0～OUT5のLVPECL出力に直接接続することが可能です。この設定では、VCOの最大周波数までの周波数をLVPECL出力に直接送ることができます。LVPECL出力は、一番高い周波数で電圧振幅が最大にならないことがあります。

# AD9516-0

内部VCOまたはCLKに直接LVPECL出力を接続するときは、チャンネルで使用しない場合でも、分配部のクロック源にVCO分周器を選択する必要があります。

出力への直接接続の場合は、内部VCOまたはCLKのいずれかをクロック源に選択してください。

表31. VCO分周器の入力とLVPECL出力との直接接続の設定

Register Setting	Selection
0x1E1<1:0> = 00b	CLK is the source; VCO divider selected
0x1E1<1:0> = 10b	VCO is the source; VCO divider selected
0x192<1> = 1b	Direct to output OUT0, OUT1
0x195<1> = 1b	Direct to output OUT2, OUT3
0x198<1> = 1b	Direct to output OUT4, OUT5

## クロック周波数の分周

周波数分周の合計分周比は、VCO分周器（使用する場合）とチャンネル分周器の分周比を合わせた値になります。VCO分周器を使用する場合、VCOまたはCLKから出力までの分周比合計は、VCO分周器の分周比（2、3、4、5、6）とチャンネル分周器の分周比の積になります。表32と表33に、チャンネルの周波数分周を設定する方法を示します。LVPECL出力の場合、チャンネル当たりの分周器は1個のみです。LVDS/CMOS出力の場合は、チャンネル当たり2個の分周器（X.1、X.2）がカスケード接続されます。

表32. 分周器0から分周器2までの周波数分周

CLK or VCO Selected	VCO Divider	Channel Divider	Direct to Output	Frequency Division
CLK/VCO	2 to 6	1 (bypassed)	Yes	1
CLK/VCO	2 to 6	1 (bypassed)	No	(2 to 6) × (1)
CLK/VCO	2 to 6	2 to 32	No	(2 to 6) × (2 to 32)
CLK	Not used	1 (bypassed)	No	1
CLK	Not used	2 to 32	No	2 to 32

表33. 分周器3および分周器4の周波数分周

CLK or VCO Selected	VCO Divider	Channel Divider		Frequency Division
		X.1	X.2	
CLK/VCO	2 to 6	1 (bypassed)	1 (bypassed)	(2 to 6) × (1) × (1)
CLK/VCO	2 to 6	2 to 32	1 (bypassed)	(2 to 6) × (2 to 32) × (1)
CLK/VCO	2 to 6	2 to 32	2 to 32	(2 to 6) × (2 to 32) × (2 to 32)
CLK	Not used	1	1	1
CLK	Not used	2 to 32	1	(2 to 32) × (1)
CLK	Not used	2 to 32	2 to 32	2 to 32 × (2 to 32)

LVPECL出力ドライバに分周した周波数を供給するチャンネル分周器には、2~32分周器が1個備わっています。この分周器は、1~32分周を行います。1分周の場合は、分周器をバイパスします。分周器にはプログラマブルなデューティサイクル機能も備わっており、オプションとして分周比が奇数のときにデューティサイクルを補正します。入力クロック・サイクルの増分で位相オフセットまたは遅延を選択できます。チャンネル分周器は、最大入力1600MHzで動作します。分周器の機能とその設定は、該当するセットアップ・レジスタとコントロール・レジスタの設定で選択します（表51~表61を参照）。

## VCO分周器

VCO分周器は、内部VCOまたは外部CLKの入力とクロック分配チャンネル分周器の間の周波数分周を行います。VCO分周器は、2、3、4、5、6の分周比に設定できます（表59の0x1E0<2:0>を参照）。

## チャンネル分周器—LVPECL出力

チャンネル分周器は、LVPECLの各出力ペアを駆動します。合計6個のLVPECL出力（OUT0~OUT5）を駆動する3個のチャンネル分周器（0、1、2）があります。表34に、これらの分周器の分周比とその他の機能の設定に使用するレジスタのロケーションを示します。分周比は、MとNの値で設定します。バイパス・ビットを設定することにより、分周器をバイパスできます（1分周の設定と同じで、分周器回路はパワーダウンします）。DCCOFFビットの設定に応じて、デューティサイクル補正をイネーブルまたはディスエーブルすることができます。

表34. 分周器0、分周器1、分周器2のDxの設定

Divider	Low Cycles M	High Cycles N	Bypass	DCCOFF
0	0x190<7:4>	0x190<3:0>	0x191<7>	0x192<0>
1	0x193<7:4>	0x193<3:0>	0x194<7>	0x195<0>
2	0x196<7:4>	0x196<3:0>	0x197<7>	0x198<0>

## チャンネルの周波数分周（0、1、2）

各チャンネル（チャンネル番号はx : 0、1、2）について、MとN（0~15の10進数を表す各4ビット）の値で周波数分周比Dxを設定します。

$$\text{Number of Low Cycles} = M + 1$$

$$\text{Number of High Cycles} = N + 1$$

サイクルとは、チャンネル分周器の入力に現在接続されているクロック信号（VCO分周器出力またはCLK）のサイクルです。

分周器のバイパス時は、 $D_x = 1$ です。

その他の場合は、 $D_x = (N + 1) + (M + 1) = N + M + 2$ です。したがって、各チャンネル分周器では1~32の任意の整数による分周が可能です。

デューティサイクルおよびデューティサイクル補正 (0、1、2) チャンネル出力のクロック信号のデューティサイクルは、次に示す条件の一部またはすべての結果を反映します。

- そのチャンネルのMとNの値
- DCCイネーブルの有無
- VCO分周器使用の有無
- CLK入力のデューティサイクル (内部VCOのデューティサイクルは50%)

各チャンネル分周器のDCC機能は、デフォルトでイネーブルされています。ただし、チャンネルのDCCOFFビットを設定することにより、チャンネル分周器ごとにDCC機能をディスエーブルすることができます。

チャンネル分周器にMおよびNの値を指定すると、デューティサイクルが50%以外の値になります。M≠Nのときに分周が偶数の場合も、デューティサイクルは50%以外の値になります。デューティサイクル補正機能は、チャンネル分周器出力の50%以外のデューティサイクルを50%のデューティサイクルに自動的に補正します。デューティサイクルの補正を行うためには、チャンネル分周器には次の条件が必要です。

- 偶数分周は、M=Nで設定にする。
- 奇数分周は、M=N+1で設定にする。

バイパスまたはDCC機能による補正を行わない場合、各チャンネル分周器出力のデューティサイクルは、%単位の  $(N+1)/(N+M+2)$  の値になります。

表35～表37に、チャンネル分周器の出力をさまざまに設定した場合のデューティサイクルを示します。

表35. VCO分周器を使用し、入力デューティサイクルが50%の場合の出力デューティサイクル

VCO Divider	Dx	Output Duty Cycle	
		DCCOFF = 1	DCCOFF = 0
Even	1 (divider bypassed)	50%	50%
Odd = 3	1 (divider bypassed)	33.3%	50%
Odd = 5	1 (divider bypassed)	40%	50%
Even, Odd	Even	$(N+1)/(N+M+2)$	50%; requires M = N
Even, Odd	Odd	$(N+1)/(N+M+2)$	50%; requires M = N + 1

表36. VCO分周器を使用し、入力デューティサイクルがX%の場合の出力デューティサイクル

VCO Divider	Dx	Output Duty Cycle	
		DCCOFF = 1	DCCOFF = 0
Even	1 (divider bypassed)	50%	50%
Odd = 3	1 (divider bypassed)	33.3%	$(1+X\%)/3$
Odd = 5	1 (divider bypassed)	40%	$(2+X\%)/5$
Even	Even	$(N+1)/(N+M+2)$	50%, requires M = N
	Odd	$(N+1)/(N+M+2)$	50%, requires M = N + 1
Odd = 3	Even	$(N+1)/(N+M+2)$	50%, requires M = N
Odd = 3	Odd	$(N+1)/(N+M+2)$	$(3N+4+X\%)/(6N+9)$ , requires M = N + 1
Odd = 5	Even	$(N+1)/(N+M+2)$	50%, requires M = N
Odd = 5	Odd	$(N+1)/(N+M+2)$	$(5N+7+X\%)/(10N+15)$ , requires M = N + 1

表37. VCO分周器を使用しない場合のチャンネル分周器出力のデューティサイクル

Input Clock Divider	Dx	Output Duty Cycle	
		DCCOFF = 1	DCCOFF = 0
Any	1	1 (divider bypassed)	Same as input duty cycle
Any	Even	$(N+1)/(M+N+2)$	50%, requires M = N
50%	Odd	$(N+1)/(M+N+2)$	50%, requires M = N + 1
X%	Odd	$(N+1)/(M+N+2)$	$(N+1+X\%)/(2 \times N+3)$ , requires M = N + 1

内部VCOのデューティサイクルは50%です。したがって、このVCOを出力に直接接続する場合のデューティサイクルは50%です。CLK入力を直接出力に接続する場合の出力のデューティサイクルは、CLK入力のデューティサイクルと同じです。

# AD9516-0

## 位相オフセットまたは粗遅延 (0、1、2)

各チャンネル分周器はレジスタ・ビットの設定により、位相オフセットまたは粗遅延を設定できます (表38を参照)。この設定に基づいて、チャンネル分周器の入力周波数の何サイクル分 (連続的な立上がりエッジ) で分周器出力の立上がりエッジをオフセットまたは遅延するかが決まります。この遅延は、非遅延出力 (位相オフセットがゼロのとき) を基準とします。遅延量は、位相オフセット (PO) レジスタにロードされる5ビットと各チャンネル分周器のスタート・ハイ (SH) ビットで設定します。スタート・ハイ・ビットを設定すると、分周器に設定したロー・サイクル数 (M) も遅延に影響するようになります。

位相オフセットを有効にするには、SYNC機能を使用する必要があります (「出力の同期—SYNC機能」を参照)。

表38. 分周器0、分周器1、分周器2の位相オフセットと分周の設定

Divider	Start High (SH)	Phase Offset (PO)	Low Cycles M	High Cycles N
0	0x191<4>	0x191<3:0>	0x190<7:4>	0x190<3:0>
1	0x194<4>	0x194<3:0>	0x193<7:4>	0x193<3:0>
2	0x197<4>	0x197<3:0>	0x196<7:4>	0x196<3:0>

前提条件は次のとおりです。

$\Delta_t$  = 遅延 (秒単位)

$\Delta_c$  = 遅延 ( $D_x$ の入力におけるクロック信号のサイクル数)

$T_x$  = 分周器 $D_x$ の入力におけるクロック信号の期間 (秒)

$\Phi$  =

$$16 \times SH_{<4>} + 8 \times PO_{<3>} + 4 \times PO_{<2>} + 2 \times PO_{<1>} + 1 \times PO_{<0>}$$

チャンネル分周器の分周比は、 $N$  = ハイサイクルおよび $M$  = ローサイクルで設定します。

### 例1

$\Phi \leq 15$  の場合:

$$\Delta_t = \Phi \times T_x$$

$$\Delta_c = \Delta_t / T_x = \Phi$$

### 例2

$\Phi \geq 16$  の場合:

$$\Delta_t = (\Phi - 16 + M + 1) \times T_x$$

$$\Delta_c = \Delta_t / T_x$$

各分周器に異なる位相オフセットを指定することにより、出力間の遅延をチャンネル分周器の入力クロック・サイクルの増分として設定できます。図53に、このような出力間の粗オフセットの設定結果を示します。

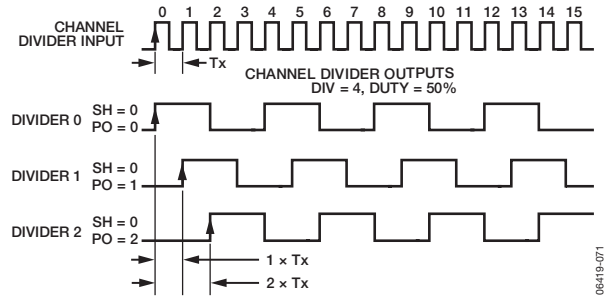


図53. 粗位相オフセット (または粗遅延) の結果

## チャンネル分周器—LVDS/CMOS出力

チャンネル分周器3とチャンネル分周器4は、それぞれLVDS出力ペアを駆動し、合計4個のLVDS出力 (OUT6~OUT9) を駆動することができます。各LVDS差動入力をCMOSシングルエンド出力ペア (AとB) としてそれぞれ設定し、最大8個のCMOS出力を構成することも可能です。各ペアのB出力はデフォルトでオフに設定されていますが、必要に応じてターンオンできます。

チャンネル分周器3とチャンネル分周器4は、それぞれ2個のカスケード接続された1~32の周波数分周器で構成されています。チャンネルの周波数分周比は、 $D_{x,1} \times D_{x,2}$  または最大1024です。どちらの分周器もデフォルトでDCCがイネーブルされていますが、チャンネルのDCCOFFビットの設定によって、必要に応じてディスエーブルすることができます。粗位相オフセットまたは粗遅延の設定も可能です (「位相オフセットまたは粗遅延 (分周器3および分周器4)」を参照)。チャンネル分周器は、最大1600MHzで動作します。分周器の機能と設定は、該当するセットアップ・レジスタとコントロール・レジスタの設定で選択します (表51および表52~表61を参照)。

表39. 分周器3、分周器4の分周 ( $D_x$ ) の設定

Divider	M	N	Bypass	DCCOFF	
3	3.1	0x199<7:4>	0x199<3:0>	0x19C<4>	0x19D<0>
	3.2	0x19B<7:4>	0x19B<3:0>	0x19C<5>	0x19D<0>
4	4.1	0x19E<7:4>	0x19E<3:0>	0x1A1<4>	0x1A2<0>
	4.2	0x1A0<7:4>	0x1A0<3:0>	0x1A1<5>	0x1A2<0>

## チャンネルの周波数分周 (分周器3と分周器4)

各チャンネル分周器の分周比は、個々の分周器に対応するレジスタのビットで設定します ( $X.Y = 3.1, 3.2, 4.1, 4.2$ )。

$$\text{Number of Low Cycles} = M_{X,Y} + 1$$

$$\text{Number of High Cycles} = N_{X,Y} + 1$$

$X.1$ と $X.2$ の両方をバイパスする場合は、 $D_x = 1 \times 1 = 1$ です。

$X.2$ のみをバイパスする場合は、 $D_x = (N_{X,1} + M_{X,1} + 2) \times 1$ です。

$X.1$ と $X.2$ のどちらもバイパスしない場合は、 $D_x = (N_{X,1} + M_{X,1} + 2) \times (N_{X,2} + M_{X,2} + 2)$ となります。

分周器をカスケード接続することにより、最大1024のチャンネル分周比が得られます。ただし、1から1024までのすべての整数値の分周比が得られるわけではありません。2個の分周器それぞれの分周比の積 ( $D_{X,1} \times D_{X,2}$ ) に相当する値のみが可能で

す。

分周器3と分周器4を使用するとき、1個の分周器のみで十分な場合は、最初の分周器 (X.1) を使用し、2番目の分周器 (X.2) はバイパスしてください。X.1をバイパスし、X.2を使用することはできません。

#### デューティサイクルおよびデューティサイクル補正 (分周器3と分周器4)

分周器3と分周器4のデューティサイクルおよびDCCに関する注意事項は、分周器0、分周器1、分周器2の場合と同じです (「デューティサイクルおよびデューティサイクル補正 (0、1、2)」を参照)。ただし、分周器3と分周器4のチャンネル分周器の場合は、適用可能な設定の数をもっと複雑です。

分周器3と分周器4のデューティサイクル補正では、チャンネル分周器について次の条件が必要です。

- 偶数の $D_{X,Y}$ は、 $M_{X,Y} = N_{X,Y}$  (ローサイクル=ハイサイクル) で設定する。
- 奇数の $D_{X,Y}$ は、 $M_{X,Y} = N_{X,Y} + 1$ で設定する (ローサイクルの値はハイサイクルの値より1大きい)。
- 分周器を1個だけバイパスする場合は、2番目の分周器X.2にする。
- 1個のみの分周器が偶数の分周器の場合は、2番目の分周器X.2とする。

表40～表44に、分周器3および分周器4からの出力クロックのデューティサイクルについて可能な設定を示します。

表40. 分周器3、分周器4のデューティサイクル、VCO分周器使用、デューティサイクル補正オフ (DCCOFF=1)

VCO Divider	$D_{X,1}$		Output Duty Cycle
	$N_{X,1} + M_{X,1} + 2$	$N_{X,2} + M_{X,2} + 2$	
Even	1	1	50%
Odd = 3	1	1	33.3%
Odd = 5	1	1	40%
Even	Even, Odd	1	$(N_{X,1} + 1) / (N_{X,1} + M_{X,1} + 2)$
Odd	Even, Odd	1	$(N_{X,1} + 1) / (N_{X,1} + M_{X,1} + 2)$
Even	Even, Odd	Even, Odd	$(N_{X,2} + 1) / (N_{X,2} + M_{X,2} + 2)$
Odd	Even, Odd	Even, Odd	$(N_{X,2} + 1) / (N_{X,2} + M_{X,2} + 2)$

表41. 分周器3、分周器4のデューティサイクル、VCO分周器を使用しない、デューティサイクル補正オフ (DCCOFF=1)

Input Clock Duty Cycle	$D_{X,1}$		Output Duty Cycle
	$N_{X,1} + M_{X,1} + 2$	$N_{X,2} + M_{X,2} + 2$	
50%	1	1	50%
X%	1	1	X%
50%	Even, Odd	1	$(N_{X,1} + 1) / (N_{X,1} + M_{X,1} + 2)$
X%	Even, Odd	1	$(N_{X,1} + 1) / (N_{X,1} + M_{X,1} + 2)$
50%	Even, Odd	Even, Odd	$(N_{X,2} + 1) / (N_{X,2} + M_{X,2} + 2)$
X%	Even, Odd	Even, Odd	$(N_{X,2} + 1) / (N_{X,2} + M_{X,2} + 2)$

表42. 分周器3、分周器4のデューティサイクル、VCO分周器使用、デューティサイクル補正オン (DCCOFF=0)、VCO分周器の入力デューティサイクル=50%

VCO Divider	$D_{X,1}$		Output Duty Cycle
	$N_{X,1} + M_{X,1} + 2$	$N_{X,2} + M_{X,2} + 2$	
Even	1	1	50%
Odd	1	1	50%
Even	Even ( $N_{X,1} = M_{X,1}$ )	1	50%
Odd	Even ( $N_{X,1} = M_{X,1}$ )	1	50%
Even	Odd ( $M_{X,1} = N_{X,1} + 1$ )	1	50%
Odd	Odd ( $M_{X,1} = N_{X,1} + 1$ )	1	50%
Even	Even ( $N_{X,1} = M_{X,1}$ )	Even ( $N_{X,2} = M_{X,2}$ )	50%
Odd	Even ( $N_{X,1} = M_{X,1}$ )	Even ( $N_{X,2} = M_{X,2}$ )	50%
Even	Odd ( $M_{X,1} = N_{X,1} + 1$ )	Even ( $N_{X,2} = M_{X,2}$ )	50%
Odd	Odd ( $M_{X,1} = N_{X,1} + 1$ )	Even ( $N_{X,2} = M_{X,2}$ )	50%
Even	Odd ( $M_{X,1} = N_{X,1} + 1$ )	Odd ( $M_{X,2} = N_{X,2} + 1$ )	50%
Odd	Odd ( $M_{X,1} = N_{X,1} + 1$ )	Odd ( $M_{X,2} = N_{X,2} + 1$ )	50%

# AD9516-0

表43. 分周器3、分周器4のデューティサイクル、VCO分周器使用、デューティサイクル補正オン (DCCOFF=0)、VCO分周器の入力デューティサイクル=X%

VCO Divider	D <sub>X,1</sub>	D <sub>X,2</sub>	Output Duty Cycle
	N <sub>X,1</sub> + M <sub>X,1</sub> + 2	N <sub>X,2</sub> + M <sub>X,2</sub> + 2	
Even	1	1	50%
Odd = 3	1	1	(1 + X%)/3
Odd = 5	1	1	(2 + X%)/5
Even	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	1	50%
Odd	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	1	50%
Even	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	50%
Odd = 3	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	(3N <sub>X,1</sub> + 4 + X%)/ (6N <sub>X,1</sub> + 9)
Odd = 5	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	(5N <sub>X,1</sub> + 7 + X%)/ (10N <sub>X,1</sub> + 15)
Even	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
Odd	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
Even	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
Odd	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
Even	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Odd (M <sub>X,2</sub> = N <sub>X,2</sub> + 1)	50%
Odd = 3	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Odd (M <sub>X,2</sub> = N <sub>X,2</sub> + 1)	(6N <sub>X,1</sub> N <sub>X,2</sub> + 9N <sub>X,1</sub> + 9N <sub>X,2</sub> + 13 + X%)/ (3(2N <sub>X,1</sub> + 3) (2N <sub>X,2</sub> + 3))
Odd = 5	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Odd (M <sub>X,2</sub> = N <sub>X,2</sub> + 1)	(10N <sub>X,1</sub> N <sub>X,2</sub> + 15N <sub>X,1</sub> + 15N <sub>X,2</sub> + 22 + X%)/ (5(2N <sub>X,1</sub> + 3) (2N <sub>X,2</sub> + 3))

表44. 分周器3、分周器4のデューティサイクル、VCO分周器を使用しない、デューティサイクル補正オン (DCCOFF=0)

Input Clock Duty Cycle	D <sub>X,1</sub>	D <sub>X,2</sub>	Output Duty Cycle
	N <sub>X,1</sub> + M <sub>X,1</sub> + 2	N <sub>X,2</sub> + M <sub>X,2</sub> + 2	
50%	1	1	50%
50%	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	1	50%
X%	1	1	X% (High)
X%	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	1	50%
50%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	50%
X%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	(N <sub>X,1</sub> + 1 + X%)/ (2N <sub>X,1</sub> + 3)
	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	1	(N <sub>X,1</sub> + 1 + X%)/ (2N <sub>X,1</sub> + 3)
50%	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
X%	Even (N <sub>X,1</sub> = M <sub>X,1</sub> )	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
50%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
X%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Even (N <sub>X,2</sub> = M <sub>X,2</sub> )	50%
50%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Odd (M <sub>X,2</sub> = N <sub>X,2</sub> + 1)	50%
X%	Odd (M <sub>X,1</sub> = N <sub>X,1</sub> + 1)	Odd (M <sub>X,2</sub> = N <sub>X,2</sub> + 1)	(2N <sub>X,1</sub> N <sub>X,2</sub> + 3N <sub>X,1</sub> + 3N <sub>X,2</sub> + 4 + X%)/ ((2N <sub>X,1</sub> + 3)(2N <sub>X,2</sub> + 3))

位相オフセットまたは粗遅延 (分周器3と分周器4)  
分周器3と分周器4は、位相オフセットまたは遅延の設定ができます。位相オフセットは、位相オフセットとスタート・ハイ・レジスタのビットの組み合わせによって設定します (表45を参照)。

表45. 分周器3と分周器4の位相オフセットと分周の設定

Divider	Start High (SH)	Phase Offset (PO)	Low Cycles M	High Cycles N
3	3.1	0x19C<0>	0x19A<3:0>	0x199<7:4>
	3.2	0x19C<1>	0x19A<7:4>	0x19B<7:4>
4	4.1	0x1A1<0>	0x19F<3:0>	0x19E<7:4>
	4.2	0x1A1<1>	0x19F<7:4>	0x1A0<7:4>

前提条件は次のとおりです。

Δ<sub>t</sub> = 遅延 (秒単位)

Φ<sub>x,y</sub> = 16 × SH<0> + 8 × PO<3> + 4 × PO<2> + 2 × PO<1> + 1 × PO<0>

T<sub>X,1</sub> = 分周器D<sub>X,1</sub>の入力におけるクロック信号の期間 (秒)

T<sub>X,2</sub> = 分周器D<sub>X,2</sub>の入力におけるクロック信号の期間 (秒)

例1

 $\Phi_{X1} \leq 15$ および $\Phi_{X2} \leq 15$ の場合:

$$\Delta_t = \Phi_{X1} \times T_{X1} + \Phi_{X2} \times T_{X2}$$

例2

 $\Phi_{X1} \leq 15$ および $\Phi_{X2} \geq 16$ の場合:

$$\Delta_t = \Phi_{X1} \times T_{X1} + (\Phi_{X2} - 16 + M_{X2} + 1) \times T_{X2}$$

例3

 $\Phi_{X1} \geq 16$ および $\Phi_{X2} \leq 15$ の場合:

$$\Delta_t = (\Phi_{X1} - 16 + M_{X1} + 1) \times T_{X1} + \Phi_{X2} \times T_{X2}$$

例4

 $\Phi_{X1} \geq 16$ および $\Phi_{X2} \geq 16$ の場合:

$$\Delta_t = (\Phi_{X1} - 16 + M_{X1} + 1) \times T_{X1} + (\Phi_{X2} - 16 + M_{X2} + 1) \times T_{X2}$$

微遅延調整 (分周器3と分周器4)

AD9516の各LVDS/CMOS出力 (OUT6~OUT9) には、出力におけるクロック信号の可変時間遅延 ( $\Delta_t$ ) が設定できるアナログ遅延要素があります。

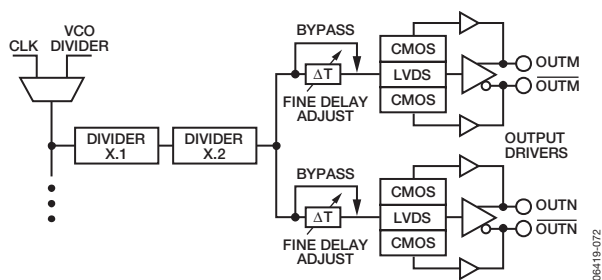


図54. 微遅延 (OUT6~OUT9)

クロック信号に適用される遅延量は、各出力の4個のレジスタを設定して決めます (表46を参照)。

表46. アナログ微遅延の設定

OUTPUT (LVDS/CMOS)	Ramp Capacitors	Ramp Current	Delay Fraction	Delay Bypass
OUT6	0xA1<5:3>	0xA1<2:0>	0xA2<5:0>	0xA0<0>
OUT7	0xA4<5:3>	0xA4<2:0>	0xA5<5:0>	0xA3<0>
OUT8	0xA7<5:3>	0xA7<2:0>	0xA8<5:0>	0xA6<0>
OUT9	0xAA<5:3>	0xAA<2:0>	0xAB<5:0>	0xA9<0>

微遅延の計算

次の値と式を用いて、遅延ブロックの遅延を計算します。

$$I_{RAMP} (\mu A) = 200 \times (\text{Ramp Current} + 1)$$

$$\text{Number of Capacitors} = \text{Number of <Bits>} - 0 \text{ in Ramp Capacitors} + 1$$

例: 101=1+1=2; 110=1+1=2; 100=2+1=3; 001=2+1=3; 111=0+1=1

$$\text{Delay Range (ns)} = 200 \times ((\text{No. of Caps} + 3) / (I_{RAMP})) \times 1.3286$$

$$\text{Offset (ns)} =$$

$$0.34 + (1600 - I_{RAMP}) \times 10^{-4} + \left( \frac{\text{No. of Caps} - 1}{I_{RAMP}} \right) \times 6$$

$$\text{Delay Full Scale (ns)} = \text{Delay Range} + \text{Offset}$$

$$\text{Fine Delay (ns)} =$$

$$\text{Delay Range} \times \text{Delay Fraction} \times (1/63) + \text{Offset}$$

遅延フラクションは、最大47の10進数値 (101111b、0x2F) のみ使用できます。

微遅延は、出力クロック期間の1/2を超えないようにしてください。遅延が出力クロック期間の1/2よりも長いと、出力はクロック動作を停止します。

遅延機能は、非遅延出力に規定されているジッタよりも大きいジッタを加えます。このため、遅延機能は主にFPGA、ASIC、DUC、DDCなどのデジタル・チップのクロック動作に使用してください。遅延をイネーブルした出力は、データ・コンバータのクロック動作には適しません。遅延ブロックがランプ・ポイントとトリップ・ポイントを使用して可変遅延を発生するため、フルスケールが長いとジッタが増加します。ランプ時間を低速にすると、時間ジッタが増加します。

出力の同期—SYNC機能

AD9516のクロック出力は、相互に同期が可能です。出力を個別にこの同期から外すこともできます。同期では、除外されていない出力をプリセットされた一連のスタティックな条件に設定し、その後プリセットの条件が適用されると同時に出力を開放してクロック動作を継続させます。これにより、複数の出力のエッジをアライメントしたり、粗位相オフセット設定に従って複数の出力のエッジの間隔を取ることができます。

## AD9516-0

出力の同期は、次のようにいくつかの方法で実行できます。

- $\overline{\text{SYNC}}$  ピンをローレベルに強制設定してから、開放する（手動同期）。
- ソフト同期ビット（0x230<0>）、ソフト・リセット・ビット（0x00<5> [ミラー]）、分配パワーダウン・ビット（0x230<1>）のいずれか1つを設定してから、リセットする。
- 出力の同期をチップのパワーアップ・シーケンスの一部として実行する。
- $\overline{\text{RESET}}$  ピンをローレベルに強制設定してから、開放する（チップ・リセット）。
- $\overline{\text{PD}}$  ピンをローレベルに強制設定してから、開放する（チップ・パワーダウン）。
- VCOのキャリブレーションが完了するたびに、最初に内部SYNCを自動的にアサートして、VCOのキャリブレーションの終了時に開放する。

$\overline{\text{SYNC}}$  機能を実行する最も一般的な方法は、 $\overline{\text{SYNC}}$  ピンを使用して出力を手動で同期させる方法です。これには、 $\overline{\text{SYNC}}$  ピンの立下がり信号が必要です。信号をローレベルに保持し、同期が必要なとき開放します。 $\overline{\text{SYNC}}$  動作のタイミングを図55（VCO分周器を使用）と図56（VCO分周器を使用しない）に示します。AD9516内部のクロック・エッジを基準とするSYNC信号が非同期であるため、チャンネル分周器の入力に最大1クロック・サイクルの不確実性が生じます。 $\overline{\text{SYNC}}$  の立上がりエッジから同期された出力クロックの開始までの遅延は、チャンネル分周器入力の14~15クロック・サイクルに、VCO分周器を使用するか否かによって、VCO分周器入力の1サイクル（図55を参照）またはチャンネル分周器入力の1サイクル（図56を参照）を加えた数になります。サイクル数は、信号の立上がりエッジからカウントします。

$\overline{\text{SYNC}}$  機能のもう1つの一般的な方法は、ソフト同期ビット（0x230<0>）の設定とリセットを行う方法です（詳細は、表52~表61を参照）。ソフト同期ビットの設定でもリセットでも、すべてのレジスタの更新（0x230<0>=0）動作を有効にする必要があります。

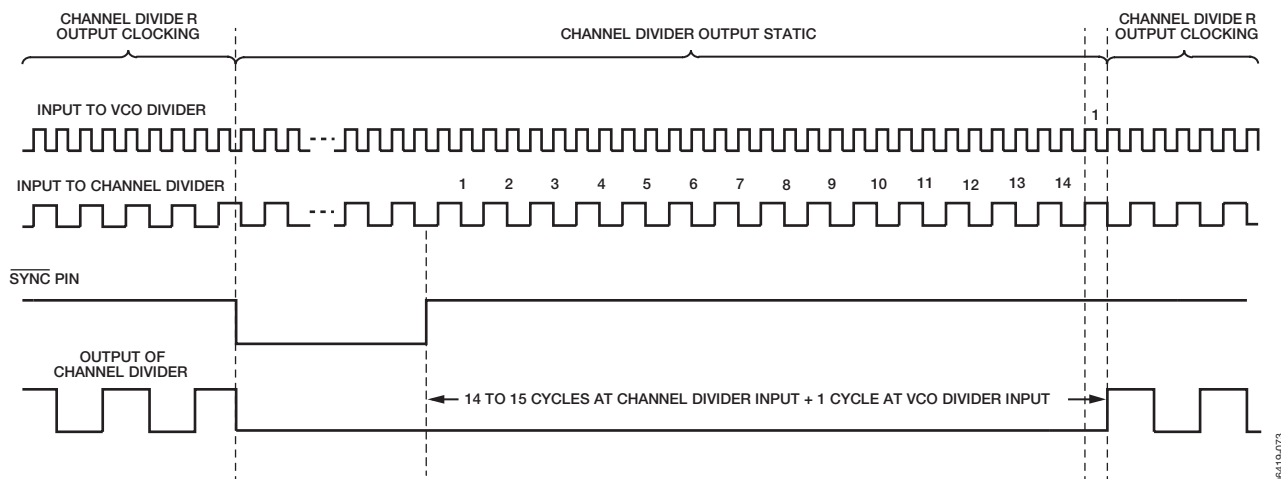


図55. VCO分周器を使用する場合のSYNCタイミング—CLKまたはVCOの入力



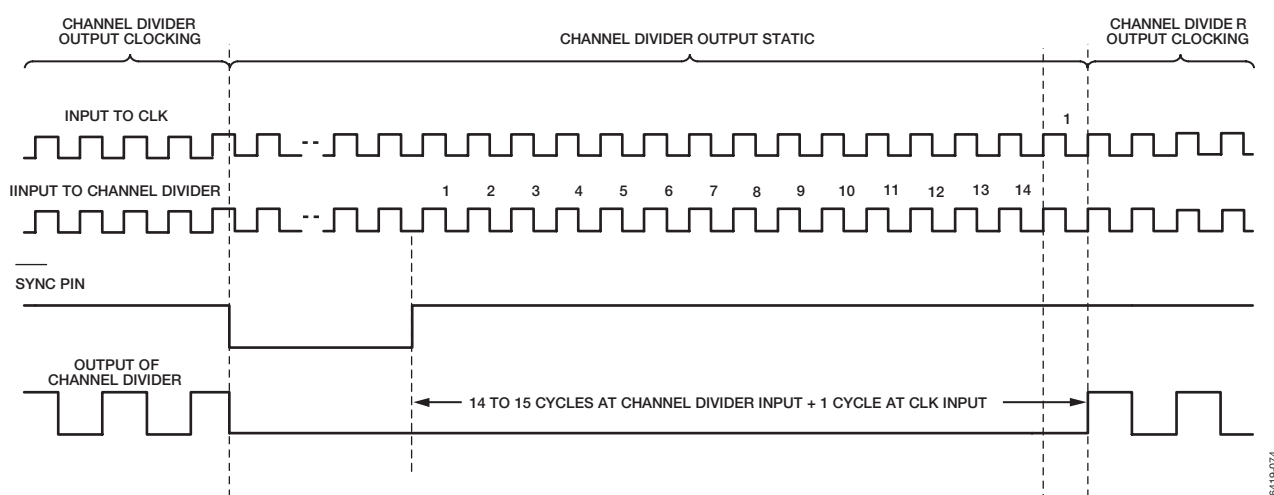


図56. VCO分周器を使用しない場合のSYNCタイミング—CLK入力のみ

SYNC動作は、(NOSYNCビットによって)除外されていない出力のすべてにプリセットの条件を適用してから、クロック動作を同期して開始させます。プリセット条件では、各チャンネルのスタート・ハイ・ビットとその位相オフセットの設定を考慮に入れます。これらの設定によって、SYNC動作発生時の各出力のスタティック状態、またSYNC動作の終了後再びクロック動作を開始するときの出力の状態と相対的位相が決まります。各出力間と同期の終了後、これによって位相オフセットを設定できます。

AD9516の出力はペアになっており、各ペア (CMOSの場合は2つのペア、つまり4個の出力) で1個のチャンネル分周器を共用します。同期条件は、ペアの両方の出力に適用されます。

チャンネルのNOSYNCビットを設定することによって、各チャンネル (1個の分周器とその出力) をSYNC動作から除外できます。SYNCを無視するように設定されているチャンネル (除外チャンネル) はSYNC動作中にその出力をスタティックにせず、その出力は除外されていないチャンネルの出力と同期しません。

### クロック出力

AD9516では、LVPECL、LVDS、CMOSの3つの異なる出力レベルを選択できます。OUT0~OUT5はLVPECLの差動出力、OUT6~OUT9はLVDS/CMOS出力です。これらの出力は、LVDS差動出力またはペア構成のシングルエンドCMOS出力に設定できます。

### LVPECL出力：OUT0~OUT5

LVPECL差動電圧 ( $V_{OD}$ ) が選択できます (約400~約960mV。0xF0:0xF5<3:2>を参照)。LVPECL出力には専用の電源ピン ( $V_{S\_LVPECL}$ ) が備わっているため、別の電源を使用できます。 $V_{S\_LVPECL}$ は2.5~3.3Vが可能です。

LVPECL出力の極性は非反転または反転に設定できます。これによって、基板レイアウトを変更せずに、アプリケーション内の出力の相対的な極性を調整できます。各LVPECL出力は、必要に応じてパワーダウンまたはパワーアップできます。LVPECL出力段のアーキテクチャにより、パワーダウン条件によっては過大な電気ストレスや障害が発生する可能性があります。このため、LVPECL出力にはいくつかのパワーダウン・モードがあります。パワーダウン時に出力デバイスの保護を続ける安全パワーダウン・モードもありますが、このモードではトータル・パワーダウンよりも消費電力がやや高くなります。LVPECL出力ピンを終端する場合は、安全パワーダウン・モードを選択することが推奨されます。これらのピンを接続しない (使用しない) 場合は、トータル・パワーダウンを選ぶこともできます。

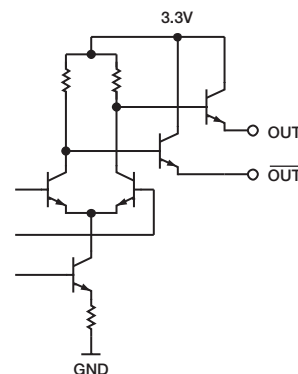


図57. LVPECL出力の簡略等価回路

# AD9516-0

## LVDS/CMOS出力：OUT6～OUT9

OUT6～OUT9をLVDS差動出力またはペア構成のCMOSシングルエンド出力に設定できます。LVDS出力では、約1.75～約7mAの出力電流を選択できます。

LVDS出力の極性は非反転または反転に設定できます。これによって、基板レイアウトを変更せずに、アプリケーション内の出力の相対的な極性を調整できます。消費電力を節約するために、必要がなければ各LVDS出力をパワーダウンできます。

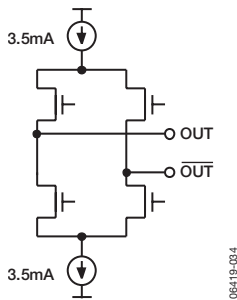


図58. 代表値3.5mAの電流源によるLVDS出力の簡略等価回路

OUT6～OUT9をCMOS出力にすることも可能です。各LVDS出力は、2個のCMOS出力に設定できます。これによって、OUT6A、OUT6B、OUT7A、OUT7B、OUT8A、OUT8B、OUT9A、OUT9Bの最大8個のCMOS出力を供給できます。1つの出力をCMOSにすると、CMOS出力Aが自動的にターンオンします。CMOS出力Bは、単独でターンオンまたはターンオフできます。CMOS出力の相対的極性は、反転と非反転のどのような組合せでも選択できます。表56の0x140<7:5>、0x141<7:5>、0x142<7:5>、0x143<7:5>を参照してください。

消費電力を節約するために、各LVDS/CMOS出力を必要がなければパワーダウンできます。CMOS出力のパワーダウンは、その出力のLVDSパワーダウンを制御するビットと同じビットを使用して制御します。このパワーダウン・コントロールは、CMOS AとCMOS Bの両方の出力に適用されます。ただし、CMOS A出力がパワーアップしても、CMOS B出力は別にパワーオンまたはパワーオフできます。

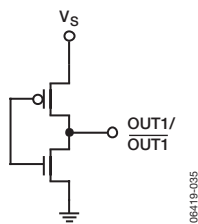


図59. CMOS出力の等価回路

## リセット・モード

AD9516には、チップを強制的にリセットし、すべてのレジスタ値をデフォルトに戻し、その設定をアクティブにする方法がいくつかあります。

## パワーオン・リセット—V<sub>S</sub>を加えたときのスタートアップ状態

V<sub>S</sub>がターンオンすると、パワーオン・リセット (POR) が発行されて、レジスタのデフォルト設定のパワーオン状態にチップが初期化されます。表51の「デフォルト値」の欄にこれを示します。パワーオン時にAD9516はSYNC動作も実行し、出力がデフォルト設定に従って位相アライメント状態になります。

## RESETピンによる非同期リセット

RESETピンを一時的にローレベルにすることによって、非同期のハード・リセットが行われます。リセットにより、チップ・レジスタはデフォルト設定に戻ります。

## 0x00<5>によるソフト・リセット

0x00<5>と0x00<2>=1bの書込みによって、ソフト・リセットが実行されます。このビットはセルフクリアしないため、0x00<5>と0x00<2>=0bの書込みでクリアしてからリセットし、ソフト・リセット動作を完了する必要があります。ソフト・リセットにより、内部レジスタはデフォルト値に戻ります。ソフト・リセット・ビットを使用する場合は、レジスタ更新コマンド (0x232) を発行する必要はありません。

## パワーダウン・モード

### PDによるチップのパワーダウン

PDピンをローレベルにすることにより、AD9516をパワーダウン状態にすることができます。パワーダウン時には、AD9516内部の大部分の機能と電流がターンオフします。PDピンがロジック・ハイレベルに戻るまで、このパワーダウン状態が維持されます。PDピンがローレベルに保持されている間に新たな設定でレジスタが変更されていない限り、AD9516はウェークアップ時にパワーダウン前のレジスタ設定の状態に戻ります。

PDピンによるパワーダウンで、チップ上の電流がシャットダウンしますが、LVPECL出力を安全シャットダウン・モードに維持するために必要なバイアス電流はシャットダウンしません。スリープ状態のときの終端や負荷の構成によって発生するかもしれない損傷からLVPECL出力回路を保護するために、このようにする必要があります。完全なパワーダウンにならないため、スリープ・モードと呼ばれます。

AD9516がPDピンによるパワーダウン状態に入ると、チップは次のような状態になります。

- PLLがオフ (非同期パワーダウン)
- VCOがオフ
- CLK入力バッファがオフ
- すべての分周器がオフ
- すべてのLVDS/CMOS出力がオフ
- すべてのLVPECL出力が安全オフ・モード
- シリアル・コントロール・ポートがオフ、ただしチップはコマンドに応答します。

AD9516のクロック出力を相互に同期させる必要がある場合は、パワーダウンの終了時にSYNCが必要となります（「出力の同期—SNC機能」を参照）。パワーダウンの終了時にVCOのキャリブレーションを行う必要はありません。

#### PLLのパワーダウン

AD9516のPLL部は、選択的にパワーダウンできます。表53に示すように、3種類のPLL動作モードを0x10<1:0>で設定できます。

非同期パワーダウン・モードでは、レジスタが更新されるとただちにデバイスがパワーダウンします。

同期パワーダウン・モードでは、PLLのパワーダウンがチャージ・ポンプによってゲートされ、望ましくない周波数ジャンプを防ぎます。レジスタが更新された後、次のチャージ・ポンプのイベントが発生するときに、デバイスがパワーダウンします。

#### 分配部のパワーダウン

0x230<1>=1bの書込みによって、分配部をパワーダウンできます。これによって、分配部へのバイアスがターンオフします。LVPECLパワーダウン・モードが通常動作の場合（00b）、パワーダウン時にLVPECL出力上の低インピーダンス負荷に大きな電流が流れることがあります。LVPECLパワーダウン・モードを11bに設定すると、LVPECL出力は逆バイアスに対して保護されず、終端の条件によっては損傷する可能性があります。

#### クロック出力の個別のパワーダウン

クロック分配出力は、レジスタの書込みによって個別にパワーダウンできます。レジスタ・マップに、各出力のそれぞれのパワーダウン設定を詳しく示します。LVDS/CMOS出力は、出力負荷の設定に関係なくパワーダウンできます。

LVPECL出力には、複数のパワーダウン・モード（表55を参照）があるため、さまざまな出力終端条件に柔軟に対応できます。このモードを10bに設定すると、LVPECL出力は $2V_{BE}+1V$ までの逆バイアスに対して保護されます。11bに設定すると、LVPECL出力は逆バイアスに対して保護されず、終端の条件によっては損傷する可能性があります。0x230<1>=1bによって分配ブロックをパワーダウンする場合も、この設定が動作に影響します（「分配部のパワーダウン」を参照）。

#### 回路ブロックの個別のパワーダウン

AD9516のその他の回路ブロック（CLK、REF1、REF2など）は、個別にパワーダウンできます。これによって、チップの機能が必要な場合は、消費電力を削減するためにデバイスを柔軟に設定することができます。

## シリアル・コントロール・ポート

AD9516のシリアル・コントロール・ポートは柔軟性が高い、同期のシリアル通信ポートであるため、業界標準の多くのマイクロコントローラやマイクロプロセッサと簡単に接続できます。AD9516のシリアル・コントロール・ポートは、MotorolaのSPI®とIntel®のSSR®のプロトコルなど、大部分の同期転送フォーマットと互換性があります。このシリアル・コントロール・ポートから、AD9516を設定するすべてのレジスタの読み出し/書き込みができます。シングル・バイトまたはマルチ・バイトの転送のほか、MSBファーストまたはLSBファーストの転送フォーマットもサポートします。AD9516のシリアル・コントロール・ポートは、1本の双方向I/Oピン（SDIOのみ）用または2本の単方向I/Oピン（SDIO/SDO）用に設定できます。デフォルト設定は、ロング命令の双方向モードです（ロング命令はサポートされている唯一の命令モードです）。

### シリアル・コントロール・ポート・ピンの説明

SCLK（シリアル・クロック）はシリアル・シフト・クロックであり、このピンは入力になります。SCLKを使用して、シリアル・コントロール・ポートの読み出しと書き込みを同期します。書き込みデータ・ビットはこのクロックの立上がりエッジでレジスタに格納され、読み出しデータ・ビットは立下がりエッジで格納されます。このピンは、グラウンドに対し30kΩの抵抗によって内部でプルダウンされます。

SDIO（シリアル・データ入/出力）は2つの働きをするピンであり、入力専用（単方向モード）または入/出力（双方向モード）になります。AD9516のデフォルトは、双方向I/Oモード（0x00<7>=0）です。

SDO（シリアル・データ出力）は、データ読み出し用の出力ピンとして単方向I/Oモード（0x00<7>）のみで使用されます。

$\overline{CS}$ （チップ・セレクト）は、読み出しサイクルと書き込みサイクルをゲートするアクティブ・ローレベルのコントロール・ピンです。 $\overline{CS}$ がハイレベルのときに、SDOとSDIOがハイ・インピーダンス状態になります。このピンは、VSに対し30kΩの抵抗によって内部でプルアップされます。

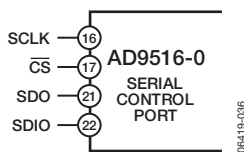


図60. シリアル・コントロール・ポート

### シリアル・コントロール・ポートの一般的な動作

$\overline{CS}$ をローレベルにすると、AD9516の書き込みまたは読み出し動作が開始されます。

3つ次のデータバイト（および命令データ）を転送するモードでは、 $\overline{CS}$ のハイレベル維持が可能で（表47を参照）。これらのモードでは、任意のバイトの境界で $\overline{CS}$ を一時的にハイレベルに復帰させることで、システム・コントローラが次のバイトを処理する時間を確保できます。 $\overline{CS}$ をハイレベルに設定できるのは、バイトの境界のみですが、命令またはデータの転送時にはハイレベルに設定できます。

この期間中にシリアル・コントロール・ポートのステート・マシンは、すべてのデータが送信されるまで待機状態に入ります。データの送信が完了する前にシステム・コントローラが転送のアポートを決めた場合は、残りの転送を完了させるか、または少なくとも1つのSCLKサイクル（ただし、8 SCLKサイクル未満）が終わるまでに $\overline{CS}$ をローレベルに戻すことによって、ステート・マシンをリセットする必要があります。バイトの境界以外の場所で $\overline{CS}$ をハイレベルにすると、シリアル転送が終了し、バッファの内容が消去されます。

ストリーミング・モード（表47を参照）のときは、任意の数のデータバイトを1つの連続ストリームで転送できます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントします（「MSB/LSBファーストの転送」を参照）。最後のバイトが転送された後、 $\overline{CS}$ をハイレベルにしてストリーム・モードを終了させる必要があります。

### 通信サイクル—命令およびデータ

AD9516の通信サイクルには2つの部分があります。最初の部分では、最初の16個のSCLK立上がりエッジで、16ビットの命令ワードをAD9516に書き込みます。命令ワードは、データ転送に関する情報をAD9516のシリアル・コントロール・ポートに提供します。このデータ転送が、通信サイクルの2番目の部分になります。命令ワードは、次のデータ転送が読み出しまたは書き込みのいずれであるかを指定し、データ転送のバイト数、およびデータ転送の最初のバイトの開始レジスタ・アドレスを指定します。

### 書き込み

命令ワードが書き込み動作の場合は、2番目の部分でAD9516のシリアル・コントロール・ポート・バッファにデータが転送されます。データ・ビットは、SCLKの立上がりエッジでレジスタに格納されます。

転送データ長（1、2、3バイトまたはストリーミング・モード）は、命令バイトの2つのビット（W1:W0）で指定されます。転送が1、2、3バイトで、ストリーミングではない場合、8ビットのシーケンスが終了するたびに $\overline{CS}$ をハイレベルにして、バスを停止できます（サイクルを終了する最終バイトの後はできません）。バスの停止時に $\overline{CS}$ がローレベルになると、シリアル転送が再開されます。バイトの境界以外の場所で $\overline{CS}$ をハイレベルにすると、シリアル・コントロール・ポートがリセットされます。書き込みの実行中、ストリーミング・モードでは予備またはブランクのレジスタをスキップしないため、デバイスが正しく動作するように、予備レジスタに書き込まれるビット・パターンを把握しておく必要があります。ブランク・レジスタに書き込まれるデータは無視されます。

データはAD9516の実際のコントロール・レジスタに直接書き込まれるのではなく、シリアル・コントロール・ポートのバッファ領域に書き込まれるため、シリアル・コントロール・ポートのバッファのデータをAD9516のコントロール・レジスタに転送して、アクティブにする動作が必要になります。レジスタ更新動作は、0x232<0>=1b（このビットはセルフクリアです）のセット動作から構成されています。レジスタ更新を実行する前に、任意数のデータバイトを変更できます。レジスタ更新は、前回の更新以降にバッファに書き込まれた内容ですべてのレジスタを同時に更新します。

## 読出し

命令ワードが読出し動作の場合は、次の $N \times 8$  SCLKサイクルにより、命令ワードで指定されたアドレスからデータがクロック出力されます。ここで、 $N$ は $W1:W0$ で指定された1~3の値です。 $N=4$ の場合は、読出しはストリーミング・モードであり、 $\overline{CS}$ がハイレベルになるまで読出し動作を続けます。ストリーミング・モードでは、予備またはブランクのレジスタをスキップしません。読出しデータは、SCLKの立下がりエッジで有効になります。

AD9516のシリアル・コントロール・ポートのデフォルト・モードは、双方向モードです。双方向モードでは、送信されたデータと読出しデータの両方がSDIOピン上に出力されます。AD9516を単方向モードに設定することもできます（SDOイネーブル・レジスタ、 $0x00<7>$ ）。単方向モードのときは、読出しデータがSDOピン上に出力されます。

読出し要求で、シリアル・コントロール・ポートのバッファ領域にあるデータ、またはアクティブなレジスタの中のデータを読み出します（図61を参照）。バッファまたはアクティブなレジスタに格納されたデータの読出しは、 $0x04<0>$ で制御します。

AD9516はロング命令モードのみをサポートしているため、 $0x00<4:3>$ を11bに設定する必要があります（このレジスタはミラーされたビットを使用します）。パワーアップ時またはリセット時のデフォルトは、ロング命令モードです。

AD9516は、 $0x000 \sim 0x232$ のレジスタ・アドレスを使用します。

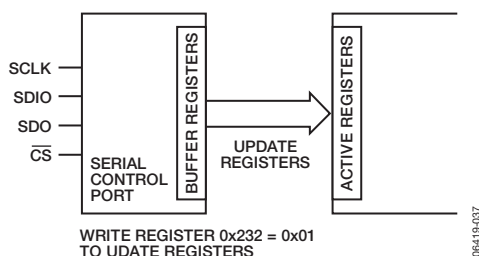


図61. AD9516のシリアル・コントロール・ポートのバッファ・レジスタとアクティブなレジスタの関係

## 命令ワード（16ビット）

命令ワードのMSBは、命令が読出しか書込みかを示すR/Wです。次の2つのビット $W1:W0$ は、転送バイト長を示します。最後の13ビットは、読出しまたは書込み動作を開始するアドレス（ $A12:A0$ ）です。

書込みの場合は、命令ワードの後に $W1:W0$ ビットで指定された数のデータバイトが続きます。表47を参照してください。

表47. バイト転送数

W1	W0	Bytes to Transfer
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

13ビットの $A12:A0$ は、通信サイクルのデータ転送部分で書込みまたは読出しが行われるレジスタ・マップ内のアドレスを選択します。AD9516で使用する $0x232$ のレジスタ範囲をカバーするには、ビット $<A9:A0>$ のみで十分です。ビット $<A12:A10>$ は常に0bにします。マルチバイト転送の場合、このアドレスが開始バイト・アドレスになります。MSBファースト・モードでは、後に続くバイトでアドレスがインクリメントします。

## MSB/LSBファーストの転送

AD9516の命令ワードとバイト・データをMSBファーストまたはLSBファーストにすることができます。 $0x000$ に書き込まれたデータはすべて、上位4ビット（ $<7:4>$ ）と下位4ビット（ $<3:0>$ ）でミラーする必要があります。これによって、LSBファーストとMSBファーストのどちらが有効になっているかは無関係になります。このミラーリングの例として、ビット4とビット3をミラーするレジスタ $0x18$ のデフォルト設定を確認してください。これは、ロング命令モード（デフォルト、このモードのみにサポートしています）を設定します。

AD9516のデフォルトは、MSBファーストです。

LSBファーストを $0x000<2>$ と $0x000<6>$ で設定する場合、この設定がシリアル・コントロール・ポートの動作のみに適用され、更新を実行する必要がないため、ただちに有効になります。

MSBファースト・モードがアクティブのときは、命令バイトとデータバイトをMSBからLSBの順に書き込む必要があります。MSBファーストのマルチバイト・データ転送は、最上位データバイトのレジスタ・アドレスを含む命令バイトから開始します。その後のデータバイトは、上位アドレスから下位アドレスの順番に従う必要があります。MSBファースト・モードでは、シリアル・コントロール・ポートの内部アドレス・ジェネレータがマルチバイト転送サイクルのデータバイトごとにデクリメントします。

LSBファースト・モードがアクティブのときは、命令バイトとデータバイトをLSBからMSBの順に書き込む必要があります。LSBファーストのマルチバイト・データ転送は、最下位データバイトのレジスタ・アドレスを含む命令バイトから開始し、その後複数のデータバイトが続きます。シリアル・コントロール・ポートの内部バイト・アドレス・ジェネレータは、マルチバイト転送サイクルのデータバイトごとにインクリメントします。

AD9516のシリアル・コントロール・ポートのレジスタ・アドレスは、MSBファースト・モードがアクティブ（デフォルト）の場合、マルチバイトI/O動作で今書き込まれたレジスタ・アドレスから $0x000$ の方向にデクリメントします。LSBファースト・モードがアクティブの場合は、マルチバイトI/O動作で今書き込まれたアドレスから $0x232$ の方向にインクリメントします。

ストリーミング・モードは、アドレス $0x232$ に到達すると必ず終了します。マルチバイトI/O動作では、未使用のアドレスをスキップしないので注意してください。

表48. ストリーミング・モード（アドレスをスキップしない）

Write Mode	Address Direction	Stop Sequence
LSB first	Increment	$0x230, 0x231, 0x232, \text{stop}$
MSB first	Decrement	$0x001, 0x000, 0x232, \text{stop}$

# AD9516-0

表49. シリアル・コントロール・ポート、16ビット命令ワード、MSBファースト

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

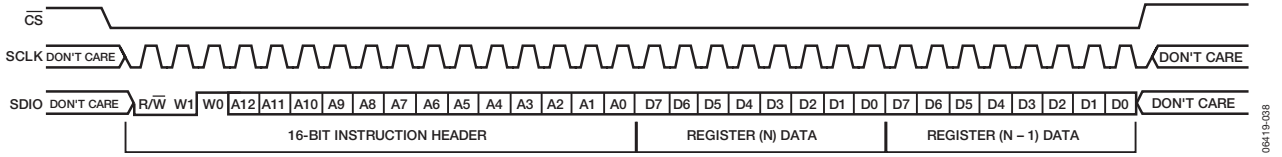


図62. シリアル・コントロール・ポート書き込み—MSBファースト、16ビット命令、2バイト・データ

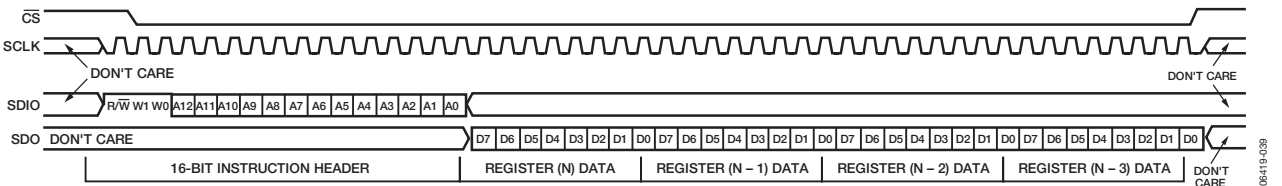


図63. シリアル・コントロール・ポート読み出し—MSBファースト、16ビット命令、4バイト・データ

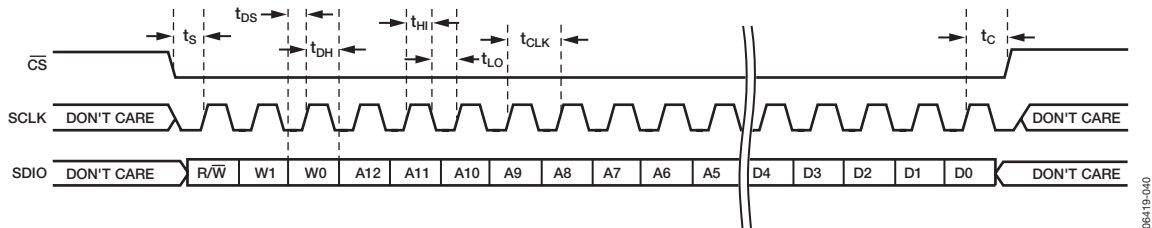


図64. シリアル・コントロール・ポート書き込み—MSBファースト、16ビット命令、タイミング測定

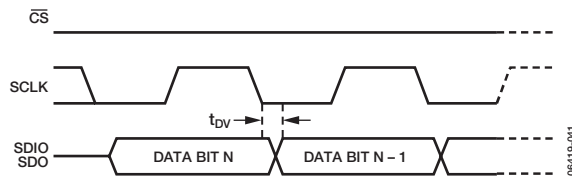


図65. シリアル・コントロール・ポート・レジスタ読み出しのタイミング図

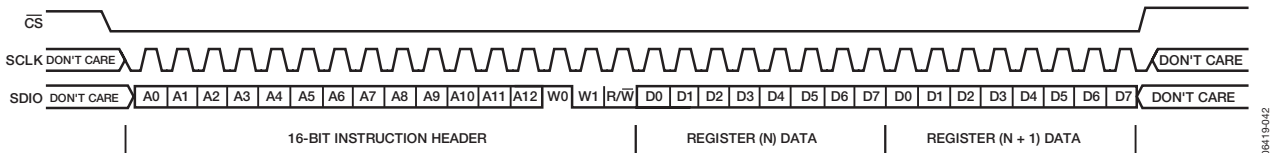


図66. シリアル・コントロール・ポート書き込み—LSBファースト、16ビット命令、2バイト・データ

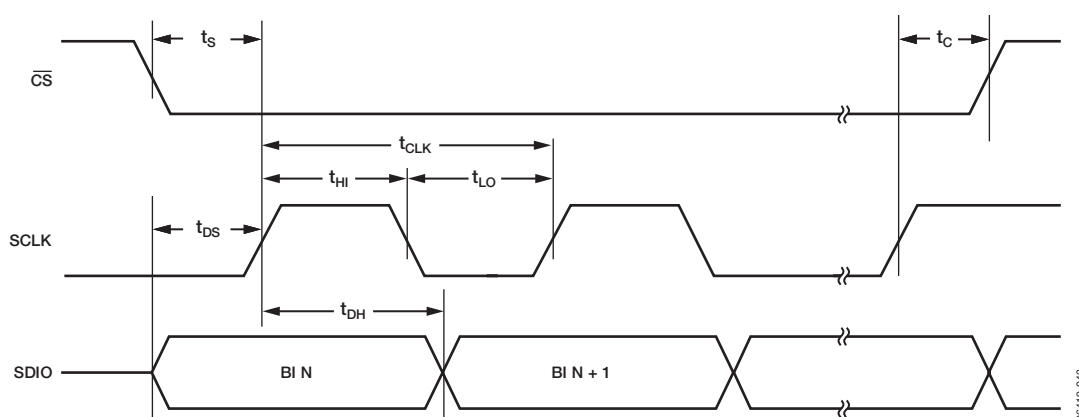


図67. シリアル・コントロール・ポートのタイミング—書込み

08419-043

表50. シリアル・コントロール・ポートのタイミング

Parameter	Description
$t_{DS}$	Setup time between data and rising edge of SCLK
$t_{DH}$	Hold time between data and rising edge of SCLK
$t_{CLK}$	Period of the clock
$t_s$	Setup time between $\overline{CS}$ falling edge and SCLK rising edge (start of communication cycle)
$t_c$	Setup time between SCLK rising edge and $\overline{CS}$ rising edge (end of communication cycle)
$t_{HI}$	Minimum period that SCLK should be in a Logic High state
$t_{LO}$	Minimum period that SCLK should be in a Logic Low state
$t_{DV}$	SCLK to valid SDIO and SDO (see Figure 65)

# AD9516-0

## レジスタ・マップの概要

表51. レジスタ・マップの概要

Addr. (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	
Serial Port Configuration											
00	Serial Port Configuration	SDO Active	LSB First	Soft Reset	Long Instruction	Long Instruction	Soft Reset	LSB First	SDO Active	18	
01	Blank										
02 to 03	Reserved										
04	Read Back Control	Blank							Read Back Active Registers	00	
PLL											
10	PFD and Charge Pump	PFD Polarity	Charge Pump Current			Charge Pump Mode		PLL Power-Down		7D	
11	R Counter	14-Bit R Divider Bits<7:0> (LSB)									01
12		Blank	14-Bit R Divider Bits<3:8> (MSB)							00	
13	A Counter	Blank	6-Bit A Counter							00	
14	B Counter	13-Bit B Counter Bits<7:0> (LSB)									03
15		Blank			13-Bit B Counter Bits<12:8> (MSB)					00	
16	PLL Control 1	Set CP Pin to $V_{CP}/2$	Reset R Counter	Reset A and B Counters	Reset All Counters	B Counter Bypass	Prescaler P			06	
17	PLL Control 2	STATUS Pin Control						Antibacklash Pulse Width		00	
18	PLL Control 3	Reserved	Lock Detect Counter	Digital Lock Detect Window	Disable Digital Lock Detect	VCO Calibration Divider		VCO Cal Now	06		
19	PLL Control 4	R, A, B Counters SYNC Pin Reset		R Path Delay			N Path Delay			00	
1A	PLL Control 5	Reserved	Reference Frequency Monitor Threshold	LD Pin Control						00	
1B	PLL Control 6	VCO Frequency Monitor	REF2 (REFIN) Frequency Monitor	REF1 (REFIN) Frequency Monitor	REFMON Pin Control					00	
1C	PLL Control 7	Disable Switchover Deglitch	Select REF2	Use REF_SEL Pin	Automatic Reference Switchover	Stay on REF2	REF2 Power On	REF1 Power On	Differential Reference	00	
1D	PLL Control 8	Reserved			PLL Status Register Disable	LD Pin Comparator Enable	Holdover Enable	External Holdover Control	Holdover Enable	00	
1E	PLL Control 9	Reserved									00
1F	PLL Readback	Reserved	VCO Cal Finished	Holdover Active	REF2 Selected	VCO Frequency > Threshold	REF2 Frequency > Threshold	REF1 Frequency > Threshold	Digital Lock Detect	--	
20 to 4F	Blank										



# AD9516-0

Addr. (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
Fine Delay Adjust: OUT6 to OUT9										
A0	OUT6 Delay Bypass	Blank							OUT6 Delay Bypass	01
A1	OUT6 Delay Full-Scale	Blank	OUT6 Ramp Capacitors			OUT6 Ramp Current			00	
A2	OUT6 Delay Fraction	Blank	OUT6 Delay Fraction							00
A3	OUT7 Delay Bypass	Blank							OUT7 Delay Bypass	01
A4	OUT7 Delay Full-Scale	Blank	OUT7 Ramp Capacitors			OUT7 Ramp Current			00	
A5	OUT7 Delay Fraction	Blank	OUT7 Delay Fraction							00
A6	OUT8 Delay Bypass	Blank							OUT8 Delay Bypass	01
A7	OUT8 Delay Full-Scale	Blank	OUT8 Ramp Capacitors			OUT8 Ramp Current			00	
A8	OUT8 Delay Fraction	Blank	OUT8 Delay Fraction							00
A9	OUT9 Delay Bypass	Blank							OUT9 Delay Bypass	01
AA	OUT9 Delay Full-Scale	Blank	OUT9 Ramp Capacitors			OUT9 Ramp Current			00	
AB	OUT9 Delay Fraction	Blank	OUT9 Delay Fraction							00
AC to EF	Blank									
LVPECL Outputs										
F0	OUT0	Blank		OUT0 Invert	OUT0 LVPECL Differential Voltage	OUT0 Power-Down		08		
F1	OUT1	Blank		OUT1 Invert	OUT1 LVPECL Differential Voltage	OUT1 Power-Down		A		
F2	OUT2	Blank		OUT2 Invert	OUT2 LVPECL Differential Voltage	OUT2 Power-Down		08		
F3	OUT3	Blank		OUT3 Invert	OUT3 LVPECL Differential Voltage	OUT3 Power-Down		0A		
F4	OUT4	Blank		OUT4 Invert	OUT4 LVPECL Differential Voltage	OUT4 Power-Down		08		
F5	OUT5	Blank		OUT5 Invert	OUT5 LVPECL Differential Voltage	OUT5 Power-Down		0A		
F6 to 13F	Blank									
LVDS/CMOS Outputs										
140	OUT6	OUT6 CMOS Output Polarity	OUT6 LVDS/CMOS Output Polarity	OUT6 CMOS B	OUT6 Select LVDS/CMOS	OUT6 LVDS Output Current	OUT6 Power-Down	42		
141	OUT7	OUT7 CMOS Output Polarity	OUT7 LVDS/CMOS Output Polarity	OUT7 CMOS B	OUT7 Select LVDS/CMOS	OUT7 LVDS Output Current	OUT7 Power-Down	43		
142	OUT8	OUT8 CMOS Output Polarity	OUT8 LVDS/CMOS Output Polarity	OUT8 CMOS B	OUT8 Select LVDS/CMOS	OUT8 LVDS Output Current	OUT8 Power-Down	42		
143	OUT9	OUT9 CMOS Output Polarity	OUT9 LVDS/CMOS Output Polarity	OUT9 CMOS B	OUT9 Select LVDS/CMOS	OUT9 LVDS Output Current	OUT9 Power-Down	43		

# AD9516-0

Addr. (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
144 to 18F	Blank									
LVPECL Channel Devices										
190	Divider 0 (PECL)	Divider 0 Low Cycles				Divider 0 High Cycles				00
191		Divider 0 Bypass	Divider 0 Nosync	Divider 0 Force High	Divider 0 Start High	Divider 0 Phase Offset				80
192		Blank		Reserved				Divider 0 Direct to Output	Divider 0 DCCOFF	00
193	Divider 1 (PECL)	Divider 1 Low Cycles				Divider 1 High Cycles				BB
194		Divider 1 Bypass	Divider 1 Nosync	Divider 1 Force High	Divider 1 Start High	Divider 1 Phase Offset				00
195		Blank		Reserved				Divider 1 Direct to Output	Divider 1 DCCOFF	00
196	Divider 2 (PECL)	Divider 2 Low Cycles				Divider 2 High Cycles				00
197		Divider 2 Bypass	Divider 2 Nosync	Divider 2 Force High	Divider 2 Start High	Divider 2 Phase Offset				00
198		Blank		Reserved				Divider 2 Direct to Output	Divider 2 DCCOFF	00
LVDS/CMOS Channel Dividers										
199	Divider 3 (LVDS/CMOS)	Low Cycles Divider 3.1				High Cycles Divider 3.1				22
19A		Phase Offset Divider 3.2				Phase Offset Divider 3.1				00
19B		Low Cycles Divider 3.2				High Cycles Divider 3.2				11
19C		Reserved		Bypass Divider 3.2	Bypass Divider 3.1	Divider 3 Nosync	Divider 3 Force High	Start High Divider 3.2	Start High Divider 3.1	00
19D		Blank		Reserved				Divider 3 DCCOFF	00	
19E	Divider 4 (LVDS/CMOS)	Low Cycles Divider 4.1				High Cycles Divider 4.1				22
19F		Phase Offset Divider 4.2				Phase Offset Divider 4.1				00
1A0		Low Cycles Divider 4.2				High Cycles Divider 4.2				11
1A1		Reserved		Bypass Divider 4.2	Bypass Divider 4.1	Divider 4 Nosync	Divider 4 Force High	Start High Divider 4.2	Start High Divider 4.1	00
1A2		Blank		Reserved				Divider 4 DCCOFF	00	
1A3	Reserved									
1A4 to 1DF	Blank									
VCO Divider and CLK Input										
1E0	VCO Divider	Blank			Reserved		VCO Divider			02
1E1	Input CLKs	Reserved		Power-Down Clock Input Section	Power-Down VCO Clock Interface	Power-Down VCO and CLK	Select VCO or CLK	Bypass VCO Divider	00	
1E2 to 22A	Blank									

# AD9516-0

Addr. (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
<b>System</b>										
230	Power Down and Sync	Reserved					Power-Down Sync	Power-Down Distribution Reference	Soft Sync	00
231		Blank			Reserved				00	
<b>Update All Registers</b>										
232	Update All Registers	Blank						Update All Registers (Self-Clearing Bit)	00	

## レジスタ・マップの説明

コントロール・レジスタの各機能を表52～表61で詳しく説明します。レジスタの一覧は16進数のアドレスで並べてあります。レジスタの特定のビットまたはビット範囲は、かぎ括弧で示しています。たとえば、<3>はビット3、<5:2>はビット5からビット2の範囲を示しています。

表52. シリアル・ポートの設定

Reg. Addr (Hex)	Bit(s)	Name	Description
00	<7>	SDO Active	Selects unidirectional or bidirectional data transfer mode. <7> = 0; SDIO pin used for write and read; SDO set high impedance; bidirectional mode. <7> = 1; SDO used for read; SDIO used for write; unidirectional mode.
00	<6>	LSB First	MSB or LSB data orientation. <6> = 0; data-oriented MSB first; addressing decrements. <6> = 1; data-oriented LSB first; addressing increments.
00	<5>	Soft Reset	Soft Reset. <5> = 1 (not self-clearing). Soft reset; restores default values to internal registers. Not self-clearing. Must be cleared to 0b to complete reset operation.
00	<4>	Long Instruction	Short/long instruction mode (this part uses long instruction mode only, so this bit should always be = 1). <4> = 0; 8-bit instruction (short). <4> = 1; 16-bit instruction (long).
00	<3:0>	Mirror<7:4>	Bits<3:0> should always mirror<7:4> so that it does not matter whether the part is in MSB or LSB first mode (see Register 0x00<6>). User should set bits as follows: <0> = <7> <1> = <6> <2> = <5> <3> = <4>
04	<0>	Read Back Active Registers	Select register bank used for a readback. <0> = 0; read back buffer registers. <0> = 1; read back active registers.

表53. PLL

Reg. Addr (Hex)	Bit(s)	Name	Description
10	<7>	PFD Polarity	Sets the PFD polarity. Negative polarity is for use (if needed) with external VCO/VCXO only. The on-chip VCO requires positive polarity <7> = 0. <7> = 0; positive (higher control voltage produces higher frequency). <7> = 1; negative (higher control voltage produces lower frequency).
10	<6:4>	CP Current	Charge pump current (with CPRSET = 5.1 kΩ). <6> <5> <4> I <sub>CP</sub> (mA) 0 0 0 0.6 0 0 1 1.2 0 1 0 1.8 0 1 1 2.4 1 0 0 3.0 1 0 1 3.6 1 1 0 4.2 1 1 1 4.8
10	<3:2>	CP Mode	Charge pump operating mode. <3> <2> Charge Pump Mode 0 0 High impedance state. 0 1 Force source current (pump up). 1 0 Force sink current (pump down). 1 1 Normal operation.
10	<1:0>	PLL Power-Down	PLL operating mode. <1> <0> Mode 0 0 Normal operation. 0 1 Asynchronous power-down. 1 0 Normal operation. 1 1 Synchronous power-down.
11	<7:0>	14-Bit R Divider Bits<7:0> (LSB)	R divider LSBs—lower eight bits.
12	<5:0>	14-Bit R Divider Bits<13:8> (MSB)	R divider MSBs—upper six bits.
13	<5:0>	6-Bit A Counter	A counter (part of N divider).
14	<7:0>	13-Bit B Counter Bits<7:0> (LSB)	B counter (part of N divider)—lower eight bits.
15	<4:0>	13-Bit B Counter Bits<12:8> (MSB)	B counter (part of N divider)—upper five bits.
16	<7>	Set CP Pin to V <sub>CP</sub> /2	Set the CP pin to one-half of the V <sub>CP</sub> supply voltage. <7> = 0; CP normal operation. <7> = 1; CP pin set to V <sub>CP</sub> /2.
16	<6>	Reset R Counter	Reset R counter (R divider). <6> = 0; normal. <6> = 1; reset R counter.
16	<5>	Reset A and B Counters	Reset A and B counters (part of N divider). <5> = 0; normal. <5> = 1; reset A and B counters.

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																																																																																																																																																
16	<4>	Reset All Counters	Reset R, A, and B counters. <4> = 0; normal. <4> = 1; reset R, A, and B counters.																																																																																																																																																																																																																
16	<3>	B Counter Bypass	B counter bypass. This is valid only when operating the prescaler in FD mode. <3> = 0; normal. <3> = 1; B counter is set to divide-by-1. This allows the prescaler setting to determine the divide for the N divider.																																																																																																																																																																																																																
16	<2:0>	Prescaler P	Prescaler: DM = dual modulus and FD = fixed divide. <table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Mode</th> <th>Prescaler</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>FD</td> <td>Divide-by-1.</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>FD</td> <td>Divide-by-2.</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>DM</td> <td>Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>DM</td> <td>Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>DM</td> <td>Divide-by-8 and divide-by-9 when A ≠ 0; divide-by-8 when A = 0.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>DM</td> <td>Divide-by-16 and divide-by-17 when A ≠ 0; divide-by-16 when A = 0.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>DM</td> <td>Divide-by-32 and divide-by-33 when A ≠ 0; divide-by-32 when A = 0.</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>FD</td> <td>Divide-by-3.</td> </tr> </tbody> </table>	<2>	<1>	<0>	Mode	Prescaler	0	0	0	FD	Divide-by-1.	0	0	1	FD	Divide-by-2.	0	1	0	DM	Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.	0	1	1	DM	Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.	1	0	0	DM	Divide-by-8 and divide-by-9 when A ≠ 0; divide-by-8 when A = 0.	1	0	1	DM	Divide-by-16 and divide-by-17 when A ≠ 0; divide-by-16 when A = 0.	1	1	0	DM	Divide-by-32 and divide-by-33 when A ≠ 0; divide-by-32 when A = 0.	1	1	1	FD	Divide-by-3.																																																																																																																																																																			
<2>	<1>	<0>	Mode	Prescaler																																																																																																																																																																																																															
0	0	0	FD	Divide-by-1.																																																																																																																																																																																																															
0	0	1	FD	Divide-by-2.																																																																																																																																																																																																															
0	1	0	DM	Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.																																																																																																																																																																																																															
0	1	1	DM	Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.																																																																																																																																																																																																															
1	0	0	DM	Divide-by-8 and divide-by-9 when A ≠ 0; divide-by-8 when A = 0.																																																																																																																																																																																																															
1	0	1	DM	Divide-by-16 and divide-by-17 when A ≠ 0; divide-by-16 when A = 0.																																																																																																																																																																																																															
1	1	0	DM	Divide-by-32 and divide-by-33 when A ≠ 0; divide-by-32 when A = 0.																																																																																																																																																																																																															
1	1	1	FD	Divide-by-3.																																																																																																																																																																																																															
17	<7:2>	STATUS Pin Control	Select the signal which is connected to the STATUS pin <table border="1"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th>Level or Dynamic Signal</th> <th>Signal at STATUS Pin</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Ground (DC).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>N divider output (after the delay).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>R divider output (after the delay).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>A divider output.</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Prescaler output.</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>DYN</td> <td>PFD up pulse.</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>DYN</td> <td>PFD down pulse.</td> </tr> <tr> <td>0</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>LVL</td> <td>Ground (dc); for all other cases of 0XXXXXX not specified above. The selections below are same as REFMON</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Ground (dc).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (N/A in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Unselected reference to PLL (not available in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status REF1 frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Status REF2 frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(Status REF1 frequency) AND (status REF2 frequency).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (status of selected reference) AND (status of VCO).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of VCO frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Selected reference (Low = REF1, High = REF2).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Digital lock detect (DLD); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Holdover active (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>LD pin comparator output (active high).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>VS (PLL supply).</td> </tr> </tbody> </table>	<7>	<6>	<5>	<4>	<3>	<2>	Level or Dynamic Signal	Signal at STATUS Pin	0	0	0	0	0	0	LVL	Ground (DC).	0	0	0	0	0	1	DYN	N divider output (after the delay).	0	0	0	0	1	0	DYN	R divider output (after the delay).	0	0	0	0	1	1	DYN	A divider output.	0	0	0	1	0	0	DYN	Prescaler output.	0	0	0	1	0	1	DYN	PFD up pulse.	0	0	0	1	1	0	DYN	PFD down pulse.	0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXXX not specified above. The selections below are same as REFMON	1	0	0	0	0	0	LVL	Ground (dc).	1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).	1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).	1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.	1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.	1	0	0	1	1	1	LVL	Status REF1 frequency (active high).	1	0	1	0	0	0	LVL	Status REF2 frequency (active high).	1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).	1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).	1	0	1	0	1	1	LVL	Status of VCO frequency (active high).	1	0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2).	1	0	1	1	0	1	LVL	Digital lock detect (DLD); active high.	1	0	1	1	1	0	LVL	Holdover active (active high).	1	0	1	1	1	1	LVL	LD pin comparator output (active high).	1	1	0	0	0	0	LVL	VS (PLL supply).
<7>	<6>	<5>	<4>	<3>	<2>	Level or Dynamic Signal	Signal at STATUS Pin																																																																																																																																																																																																												
0	0	0	0	0	0	LVL	Ground (DC).																																																																																																																																																																																																												
0	0	0	0	0	1	DYN	N divider output (after the delay).																																																																																																																																																																																																												
0	0	0	0	1	0	DYN	R divider output (after the delay).																																																																																																																																																																																																												
0	0	0	0	1	1	DYN	A divider output.																																																																																																																																																																																																												
0	0	0	1	0	0	DYN	Prescaler output.																																																																																																																																																																																																												
0	0	0	1	0	1	DYN	PFD up pulse.																																																																																																																																																																																																												
0	0	0	1	1	0	DYN	PFD down pulse.																																																																																																																																																																																																												
0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXXX not specified above. The selections below are same as REFMON																																																																																																																																																																																																												
1	0	0	0	0	0	LVL	Ground (dc).																																																																																																																																																																																																												
1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																																																																												
1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).																																																																																																																																																																																																												
1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																																																																												
1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).																																																																																																																																																																																																												
1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.																																																																																																																																																																																																												
1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.																																																																																																																																																																																																												
1	0	0	1	1	1	LVL	Status REF1 frequency (active high).																																																																																																																																																																																																												
1	0	1	0	0	0	LVL	Status REF2 frequency (active high).																																																																																																																																																																																																												
1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).																																																																																																																																																																																																												
1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).																																																																																																																																																																																																												
1	0	1	0	1	1	LVL	Status of VCO frequency (active high).																																																																																																																																																																																																												
1	0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2).																																																																																																																																																																																																												
1	0	1	1	0	1	LVL	Digital lock detect (DLD); active high.																																																																																																																																																																																																												
1	0	1	1	1	0	LVL	Holdover active (active high).																																																																																																																																																																																																												
1	0	1	1	1	1	LVL	LD pin comparator output (active high).																																																																																																																																																																																																												
1	1	0	0	0	0	LVL	VS (PLL supply).																																																																																																																																																																																																												

Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																																																																																									
		Pin Control	<table border="0"> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>Level or Dynamic Signal</td> <td>Signal at STATUS Pin</td> </tr> <tr> <td>&lt;7&gt;</td> <td>&lt;6&gt;</td> <td>&lt;5&gt;</td> <td>&lt;4&gt;</td> <td>&lt;3&gt;</td> <td>&lt;2&gt;</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td></td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td></td> <td>DYN</td> <td>REF2 clock (not available in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td></td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td></td> <td>DYN</td> <td>Unselected reference to PLL (not available when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td></td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active low.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td></td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active low.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td></td> <td>LVL</td> <td>Status of REF1 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td></td> <td>LVL</td> <td>Status of REF2 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td></td> <td>LVL</td> <td>(Status of REF1 frequency) AND (Status of REF2 frequency).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td></td> <td>LVL</td> <td>(DLD) AND (Status of selected reference) AND (Status of VCO).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td></td> <td>LVL</td> <td>Status of VCO Frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td></td> <td>LVL</td> <td>Selected reference (Low = REF2, High = REF1).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td></td> <td>LVL</td> <td>Digital lock detect (DLD) (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td></td> <td>LVL</td> <td>Holdover active (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td></td> <td>LVL</td> <td>LD pin comparator output (active low).</td> </tr> </table>								Level or Dynamic Signal	Signal at STATUS Pin	<7>	<6>	<5>	<4>	<3>	<2>				1	1	0	0	0	1		DYN	REF1 clock (differential reference when in differential mode).	1	1	0	0	1	0		DYN	REF2 clock (not available in differential mode).	1	1	0	0	1	1		DYN	Selected reference to PLL (differential reference when in differential mode).	1	1	0	1	0	0		DYN	Unselected reference to PLL (not available when in differential mode).	1	1	0	1	0	1		LVL	Status of selected reference (status of differential reference); active low.	1	1	0	1	1	0		LVL	Status of unselected reference (not available in differential mode); active low.	1	1	0	1	1	1		LVL	Status of REF1 frequency (active low).	1	1	1	0	0	0		LVL	Status of REF2 frequency (active low).	1	1	1	0	0	1		LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).	1	1	1	0	1	0		LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).	1	1	1	0	1	1		LVL	Status of VCO Frequency (active low).	1	1	1	1	0	0		LVL	Selected reference (Low = REF2, High = REF1).	1	1	1	1	0	1		LVL	Digital lock detect (DLD) (active low).	1	1	1	1	1	0		LVL	Holdover active (active low).	1	1	1	1	1	1		LVL	LD pin comparator output (active low).
							Level or Dynamic Signal	Signal at STATUS Pin																																																																																																																																																				
<7>	<6>	<5>	<4>	<3>	<2>																																																																																																																																																							
1	1	0	0	0	1		DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																				
1	1	0	0	1	0		DYN	REF2 clock (not available in differential mode).																																																																																																																																																				
1	1	0	0	1	1		DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																				
1	1	0	1	0	0		DYN	Unselected reference to PLL (not available when in differential mode).																																																																																																																																																				
1	1	0	1	0	1		LVL	Status of selected reference (status of differential reference); active low.																																																																																																																																																				
1	1	0	1	1	0		LVL	Status of unselected reference (not available in differential mode); active low.																																																																																																																																																				
1	1	0	1	1	1		LVL	Status of REF1 frequency (active low).																																																																																																																																																				
1	1	1	0	0	0		LVL	Status of REF2 frequency (active low).																																																																																																																																																				
1	1	1	0	0	1		LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).																																																																																																																																																				
1	1	1	0	1	0		LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).																																																																																																																																																				
1	1	1	0	1	1		LVL	Status of VCO Frequency (active low).																																																																																																																																																				
1	1	1	1	0	0		LVL	Selected reference (Low = REF2, High = REF1).																																																																																																																																																				
1	1	1	1	0	1		LVL	Digital lock detect (DLD) (active low).																																																																																																																																																				
1	1	1	1	1	0		LVL	Holdover active (active low).																																																																																																																																																				
1	1	1	1	1	1		LVL	LD pin comparator output (active low).																																																																																																																																																				
17	<1:0>	Antibacklash Pulse Width	<table border="0"> <tr> <td>&lt;1&gt;</td> <td>&lt;0&gt;</td> <td>Antibacklash Pulse Width (ns)</td> </tr> <tr> <td>0</td> <td>0</td> <td>2.9</td> </tr> <tr> <td>0</td> <td>1</td> <td>1.3</td> </tr> <tr> <td>1</td> <td>0</td> <td>6.0</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.9</td> </tr> </table>	<1>	<0>	Antibacklash Pulse Width (ns)	0	0	2.9	0	1	1.3	1	0	6.0	1	1	2.9																																																																																																																																										
<1>	<0>	Antibacklash Pulse Width (ns)																																																																																																																																																										
0	0	2.9																																																																																																																																																										
0	1	1.3																																																																																																																																																										
1	0	6.0																																																																																																																																																										
1	1	2.9																																																																																																																																																										
18	<6:5>	Lock Detect Counter	<p>Required consecutive number of PFD cycles with edges inside lock detect window before the DLD indicates a locked condition.</p> <table border="0"> <tr> <td>&lt;6&gt;</td> <td>&lt;5&gt;</td> <td>PFD Cycles to Determine Lock</td> </tr> <tr> <td>0</td> <td>0</td> <td>5</td> </tr> <tr> <td>0</td> <td>1</td> <td>16</td> </tr> <tr> <td>1</td> <td>0</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>255</td> </tr> </table>	<6>	<5>	PFD Cycles to Determine Lock	0	0	5	0	1	16	1	0	64	1	1	255																																																																																																																																										
<6>	<5>	PFD Cycles to Determine Lock																																																																																																																																																										
0	0	5																																																																																																																																																										
0	1	16																																																																																																																																																										
1	0	64																																																																																																																																																										
1	1	255																																																																																																																																																										
18	<4>	Digital Lock Detect Window	<p>If the time difference of the rising edges at the inputs to the PFD are less than the lock detect window time, the digital lock detect flag is set. The flag remains set until the time difference is greater than the loss-of-lock threshold.</p> <p>&lt;4&gt; = 0; high range. &lt;4&gt; = 1; low range.</p>																																																																																																																																																									
18	<3>	Disable Digital Lock Detect	<p>Digital lock detect operation.</p> <p>&lt;3&gt; = 0; normal lock detect operation. &lt;3&gt; = 1; disable lock detect.</p>																																																																																																																																																									
18	<2:1>	VCO Cal Divider	<p>VCO Calibration Divider. Divider used to generate the VCO calibration clock from the PLL reference clock.</p> <table border="0"> <tr> <td>&lt;2&gt;</td> <td>&lt;1&gt;</td> <td>VCO Calibration Clock Divider</td> </tr> <tr> <td>0</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>8</td> </tr> <tr> <td>1</td> <td>1</td> <td>16 (default)</td> </tr> </table>	<2>	<1>	VCO Calibration Clock Divider	0	0	2	0	1	4	1	0	8	1	1	16 (default)																																																																																																																																										
<2>	<1>	VCO Calibration Clock Divider																																																																																																																																																										
0	0	2																																																																																																																																																										
0	1	4																																																																																																																																																										
1	0	8																																																																																																																																																										
1	1	16 (default)																																																																																																																																																										
18	<0>	VCO Cal Now	<p>Bit used to initiate the VCO calibration. This bit must be toggled from 0 to 1 in the active registers. The sequence to initiate a calibration is: program to a 0, followed by an update bit (Register 0x232&lt;0&gt;); then programmed to 1, followed by another update bit (Register 0x232&lt;0&gt;). This sequence gives complete control over when the VCO calibration occurs relative to the programming of other registers that can impact the calibration.</p>																																																																																																																																																									

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																																																																																																																																																																								
19	<7:6>	R, A, B Counters SYNC Pin Reset	<table border="1"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>Action</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Do nothing on SYNC (default).</td> </tr> <tr> <td>0</td> <td>1</td> <td>Asynchronous reset.</td> </tr> <tr> <td>1</td> <td>0</td> <td>Synchronous reset.</td> </tr> <tr> <td>1</td> <td>1</td> <td>Do nothing on SYNC.</td> </tr> </tbody> </table>	<7>	<6>	Action	0	0	Do nothing on SYNC (default).	0	1	Asynchronous reset.	1	0	Synchronous reset.	1	1	Do nothing on SYNC.																																																																																																																																																																																																																									
<7>	<6>	Action																																																																																																																																																																																																																																									
0	0	Do nothing on SYNC (default).																																																																																																																																																																																																																																									
0	1	Asynchronous reset.																																																																																																																																																																																																																																									
1	0	Synchronous reset.																																																																																																																																																																																																																																									
1	1	Do nothing on SYNC.																																																																																																																																																																																																																																									
19	<5:3>	R Path Delay	<5:3> R Path Delay (see Table 2).																																																																																																																																																																																																																																								
19	<2:0>	N Path Delay	<2:0> N Path Delay (see Table 2).																																																																																																																																																																																																																																								
1A	<6>	Reference Frequency Monitor Threshold	<p>Sets the reference (REF1/REF2) frequency monitor's detection threshold frequency. This does not affect the VCO frequency monitor's detection threshold (see Table 16, REF1, REF2, and VCO Frequency Status Monitor).</p> <p>&lt;6&gt; = 0; frequency valid if frequency is above the higher frequency threshold            &lt;6&gt; = 1; frequency valid if frequency is above the lower frequency threshold</p>																																																																																																																																																																																																																																								
1A	<5:0>	LD Pin Control	<p>Select the signal which is connected to the LD pin.</p> <table border="1"> <thead> <tr> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Level or Dynamic Signal</th> <th>Signal at LD Pin</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Digital lock detect (high = lock, low = unlock).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>P-channel, open-drain lock detect (analog lock detect).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>N-channel, open-drain lock detect (analog lock detect).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>HIZ</td> <td>High-Z LD pin.</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>CUR</td> <td>Current source lock detect (110 μA when DLD is true).</td> </tr> <tr> <td>0</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>LVL</td> <td>Ground (dc); for all other cases of 0XXXXX not specified above. The selections that follow are the same as REFMON.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Ground (dc).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (N/A in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Unselected reference to PLL (not available in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status REF1 frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Status REF2 frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(Status REF1 frequency) AND (status REF2 frequency).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (status of selected reference) AND (status of VCO).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of VCO frequency (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Selected reference (Low = REF1, High = REF2).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Digital lock detect (DLD); active high.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Holdover active (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>N/A—do not use.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>VS (PLL supply).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (not available in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Unselected reference to PLL (not available when in differential mode).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active low.</td> </tr> </tbody> </table>	<5>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at LD Pin	0	0	0	0	0	0	LVL	Digital lock detect (high = lock, low = unlock).	0	0	0	0	0	1	DYN	P-channel, open-drain lock detect (analog lock detect).	0	0	0	0	1	0	DYN	N-channel, open-drain lock detect (analog lock detect).	0	0	0	0	1	1	HIZ	High-Z LD pin.	0	0	0	1	0	0	CUR	Current source lock detect (110 μA when DLD is true).	0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXX not specified above. The selections that follow are the same as REFMON.	1	0	0	0	0	0	LVL	Ground (dc).	1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).	1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).	1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.	1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.	1	0	0	1	1	1	LVL	Status REF1 frequency (active high).	1	0	1	0	0	0	LVL	Status REF2 frequency (active high).	1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).	1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).	1	0	1	0	1	1	LVL	Status of VCO frequency (active high).	1	0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2).	1	0	1	1	0	1	LVL	Digital lock detect (DLD); active high.	1	0	1	1	1	0	LVL	Holdover active (active high).	1	0	1	1	1	1	LVL	N/A—do not use.	1	1	0	0	0	0	LVL	VS (PLL supply).	1	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	1	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).	1	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	1	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).	1	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.
<5>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at LD Pin																																																																																																																																																																																																																																				
0	0	0	0	0	0	LVL	Digital lock detect (high = lock, low = unlock).																																																																																																																																																																																																																																				
0	0	0	0	0	1	DYN	P-channel, open-drain lock detect (analog lock detect).																																																																																																																																																																																																																																				
0	0	0	0	1	0	DYN	N-channel, open-drain lock detect (analog lock detect).																																																																																																																																																																																																																																				
0	0	0	0	1	1	HIZ	High-Z LD pin.																																																																																																																																																																																																																																				
0	0	0	1	0	0	CUR	Current source lock detect (110 μA when DLD is true).																																																																																																																																																																																																																																				
0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXX not specified above. The selections that follow are the same as REFMON.																																																																																																																																																																																																																																				
1	0	0	0	0	0	LVL	Ground (dc).																																																																																																																																																																																																																																				
1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																																																																																																				
1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).																																																																																																																																																																																																																																				
1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																																																																																																				
1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).																																																																																																																																																																																																																																				
1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.																																																																																																																																																																																																																																				
1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.																																																																																																																																																																																																																																				
1	0	0	1	1	1	LVL	Status REF1 frequency (active high).																																																																																																																																																																																																																																				
1	0	1	0	0	0	LVL	Status REF2 frequency (active high).																																																																																																																																																																																																																																				
1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).																																																																																																																																																																																																																																				
1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).																																																																																																																																																																																																																																				
1	0	1	0	1	1	LVL	Status of VCO frequency (active high).																																																																																																																																																																																																																																				
1	0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2).																																																																																																																																																																																																																																				
1	0	1	1	0	1	LVL	Digital lock detect (DLD); active high.																																																																																																																																																																																																																																				
1	0	1	1	1	0	LVL	Holdover active (active high).																																																																																																																																																																																																																																				
1	0	1	1	1	1	LVL	N/A—do not use.																																																																																																																																																																																																																																				
1	1	0	0	0	0	LVL	VS (PLL supply).																																																																																																																																																																																																																																				
1	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																																																																																																				
1	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).																																																																																																																																																																																																																																				
1	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																																																																																																				
1	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).																																																																																																																																																																																																																																				
1	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.																																																																																																																																																																																																																																				



Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																																																																																			
			<table border="0"> <thead> <tr> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Level or Dynamic Signal</th> <th>Signal at LD Pin</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active low.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of REF1 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Status of REF2 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(Status of REF1 frequency) AND (Status of REF2 frequency).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (Status of selected reference) AND (Status of VCO).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of VCO frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Selected reference (Low = REF2, High = REF1).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Digital lock detect (DLD); active low.</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Holdover active (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>N/A—do not use.</td> </tr> </tbody> </table>	<5>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at LD Pin	1	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.	1	1	0	1	1	1	LVL	Status of REF1 frequency (active low).	1	1	1	0	0	0	LVL	Status of REF2 frequency (active low).	1	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).	1	1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).	1	1	1	0	1	1	LVL	Status of VCO frequency (active low).	1	1	1	1	0	0	LVL	Selected reference (Low = REF2, High = REF1).	1	1	1	1	0	1	LVL	Digital lock detect (DLD); active low.	1	1	1	1	1	0	LVL	Holdover active (active low).	1	1	1	1	1	1	LVL	N/A—do not use.																																																											
<5>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at LD Pin																																																																																																																																															
1	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.																																																																																																																																															
1	1	0	1	1	1	LVL	Status of REF1 frequency (active low).																																																																																																																																															
1	1	1	0	0	0	LVL	Status of REF2 frequency (active low).																																																																																																																																															
1	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).																																																																																																																																															
1	1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).																																																																																																																																															
1	1	1	0	1	1	LVL	Status of VCO frequency (active low).																																																																																																																																															
1	1	1	1	0	0	LVL	Selected reference (Low = REF2, High = REF1).																																																																																																																																															
1	1	1	1	0	1	LVL	Digital lock detect (DLD); active low.																																																																																																																																															
1	1	1	1	1	0	LVL	Holdover active (active low).																																																																																																																																															
1	1	1	1	1	1	LVL	N/A—do not use.																																																																																																																																															
1B	<7>	VCO Frequency Monitor	<p>Enable or disable VCO frequency monitor.</p> <p>&lt;7&gt; = 0; disable VCO frequency monitor.</p> <p>&lt;7&gt; = 1; enable VCO frequency monitor.</p>																																																																																																																																																			
1B	<6>	REF2 (REFIN) Frequency Monitor	<p>Enable or disable REF2 frequency monitor.</p> <p>&lt;6&gt; = 0; disable REF2 frequency monitor.</p> <p>&lt;6&gt; = 1; enable REF2 frequency monitor.</p>																																																																																																																																																			
1B	<5>	REF1 (REFIN) Frequency Monitor	<p>REF1 (REFIN) frequency monitor enable; this is for both REF1 (single-ended) and REFIN (differential) inputs (as selected by differential reference mode).</p> <p>&lt;5&gt; = 0; disable REF1 (REFIN) frequency monitor.</p> <p>&lt;5&gt; = 1; enable REF1 (REFIN) frequency monitor.</p>																																																																																																																																																			
1B	<4:0>	REFMON Pin Control	<table border="0"> <thead> <tr> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Level or Dynamic Signal</th> <th>Signal at REFMON Pin</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Ground (dc).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (N/A in differential mode).</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Unselected reference to PLL (not available in differential mode).</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active high.</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active high.</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status REF1 frequency (active high).</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Status REF2 frequency (active high).</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(Status REF1 frequency) AND (status REF2 frequency).</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (status of selected reference) AND (status of VCO).</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of VCO frequency (active high).</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Selected reference (Low = REF1, High = REF2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Digital lock detect (DLD); active low.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Holdover active (active high).</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>LD pin comparator output (active high).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>VS (PLL supply).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (differential reference when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (not available in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (differential reference when in differential mode).</td> </tr> </tbody> </table>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at REFMON Pin	0	0	0	0	0	LVL	Ground (dc).	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.	0	0	1	1	1	LVL	Status REF1 frequency (active high).	0	1	0	0	0	LVL	Status REF2 frequency (active high).	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).	0	1	0	1	1	LVL	Status of VCO frequency (active high).	0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2)	0	1	1	0	1	LVL	Digital lock detect (DLD); active low.	0	1	1	1	0	LVL	Holdover active (active high).	0	1	1	1	1	LVL	LD pin comparator output (active high).	1	0	0	0	0	LVL	VS (PLL supply).	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).
<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at REFMON Pin																																																																																																																																																
0	0	0	0	0	LVL	Ground (dc).																																																																																																																																																
0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																
0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).																																																																																																																																																
0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																
0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).																																																																																																																																																
0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.																																																																																																																																																
0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.																																																																																																																																																
0	0	1	1	1	LVL	Status REF1 frequency (active high).																																																																																																																																																
0	1	0	0	0	LVL	Status REF2 frequency (active high).																																																																																																																																																
0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).																																																																																																																																																
0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).																																																																																																																																																
0	1	0	1	1	LVL	Status of VCO frequency (active high).																																																																																																																																																
0	1	1	0	0	LVL	Selected reference (Low = REF1, High = REF2)																																																																																																																																																
0	1	1	0	1	LVL	Digital lock detect (DLD); active low.																																																																																																																																																
0	1	1	1	0	LVL	Holdover active (active high).																																																																																																																																																
0	1	1	1	1	LVL	LD pin comparator output (active high).																																																																																																																																																
1	0	0	0	0	LVL	VS (PLL supply).																																																																																																																																																
1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																																
1	0	0	1	0	DYN	REF2 clock (not available in differential mode).																																																																																																																																																
1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																																

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																											
			<table border="0"> <tr> <td>&lt;4&gt;</td> <td>&lt;3&gt;</td> <td>&lt;2&gt;</td> <td>&lt;1&gt;</td> <td>&lt;0&gt;</td> <td>Level or Dynamic Signal</td> <td>Signal at REFMON Pin</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Unselected reference to PLL (not available when in differential mode).</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Status of selected reference (status of differential reference); active low.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Status of unselected reference (not available in differential mode); active low.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of REF1 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Status of REF2 frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(Status of REF1 frequency) AND (Status of REF2 frequency).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (Status of selected reference) AND (Status of VCO).</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>Status of VCO frequency (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>Selected reference (Low = REF2, High = REF1).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>Digital lock detect (DLD); active low.</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>Holdover active (active low).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>LD pin comparator output (active low).</td> </tr> </table>	<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at REFMON Pin	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.	1	0	1	1	1	LVL	Status of REF1 frequency (active low).	1	1	0	0	0	LVL	Status of REF2 frequency (active low).	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).	1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).	1	1	0	1	1	LVL	Status of VCO frequency (active low).	1	1	1	0	0	LVL	Selected reference (Low = REF2, High = REF1).	1	1	1	0	1	LVL	Digital lock detect (DLD); active low.	1	1	1	1	0	LVL	Holdover active (active low).	1	1	1	1	1	LVL	LD pin comparator output (active low).
<4>	<3>	<2>	<1>	<0>	Level or Dynamic Signal	Signal at REFMON Pin																																																																																								
1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).																																																																																								
1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.																																																																																								
1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.																																																																																								
1	0	1	1	1	LVL	Status of REF1 frequency (active low).																																																																																								
1	1	0	0	0	LVL	Status of REF2 frequency (active low).																																																																																								
1	1	0	0	1	LVL	(Status of REF1 frequency) AND (Status of REF2 frequency).																																																																																								
1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (Status of VCO).																																																																																								
1	1	0	1	1	LVL	Status of VCO frequency (active low).																																																																																								
1	1	1	0	0	LVL	Selected reference (Low = REF2, High = REF1).																																																																																								
1	1	1	0	1	LVL	Digital lock detect (DLD); active low.																																																																																								
1	1	1	1	0	LVL	Holdover active (active low).																																																																																								
1	1	1	1	1	LVL	LD pin comparator output (active low).																																																																																								
1C	<7>	Disable Switchover Deglitch	Disable or enable the switchover deglitch circuit. <7> = 0; enable switchover deglitch circuit. <7> = 1; disable switchover deglitch circuit.																																																																																											
1C	<6>	Select REF2	If Register 0x1C<5> = 0, select reference for PLL. <6> = 0; select REF1. <6> = 1; select REF2.																																																																																											
1C	<5>	Use REF_SEL Pin	If Register 0x1C<4> = 0 (manual), set method of PLL reference selection. <5> = 0; use Register 0x1C<6>. <5> = 1; use REF_SEL pin.																																																																																											
1C	<4>	Automatic Reference Switchover	Automatic or manual reference switchover. Single-ended reference mode must be selected by Register 0x1C<0> = 0. <4> = 0; manual reference switchover. <4> = 1; automatic reference switchover.																																																																																											
1C	<3>	Stay on REF2	Stay on REF2 after switchover. <3> = 0; return to REF1 automatically when REF1 status is good again. <3> = 1; stay on REF2 after switchover. Do not automatically return to REF1.																																																																																											
1C	<2>	REF2 Power On	When automatic reference switchover is disabled, this bit turns the REF2 power on. <2> = 0; REF2 power off. <2> = 1; REF2 power on.																																																																																											
1C	<1>	REF1 Power On	When automatic reference switchover is disabled, this bit turns the REF1 power on. <1> = 0; REF1 power off. <1> = 1; REF1 power on.																																																																																											
1C	<0>	Differential Reference	Selects the PLL reference mode, differential or single-ended. Single-ended must be selected for the auto switchover or REF1 and REF2 to work. <0> = 0; single-ended reference mode. <0> = 1; differential reference mode.																																																																																											
1D	<4>	PLL Status Register Disable	Disables the PLL status register readback. <4> = 0; PLL status register enable. <4> = 1; PLL status register disable.																																																																																											

Reg. Addr (Hex)	Bit(s)	Name	Description
1D	<3>	LD Pin Comparator Enable	Enables the LD pin voltage comparator. This is used with the LD pin current source lock detect mode. When in the internal (automatic) holdover mode, this enables the use of the voltage on the LD pin to determine if the PLL was previously in a locked state (see Figure 51). Otherwise, this can be used with the REFMON and STATUS pins to monitor the voltage on this pin. <3> = 0; disable LD pin comparator; internal/automatic holdover controller treats this pin as true (high). <3> = 1; enable LD pin comparator.
1D	<2>	Holdover Enable	Along with <0> enables the holdover function. <2> = 0; holdover disabled. <2> = 1; holdover enabled.
1D	<1>	External Holdover Control	Enables the external hold control through the $\overline{\text{SYNC}}$ pin. (This disables the internal holdover mode.) <1> = 0; automatic holdover mode—holdover controlled by automatic holdover circuit. <1> = 1; external holdover mode—holdover controlled by SYNC pin.
1D	<0>	Holdover Enable	Along with <2> enables the holdover function. <0> = 0; holdover disabled. <0> = 1; holdover enabled.
1F	<6>	VCO Cal Finished	Readback register: status of the VCO calibration. <6> = 0; VCO calibration not finished. <6> = 1; VCO calibration finished.
1F	<5>	Holdover Active	Readback register: indicates if the part is in the holdover state (see Figure 51). This is not the same as holdover enabled. <5> = 0; not in holdover. <5> = 1; holdover state active.
1F	<4>	REF2 Selected	Readback register: indicates which PLL reference is selected as the input to the PLL. <4> = 0; REF1 selected (or differential reference if in differential mode). <4> = 1; REF2 selected.
1F	<3>	VCO Frequency > Threshold	Readback register: indicates if the VCO frequency is greater than the threshold (see Table 16, REF1, REF2, and VCO Frequency Status Monitor). <3> = 0; VCO frequency is less than the threshold. <3> = 1; VCO frequency is greater than the threshold.
1F	<2>	REF2 Frequency > Threshold	Readback register: indicates if the frequency of the signal at REF2 is greater than the threshold frequency set by Register 0x1A<6>. <2> = 0; REF2 frequency is less than threshold frequency. <2> = 1; REF2 frequency is greater than threshold frequency.
1F	<1>	REF1 Frequency > Threshold	Readback register: indicates if the frequency of the signal at REF2 is greater than the threshold frequency set by Register 0x1A<6>. <1> = 0; REF1 frequency is less than threshold frequency. <1> = 1; REF1 frequency is greater than threshold frequency.
1F	<0>	Digital Lock Detect	Readback register: digital lock detect. <0> = 0; PLL is not locked. <0> = 1; PLL is locked.

# AD9516-0

表54. 微遲延調整：OUT6~OUT9

Reg. Addr (Hex)	Bit(s)	Name	Description																																				
A0	<0>	OUT6 Delay Bypass	Bypass or use the delay function. <0> = 0; use delay function. <0> = 1; bypass delay function.																																				
A1	<5:3>	OUT6 Ramp Capacitors	Selects the number of ramp capacitors used by the delay function. The combination of number of the capacitors and the ramp current sets the delay full scale. <table style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>Number of Capacitors</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	<5>	<4>	<3>	Number of Capacitors	0	0	0	4	0	0	1	3	0	1	0	3	0	1	1	2	1	0	0	3	1	0	1	2	1	1	0	2	1	1	1	1
<5>	<4>	<3>	Number of Capacitors																																				
0	0	0	4																																				
0	0	1	3																																				
0	1	0	3																																				
0	1	1	2																																				
1	0	0	3																																				
1	0	1	2																																				
1	1	0	2																																				
1	1	1	1																																				
A1	<2:0>	OUT6 Ramp Current	Ramp current for the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale. <table style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Current (μA)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>200</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>400</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>600</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>800</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1000</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1200</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1400</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1600</td></tr> </tbody> </table>	<2>	<1>	<0>	Current (μA)	0	0	0	200	0	0	1	400	0	1	0	600	0	1	1	800	1	0	0	1000	1	0	1	1200	1	1	0	1400	1	1	1	1600
<2>	<1>	<0>	Current (μA)																																				
0	0	0	200																																				
0	0	1	400																																				
0	1	0	600																																				
0	1	1	800																																				
1	0	0	1000																																				
1	0	1	1200																																				
1	1	0	1400																																				
1	1	1	1600																																				
A2	<5:0>	OUT6 Delay Fraction	Selects the fraction of the full-scale delay desired (6-bit binary). 000000 gives zero delay. Only delay values up to 47 decimal (101111b; 0x2F) are supported.																																				
A3	<0>	OUT7 Delay Bypass	Bypass or use the delay function. <0> = 0; use delay function. <0> = 1; bypass delay function.																																				
A4	<5:3>	OUT7 Ramp Capacitors	Selects the number of ramp capacitors used by the delay function. The combination of number of the capacitors and the ramp current sets the delay full scale. <table style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>Number of Capacitors</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	<5>	<4>	<3>	Number of Capacitors	0	0	0	4	0	0	1	3	0	1	0	3	0	1	1	2	1	0	0	3	1	0	1	2	1	1	0	2	1	1	1	1
<5>	<4>	<3>	Number of Capacitors																																				
0	0	0	4																																				
0	0	1	3																																				
0	1	0	3																																				
0	1	1	2																																				
1	0	0	3																																				
1	0	1	2																																				
1	1	0	2																																				
1	1	1	1																																				

Reg. Addr (Hex)	Bit(s)	Name	Description
A4	<2:0>	OUT7 Ramp Current	Ramp current for the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale. <2> <1> <0> Current ( $\mu$ A) 0 0 0 200 0 0 1 400 0 1 0 600 0 1 1 800 1 0 0 1000 1 0 1 1200 1 1 0 1400 1 1 1 1600
A5	<5:0>	OUT7 Delay Fraction	Selects the fraction of the full-scale delay desired (6-bit binary). 000000 give zero delay. Only delay values up to 47 decimal (101111b; 0x2F) are supported.
A6	<0>	OUT8 Delay Bypass	Bypass or use the delay function. <0> = 0; use delay function. <0> = 1; bypass delay function.
A7	<5:3>	OUT8 Ramp Capacitors	Selects the number of ramp capacitors used by the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale. <5> <4> <3> Number of Capacitors 0 0 0 4 0 0 1 3 0 1 0 3 0 1 1 2 1 0 0 3 1 0 1 2 1 1 0 2 1 1 1 1
A7	<2:0>	OUT8 Ramp Current	Ramp current for the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale. <2> <1> <0> Current ( $\mu$ A) 0 0 0 200 0 0 1 400 0 1 0 600 0 1 1 800 1 0 0 1000 1 0 1 1200 1 1 0 1400 1 1 1 1600
A8	<5:0>	OUT8 Delay Fraction	Selects the fraction of the full-scale delay desired (6-bit binary). 000000 gives zero delay. Only delay values up to 47 decimal (101111b; 0x2F) are supported.
A9	<0>	OUT9 Delay Bypass	Bypass or use the delay function. <0> = 0; use delay function. <0> = 1; bypass delay function.

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																																				
AA	<5:3>	OUT9 Ramp Capacitors	<p>Selects the number of ramp capacitors used by the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale.</p> <table border="1"> <thead> <tr> <th>&lt;5&gt;</th> <th>&lt;4&gt;</th> <th>&lt;3&gt;</th> <th>Number of Capacitors</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	<5>	<4>	<3>	Number of Capacitors	0	0	0	4	0	0	1	3	0	1	0	3	0	1	1	2	1	0	0	3	1	0	1	2	1	1	0	2	1	1	1	1
<5>	<4>	<3>	Number of Capacitors																																				
0	0	0	4																																				
0	0	1	3																																				
0	1	0	3																																				
0	1	1	2																																				
1	0	0	3																																				
1	0	1	2																																				
1	1	0	2																																				
1	1	1	1																																				
AA	<2:0>	OUT9 Ramp Current	<p>Ramp current for the delay function. The combination of the number of capacitors and the ramp current sets the delay full scale.</p> <table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Current Value (μA)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>200</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>400</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>600</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>800</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1000</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1200</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1400</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1600</td></tr> </tbody> </table>	<2>	<1>	<0>	Current Value (μA)	0	0	0	200	0	0	1	400	0	1	0	600	0	1	1	800	1	0	0	1000	1	0	1	1200	1	1	0	1400	1	1	1	1600
<2>	<1>	<0>	Current Value (μA)																																				
0	0	0	200																																				
0	0	1	400																																				
0	1	0	600																																				
0	1	1	800																																				
1	0	0	1000																																				
1	0	1	1200																																				
1	1	0	1400																																				
1	1	1	1600																																				
AB	<5:0>	OUT9 Delay Fraction	<p>Selects the fraction of the full-scale delay desired (6-bit binary). 000000 gives zero delay. Only delay values up to 47 decimal (101111b; 0x2F) are supported.</p>																																				

表55. LVPECL出力

Reg. Addr (Hex)	Bit(s)	Name	Description																				
F0	<4>	OUT0 Invert	<p>Sets the output polarity. &lt;4&gt; = 0; noninverting. &lt;4&gt; = 1; inverting.</p>																				
F0	<3:2>	OUT0 LVPECL Differential Voltage	<p>Sets the LVPECL output differential voltage (<math>V_{OD}</math>).</p> <table border="1"> <thead> <tr> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th><math>V_{OD}</math> (mV)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>400</td></tr> <tr><td>0</td><td>1</td><td>600</td></tr> <tr><td>1</td><td>0</td><td>780</td></tr> <tr><td>1</td><td>1</td><td>960</td></tr> </tbody> </table>	<3>	<2>	$V_{OD}$ (mV)	0	0	400	0	1	600	1	0	780	1	1	960					
<3>	<2>	$V_{OD}$ (mV)																					
0	0	400																					
0	1	600																					
1	0	780																					
1	1	960																					
F0	<1:0>	OUT0 Power-Down	<p>LVPECL power-down modes.</p> <table border="1"> <thead> <tr> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Mode</th> <th>Output</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>Normal operation.</td><td>On</td></tr> <tr><td>0</td><td>1</td><td>Partial power-down, reference on; use only if there are no external load resistors.</td><td>Off</td></tr> <tr><td>1</td><td>0</td><td>Partial power-down, reference on, safe LVPECL power-down.</td><td>Off</td></tr> <tr><td>1</td><td>1</td><td>Total power-down, reference off; use only if there are no external load resistors.</td><td>Off</td></tr> </tbody> </table>	<1>	<0>	Mode	Output	0	0	Normal operation.	On	0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off	1	0	Partial power-down, reference on, safe LVPECL power-down.	Off	1	1	Total power-down, reference off; use only if there are no external load resistors.	Off
<1>	<0>	Mode	Output																				
0	0	Normal operation.	On																				
0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off																				
1	0	Partial power-down, reference on, safe LVPECL power-down.	Off																				
1	1	Total power-down, reference off; use only if there are no external load resistors.	Off																				
F1	<4>	OUT1 Invert	<p>Sets the output polarity. &lt;4&gt; = 0; noninverting. &lt;4&gt; = 1; inverting.</p>																				

Reg. Addr (Hex)	Bit(s)	Name	Description
F1	<3:2>	OUT1 LVPECL Differential Voltage	Sets the LVPECL output differential voltage ( $V_{OD}$ ). <3> <2> $V_{OD}$ (mV) 0 0 400 0 1 600 1 0 780 1 1 960
F1	<1:0>	OUT1 Power-Down	LVPECL power-down modes. <1> <0> Mode Output 0 0 Normal operation. On 0 1 Partial power-down, reference on; use only if there are no external load resistors. Off 1 0 Partial power-down, reference on, safe LVPECL power-down. Off 1 1 Total power-down, reference off; use only if there are no external load resistors. Off
F2	<4>	OUT2 Invert	Sets the output polarity. <4> = 0; noninverting. <4> = 1; inverting.
F2	<3:2>	OUT2 LVPECL Differential Voltage	Sets the LVPECL output differential voltage ( $V_{OD}$ ). <3> <2> $V_{OD}$ (mV) 0 0 400 0 1 600 1 0 780 1 1 960
F2	<1:0>	OUT2 Power-Down	LVPECL Power-down modes. <1> <0> Mode Output 0 0 Normal operation. On 0 1 Partial power-down, reference on; use only if there are no external load resistors. Off 1 0 Partial power-down, reference on, safe LVPECL power-down. Off 1 1 Total power-down, reference off; use only if there are no external load resistors. Off
F3	<4>	OUT3 Invert	Sets the output polarity. <4> = 0; noninverting. <4> = 1; inverting.
F3	<3:2>	OUT3 LVPECL Differential Voltage	Sets the LVPECL output differential voltage ( $V_{OD}$ ). <3> <2> $V_{OD}$ (mV) 0 0 400 0 1 600 1 0 780 1 1 960
F3	<1:0>	OUT3 Power-Down	LVPECL power-down modes. <1> <0> Mode Output 0 0 Normal operation. On 0 1 Partial power-down, reference on; use only if there are no external load resistors. Off 1 0 Partial power-down, reference on, safe LVPECL power-down. Off 1 1 Total power-down, reference off; use only if there are no external load resistors. Off
F4	<4>	OUT4 Invert	Sets the output polarity. <4> = 0; noninverting. <4> = 1; inverting.
F4	<3:2>	OUT4 LVPECL Differential Voltage	Sets the LVPECL output differential voltage ( $V_{OD}$ ). <3> <2> $V_{OD}$ (mV) 0 0 400 0 1 600 1 0 780 1 1 960

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																				
F4	<1:0>	OUT4 Power-Down	LVPECL power-down modes. <table border="0"> <thead> <tr> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Mode</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Normal operation.</td> <td>On</td> </tr> <tr> <td>0</td> <td>1</td> <td>Partial power-down, reference on; use only if there are no external load resistors.</td> <td>Off</td> </tr> <tr> <td>1</td> <td>0</td> <td>Partial power-down, reference on, safe LVPECL power-down.</td> <td>Off</td> </tr> <tr> <td>1</td> <td>1</td> <td>Total power-down, reference off; use only if there are no external load resistors.</td> <td>Off</td> </tr> </tbody> </table>	<1>	<0>	Mode	Output	0	0	Normal operation.	On	0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off	1	0	Partial power-down, reference on, safe LVPECL power-down.	Off	1	1	Total power-down, reference off; use only if there are no external load resistors.	Off
<1>	<0>	Mode	Output																				
0	0	Normal operation.	On																				
0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off																				
1	0	Partial power-down, reference on, safe LVPECL power-down.	Off																				
1	1	Total power-down, reference off; use only if there are no external load resistors.	Off																				
F5	<4>	OUT5 Invert	Sets the output polarity. <4> = 0; noninverting. <4> = 1; inverting.																				
F5	<3:2>	OUT5 LVPECL Differential Voltage	Sets the LVPECL output differential voltage ( $V_{OD}$ ). <table border="0"> <thead> <tr> <th>&lt;3&gt;</th> <th>&lt;2&gt;</th> <th><math>V_{OD}</math> (mV)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>400</td> </tr> <tr> <td>0</td> <td>1</td> <td>600</td> </tr> <tr> <td>1</td> <td>0</td> <td>780</td> </tr> <tr> <td>1</td> <td>1</td> <td>960</td> </tr> </tbody> </table>	<3>	<2>	$V_{OD}$ (mV)	0	0	400	0	1	600	1	0	780	1	1	960					
<3>	<2>	$V_{OD}$ (mV)																					
0	0	400																					
0	1	600																					
1	0	780																					
1	1	960																					
F5	<1:0>	OUT5 Power-Down	LVPECL power-down modes. <table border="0"> <thead> <tr> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Mode</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Normal operation.</td> <td>On</td> </tr> <tr> <td>0</td> <td>1</td> <td>Partial power-down, reference on; use only if there are no external load resistors.</td> <td>Off</td> </tr> <tr> <td>1</td> <td>0</td> <td>Partial power-down, reference on, safe LVPECL power-down.</td> <td>Off</td> </tr> <tr> <td>1</td> <td>1</td> <td>Total power-down, reference off; use only if there are no external load resistors.</td> <td>Off</td> </tr> </tbody> </table>	<1>	<0>	Mode	Output	0	0	Normal operation.	On	0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off	1	0	Partial power-down, reference on, safe LVPECL power-down.	Off	1	1	Total power-down, reference off; use only if there are no external load resistors.	Off
<1>	<0>	Mode	Output																				
0	0	Normal operation.	On																				
0	1	Partial power-down, reference on; use only if there are no external load resistors.	Off																				
1	0	Partial power-down, reference on, safe LVPECL power-down.	Off																				
1	1	Total power-down, reference off; use only if there are no external load resistors.	Off																				

表56. LVDS/CMOS出力

Reg. Addr (Hex)	Bit(s)	Name	Description																																																						
140	<7:5>	OUT6 Output Polarity	In CMOS mode, <7:5> select the output polarity of each CMOS output. In LVDS mode, only <5> determines LVDS polarity. <table border="0"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>&lt;5&gt;</th> <th>OUT6A (CMOS)</th> <th>OUT6B (CMOS)</th> <th>OUT6 (LVDS)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Noninverting</td> <td>Inverting</td> <td>Noninverting</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Noninverting</td> <td>Noninverting</td> <td>Noninverting</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Inverting</td> <td>Inverting</td> <td>Noninverting</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Inverting</td> <td>Noninverting</td> <td>Noninverting</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Inverting</td> <td>Noninverting</td> <td>Inverting</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Inverting</td> <td>Inverting</td> <td>Inverting</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Noninverting</td> <td>Noninverting</td> <td>Inverting</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Noninverting</td> <td>Inverting</td> <td>Inverting</td> </tr> </tbody> </table>	<7>	<6>	<5>	OUT6A (CMOS)	OUT6B (CMOS)	OUT6 (LVDS)	0	0	0	Noninverting	Inverting	Noninverting	0	1	0	Noninverting	Noninverting	Noninverting	1	0	0	Inverting	Inverting	Noninverting	1	1	0	Inverting	Noninverting	Noninverting	0	0	1	Inverting	Noninverting	Inverting	0	1	1	Inverting	Inverting	Inverting	1	0	1	Noninverting	Noninverting	Inverting	1	1	1	Noninverting	Inverting	Inverting
<7>	<6>	<5>	OUT6A (CMOS)	OUT6B (CMOS)	OUT6 (LVDS)																																																				
0	0	0	Noninverting	Inverting	Noninverting																																																				
0	1	0	Noninverting	Noninverting	Noninverting																																																				
1	0	0	Inverting	Inverting	Noninverting																																																				
1	1	0	Inverting	Noninverting	Noninverting																																																				
0	0	1	Inverting	Noninverting	Inverting																																																				
0	1	1	Inverting	Inverting	Inverting																																																				
1	0	1	Noninverting	Noninverting	Inverting																																																				
1	1	1	Noninverting	Inverting	Inverting																																																				
140	<4>	OUT6 CMOS B	In CMOS mode, turn on/off the CMOS B output. There is no effect in LVDS mode. <4> = 0; turn off the CMOS B output. <4> = 1; turn on the CMOS B output.																																																						
140	<3>	OUT6 Select LVDS/CMOS	Select LVDS or CMOS logic levels. <3> = 0; LVDS. <3> = 1; CMOS.																																																						
140	<2:1>	OUT6 LVDS Output Current	Set output current level in LVDS mode. This has no effect in CMOS mode. <table border="0"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>Current (mA)</th> <th>Recommended Termination (<math>\Omega</math>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.75</td> <td>100</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.5</td> <td>100</td> </tr> <tr> <td>1</td> <td>0</td> <td>5.25</td> <td>50</td> </tr> <tr> <td>1</td> <td>1</td> <td>7</td> <td>50</td> </tr> </tbody> </table>	<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )	0	0	1.75	100	0	1	3.5	100	1	0	5.25	50	1	1	7	50																																		
<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )																																																						
0	0	1.75	100																																																						
0	1	3.5	100																																																						
1	0	5.25	50																																																						
1	1	7	50																																																						



Reg. Addr (Hex)	Bit(s)	Name	Description																																																						
140	<0>	OUT6 Power-Down	Power-down output (LVDS/CMOS). <0> = 0; power on. <0> = 1; power off.																																																						
141	<7:5>	OUT7 Output Polarity	In CMOS mode, <7:5> select the output polarity of each CMOS output. In LVDS mode, only <5> determines LVDS polarity. <table border="1"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>&lt;5&gt;</th> <th>OUT7A (CMOS)</th> <th>OUT7B (CMOS)</th> <th>OUT7 (LVDS)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>Noninverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>Noninverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>Inverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>Inverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>Inverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>Inverting</td><td>Inverting</td><td>Inverting</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>Noninverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>Noninverting</td><td>Inverting</td><td>Inverting</td></tr> </tbody> </table>	<7>	<6>	<5>	OUT7A (CMOS)	OUT7B (CMOS)	OUT7 (LVDS)	0	0	0	Noninverting	Inverting	Noninverting	0	1	0	Noninverting	Noninverting	Noninverting	1	0	0	Inverting	Inverting	Noninverting	1	1	0	Inverting	Noninverting	Noninverting	0	0	1	Inverting	Noninverting	Inverting	0	1	1	Inverting	Inverting	Inverting	1	0	1	Noninverting	Noninverting	Inverting	1	1	1	Noninverting	Inverting	Inverting
<7>	<6>	<5>	OUT7A (CMOS)	OUT7B (CMOS)	OUT7 (LVDS)																																																				
0	0	0	Noninverting	Inverting	Noninverting																																																				
0	1	0	Noninverting	Noninverting	Noninverting																																																				
1	0	0	Inverting	Inverting	Noninverting																																																				
1	1	0	Inverting	Noninverting	Noninverting																																																				
0	0	1	Inverting	Noninverting	Inverting																																																				
0	1	1	Inverting	Inverting	Inverting																																																				
1	0	1	Noninverting	Noninverting	Inverting																																																				
1	1	1	Noninverting	Inverting	Inverting																																																				
141	<4>	OUT7 CMOS B	In CMOS mode, turn on/off the CMOS B output. There is no effect in LVDS mode. <4> = 0; turn off the CMOS B output. <4> = 1; turn on the CMOS B output.																																																						
141	<3>	OUT7 Select LVDS/CMOS	Select LVDS or CMOS logic levels. <3> = 0; LVDS. <3> = 1; CMOS.																																																						
141	<2:1>	OUT7 LVDS Output Current	Set output current level in LVDS mode. This has no effect in CMOS mode. <table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>Current (mA)</th> <th>Recommended Termination (<math>\Omega</math>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1.75</td><td>100</td></tr> <tr><td>0</td><td>1</td><td>3.5</td><td>100</td></tr> <tr><td>1</td><td>0</td><td>5.25</td><td>50</td></tr> <tr><td>1</td><td>1</td><td>7</td><td>50</td></tr> </tbody> </table>	<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )	0	0	1.75	100	0	1	3.5	100	1	0	5.25	50	1	1	7	50																																		
<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )																																																						
0	0	1.75	100																																																						
0	1	3.5	100																																																						
1	0	5.25	50																																																						
1	1	7	50																																																						
141	<0>	OUT7 Power-Down	Power-down output (LVDS/CMOS). <0> = 0; power on. <0> = 1; power off.																																																						
142	<7:5>	OUT8 Output Polarity	In CMOS mode, <7:5> select the output polarity of each CMOS output. In LVDS mode, only <5> determines LVDS polarity. <table border="1"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>&lt;5&gt;</th> <th>OUT8A (CMOS)</th> <th>OUT8B (CMOS)</th> <th>OUT8 (LVDS)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>Noninverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>Noninverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>Inverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>Inverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>Inverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>Inverting</td><td>Inverting</td><td>Inverting</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>Noninverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>Noninverting</td><td>Inverting</td><td>Inverting</td></tr> </tbody> </table>	<7>	<6>	<5>	OUT8A (CMOS)	OUT8B (CMOS)	OUT8 (LVDS)	0	0	0	Noninverting	Inverting	Noninverting	0	1	0	Noninverting	Noninverting	Noninverting	1	0	0	Inverting	Inverting	Noninverting	1	1	0	Inverting	Noninverting	Noninverting	0	0	1	Inverting	Noninverting	Inverting	0	1	1	Inverting	Inverting	Inverting	1	0	1	Noninverting	Noninverting	Inverting	1	1	1	Noninverting	Inverting	Inverting
<7>	<6>	<5>	OUT8A (CMOS)	OUT8B (CMOS)	OUT8 (LVDS)																																																				
0	0	0	Noninverting	Inverting	Noninverting																																																				
0	1	0	Noninverting	Noninverting	Noninverting																																																				
1	0	0	Inverting	Inverting	Noninverting																																																				
1	1	0	Inverting	Noninverting	Noninverting																																																				
0	0	1	Inverting	Noninverting	Inverting																																																				
0	1	1	Inverting	Inverting	Inverting																																																				
1	0	1	Noninverting	Noninverting	Inverting																																																				
1	1	1	Noninverting	Inverting	Inverting																																																				
142	<4>	OUT8 CMOS B	In CMOS mode, turn on/off the CMOS B output. There is no effect in LVDS mode. <4> = 0; turn off the CMOS B output. <4> = 1; turn on the CMOS B output.																																																						
142	<3>	OUT8 Select LVDS/CMOS	Select LVDS or CMOS logic levels. <3> = 0; LVDS. <3> = 1; CMOS.																																																						
142	<2:1>	OUT8 LVDS Output Current	Set output current level in LVDS mode. This has no effect in CMOS mode. <table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>Current (mA)</th> <th>Recommended Termination (<math>\Omega</math>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1.75</td><td>100</td></tr> <tr><td>0</td><td>1</td><td>3.5</td><td>100</td></tr> <tr><td>1</td><td>0</td><td>5.25</td><td>50</td></tr> <tr><td>1</td><td>1</td><td>7</td><td>50</td></tr> </tbody> </table>	<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )	0	0	1.75	100	0	1	3.5	100	1	0	5.25	50	1	1	7	50																																		
<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )																																																						
0	0	1.75	100																																																						
0	1	3.5	100																																																						
1	0	5.25	50																																																						
1	1	7	50																																																						

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description																																																						
142	<0>	OUT8 Power-Down	Power-down output (LVDS/CMOS). <0> = 0; power on. <0> = 1; power off.																																																						
143	<7:5>	OUT9 Output Polarity	In CMOS mode, <7:5> select the output polarity of each CMOS output. In LVDS mode, only <5> determines LVDS polarity. <table border="1"> <thead> <tr> <th>&lt;7&gt;</th> <th>&lt;6&gt;</th> <th>&lt;5&gt;</th> <th>OUT9A (CMOS)</th> <th>OUT9B (CMOS)</th> <th>OUT9 (LVDS)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>Noninverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>Noninverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>Inverting</td><td>Inverting</td><td>Noninverting</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>Inverting</td><td>Noninverting</td><td>Noninverting</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>Inverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>Inverting</td><td>Inverting</td><td>Inverting</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>Noninverting</td><td>Noninverting</td><td>Inverting</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>Noninverting</td><td>Inverting</td><td>Inverting</td></tr> </tbody> </table>	<7>	<6>	<5>	OUT9A (CMOS)	OUT9B (CMOS)	OUT9 (LVDS)	0	0	0	Noninverting	Inverting	Noninverting	0	1	0	Noninverting	Noninverting	Noninverting	1	0	0	Inverting	Inverting	Noninverting	1	1	0	Inverting	Noninverting	Noninverting	0	0	1	Inverting	Noninverting	Inverting	0	1	1	Inverting	Inverting	Inverting	1	0	1	Noninverting	Noninverting	Inverting	1	1	1	Noninverting	Inverting	Inverting
<7>	<6>	<5>	OUT9A (CMOS)	OUT9B (CMOS)	OUT9 (LVDS)																																																				
0	0	0	Noninverting	Inverting	Noninverting																																																				
0	1	0	Noninverting	Noninverting	Noninverting																																																				
1	0	0	Inverting	Inverting	Noninverting																																																				
1	1	0	Inverting	Noninverting	Noninverting																																																				
0	0	1	Inverting	Noninverting	Inverting																																																				
0	1	1	Inverting	Inverting	Inverting																																																				
1	0	1	Noninverting	Noninverting	Inverting																																																				
1	1	1	Noninverting	Inverting	Inverting																																																				
143	<4>	OUT9 CMOS B	In CMOS mode, turn on/off the CMOS B output. There is no effect in LVDS mode. <4> = 0; turn off the CMOS B output. <4> = 1; turn on the CMOS B output.																																																						
143	<3>	OUT9 Select LVDS/CMOS	Select LVDS or CMOS logic levels. <3> = 0; LVDS. <3> = 1; CMOS.																																																						
143	<2:1>	OUT9 LVDS Output Current	Set output current level in LVDS mode. This has no effect in CMOS mode. <table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>Current (mA)</th> <th>Recommended Termination (<math>\Omega</math>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1.75</td><td>100</td></tr> <tr><td>0</td><td>1</td><td>3.5</td><td>100</td></tr> <tr><td>1</td><td>0</td><td>5.25</td><td>50</td></tr> <tr><td>1</td><td>1</td><td>7</td><td>50</td></tr> </tbody> </table>	<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )	0	0	1.75	100	0	1	3.5	100	1	0	5.25	50	1	1	7	50																																		
<2>	<1>	Current (mA)	Recommended Termination ( $\Omega$ )																																																						
0	0	1.75	100																																																						
0	1	3.5	100																																																						
1	0	5.25	50																																																						
1	1	7	50																																																						
143	<0>	OUT9 Power-Down	Power-down output (LVDS/CMOS). <0> = 0; power on. <0> = 1; power off.																																																						

表57. LVPECLチャンネル分周器

Reg. Addr (Hex)	Bit(s)	Name	Description
190	<7:4>	Divider 0 Low Cycles	Number of clock cycles of the divider input during which divider output stays low.
190	<3:0>	Divider 0 High Cycles	Number of clock cycles of the divider input during which divider output stays high.
191	<7>	Divider 0 Bypass	Bypass and power-down the divider; route input to divider output. <7> = 0; use divider. <7> = 1; bypass divider.
191	<6>	Divider 0 Nosync	Nosync. <6> = 0; obey chip-level SYNC signal. <6> = 1; ignore chip-level SYNC signal.
191	<5>	Divider 0 Force High	Force divider output to high. This requires that nosync also be set. <5> = 0; divider output forced to low. <5> = 1; divider output forced to high.
191	<4>	Divider 0 Start High	Selects clock output to start high or start low. <4> = 0; start low. <4> = 1; start high.
191	<3:0>	Divider 0 Phase Offset	Phase offset.

Reg. Addr (Hex)	Bit(s)	Name	Description
192	<1>	Divider 0 Direct to Output	Connect OUT0 and OUT1 to Divider 0 or directly to VCO or CLK. <1> = 0; OUT0 and OUT1 are connected to Divider 0. <1> = 1: If 0x1E1<1:0> = 10b, the VCO is routed directly to OUT0 and OUT1. If 0x1E1<1:0> = 00b, the CLK is routed directly to OUT0 and OUT1. If 0x1E1<1:0> = 01b, there is no effect.
192	<0>	Divider 0 DCCOFF	Duty-cycle correction function. <0> = 0; enable duty-cycle correction. <0> = 1; disable duty-cycle correction.
193	<7:4>	Divider 1 Low Cycles	Number of clock cycles of the divider input during which divider output stays low.
193	<3:0>	Divider 1 High Cycles	Number of clock cycles of the divider input during which divider output stays high.
194	<7>	Divider 1 Bypass	Bypass and power-down the divider; route input to divider output. <7> = 0; use divider. <7> = 1; bypass divider.
194	<6>	Divider 1 Nosync	Nosync. <6> = 0; obey chip-level SYNC signal. <6> = 1; ignore chip-level SYNC signal.
194	<5>	Divider 1 Force High	Force divider output to high. This requires that nosync also be set. <5> = 0; divider output forced to low. <5> = 1; divider output forced to high.
194	<4>	Divider 1 Start High	Selects clock output to start high or start low. <4> = 0; start low. <4> = 1; start high.
194	<3:0>	Divider 1 Phase Offset	Phase offset.
195	<1>	Divider 1 Direct to Output	Connect OUT2 and OUT3 to Divider 1 or directly to VCO or CLK. <1> = 0; OUT2 and OUT3 are connected to Divider 1. <1> = 1: If 0x1E1<1:0> = 10b, the VCO is routed directly to OUT2 and OUT3. If 0x1E1<1:0> = 00b, the CLK is routed directly to OUT2 and OUT3. If 0x1E1<1:0> = 01b, there is no effect.
195	<0>	Divider 1 DCCOFF	Duty-cycle correction function. <0> = 0; enable duty-cycle correction. <0> = 1; disable duty-cycle correction.
196	<7:4>	Divider 2 Low Cycles	Number of clock cycles of the divider input during which divider output stays low.
196	<3:0>	Divider 2 High Cycles	Number of clock cycles of the divider input during which divider output stays high.
197	<7>	Divider 2 Bypass	Bypass and power-down the divider; route input to divider output. <7> = 0; use divider. <7> = 1; bypass divider.
197	<6>	Divider 2 Nosync	Nosync. <6> = 0; obey chip-level SYNC signal. <6> = 1; ignore chip-level SYNC signal.
197	<5>	Divider 2 Force High	Force divider output to high. This requires that nosync also be set. <5> = 0; divider output forced to low. <5> = 1; divider output forced to high.
197	<4>	Divider 2 Start High	Selects clock output to start high or start low. <4> = 0; start low. <4> = 1; start high.
197	<3:0>	Divider 2 Phase Offset	Phase offset.

# AD9516-0

Reg. Addr (Hex)	Bit(s)	Name	Description
198	<1>	Divider 2 Direct to Output	Connect OUT4 and OUT5 to Divider 2 or directly to VCO or CLK. <1> = 0; OUT4 and OUT5 are connected to Divider 2. <1> = 1: If 0x1E1<1:0> = 10b, the VCO is routed directly to OUT4 and OUT5. If 0x1E1<1:0> = 00b, the CLK is routed directly to OUT4 and OUT5. If 0x1E1<1:0> = 01b, there is no effect.
198	<0>	Divider 2 DCCOFF	Duty-cycle correction function. <0> = 0; enable duty-cycle correction. <0> = 1; disable duty-cycle correction.

表58. LVDS/CMOSチャンネル分周器

Reg. Addr (Hex)	Bit(s)	Name	Description
199	<7:4>	Low Cycles Divider 3.1	Number of clock cycles of 3.1 divider input during which 3.1 output stays low.
199	<3:0>	High Cycles Divider 3.1	Number of clock cycles of 3.1 divider input during which 3.1 output stays high.
19A	<7:4>	Phase Offset Divider 3.2	Refer to LVDS/CMOS channel divider function description.
19A	<3:0>	Phase Offset Divider 3.1	Refer to LVDS/CMOS channel divider function description.
19B	<7:4>	Low Cycles Divider 3.2	Number of clock cycles of 3.2 divider input during which 3.2 output stays low.
19B	<3:0>	High Cycles Divider 3.2	Number of clock cycles of 3.2 divider input during which 3.2 output stays high.
19C	<5>	Bypass Divider 3.2	Bypass (and power-down) 3.2 divider logic, route clock to 3.2 output. <5> = 0; do not bypass. <5> = 1; bypass.
19C	<4>	Bypass Divider 3.1	Bypass (and power-down) 3.1 divider logic, route clock to 3.1 output. <4> = 0; do not bypass. <4> = 1; bypass.
19C	<3>	Divider 3 Nosync	Nosync. <3> = 0; obey chip-level SYNC signal. <3> = 1; ignore chip-level SYNC signal.
19C	<2>	Divider 3 Force High	Force Divider 3 output high. Requires that nosync also be set. <2> = 0; force low. <2> = 1; force high.
19C	<1>	Start High Divider 3.2	Divider 3.2 start high/low. <1> = 0; start low. <1> = 1; start high.
19C	<0>	Start High Divider 3.1	Divider 3.1 start high/low. <0> = 0; start low. <0> = 1; start high.
19D	<0>	Divider 3 DCCOFF	Duty-cycle correction function. <0> = 0; enable duty-cycle correction. <0> = 1; disable duty-cycle correction.
19E	<7:4>	Low Cycles Divider 4.1	Number of clock cycles of divider 4.1 input during which 4.1 output stays low.
19E	<3:0>	High Cycles Divider 4.1	Number of clock cycles of 4.1 divider input during which 4.1 output stays high.
19F	<7:4>	Phase Offset Divider 4.2	Refer to LVDS/CMOS channel divider function description.
19F	<3:0>	Phase Offset Divider 4.1	Refer to LVDS/CMOS channel divider function description.
1A0	<7:4>	Low Cycles Divider 4.2	Number of clock cycles of 4.2 divider input during which 4.2 output stays low.
1A0	<3:0>	High Cycles Divider 4.2	Number of clock cycles of 4.2 divider input during which 4.2 output stays high.

Reg. Addr (Hex)	Bit(s)	Name	Description
1A1	<5>	Bypass Divider 4.2	Bypass (and power-down) 4.2 divider logic, route clock to 4.2 output. <5> = 0; do not bypass. <5> = 1; bypass.
1A1	<4>	Bypass Divider 4.1	Bypass (and power-down) 4.1 divider logic, route clock to 4.1 output. <4> = 0; do not bypass. <4> = 1; bypass.
1A1	<3>	Divider 4 Nosync	Nosync. <3> = 0; obey chip-level SYNC signal. <3> = 1; ignore chip-level SYNC signal.
1A1	<2>	Divider 4 Force High	Force Divider 4 output high. Requires that nosync also be set. <2> = 0; force low. <2> = 1; force high.
1A1	<1>	Start High Divider 4.2	Divider 4.2 start high/low. <1> = 0; start low. <1> = 1; start high.
1A1	<0>	Start High Divider 4.1	Divider 4.1 start high/low. <0> = 0; start low. <0> = 1; start high.
1A2	<0>	Divider 4 DCCOFF	Duty-cycle correction function. <0> = 0; enable duty-cycle correction. <0> = 1; disable duty-cycle correction.

表59. VCO分周器とCLK入力

Reg. Addr (Hex)	Bit(s)	Name	Description																																				
1E0	<2:0>	VCO Divider	<table border="1"> <thead> <tr> <th>&lt;2&gt;</th> <th>&lt;1&gt;</th> <th>&lt;0&gt;</th> <th>Divide</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>5</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>6</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Output static</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Output static</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Output static</td> </tr> </tbody> </table>	<2>	<1>	<0>	Divide	0	0	0	2	0	0	1	3	0	1	0	4	0	1	1	5	1	0	0	6	1	0	1	Output static	1	1	0	Output static	1	1	1	Output static
<2>	<1>	<0>	Divide																																				
0	0	0	2																																				
0	0	1	3																																				
0	1	0	4																																				
0	1	1	5																																				
1	0	0	6																																				
1	0	1	Output static																																				
1	1	0	Output static																																				
1	1	1	Output static																																				
1E1	<4>	Power-Down Clock Input Section	Power down the clock input section (including CLK buffer, VCO divider, and CLK tree). <4> = 0; normal operation. <4> = 1; Power-down.																																				
1E1	<3>	Power-Down VCO Clock Interface	Power down the interface block between VCO and clock distribution. <3> = 0; normal operation. <3> = 1; power-down.																																				
1E1	<2>	Power-Down VCO and CLK	Power down both VCO and CLK input. <2> = 0; normal operation. <2> = 1; Power-down.																																				
1E1	<1>	Select VCO or CLK	Select either the VCO or the CLK as the input to VCO divider. <1> = 0; Select external CLK as input to VCO divider. <1> = 1; Select VCO as input to VCO divider; cannot bypass VCO divider when this is selected.																																				
1E1	<0>	Bypass VCO Divider	Bypass or use the VCO divider. <0> = 0; use VCO divider. <0> = 1; bypass VCO divider; cannot select VCO as input when this is selected.																																				

## AD9516-0

表60. システム

Reg. Addr (Hex)	Bit(s)	Name	Description
230	<2>	Power-Down Sync	Power down the SYNC function. <2> = 0; normal operation of the SYNC function. <2> = 1; power-down sync circuitry.
230	<1>	Power-Down Distribution Reference	Power down the reference for distribution section. <1> = 0; normal operation of the reference for the distribution section. <1> = 1; power down the reference for the distribution section.
230	<0>	Soft SYNC	The soft SYNC bit works the same as the $\overline{\text{SYNC}}$ pin, except that the polarity of this bit reversed. That is, a high level forces selected channels into a predetermined static state, and a 1-to-0 transition triggers a sync. <0> = 0; same as SYNC high. <0> = 1; same as SYNC low.

表61. 全レジスタ更新

Reg. Addr (Hex)	Bit(s)	Name	Description
232	<0>	Update All Registers	This bit must be set to 1 to transfer the contents of the buffer registers into the active registers. This happens on the next SCLK rising edge. This bit is self-clearing; that is, it does not have to be set back to 0. <0> = 1 (self-clearing); update all active registers to the contents of the buffer registers.

## アプリケーションのヒント

### AD9516の出力をADCクロック・アプリケーションで使用方法

高速のADCはすべて、サンプリング・クロックの品質によって大きく左右されます。ADCはサンプリング・ミキサとも考えられ、クロック上のノイズ、歪み、タイミング・ジッタがADC出力の所望の信号に混入してしまいます。クロックの完全性に求められる条件はアナログ入力周波数と分解能に従い、分解能が14ビット以上でアナログ入力周波数が高いアプリケーションほど条件が厳しくなります。ADCのS/N比の理論値は、ADCの分解能とサンプリング・クロックのジッタによって制限されます。ステップ・サイズと量子化誤差を無視できる無限分解能の理想的なADCを想定すると、有効なS/N比の概算値は次の式で表すことができます。

$$SNR(dB) = 20 \times \log \left( \frac{1}{2\pi f_A t_J} \right)$$

ここで、

$f_A$  = デジタル化される最大アナログ周波数

$t_J$  = サンプリング・クロックのジッタrms値

図68に、要求されるサンプリング・クロック・ジッタをアナログ周波数と有効ビット数 (ENOB) の関数として示します。

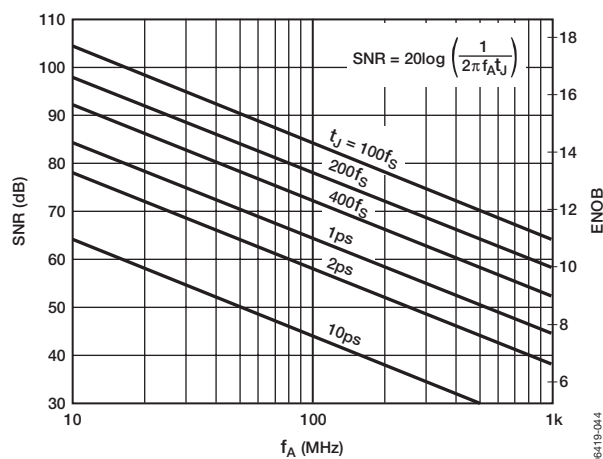


図68. アナログ入力周波数 対 S/N比およびENOB

www.analog.comから提供するアプリケーション・ノートAN-756とAN-501を参照してください。

高性能ADCの多くは、ノイズが多いPCボード上で必要な低ジッタ・クロックを簡単に供給できるように差動クロック入力を備えています。(ノイズの多いPCボード上でシングルエンド入力のクロックを分配すると、サンプリング・クロックにノイズが混入することがあります。差動クロックの分配には同相ノイズ除去特性があるため、ノイズの多い環境で優れたクロック性能が得られます。) AD9516には、差動クロック出力を提供するLVPECLとLVDSの2つの出力があり、コンバータのS/N比性能を最大限に高めるクロック・ソリューションが可能です。最適なクロッキング/コンバータ・ソリューションを選ぶ場合には、ADCの入力条件 (差動かシングルエンド、ロジック・レベル、終端) を考慮する必要があります。

### LVPECLクロック分配

LVPECL出力は、AD9516で最もジッタが低いクロック信号を供給します。LVPECL出力は (オープン・エミッタであるため)、DC終端で出力トランジスタをバイアスする必要があります。図57の簡略等価回路図にLVPECL出力段を示します。

大部分のアプリケーションでは、図69に示すようなLVPECLの遠端テブナン終端を推奨します。抵抗回路は、伝送ラインのインピーダンス (50Ω) とスイッチング・スレッシュホールド ( $V_S - 1.3V$ ) に整合するように設計されています。

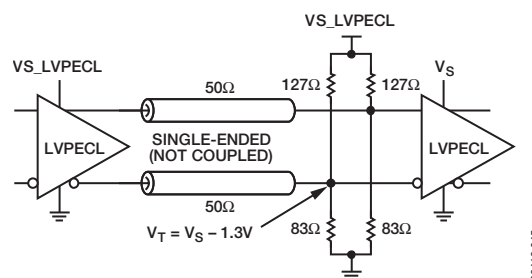


図69. LVPECLの遠端テブナン終端

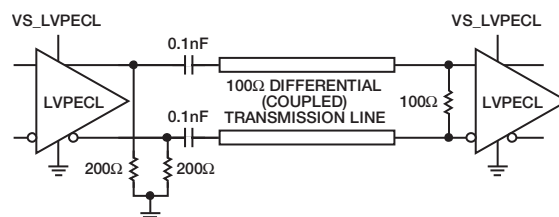


図70. 並列伝送ラインを使用したLVPECL

### LVDSクロック分配

AD9516には、CMOSまたはLVDSレベルの出力を選択できる4本のクロック出力 (OUT6~OUT9) があります。LVDSは、電流モードの出力段を使用する差動出力オプションです。公称電流は3.5mAで、100Ω抵抗で350mVの出力振幅が得られます。LVDS出力はANSI/TIA/EIA-644のすべての仕様を満たしているか、あるいは上回っています。

図71にLVDS出力の推奨終端回路を示します。

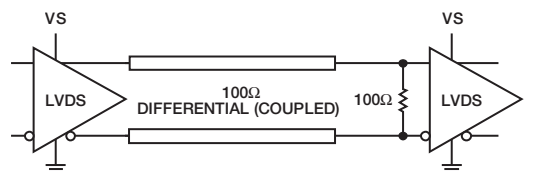


図71. LVDS出力の終端

LVDSに関する詳細は、www.analog.comから提供しているアプリケーション・ノートAN-586を参照してください。

## AD9516-0

### CMOSクロック分配

AD9516には、CMOSまたはLVDSレベルの出力を選択できる4本のクロック出力（OUT6～OUT9）があります。CMOSにする場合、各出力はペアのCMOS出力になり、それぞれを個別にターンオンまたはターンオフ、非反転または反転に設定できます。これらの出力は、3.3V CMOSと互換性があります。

シングルエンドのCMOSクロックを使用する際は、次の一般的なガイドラインに従ってください。

1対1の回路では、可能であれば、ドライバに対し回路上にレシーバが1個のみになるように設計してください。これによって、終端の方法が簡単になり、回路上で発生するインピーダンス不整合によるリングングが最小限に抑えられます。伝送ラインの整合を維持し、またドライバの過渡電流を削減するために、一般に信号源を直列に終端する必要があります。抵抗の値は、ボードの設計とタイミング条件に応じて異なります（一般に10～100Ωを使用）。CMOS出力は、容量負荷や駆動できるパターン長についても制限があります。一般には、信号の立上がり／立下がり時間と完全性を維持するために3インチ未満のパターン長を推奨します。

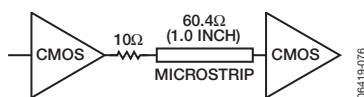


図72. CMOS出力の直列終端

PCボードのパターン配線の遠端で終端を行う方法が、もう1つのオプションになります。図73に示すようなインピーダンスの低い抵抗遠端終端を使うと、AD9516のCMOS出力は最大電圧振幅が生じるほどの電流を必要としません。遠端の終端回路はPCボードのパターン配線のインピーダンスと整合させ、所望のスイッチング・ポイントが得られるようにします。アプリケーションによっては、低い信号振幅でもレシーバの入力条件を満たすことができることがあります。それほど重要でない回路上で長いパターンを駆動する場合には、この方法が役立ちます。

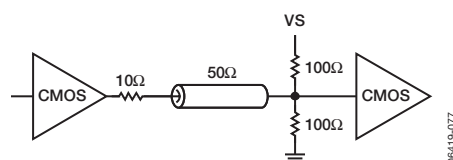
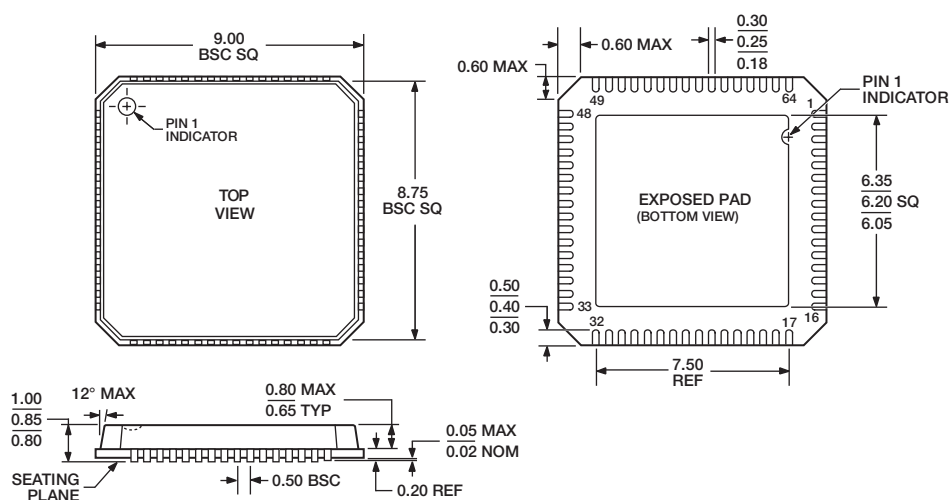


図73. 遠端終端のCMOS出力

シングルエンドのCMOSクロックには制約があるため、高速の信号を長いパターンで駆動する場合は差動出力の使用を検討してください。AD9516には長いパターンの駆動に適したLVPECLとLVDSの出力があり、差動信号特有のノイズ耐性によって、コンバータ・クロック用の優れた性能が得られます。



## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

図74. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]

9mm×9mmボディ、極薄クワッド

CP-64-4

寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9516-0BCPZ <sup>1</sup>	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-4
AD9516-0BCPZ-REEL <sup>7</sup>	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-4
AD9516-0/PCBZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z=RoHS準拠製品