

### 特長

- 1.8Vのアナログ電源動作
- 1.8~3.3Vのデジタル出力用電源
- 70MHzまでの入力に対するSNR=71.7dBc (72.7dBFS)
- 70MHzまでの入力に対するSFDR=85dBc
- 低消費電力：395mW (@125MSPS)
- 650MHz帯域幅の差動入力
- オンチップの電圧リファレンスとサンプル&ホールド・アンプ
- DNL=±0.4LSB
- フレキシブルなアナログ入力レンジ：1~2Vp-p
- オフセット・バイナリ、グレーコード、2の補数のデータ・フォーマット
- クロック・デューティ・サイクル・スタビライザ
- データ出力クロック
- シリアル・ポート制御
- 選択可能なデジタル・テスト・パターン生成機能
- クロックとデータのプログラマブル・アライメント

### アプリケーション

- 超音波装置
- 通信レシーバのIFサンプリング：IS-95、CDMA-One、IMT-2000
- バッテリー駆動計測機器
- 携帯型スコープメータ
- 低価格のデジタル・オシロスコープ

### 概要

AD9246は、高性能のサンプル&ホールド・アンプ (SHA) とオンチップ電圧リファレンスを備えた、1.8V単電源、14ビット、80MSP/105MSPS/125MSPSのモノリシックA/Dコンバータ (ADC) です。出力誤差補正ロジックを備えた複数段の差動パイプライン・アーキテクチャによって125MSPSのデータレートで14ビットの精度を達成し、動作温度範囲の全域でノー・ミスコードを保証します。

広帯域幅で、真の差動入力を備えたSHAを内蔵しているため、シングルエンドのアプリケーションを含め、選択可能なさまざまな入力レンジとオフセットを提供します。このSHAは、連続的なチャンネルでフルスケール電圧レベルの切替えを行う多重化システムや、ナイキスト・レートをはるかに超える周波数でのシングル・チャンネル入力のサンプリングに適しています。また、既存のADCと比べ消費電力とコストを大きく節約できるため、通信、画像処理、医療用超音波装置のアプリケーションに適しています。

差動クロック入力を使用して、内部変換サイクルのすべてを制御します。デューティ・サイクル・スタビライザ (DCS) はクロック・デューティ・サイクルの幅広い変動を補償し、ADC全体にわたって優れた性能を維持します。

### 機能ブロック図

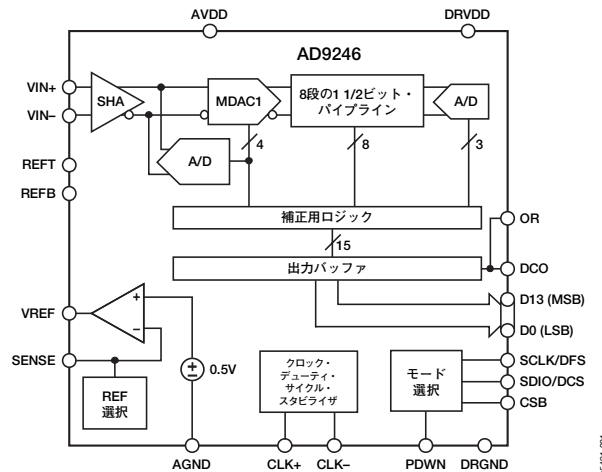


図1

デジタル出力データは、オフセット・バイナリ、グレーコード、または2の補数のフォーマットで提供します。データ・クロック出力 (DCO) は、受信ロジックの適正なラッチ・タイミングを保証します。

AD9246は48ピンLFCSPパッケージで提供しており、工業温度範囲 (-40~+85°C) で仕様が規定されています。

### 製品のハイライト

- AD9246は1.8Vの単電源で動作し、1.8~3.3Vのロジック・ファミリイに対応するデジタル出力ドライバ電源を別に備えています。
- 特許取得済みのSHA入力は、225MHzまでの入力周波数に対して優れた性能を維持します。
- クロックDCSは、広範なクロック・パルス幅でADC全体にわたって優れた性能を維持します。
- 標準的シリアル・ポート・インターフェースは、データ・フォーマット (オフセット・バイナリ、2の補数、グレーコード)、クロックDCS、パワーダウソ、電圧リファレンス・モードのイネーブル設定など、さまざまな機能に対応します。
- AD9233とピン互換であり、12ビットから14ビットへの移行が簡単にできます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2006 Analog Devices, Inc. All rights reserved.

REV. A

**アナログ・デバイセズ株式会社**

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06 (6350) 6868

## 目次

特長	1	タイミング	22
アプリケーション	1	シリアル・ポート・インターフェース (SPI)	23
概要	1	SPIを使用した設定	23
機能ブロック図	1	ハードウェア・インターフェース	23
製品のハイライト	1	SPIを使用しない設定	23
改訂履歴	3	メモリ・マップ	24
仕様	4	メモリ・マップ・テーブルの読出し	24
DC仕様	4	メモリ・マップ・レジスタ・テーブル	25
AC仕様	5	レイアウトに関する注意事項	27
デジタル仕様	6	電源とグラウンドに関する推奨事項	27
スイッチング仕様	7	CML	27
タイミング図	7	RBIAS	27
絶対最大定格	8	リファレンスのデカップリング	27
熱抵抗	8	評価用ボード	28
ESDに関する注意	8	電源	28
ピン配置と機能の説明	9	入力信号	28
等価回路	10	出力信号	28
代表的な性能特性	11	デフォルト動作とジャンパ選択の設定	29
動作原理	15	その他のクロック設定	29
アナログ入力に関する注意事項	15	その他のアナログ入力駆動構成	29
電圧リファレンス	17	回路図	31
クロック入力に関する注意事項	18	評価用ボード・レイアウト	36
ジッタに関する注意事項	20	部品表	39
消費電力とスタンバイ・モード	20	外形寸法	42
デジタル出力	21	オーダー・ガイド	42

**改訂履歷****8/06—Rev. 0 to Rev. A**

Added 80 MSPS . . . . .	Universal
Changes to Features . . . . .	1
Deleted Figures 19, 20, 22, 23 . . . . .	11
Deleted Figures 24, 25, 27 to 29 . . . . .	12
Deleted Figures 31, 34 . . . . .	13
Deleted Figures 37, 38, 40, 41 . . . . .	14
Deleted Figure 46 . . . . .	15

Deleted Figure 52. . . . .	16
Changes to Figure 41 . . . . .	17
Changes to Figure 46 . . . . .	19
Inserted Figure 54 . . . . .	21
Added Data Clock Output (DCO) Section. . . . .	22
Changes to Table 15. . . . .	25
Changes to Table 16. . . . .	39
Changes to the Ordering Guide . . . . .	42

**4/06—Revision 0: Initial Version**

# AD9246

## 仕様

### DC仕様

AVDD=1.8V、DRVDD=2.5V、最大サンプリング・レート、2Vp-pの差動入力、1.0Vの内部リファレンス。特に指定のない限り、AIN=-1.0dBFS、DCSイネーブル。

表1

パラメータ	温度	AD9246BCPZ-80			AD9246BCPZ-105			AD9246BCPZ-125			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	14			14			14			ビット
精度											
ノーマル・ミスコード	全範囲	保証			保証			保証			
オフセット誤差	全範囲	±0.3	±0.5		±0.3	±0.8		±0.3	±0.8		% FSR
ゲイン誤差	全範囲	±0.6	±4.7		±0.6	±5.0		±0.6	±4.2		% FSR
微分非直線性 (DNL) <sup>1</sup>	全範囲		±1.0			±1.0			±1.0		LSB
	25℃	±0.4			±0.4			±0.4			LSB
積分非直線性 (INL) <sup>1</sup>	全範囲		±5.0			±5.0			±5.0		LSB
	25℃	±1.5			±1.3			±1.5			LSB
温度ドリフト											
オフセット誤差	全範囲	±15			±15			±15			ppm/℃
ゲイン誤差	全範囲	±95			±95			±95			ppm/℃
内部電圧リファレンス											
出力電圧誤差 (1Vモード)	全範囲	±5	±20		±5	±35		±5	±35		mV
負荷レギュレーション (1.0mA時)	全範囲	7			7			7			mV
入力換算ノイズ											
VREF=1.0V	25℃	1.3			1.3			1.3			LSB rms
アナログ入力											
入力スパン、VREF=1.0V	全範囲	2			2			2			V p-p
入力容量 <sup>2</sup>	全範囲	8			8			8			pF
リファレンス入力抵抗	全範囲	6			6			6			kΩ
電源											
電源電圧											
AVDD	全範囲	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全範囲	1.7	2.5	3.6	1.7	2.5	3.6	1.7	2.5	3.6	V
電源電流											
IAVDD <sup>1</sup>	全範囲		138	155		178	194		220	236	mA
IDRVDD <sup>1</sup> (DRVDD=1.8V)	全範囲		7			9			11		mA
IDRVDD <sup>1</sup> (DRVDD=3.3V)	全範囲		12			16			19		mA
消費電力											
DC入力	全範囲		248	279		320	350		395	425	mW
サイン波入力 <sup>1</sup> (DRVDD=1.8V)	全範囲		261			337			415		mW
サイン波入力 <sup>1</sup> (DRVDD=3.3V)	全範囲		288			373			458		mW
スタンバイ <sup>3</sup>	全範囲		40			40			40		mW
パワーダウン	全範囲		1.8			1.8			1.8		mW

<sup>1</sup> 低入力周波数、フルスケールのサイン波信号、各出力ビットに約5pFの負荷がある状態で測定。

<sup>2</sup> 入力容量は、1本の差動入力ピンとAGNDの間の実効容量です。等価なアナログ入力構造については、図4を参照。

<sup>3</sup> スタンバイ時の消費電力は、DC入力を使用し、CLKピンを非アクティブ (AVDDまたはAGNDに設定) にして測定。

## AC仕様

AVDD=1.8V、DRVDD=2.5V、最大サンプリング・レート、2Vp-pの差動入力、1.0Vの内部リファレンス。特に指定のない限り、AIN=-1.0dBFS、DCSイネーブル。

表2

パラメータ <sup>1</sup>	温度	AD9246BCPZ-80			AD9246BCPZ-105			AD9246BCPZ-125			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
S/N比											
$f_{IN}=2.4\text{MHz}$	25°C		71.9			71.9			71.9		dBc
$f_{IN}=70\text{MHz}$	25°C		71.9			71.9			71.7		dBc
	全範囲	70.8			69.5			69.5			dBc
$f_{IN}=100\text{MHz}$	25°C		71.6			71.6			71.6		dBc
$f_{IN}=170\text{MHz}$	25°C		70.9			70.9			70.8		dBc
信号/ノイズ&歪み (SINAD)											
$f_{IN}=2.4\text{MHz}$	25°C		71.1			71.1			71.1		dBc
$f_{IN}=70\text{MHz}$	25°C		71.5			70.8			70.6		dBc
	全範囲	70.4			68.5			68.5			dBc
$f_{IN}=100\text{MHz}$	25°C		70.6			70.6			70.6		dBc
$f_{IN}=170\text{MHz}$	25°C		69.9			69.9			69.9		dBc
有効ビット数 (ENOB)											
$f_{IN}=2.4\text{MHz}$	25°C		11.7			11.7			11.7		ビット
$f_{IN}=70\text{MHz}$	25°C		11.6			11.6			11.6		ビット
$f_{IN}=100\text{MHz}$	25°C		11.6			11.6			11.6		ビット
$f_{IN}=170\text{MHz}$	25°C		11.5			11.5			11.5		ビット
最悪高調波 (2次または3次)											
$f_{IN}=2.4\text{MHz}$	25°C		-90			-90			-90		dBc
$f_{IN}=70\text{MHz}$	25°C		-85			-85			-85		dBc
	全範囲			-76			-73			-73	dBc
$f_{IN}=100\text{MHz}$	25°C		-85			-85			-85		dBc
$f_{IN}=170\text{MHz}$	25°C		-83.5			-83.5			-83		dBc
スプリアスフリー・ダイナミック・レンジ (SFDR)											
$f_{IN}=2.4\text{MHz}$	25°C		90			90			90		dBc
$f_{IN}=70\text{MHz}$	25°C		85			85			85		dBc
	全範囲	76			73			73			dBc
$f_{IN}=100\text{MHz}$	25°C		85			85			85		dBc
$f_{IN}=170\text{MHz}$	25°C		83.5			83.5			83		dBc
その他の最悪高調波またはスプリアス											
$f_{IN}=2.4\text{MHz}$	25°C		-90			-90			-90		dBc
$f_{IN}=70\text{MHz}$	25°C		-90			-90			-90		dBc
	全範囲			-85			-80			-80	dBc
$f_{IN}=100\text{MHz}$	25°C		-90			-90			-90		dBc
$f_{IN}=170\text{MHz}$	25°C		-90			-90			-90		dBc
2調波SFDR											
$f_{IN}=29\text{MHz}$ (-7dBFS)、 $32\text{MHz}$ (-7dBFS)	25°C		87			87			85		dBc
$f_{IN}=169\text{MHz}$ (-7dBFS)、 $172\text{MHz}$ (-7dBFS)	25°C		83			83			84		dBc
アナログ入力帯域幅	25°C		650			650			650		MHz

<sup>1</sup> 全用語の定義については、アプリケーション・ノートAN-835 [Understanding High Speed ADC Testing and Evaluation] を参照。

# AD9246

## デジタル仕様

AVDD=1.8V、DRVDD=2.5V、最大サンプリング・レート、2V<sub>p-p</sub>の差動入力、1.0Vの内部リファレンス。特に指定のない限り、AIN=-1.0dBFS、DCSイネーブル。

表3

パラメータ	温度	AD9246BCPZ-80/105/125			単位	
		Min	Typ	Max		
<b>差動クロック入力 (CLK+, CLK-)</b>						
ロジック・コンプライアンス						
内部同相バイアス	全範囲	CMOS/LVDS/LVPECL 1.2			V	
差動入力電圧	全範囲	0.2		6	V <sub>p-p</sub>	
入力電圧範囲	全範囲	AVDD-0.3			AVDD+1.6	V
入力同相電圧範囲	全範囲	1.1			AVDD	V
ハイレベル入力電圧 (V <sub>IH</sub> )	全範囲	1.2			3.6	V
ローレベル入力電圧 (V <sub>IL</sub> )	全範囲	0			0.8	V
ハイレベル入力電流 (I <sub>IH</sub> )	全範囲	-10			+10	μA
ローレベル入力電流 (I <sub>IL</sub> )	全範囲	-10			+10	μA
入力抵抗	全範囲	8	10	12	kΩ	
入力容量	全範囲	4			pF	
<b>ロジック入力 (SCLK/DFS、OEB、PWDN)</b>						
ハイレベル入力電圧 (V <sub>IH</sub> )	全範囲	1.2			3.6	V
ローレベル入力電圧 (V <sub>IL</sub> )	全範囲	0			0.8	V
ハイレベル入力電流 (I <sub>IH</sub> )	全範囲	-50			-75	μA
ローレベル入力電流 (I <sub>IL</sub> )	全範囲	-10			+10	μA
入力抵抗	全範囲	30			kΩ	
入力容量	全範囲	2			pF	
<b>ロジック入力 (CSB)</b>						
ハイレベル入力電圧 (V <sub>IH</sub> )	全範囲	1.2			3.6	V
ローレベル入力電圧 (V <sub>IL</sub> )	全範囲	0			0.8	V
ハイレベル入力電流 (I <sub>IH</sub> )	全範囲	-10			+10	μA
ローレベル入力電流 (I <sub>IL</sub> )	全範囲	+40			+135	μA
入力抵抗	全範囲	26			kΩ	
入力容量	全範囲	2			pF	
<b>ロジック入力 (SDIO/DCS)</b>						
ハイレベル入力電圧 (V <sub>IH</sub> )	全範囲	1.2			DRVDD+0.3	V
ローレベル入力電圧 (V <sub>IL</sub> )	全範囲	0			0.8	V
ハイレベル入力電流 (I <sub>IH</sub> )	全範囲	-10			+10	μA
ローレベル入力電流 (I <sub>IL</sub> )	全範囲	+40			+130	μA
入力抵抗	全範囲	26			kΩ	
入力容量	全範囲	5			pF	
<b>デジタル出力</b>						
DRVDD=3.3V						
ハイレベル出力電圧 (V <sub>OH</sub> , I <sub>OH</sub> =50μA)	全範囲	3.29			V	
ハイレベル出力電圧 (V <sub>OH</sub> , I <sub>OH</sub> =0.5mA)	全範囲	3.25			V	
ローレベル出力電圧 (V <sub>OL</sub> , I <sub>OL</sub> =1.6mA)	全範囲				0.2	V
ローレベル出力電圧 (V <sub>OL</sub> , I <sub>OL</sub> =50μA)	全範囲				0.05	V
DRVDD=1.8V						
ハイレベル出力電圧 (V <sub>OH</sub> , I <sub>OH</sub> =50μA)	全範囲	1.79			V	
ハイレベル出力電圧 (V <sub>OH</sub> , I <sub>OH</sub> =0.5mA)	全範囲	1.75			V	
ローレベル出力電圧 (V <sub>OL</sub> , I <sub>OL</sub> =1.6mA)	全範囲				0.2	V
ローレベル出力電圧 (V <sub>OL</sub> , I <sub>OL</sub> =50μA)	全範囲				0.05	V

## スイッチング仕様

特に指定のない限り、AVDD=1.8V、DRVDD=2.5V。

表4

パラメータ <sup>1</sup>	温度	AD9246BCPZ-80			AD9246BCPZ-105			AD9246BCPZ-125			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
クロック入力パラメータ											
変換レート (DCSイネーブル)	全範囲	20		80	20		105	20		125	MSPS
変換レート (DCSディスエーブル)	全範囲	10		80	10		105	10		125	MSPS
CLK周期	全範囲	12.5			9.5			8			ns
CLKのハイ・パルス幅 (DCSイネーブル)	全範囲	3.75	6.25	8.75	2.85	4.75	6.65	2.4	4	5.6	ns
CLKのハイ・パルス幅 (DCSディスエーブル)	全範囲	5.63	6.25	6.88	4.28	4.75	5.23	3.6	4	4.4	ns
データ出力パラメータ											
データ伝播遅延 ( $t_{PD}$ ) <sup>2</sup>	全範囲	3.1	3.9	4.8	3.1	3.9	4.8	3.1	3.9	4.8	ns
DCO伝播遅延 ( $t_{DCO}$ )	全範囲		4.4			4.4			4.4		ns
セットアップ時間 ( $t_S$ )	全範囲	4.9	5.7		3.4	4.3		2.6	3.5		ns
ホールド時間 ( $t_H$ )	全範囲	5.9	6.8		4.4	5.3		3.7	4.5		ns
パイプライン遅延 (レイテンシ)	全範囲		12			12			12		サイクル
アパーチャ遅延 ( $t_A$ )	全範囲		0.8			0.8			0.8		ns
アパーチャ不確定性 (ジッタ、 $t_j$ )	全範囲		0.1			0.1			0.1		ps rms
ウェイクアップ時間 <sup>3</sup>	全範囲		350			350			350		$\mu$ s
アウト・オブ・レンジ復帰時間	全範囲		2			2			3		サイクル
シリアル・ポート・インターフェース <sup>4</sup>											
SCLK周期 ( $t_{CLK}$ )	全範囲	40			40			40			ns
SCLKのハイレベル・パルス幅の時間 ( $t_{HH}$ )	全範囲	16			16			16			ns
SCLKのローレベル・パルス幅の時間 ( $t_{LO}$ )	全範囲	16			16			16			ns
SDIOからSCLKまでのセットアップ時間 ( $t_{DS}$ )	全範囲	5			5			5			ns
SDIOからSCLKまでのホールド時間 ( $t_{DH}$ )	全範囲	2			2			2			ns
CSBからSCLKまでのセットアップ時間 ( $t_S$ )	全範囲	5			5			5			ns
CSBからSCLKまでのホールド時間 ( $t_H$ )	全範囲	2			2			2			ns

<sup>1</sup> 全用語の定義については、アプリケーション・ノートAN-835「Understanding High Speed ADC Testing and Evaluation」を参照してください。

<sup>2</sup> 出力伝播遅延は、5pFの負荷で、CLKの50%遷移からデータの50%遷移までを測定。

<sup>3</sup> ウェイクアップ時間は、デカップリング・コンデンサの容量によって異なります。記載の値は、REFTとREFBの間に0.1 $\mu$ Fのコンデンサを配置した場合のものです。

<sup>4</sup> 図57と「シリアル・ポート・インターフェース (SPI)」を参照してください。

## タイミング図

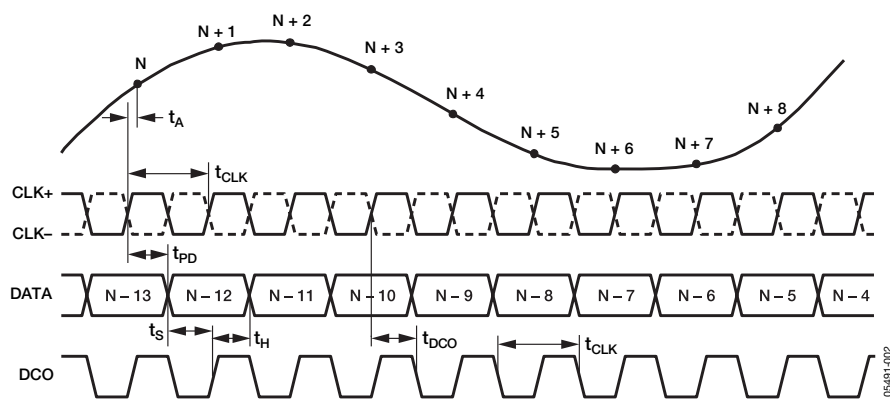


図2. タイミング図

## 絶対最大定格

表5

パラメータ	定格値
<b>電気的条件</b>	
AGNDに対するAVDD	-0.3~+2.0V
DGNDに対するDRVDD	-0.3~+3.9V
DGND~AGND	-0.3~+0.3V
DRVDD~AVDD	-3.9~+2.0V
DGNDに対するD0~D13	-0.3V~DRVDD+0.3V
DGNDに対するDCO	-0.3V~DRVDD+0.3V
DGNDに対するOR	-0.3V~DRVDD+0.3V
AGNDに対するCLK+	-0.3~+3.9V
AGNDに対するCLK-	-0.3~+3.9V
AGNDに対するVIN+	-0.3V~AVDD+0.2V
AGNDに対するVIN-	-0.3V~AVDD+0.2V
AGNDに対するVREF	-0.3V~AVDD+0.2V
AGNDに対するSENSE	-0.3V~AVDD+0.2V
AGNDに対するREFT	-0.3V~AVDD+0.2V
AGNDに対するREFB	-0.3V~AVDD+0.2V
DGNDに対するSDIO/DCS	-0.3V~DRVDD+0.3V
AGNDに対するPDWN	-0.3~+3.9V
AGNDに対するCSB	-0.3~+3.9V
AGNDに対するSCLK/DFS	-0.3~+3.9V
AGNDに対するOEB	-0.3~+3.9V
<b>環境条件</b>	
保存温度範囲	-65~+125℃
動作温度範囲	-40~+85℃
ピン温度 (ハンダ処理10秒)	+300℃
ジャンクション温度	+150℃

## 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

LFCSP\_VQパッケージの露出パドルをグラウンド・プレーンにハンダ付けする必要があります。露出パドルをカスタム・ボードにハンダ付けすると、ハンダ接合部の信頼性が高くなり、パッケージの最大の熱性能が得られます。

表6. 熱抵抗

パッケージのタイプ	$\theta_{JA}$	$\theta_{JC}$	単位
48ピンLFCSP_VQ (CP-48-3)	26.4	2.4	℃/W

$\theta_{JA}$ と $\theta_{JC}$ の代表値は、自然空冷下での4層ボードに対するものです。風を送れば熱の発散を効果的に促進し、 $\theta_{JA}$ が低下します。また、金属パターン配線、スルーホール、グラウンド、電源プレーンからパッケージのリードに金属が直接触れる場合も、 $\theta_{JA}$ が低くなります。





## ピン配置と機能の説明

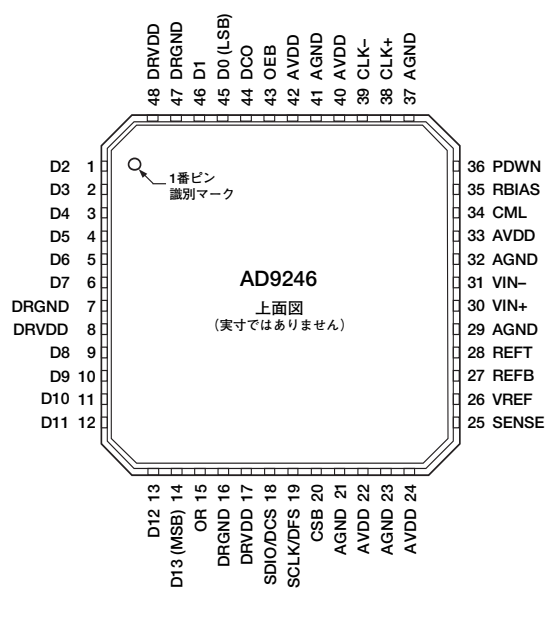


図3. ピン配置

表7. ピン機能の説明

ピン番号	記号	説明
0、21、23、29、32、37、41	AGND	アナログ・グラウンド (0番ピンは、パッケージ底面の露出サーマル・パッドです。)
45、46、1~6、9~14	D0 (LSB)~D13 (MSB)	データ出力ビット
7、16、47	DRGND	デジタル出力グラウンド
8、17、48	DRVDD	デジタル出力ドライバ電源 (1.8~3.3V)
15	OR	アウト・オブ・レンジ・インジケータ
18	SDIO/DCS	シリアル・ポート・インターフェース (SPI) <sup>®</sup> データ入出力 (シリアル・ポート・モード)。デューティ・サイクル・スタビライザ選択ピン (外部ピン・モード)。表10を参照。
19	SCLK/DFS	シリアル・ポート・インターフェースのクロック (シリアル・ポート・モード)。データ・フォーマット選択ピン (外部ピン・モード)
20	CSB	シリアル・ポート・インターフェースのチップ選択ピン (アクティブ・ローレベル)。表10を参照。
22、24、33、40、42	AVDD	アナログ電源
25	SENSE	リファレンス・モード選択ピン。表9を参照。
26	VREF	電圧リファレンス入出力
27	REFB	差動リファレンス (-)
28	REFT	差動リファレンス (+)
30	VIN+	アナログ入力ピン (+)
31	VIN-	アナログ入力ピン (-)
34	CML	同相レベル・バイアス出力
35	RBIAS	外部バイアス抵抗接続ピン。このピンとアナログ・グラウンド (AGND) の間に10kΩの抵抗を接続してください。
36	PDWN	パワーダウン機能選択ピン
38	CLK+	クロック入力 (+)
39	CLK-	クロック入力 (-)
43	OEB	出力イネーブル (アクティブ・ローレベル)
44	DCO	データ・クロック出力

等価回路

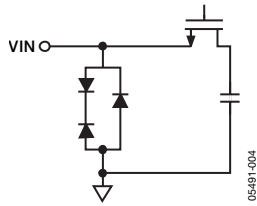


図4. アナログ入力等価回路

05491-004

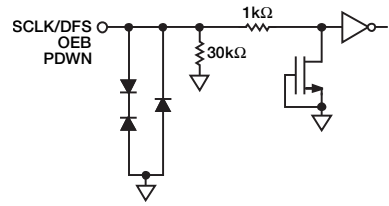


図8. SCLK/DFS、OEB、PDWN入力等価回路

05491-008

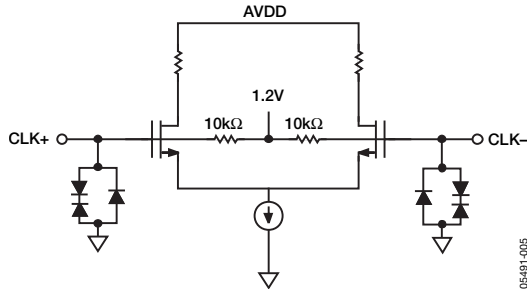


図5. クロック入力等価回路

05491-005

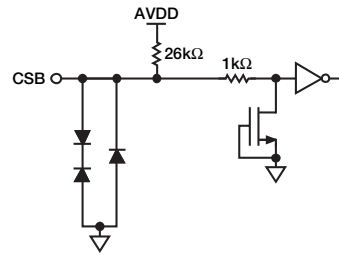


図9. CSB入力等価回路

05491-010

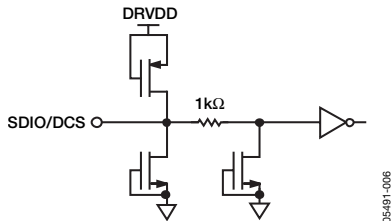


図6. SDIO/DCS入力等価回路

05491-006

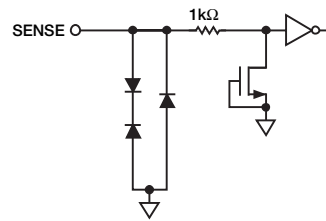


図10. センス等価回路

05491-011

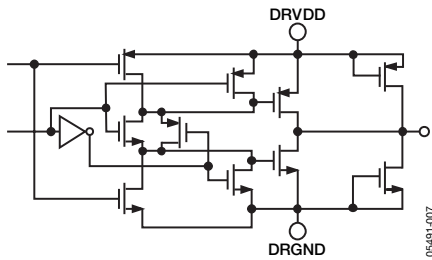


図7. デジタル出力等価回路

05491-007

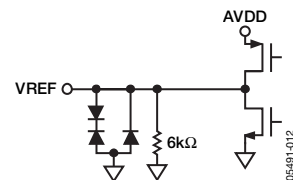


図11. VREF等価回路

05491-012

## 代表的な性能特性

AVDD=1.8V、DRVDD=2.5V、最大サンプリング・レート、DCSイネーブル、1Vの内部リファレンス、2V<sub>p-p</sub>の差動入力、AIN=-1.0dBFS。特に指定のない限り、64kサンプル、T<sub>A</sub>=25°C。図はすべて、全スピード・グレードの代表的な性能です。

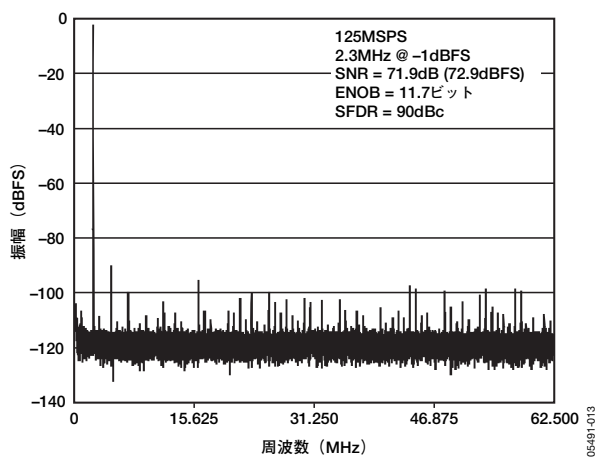


図12. AD9246-125のシングル・トーンFFT  
( $f_{IN}=2.3\text{MHz}$ )

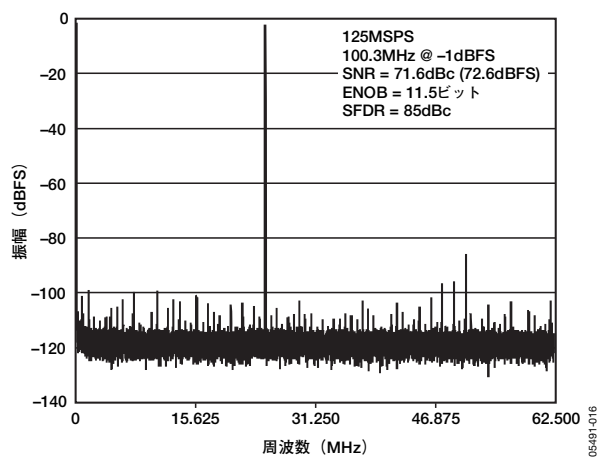


図15. AD9246-125のシングル・トーンFFT  
( $f_{IN}=100.3\text{MHz}$ )

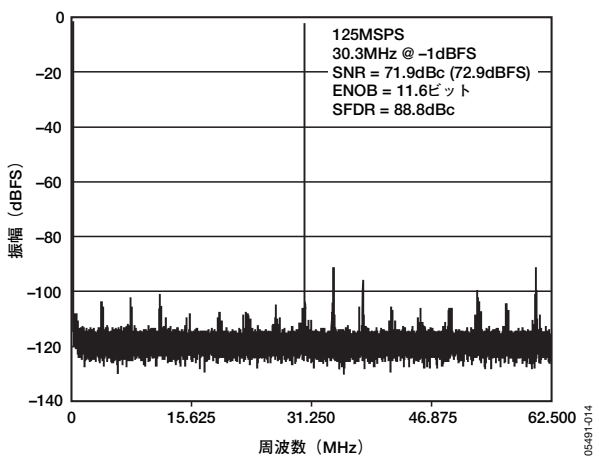


図13. AD9246-125のシングル・トーンFFT  
( $f_{IN}=30.3\text{MHz}$ )

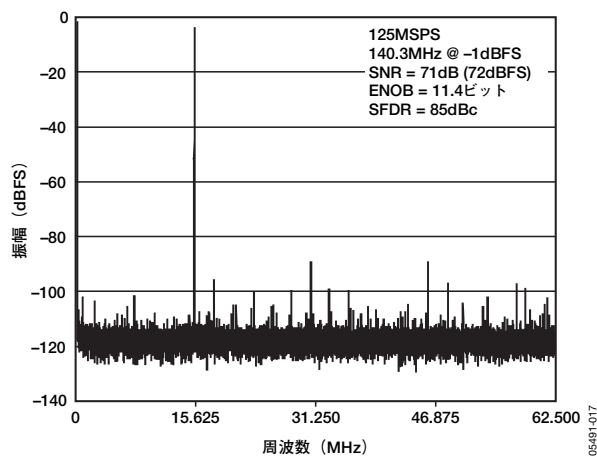


図16. AD9246-125のシングル・トーンFFT  
( $f_{IN}=140.3\text{MHz}$ )

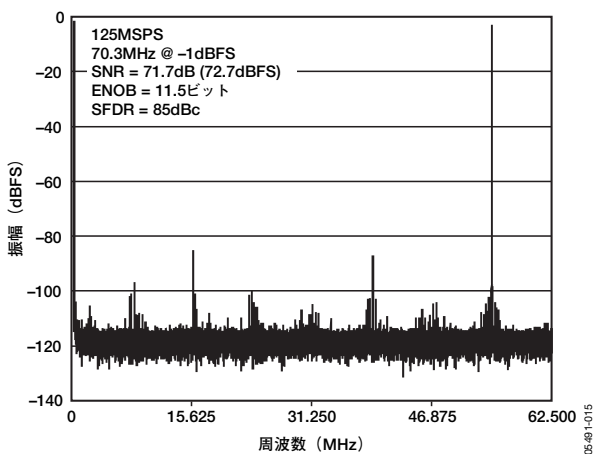


図14. AD9246-125のシングル・トーンFFT  
( $f_{IN}=70.3\text{MHz}$ )

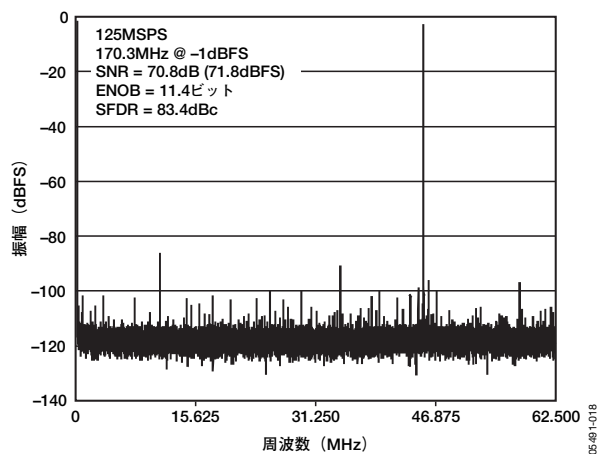


図17. AD9246-125のシングル・トーンFFT  
( $f_{IN}=170.3\text{MHz}$ )

# AD9246

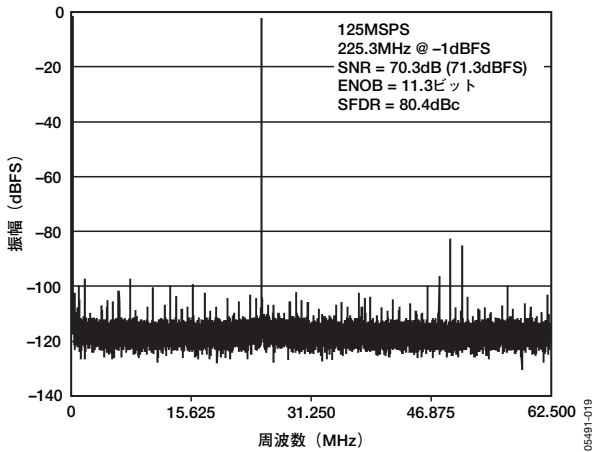


図18. AD9246-125のシングル・トーンFFT  
( $f_{IN}=225.3\text{MHz}$ )

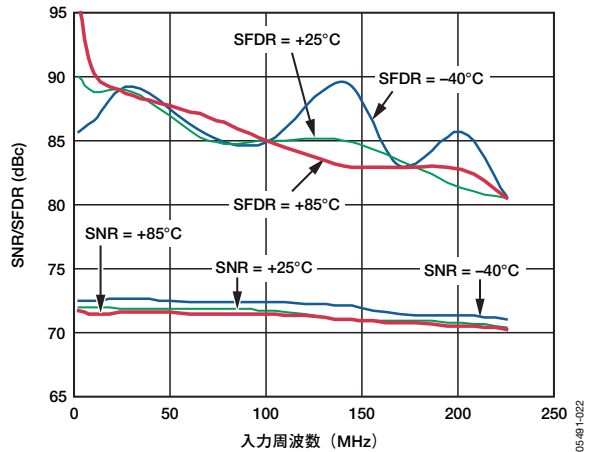


図21. AD9246のシングル・トーンSNR/SFDR  
対入力周波数 ( $f_{IN}$ ) と温度 (2Vp-pフル  
スケール)

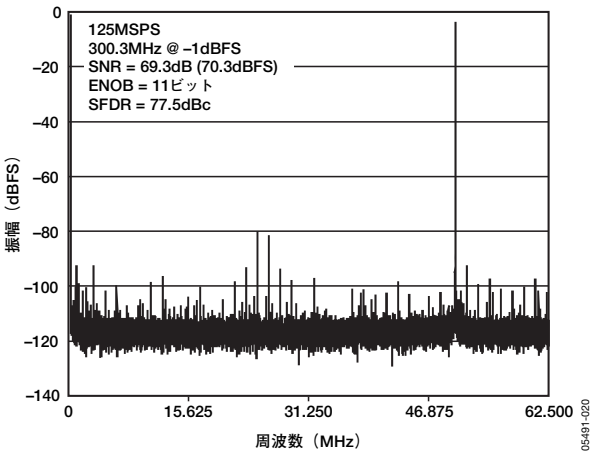


図19. AD9246-125のシングル・トーンFFT  
( $f_{IN}=300.3\text{MHz}$ )

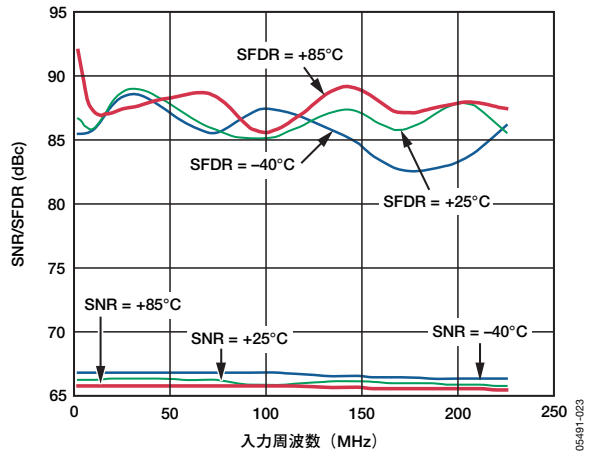


図22. AD9246のシングル・トーンSNR/SFDR  
対入力周波数 ( $f_{IN}$ ) と温度 (1Vp-pフル  
スケール)

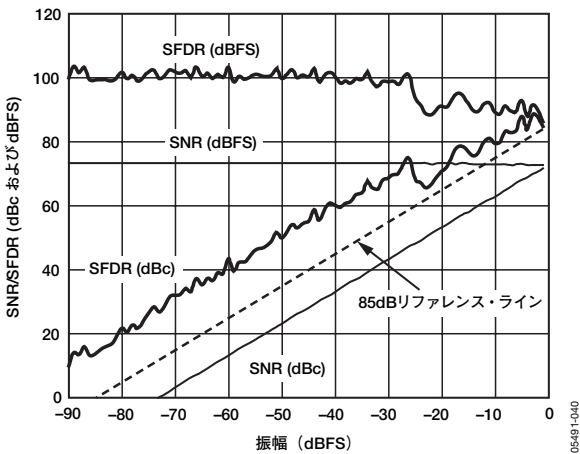


図20. AD9246のシングル・トーン  
SNR/SFDR対入力振幅 (AIN)  
( $f_{IN}=2.4\text{MHz}$ )

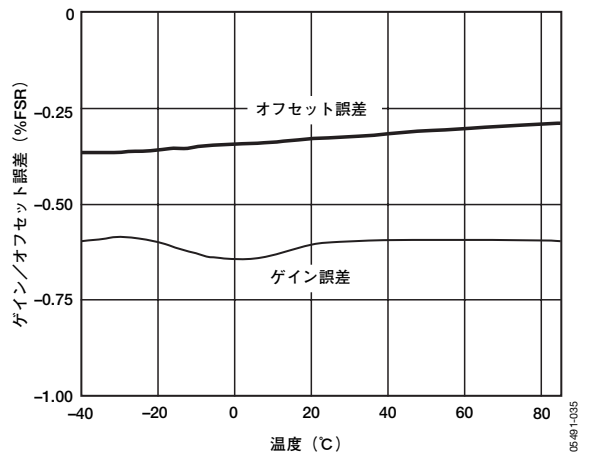


図23. AD9246のゲイン、オフセット対温度

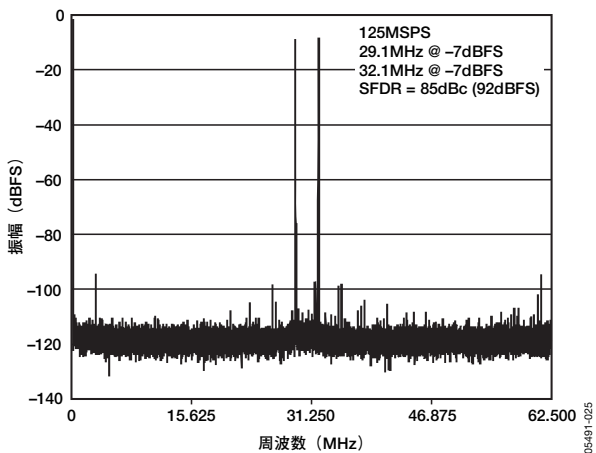


図24. AD9246-125のツー・トーンFFT  
( $f_{IN1}=29.1\text{MHz}$ 、 $f_{IN2}=32.1\text{MHz}$ )

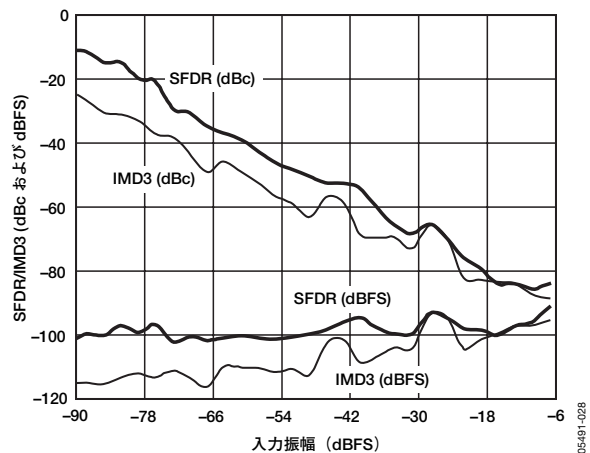


図27. AD9246 : 入力振幅 (AIN) 対 2周波 SFDR/IMD ( $f_{IN1}=29.1\text{MHz}$ 、 $f_{IN2}=32.1\text{MHz}$ )

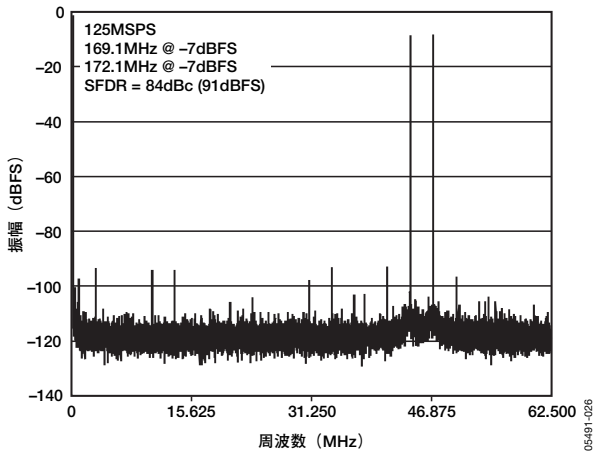


図25. AD9246-125のツー・トーンFFT  
( $f_{IN1}=169.1\text{MHz}$ 、 $f_{IN2}=172.1\text{MHz}$ )

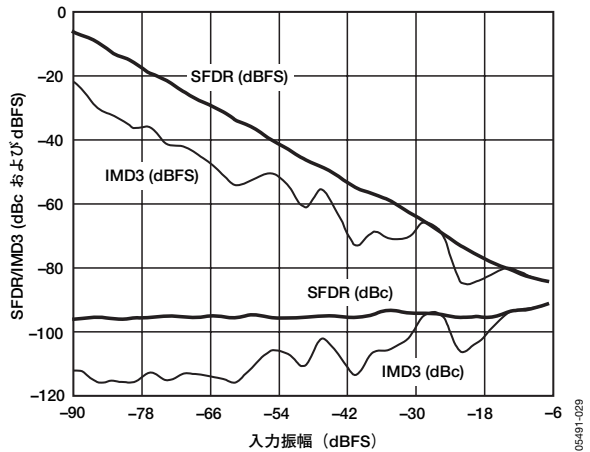


図28. AD9246 : 入力振幅 (AIN) 対 2周波 SFDR/IMD ( $f_{IN1}=169.1\text{MHz}$ 、 $f_{IN2}=172.1\text{MHz}$ )

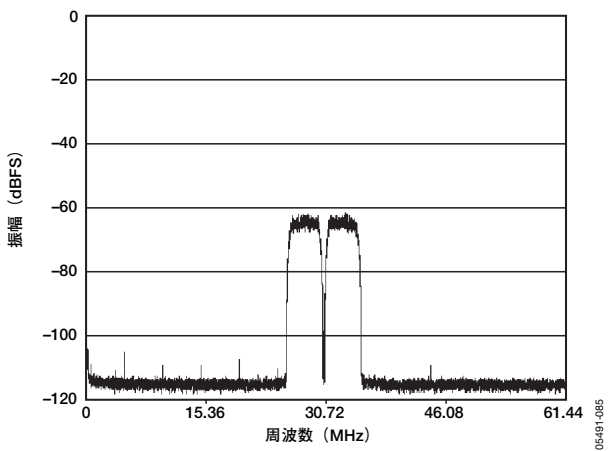


図26. AD9246-125 :  
2つの64k WCDMAキャリア  
( $f_{IN1}=215.04\text{MHz}$ 、 $f_s=122.88\text{MSPS}$ )

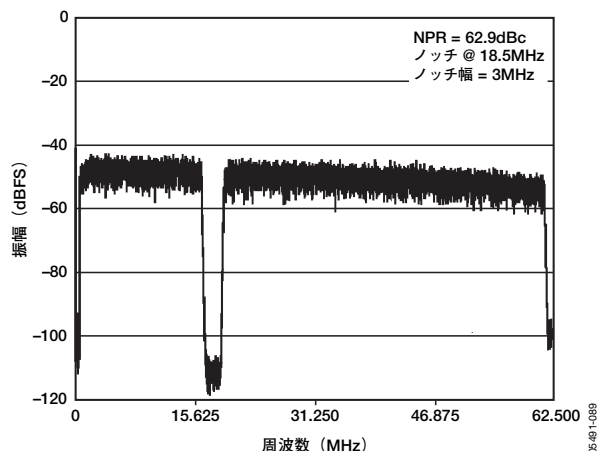


図29. AD9246 : ノイズ電力比

# AD9246

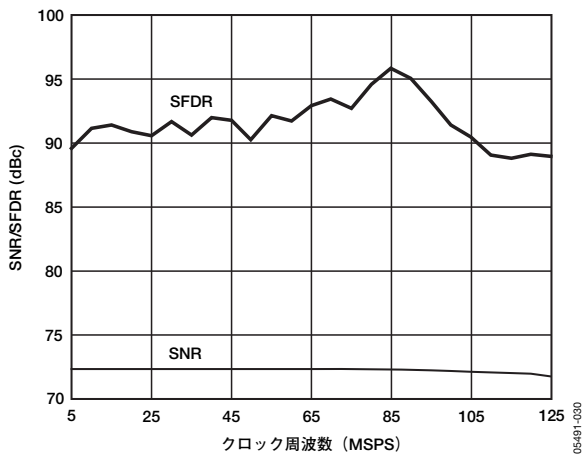


図30. AD9246：クロック周波数 ( $f_s$ ) 対 単周波 SNR/SFDR ( $f_{IN}=2.4\text{MHz}$ )

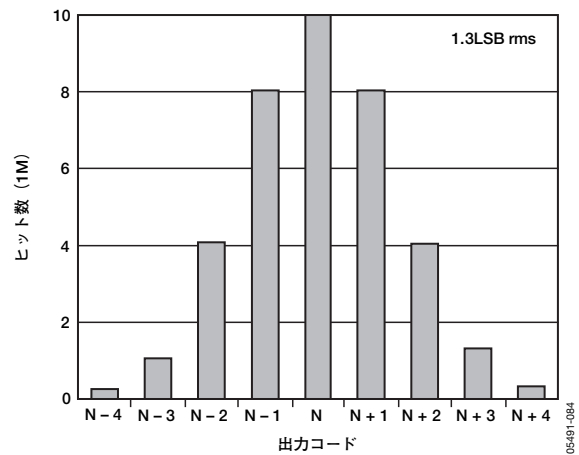


図33. AD9246：グラウンド入力のヒストグラム

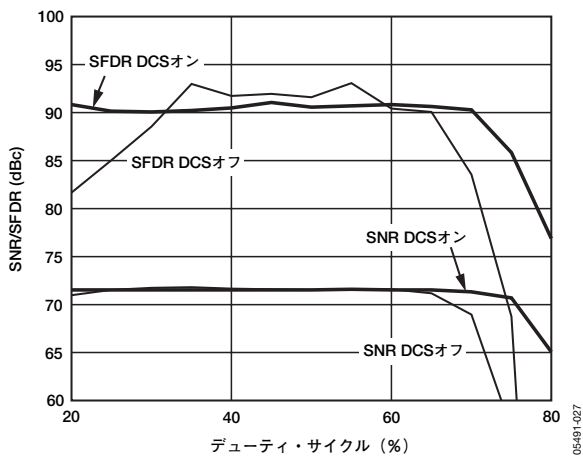


図31. AD9246：デューティ・サイクル 対 SNR/SFDR ( $f_{IN}=10.3\text{MHz}$ )

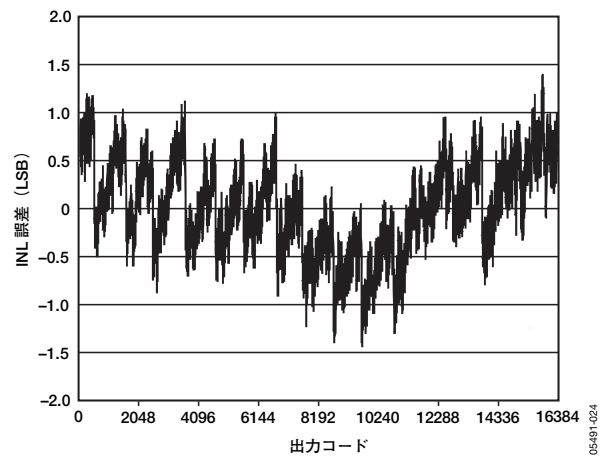


図34. AD9246：INL ( $f_{IN}=10.3\text{MHz}$ )

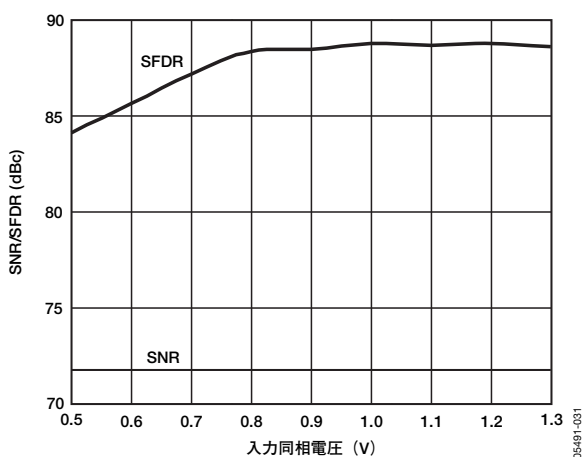


図32. AD9246：入力同相電圧 (VCM) 対 SNR/SFDR ( $f_{IN}=30\text{MHz}$ )

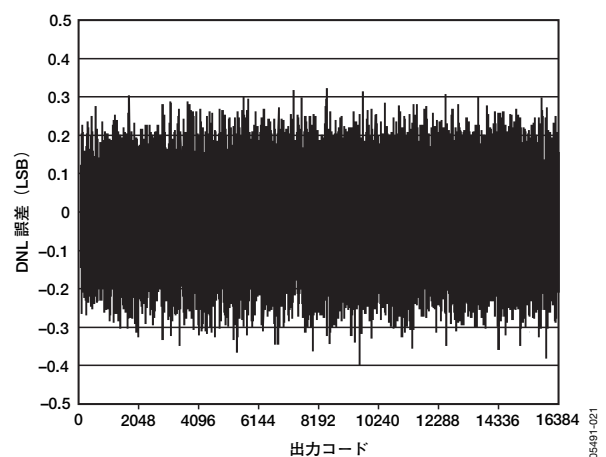


図35. AD9246：DNL ( $f_{IN}=10.3\text{MHz}$ )

## 動作原理

AD9246のアーキテクチャは、フロントエンドのサンプル&ホールド・アンプ (SHA) とその後段のパイプライン・スイッチド・キャパシタADCで構成されています。各段の量子化出力は、デジタル補正ロジックで最終的な14ビットの変換結果にまとめられます。パイプライン・アーキテクチャにより、初段では新しい入力サンプルによる動作が行われ、これに続く段では前段のサンプリングに基づく動作が行われます。クロックの立ち上がりエッジでサンプリングを実行します。

最終段を除き、各パイプライン段はスイッチド・キャパシタDACに接続する低分解能のフラッシュADCと段間残差アンプ (MDAC) で構成されています。残差アンプは、再構成されたDAC出力とパイプラインの次の段に対するフラッシュ入力との間の差信号を増幅します。各段で1ビットの冗長性を使用して、フラッシュ誤差のデジタル補正を行います。最終段は、フラッシュADCが1つあるだけです。

入力段には、差動モードまたはシングルエンド・モードでAC結合またはDC結合が可能な差動SHAがあります。出力段のブロックはデータのアライメントを行い、エラー補正を実行した後で、データを出力バッファに送ります。出力バッファは別電源で動作するため、出力電圧振幅の調整が可能です。出力バッファは、パワーダウン時にハイ・インピーダンスの状態になります。

### アナログ入力に関する注意事項

AD9246のアナログ入力は差動スイッチド・キャパシタSHAであり、最適な性能を発揮するとともに、差動入力信号も処理するように設計されています。

SHAは、クロック信号によってサンプル・モードとホールド・モードに交互にスイッチします (図36を参照)。SHAがサンプル・モードになるときは、信号源がサンプル・コンデンサを充電し、1/2のクロック・サイクル以内にセトリングしなければなりません。値の小さい抵抗を各入力に直列に接続することで、駆動信号源の出力段で必要なピーク過渡電流を低減できます。

シャント・コンデンサを各入力間に接続して、ダイナミックな充電電流を供給することも可能です。この受動ネットワークはADCの入力にローパス・フィルタを形成するので、これらの部品の正確な数値はアプリケーションによって異なります。

IFアンダーサンプリング・アプリケーションでは、シャント・コンデンサの容量をすべて小さくしてください。これらのコンデンサは、駆動信号源のインピーダンスと一緒に入力帯域幅を制限します。

詳細については、アプリケーション・ノートAN-742『Frequency Domain Response of Switched Capacitor ADCs』およびAN-827『A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs』および『Analog Dialogue』掲載の「Transformer-Coupled Front-End for Wideband A/D Converters」を参照してください。

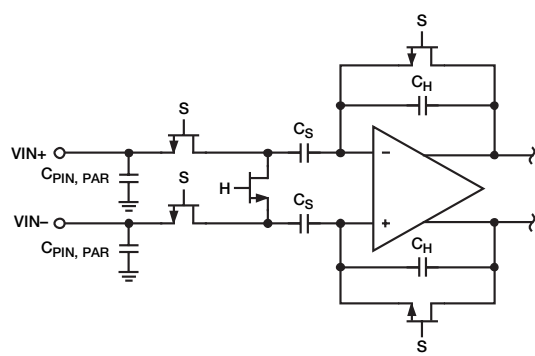


図36. スイッチド・キャパシタSHA入力

最良のダイナミック性能を得るには、VIN+とVIN-を駆動する信号源のインピーダンスをマッチングさせ、同相電圧のセトリング誤差を対称にする必要があります。そうすることでこれらの誤差は、ADCの同相ノイズ除去性能によって、最小限化されます。

ADCコアの入力スパンが規定されます。ADCコアの入力スパンは、バッファによって $2 \times V_{REF}$ に設定されます。ユーザは、リファレンス電圧を利用できません。2つのバイパス・ポイントREFTとREFBをデカップリングします。これによって内部リファレンス・バッファから生じるノイズを低減します。「レイアウトに関する注意事項」で説明しますが、 $0.1 \mu\text{F}$ のコンデンサを使用してREFTとREFBの間をデカップリングすることを推奨します。

### 入力同相電圧

AD9246では、アナログ入力を内部でDCバイアスしていません。AC結合のアプリケーションでは、このバイアスを外部から提供する必要があります。最適な性能を得るには、 $V_{CM} = 0.55 \times AV_{DD}$ になるように設定することを推奨しますが、通常でも広範囲にわたって適度な性能を提供します (図32を参照)。オンボードの同相電圧リファレンスは設計に含まれており、CMLピンから使用できます。アナログ入力の同相電圧がCMLピン電圧で設定されている場合に、最適な性能が達成されます。「レイアウトに関する注意事項」で説明しますが、 $0.1 \mu\text{F}$ のコンデンサを使用してCMLピンをグラウンドにデカップリングします。

# AD9246

## 差動入力構成

AD9246を差動入力構成で駆動すると、最適な性能が得られます。ベースバンド・アプリケーションでは、AD8138差動ドライバが優れた性能とADCに対するフレキシブルなインターフェースを提供します。AD8138の出力同相電圧はAD9246のCMLピンで簡単に設定でき（図37を参照）、ドライバは入力信号帯域を制限できるSallen Keyフィルタ回路として構成できます。

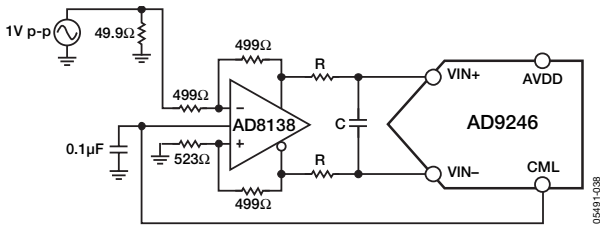


図37. AD8138を使用した差動入力構成

SNRが重要なパラメータとなるベースバンド・アプリケーションでは、図38に例を示すように差動トランス結合が推奨の入力構成となります。CML電圧をトランスの二次側巻線のセンター・タップに接続して、アナログ入力のバイアスを行うことができます。

トランスを選択する場合は、信号特性を考慮する必要があります。大部分のRFトランスは周波数が数MHz以下の周波数で飽和してしまうため、信号電力が極端に大きくなるとコアの飽和も発生して、歪みの原因になります。

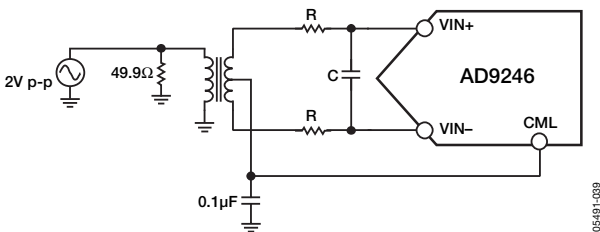


図38. 差動トランス結合の入力構成

入力周波数が2次ナイキスト・ゾーンか、これを超えるときは、大部分のアンプのノイズ性能はAD9233の真のS/N比性能を得るには不十分です。S/N比が重要なパラメータとなるアプリケーションには、トランス・カップリングの入力構成を推奨します。

SFDRが重要なパラメータとなるアプリケーションには、図40に示す差動ダブル・ balan・カップリングの入力構成を推奨します。

2次ナイキスト領域の周波数でトランス結合入力を使用する代わりに、図41に示すAD8352差動ドライバを使用できます。

どのような入力構成の場合も、シャント・コンデンサCの容量は入力周波数と信号源インピーダンスに依存するため、場合によっては、値を低くするかコンデンサを取り除く必要があります。表8に、RCネットワークを設定するときの推奨値を示します。ただし、これらの数値は入力信号によって異なるため、最初の参考用の値として使用してください。

表8. RCネットワークの推奨値

周波数レンジ (MHz)	直列抵抗R (Ω)	差動コンデンサC (pF)
0~70	33	15
70~200	33	5
200~300	15	5
>300	15	オープン

## シングルエンド入力構成

推奨事項ではありませんが、入力電圧振幅がAVDD電源の範囲内にある限り、AD9246をシングルエンド入力構成で使用できます。低コストが要求されるアプリケーションでは、シングルエンド動作で十分な性能が得られる場合があります。

この構成では、入力の同相振幅が大きくなるため、SFDRと歪み性能が劣化します。ただし、各入力の信号源インピーダンスがマッチングしていれば、SNR性能への影響はほとんどありません。図39に、シングルエンド入力構成の代表的な回路を示します。

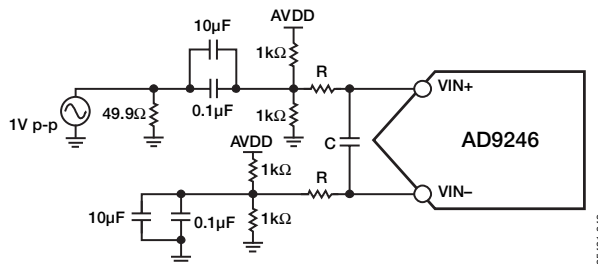


図39. シングルエンド入力構成



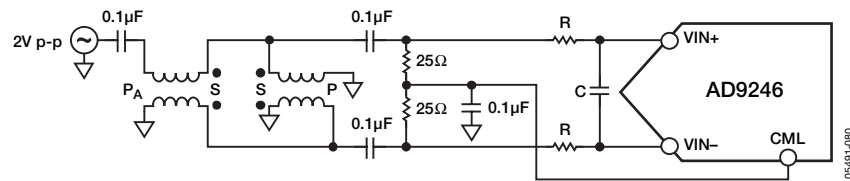


図40. 差動ダブル・バランス入力構成

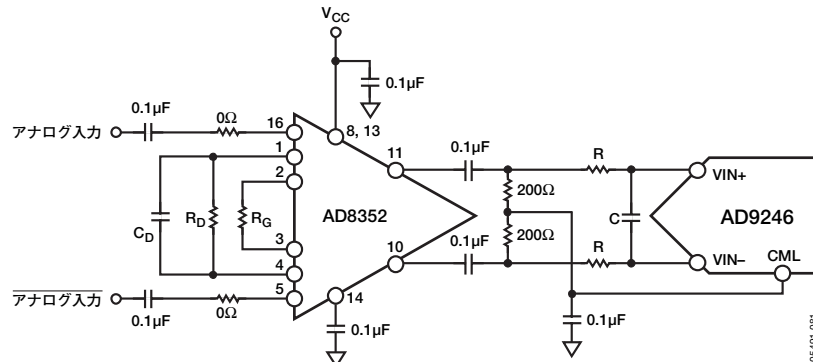


図41. AD8352を使用した差動入力構成

表9. リファレンス設定の概要

選択したモード	SENSE電圧	VREF出力 (V)	差動入力スパン (Vp-p)
外部リファレンス	AVDD	なし	2×外部リファレンス
内部固定リファレンス	VREF	0.5	1.0
プログラマブル・リファレンス	0.2V~VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$ (図43を参照)	2×VREF
内部固定リファレンス	AGND~0.2V	1.0	2.0

## 電圧リファレンス

AD9246には、安定した高精度の電圧リファレンスが内蔵されています。入力レンジは、内部リファレンスまたは外部から供給するリファレンス電圧を使用して、AD9246に加えるリファレンス電圧を変化させて調整できます。ADCの入力スパンは、リファレンス電圧の変化に線形的に追随します。以下では、さまざまなリファレンス・モードについて説明します。「リファレンスのデカップリング」で、リファレンスのPCBレイアウトに関する最良の方法と条件について説明します。

### 内部リファレンスの接続

AD9246のコンパレータがSENSEピン上の電位を検出し、リファレンスを表9に示す4つの可能な状態のいずれかに設定します。SENSEピンをグラウンドに接続すると、リファレンス・アンプ・スイッチが内部抵抗分圧器に接続し(図42を参照)、VREFの設定が1Vになります。

SENSEピンをVREFに接続すると、リファレンス・アンプの入力がSENSEピンに切り替わり、ループが形成されて、0.5Vのリファレンス電圧を出力します。

図43に示すように抵抗分圧器をチップの外部に接続すれば、スイッチはSENSEピンに設定されます。これにより、リファレンス・アンプが非反転モードに入ります。このときのVREF出力は、以下の式で得られます。

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

SENSEピンをAVDDに接続すれば、リファレンス・アンプがデイスエーブルになり、外部リファレンス電圧をVREFピンに入力できるようになります(「外部リファレンス動作」を参照)。

内部リファレンスでも外部リファレンスでも、ADCの入力レンジは常にリファレンス・ピンの電圧の2倍になります。

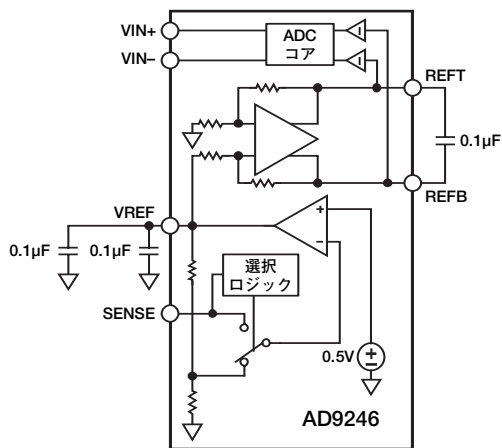


図42. 内部リファレンス構成

05491-043

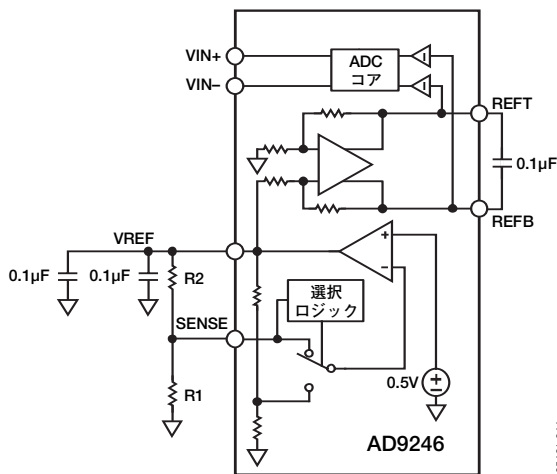


図43. プログラマブル・リファレンス構成

05491-044

AD9246の内部リファレンスを使用して複数のコンバータを駆動することによってゲインのマッチングを向上させるには、他のコンバータからのリファレンスに対する負荷を考慮に入れる必要があります。図44に、内部リファレンスの負荷による影響を示します。

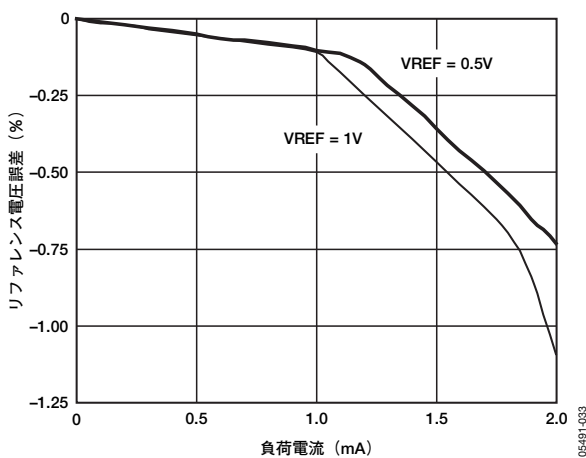


図44. 負荷とVREFの精度の関係

05491-033

## 外部リファレンス動作

ADCのゲイン精度や熱ドリフト特性を改善するには、外部リファレンスを使用しなければならないことがあります。図45に、1Vと0.5Vのモードにおける内部リファレンスの代表的なドリフト特性を示します。

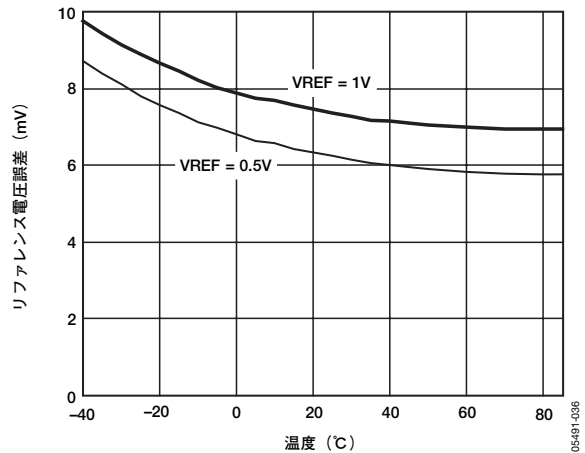


図45. 代表的なVREFドリフト

05491-038

SENSEピンをAVDDに接続すると、内部リファレンスがデイスエーブルになり、外部リファレンスを使用できるようになります。内部抵抗分圧器が、外部電圧リファレンスに6kΩの等価抵抗負荷をかけます（図11を参照）。また、内部バッファがADCコアに正と負のフルスケール・リファレンス電圧を生成します。このため、外部リファレンスは最大1Vに制限する必要があります。

## クロック入力に関する注意事項

最適な性能を得るために、AD9246のサンプル・クロック入力（CLK+とCLK-）を差動信号で駆動してください。この信号は一般に、トランスまたはコンデンサ経路でCLK+ピンとCLK-ピンにAC結合されます。これらのピンは内部でバイアスされているため（図5を参照）、外部バイアスは必要ありません。

## クロック入力オプション

AD9246には、きわめてフレキシブルなクロック入力構造があります。クロック入力には、CMOS、LVDS、LVPECL、またはサイン波の信号が可能です。「ジッタ」で説明するように、使用する信号の種類に関係なく、クロック・ソースのジッタに最も注意しなければなりません。

図46に、AD9246のクロック入力の好ましい例を示します。この回路ではRFトランスを使用して、ジッタの低いクロック・ソースをシングルエンドから差動の信号に変換します。トランスの二次側に接続されている背中合わせのショットキー・ダイオードは、AD9246に入るクロック信号を約0.8Vp-pの差動信号に制限します。これによって、クロックの大きい電圧振幅がAD9246の他の部分にフィードスルーするのを防ぎ、同時に信号の高速な立上がり時間と立下がり時間を維持します。これは、低ジッタの性能を維持するにはたいへん重要です。

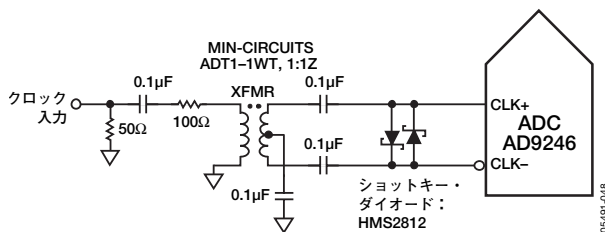
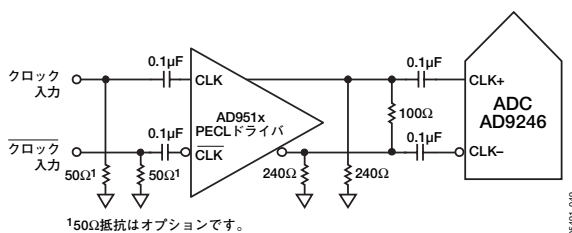


図46. トランス結合の差動クロック

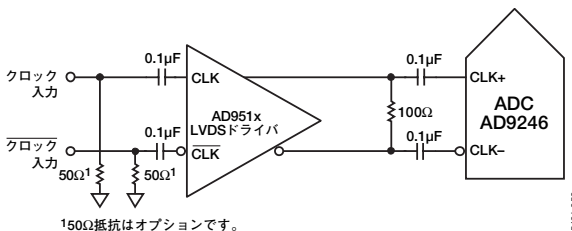
ジッタが低いクロック・ソースを利用できない場合は、別の方法として、図47に示すように差動のPECL信号をサンプル・クロック入力ピンにAC結合します。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515のクロック・ドライバ製品ファミリーのジッタ性能は、非常に優れています。



150Ω抵抗はオプションです。

図47. 差動PECLサンプル・クロック

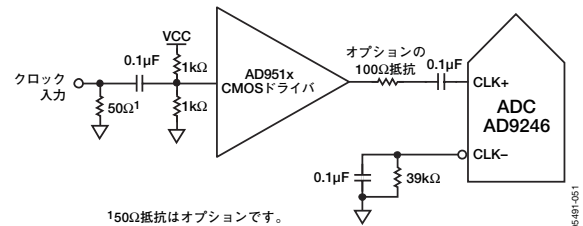
3番目の方法として、図48に示すように差動のLVDS信号をサンプル・クロック入力ピンにAC結合します。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515のクロック・ドライバ製品ファミリーのジッタ性能は、非常に優れています。



150Ω抵抗はオプションです。

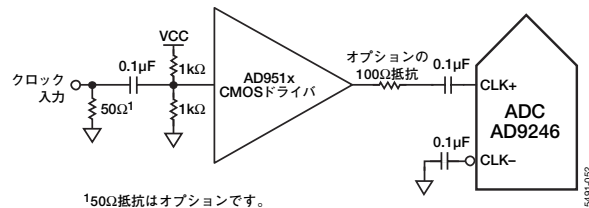
図48. 差動LVDSサンプル・クロック

一部のアプリケーションでは、シングルエンドのCMOS信号でサンプル・クロック入力を駆動できます。このようなアプリケーションでは、CMOSゲートから直接CLK+を駆動し、0.1µFのコンデンサと39kΩの抵抗を並列に接続して、CLK-ピンをグラウンドにバイパスします（図49を参照）。CLK+をCMOSゲートから直接駆動することができます。この入力は3.6Vまでの入力電圧に耐えるように設計されているため、駆動ロジック電圧の選択の幅が広がります。1.8VのCMOS信号でCLK+を駆動する場合は、0.1µFのコンデンサと39kΩの抵抗を並列に接続して（図49を参照）、CLK-ピンをバイパスする必要があります。3.3VのCMOS信号でCLK+を駆動する場合は、39kΩの抵抗は必要ありません（図50を参照）。



150Ω抵抗はオプションです。

図49. シングルエンドの1.8V CMOSサンプル・クロック



150Ω抵抗はオプションです。

図50. シングルエンドの3.3V CMOSサンプル・クロック

### クロックのデューティ・サイクル

標準的な高速ADCは、クロックの立上がりエッジと立下がりエッジを使用して、さまざまな内部タイミング信号を生成します。その結果、これらのADCはクロックのデューティ・サイクルの影響を受けやすくなっています。一般にクロック・デューティ・サイクルの変化を±5%以内に抑える必要があります。

AD9246にはクロック・デューティ・サイクル・スタビライザ(DCS)があり、これによって非サンプリングや立下がりエッジの再タイミングを行い、公称50%のデューティ・サイクルで内部クロック信号を供給します。このため、AD9246の性能に影響することなく、広範な入力クロック・デューティ・サイクルを使用できます。DCSをオンにすると、図31に示すように広いデューティ・サイクルでノイズや歪み性能がほとんどフラットになります。

それでも入力の立上がりエッジのジッタには十分注意する必要があります。このジッタは、内部安定化回路では低減できません。公称20MHz以下のクロック・レートには、デューティ・サイクル制御ループが機能しません。クロック・レートが動的に変化するアプリケーションでは、この制御ループの時定数を考慮する必要があり、動的クロック周波数が増加（または減少）してからDCSループが入力信号に再ロックされるまでに1.5~5µsの待ち時間が必要になります。DCSループがロックされていない間は、ループがバイパスされ、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、デューティ・サイクル・スタビライザをディスエーブルにしたほうがよい場合があります。それ以外の回路では、性能を最大化するためにDCS回路をイネーブルにすることを推奨します。

# AD9246

DCSをイネーブ爾またはディスエーブ爾にするには、外部ピン・モードの動作時にSDIO/DCSピンを設定するか（表10を参照）、表13に示すようにSPIを使用して設定します。

表10. モードの選択（外部ピン・モード）

ピンの電圧	SCLK/DFS	SDIO/DCS
AGND	バイナリ（デフォルト）	DCSディスエーブ爾
AVDD	2の補数	DCSイネーブ爾（デフォルト）

## ジッタに関する注意事項

高速、高分解能ADCの性能は、クロック入力の品質に左右されます。所定の入力周波数（ $f_{IN}$ ）においてジッタ（ $t_j$ ）が原因で生じるSNRの劣化は、以下の式で計算できます。

$$S/N \text{ 比} = -20 \log (2\pi \times f_{IN} \times t_j)$$

上の式で、rmsアパーチャ・ジッタ $t_j$ は、クロック入力、アナログ入力信号、ADCのアパーチャ・ジッタ仕様など、すべてのジッタ源の二乗平均平方根になります。図51に示すように、IFアンダーサンプリング・アプリケーションは特にジッタの影響を受けやすくなっています。

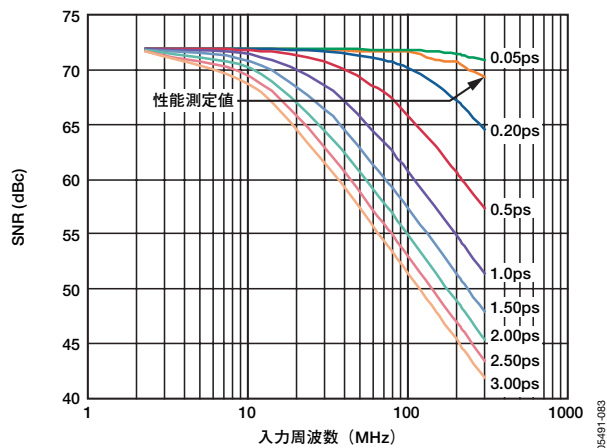


図51. 入力周波数とジッタ 対 SNR

アパーチャ・ジッタがAD9246のダイナミック・レンジに影響する可能性がある場合は、クロック入力をアナログ信号として扱ってください。クロック・ドライバの電源をADC出力ドライバの電源から切り離し、デジタル・ノイズでクロック信号が変動しないようにします。また、バッファなどのアナログ入力回路で電源を共有しないようにし、入力信号とクロックの間で変動が起きないようにします。ジッタの低い水晶制御発振器は、最良のクロック・ソースになります。他のタイプのソースを使ってクロックを生成する場合（ゲーティング、分周などの手法）は、最後にオリジナル・クロックによる再タイミングを行ってください。

ADCに関連するジッタ性能の詳細については、アプリケーション・ノートAN-501『Amplitude Uncertainty and ADC System Performance』とAN-756『Sampled Systems and the Effects of Clock Phase Noise and Jitter』を参照してください。

## 消費電力とスタンバイ・モード

図52と図53に示すように、AD9246の消費電力はサンプリング・レートに比例します。デジタル消費電力は、主にデジタル・ドライバの駆動力と各出力ビットの負荷によって決まります。DRVDD電流（ $I_{DRVDD}$ ）の最大値は、以下の式で計算できます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times \frac{f_{CLK}}{2} \times N$$

ここで、 $N$ は出力ビット数です。AD9246の場合は14になります。

クロック・サイクルごとに各出力ビットがスイッチするとき、つまり $f_{CLK}/2$ のナイキスト周波数でフルスケールの矩形波が発生するときに、最大電流が生じます。実際上は、サンプリング・レートとアナログ入力信号の特性によって出力ビットの平均スイッチ回数が決まり、この回数によってDRVDD電流が決まります。出力ドライバにかかる容量性負荷を小さくすると、デジタル消費電力を最少に抑えられます。図52と図53のデータは、各出力ドライバに5pFの容量性負荷を加え、「代表的な性能特性」に記載したデータと同じ動作条件で得られたものです。

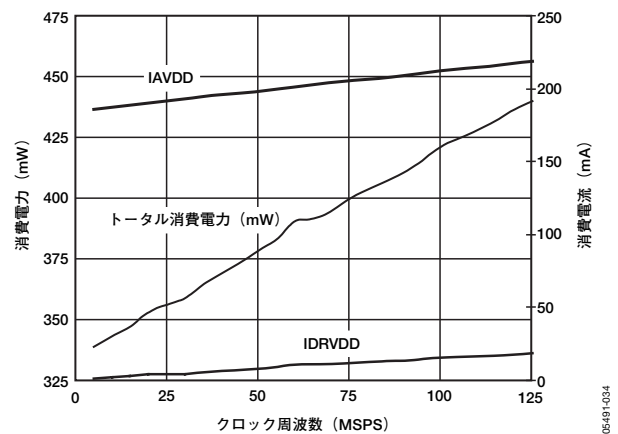


図52. AD9246-125のクロック周波数 対 消費電力と電流（ $f_{IN}=30\text{MHz}$ ）

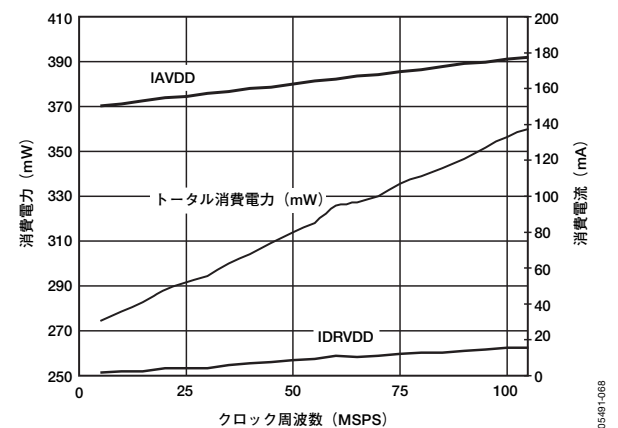


図53. AD9246-105のクロック周波数 対 消費電力と電流（ $f_{IN}=30\text{MHz}$ ）

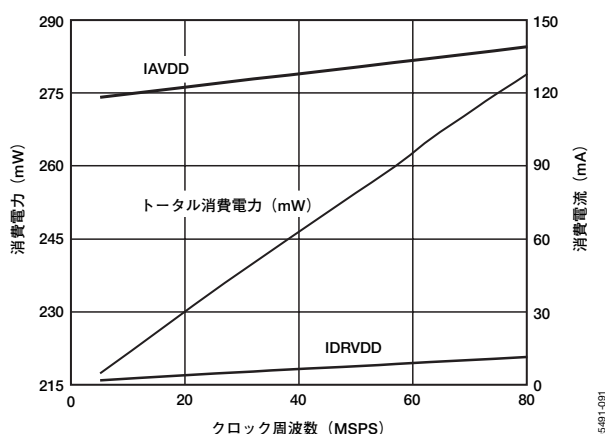


図53. AD9246-105のクロック周波数 対 消費電力と電流 ( $f_{IN}=30\text{MHz}$ )

### パワーダウン・モード

PDWNピンをハイレベルにアサートすると、AD9246はパワーダウン・モードに入ります。この状態のADCの消費電力は、一般に1.8mWです。パワーダウン中、出力ドライバはハイ・インピーダンスの状態になります。PDWNピンを再びローレベルにアサートすると、AD9246は通常の動作モードに復帰します。このピンは、1.8Vと3.3Vに対応できます。

パワーダウン・モードでは、リファレンス、リファレンス・バッファ、バイアス・ネットワーク、クロックがシャットダウンすることで消費電力が低くなります。REFTとREFBに接続するデカップリング用コンデンサは、パワーダウン・モードに入ると放電するため、通常の動作に復帰するときに再充電する必要があります。このため、どれだけパワーダウン・モード状態だったかによってウェークアップ時間が異なり、パワーダウン・サイクルが短ければ、これに比例してウェークアップ時間も短くなります。REFTとREFBに推奨の0.1 $\mu\text{F}$ のデカップリング用コンデンサを接続する場合、リファレンス・バッファのデカップリング用コンデンサが完全に放電するまでに約0.25msかかり、完全な動作状態に復帰するまでには約0.35msかかります。

### スタンバイ・モード

SPIポート・インターフェースの使用時に、AD9246をパワーダウン・モードまたはスタンバイ・モードに設定できます。スタンバイ・モードでは、高速のウェークアップ時間が必要な場合に内部リファレンス回路をパワーアップ状態にしておくことができます。詳細については、「メモリ・マップ」を参照してください。

### デジタル出力

インターフェース・ロジックのデジタル電源とDRVDDを一致させることによって、AD9246の出力ドライバを1.8~3.3Vのロジック・ファミリーと接続させることができます。出力ドライバを設定することで、広範なロジック・ファミリーの駆動に十分な出力電流を供給できます。ただし、駆動電流が大きくなると、電源上で電流グリッチが発生しやすくなり、そのためにコンバータの性能が損われるおそれがあります。大きい容量性負荷またはファンアウトを駆動するADCが必要なアプリケーションでは、バッファまたはラッチの外付けが必要になる場合があります。

外部ピン・モードで動作する場合、SCLK/DFSピンを設定することによって、オフセット・バイナリまたは2の補数の出力データ・フォーマットを選択できます (表10を参照)。

当社のユーザマニュアル『Interfacing to High Speed ADCs via SPI』に詳しい説明がありますが、SPI制御を使用する場合、オフセット・バイナリ、2の補数、グレイコードのデータ・フォーマットを選択できます。

### アウト・オブ・レンジ (OR) 状態

アナログ入力電圧がADCの入力レンジを超えると、アウト・オブ・レンジ状態になります。ORは、サンプリングされた特定の入力電圧に対応する出力データにもなって変化するデジタル出力です。したがって、ORのパイプライン・レイテンシはデジタル・データと同じです。

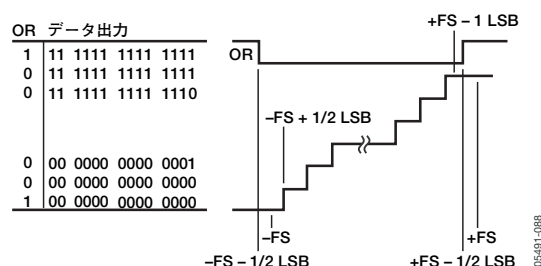


図55. 入力電圧および出力データとORの関係

図55に示すように、アナログ入力電圧がアナログ入力レンジ内であればORはローレベルであり、アナログ入力電圧がアナログ入力レンジを超えるとハイレベルになります。アナログ入力電圧がADCの入力レンジ内に復帰し、変換動作が完了するまで、ORはハイレベルに維持されます。ORビットとMSBおよびその補数の論理積により、オーバーレンジ・ハイまたはアンダーレンジ・ローを検出できます。表11に、NANDゲートを使用する図56のオーバーレンジ/アンダーレンジ回路の真理値表を示します。

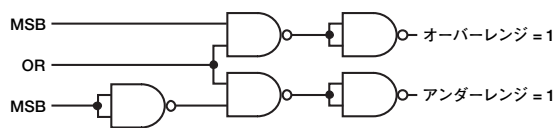


図56. オーバーレンジ/アンダーレンジ・ロジック

表11. オーバーレンジ/アンダーレンジ真理値表

OR	MSB	アナログ入力:
0	0	レンジ内
0	1	レンジ内
1	0	アンダーレンジ
1	1	オーバーレンジ

### デジタル出力カインェブル機能 (OEB)

AD9246はスリープ状態が可能で、OEBピンがローレベルの場合、出力データ・ドライバがイネーブルになり、OEBピンがハイレベルに遷移すると出力データ・ドライバがハイ・インピーダンス状態になります。これは、データ・バスへの高速アクセス向けではありません。OEBはデジタル電源 (DRVDD) を基準とするため、この電源電圧を超えないようにしてください。

## AD9246

### タイミング

AD9246の最小変換レート (typ値) は10MSPSです。10MSPSより低いクロック・レートでは、ダイナミック性能が低下することがあります。

AD9246は、12クロック・サイクルのパイプライン遅延でラッチしたデータを出力します。クロック信号の立上がりエッジの後、伝播遅延 ( $t_{pd}$ ) 1つでデータ出力が得られます。

出力データ・ラインの長さやライン上の負荷を可能な限り小さくして、AD9246内のトランジエントを低減する必要があります。トランジエントによって、コンバータのダイナミック性能が劣化する可能性があります。

### データ・クロック出力 (DCO)

AD9246は、外部レジスタのデータを取り込むためのデータ・クロック出力 (DCO) も供給します。データ出力は、DCOの立上がりエッジで有効になります。図2のタイミング図を参照してください。

表12. 出力データ・フォーマット

入力 (V)	条件 (V)	バイナリ出力モード	2の補数モード	グレイコード・モード (SPIにアクセス可能)	OR
VIN+ - VIN-	< -VREF - 0.5LSB	0000 0000 0000	1000 0000 0000	1100 0000 0000	1
VIN+ - VIN-	= -VREF	0000 0000 0000	1000 0000 0000	1100 0000 0000	0
VIN+ - VIN-	= 0	1000 0000 0000	0000 0000 0000	0000 0000 0000	0
VIN+ - VIN-	= +VREF - 1.0LSB	1111 1111 1111	0111 1111 1111	1000 0000 0000	0
VIN+ - VIN-	> +VREF - 0.5LSB	1111 1111 1111	0111 1111 1111	1000 0000 0000	1



## シリアル・ポート・インターフェース (SPI)

AD9246のシリアル・ポート・インターフェース (SPI) によって、ADC内部の構造化レジスタ・スペースを介して特定の機能や動作を実行するようにコンバータを設定できます。これによって高い柔軟性が得られ、アプリケーションに応じたカスタマイズが容易になります。アドレスへのアクセスはシリアル・ポートを介して行い、ポートを経由してアドレスの書き込みや読み出しができます。「メモリ・マップ」で説明するように、メモリはバイトで構成され、バイトはさらにフィールドに分かれています。詳細については、当社のユーザマニュアル『Interfacing to High Speed ADCs via SPI』を参照してください。

### SPIを使用した設定

表13に示すように、3本のピンでADCのSPIを定義します。SCLK/DFSピンは、ADCの読み出しデータと書き込みデータを同期します。SDIO/DCSピンには2つの役割があり、ADC内のメモリ・マップ・レジスタへのデータの送信および読み出しを行います。CSBピンは、読み出しサイクルと書き込みサイクルをイネーブルまたはディスエーブルにするアクティブ・ローの制御ピンです。

表13. シリアル・ポート・インターフェース・ピン

ピン名	機能
SCLK/DFS	SCLK (シリアル・クロック) は、シリアル・シフト・クロック入力です。SCLKはシリアル・インターフェースの読み出しと書き込みを同期化します。
SDIO/DCS	SDIO (シリアル・データ入出力) ピンには、2つの役割があります。一般には、送信された命令とタイミング・フレームの相対的な位置によって入力または出力に使用します。
CSB	CSB (チップ・セレクト・バー) は、読み出しサイクルと書き込みサイクルをゲートするアクティブ・ローの制御ピンです。

CSBの立下がりエッジとSCLKの立上がりエッジによって、フレームングの開始が決まります。図57と表14に、シリアル・タイミングの例とその定義を示します。

CSBを使用するモードは他にもあります。CSBを常にローレベルに保持すれば、AD9246を常時イネーブル (ストリーミングといいます) にできます。バイト間でCSBをハイレベルに保持すれば、外部タイミングを加えることができます。CSBをハイレベルに設定すると、SPI機能がハイ・インピーダンスのモードになります。このモードでは、SPIピンの2番目の機能がオンになります。

命令フェーズでは、16ビットの命令が送信されます。データは命令フェーズに追従し、長さはW0ビットとW1ビットによって決まります。データはすべて8ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットが、読み出しまたは書き込みのどちらのコマンドが発行されているかを示します。これに基づいて、シリアル・データ入出力 (SDIO) ピンが入力から出力に方向を変更します。

ワード長のほか、命令フェーズによってシリアル・フレームの動作が読み出しか書き込みかを定めるため、シリアル・ポートを利用してチップのプログラムとオンチップ・メモリ内のデータの読み出しができます。命令が読み出し動作の場合は、読み出しの実行によって、シリアル・フレームの適切なポイントでシリアル・データ入出力 (SDIO) ピンが入力から出力に方向を変更します。

データは、MSBファーストまたはLSBファーストで送信できます。パワーアップ時にはデフォルトでMSBファーストに設定されますが、設定レジスタで変更できます。詳細については、当社のユーザマニュアル『Interfacing to High Speed ADCs via SPI』を参照してください。

表14. SPIタイミング図の仕様

記号	説明
$t_{DS}$	データからSCLKの立上がりエッジまでのセットアップ時間
$t_{DH}$	データからSCLKの立上がりエッジまでのホールド時間
$t_{CLK}$	クロック期間
$t_S$	CSBからSCLKまでのセットアップ時間
$t_H$	CSBからSCLKまでのホールド時間
$t_{HI}$	SCLKをロジック・ハイレベルに維持しなければならない最小時間
$t_{LO}$	SCLKをロジック・ローレベルに維持しなければならない最小時間

### ハードウェア・インターフェース

表13に示したピンは、ユーザのプログラミング・デバイスとAD9246のシリアル・ポート間の物理的なインターフェースになります。SPIインターフェースを使用する場合は、SCLKピンとCSBピンは入力として機能します。SDIOは双方向ピンとして機能し、書き込み動作時は入力、読み出し動作時は出力になります。

SPIインターフェースはきわめてフレキシブルであるため、PROMまたはPICマイクロコントローラで制御できます。ユーザはいずれかの方法を用いてADCをプログラミングできます。そのうちの1つについては、アプリケーション・ノートAN-812『Microcontroller-based Serial Port Interface Boot Circuit』で詳しく説明しています。

SPIインターフェースを使用しないときは、一部のピンを2つの機能に使用できます。デバイスのパワーオン時にAVDDまたはグラウンドにピンを接続すると、特定の機能に関連付けることができます。

### SPIを使用しない設定

SPIの制御レジスタに接続しないアプリケーションでは、SDIO/DCSピンとSCLK/DFSピンがスタンドアロンのCMOS互換制御ピンになります。デバイスのパワーアップ時には、出力データ・フォーマットとデューティ・サイクル安定化器を設定するためのスタティックな制御ラインとしてピンが使用できる状態になります (表10を参照)。このモードでは、チップ選択のCSBピンをAVDDに接続してください。これによって、シリアル・ポート・インターフェースがディスエーブルになります。詳細については、当社のユーザマニュアル『Interfacing to High Speed ADCs via SPI』を参照してください。

## メモリ・マップ

### メモリ・マップ・テーブルの読出し

メモリ・マップ・テーブルの各行には、アドレスを入れる場所が8つあります。メモリ・マップは大きく3つのセクションに分けられます。「チップ設定レジスタ」(アドレス0x00~0x02)、「デバイス・インデックスと転送レジスタ」(アドレス0xFF)、「ADC機能」(アドレス0x08~0x18)のマップです。

表15のメモリ・マップ・レジスタには、最初の列に16進数のレジスタのアドレス番号が記載されています。最後の列は、16進数の各アドレスのデフォルト値です。ビット7 (MSB) の列は、それぞれの16進数デフォルト値の先頭です。例えば16進数アドレス0x14はoutput\_modeで、そのデフォルト値は0x00です。このデフォルト値は、出力データ・フォーマットはオフセット・バイナリ (bit0、1=00)、出力データ反転は非反転 (bit2=0)、出力デイスエーブルはイネーブル (bit4=0) で、そして出力ドライバ構成はDRVDD=2.5V~3.3V (bit6、7=00) の設定となっています。この機能の詳細については、当社のユーザーマニュアル『Interfacing to High Speed ADCs via SPI』を参照してください。

### オープン・ロケーション

オープンと表記されている場所は、今のところこのデバイスでは対応していません。必要があれば、ここに0を書き込んでください。書き込みが必要になるのは、アドレス・ロケーションの一部がオープンになっている場合 (アドレス0x14など) のみです。アドレス・ロケーションがすべてオープンの場合 (アドレス0x13など) は、書き込みを行う必要はありません。

### デフォルト値

リセットが行われると、重要なレジスタにデフォルト値がロードされます。レジスタのデフォルト値を表15に示します。

### ロジック・レベル

2つのレジスタは、以下のようになります。

- 「ビットの設定」は、「ビットをロジック1に設定」または「ビットにロジック1を書き込む」ことです。
- 「ビットのクリア」は、「ビットをロジック0に設定」または「ビットにロジック0を書き込む」ことです。

### SPIからアクセスできる機能

SPIを介してアクセスできる機能一覧と、これらの機能でできることを簡単に説明します。これらの機能については、当社のユーザーマニュアル『Interfacing to High Speed ADCs via SPI』で詳しく説明しています。

- モード：パワーダウンまたはスタンバイのいずれかを設定します。
- クロック：SPIを介してDCSにアクセスします。
- オフセット：コンバータのオフセットをデジタル調整します。
- I/Oテスト：テスト・モードを設定して、出力ビットに既知のデータを入れます。
- 出力モード：出力を設定して、出力ドライバの力を変化させます。
- 出力位相：出力クロックの極性を設定します。
- VREF：リファレンス電圧を設定します。

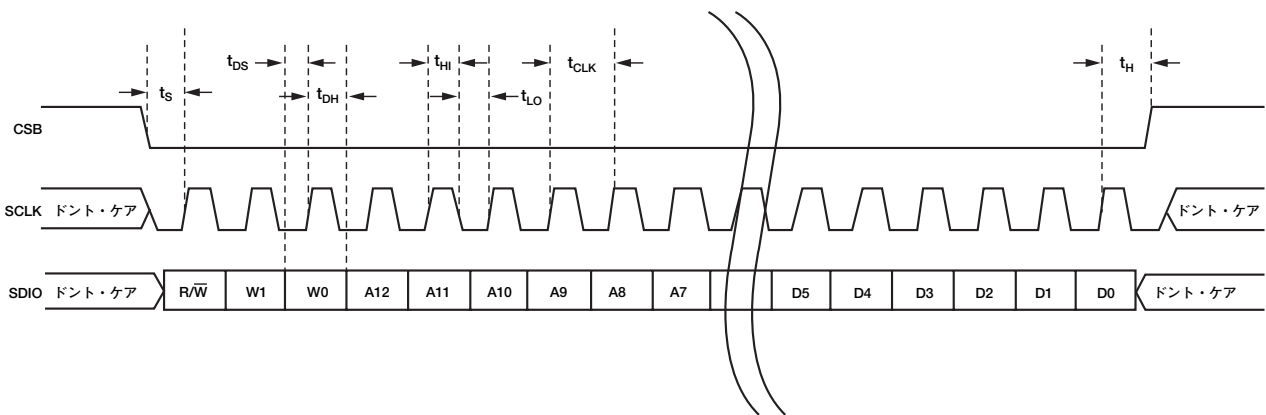


図57. シリアル・ポート・インターフェースのタイミング図

0591056



## メモリ・マップ・レジスタ・テーブル

表15. メモリ・マップ・レジスタ

アドレス (16進数)	パラメータ名	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値 (16進数)	デフォルトの 注記/備考
チップ構成レジスタ											
00	chip_port_config	0	LSB ファースト 0=オフ (デフォルト) 1=オン	ソフトウェア・ リセット 0=オフ (デフォルト) 1=オン	1	1	ソフトウェア・ リセット 0=オフ (デフォルト) 1=オン	LSB ファースト 0=オフ (デフォルト) 1=オン	0	0x18	ニブルをミラー する必要があります。 当社の ユーザマニュアル 『Interfacing to High Speed ADCs via SPI』 を参照。
01	chip_id	8ビットのチップIDビット7:0 (AD9246=0x00)、(デフォルト値)								読出し専用	デフォルト値 は、デバイス ごとに異なる 一意のチップ IDです。
02	chip_grade	オープン	オープン	オープン	オープン	子ID 0=125 MSPS、 1=105 MSPS	オープン	オープン	オープン	読出し専用	速度グレード を区別するた めに、子IDを 使用します。
デバイス・インデックスと転送レジスタ											
FF	device_update	オープン	オープン	オープン	オープン	オープン	オープン	オープン	SW転送	0x00	マスターのシ フト・レジス タからスレー ブにデータを 同期して転送 します。
グローバルADC機能											
08	モード	オープン	オープン	PDWN 0=フル (デフォルト) 1= スタンバイ	オープン	オープン	内部パワーダウン・モード 000=ノーマル (パワーアップ、デフォルト) 001=フル・パワーダウン 010=スタンバイ 011=ノーマル (パワーアップ) 注: 外部PDWNピンで この設定が無効になります。		0x00	チップの一般 的な種動作 モードを決定 します。「消費 電力とスタン バイ・モード」 と「SPIからア クセスできる 機能」を参照。	
09	クロック	オープン	オープン	オープン	オープン	オープン	オープン	オープン	デューティ・ サイクル・ スタビライザ 0= デイスエーブル 1= イネーブル (デフォルト)	0x01	「クロック・ デューティ・ サイクル」お よび「SPIから アクセスでき る機能」を参 照。

# AD9246

アドレス (16進数)	パラメータ名	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値 (16進数)	デフォルトの 注記/備考
フレキシブルADC機能											
10	offset		デジタル・オフセット調整<5:0>			オフセット (LSB)				0x00	コンバータに ともなうオフ セットを調整 できます。 「SPIからアク セスできる機 能」を参照。
			011111				+31				
			011110				+30				
			011101				+29				
			...								
			000010				+2				
			000001				+1				
			000000				0 (デフォルト)				
			111111				1				
			111110				-2				
			111101				-3				
			...								
			100001				-31				
			100000				-32				
00	test_io			PN23 0=ノーマル (デフォルト) 1=リセット	PN9 0=ノーマル (デフォルト) 1=リセット		グローバル出力テスト・オプション 000—オフ 001—ミッドスケール短絡 010—+FS短絡 011—-FS短絡 100—チェッカ・ボード出力 101—PN23シーケンス 110—PN 9 111—I/Oのワード・トグル			0x00	当社のユーザ マニュアル 「Interfacing to High Speed ADCs via SPI」 を参照。
14	output_mode	出力ドライバ構成 00: DRVDD=2.5~3.3V (デフォルト) 10: DRVDD=1.8V		オープン	出力 デイス エーブル 1— デイスエーブル 0— イネーブル <sup>1</sup>	オープン	出力 データ 反転 1=反転	データ・フォーマット選択 00— オフセット・バイナリ (デフォルト) 01—2の補数 10—グレイコード		0x00	出力とデータ のフォーマッ トを設定しま す。
16	output_phase	出力 クロック 極性 1=反転 0= ノーマル (デフォルト)	オープン	オープン	オープン	オープン	オープン	オープン	オープン	0x00	「SPIからアク セスできる機 能」を参照。
18	VREF	内部リファレンス 抵抗分圧器 00—VREF=1.25V 01—VREF=1.5V 10—VREF=1.75V 11—VREF=2.00V (デフォルト)		オープン	オープン	オープン	オープン	オープン	オープン	0xC0	「SPIからアク セスできる機 能」を参照。

<sup>1</sup> 外部出力イネーブル (OEB) ピンをハイレベルにしてください。

## レイアウトに関する注意事項

### 電源とグラウンドに関する推奨事項

AD9246に電源を接続する場合、アナログ電源（公称1.8VのAVDD）とデジタル電源（公称1.8～3.3VのDRVDD）の2種類の電源を使用することを推奨します。1.8Vの単電源しか使用できない場合は、最初にAVDDに接続し、次にデカップリング・コンデンサとフェライト・ビーズまたはフィルタ・チョークでそれを分岐・分離してから、DRVDDへの接続を行います。デカップリング用に異なるコンデンサをいくつか使用することで、高周波数と低周波数の両方に対応させます。これらのコンデンサはPCボード・レベルの入口近くに配置し、できる限り短いパターン配線でデバイスの近くに接続してください。

AD9233を使用するときは、1つのPCボード・グラウンド・プレーンで対応できるようにします。ボードのアナログ、デジタル、クロック部を適切に分離しデカップリングすることにより、最適な性能を簡単に実現できます。

### 露出パドルの熱スラグに関する推奨事項

AD9246が最良の電气的性能と熱性能を発揮するには、ADCパッケージの底部にある露出パドルをアナログ・グラウンド（AGND）に接続する必要があります。PCB上の露出した連続的な銅プレーンは、AD9246の露出パドル（0番ピン）に結合します。できる限り低い抵抗の熱経路を設けるために銅プレーンにビアをいくつか作ってください。これによって、PCBの底面から熱が外に逃げます。ビアは、ハンダで充填するか埋め込んでください。

ADCとPCBが重なり合い、密着する面積が最大になるように、PCB上にシルクスクリーンをオーバーレイすることによって、連続したプレーンをいくつかの一樣な部分に分割してください。この方法により、リフロー処理時にADCとPCBの間に結合点がいくつか形成されます。分割を行わないで1枚の連続プレーンを使用すると、ADCとPCBの間にできる結合点が1つだけになります。図58に、PCBのレイアウトの例を示します。パッケージングおよびチップスケール・パッケージのPCBレイアウトの詳細については、アプリケーション・ノートAN-772『A Design and Manufacturing Guide for the Lead Frame Chip Scale Package』を参照してください。

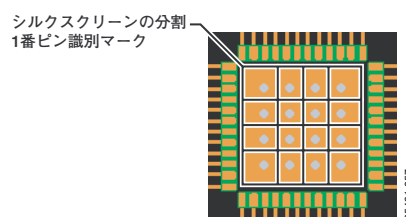


図58. 代表的なPCBレイアウト

### CML

図38に示すように、0.1 $\mu$ Fのコンデンサを使用してCMLピンをグラウンドにデカップリングしてください。

### RBIAS

AD9246のRBIASピンとグラウンド間に、10k $\Omega$ の抵抗を接続する必要があります。この抵抗によってADCのマスター電流リファレンスを設定します。許容誤差は最低1%にしてください。

### リファレンスのデカップリング

ESRの低い1.0 $\mu$ Fのコンデンサと0.1 $\mu$ Fのセラミック・コンデンサを並列に外付けして、VREFピンをグラウンドにデカップリングしてください。リファレンスのすべての設定で、REFTとREFBは内部リファレンス・バッファから発生するノイズを低減するためのバイパス・ポイントになります。REFT/REFB間に0.1 $\mu$ Fのセラミック・コンデンサを外付けすることを推奨します。この0.1 $\mu$ Fのコンデンサは必須というわけではありませんが、これを接続しないとSNR性能が約0.1dB低下します。リファレンスのデカップリング用コンデンサはすべて、できるだけ短いパターン配線を使用して、できる限りADCの近くに配置してください。

## 評価用ボード

AD9246の評価用ボードには、さまざまなモードと設定でADCを動作させるために必要な回路がすべて実装されています。コンバータは、ダブル・バラン構成（デフォルト設定）か、差動ドライバAD8352を使用して、差動で駆動できます。シングルエンドでADCを駆動することも可能です。AD8352の駆動回路とDUTを分離するために、別に電源ピンが用意されています。各部品を適切に接続することによって、それぞれの入力構成を選択できます（図60～70を参照）。図59に、AD9246のAC性能を評価するために使用した代表的なベンチ特性のセットアップを紹介します。

コンバータが最適な性能を発揮するには、アナログ入力とクロックに使用する信号源の位相ノイズを特に低くすること（1ps未満のrmsジッタ）が大切です。また、規定のノイズ性能を実現するには、アナログ入力信号の適切なフィルタ処理により高調波成分を除去し、入力の結合ノイズや広帯域幅ノイズを低減する必要があります。

図60～64に、システム・レベルで適用しなければならない信号配線やグラウンド処理を紹介する詳細な回路図とレイアウト図を示します。

### 電源

評価用ボードには、最大6V、2Aの出力を供給する壁掛け可能なスイッチング電源が用意されています。この電源を100～240V AC、47～63Hzを定格値とするコンセントに接続してください。電源ケーブルの他端には、PCBのP500に接続する内径2.1mmのジャックがあります。PCボード上で6V電源にヒューズを付けて調整を行ってから、ボード上の各回路部にそれぞれ適切なバイアス電圧を供給する5個の低ドロップアウト・リニア・レギュレータに接続してください。

デフォルト設定以外でこの評価用ボードを使用する場合は、L501、L503、L504、L508、L509を取り外して、スイッチング電源の接続を切断できます。これにより、ユーザはボードの各部を個別にバイアスできます。各回路部で異なる電源を使用するときは、P501を使用してください。AVDD\_DUTとDRVDD\_DUTには、電流定格値が1Aの1.8V電源が少なくとも1つ必要です。ただし、アナログとデジタルにそれぞれ別の電源を使用することを推奨します。AD8352を使用するオプションで評価用ボードを動作させる場合は、電流定格値が1Aの5.0V電源（AMP\_VDD）が別途必要です。代わりにのSPIオプションを使用して評価用ボードを動作させる場合は、その他の電源に加えて、3.3Vのアナログ電源が必要です。3.3V電源（AVDD\_3.3V）も1Aの電流が可能なものにします。J501、J502、J505のジャンパ線をハンダ付けすれば、これらの電源を結合できます。詳細については、図64を参照してください。

### 入力信号

クロックとアナログ信号源を接続するには、Rohde & Schwarz社のSMHUやAgilent社のHP8644信号発生器もしくはこれらの同等品のような、位相ノイズの低いクリーンな信号発生器を使用してください。評価用ボードの接続には、1メートル長のシールドしたRG-58、50Ωの同軸ケーブルを使用します。ADCに所望の周波数と振幅の信号を入力してください。アナログ・デバイセズの大部分の評価用ボードは一般に、クロックとして約2.8Vp-pまたは13dBmのサイン波入力を受け入れることができます。アナログ入力信号源を接続するには、50Ω終端の多極、狭帯域幅のバンドパス・フィルタを使用することを推奨します。アナログ・デバイセズでは、TTE<sup>®</sup>、Allen Avionics、K&L<sup>®</sup>タイプのバンドパス・フィルタを使用しています。可能であれば、フィルタを評価用ボードに直接接続してください。

### 出力信号

並列のCMOS出力が、アナログ・デバイセズの標準的なシングル・チャンネルのFIFOデータ・キャプチャ・ボード（HSC-ADC-EVALB-SC）に直接接続します。FIFOボードとそのオプション設定の詳細については、[www.analog.com/FIFO](http://www.analog.com/FIFO)をご覧ください。

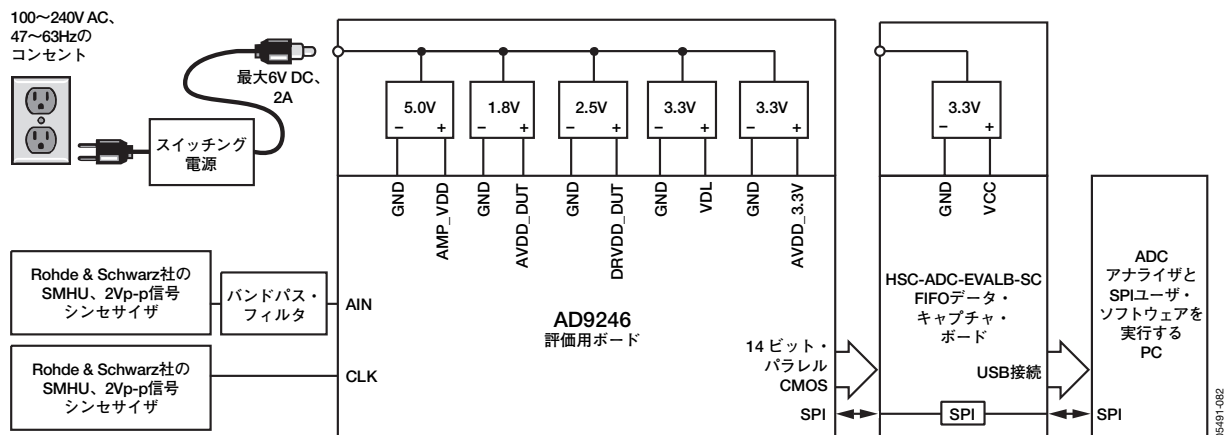


図59. 評価用ボードの接続

## デフォルト動作とジャンパ選択の設定

AD9246 Rev. A評価用ボードで利用できるデフォルトとオプションの設定または動作モードを以下に説明します。

### 電源

評価用キットの中に含まれるスイッチング電源のケーブルを、定格値が100~240V AC、47~63HzのコンセントとP500に接続します。

### VIN

評価用ボードは、ダブル・バラン構成のアナログ入力用に設定されており、70MHzまでの周波数で最高50Ωのインピーダンス・マッチングが可能です。これ以上の帯域幅の応答性を得るために、アナログ入力間に接続された差動コンデンサを変更するか、コンデンサを除去することができます（表8を参照）。アナログ入力の同相電圧は、ADCのCMLピンを経由してトランスのセンター・タップから生成されます。「アナログ入力に関する注意事項」を参照してください。

### VREF

JP507（1番ピンと2番ピン）を介してSENSEピンをグラウンドに接続することによって、VREFを1.0Vに設定します。これによって、ADCは2.0Vp-pのフルスケール・レンジで動作するようになります。評価用ボードには、別に外部リファレンス・オプションも用意されています。2番ピンと3番ピンの間にJP507を接続し、JP501を結線するだけで、E500から外部リファレンスが得られます。VREFオプションの正しい使用方法については、「電圧リファレンス」で詳しく説明しています。

### RBIAS

RBIASには、10kΩの抵抗（R503）をグラウンド間に接続する必要があります。RBIASを使用して、ADCコアのバイアス電流を設定します。

### クロック

デフォルトのクロック入力回路は、高帯域幅でインピーダンス比が1:1のトランス（T503）を用いた単純な構成のトランス結合回路になっています。このトランスによって、クロック経路にわずかなジッタが生じます。クロック入力には50Ωに終端され、AC結合されることで、シングルエンドのサイン波入力に対応します。トランスはシングルエンドの入力を差動信号に変換し、さらに差動信号はクリップされてからADCのクロック入力に印加されます。

### PDWN

パワーダウン機能をイネーブルにするには、JP506を接続して、PDWNピンをAVDDに短絡させます。

### CSB

CSBピンは内部でプルアップされることで、チップが外部ピン・モードになり、SDIOとSCLKの情報を無視するようになります。評価用ボード上のSPI回路にCSBピンの制御信号を接続する場合は、JP1の1番ピンと2番ピンを接続してください。チップをシリアル・ピン・モードに設定して、SDIOピンとSCLKピン上のSPI情報をイネーブルにするには、JP1をローレベルに（2番ピンと3番ピンを接続）してイネーブル・モードに固定します。

### SCLK/DFS

SPIポートが外部ピン・モードの場合は、SCLK/DFSピンで出力のデータ・フォーマットを設定します。このピンをフローティング状態にすると、内部でプルダウンされ、デフォルト設定がバイナリになります。JP2の2番ピンと3番ピンを接続すると、フォーマットは2の補数になります。SPIポートがシリアル・ピン・モードの場合は、JP2の1番ピンと2番ピンを結線すると、ボードのSPI回路にSCLKピンが接続されます。詳細については、「シリアル・ポート・インターフェース（SPI）」を参照してください。

### SDIO/DCS

SPIポートが外部ピン・モードの場合は、SDIO/DCSピンがデューティ・サイクル・スタビライザを設定する機能になります。このピンをフローティング状態にすると、内部でプルアップされ、デフォルト設定がDCSイネーブルになります。DCSをディスエーブルにするには、JP3の2番ピンと3番ピンを接続します。SPIポートがシリアル・ピン・モードの場合は、JP3の1番ピンと2番ピンを結線すると、ボードのSPI回路にSDIOピンが接続されます。詳細については、「シリアル・ポート・インターフェース（SPI）」を参照してください。

## その他のクロック設定

差動のLVPECLクロックを利用して、AD9515（U500）を用いたADCの入力をクロックできます。この駆動オプションを利用する場合は、表16に示す部品の実装が必要です。詳細については、AD9515のデータシートを参照してください。

トランスを使用するデフォルトのオプションではなく、アナログ入力でAD9515を駆動するよう設定する場合は、以下に示す部品の追加、削除、変更などが必要です。

1. デフォルトのクロック経路にあるR507、R508、C532、C533を除去してください。
2. 0Ω抵抗のR505とC531をデフォルトのクロック経路に実装してください。
3. R511、R512、R513、R515~R524、U500、R580、R582、R583、R584、C536、C537、R586を実装してください。

発振器を使用する場合は、ADCの性能チェックに2つの発振器フットプリントを選べます（OSC500）。JP508では、イネーブル・ピンをフレキシブルに使用できます。これは多くの発振器で利用されている方法です。このオプションを選択する場合は、OSC500、R575、R587、R588を実装してください。

## その他のアナログ入力駆動構成

ここでは、AD8352を使用する、その他のアナログ入力駆動構成について簡単に説明します。この特別な駆動オプションを使用する場合は、表16に示す部品をいくつか実装する必要があります。AD8352差動ドライバの動作方法やオプション・ピンの設定などの詳細については、AD8352のデータシートを参照してください。

トランスを使用するデフォルトのオプションを選択せずに、AD8352によるアナログ入力駆動に設定する場合は、以下に示す部品の追加、削除、変更などが必要です。

## AD9246

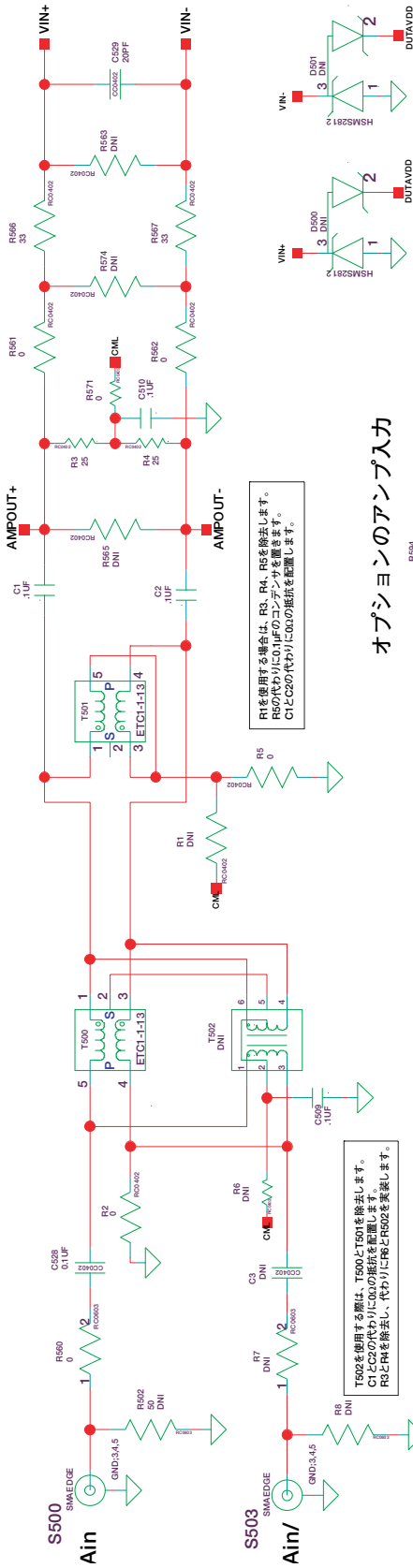
1. デフォルトのアナログ入力経路に実装されたC1とC2を除去してください。
2. 200Ω抵抗のR3とR4をアナログ入力経路に実装してください。
3. R594、R595、C502を除くすべての部品をオプションのアンプ入力経路に実装してください。入力経路の終端には、R9、R592、またはR590およびR591の部品のうち1つのみを実装する必要があります。

4. 5pFコンデンサのC529をアナログ入力経路に実装します。

現状では、信号の接続のために0Ω抵抗のR561とR562が実装されています。条件を追加する必要がある場合は、この領域を利用してフィルタ設計を行うことができます。

回路図

ダブル・バラン/XFMR入力



オプションのアンプ入力

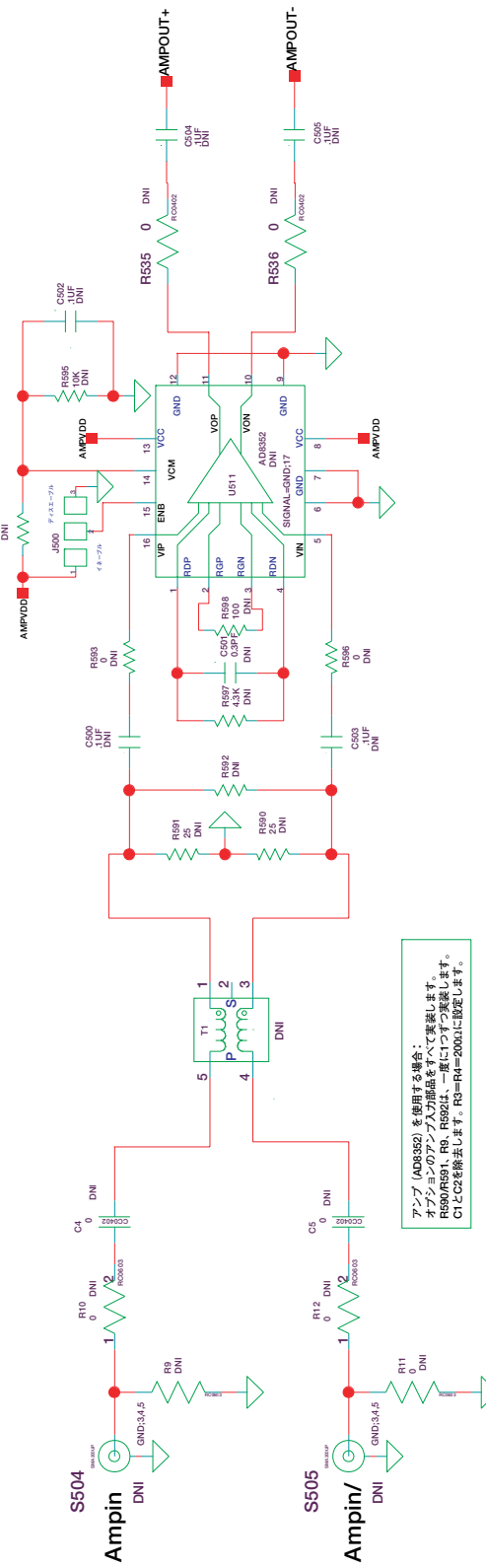


図60. 評価用ボードの回路図 (DUTのアナログ入力)

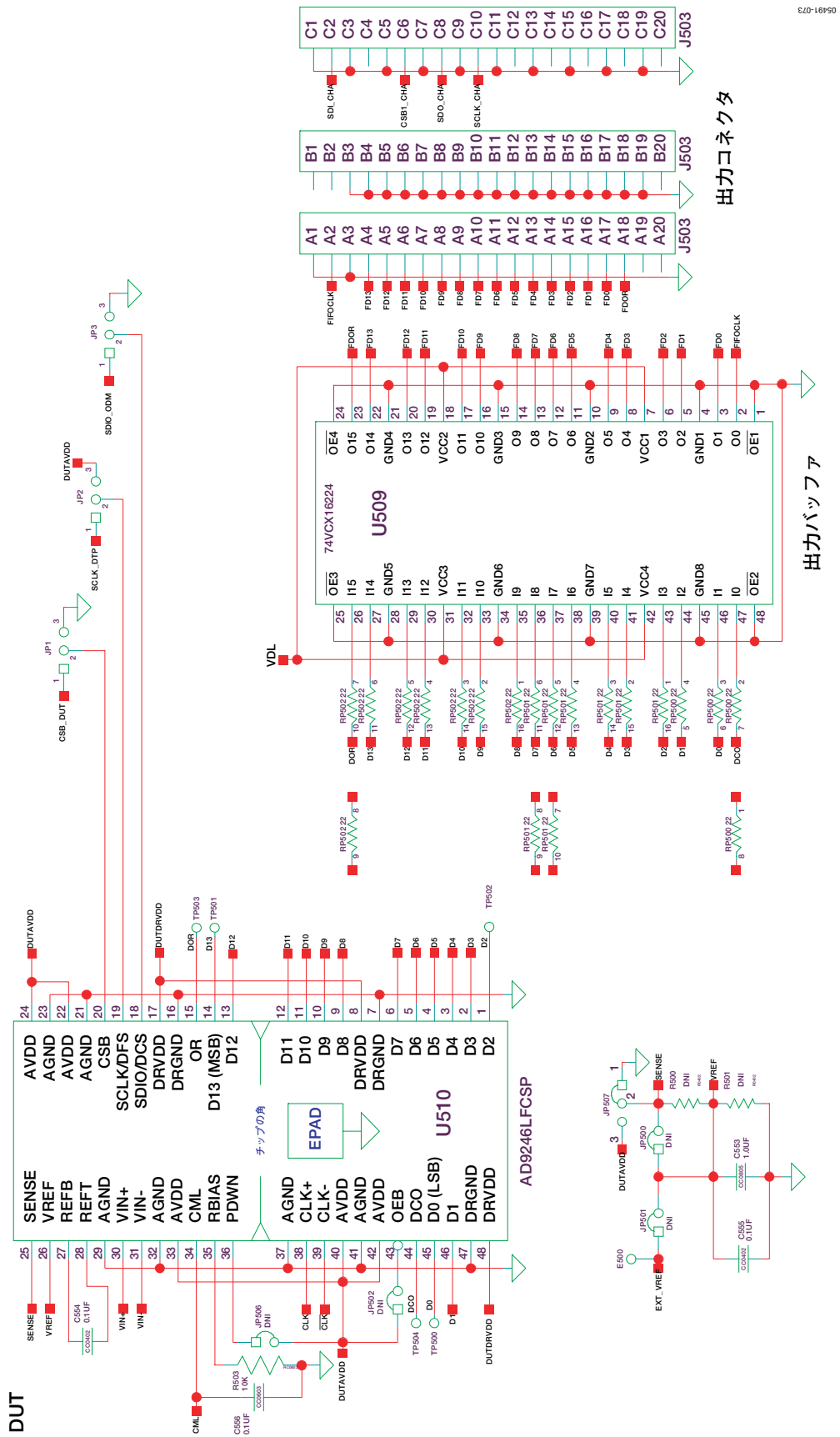


図61. 評価用ボードの回路図 (DUT、VREF、デジタル出カインターフェース)



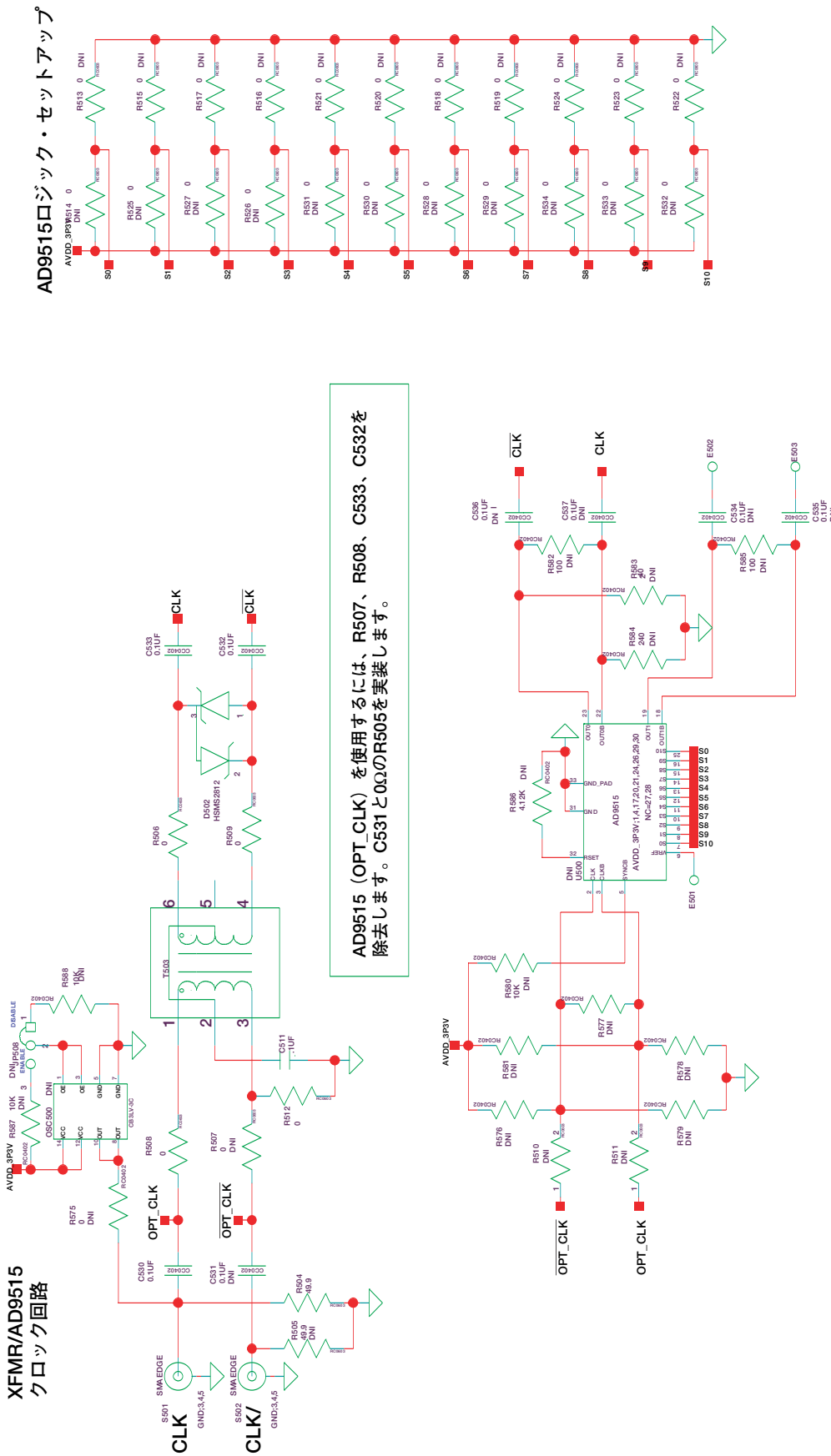


図62. 評価用ボードの回路図 (DUTのクロック入力)

XFMR/AD9515  
クロック回路

AD9515ロジック・セットアップ

AD9515 (OPT\_CLK) を使用するには、R507、R508、C533、C532を  
除去します。C531と0ΩのR505を実装します。



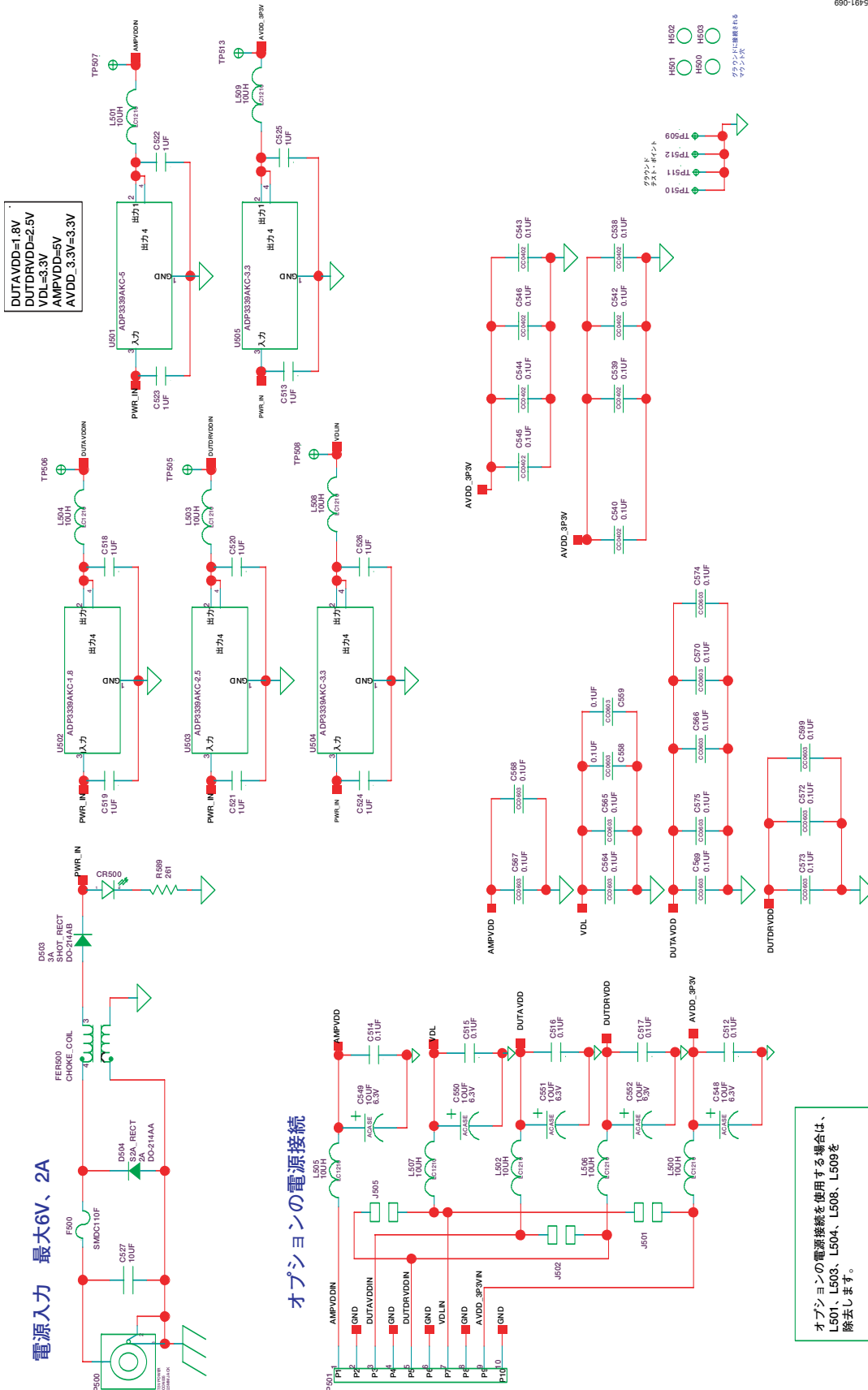


図64. 評価用ボードの回路図（電源入力）

評価用ボード・レイアウト

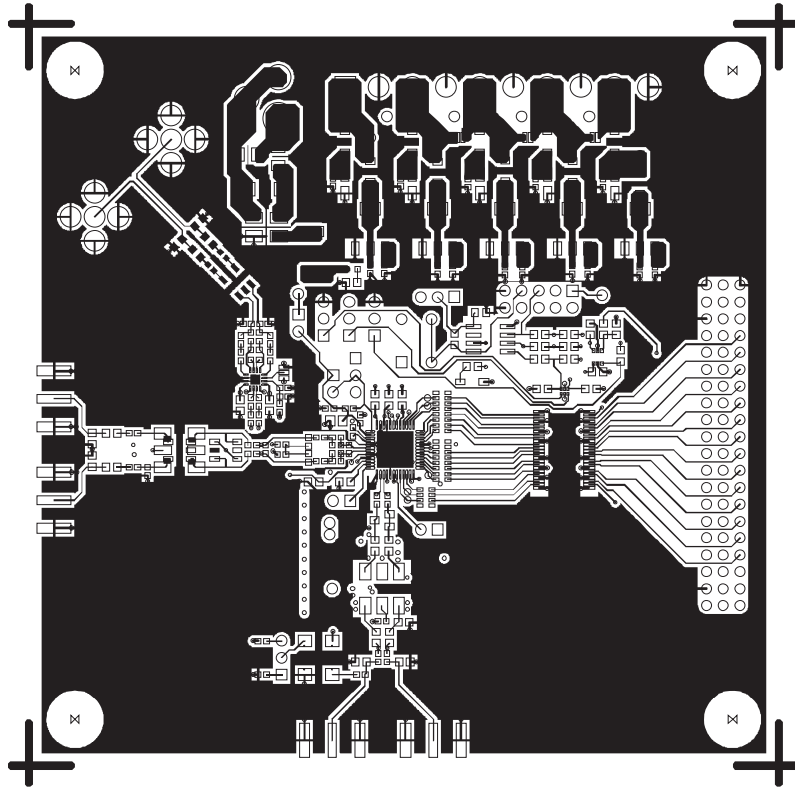


図65. 評価用ボード・レイアウト（一次側）

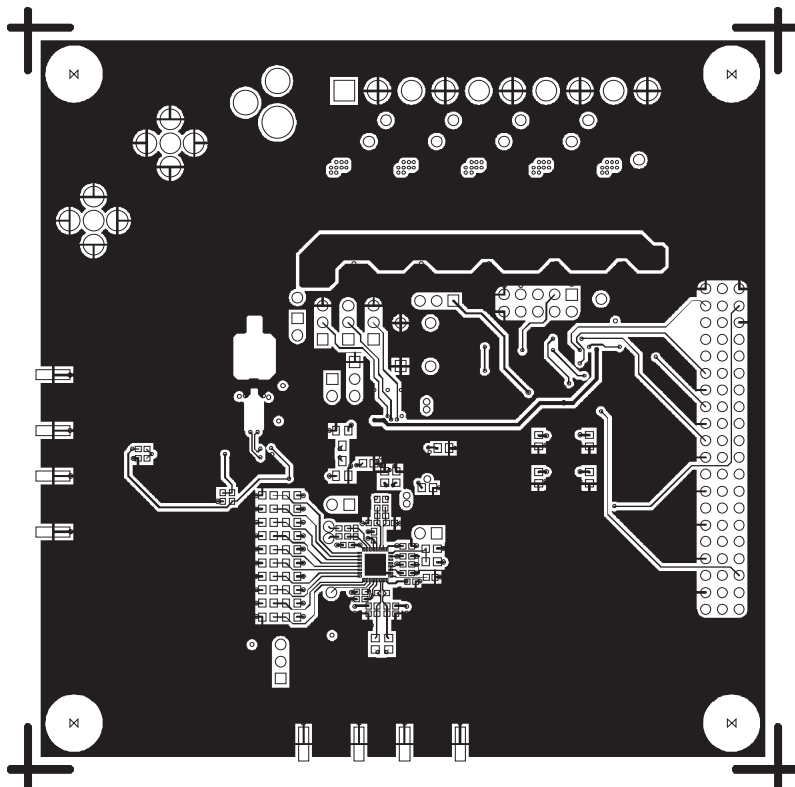
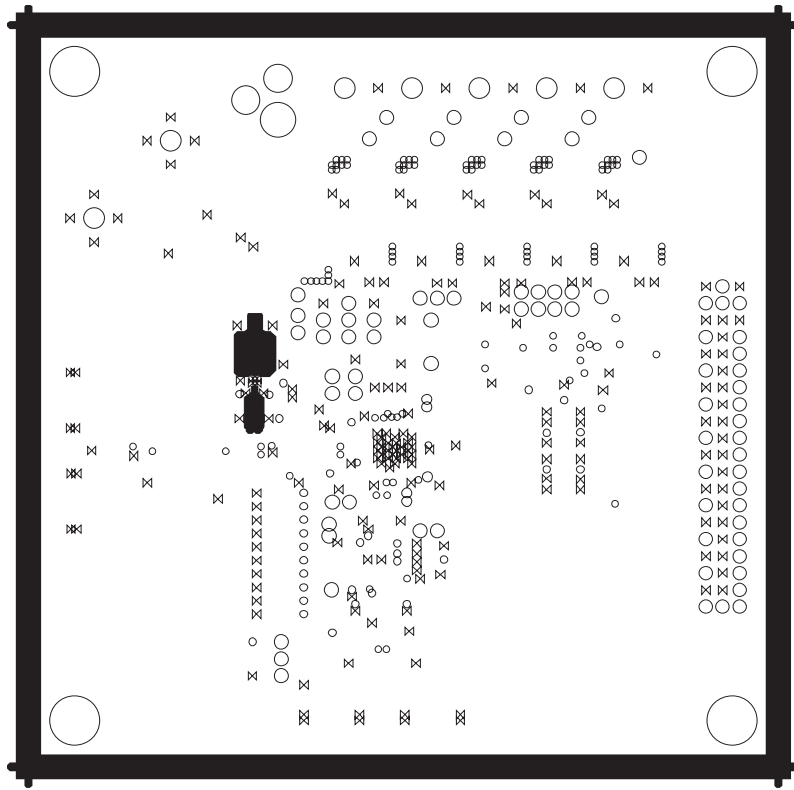
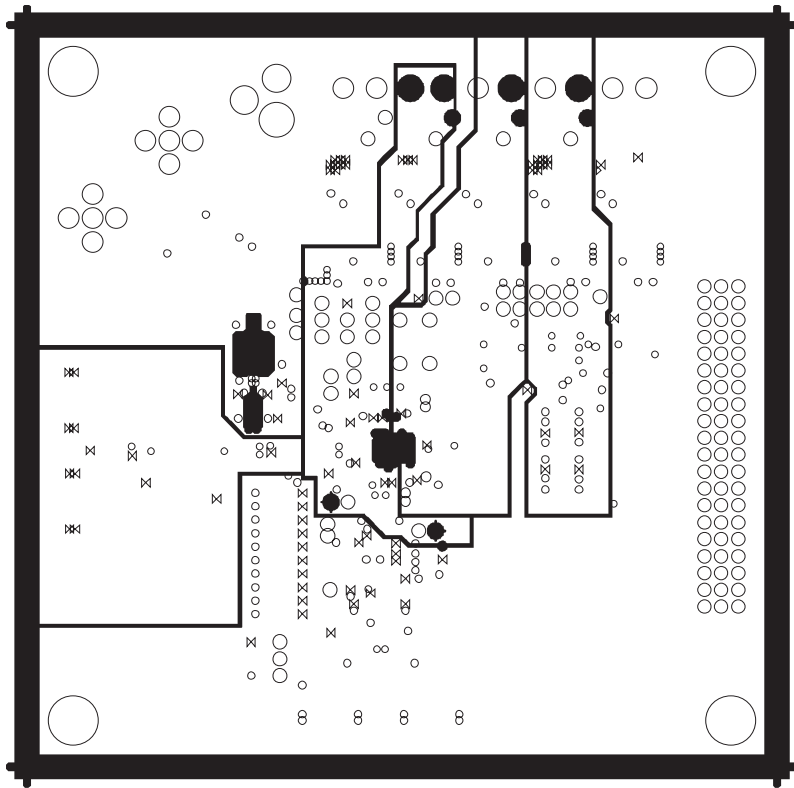


図66. 評価用ボード・レイアウト（二次側、鏡面図）



05491-079

図67. 評価用ボード・レイアウト (グラウンド・プレーン)



05491-078

図68. 評価用ボード・レイアウト (電源プレーン)

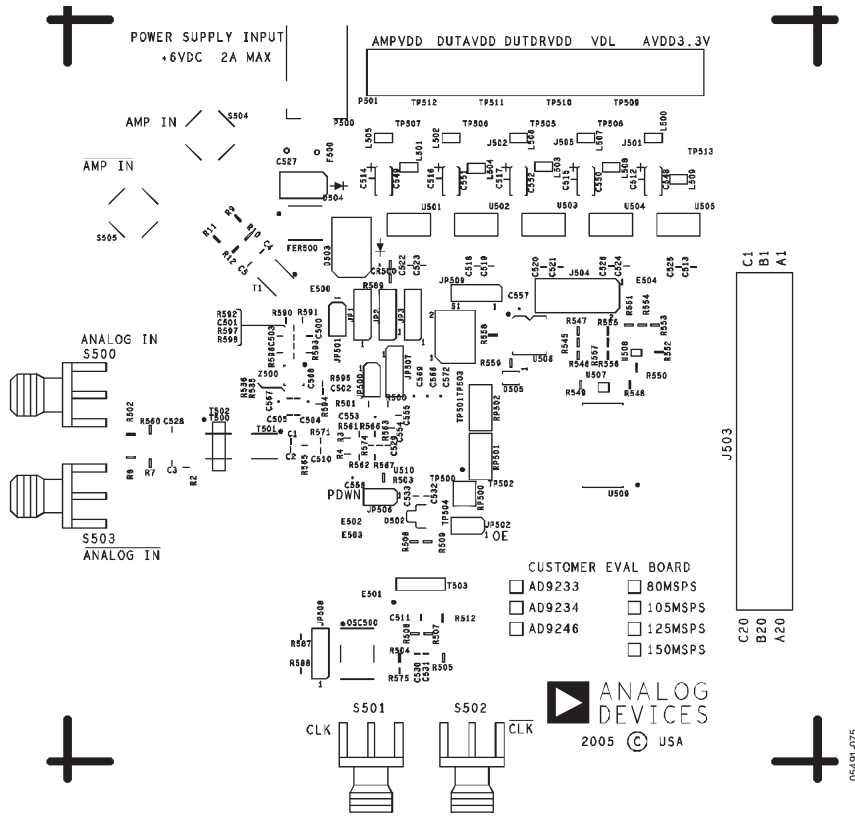


図69. 評価用ボード・レイアウト（一次側シルクスクリーン）

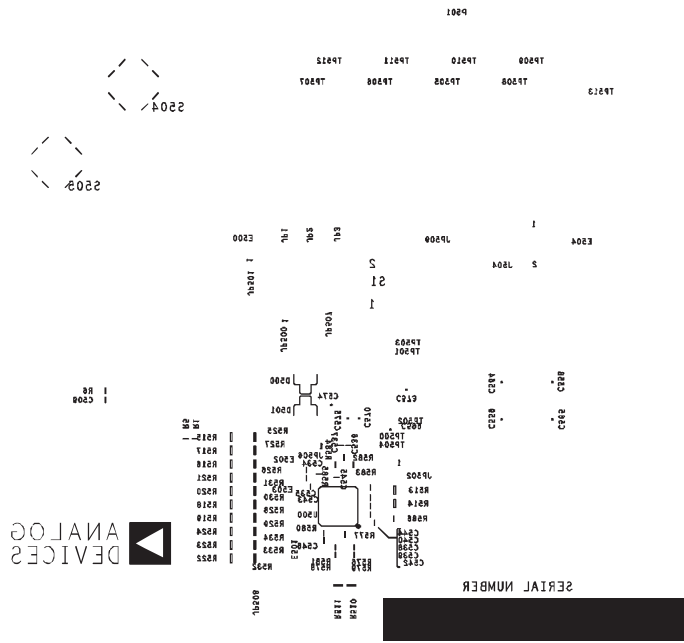


図70. 評価用ボード・レイアウト（二次側シルクスクリーン、鏡面図）

## 部品表

表16. 評価用ボードの部品表 (BOM)

項番	数量	省略 (DNP)	参照記号	部品名	パッケージ	説明	サプライヤ/部品番号
1	1		AD9246CE_REVA	PCB		PCB	アナログ・デバイスズ
2	24		C1、C2、C509、C510、C511、C512、 C514、C515、C516、C517、C528、C530、 C532、C533、C538、C539、C540、C542、 C543、C544、C545、C546、C554、C555	コンデンサ	0402	0.1μF	
		12	C3、C500、C502、C503、C504、C505、 C531、C534、C535、C536、C537、C557				
3		1	C501	コンデンサ	0402	0.3pF	
4		2	C4、C5	抵抗	0402	0Ω	
5	10		C513、C518、C519、C520、C521、 C522、C523、C524、C525、C526	コンデンサ	0402	1.0μF	
6	1		C527	コンデンサ	1206	10μF	
7	1		C529	コンデンサ	0402	20pF	
8	5		C548、C549、C550、C551、C552	コンデンサ	ACASE	10μF	
9	1		C553	コンデンサ	0805	1.0μF	
10	15		C556、C558、C559、C564、C565、 C566、C567、C568、C569、C570、 C572、C573、C574、C575、C599	コンデンサ	0603	0.1μF	
11	1		CR500	LED	0603	緑色	Panasonic LNJ314G8TRA
12	1		D502	ダイオード	SOT-23	30V、20mA、 デュアル・ ショットキー	HSMS2812
		2	D500、D501				
13	1		D503	ダイオード	DO-214AB	3A、30V、 SMC	Micro Commercial Group SK33-TPMSCT-ND
14	1		D504	ダイオード	DO-214AA	2A、50V、 SMC	Micro Commercial Group S2A-TPMSTR-ND
15		1	D505	LED	LN1461C	AMB	黄色のLED
16	1		F500	ヒューズ	1210	6.0V、2.2A トリップ電流の リセットが可能 なヒューズ	Tyco, Raychem NANOSMDC110F-2
17	1		FER500	チョーク	2020		村田 DLW5BSN191SQ2
18		1	J500	ジャンパ		ハンダ・ジャンパ	
19		3	J501、J502、J505	ジャンパ		ハンダ・ジャンパ	
20	1		J503	コネクタ	120ピン	オス型ヘッダ	Samtec TSW-140-08-G-T-RA
21		1	J504	コネクタ	10ピン	オス型、2×5	Samtec
22	3		JP1、JP2、JP3	ジャンパ	3ピン	オス型、ストレート	Samtec TSW-103-07-G-S
23	4		JP500、JP501、JP502、JP506	ジャンパ	2ピン	オス型、ストレート	Samtec TSW-102-07-G-S
24	1		JP507	ジャンパ	3ピン・ ジャンパ	オス型、ストレート	Samtec TSW-103-07-G-S
		2	JP508、JP509				
25	10		L500、L501、L502、L503、L504、 L505、L506、L507、L508、L509	フェライト・ ビーズ	3.2mm× 2.5mm× 1.6mm		DigiKey P9811CT-ND
26		1	OSC500	発振器	SMT	125MHzまたは 105MHz	CTS Reeves CB3LV-3C
27	1		P500	コネクタ	PJ-102A	DC電源ジャック	DigiKey CP-102A-ND
28		1	P501	コネクタ	10ピン	オス型、ストレート	PTMICRO10

# AD9246

項番	数量	省略 (DNP)	参照記号	部品名	パッケージ	説明	サプライヤ/部品番号
29		6	R1、R6、R563、R565、R574、R577	抵抗	0402	DNI	
30	5		R2、R5、R561、R562、R571	抵抗	0402	0Ω	
		6	R10、R11、R12、R535、R536、R575				
31	2		R3、R4	抵抗	0402	25Ω	
32		6	R7、R8、R9、R502、R510、R511	抵抗	0603	DNI	
33		6	R500、R501、R576、R578、R579、R581	抵抗	0402	DNI	
34	4		R503、R548、R549、R550	抵抗	0603	10kΩ	
35	1		R504	抵抗	0603	49.9Ω	
		1	R505				
36	9		R506、R508、R509、R512、R554、 R555、R556、R557、R560	抵抗	0603	0Ω	
		23	R507、R514、R513、R515、R516、R517、 R518、R519、R520、R521、R522、R523、 R524、R525、R526、R527、R528、R529、 R530、R531、R532、R533、R534				
37		4	R545、R546、R547、R558	抵抗	0603	4.7kΩ	
38	3		R551、R552、R553	抵抗	0603	1kΩ	
39		1	R559	抵抗	0603	261Ω	
40	2		R566、R567	抵抗	0402	33Ω	
41		3	R582、R585、R598	抵抗	0402	100Ω	
42		2	R583、R584	抵抗	0402	240Ω	
43		1	R586	抵抗	0402	4.12kΩ	
44		3	R580、R587、R588	抵抗	0402	10kΩ	
45	1		R589	抵抗	0603	261Ω	
46		2	R590、R591	抵抗	0402	25Ω	
47		1	R592	抵抗	0402	DNI	
48		2	R593、R596	抵抗	0402	0Ω	
49		2	R594、R595	抵抗	0402	10kΩ	
50		1	R597	抵抗	0402	4.3kΩ	
51	1		RP500	抵抗	RCA74204	22Ω	
52	2		RP501、RP502	抵抗	RCA74208	22Ω	
53		1	S1	スイッチ		瞬時 (ノーマル・ オープン)	Panasonic EVQ-PLDA15
54	2		S500、S501	コネクタ	SMAEDGE	SMAエッジ、 右アングル	
		2	S502、S503				
55		2	S504、S505	コネクタ	SMA200UP	SMA RF 5ピン、 アップライト	
56	2		T500、T501	トランス	SM-22		M/A-Com ETC1-1-13
		1	T1				
57	1		T503	トランス	CD542		Mini-Circuits ADT1-1WT
		1	T502				
58		1	U500	IC	32ピン LFCSP	クロック分配	アナログ・デバイセス AD9515BCPZ
59	1		U501	IC	SOT-223	電圧 レギュレータ	アナログ・デバイセス ADP3339AKCZ-5
60	1		U502	IC	SOT-223	電圧 レギュレータ	アナログ・デバイセス ADP3339AKCZ-1.8



# AD9246

項番	数量	省略 (DNP)	参照記号	部品名	パッケージ	説明	サプライヤ/部品番号
61	1		U503	IC	SOT-223	電圧 レギュレータ	アナログ・デバイセズ ADP3339AKCZ-2.5
62	2		U504、U505	IC	SOT-223	電圧 レギュレータ	アナログ・デバイセズ ADP3339AKCZ-3.3
63		1	U506	IC	8ピンSOIC	8ビット・ マイクロ コントローラ	Microchip PIC12F629
64	1		U507	IC	SC70	デュアル・ バッファ	Fairchild NC7WZ16
65	1		U508	IC	SC70	デュアル・ バッファ	Fairchild NC7WZ07
66	1		U509	IC	48ピン TSSOP	バッファ/ライン・ ドライバ	Fairchild 74VCX162244
67	1		U510	DUT (AD9246)	48ピン LFCSP_VQ	ADC	アナログ・デバイセズ AD9246BCPZ
68		1	U511 (またはZ500)	IC	16ピン LFCSP_VQ	差動アンプ	アナログ・デバイセズ AD8352ACPZ
合計	128	107					

## 外形寸法

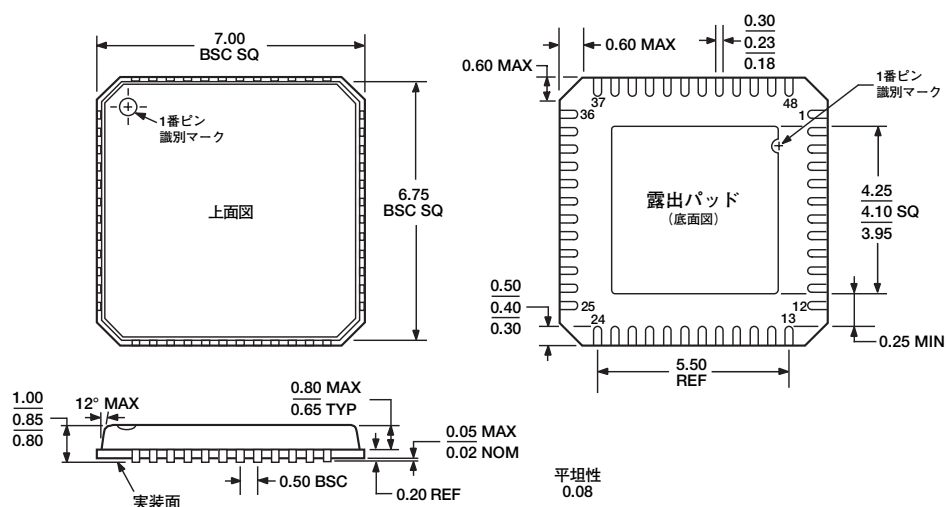


図71. 48ピン・リード・フレーム・チップスケール・パッケージ [LFCSP\_VQ]  
7mm×7mmサイズのボディ、極薄クワッド (CP-48-3)  
寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション <sup>1</sup>
AD9246BCPZ-125 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246BCPZRL7-125 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246BCPZ-105 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246BCPZRL7-105 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246BCPZ-80 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246BCPZRL7-80 <sup>2</sup>	-40～+85℃	48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-48-3
AD9246-125EB		評価用ボード	
AD9246-105EB		評価用ボード	
AD9246-80EB		評価用ボード	

<sup>1</sup> Z=鉛フリー製品

<sup>2</sup> 最良の電気的性能と熱性能を得るには、露出パドルをAGNDプレーンにハンダ付けする必要があります。